

高速A/Dコンバータ (ADC) のテストと評価について

著者：Brad Brannon、Rob Reeder

範囲

本書では、高速ADCを評価するためにアナログ・デバイセズの High Speed Converter Group で使用する特性評価と出荷テストの方法について説明します。このアプリケーション・ノートは参考資料として利用できますが、製品データシートに代わるものではありません。

動的テストのハードウェア・セットアップ

S/N比、SINAD、最悪時スプリアス、IMDは、図1に示すようなハードウェア・セットアップを使用してテストされます。出荷テストではテスト・ハードウェアは高集積化されていますが、ハードウェアの原理は同じです。動的テスト用の基本セットアップには、信号発生器、バンドパス・フィルタ、テスト用治具、低ノイズ電源、エンコード・ソース（通常は評価用ボード上に集積されています）、データ・アクイジション・モジュール、データ解析ソフトウェアが含まれます。アナログ・デバイセズではベンチ評価を支援するために、アプリケーション・ハードウェアとソフトウェアを提供しています。「ADC FIFOキット」の項を参照してください。

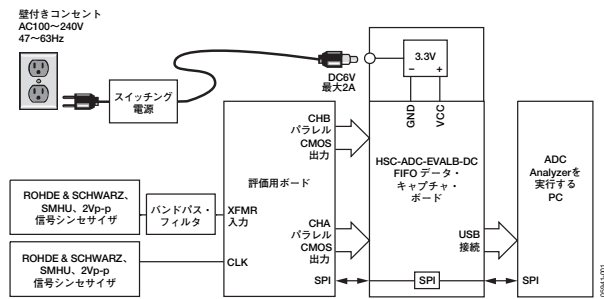


図1. 代表的な特性テストのセットアップ

ADC FIFOキット

高速ADC FIFO評価用キット (HSC-ADC-EVALA-SC/HSC-ADC-EVALA-DCおよびHSC-ADC-EVALB-SC/HSC-ADC-EVALB-DC) には、アナログ・デバイセズの高速ADC評価用ボードおよびADC Analyzer™ソフトウェアからデジタル・データのブロックをキャプチャするためのメモリ・ボードが実装されています。ADC FIFO評価用キットの詳細については、www.analog.com/FIFOを参照してください。

このFIFOボードは、標準的なUSBケーブルによりPCと接続でき、ADC Analyzerソフトウェアとともに使用することで、高速ADCの性能を迅速に評価できます。特定のアナログ入力とクロック・レートに対するFFTを表示できるので、S/N比、SINAD、SFDR、高調波情報を解析できます。FIFOボードにはシングル・チャンネル版とデュアル・チャンネル版があります。特定のADCに対していずれの版が必要かを判断するには、FIFOデータシートを参照してください。LVDSやシリアル出力デバイスでは、追加のアダプタ・ボード (HSC-ADC-FPGA) が必要な場合もあります。これは製品のデータシートに仕様規定されます。HSC-ADC-FPGAシリアルLVDSアダプタ・ボード、FIFO、およびADC Analyzerソフトウェアの機能の詳細については、アナログ・デバイセズのWebサイト (www.analog.com/FIFO) を参照してください。

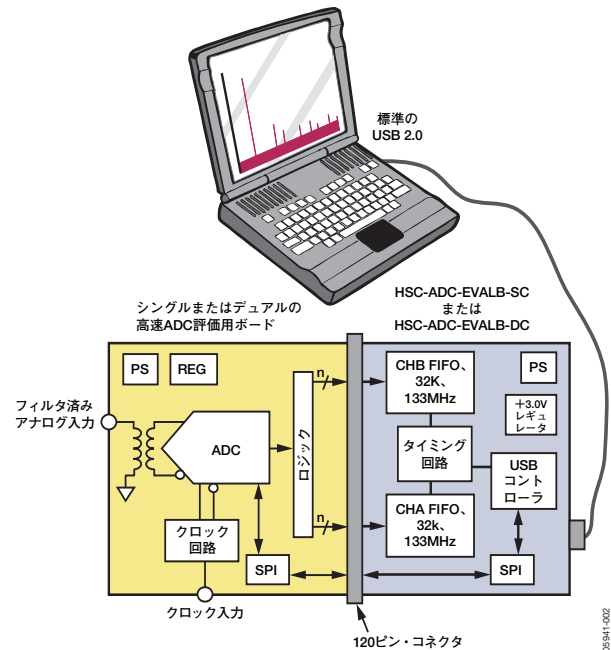


図2. 代表的なADIのADC FIFOキットのセットアップ

AD5346/AD5347/AD5348

目次

範囲	1	同相ノイズ除去比 (CMRR、dB)	15
動的テストのハードウェア・セットアップ	1	アパーチャ遅延 (ps)	16
ADC FIFOキット	1	アパーチャ・ジッタまたはアパーチャ不確実性 (ps RMS)	17
改訂履歴	2	クロストーク (dB)	17
バックグラウンド	3	入力換算ノイズ (LSB RMS)	17
ADIsimADC	3	アウトオブレンジ回復時間 (CLKサイクル)	17
アナログ信号源	4	デジタル時間領域	17
アナログ信号フィルタ	4	変換誤差レート (CER)	19
信号のエンコード・ソース	5	DCテストの定義	20
電源	6	ゲイン誤差 (%FS)	20
データ・アキュイジション	6	ゲイン・マッチング (%FS)	20
ACテストの定義	7	オフセット誤差 (%FS)	20
FFTテスト	7	オフセット・マッチング (mV)	20
シングルトーンFFT	7	温度ドリフト (ppm)	20
ツートーンFFT	9	電圧出力ハイレベル/電圧出力ローレベル (VOH/VOL、V)	20
ノイズ・パワー比 (NPR、dB)	10	直線性	20
フルパワー帯域幅 (MHz)	11	電源電圧変動除去比 (PSRR、dB)	22
ディザ・テスト	12	参考資料	23
アナログ入力	13		
アナログ入力フルスケール・レンジ (Vp-p)	14		
同相入力範囲 (V)	15		

改訂履歴

4/06—Revision 0: Initial Version

バックグラウンド

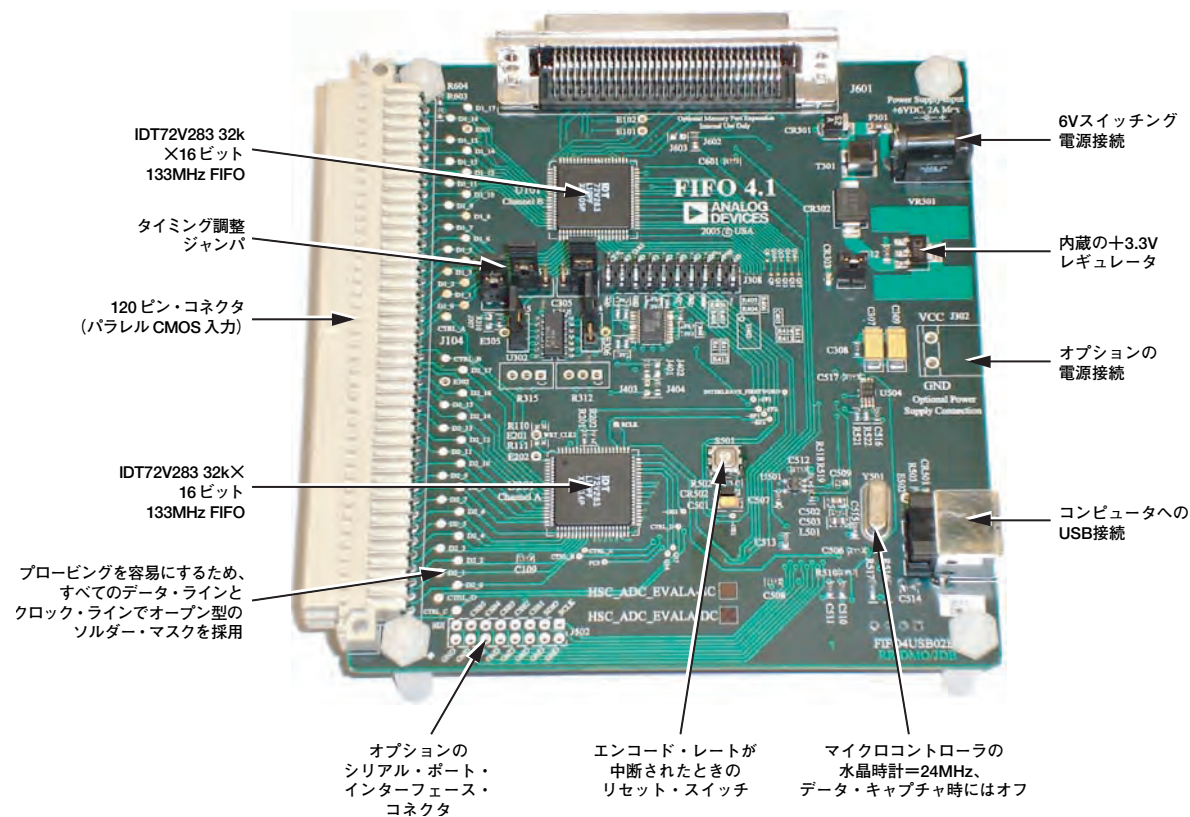


図3. デュアル・チャンネルのADC FIFOボード

0094-003

ADIsimADC

ADIsimADC™は、アナログ・デバイセズのADCビヘイビア・モデリング・ツールです。ADCに共通の時間/周波数領域誤差の多くを正確にモデル化します。ADIsimADCによってコンバータの選択が容易になり、完全なシステム・シミュレーションが行えるため、きわめて効果的なツールとなります。ADC Analyzerソフトウェアと完全に一体化されているため、コンバータの選択が容易になります。また、一部のサードパーティのCAD製品にも対応しています。現在、ADIsimADCに対応している製品には、MATLAB®、C++、National Instruments社のLabVIEW™とSignal Express、Agilent社のADS、Applied Wave Research社のVisual System Simulator™などがありますが、今後それはさらに増えるでしょう。このツールは、現行モデルのファイル一式とともにWebサイトからダウンロードできます。ADIsimADCに対応するサードパーティ・ツールへのリンクも用意されています。(ADIsimADCビヘイビア・モデリングの詳細については、www.analog.com/ADIsimADCを参照)。

前述のように、このツールはADIsimADCに直接アクセスできるADC Analyzerソフトウェアとともに提供されます。したがって、ADCの動作モデルに基づいて特定のADCをシミュ

レートできます(ハードウェアは不要)。ADIsimADCについては、www.analog.com/ADIsimADCを参照してください。ADIsimADCの詳細については、アプリケーション・ノートの『AN-737』を参照してください。

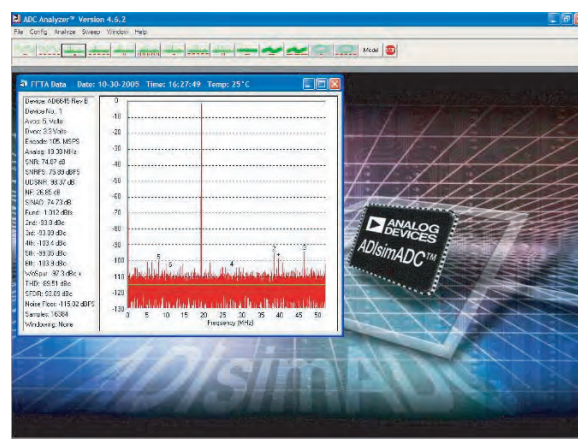


図4. ADC Analyzer

0094-004

アナログ信号源

通常、動的テストでは、Rohde & Schwarz社 (www.rohde-schwarz.com) のSMA/SMHU/SMG/SMGU、Agilent社 (www.agilent.com) の8644信号発生器、Wenzel社 (www.wenzel.com) の水晶発振器のいずれかを使用します。これらの信号源は、数kHz～数GHzの周波数に対して優れた性能（低位相ノイズ、平坦な周波数応答、妥当な高調波性能）を提供することが立証されています。これらの信号発生器の高調波性能は一般にADCの固有直線性ほどには優れていないため、ADCへのアナログ入力と信号発生器との間にフィルタリングを行う必要があります。

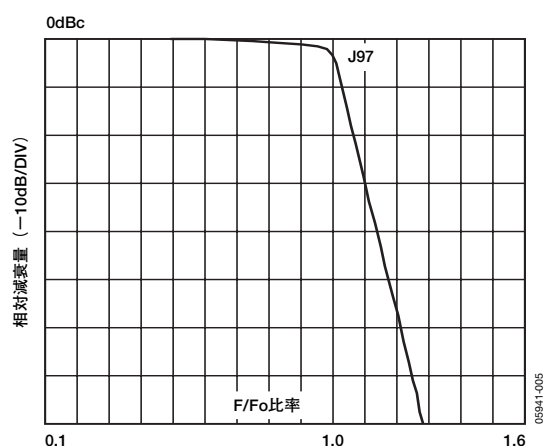
アナログ信号フィルタ

デバイス・テストには、固定周波数と可変周波数の2つのバンドパス・フィルタを使用します。一般に固定周波数フィルタは可変フィルタよりも小型であり、性能は若干優れています。可変フィルタは、1つのフィルタを使用して広範囲の周波数でテストできます。K&L Microwave社 (www.klmicrowave.com)、TTE社 (www.tte.com)、Allen Avionics社 (www.allenavionics.com) など、数社のフィルタ・メーカーがADCテスト向けに優れたフィルタを提供しています。

ADCテストには、一般にローパス・フィルタとバンドパス・フィルタという2種類のフィルタが使用されます。これらは個々に使用したり、アプリケーションに必要な性能レベルを得るために組み合わせ使用したりできます。

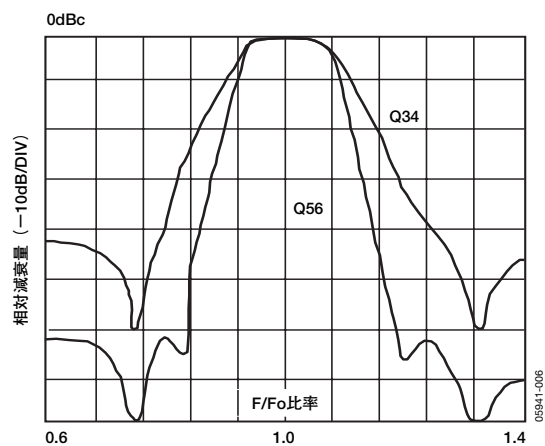
ADCに広範囲のアナログ周波数を印加する必要がある場合は、ローパス・フィルタを推奨します。しかし、ローパス・フィルタでは信号発生器からADCにノイズが入ってしまいます。このノイズにより、測定されるADCの性能レベルが低下することもあります。代表的なローパス・フィルタはTTEのJ97です。通常、ローパス・フィルタにはパスバンドの終了とストップバンドの開始を定義する遷移帯域があります。この仕様とともに、保証されたストップバンド減衰量が仕様規定されます。J97の場合、遷移帯域は3dB周波数の1.0～1.2倍と定義され、保証されたストップバンド減衰量は80dBです。3dB周波数の1.2倍を超えるエネルギーは、少なくとも80dB減らされます。

アナログ周波数が固定されて変更されない場合は、バンドパス・フィルタが使用されます。バンドパス・フィルタでは、信号源によって生成されたワイドバンド・ノイズの多くが除去されるので、一般にはADCテスト用に最高の性能が提供されます。TTEのQ56シリーズなどのフィルタには、中心周波数のパーセンテージとして定義される帯域幅があります。この帯域幅が狭いほど、フィルタを通過するノイズが減少します。しかし、アナログ周波数はさらに制限されるので、大きな挿入損失があります。中心周波数が選択されると、帯域幅を決定できます。理想的には5～6%の帯域幅を選択してください。なお、優れたノイズ性能はアナログ周波数の柔軟性とトレードオフの関係にあります。ローパス・フィルタの場合と同様、バンドパス・フィルタには3dB周波数（中心周波数の上下）と保証されたストップバンド性能の周波数との間の形状を定義する遷移帯域があります。TTEのQ56では、ストップバンド減衰量は60dBです。



注
1. TTEの許可を得て転載。

図5. TTE J97の代表的な性能



注
1. TTEの許可を得て転載。

図6. TTE Q34とQ56の代表的なバンドパス性能

前述のように、バンドパス・フィルタのストップバンド減衰量が60dBしかない場合があります。この場合、ストップバンドに分類される信号は60dB除去されます。たとえば、基本波よりも25dB下の高調波を持つ信号源の場合、有効なレベルの高調波はQ56フィルタの後の-85dBcです。多くの高性能ADCでは、これでは不十分です。-100dBc以上の性能が必要な場合は、バンドパス・フィルタとローパス・フィルタをカスケード接続するのが一般的です。バンドパス・フィルタの後に接続するローパス・フィルタを選択する際は、バンドパス・フィルタを通過する高調波がローパス・フィルタのストップバンド性能によって最も適切にフィルタリングされるようにローパス周波数を選択します。J97ローパス・フィルタでは、ストップバンド減衰量は3dB周波数の1.2倍で到達します。バンドパス・フィルタの2次高調波がローパス周波数の1.4倍に設定されている場合、バンドパス・フィルタを通過するすべての高調波がフィルタリングされ、ローパス・フィルタの追加の挿入損失は所望のパスバンドのレベルを大幅に減らさないことが保証されます。この場合、ローパス周波数はバンドパス周波数の1.4倍となり、カスケード接続された減衰量は理論上約140dBとなり

ます。実際はカップリング効果や放射効果があるためこの値を実現することは困難ですが、これは有用な技術であり、 -100dBc をはるかに超える高調波減衰量を達成できます。また、バンドパス・フィルタとローパス・フィルタの間に $0.5\sim 3\text{dB}$ のパッドを配置できます。これにより、公称 50Ω に仕様規定されている2つのフィルタ間の整合にも役立ちます。

フィルタを指定する際は、飽和を防止するために大きなコアを使用したフィルタを推奨します。一般にフィルタは約 5dBm の入力パワーに対して設計されます。しかし多くの場合、ADCの駆動条件がこの値をはるかに上回るため、コアの飽和と歪みを引き起こします。大きなコアを指定すると、コア飽和によるスプリアス歪みが減少します。最後に、フィルタ・コネクタも指定できます。アダプタを使用すればコネクタ・タイプ間の変換は可能ですが、それに伴うミスマッチがコンバータ性能に微妙な影響を与えることがあります。これは8ビットや10ビットのコンバータでは問題になりませんが、12、14、16ビットのコンバータでは非常に目立ちます。

信号のエンコード・ソース

高性能のコンバータを実現するには、一般にストック信号発生器はエンコード・ソースとして不十分です。なぜなら、近接位相ノイズとワイドバンド位相ノイズがあるためです。エンコード・ソースには、一般に固定周波数発振器が使用されます。Wenzel社 (www.wenzel.com) およびTechtrol Cyclonetics社 (TCI) (www.tci-ant.com) 製の高性能水晶発振器を使用できます。WenzelのSprinterおよびUltra Low Noiseシリーズは、最適な位相ノイズ性能を提供できます。高品質エンコード・ソースのもう1つの供給元はValpey Fisher社 (www.valpeyfisher.com) で、差動PECLやVCXOなど、いくつかのオプションを提供します。要求がそれほど厳しくないアプリケーションでは、さまざまなメーカーから提供される標準のCMOSクロック・モジュールを使用できます。エンド・アプリケーションでクロックと外部リファレンスの同期をとる必要がある場合は、PLLループに電圧制御水晶発信器 (VCXO) を使用できます。



図7. 代表的な低価格CMOSクロック発振器

ADCの設計では、適切なクロック発振器を使用することが非常に重要です。適切なクロックの選択に際しては、アナログ・デバイズのアプリケーション・ノート、『AN-501』と『AN-756』を参考にしてください。これらのアプリケーション・ノートでは、アパーチャ・ジッタの測定方法、および必要な位相ノイズ/ジッタ仕様を満たすクロックの指定方法について説明しています。クロック源の指定が適切でないと、図8と図9に示すようにS/N比性能が低下します。参考として、代表的なWenzelクロック発振器のアパーチャ・ジッタは約 0.07ps であるのに対して、CMOSクロック発振器のアパーチャ・ジッタは約 0.3ps 以上です。

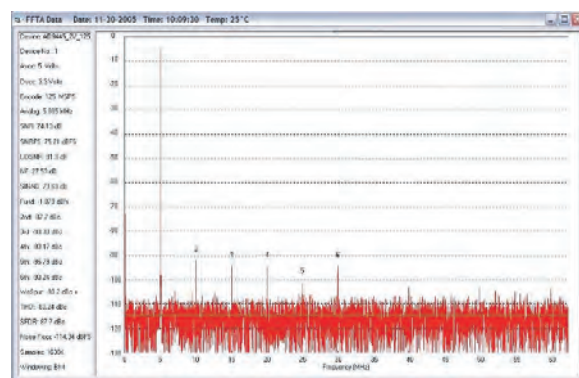


図8. -1.0dBFS で 130MHz のアナログIFを持つAD9444 (Wenzelクロックを使用、S/N比= 75.2dBFS)

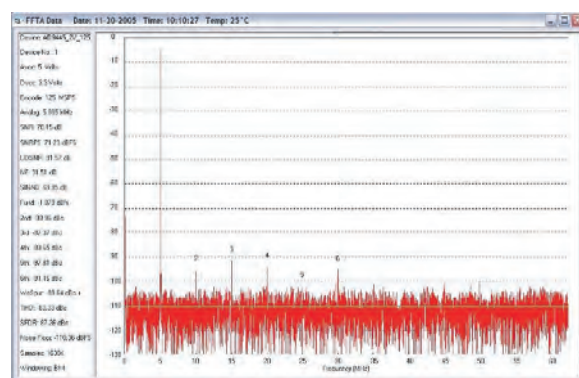


図9. -1.0dBFS で 130MHz のアナログIFを持つAD9444 (CMOSクロックを使用、S/N比= 71.2dBFS)

所望のジッタ性能を持つクロック源を使用できない場合は、高周波クロックを低いレートに分割します。こうすると、 $10 \log(x)$ のレートでジッタを減らす効果があります。ここで、 x は分周比です。しかしこの方法では、ゲート自身のジッタによる制限があります。アプリケーション・ノート『AN-501』には、さまざまなロジック・ファミリーに対応するクロック・ジッタの目安が掲載されています。

カスタム・クロッキングを希望する場合、一般にPLLが必要となります。PLLでは、VCOまたはVCXOを使用してADCと外部クロック・リファレンスの同期をとることができます。しかし、簡単なPLLを使用して複数のデバイスをクロッキングすることは困難です。このようなクロッキングを可能にするには、デバイス間に遅延を追加する必要があります。クロックのクリーンアップと分配には、AD9510などのデバイスが最適です。

AD9510の相加性ジッタは約0.22psであり、このデバイスはADC、DAC、およびさまざまなロジック・デバイスの駆動用に最適化されています。

電源

ADCの電源は非常に重要です。大部分のADCでは電源電圧変動除去比が低いため、クリーンでノイズのない電源を提供することが重要となります。スイッチング・レギュレータは多くのアプリケーションには適していますが、リニア・レギュレータを用いることによってノイズの少ないさらなる高性能のソリューションが得られます。ADP3338やADP3339などのデバイスは、超低ノイズで安定した電源を提供するので、大部分のADCアプリケーションに最適です。さらに、これらの電源はさまざまな電圧を備えており、それぞれ1Aまたは1.5Aまで供給できます。

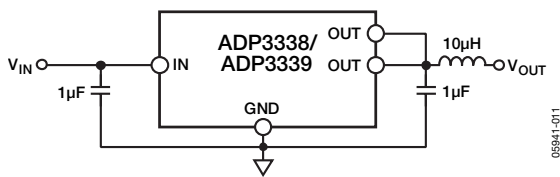


図10. ADP3338/ADP3339の代表的なアプリケーション

データ・アクイジション

データのアクイジションと処理は、高速なキャッシュ・メモリによって行われます。データは、使用するテスト方法に応じて、ADCのフルスピードで収集したり、デシメーションしたりできます。ベンチ・テストでは、ADC Analyzerソフトウェア（詳細については「ADC FIFOキット」の項を参照）と組み合わせてADI FIFOキット・データ・キャプチャ・ボードを使用します（デシメーションは不要）。一般には16k、32k、64kのFFTが実行されますが、ベンチFFTは4Mまでのサンプルが可能となっています。アナログ入力ソースがクロックと同期していない（ノンコヒーレント・サンプリング）場合、一般にハニングまたはブラックマン・ハリス窓関数が使用されます。詳細については、「On the Use of Windows for Harmonic Analysis with the Discrete Fourier Transform」(Fredric J. Harris, Proceedings on the IEEE, Vol. 66, No. 1, January 1978)を参照してください。

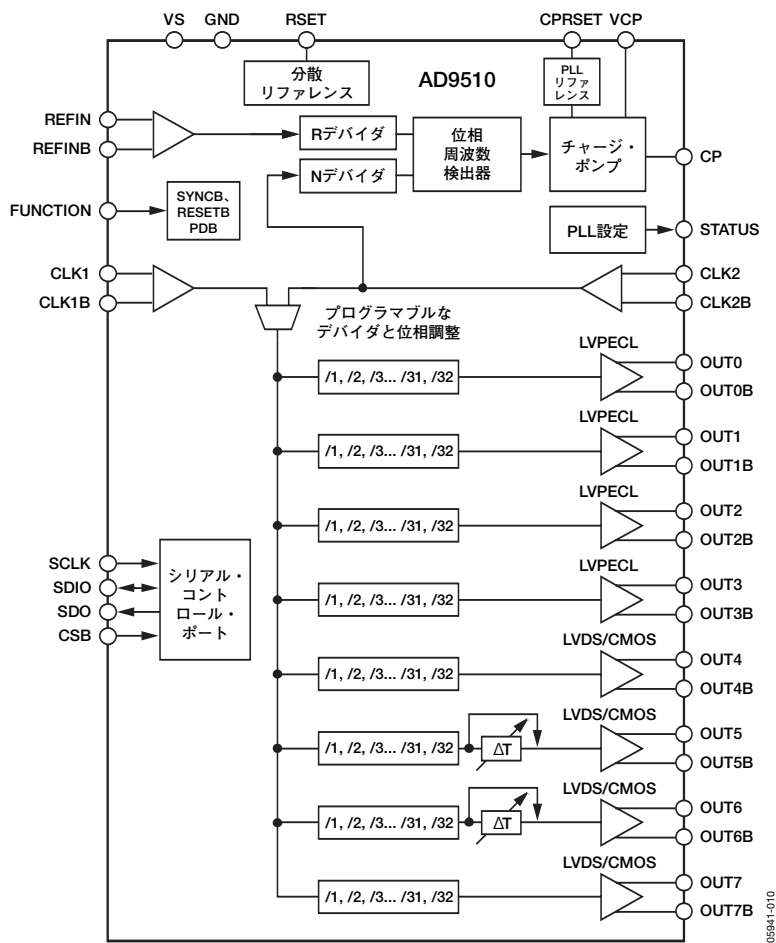


図11. AD9510低ジッタ・クロック源

ACテストの定義

一般に、ACまたは動的テストは、フルスケール (dBFS) より 0.1dB、0.5dB、1dB下の信号パワーを持つ定格周波数でのアナログ信号によって行われます。異なる振幅が使用される場合は、データシートのテスト条件で定義されます。これらのテストでは、一般にエンコード・レートは最大定格値またはその近くに設定されます。電源条件や温度条件などの他のテスト条件については、データシートを参照してください。

FFTテスト

実際のテスト条件に応じて、コヒーレントとノンコヒーレントのFFTテストが行われます。コヒーレント・テストを行う場合は、キャプチャされたデータ・サンプルがレコード長に含まれるコンバータ・コードをできるだけ多く使用するようなアナログ周波数が選択されます。そのためには、アナログ周波数とエンコード・レートの間の最も重要な関係を使用します。

たとえば、コヒーレント・サンプリングを使用し、65MSPSの仕様規定されたサンプル・レートで10MHzのアナログ入力が必要とされる場合、算出されるコヒーレント・アナログ入力周波数は10.0015258789063MHz、つまりちょうど2521サイクルになります。これは次の式で計算できます。

$$\text{サイクル} = \frac{f_{\text{DESIRED_FREQUENCY}}}{\frac{\text{Sample_Rate}}{\text{FFT_Sample}}}$$

サイクル数は最も近い整数に丸めます。可能ならば最も近い素数を選択して、コンバータの最大の量子化レベル数を使用できるようにします。サイクル数が選択されると、所望のアナログ入力周波数を使用して前の式を解くことができます。

一般にFFTテストの結果はデシベルで表します。単位はdBc (所望の信号をキャリアを基準として表す場合) またはdBFS (コンバータのフルスケールを基準として表す場合) で、いずれもフルスケールに対するキャリアのレベルを加算/減算することによってもう一方の単位に変換できます。FFTテストの詳細については、「The FFT: Fundamentals and Concepts」(Tektronix, Inc., 070-1754-00, Production Group 45, first printing December 1975) を参照してください。

シングルトーンFFT

S/N比 (SNR、dB)

S/N比 (SNR) は、信号振幅のrms値と全スペクトル成分 (6次までの高調波とDCを除く) のrms値総和との比です。入力レベルが減少するにつれて、一般にS/N比もデシベル単位で直線的に減少します。

フルスケールを基準にしたS/N比 (SNRFS、dBFS)

フルスケールを基準にしたS/N比 (SNRFS) は、rmsフルスケールと全スペクトル成分 (6次までの高調波とDCを除く) のrms値総和との比です。SNRFSはフルスケールを基準にしたデシベルで表します (dBFS)。S/N比とSNRFSの差異は、基本波の振幅とフルスケールの差異です。

信号/ノイズ&歪み (SINAD、dB)

信号/ノイズ&歪み (SINAD) は、信号振幅のrms値と全スペクトル成分 (DCを除く高調波) のrms値総和との比です。S/N比とSINADの差異は、6次までの高調波に含まれるエネルギーです。

ユーザ定義のS/N比 (UDSNR、dB)

ユーザ定義のS/N比 (UDSNR) は、ADC Analyzerソフトウェアで使用される用語であり (『ADC Analyzer User Manual』を参照)、信号振幅のrms値とユーザが設定した指定帯域内の全スペクトル成分 (6次までの高調波とDCを除く) のrms値総和との比です。ADC Analyzerを使用すれば、所望の信号の左右のノイズ帯域幅を独立して設定できます。UDSNRはデシベルで表します。

ノイズ指数 (NF、dB)

ノイズ指数 (NF) は、デバイスの出力におけるノイズ・パワーとデバイスの入力におけるノイズ・パワーとの比です。ここで、入力ノイズ温度はリファレンス温度 (298K) と同じです。ノイズ指数はデシベルで表します。

ADCのノイズ指数は、1つの構成に対して計算できます。入力範囲、終端、サンプル・レートが固定であると想定すると、ADCのNFは次式で計算できます。

$$\text{ノイズ指数} = 10 \times \log \left(\frac{V_{\text{rms}}^2 / Z_{\text{IN}}}{0.001} \right) - \text{SNRFS} - 10 \times \log \left(\frac{\text{エンコード周波数}}{2} \right) - 10 \times \log \left(\frac{K \times T \times B}{0.001} \right)$$

ここで、

K = ボルツマン定数 = 1.38×10^{-23}

T = ケルビン温度 = 273K

B = 帯域幅 = 1Hz

エンコード周波数 = ADCのクロック・レート

V_{rms} = rmsフルスケール入力電圧

Z_{IN} = 入力インピーダンス

SNRFS = フルスケールADCのS/N比

ノイズ・フロア (dBFS)

ノイズ・フロアは、ADC Analyzerで使用される用語であり (『ADC Analyzer User Manual』を参照)、次式で計算できます。

$$\text{ノイズ・フロア} = \text{SNRFS} - 10 \times \log \left(\frac{\text{FFTビン}}{2} \right)$$

これは各FFTビンにおける平均ノイズを示します。FFTのサイ
ズが2倍になった場合、この数値は3dB減少します。ノイズ・
フロアでは絶対計測を得ることはできませんが、特定のセット
アップに対するノイズの位置を相対的に示します。

有効ビット数 (ENOB、ビット)

有効ビット数 (ENOB) は、ビットで表すADCの測定性能です。
有効ビット数を最も正確に測定するには、サイン波の曲線近似
法を使用します (『Calculate an ADC's Effective Bits』を参照)。
ENOBを計算する最も一般的な方法では、コンバータのフルス
ケールでのSINADに基づいて、次式を使用します。

$$ENOB = \frac{SINAD - 1.76}{6.02}$$

スプリアスフリー・ダイナミック・レンジ (SFDR、 dBc)

スプリアスフリー・ダイナミック・レンジ (SFDR) は、信号
のrms値と最悪の結果をもたらすアナログ入力ピーク・スプリア
ス・スペクトル成分のrms値との比です。ほとんどの場合、
SFDRはADCに印加される入力信号の高調波です。

高調波歪み (dBcまたはdBFS)

高調波は、駆動されるアナログ入力周波数の整数倍のスペクト
ル成分です。たとえば、2次高調波の周波数はアナログ入力周
波数の2倍です。

大部分のADCには、1つまたは複数の高調波に対する仕様があ
ります。一般に2次と3次の高調波が選ばれる理由は、すべての
高調波のうち最悪の性能を持つためです。

高調波歪みは、順序を問わず、信号振幅のrms値と指定された
高調波成分のrms値との比であり、dBcまたはdBFSで表しま
す。

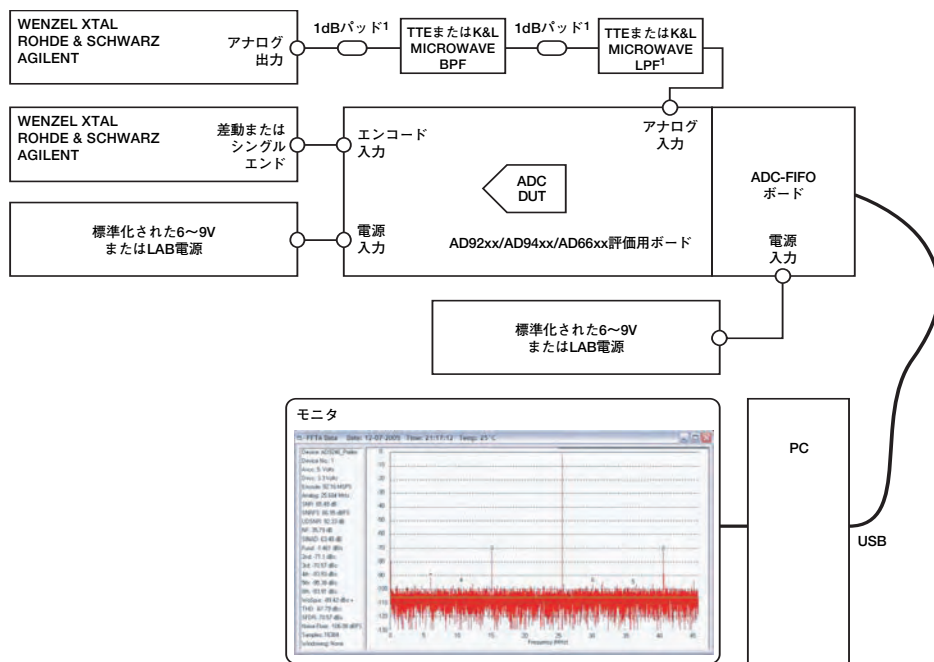
ADCは非直線性デバイスであるため、出力にはスペクトル成分
が豊富に含まれています。最悪のスプリアス・エネルギーは、
最初の2つの高調波 (2HDと3HD) とは直接関係していない場
合があり、他の最悪スプリアス (WoSpur) によって測定され
ます。WoSpurは、信号振幅のrms値と最悪スプリアス成分 (最
初の6つの関連する高調波成分を除く) のrms値との比であり、
dBcで表します。

全高調波歪み (THD、dBc)

全高調波歪み (THD) は、信号エネルギーのrms値と6次まで
の高調波のrms値総和との比です。

高調波イメージ (dBc)

高調波イメージの測定結果は、インターリーブされたADCを解
析する場合のみ有効です。この仕様は大部分のADCには適用さ
れません。高調波イメージは、信号振幅のrms値と2つのADC
のクロッキング位相差から生じる非高調波成分のrms値との比
であり、dBcで表します。



¹性能を向上させるためのオプション

注

- AINレベルは、指定された周波数とレベルが得られるように調整します。
- エンコード設定は、指定のレートに調整します。
- オンボード・レギュレータを使用しない限り、電源は公称値とします。
- 特に指定のない限り、温度は室温とします。
- ADC Analyzer用の適切な環境設定ファイルを使用します。

図12. シングルトーン・テストのセットアップ

0594-1012

ツートーンFFT

複数のトーンが非直線性を持つコンバータを通過すると、相互変調歪み (IMD) 成分が生じます。ADCでのツートーン・テストは、このような非直線性を指定する手段です。アナログ・スペクトルにおいては歪み成分の多くが比較的高いため、周波数のエイリアスが生じる場合があります。歪み成分の識別に際しては、このことを忘れないでください。

F1+F2 (dBc)

これは周波数に現れる2次歪み成分を表し、2つの入力周波数を合計したものです。この値は、そのrms値と2つの入力トーンの一つのrms値との比であり、dBcで表します。

F2-F1 (dBc)

これは周波数に現れる2次歪み成分を表し、2つの入力周波数の差をとったものです。この値は、そのrms値と2つの入力トーンの一つのrms値との比であり、dBcで表します。

2次入力インターセプト・ポイント (IIP2, dBm)

2次入力インターセプト・ポイント (IIP2) は、コンバータのフルスケール入力信号パワーからIMDの2次成分を引いた値であり、dBmで表します。

2F1±F2および2F2±F1 (dBc)

これらはコンバータの3次歪み成分を表します。それぞれの値は、そのrms値と2つの入力トーンの一つのrms値との比であり、dBcで表します。ピーク・スプリアス成分は、IMD成分とみなされます。

3次入力インターセプト・ポイント (IIP3, dBm)

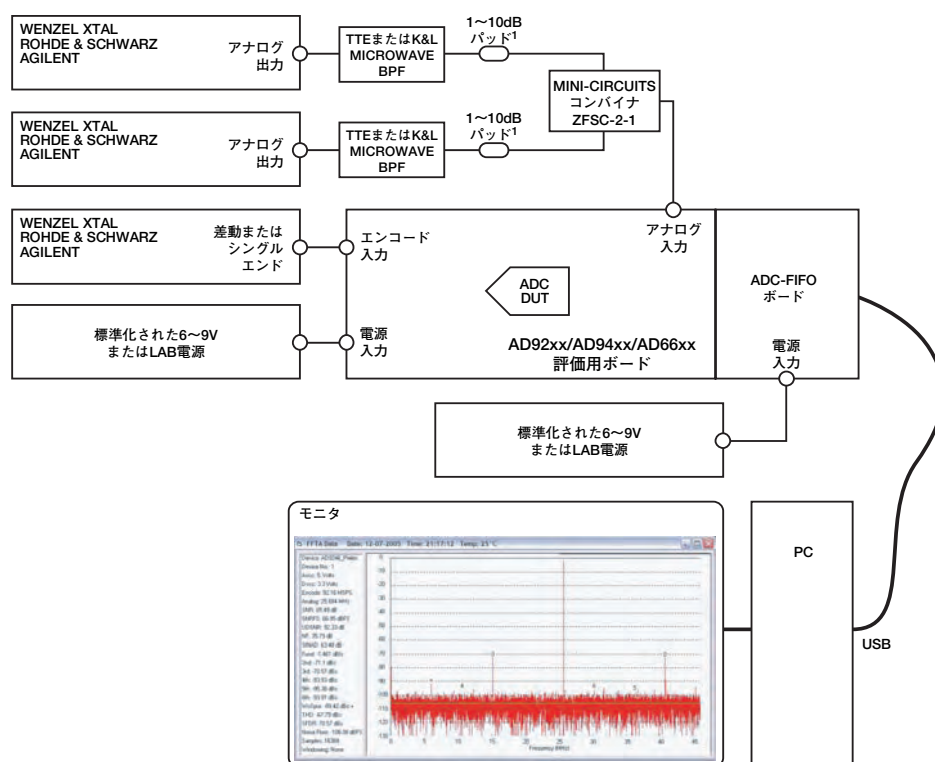
3次入力インターセプト・ポイント (IIP3) は、コンバータのフルスケール入力信号パワーから3次IMD成分の1/2を引いた値であり、dBmで表します。

その他の最悪スプリアス (WoSpur, dBc)

その他の最悪スプリアス (WoSpur) は、2次または3次の歪み成分には関係なく、2つのアナログ入力信号の混合によって生じる最悪のスプリアスです。この値は、そのrms値と2つの入力トーンの一つのrms値との比であり、dBcで表します。

ツートーンSFDR (dBc)

スプリアスフリー・ダイナミック・レンジ (SFDR) は、信号のrms値と最悪の結果をもたらすアナログ入力のパーク・スプリアス・スペクトル成分のrms値との比です。ほとんどの場合、SFDRはADCに印加される入力信号の高調波です。



¹性能を向上させるためのオプション

- 注
- AINレベルは、指定された周波数とレベルが得られるように調整します。
 - エンコード設定は、指定のレートに調整します。
 - オンボード・レギュレータを使用しない限り、電源は公称値とします。
 - 特に指定のない限り、温度は室温とします。
 - ADC Analyzer用の適切な環境設定ファイルを使用します。

図13. ツートーン・テストのセットアップ

08941-013

ノイズ・パワー比 (NPR、dB)

ノイズ・パワー比 (NPR) は、フル負荷のガウス・ノイズ源によるコンバータ性能の評価に使用される動的テストです。ノイズ・レベルの調整は、ナイキスト限定されたノイズ源によりクリッピング点のすぐ下の負荷がコンバータに加えられるように行われます。次に、ディープ・ノッチ・フィルタでナローバンドのノイズを除去します。ノッチ内のノイズ密度とノッチなし

でのノイズ密度との比率を調べるため、FFT技術を使用してノッチ内のノイズが測定されます。結果はデシベルで表します。図14に示すように、NPRはクリッピングの直前に最適化されます。クリッピングが開始されると、NPRは入力信号の増大につれて急速に減少します。入力信号が減少した場合、ノイズ・パワーが1デシベル減少するたびにNPRは約1dB減少します。

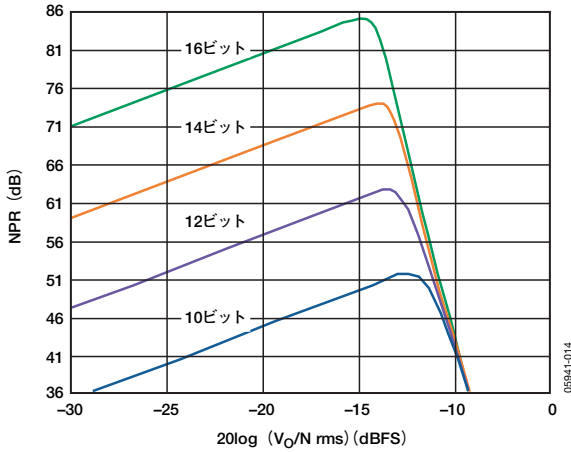


図14. 代表的なNPR曲線

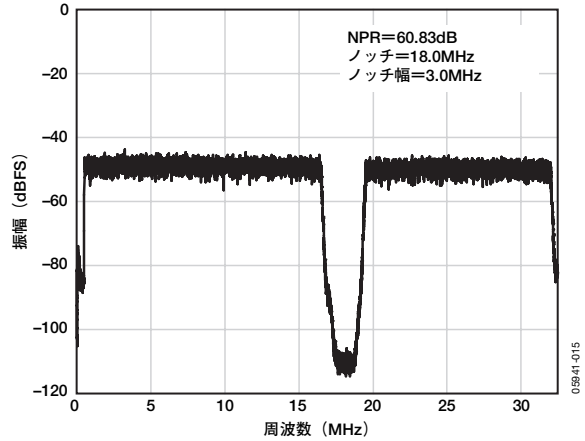
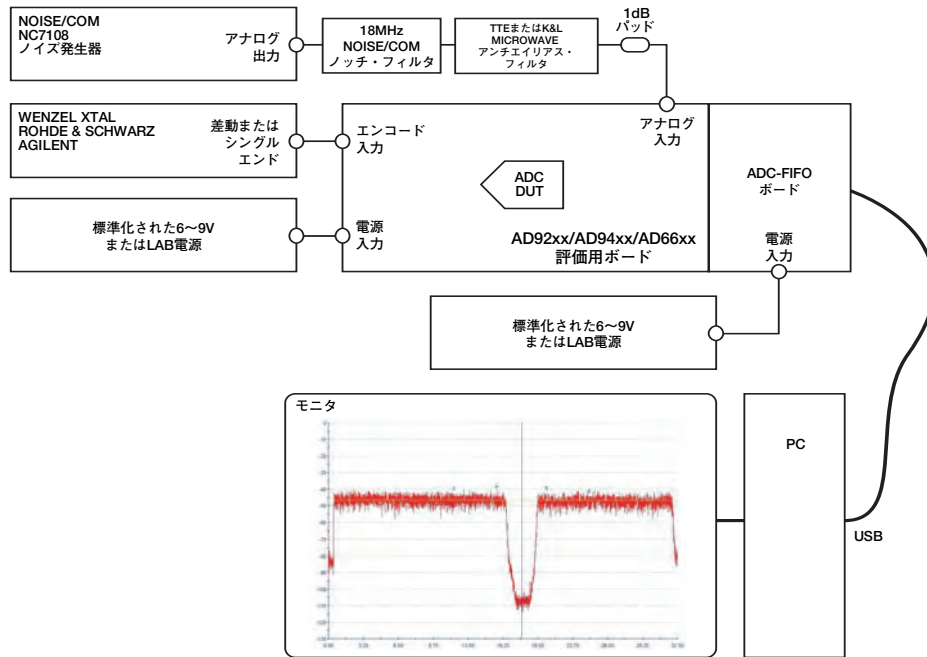


図15. 12ビット・コンバータに対する代表的なNPR応答



- 注
1. NOISE/COMを5dB前後に設定するか、デクリメント/インクリメントして適切なノイズ入力レベルにします。
 2. エンコード設定は、指定のレートに調整します。
 3. オンボード・レギュレータを使用しない限り、電源は公称値とします。
 4. 特に指定のない限り、温度は室温とします。
 5. ADC Analyzer用の適切な環境設定ファイルを使用します。
 6. 64k以上のADC-FIFOボードを使用します。

図16. NPRテストのセットアップ

フルパワー帯域幅 (MHz)

アナログ入力帯域幅は、FFT解析によって決定される基本周波数のスペクトル・パワーが3dB減少するアナログ入力周波数です。このテストではSFDRまたはS/N比性能の特定の値は得られません。

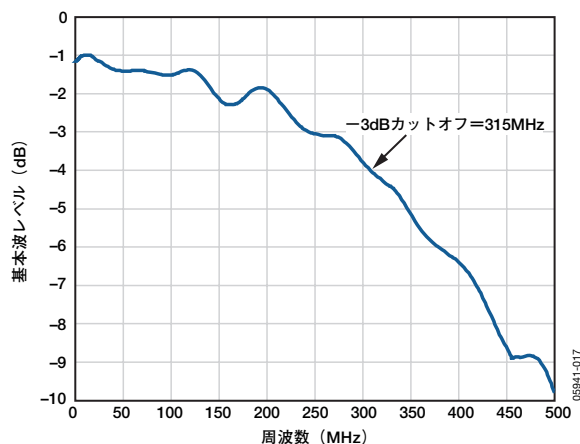
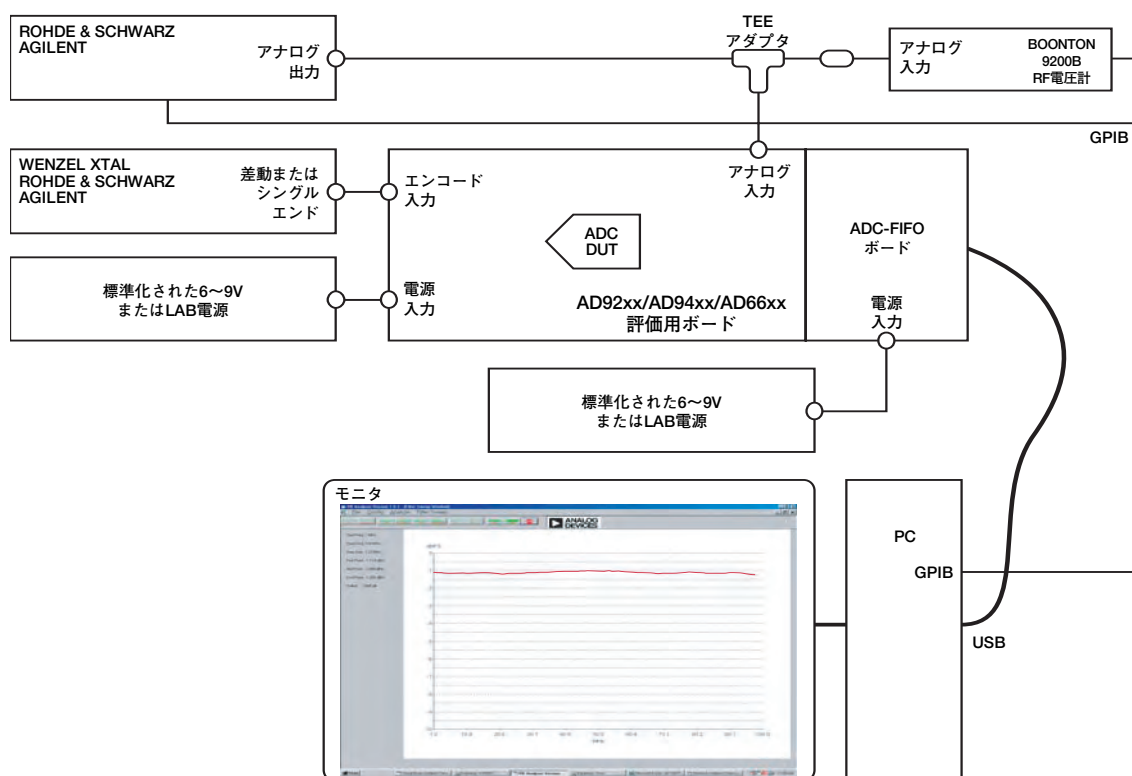


図17. 代表的なフルパワー帯域幅応答



注

1. AINレベルは、10MHzのリファレンス周波数で-1dBが得られるように調整します。
2. エンコード設定は、指定のレートに調整します。
3. オンボード・レギュレータを使用しない限り、電源は公称値とします。
4. 特に指定のない限り、温度は室温とします。
5. ADC Analyzer用の適切な環境設定ファイルを使用します。
6. BOONTONのプロープでは終端なしアダプタを使用します。

図18. フルパワー帯域幅テストのセットアップ

05941-018

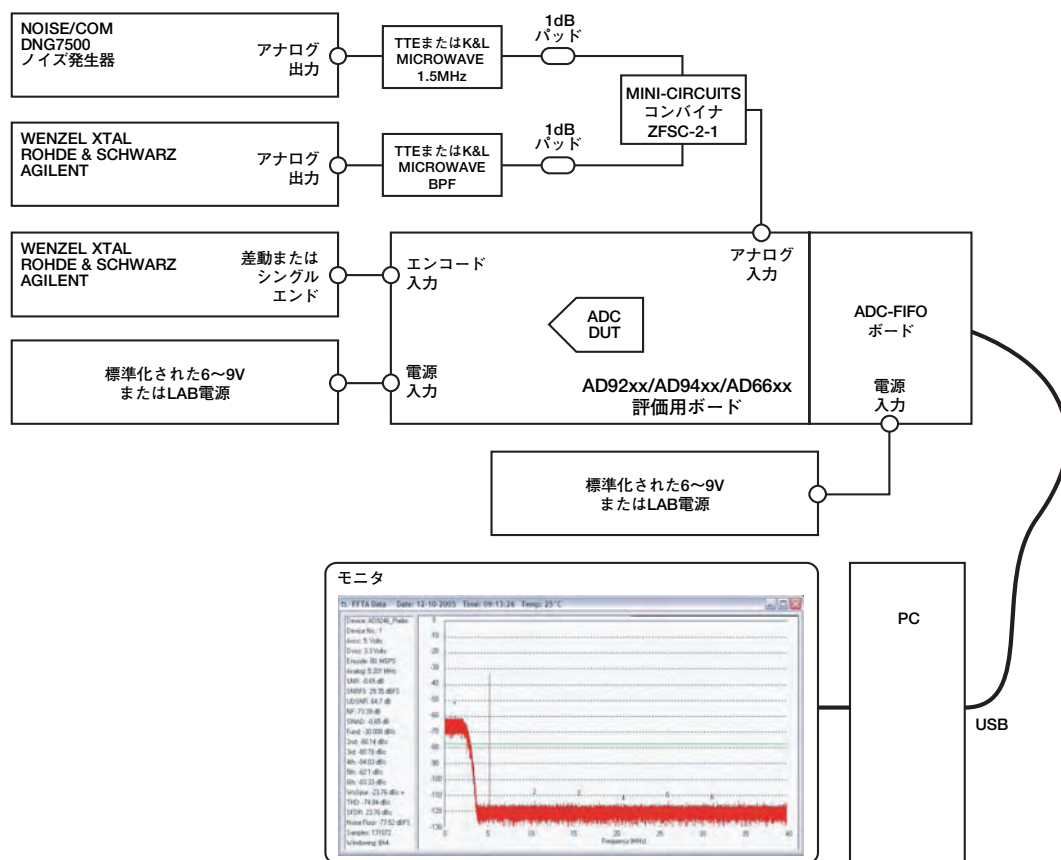
ディザ・テスト

ADCのアナログ入力に必要以上のノイズを印加すると、伝達関数のディザリングが発生して、静的な非直線性によるスプリアスが減ります。ディザはスルーレート制限による歪みの低減にはほとんど貢献しませんが、ADC性能を妨げる局所誤差を減らすためには非常に効果的です。

ディザには帯域外とワイドバンドの2種類があります。図19のセットアップに示すように、帯域外ディザは帯域外に置かれた帯域制限ノイズであり、コンバータ性能をスペクトル的に混乱させることはありません。この技術は通信システムでよく使用されます。通信システムでは、所望の信号を選択して他の信号をすべてカットするためにデジタル・フィルタを使用します。

ワイドバンド・ディザは、通常は高性能テスト機器で使用されます。この構成では、入力にワイドバンド・アナログ・ノイズが加算され、それに対応するデジタル値が出力から減算されます。これらの技術によって、コンバータのスプリアス性能が大幅に向上するという効果が得られます。詳細については、アプリケーション・ノート『AN-410』を参照してください。

ディザを使用すると、アプリケーションにもよりますが、一般にスプリアス性能は15dB以上改善します。多くのデータシートには、比較のためにディザ性能のグラフが含まれています。さらに、ADIsimADCとともにADC Analyzerを使用すると、シミュレーションにディザを追加して、ディザによる性能の向上を示すことができます。



注

- AINレベルは、指定された周波数とレベルが得られるように調整します。
- エンコード設定は、指定のレートに調整します。
- オンボード・レギュレータを使用しない限り、電源は公称値とします。
- 特に指定のない限り、温度は室温とします。
- ADC Analyzer用の適切な環境設定ファイルを使用します。DCピンを調整してディザを除外します。
- 64k以上のADC-FIFOボードを使用します。
- 最大のSFDR性能が得られるように、NOISE/COMのディザ・レベルを調整します。

図19. ディザ・テストのセットアップ

アナログ入力

アナログ入力インピーダンス

アナログ入力インピーダンスは、複素入力電圧をアナログ入用の複素入力電流によって割った比率です。一般にアナログ入力インピーダンスはネットワーク・アナライザにより測定され、スミス・チャートに表示されます。

場合によっては、複素入力は、抵抗、容量、誘導の各項に分解して表すこともできます。

電圧定在波比 (VSWR)

VSWRは、ADCの入力から反射により戻されるパワー量の値です。これはADCの入力ポートへのエネルギー転送の効率を示します。

デバイスからの反射により戻されるパワー量は、次式に基づいて入力インピーダンスから計算できます。

$$\rho = \frac{Z_{IN} - Z_0}{Z_{IN} + Z_0}$$

ここで、

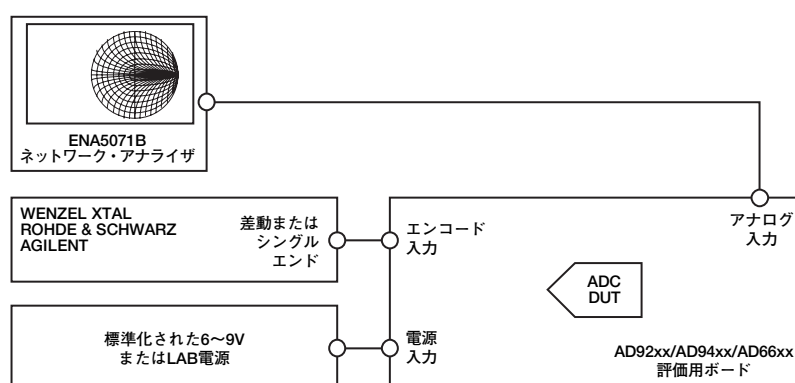
ρ はデバイスからの反射により戻されるパワー量。

Z_{IN} は、ADCの複素入力インピーダンス。

Z_0 は、ネットワークの所望のインピーダンス。

反射係数から、次の式を使用してVSWRを計算できます。

$$VSWR = \frac{1 + \rho}{1 - \rho}$$



注

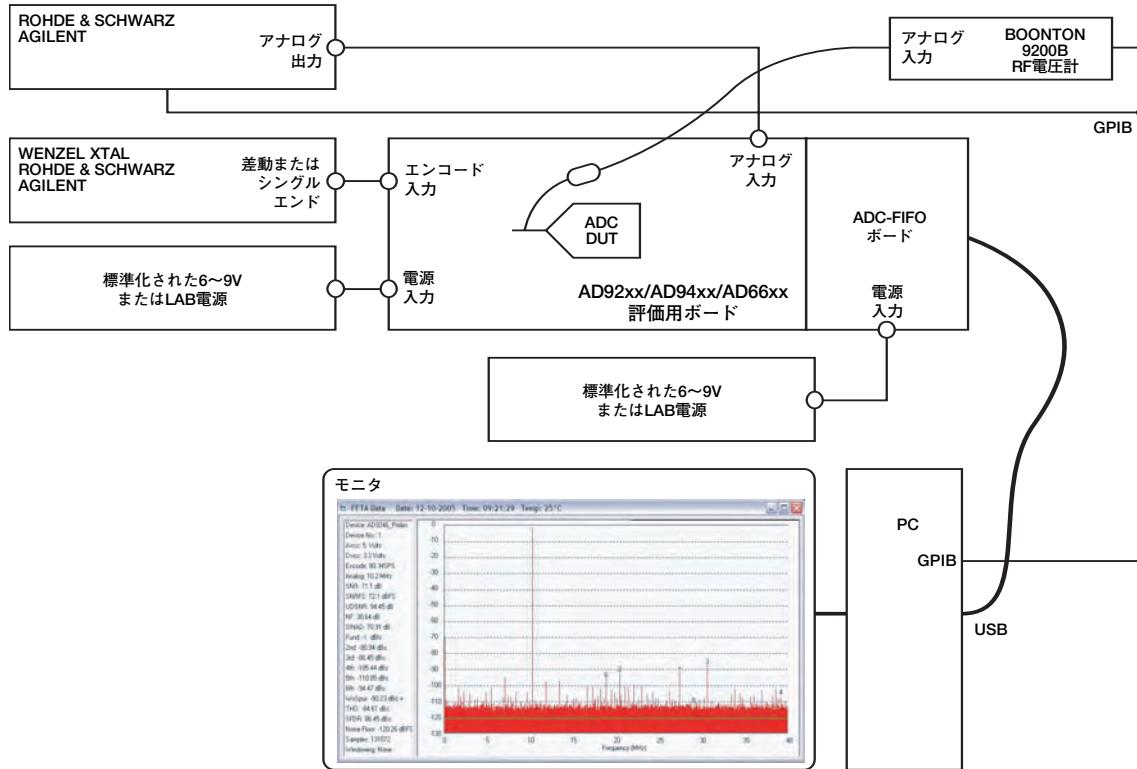
1. エンコード設定は、指定のレートに調整します。
2. オンボード・レギュレータを使用しない限り、電源は公称値とします。
3. 特に指定のない限り、温度は室温とします。
4. ADC Analyzer用の適切な環境設定ファイルを使用します。
5. ネットワーク・アナライザをキャリブレーションキット (3.5mmキャリブレーション・キット、製品番号 85033C または同等品)。

図20. アナログ入力インピーダンスとVSWRテストのセットアップ

08941-020

アナログ入力フルスケール・レンジ (Vp-p)

アナログ入力フルスケール・レンジは、有効なフルスケール応答を生成するためにコンバータのアナログ入力に印加できるピークtoピーク電圧（シングルエンドまたは差動）の範囲です。



注

1. AINレベルは、10MHzで-1dBが得られるように調整します。
2. エンコード設定は、指定のレートに調整します。
3. オンボード・レギュレータを使用しない限り、電源は公称値とします。
4. 特に指定のない限り、温度は室温とします。
5. ADC Analyzer用の適切な環境設定ファイルを使用します。
6. BOONTONのプロープでは終端なしアダプタを使用します。

図21. アナログ入力フルスケール・レンジ・テストのセットアップ

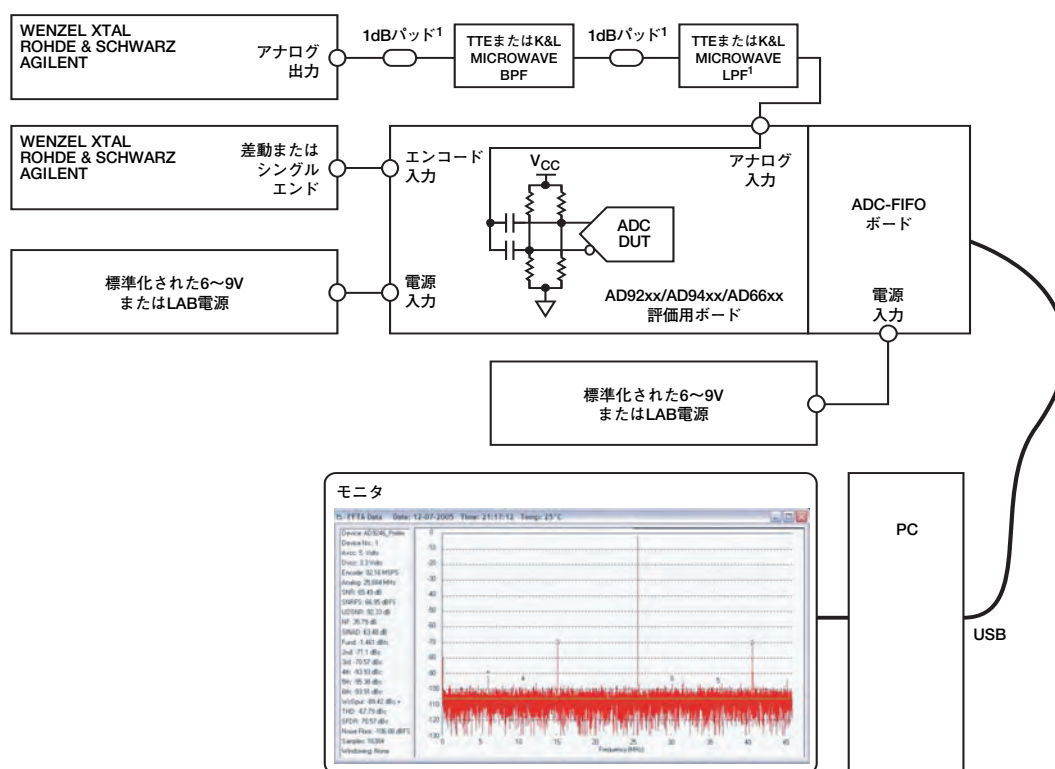
同相入力範囲 (V)

同相入力範囲は、コンバータが正常に動作する差動入力ADCの2つの入力に印加されるDCオフセットの範囲です。多くのコンバータではこの範囲は非常に限定されていますが、広い同相電圧範囲にわたって動作するコンバータもあります。特定の同相電圧範囲を決定するには、コンバータのデータシートを参照してください。

同相ノイズ除去比 (CMRR、dB)

同相ノイズ除去比 (CMRR) は、共通の信号が印加されたときの差動アナログ入力での除去量として定義されます。一般にCMRRはデシベルで表され、次式に示すように計算できます。

$$CMRR = 20 \log \left(\frac{A_{\text{差動}}}{A_{\text{同相}}} \right)$$



¹性能を向上させるためのオプション

注

- AINレベルは、指定された周波数とレベルが得られるように調整します。
- エンコード設定は、指定のレートに調整します。
- オンボード・レギュレータを使用しない限り、電源は公称値とします。
- 特に指定のない限り、温度は室温とします。
- ADC Analyzer用の適切な環境設定ファイルを使用します。
- ADCによっては、抵抗分圧器が不要な場合もあります。

図22. CMRRテストのセットアップ

05941-022

アパーチャ遅延 (ps)

アパーチャ遅延 (AD) は、アナログ・バスとエンコード・バスとの間の遅延の差を表します。これを測定するには、サンプル・クロックの立上がりエッジの50%ポイントから、入力信号が実際にサンプリングされるまでの時間を観測します。

ADを測定するには、次のテスト構成を使用します。

1. アナログ入力をフィルタ済みアナログ信号源に接続します。
2. ADC Analyzerなどのソフトウェアを使用して、シングル・トーンFFTがフルスケール信号 (0dBFS) になるまで入力を調整します。
3. アナログ入力を切断し、ショート・バーを使用してアナログ入力をグラウンドに短絡します。
4. 連続平均時間領域プロットを使用して、デバイスのオフセットを測定します。

5. アナログ入力からショート・バーを取り外し、図23に示すようにアナログ入力を再接続します。
6. 新しいオフセット値を記録し、それを用いて次の式を解きます。

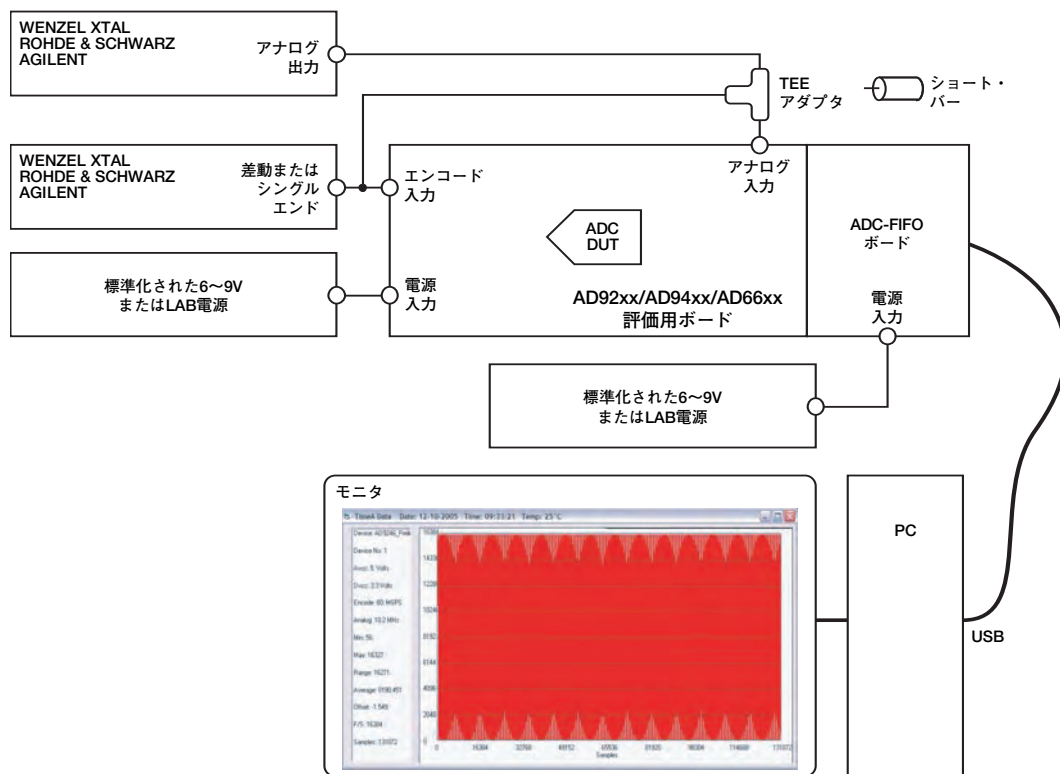
$$t_{AD} = \sin^{-1} \left(\frac{(Code_{AVERAGE} - Offset) / (2^N / 2)}{2\pi \times Frequency} \right)$$

ここで、

$2^N / 2$ は、16ビットADCのミッドスケール。

$Offset$ は、連続平均時間領域プロットを使用して測定されたデバイスのオフセット (ステップ4を参照)。

$Code_{AVERAGE}$ は、アナログ入力からショート・バーを取り外してアナログ入力を再接続した後で得られる新しいオフセット値 (ステップ5を参照)。



注

1. AINレベルは、ミッドバンドの入力周波数向けに0dBFS出力が得られるように調整します。
2. エンコード設定は、指定のレートに調整します。
3. オンボード・レギュレータを使用しない限り、電源は公称値とします。
4. 特に指定のない限り、温度は室温とします。
5. ADC Analyzer用の適切な環境設定ファイルを使用します。

図23. アパーチャ遅延テストのセットアップ

05941-023

アパーチャ・ジッタまたはアパーチャ不確実性 (ps RMS)

アパーチャ・ジッタは、アパーチャ遅延におけるサンプル間変動であり、ADC入力での周波数依存ノイズとして現れることがあります。アパーチャ・ジッタの測定の詳細についてはアプリケーション・ノート『AN-501』を、アパーチャ・ジッタを位相ノイズに変換する方法の詳細についてはアプリケーション・ノート『AN-756』を参照してください。

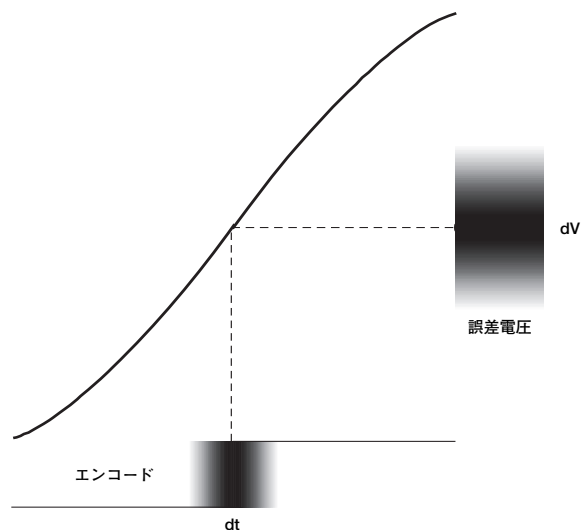


図24. アパーチャ不確実性

クロストーク (dB)

クロストークは、マルチチャンネルADCのクワイエット・チャンネルに混入するフィードスルーの値と定義されます。クロストークは2つの条件下で3つの方法により測定されます。

条件1

信号がフルスケール近くに駆動された場合、クロストークは次のいずれかの方法により測定されます。

- -0.5dBFS で互いに 2MHz 以上離れた異なるミッドベースバンド周波数を使用して、2つのチャンネルを駆動します。オープン・チャンネル（非駆動）上の同じ基本周波数を記録します。これをすべてのチャンネルの組み合わせで繰り返します。
- -0.5dBFS で1つのミッドベースバンド周波数を使用して、任意の $N-1$ チャンネルを駆動します。オープン・チャンネル（非駆動）上の同じ基本周波数を記録します。これをすべてのチャンネルの組み合わせで繰り返します。

条件2

信号がフルスケールを 3dB 超えて駆動された場合（オーバードライブ条件）、クロストークは次のように測定できます。

- 条件1で説明したいずれかの方法を使用しますが、ミッドベースバンド周波数の振幅は、フルスケールより 3dB 上に設定します。

すべての結果は、クワイエット・チャンネル上の不要信号のエネルギーと駆動チャンネル上のエネルギーとの比として、デシベルで表します。

入力換算ノイズ (LSB RMS)

入力換算ノイズは、ADCによって生成されるワイドバンド・ノイズの大きさです。入力が接地されている間に、出力コードのヒストグラムが作成されます。入力換算ノイズはヒストグラムの標準偏差を使用して計算され、LSB rmsで表します。

この測定を互いに関係付けるには、SNRFS測定を使用し、次式によりデシベルをボルトに変換します。

$$\text{ノイズ}_{\text{入力}} = \frac{V_{p-p}}{2 \times \sqrt{2} \times 10^{\text{SNR}/20}}$$

ここで、 V_{p-p} はADCのフルスケール入力範囲、 SNR は小さな入力信号によって駆動された場合のフルスケールのS/N比性能です。

アウトオブレンジ回復時間 (CLKサイクル)

アウトオブレンジ回復時間とは、過渡入力が入力フルスケールの 10% 上から負側フルスケールの 10% 上まで変化した場合、または負側フルスケールの 10% 下から正側フルスケールの 10% 下まで変化した後で、ADCが定格精度まで回復するために必要な時間です。

デジタル時間領域

最小変換レート (MSPS)

最小変換レートは、仕様規定された最低のアナログ信号周波数のS/N比が、保証された限界から 3dB を超えない範囲で低下するときのクロック・レートです。

最大変換レート (MSPS)

最大変換レートは、パラメータ・テストが実行されるクロック・レートです。これより高い動作レートも可能ですが、保証されていません。

パイプライン遅延 (CLKサイクル)

パイプライン遅延は、コンバータを通じての遅延であり、エンコード・サイクルの関数となります。スループットを最大にするため、多くの高速コンバータではパイプライン処理を活用します。その結果、対応するデータは、信号がサンプリングされてから数クロック・サイクル経過しないと出力されません。この遅延がパイプライン遅延であり、データ・コンバータに応じてクロック・サイクルの全体または一部として表わすことができます。

伝搬遅延 (ns)

伝搬遅延は、クロック・ロジックのスレッシュホールド（または差動クロック入力の50%ポイント）から全ビットが有効ロジック・レベルになるまでの遅延です。

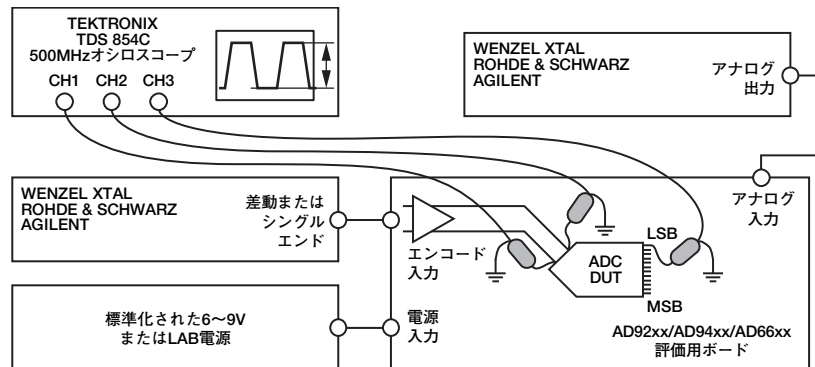
エンコード・パルス幅またはエンコード・デューティサイクル

エンコード・パルス幅ハイは、エンコード信号がロジック・ハイ状態になり、仕様性能を達成できるようになるための最小時間です。エンコード・パルス幅ローは、エンコード信号がロジック・ロー状態になり、仕様性能を達成できるようになるための最小時間です。従来のADCでは、エンコード信号がロジック・ハイ状態にあると、回路はサンプル・モードにあります。

ハイ状態の保持時間が短すぎると、サンプル・プロセスは正しく完了できません。また、ロー状態の保持時間が短すぎても、回路はサンプリングされる信号を正しく取得できません。取得時間とサンプル時間のバランスがうまく取れると、最適な動作が達成されます。

多くのコンバータでは、パルス幅の測定のためにエンコード・デューティサイクルが提供されます。通常これは最大定格エンコードと呼ばれ、エンコード・ラインをハイ状態にできる時間のパーセンテージ範囲として表します。

このテストでは、定格性能は、SNRFS性能が公称性能の-3dB以内である範囲と定義されます。



注

1. AINには低周波のフルスケール信号を設定します。
2. エンコード設定は、指定のレートに調整します。
3. オンボード・レギュレータを使用しない限り、電源は公称値とします。
4. 特に指定のない限り、温度は室温とします。
5. 記載のように評価用ボードとデバイスには適切なREVSを使用します。
6. すべてのオシロスコープ・プローブは、ハンダ付けして接地します。
7. TEKTRONIXプローブM/N: P6243（またはそれ以上）を使用します。<1pF（1GHz帯域幅）

図25. 伝搬遅延テストのセットアップ

0694-1-025

変換誤差レート (CER)

変換誤差レート (CER) は、ADCによって生成される誤差の頻度を表します。誤差は、正規分布ノイズによって許容される限度を超えてコンバータ・ノイズの上下限を外れる出力コードと定義されます。コンバータ・ノイズは、一般に量子化、熱効果、およびクロック・ジッタによって生成されるノイズと定義され、一般にはガウス分布とみなされます。サンプルがエラーとみなされるのは、発生頻度が正規分布による予測値を超える場合です。

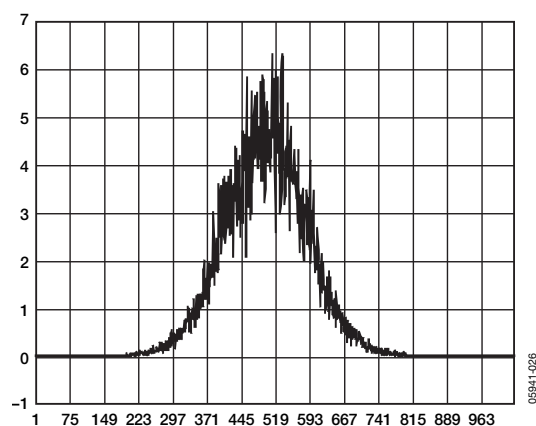


図26. ガウス分布化されたADC出力

ノイズの大きさはシグマ (σ) に正規化され、フルスケールの S/N比を測定し、その値を用いて次式を解くことによって決定できます。

$$\sigma = \frac{2^N}{2 \times \sqrt{2} \times 10^{SNR/20}}$$

想定されるS/N比（またはデータシート）に基づいてシグマが決定されると、想定されるADCコードが実際のコードから減算されて分布のヒストグラムが得られるようにデータをキャプチャできます。統計学的に大きなデータ・セットでは、通常のADCノイズに対して、図26に示すような分布が得られると想定できます。大きな分布では、表1に示すように、これらの範囲を超えるサンプルはビット誤差を示します。

表1. 通常の発生確率 対 シグマ

σ	通常の発生確率	100万個のサンプルでの 妥当な誤差発生回数
3.09	2×10^{-3}	2000
3.72	2×10^{-4}	200
4.26	2×10^{-5}	20
4.75	2×10^{-6}	2
5.20	2×10^{-7}	0.2
5.61	2×10^{-8}	0.02
6.0	2×10^{-9}	0.002
6.36	2×10^{-10}	0.0002

なお、100MSPSのサンプル・レートでは、6.36シグマを外れる1つの誤差は50秒窓では正常であり、変換誤差とはなりません。そのレートが 2×10^{-10} を超えたときにだけ、変換誤差となります。実際はラッチ処理やメモリ素子を含む外部デバイスにより、およそ 2×10^{-6} または 2×10^{-7} を超える測定は困難となります。

DCテストの定義

ゲイン誤差 (%FS)

ゲイン誤差は、測定したフルスケールと理想的なフルスケールとの差異です。一般にフルスケールのパーセンテージとして表します。

ゲイン・マッチング (%FS)

ゲイン・マッチングは、マルチチャンネルADCにおいて最大のフルスケールと最小のフルスケールの比であり、次の式を使用してフルスケールのパーセンテージとして表します。

$$\text{ゲイン・マッチング} = \left(\frac{FSR_{MAX} - FSR_{MIN}}{FSR_{MAX} + FSR_{MIN}} \right) \times 100\%$$

ここで、 FSR_{MAX} はADCの最も大きな正側のゲイン誤差であり、 FSR_{MIN} は最も小さな負側のゲイン誤差です。

オフセット誤差 (%FS)

オフセット誤差は、出力側でミッドスケール・コードを発生させるアナログ入力での測定した電圧と理想的な電圧との差異です。一般にフルスケールのパーセンテージとして表します。

オフセット・マッチング (mV)

オフセット・マッチングはマルチチャンネル・コンバータのチャンネル間のオフセットの差異であり、ミリボルトで表します。次の式で計算できます。

$$\text{オフセット・マッチング} = V_{OFFSET_{MAX}} - V_{OFFSET_{MIN}}$$

ここで、 $V_{OFFSET_{MAX}}$ は最も大きな正側のオフセット誤差であり、 $V_{OFFSET_{MIN}}$ は最も小さな負側のオフセット誤差です。

一般にオフセット・マッチングはミリボルトで表され、フルスケール入力範囲は製品のデータシートに記載されています。

温度ドリフト (ppm)

オフセット誤差とゲイン誤差の温度ドリフトでは、初期 (25℃) 値から T_{MIN} または T_{MAX} での値までの最大変化を指定します。一般にppmで表します。

電圧出力ハイレベル/電圧出力ローレベル (VOH/VOL、V)

電圧出力ハイレベル (VOH) は、ハイのロジック・レベルを表す電圧です。電圧出力ローレベル (VOL) は、ローのロジック・レベルを表す電圧です。

DCテストや静的テストは、一般にDCまたはきわめて低周波のテスト信号で行われます。これらのテストの目的は、多くのコア・コンバータ仕様の基準値を決定することです。テスト条件は製品によって異なるため、実際のテスト条件を決定するには製品のデータシートを参照してください。

直線性

コンバータの直線性には、微分非直線性 (DNL) と積分非直線性 (INL) の2種類があります。ADCの基本的な指標は、各コードがアクティブである電圧の範囲です。コンバータの全体的な伝達関数は、これらの電圧の積分によって決まります。ADCの静的な特性性能は、この2つの基本的な計測値によって決まります。

これらのテストは、ヒストグラム技術を用いて頻繁に実行されます。ヒストグラムを収集するには、既知の統計的品質を持つ信号でADCのアナログ入力を駆動します。たとえば、DCランプは一律な確率密度関数の品質を備えています。つまり、ADC入力を駆動する際、各ADCコードは大きな観測窓の全域で同じ発生確率を持つこととなります。サイン波など他の波形にも、既知の関数があります。このような波形は一律ではありませんが、数学的には正確に記述できます。『The Data Conversion Handbook』(Walt Kester, Newness, 2005, Page 315) を参照してください。

代表的なヒストグラム・テストは、妥当な限り多数のサンプルを使って実行されます。高分解能のコンバータでは400万個以上のサンプルになることもあります。

微分非直線性誤差 (DNL、LSB)

微分非直線性 (DNL) は、理想的な1LSBステップからのコードの変動です。これを測定するには、各ヒストグラム・ビンを検査して、実際の発生確率と理想的な確率を比較します。これによりコードごとにDNLの直接的な指標が得られます。

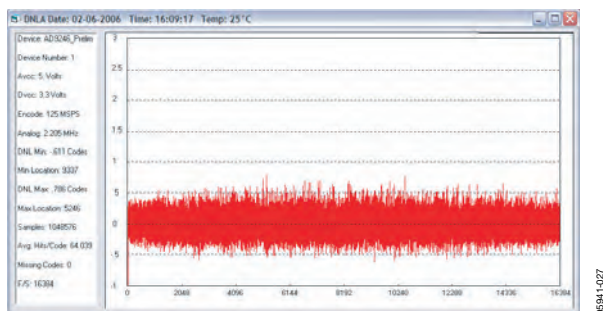


図27. 代表的な10ビットDNL

ミッシング・コード

コードがミッシングといわれるのは、そのコードのDNLが -1 LSBである場合です。ミッシング・コードは、ミッシング量子化レベルと定義され、さまざまな原因によって生じます。大部分の製品は、ノー・ミッシング・コードを実現するように設計または選別されます。

積分非直線性誤差 (INL、LSB)

積分非直線性 (INL) は、最小2乗法によって決定されるベスト・ストレート・ライン近似を用いて測定されたリファレンス直線からの伝達関数の偏差であり、1LSB単位で表します。これを測定するには、ヒストグラムを積分して伝達関数を形成してから、この関数に対して直線回帰を実行します。INLは、実際の伝達関数とこのベスト・ストレート・ライン近似との差異です。

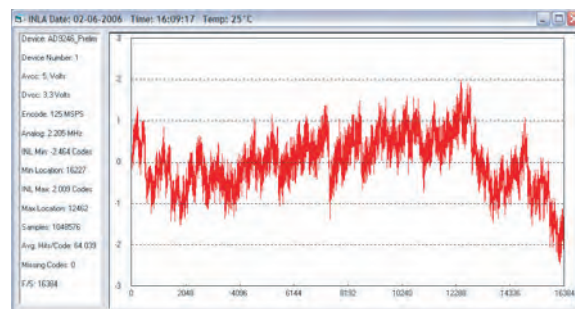
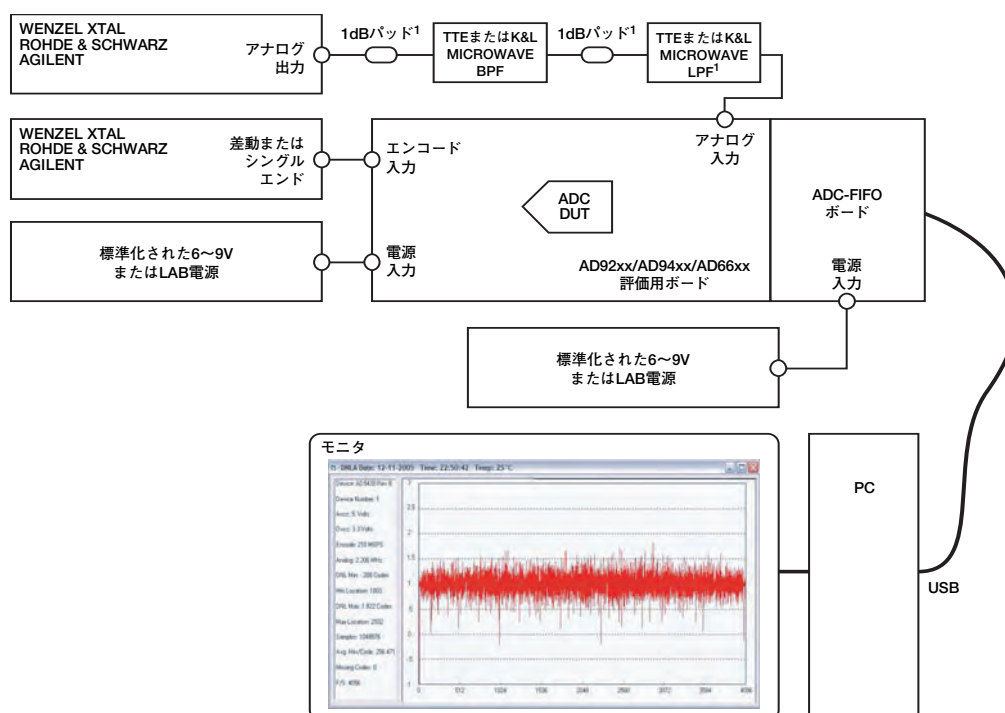


図28. 代表的な10ビットINL



1 性能を向上させるためのオプション

注

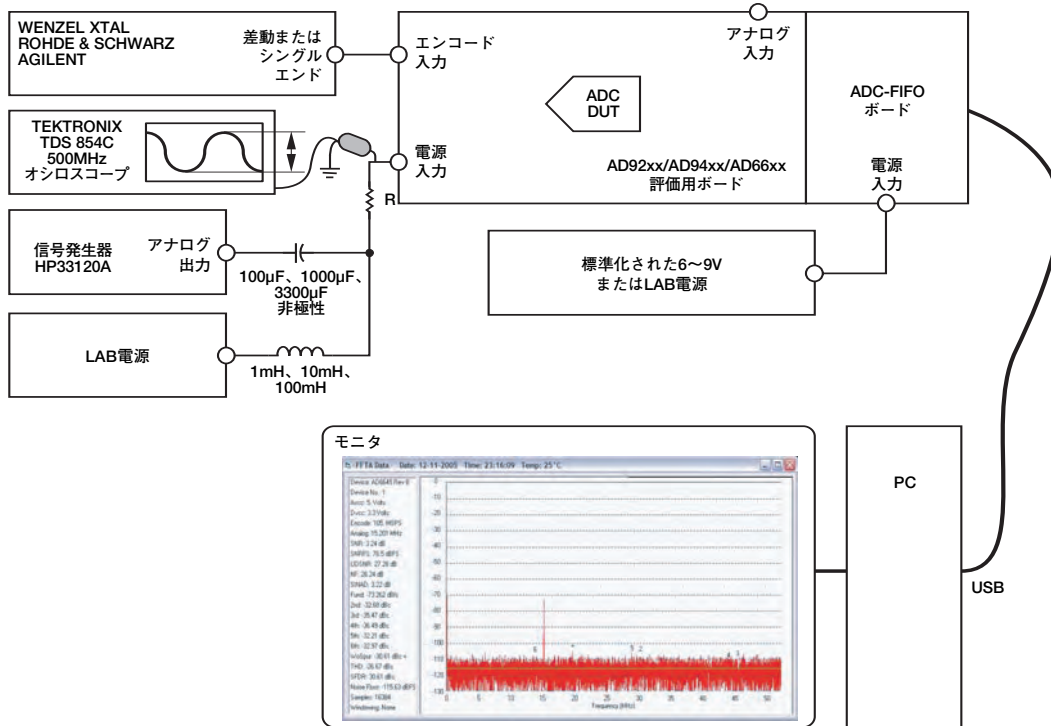
1. AINレベルは、 -0.01 dBFSおよび約 2.2 MHzが得られるように調整します。
2. エンコード設定は、指定のレートに調整します。
3. オンボード・レギュレータを使用しない限り、電源は公称値とします。
4. 特に指定のない限り、温度は室温とします。
5. カスタム・ソフトウェアはINLおよびDNLテストに対応していません。
6. 記載のように評価用ボードとデバイスには適切なREVSを使用します。

図29. DNLおよびINLテストのセットアップ

電源電圧変動除去比 (PSRR, dB)

電源電圧変動除去比 (PSRR) は、ADCのデジタル出力にカップリングされる電源上の信号量を表します。PSRRを測定するには、一般的に、既知の振幅のAC信号を電源ピンに流してか

らFFTの観測スペクトルを測定します。PSRRは、ADCによって測定されたボルト値とオシロスコープによって測定された入力値との差異であり、デシベルで表します。



注

1. 評価用ボードからすべてのバイパス・コンデンサとフェライト・ビーズを取り除きます。
2. エンコード設定は指定のレートに調整します。
3. Rの値は、エンド電源のソース・インピーダンスに関係します。
4. PSRRを測定するには、オシロスコープによって測定された信号とFFT出力とを比較します。
5. TEKTRONIXプローブM/N: P6243 (またはそれ以上) を使用します。<1pF (1GHz帯域幅)

図30. PSRRテストのセットアップ

05941-030

参考資料

データ・コンバータ特性の詳細については、『The Data Conversion Handbook』(Walt Kester, Newness, ISBN 0-7506-7841-0)を参照してください。当社のWebサイトには、『High Speed Design Techniques』『Practical Analog Design Techniques』『Linear Design Seminar』『System Applications Guide』など、その他の参考文献も掲載しています。アナログ・デバイセズの販売代理店では、多くの参考文献のほか、さまざまなアプリケーション・ノート、記事、転載情報を提供しています。詳細については、当社のWebサイト(www.analog.com)を参照してください。