

低ドロップアウト・レギュレータの活用方法

Ken Marasco 著

はじめに

低ドロップアウト (LDO) レギュレータは、広範な負荷電流と入力電圧で規定の出力電圧を維持し、入力電圧と出力電圧の差が非常に小さい電圧に対応します。その差はドロップアウト電圧またはヘッドルーム条件と呼ばれるもので、2 A時に 80 mVまで低くすることができます。出力電圧を調整できる低ドロップアウト・レギュレータ (参考資料の『Break Loose from Fixed IC Regulators (Dobkin著)』を参照) が注目されるようになったのは 1977 年のことでした。現在では、20 個もの低ドロップアウト・リニア・レギュレータを使用する携帯機器も珍しくありません。今日の携帯機器に搭載される LDO の多くは、多機能型のパワーマネジメント IC (PMIC) に集積されています。この高集積パワーマネジメント・システムは、オーディオ、バッテリー充電、ハウスキーピング、照明、通信などの機能に対応した多くの電源領域を備えています。パワーマネジメント IC の詳細については、www.analog.com/power-management を参照してください。

しかし、携帯システムの進化が急激に進む中で、PMIC はペリフェラルの電源条件を満たすことが難しくなっています。カメラ・モジュール、Bluetooth[®]、WiFi[®]などのオプション品目を駆動するには、システム開発の後期の段階で専用の LDO を追加する必要があります。LDO はノイズ低減にも使用され、これによって電磁干渉 (EMI) や PC ボード (PCB) のパターン配線に起因する電圧レギュレーションの問題を解決できます。また、不要な機能をオフにしてシステムの電源効率を改善することもできます。

このアプリケーション・ノートでは LDO の基本回路について考察し、重要な仕様を説明するとともに、システムに低ドロップアウト・リニア・レギュレータを適用する方法を示します。本書では、アナログ・デバイセズの LDO ファミリーの設計特性を用いて具体例を示しています。LDO の詳細については、www.analog.com/linear-regulators をご覧ください。

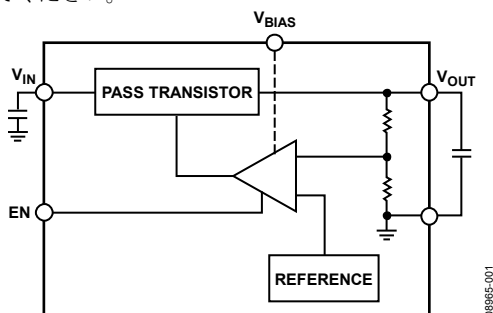


図 1. LDO は低ドロップアウト電圧 (定格負荷電流における V_{IN} の最小規定値と V_{OUT} の差) で出力電圧を安定化

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2010 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

はじめに.....	1	ドロップアウト電圧.....	5
基本的なLDOアーキテクチャ.....	3	スタートアップ時間.....	5
LDOの効率.....	3	電流制限スレッシュホールド.....	5
LDOの性能を高める回路機能.....	3	動作温度範囲.....	5
リニア・レギュレータに必要な条件.....	4	サーマル・シャットダウン (TSD).....	5
デジタル負荷用のLDO.....	4	イネーブル入力.....	6
アナログ負荷/RF負荷用のLDO.....	4	低電圧ロックアウト.....	6
重要なLDO仕様とその定義.....	5	出力ノイズ.....	6
入力電圧範囲.....	5	電源リップル除去比.....	6
グラウンド (消費) 電流.....	5	最小入出力容量.....	6
シャットダウン電流.....	5	逆電流保護機能.....	6
出力電圧精度.....	5	ソフト・スタート.....	6
ライン・レギュレーション.....	5	結論.....	7
動的負荷レギュレーション (負荷過渡応答特性).....	5	参考資料.....	7

基本的なLDOアーキテクチャ

LDOは、図1に示すように電圧リファレンス、誤差アンプ、帰還分圧器、パス・トランジスタで構成されます(参考資料の『Ask The Applications Engineer—37, Low-Dropout Regulators (Patoux著)』を参照)。出力電流はパス・トランジスタ経由で送信され、そのゲート電圧は誤差アンプによって制御されます。誤差アンプは、帰還電圧をリファレンス電圧と比較し、その差を増幅して誤差電圧を小さくします。帰還電圧がリファレンス電圧より低い場合は、パス・トランジスタのゲートがローに制御され、より多くの電流が流れて出力電圧が増大します。帰還電圧がリファレンス電圧より高い場合は、パス・トランジスタのゲートがハイに制御され、電流の流れが制限されて出力電圧が減少します。

このクローズド・ループ・システムのダイナミクスは、誤差アンプ/パス・トランジスタで形成される内部の極と、アンプの出力インピーダンスと出力コンデンサの等価直列抵抗(ESR)で形成される外部の極という、2つの主な極をベースにしています。出力容量とそのESRは、ループの安定性と、負荷電流の過渡的变化に対する応答に影響を与えます。安定性を確保するために、1Ω以下のESRを推奨します。また、LDOにはノイズをフィルタ処理して負荷過渡応答を制御する入力コンデンサと出力コンデンサも必要です。コンデンサの容量を大きくすると、LDOの過渡応答は改善されますが、スタートアップ時間は長くなります。アナログ・デバイセズのLDOは、指定されたコンデンサを使用する場合に規定の動作条件で安定性が得られるように設計されています。

LDOの効率

設計技術者は、常に効率の向上を追求しています。無信号時消費電流(I_Q)と順方向電圧降下を低減することによって、効率が向上します。

$$\text{LDO efficiency} = \left(\frac{V_{OUT} \times I_{OUT}}{V_{IN} (I_{OUT} + I_Q)} \right) \times 100\%$$

I_Q が分母にあるため、 I_Q が増加するほど効率が低下することは明らかです。今日のLDOは I_Q の値がかなり小さくなっており、 I_Q が I_{LOAD} に比べてはるかに小さい値であれば、 I_Q を無視して効率の計算を簡単にすることができます。その場合、LDOの効率は単純に $(V_{OUT}/V_{IN}) \times 100\%$ で表されます。LDOは大量の未使用エネルギーを保存しておくことができないため、負荷に供給されない電力はLDO内で熱として消費されます。

$$\text{Power dissipated } (P_D) = (V_{IN} - V_{OUT}) \times I_{IN}$$

LDOは負荷やラインの変動、周囲温度の変化、時間の経過に左右されずに安定した電源電圧を提供し、電源電圧と負荷電圧間の差が小さいときに効率が最も高くなります。たとえば、リチウムイオン・バッテリーが4.2V(満充電)から3.0V(放電)に低下し

ても、バッテリーに2.8VのLDOが接続されていれば負荷が一定の2.8V(ドロップアウト電圧は200mV未満)に維持されます。その効率は満充電時の67%から放電時には93%へと上昇します。

効率を改善するために、LDOをADP2108などの高効率スイッチング・レギュレータで生成される中間電圧レールに接続することができます。たとえば、3.3Vのスイッチング・レギュレータの場合、スイッチング・レギュレータの効率が95%と仮定すると、LDO効率が85%で一定となり、システム全体の効率は81%になります。

LDOの性能を高める回路機能

イネーブル入力によりLDOのターンオン/ターンオフを外部から制御することができるため、マルチレール・システムで電源を適正な順序でシーケンスすることができます。ソフト・スタートは、パワーアップ時に突入電流を制限し、出力電圧の上上がり時間を制御します。スリープ状態はパワー・ドレインを最小限に抑える働きがあり、特にバッテリー・ベースのシステムで役に立ちます。この機能によって高速ターンオンが可能となります。サーマル・シャットダウンは、LDOの温度が規定値を超えるとLDOをオフにします。過電流保護は、LDOの出力電流と消費電力を制限します。低電圧ロックアウト(UVLO)は、電源電圧が規定の最小値を下回ると出力をディスエーブルにします。図2に、携帯型設計向けの代表的な電源システムの簡略図を示します。

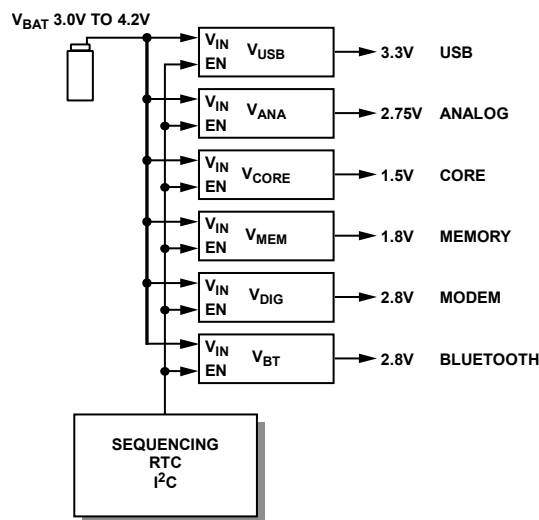


図2. 携帯システムの代表的な電源領域

09965-02Z

リニア・レギュレータに必要な条件

デジタル負荷用のLDO

ADP170やADP1706などのデジタルIC向けリニア・レギュレータは、システムの主なデジタルIC用の電源条件、一般にはマイクロプロセッサ・コアやシステム入出力 (I/O) 回路に対応するよう設計されています。DSPやマイクロコントローラ用のLDOは高効率で動作するとともに、急激に変化する高電流を処理する必要があります。最新のアプリケーションで要求される条件は、デジタルLDOにとって非常に大きな負担となっています。省エネのために、プロセッサ・コアがクロック速度を頻繁に変えていることがその原因です。ソフトウェアによって生じる負荷に応じてクロック速度が変動するために、LDOには高度な負荷レギュレーション能力が求められています。

デジタル負荷の重要な特性は、ラインと負荷のレギュレーション、および過渡的なアンダーシュート／オーバーシュートです。低電圧マイクロプロセッサ・コアを駆動するときは、正確な出力制御が常に重要になります。レギュレーションが不適切だと、コアがラッチアップする可能性があります。これらのパラメータは必ずしもデータシートに記載されているわけではなく、また過渡応答のグラフで示される過渡信号に対する立上がり／立下がり速度は甘い値になっていることがあります。ラインと負荷のレギュレーションは、特定の負荷電流時の負荷変動に伴う出力電圧の偏差 (%)、実際の V/I 値、またはその両方で表すことができます。

エネルギーを節約するために、デジタルLDOはバッテリー寿命を延長する低い I_Q で設計されており、携帯システムはソフトウェアがアイドル状態のときに長時間にわたり低消費電力動作を実行できます。非アクティブの期間、システムはスリープ状態になります。このとき、LDOをシャットダウンして、消費電力を $1\mu\text{A}$ 以内に抑える必要があります。LDOがスリープ・モードのとき、バンドギャップ・リファレンスを含むすべての回路がオフになります。システムがアクティブ・モードに戻るときは高速ターンオン時間が要求され、その間はデジタル電源電圧の過度のオーバー

シュートを避ける必要があります。過度のオーバーシュートが発生すると、システムがラッチアップする可能性があり、場合によっては、バッテリーの取り外しやマスタ・リセット・ボタンの起動によって問題を修正し、システムを再起動しなければなりません。

アナログ負荷／RF負荷用のLDO

アナログ・デバイスはデジタル・デバイスよりもノイズの影響を受けやすいため、ADP121やADP130が提供する低ノイズと高い電源リップル除去比は、アナログ環境で使用するLDOにとって非常に重要です。アナログLDOの必要条件の中心となるのは、「ワイヤレス・インターフェース条件であり、「レシーバやトランスミッタに悪影響を及ぼさず、オーディオ・システムでポップ音やノイズを発生させない」ということになります。ワイヤレス接続はノイズの影響を非常に受けやすく、ノイズが信号に干渉するとレシーバの効果が損なわれる可能性があります。アナログ負荷に対するリニア・レギュレータについては、大元の電源や負荷からのノイズを抑制し、同時にそのことによってノイズを増やさないようにすることが大切です。アナログ・レギュレータのノイズは、ボルト (RMS) 単位で測定されます。レギュレータをノイズに敏感な回路で使用するときは、ノイズを $35\mu\text{V}$ 未満に抑える必要があります。電源ラインで入力からのノイズを抑制するLDOの能力、すなわちPSRRは 60 dB を上回る値とします。ADP150は、出力ノイズが $9\mu\text{V}$ 、PSRRが 70 dB の超低ノイズLDOであり、低消費電力が要求されるアナログ回路に最適です。外付けのフィルタやバイパス・コンデンサを追加してノイズを低減することもできますが、コストが増大しPCBソリューションのサイズが大きくなります。LDOの内部設計で細心の注意を払い、工夫することによって、ノイズの低減や電源ノイズの除去が可能です。LDOを選択するときは、各システムに必要な性能全体を考慮して製品の詳細を検討することが重要です。

重要なLDO仕様とその定義

メーカーのデータシートの最初のページに記載されている仕様は、簡単な概要にすぎず、しかも多くの場合、デバイスの魅力的な特長を強調する目的で記述されています。主要なパラメータでは特に代表的な性能特性が紹介されていますが、これらの代表的な性能特性はデータシートの本文に記載されている仕様全体とその他のデータを参考にしなければよく理解できないことがあります。また、仕様の記述についてもメーカーの間で標準化された方法がほとんどないため、電源設計者は電氣的仕様の表に記載されている主要なパラメータを取得するために使用された定義と方法を理解する必要があります。システム設計者は、周囲温度やジャンクション温度の範囲、グラフ情報における X 軸と Y 軸のスケール、負荷、過渡応答の立ち上がり/立ち下がり時間、帯域幅などの主要パラメータに十分注意しなければなりません。以下のセクションでは、アナログ・デバイセズの LDO の性能評価とアプリケーションに関連する重要なパラメータをいくつか説明します。

入力電圧範囲

LDO の入力電圧範囲で、使用可能な最小入力電源電圧が決まります。仕様には広い入力電圧範囲が示されている場合がありますが、最小入力電圧はドロップアウト電圧と所望の出力電圧との合計値を上回っていなければなりません。たとえば、150 mV のドロップアウトの場合、入力電圧は安定化した 2.8 V の出力を得るために 2.95 V を上回る必要があります。入力電圧が 2.95 V を下回ると、出力電圧は 2.8 V 未満に低下します。

グラウンド（消費）電流

消費電流 I_Q は、規定の負荷電流時に測定される負荷電流 I_{OUT} と入力電流との差です。固定電圧レギュレータの場合、 I_Q はグラウンド電流 I_G と同じです。ADP171 などの調整可能電圧レギュレータの場合、消費電流はグラウンド電流から外部抵抗分割回路の電流を引いた大きさに相当します。

シャットダウン電流

シャットダウン電流は、デバイスがディスエーブルのときに消費される入力電流です。一般に携帯用の LDO では 1.0 μ A 未満であり、この仕様は携帯機器がターンオフしている長いスタンバイ時間中にバッテリーの充電寿命を維持するために重要です。

出力電圧精度

アナログ・デバイセズの LDO は出力電圧精度が高く、出荷時に 25°C で $\pm 1\%$ 以内にトリミングされています。出力電圧精度は動作温度範囲、入力電圧、負荷電流範囲で規定されます。誤差は最悪時の $\pm x\%$ と規定されます。

ライン・レギュレーション

ライン・レギュレーションは、入力電圧の変化に対する出力電圧の変化です。チップの温度変化に起因する精度の低下を避けるために、低消費電力の条件下またはパルス技術を使って測定が行われます。

動的負荷レギュレーション（負荷過渡応答特性）

負荷電流がゆっくりと変化している限り、ほとんどの LDO は出力電圧をほぼ一定に維持できます。しかし、負荷電流が急激に変化すると、出力電圧は変化します。負荷過渡応答性能は、負荷電流の変化によって出力電圧がどれだけ変化するかで決まります。

ドロップアウト電圧

ドロップアウトとは、レギュレーションの維持に必要な、入力電圧と出力電圧との最小差を指します。LDO は、入力がある程度まで減少しても出力負荷電圧を一定に保持することができますが、入力が出力電圧とドロップアウト電圧の合計電圧まで達すると、出力はレギュレーションからドロップアウトしてしまいます。消費電力を最小にし、効率を最大限に高めるためにドロップアウト電圧をできる限り低くする必要があります。一般には、出力電圧がその公称値よりも 100 mV 低い電圧に降下するとドロップアウトすると考えられています。負荷電流とジャンクション温度は、ドロップアウト電圧に影響を与えることがあります。そのため、最大ドロップアウト電圧は全動作温度範囲、全負荷電流範囲で規定する必要があります。

スタートアップ時間

スタートアップ時間は、イネーブル信号の立ち上がりエッジから V_{OUT} が公称値の 90% に達するまでの時間です。一般に、このテストは V_{IN} を印加し、イネーブル・ピンをオフからオンにトグルして実施します。ただし、イネーブル・ピンを V_{IN} に接続する場合は、バンドギャップ・リファレンスが安定するまで時間がかかるため、スタートアップ時間が大幅に増加することがあります。携帯システムで電力節約のためにレギュレータを頻繁にオン/オフするアプリケーションでは、レギュレータのスタートアップ時間を十分に考慮しなければなりません。

電流制限スレッシュホールド

電流制限スレッシュホールドは、出力電圧が規定の代表値の 90% に降下するときの負荷電流です。たとえば、3.0 V の出力電圧の電流制限値は、出力電圧を 3.0 V の 90%、つまり 2.7 V に降下させる電流になります。

動作温度範囲

動作温度範囲は、周囲温度とジャンクション温度によって規定することができます。LDO は熱を放散するため、IC は常に周囲温度よりも高い温度で動作します。周囲温度をどの程度超えて動作するかは、動作条件と PC ボードの熱設計に応じて異なります。長期間にわたり最大ジャンクション温度を超えて動作すると（平均故障時間 MTTF として統計的に規定）デバイスの信頼性に悪影響を及ぼすことがあるため、最大ジャンクション温度 (T_J) が規定されています。

サーマル・シャットダウン (TSD)

大部分の LDO は、熱の放散から IC を保護するためにシリコン・サーモスタットを備えています。ジャンクション温度が規定のサーマル・シャットダウン・スレッシュホールドを超えると、これらのサーモスタットによって LDO がパワーダウンします。LDO を再起動するまでに冷却できるようにヒステリシスが必要です。TSD は、LDO 以外の保護も行うため重要です。過剰な熱はレギュレータ以外のものにも害を与えます。LDO から PC ボード（またはボード上の高温素子から LDO）に伝導する熱は、時間の経過に伴って PC ボードの材料とハンダ接合部を損傷し、さらに周辺の部品を損傷するおそれもあり、これによって機器の寿命が短くなります。また、サーマル・シャットダウンはシステムの信頼性にも影響します。したがって、ボード温度を制御するための熱設計（ヒート・シンクや冷却など）は、システムで考慮しなければならない重要な問題です。

イネーブル入力

正と負のロジックで設定される LDO イネーブルによって、デバイスをオン/オフにします。アクティブ・ハイレベルのロジックでは、イネーブル電圧がロジック・ハイレベル・スレッショールドを超えるとデバイスがイネーブルになります。アクティブ・ローレベルのロジックでは、イネーブル電圧がロジック・ローレベル・スレッショールドを下回るとデバイスがイネーブルになります。イネーブル入力を用いて、LDO のターンオンとターンオフを外部から制御することができます。これは、マルチレール・システムにおける電源のシーケンシングで重要です。LDO によっては、LDO がディスエーブルの間にバンドギャップ・リファレンスがオンになるため、スタートアップ時間を大幅に短くし、LDO の高速なターンオンが可能になるものもあります。

低電圧ロックアウト

低電圧ロックアウト (UVLO) は、システムの入力電圧が規定のスレッショールドを超えた場合のみ電圧を負荷に供給するものです。UVLO は、デバイスの安定した動作のために必要な電圧に輸入電圧が達していないと、デバイスがパワーオンしないようにするという点で重要です。

出力ノイズ

LDO の内部バンドギャップ電圧リファレンスはノイズ発生源であり、一般に特定帯域幅の範囲で $\mu\text{V rms}$ の単位を用いて規定されています。たとえば、ADP121 の出力ノイズは V_{OUT} が 1.2 V のときに 10~100 kHz の範囲で 40 $\mu\text{V rms}$ です。データシートの仕様を比較する際には、規定の帯域幅と動作条件が重要になります。

電源リップル除去比

デシベル単位で表される PSRR は、広い周波数範囲 (1~100 kHz) で入力電源からのリップルを LDO がどの程度除去できるかを評価するときの目安になるものです。LDO では、PSRR を 2 つの周波数バンドで評価することができます。バンド 1 は DC から制御ループのユニティ・ゲイン周波数までの帯域であり、PSRR はレギュレータのオープン・ループ・ゲインによって設定されます。バンド 2 はユニティ・ゲイン周波数を超える帯域であり、PSRR は帰還ループによる影響を受けません。この場合、PSRR は出力コンデンサ、および入力から出力ピンまでのリーク電流経路に

よって設定されます。適切な高い値の出力容量を選択すると、一般にバンド 2 の PSRR が改善されます。バンド 1 では、アナログ・デバイス独自の回路設計を使用すれば、入力電圧と負荷変動による PSRR の変動が低減します。電源電圧変動除去を最適化するには、入力と出力間のリーク電流が小さくなるように PC ボードのレイアウトを配慮し、グラウンディングを堅牢にする必要があります。

最小入出力容量

最小入出力容量は、動作条件のすべて、特に動作電圧と温度の全範囲で規定値より大きくする必要があります。最小容量の仕様を確実に満たすには、デバイスを選ぶときにアプリケーションの動作条件の全範囲を検討しなければなりません。X7R と X5R タイプのコンデンサを推奨します。Y5V および Z5U のコンデンサは、LDO との併用には推奨できません。

逆電流保護機能

PMOS パス・トランジスタを備えた標準的な LDO には、 V_{IN} と V_{OUT} の間に固有のボディ・ダイオードがあります。 V_{IN} が V_{OUT} よりも高くなると、このダイオードが逆バイアスされます。 V_{OUT} が V_{IN} よりも高くなると、固有ダイオードが順方向にバイアスし、 V_{OUT} から V_{IN} に電流が流れるため、破壊的な消費電力が生じる可能性があります。ADP1740/ADP1741 などの一部の LDO には、 V_{OUT} から V_{IN} に流れる逆電流防止の保護回路が備わっています。逆電流保護回路は、 V_{OUT} が V_{IN} よりも高くなると、それを検出し、固有ダイオードの接続方向を反転して、ダイオードを逆バイアスします。

ソフト・スタート

プログラマブル・ソフト・スタートは、スタートアップ時の突入電流の低減や電圧シーケンシングを行う場合に役に立ちます。スタートアップ時の突入電流の制御が必要なアプリケーションでは、ADP1740/ADP1741 などの LDO がプログラマブル・ソフト・スタート (SS) 機能を提供します。ソフト・スタートを実行するには、小さいセラミック・コンデンサを SS と GND 間に接続します。

結論

LDOは重要な機能を担います。コンセプトは単純ですが、LDOを使用する場合には考慮しなければならない点が数多くあります。本稿では、基本的なLDOの回路構成について考察し、主要な仕様について解説するとともに、システムに低ドロップアウト・レギュレータを使用する方法を紹介しました。データシートには、役に立つ情報が数多く記載されています。詳細な情報（セクション・ガイド、データシート、アプリケーション・ノート）のほか、問い合わせ先などについても、アナログ・デバイズのpower managementウェブ・サイトをご覧ください。詳細については、www.analog.com/power-managementをご覧ください。最高速、最高精度のDC/DCパワーマネジメント設計ツールADIsimPower™も利用できます（www.analog.com/ADIsimPower）。

参考資料

Robert Dobkin 著 『Break Loose from Fixed IC Regulators』 *Electronic Design*, 1977年4月12日号

Jerome Patoux 著 『Ask The Applications Engineer—37, Low-Dropout Regulators』 *アナログ・ダイアログ*41-2, 2007年、8~10 ページ