

ADF4xxx系列PLL频率合成器的锁定检测

作者: Peadar Forbes、Ian Collins

简介

本应用笔记涵盖了ADF4xxx系列整数N分频PLL频率合成器以及ADF4360-x系列集成锁相环(PLL)频率合成器和电压控制振荡器(VCO)。(关于应用笔记AN-873所涵盖的ADF4xxx器件完整列表,请参见附录。)每款器件均提供两种形式的锁定检测:模拟锁定检测(ALD)和数字锁定检测(DLD)。根据应用不同,每种形式均有其优点和缺点。本应用笔记的目的是解释这两种选择,协助用户正确选择使用何种形式的锁定检测。

ALD和DLD均使用鉴频鉴相器(PFD)输入处的相位误差来确定PLL是否处于锁定状态。图1显示了PFD与电荷泵模块。

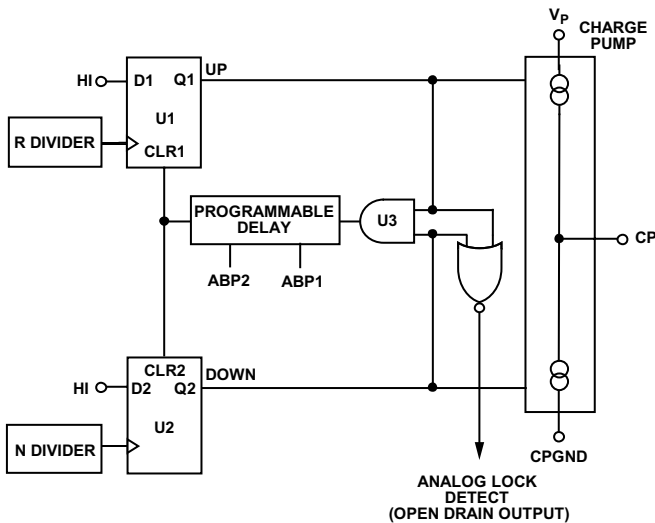


图1. ADF4xxx系列PLL频率合成器上的PFD和电荷泵

数字锁定检测

数字锁定检测输出CMOS逻辑高电平时表示PLL处于锁定状态,输出逻辑低电平时表示PLL处于未锁定状态。图2为DLD的状态图,图3则为一个简化电路图。它的工作原理是:测量PFD输入处的相位误差,然后使用15 ns相位误差窗口确定PLL的锁定状态。

当PFD输入处的相位误差连续五个或更多周期均位于15 ns窗口内时,它将认为PLL处于锁定状态,输出逻辑高电平。

如果相位误差在随后的任一PFD周期漂移出失锁阈值(30 ns)之外,它将提示为失锁,也就是说输出一个逻辑低电平。在某些PLL器件中,窗口由R_{SET}电阻设置(请参见“数字锁定检测——对R_{SET}电阻的依赖关系”部分)。15 ns窗口和30 ns窗口对应于一个4.7 kΩ的R_{SET}电阻。

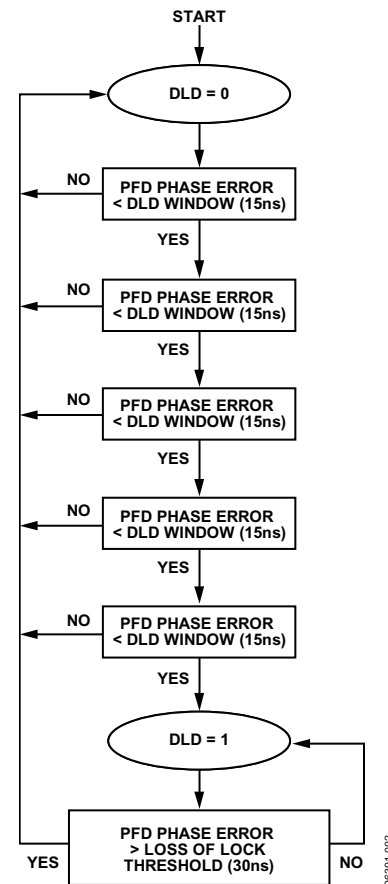


图2. 数字锁定检测的状态图(此情况下的锁定检测精度(LDP)为5)

目录

简介.....	1	数字锁定检测——对 R_{SET} 的依赖关系.....	6
数字锁定检测.....	1	数字锁定检测——对防回差脉冲宽度的依赖关系.....	6
模拟锁定检测.....	3	结论.....	6
一般性能.....	3	附录.....	6
性能与PFD频率的关系.....	4		
泄漏电流.....	4		
周跳.....	5		

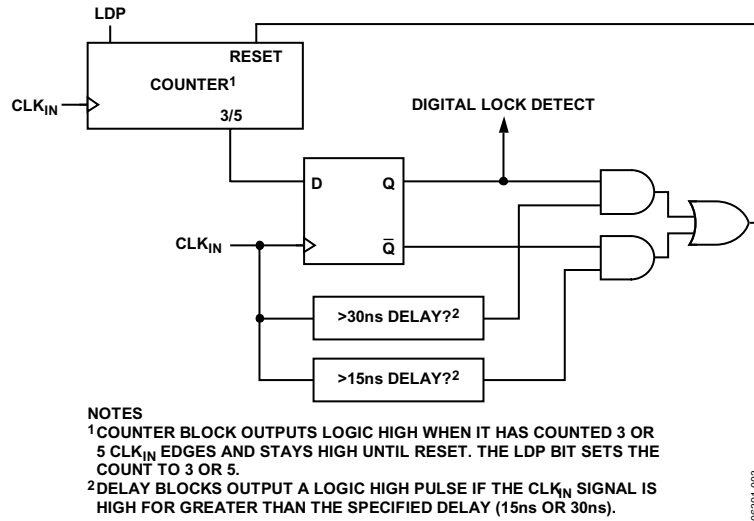


图3. 数字锁定检测的简化电路图；CLK_{IN}为模拟锁定检测信号

R分频锁存器中的锁定检测精度(LDP)位设置注册锁定状态之前计数的周期数，可以选择三个周期或五个周期。

模拟锁定检测

模拟锁定检测(ALD)是对从PFD至电荷泵的上升和下降信号求NOR(或非)值(参见图1)。

当PLL锁定时，PFD输入处的边沿几乎同相，如图4所示。这种情况下，PFD输出由非常短的脉冲Q1和Q2组成。这些脉冲的逻辑NOR运算产生一个具有下降脉冲的高电平信号。下降脉冲的持续时间与R计数锁存器中设置的防回差脉冲宽度的持续时间相等。图4显示了一个锁定PLL及相应ALD输出的时序图。

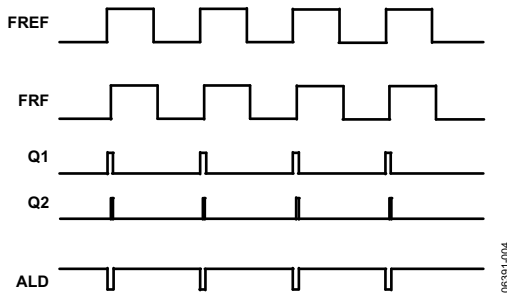


图4. 锁定PLL的时序图，显示了参考信号、分频RF信号、Q1和Q2（从PFD至电荷泵的上升脉冲和下降脉冲）以及ALD信号（它是Q1与Q2的NOR值）

此信号需要在片外进行滤波，以滤除下降脉冲。该滤波器为模拟双时间常数滤波器，如图5所示。模拟锁定检测为开漏输出。

当Q1与Q2的NOR值为高电平时，电容C1通过R2充电。当NOR值为低电平时，C1通过R1放电。通过精心设计滤波器，锁定检测输出将能精确表示PLL的锁定状态。ADIsimPLL™有助于滤波器的设计(请参考www.analog.com/pll)。

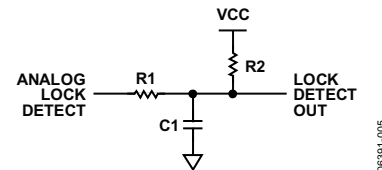


图5. 由R1、R2和C1构成的模拟锁定检测片外滤波；模拟锁定检测为开漏输出

一般性能

在PLL建立至最终频率和相位之前，数字锁定检测就会断言PLL处于锁定状态。这是因为在PLL最终频率和相位建立之前，相位误差已经在五个以上连续周期内小于15 ns。图6显示了一个35 MHz跳频的模拟频率误差以及相应的ALD(蓝色)和DLD(红色)信号。PLL在不到300 μs时锁定，DLD在这之前约150 μs时变为高电平。另一方面，模拟锁定检测由于要在ALD输出上执行滤波，因此直到最终频率和相位达到其建立值时才达到一个稳定的高电平。

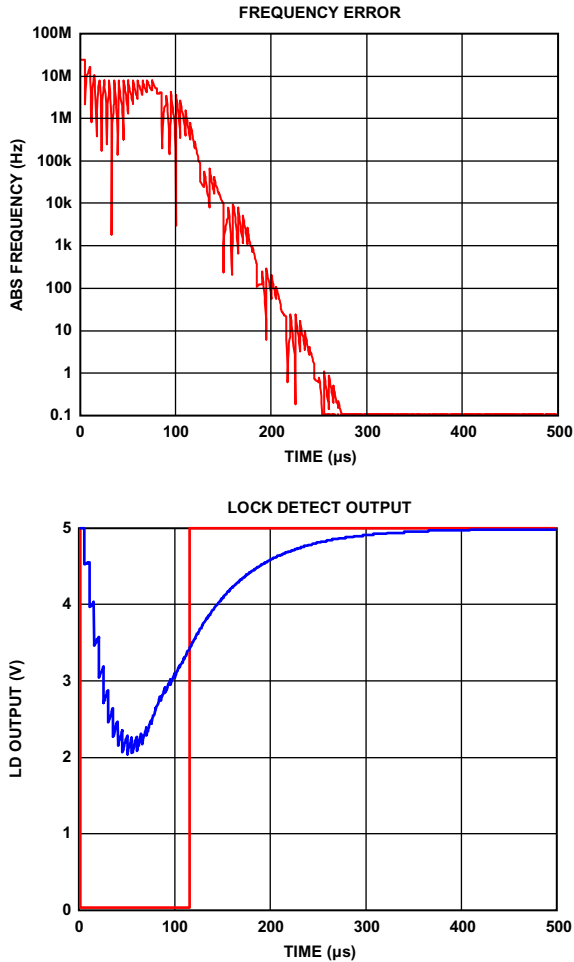


图6.35 35 MHz跳频的频率误差以及相应的ALD(蓝色)与DLD(红色)信号

换言之，当锁定解除时，DLD几乎立即变为低电平，而ALD则可能需要一些时间才能降至低电平。

性能与PFDF频率的关系

当PFDF频率很高时(>15 MHz)，数字锁定检测的精度会下降，这是因为PFDF频率的周期开始接近用于锁定检测的15 ns窗口。例如，一个25 MHz PFDF频率的周期为40 ns。这种情况下，数字锁定检测的精度会有所折扣。在未锁定状态下，如果未锁定频率接近所需频率，则PFDF处的相位误差将在15 ns窗口阈值左右漂移，导致DLD信号高低不定。

更严重的情况是在使用电压控制晶体振荡器(VCXO)时，由于VCXO的频率范围非常窄，未锁定信号与REFIN频率的相位差可能不够大。例如，如果使用一个50 MHz PFDF，则其周期为20 ns。PLL处于锁定状态，锁定信号激活逻辑高电平。

提高REFIN频率将导致VCXO跟踪该频率，直至达到VCXO的最大频率(例如50 MHz + 1 ppm)，再也无法跟踪参考信号。PLL将不再处于锁定状态。不过，因为两个信号的周期均大于20 ns，所以数字锁定检测永远不会检测到相位误差大于30 ns，因而将会继续显示逻辑高电平。

模拟锁定检测在PFDF频率较高时的精度下降程度相对较低。但是，高频信号的电平可能会稍有下降，因为ALD下降脉冲的宽度占整个PFDF周期的比例变得更大。下降脉冲的持续时间与R计数锁存器中设置的防回差脉冲宽度的持续时间相等。因此，在PFDF频率较高时，最好使用较小的脉冲宽度。

同样在未锁定状态下，任何上升脉冲将变得更显著，致使锁定检测信号的未锁定电压升高。但是，信号电平不应高到或低到超出CMOS高电平和低电平范围。有鉴于此，当PFDF频率大于15 MHz时，模拟锁定检测将是更好的选择。

当PFDF频率较低时，泄漏电流的影响较大。接下来将讨论泄漏电流及其对ALD和DLD性能的影响。

泄漏电流

流进或流出环路滤波器的泄漏电流可能会影响ALD和DLD的性能。泄漏源可能有很多，包括电荷泵、VCO调谐端口、环路滤波器电容或有源环路滤波器的偏置电流。PFDF和电荷泵必须补偿在每个PFDF周期损失的电荷，使VCO调谐电压保持恒定，并使PLL保持锁定状态。为此，PLL强制PFDF输入处产生相位误差，使电荷泵开启足够长的时间，以补偿在每个PFDF周期损失的电荷。PFDF频率越低，电荷泵处于三态的时间越长，导致电流泄漏越多，因而泄漏电流的影响也越大。

泄漏电流所引起的PFDF输入处短时相位误差的近似计算公式如下：

$$\text{相位误差} = \frac{\text{泄漏电流}}{I_{CP}} \times t_{DFP} \quad (1)$$

其中：

I_{CP} 为电荷泵电流。

t_{DFP} 为PFDF频率的周期。

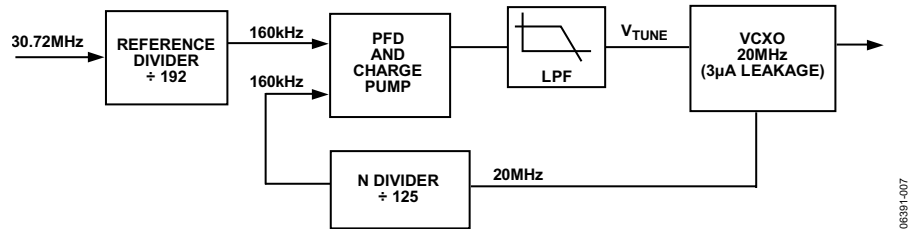


图7. 由30.72 MHz基准频率产生20 MHz时钟频率的PLL

下面以从30.72 MHz基准频率获得20 MHz时钟频率的应用为例说明。30.72 MHz除以192得到160 kHz，将其提供给PFD，然后倍频125倍得到20 MHz输出频率。最大泄漏电流为3 μA的20 MHz VCXO为可调谐振荡器。图7显示了该PLL的框图。

使用等式1计算PFD输入处的相位误差可得：

$$\text{相位误差} = \frac{3 \mu\text{A}}{1 \text{ mA}} \times 6.25 \mu\text{s} = 18.75 \text{ ns}$$

如果本应用使用数字锁定检测，则PFD输入处的18.75 ns相位误差落在15 ns窗口之外。因此，DLD不会变为高电平，即使PLL处于锁定状态。但是，从等式1可以看出，增大 I_{CP} 可以减小相位误差。因此，如果 I_{CP} 增大4倍，相位误差将降至4.7 ns，重新回到DLD窗口之内，DLD又能正常工作。不过，增大电荷泵电流并不是任何时候都可行，因为它可能会使环路滤波器电容的尺寸变得不切实际。

在有泄漏电流存在时，模拟锁定检测方案更具鲁棒性。不过，在锁定状态下，泄漏电流会导致PFD输入处的相位误差增大，使下降脉冲持续时间变长。为使ALD的锁定电平保持高电平，需要对这些脉冲进行更高程度的滤波。在ALD滤波器中(图5)，应当增大电阻 R_1 ，以减慢下降脉冲期间电容 C_1 的放电过程。同样，也可以减小电阻 R_2 ，以加快上升脉冲期间电容 C_1 的充电过程。改变这些数值的影响，以及在有泄漏情况下其对ALD电平的影响，可以在ADIsimPLL中进行模拟。

周跳

当PFD输入处的相位误差积累速度超过PLL的校正能力时，PLL就会发生周跳。周跳的表现特征是建立瞬态中出现纽结，即电荷泵暂时性沿错误方向驱动调谐电压(参见图8)。周跳在小数N分频合成器中较为常见，但如果PFD频率远大于环路带宽，则也可能发生在整数N分频合成器中。(当PFD与环路带宽的比率大于100:1时，一般会引起周跳。)

在周跳附近，PFD输入处的误差可能会降至锁定检测窗口以下并持续若干周期，导致数字锁定检测置位。DLD保持高电平，直到PFD输入处的误差超过失锁阈值为止。在含有许多周跳的建立瞬态中，这可能会发生多次，导致DLD高低不定，直到频率最终建立。这种情况下，DLD只能可靠地用作一个失锁检测器。利用精心设计的滤波器，模拟锁定检测能更可靠地用作有周跳情况下的锁定指示器。

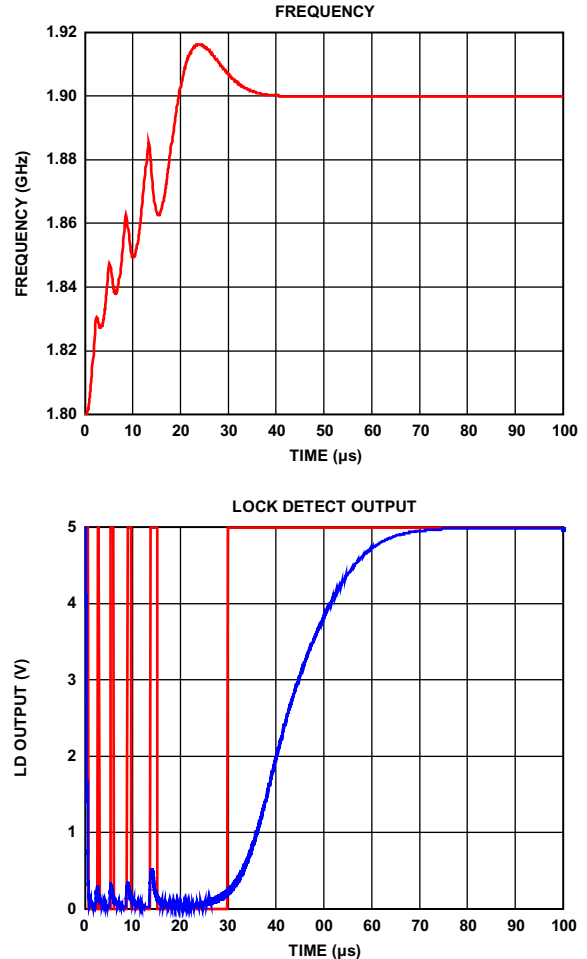


图8. 建立瞬态期间的周跳及相应的DLD(红色)和ALD(蓝色)输出；DLD输出在建立瞬态期间高低不定

数字锁定检测——对 R_{SET} 的依赖关系

数字锁定检测用于检查锁定的时序窗口标称值为15 ns。不过，对于ADF41xx、ADF42xx和ADF4001/ADF4002频率合成器，此窗口则是由 R_{SET} 值确定。从图9可以看出，DLD窗口随 R_{SET} 值增大而增大。标称值15 ns对应的 R_{SET} 值为4.7 k Ω 。失锁阈值也随着 R_{SET} 值增大而增大。在DLD变为高电平之后，要使DLD变为低电平，PFD处的相位误差必须超过失锁阈值并持续一个PFD周期(当 R_{SET} 为4.7 k Ω 时，其标称值为30 ns)。

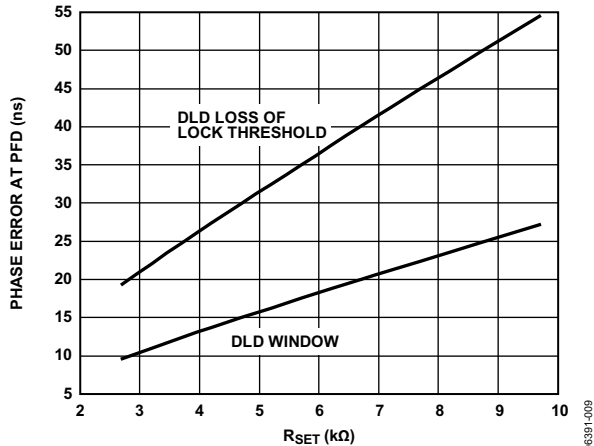


图9. DLD窗口和失锁阈值与 R_{SET} 值的关系； R_{SET} 的容许范围为2.7 k Ω 至10 k Ω 。这些窗口的变化范围为图中所示标称值的10%。

在一些应用中，对数字锁定检测窗口的控制能力可以视为优点。在图7所示例子中，泄漏电流使数字锁定检测不可用；如果将 R_{SET} 从4.7 k Ω 变为10 k Ω ，则DLD窗口将增大至约28 ns。这使最大相位误差18.75 ns回到DLD窗口之内，DLD又能正常工作。请注意，改变 R_{SET} 值也会改变电荷泵电流值。当改变 R_{SET} 时，应当更改电荷泵电流的可编程设置，使电荷泵电流值保持恒定，从而确保环路动态特性不发生变化。

在使用高PFD频率的应用中，可以减小 R_{SET} 值。这将导致DLD窗口缩小，占整个PFD周期的比例变小，从而提高DLD精度。

对于ADF4360-x，DLD窗口和失锁阈值分别固定在15 ns和30 ns，与 R_{SET} 值无关。

数字锁定检测——对防回差脉冲宽度的依赖关系

防回差脉冲宽度对数字锁定检测操作的影响很小，在大多数应用中可以忽略不计，但在极端情况下可能需要予以考虑。

参考图3，DLD使用模拟锁定检测信号检查是否锁定。模拟锁定检测始终具有一个与防回差脉冲宽度相等的下降脉冲，这一脉冲会迭加到PFD输入处因泄漏引起的相位误差上。当计算DLD电路所接受的PFD相位误差时，对此应予以考虑。

例如，如果PFD输入处因泄漏引起的相位误差为10 ns，防回差脉冲宽度(ABPW)设置为1.3 ns，则DLD电路所接受的总相位误差为11.3 ns。

结论

应用笔记AN-873说明了ALD和DLD这两种锁定检测的优点与缺点。DLD由于其数字特性，只能用“是”或者“否”明确地判断PLL是否处于锁定状态。在某些情况下，如本应用笔记所述，DLD可能会不精确。通过仔细考虑PFD频率和泄漏电流情况，可以确定在特定应用中DLD是否精确。

经过滤波之后，ALD对PLL锁定状态的表示不只是0或1，输出电平可以更精确地反映锁定状态。不过，这需要精心设计滤波器，而且输出电平的上升与下降时间在某些应用中可能会成为问题。

附录

本应用笔记所涵盖的产品型号列表如下：

ADF40xx	ADF41xx	ADF42xxx	ADF43xx-x
ADF4001	ADF4106	ADF4206	ADF4360-x
ADF4002	ADF4107	ADF4207	
ADF4007	ADF4108	ADF4208	
	ADF4110	ADF4210	
	ADF4111	ADF4211	
	ADF4112	ADF4212	
	ADF4113	ADF4212L	
	ADF4116	ADF4213	
	ADF4117	ADF4216	
	ADF4118	ADF4217	
		ADF4218	
		ADF4218L	
		ADF4219L	

注释

AN-873

注释