

I²C接口的隔离

作者: Ronn Kliger

简介

I²C[®]总线是一种双线制双向总线，用于集成电路之间的低速、短距离通信。I²C是由飞利浦公司¹于20世纪80年代早期为单片电路板上的多个IC之间的通信而开发，如今，新的总线扩展和控制器件克服了最初的400 pF最大容许负载电容的限制，I²C也越来越多地用于多电路板应用。

在多卡应用中，如刀片服务器或数字控制功率转换器等，为了能无故障地插拔电路卡，或者出于安全考虑，经常需要隔离各接口。但是，I²C总线的双向性使得I²C接口的隔离变得复杂，因为这种特性与光耦合器的单向性不相容。

本应用笔记简要介绍了I²C总线(集中于其物理层)，讨论了隔离I²C接口需要克服的挑战，并且描述了用于隔离I²C接口的*iCoupler*[®]解决方案。

I²C概述

I²C接口由恩智浦半导体公司于2000年1月公布的《I²C总线规范》2.1版定义。该接口由两条信号线组成：串行数据(SDA)和串行时钟(SCL)。这些线用来输送往来于与总线相连的器件的信息，每个器件均通过唯一地址进行识别。在任何情况下，一个器件既可以是发射器，也可以是从接收器，尽管某些器件只能用作其中之一。此外，在任何情况

下，一个器件既可以是主器件，也可以是从器件。主器件是通过寻址另一个器件而发起数据传输的器件，从器件是被主器件寻址的器件。

I²C总线可以连接两个以上的器件，允许存在多重主/从器件关系。在这种情况下，总线的操作由I²C标准中规定的仲裁程序定义。

请注意，主/从器件的称谓与器件是发射器还是接收器无关。例如，在一个主器件要求一个从器件传输数据的操作序列中，主器件首先是发射器(因为它寻址从器件)，然后是接收器(因为它接收来自从器件的数据)，再然后又是发射器(因为它终止传输过程)。同样，从器件首先是接收器，然后是发射器，再后来又接收器。

I²C总线的工作原理为开漏/集电极开路线与功能(参见图1)。为使总线处于逻辑高电平状态，所有与总线相连的器件均必须处于逻辑高电平状态。当SDA线和SCL线均为此情形时，认为总线处于空闲状态，器件可以发起数据传输。SDA和SCL均为双向线，以支持器件兼任发射器和接收器的功能。

¹ 2006年，飞利浦公司将其半导体业务(包括I²C一揽子业务)分离出去，创建了新的独立公司，称为恩智浦半导体公司(NXP Semiconductors)。

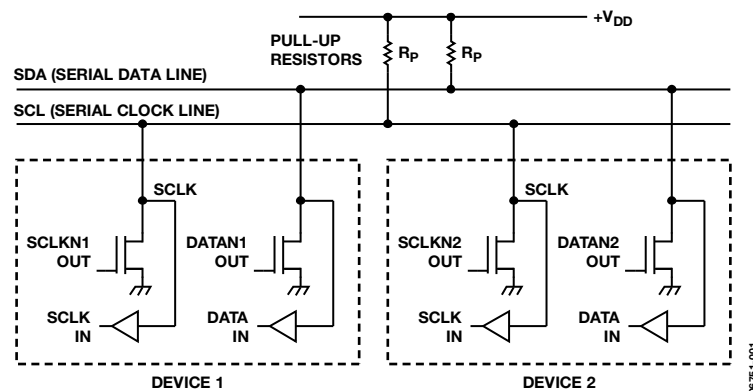


图1. I²C总线

目录

简介	1	<i>i</i> Coupler I ² C隔离解决方案	4
I ² C概述	1	ADuM1250/ADuM1251使用笔记	5
隔离I ² C接口的挑战	3		

表1. I²C逻辑电平

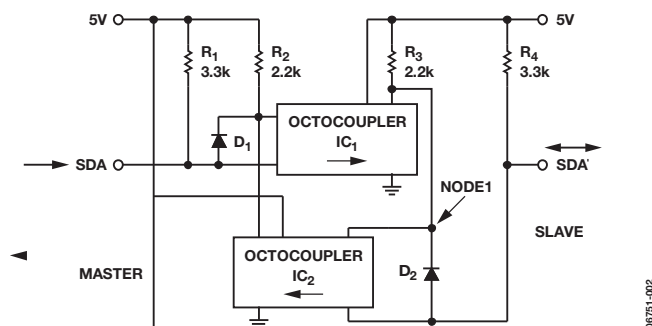
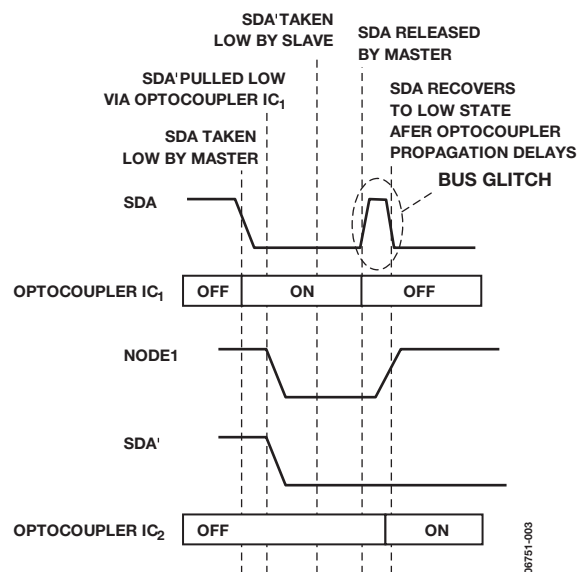
参数	符号	最小值	最大值	单位	备注
逻辑低输入电压	V_{IL}	-0.5	$0.3 \times V_{DD}$	V	标准模式提供固定输入特性 (最小值为-0.5 V, 最大值为+1.5 V)
逻辑高输入电压	V_{IH}	$0.7 \times V_{DD}$	$V_{DD} + 0.5$	V	
逻辑低输出电压 (3 mA吸电流)					标准模式不允许 $V_{DD} < 2 V$
$V_{DD} > 2 V$	V_{OL1}	0	0.4	V	
$V_{DD} < 2 V$	V_{OL3}	0	$0.2 \times V_{DD}$	V	

数据传输速率可达100 kbps (标准模式)、400 kbps (快速模式)、1 Mbps (增强快速模式) 或3.4 Mbps (高速模式)。只要不超过400 pF总线限制, 则与总线相连的器件数量不受限制。I²C的逻辑电平如表1所示。

I²C接口的一个重要特点是SDA逻辑转换只能发生在SCL时钟信号为低电平时。此外, 数据传输的开始和停止信号为当SCL时钟信号为高电平时发生的SDA逻辑转换。因此, SCL信号在低电平状态和高电平状态均必须保持稳定, 以免总线上发生通信问题。

隔离I²C接口的挑战

I²C接口的隔离必须避免引起总线故障或锁定, 但I²C接口的双向性为这种隔离的实现提出了特殊的挑战。图2显示了一个基于光耦合器技术的电路。由于光耦合器是单向性器件, 因此每条双向I²C线路必须分割为两条单向线路才能支持通过光耦合器进行通信。为简明起见, 图2仅显示了SDA线路。隔离一个完整I²C接口需要四个光耦合器, 由此产生的成本、电路板空间和复杂度的增加将大大削弱I²C接口的内在价值 (即提供简单、低成本的双线式接口)。

图2. 基于光耦合器的I²C接口图3. 基于光耦合器的I²C接口波形

这种电路还有一个问题, 即它会产生不良的总线毛刺 (参见图3)。

- SDA上发生高电平至低电平转换。这种情况下, 流经 R_2 的电流打开 IC_1 , 从而将节点1拉至低电平, 然后又通过 D_2 将 SDA' 拉至低电平。
- SDA' 处于低电平状态。这一状态不会改变, 除非 D_2 不再导电。
- SDA脱离低电平, 变为高电平, 因为不存在使它保持低电平的条件。 IC_1 中的LED关闭。经过一定时间的延迟后, IC_1 的晶体管关闭。节点1变为高电平, 并打开 IC_2 中的LED。又经过一定时间的延迟后, IC_2 的晶体管打开, SDA被拉至低电平, 变为所需状态。

请注意, 在使 IC_1 关闭和 IC_2 打开这段时间内, SDA为高电平。这会在总线上产生一个并不想要的毛刺, 因为SDA为高电平, 而 SDA' 则试图将总线变成低电平。

恩智浦半导体公司在P82B96数据手册中提供了一种解决方案，它由该公司的双通道双向总线缓冲器和四个光耦合器组成。这种解决方案不会产生毛刺或锁定，但仍然需要多个器件，增加了电路板空间和成本，从而削弱了I²C接口的优势。

iCOUPLER I²C隔离解决方案

相比之下，ADI公司的ADuM1250/ADuM1251 iCoupler产品是单芯片I²C隔离器，不会产生任何毛刺或锁定问题，且没有基于光耦合器解决方案的尺寸、成本和复杂度增加的问题。

ADuM1250支持与双向数据和时钟线路进行接口，ADuM1251则支持与双向数据线路和单向时钟线路进行接口。这两款产品均具有UL认证的2.5 kV均方根隔离额定值，并采用8引脚SOIC封装。

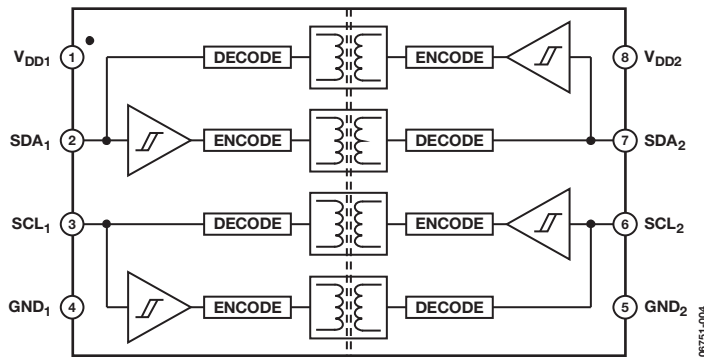


图4. ADuM1250功能框图

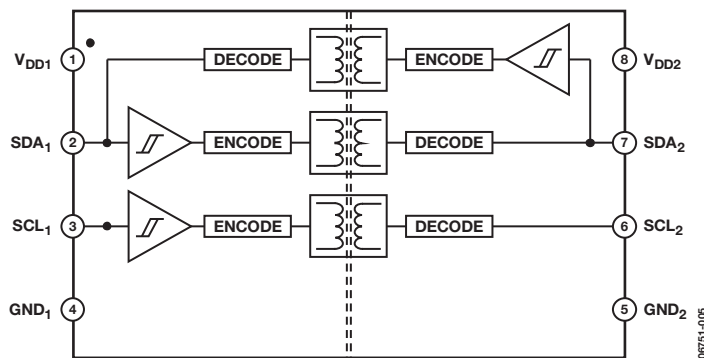


图5. ADuM1251功能框图

采用ADuM1250/ADuM1251的隔离I²C接口非常简单(参见图6)。它只含有一个器件以及用于各电源的旁路电容。上拉电阻是与任何I²C接口均相关联的电阻。I²C规范中提供了关于电阻值选择的指南。

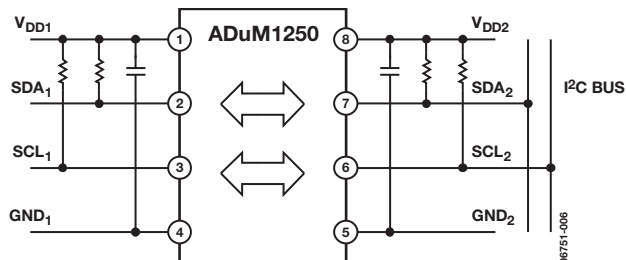


图6. 采用ADuM1250的隔离I²C接口

ADuM1250/ADuM1251隔离器通过在I²C接口的线与开漏配置内部配置四个单向隔离通道，而支持两条双向通信线路。这些器件的第1侧上的特殊逻辑电平用来避免总线故障或锁定。它能防止第1侧接收器所置位的逻辑低电平被误认为是第1侧发射器的输入低电平，从而中断第1侧与第2侧之间的环路（参见图7）。

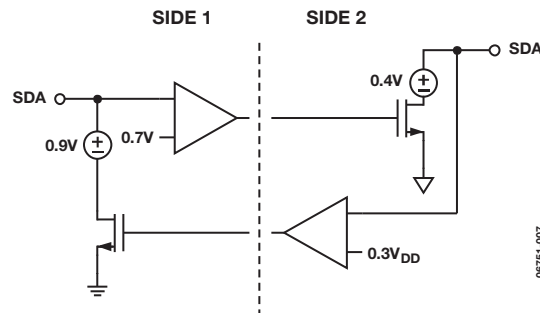


图7. ADuM1250/ADuM1251第1侧逻辑电平

第1侧接收器的逻辑低输出为0.9 V(最大值)。此值既足够低，可被其它标准CMOS器件的第1侧读取为输入低电平，又足够高，可避免被误认为是第1侧发射器的逻辑低电平，后者的逻辑低电平阈值为0.7 V(最大值)。因此，第1侧接收器的输出低电平可以被与总线相连的器件检测到，但不会被第1侧发射器反馈给第2侧。这就避免了与光耦合器类似的问题，同时仍然支持最高达1 MHz的时钟频率。由于反馈环路在第1侧中断，因此不需要在第2侧上采取同样的做法，第2侧使用标准逻辑电平。

ADuM1250/ADuM1251使用笔记

ADuM1250/ADuM1251的推荐使用方法是将第2侧与I²C总线相连，隔离器的这一侧完全与I²C规范兼容，能以标准模式和快速模式工作。第1侧虽然与I²C器件完全兼容，但并不与I²C规范严格兼容，因为它使用了特殊逻辑低电平来防止总线锁定。

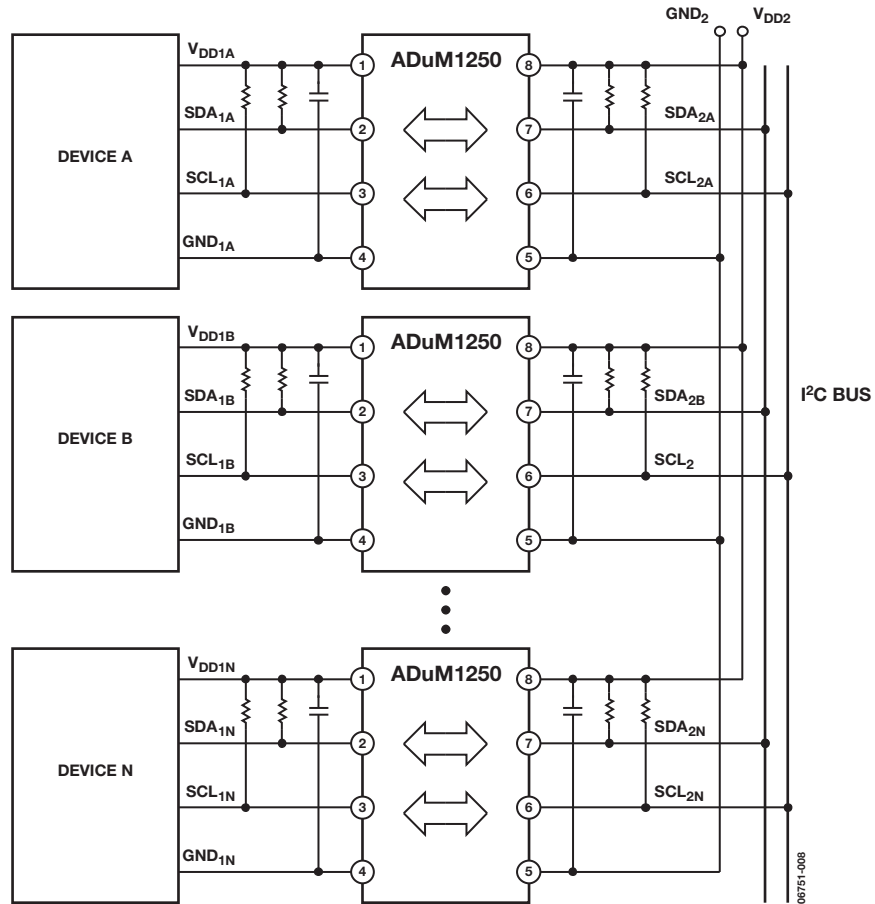
图8. 隔离I²C总线上的多个器件

图8显示了多个器件通过ADuM1250隔离器与I²C总线相连。每个器件均有自己的电源，并连至ADuM1250的第1侧。各ADuM1250的第2侧连至总线，采用共同的VDD2电源供电。

对于任何I²C接口，必须确保设计符合I²C规范的时序要求。具体而言，设计需要考虑隔离通道的传播延迟以及隔离通道之间的传播延迟失配，以确保最终得到的接口符合I²C要求。

时序参数有两个，I²C接口中的隔离器会影响这些参数：

- SDA设置时间（快速模式下为250 ns）
- SDA保持时间（快速模式下为300 ns）

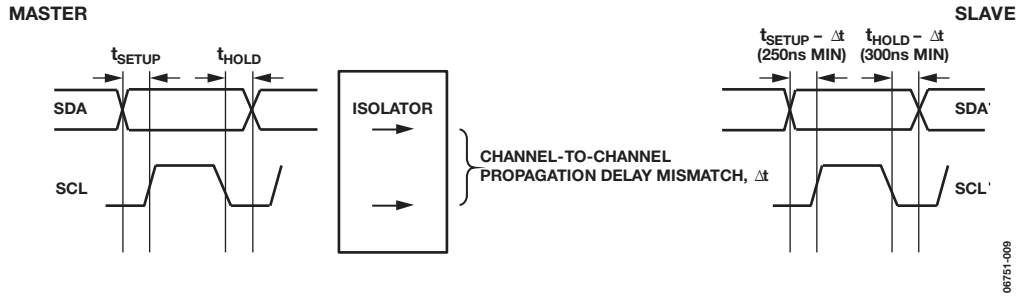


图9. 主/写入模式下隔离器通道失配的影响

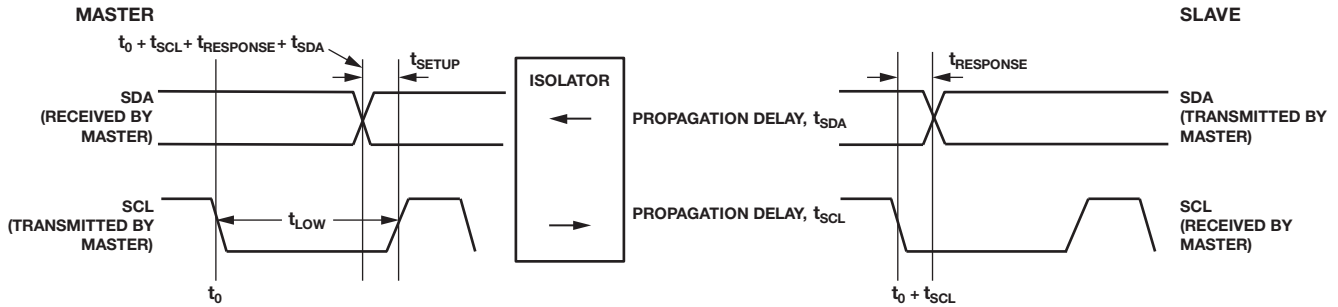


图10. 从/写入模式下隔离器往返传播延迟的影响

分析I²C隔离器的影响时，需要考虑两种情况。第一种情况是主器件写入从器件（参见图9）。这种情况下，隔离器的通道间失配会减少从器件接收到的SDA信号的设置或保持时间。为消除这种可能性，主器件的设置和保持时间至少应增加通道失配的时间量，以确保满足接收端从器件的设置和保持时间要求。

第二种情况是从器件写入主器件（参见图10）。这种情况下，主器件向从器件提供SCL时钟，从器件进而将SDA信号写入主器件。主器件将SCL拉至低电平，只有从器件接收到SDA边沿之后，SCL才能回到逻辑高电平状态（减去所需的设置时间）。这意味着，经过隔离器的往返传播延

迟加上从器件的响应时间之和，必须小于SCL逻辑低电平持续时间减去其设置时间之差：

$$t_0 + t_{SCL} + t_{RESPONSE} < T_{LOW} - T_{SETUP}$$

这就给从器件的响应时间设置了约束条件：

$$t_{RESPONSE} < T_{LOW} - t_{SETUP} - t_0 - t_{SCL}$$

这两种情况均要求理想的I²C隔离器具有很短的传播延迟和很小的通道间失配。就此而言（除尺寸、成本和简单性上的优势之外），ADuM1250/ADuM1251同样提供出色的性能特征，因为它们对I²C接口的时序影响更小。

注释