



# AN-1478 アプリケーション・ノート

## 特定のシステム条件を対象とする絶縁型 SPI バス 著者：Jie Chen、Jason Naso

### はじめに

シリアル・ペリフェラル・インターフェース (SPI) は、マイクロプロセッサとペリフェラル・デバイス間の短距離通信に多用される同期シリアル・バス・インターフェースです。SPI バスは、厳格に規定されたプロトコルではなく、様々な方法で実現することができます。多くの場合、ガルバニック絶縁を組み込む必要性があり、これを組み込むことによりメリットが得られます。このアプリケーション・ノートでは、高速な通信速度、プリント回路基板 (PCB) の限られた実装面積、および低消費電力といったシステム・レベルの課題に直面している設計者向けに種々の SPI アイソレーション技術について説明します。また、このアプリケーション・ノートは、様々な SPI アイソレーション・ソリューションのセレクション・ガイドとしての役割も果たします。

SPI プロトコルは一般に、単方向の4つのシングルエンド・チャンネルで構成されています。SPI マスタは、クロック、シリアル・データ、およびスレーブ・セレクトという3種の信号を出力します。スレーブ・デバイスからは、マスタ・デバイスに戻る1本のシリアル・データ・ラインがあります。kbps~数 Mbps のデータ・レートの場合、この物理層は比較的簡単なプロトコルで SPI を構成し、マスタ・デバイスとスレーブ・デバイス間のガルバニック絶縁を実現しています。標準的な4チャンネルのデジタル・アイソレータは、多くの場合、全二重通信向けの妥当でトランスペアレントなドロップ・イン・ソリューションになります。データ・レートが高くなると、別の技術が必要になります。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2018 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F  
電話 06 (6350) 6868  
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 40F  
電話 052 (569) 6300

## 目次

はじめに.....	1	絶縁電源を内蔵.....	7
改訂履歴.....	2	補助データ・チャンネル.....	8
クロックを極限まで高速化.....	3	複数のスレーブ制御.....	9
3つの順方向チャンネルと、1つの逆方向チャンネルを備えた標準的な（3/1）デジタル・アイソレータ.....	3	超低消費電力のアプリケーション.....	10
独立した遅延クロック（ラップされたクロック）.....	5	まとめ.....	11
遅延リードバック・アイソレータ.....	6	参考文献.....	12

## 改訂履歴

5/2018—Revision 0: Initial Version

## クロックを極限まで高速化

より一般的で従来からある方式は、1個のマスタ・デバイスが1個以上のスレーブ・デバイスと全二重通信を行う形をとります。マスタ・デバイスは、チップ・セレクト・ラインをローに設定し、クロック信号を送信することにより、スレーブ・デバイスとの通信を開始します。マスタと選択されたスレーブは両方とも、クロックの立上がりエッジでバスに書き込み、クロックの立下がりエッジでバスから読み込みます。この形態のSPI通信は、図1と図3に例示するようなシステムで使用されています。

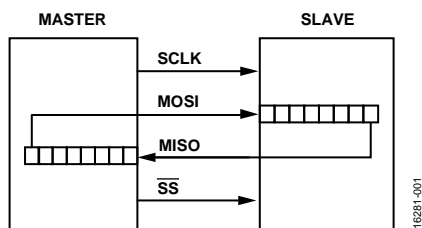


図 1. 標準的な SPI の実装

### 3つの順方向チャンネルと、1つの逆方向チャンネルを備えた標準的な (3/1) デジタル・アイソレータ

方向性のあるチャンネルには、簡単なプロセスで絶縁を付加することができます。SPIを絶縁する場合に、デジタル・アイソレータは自然な選択肢です。なぜなら、短い伝搬遅延、良好なチャンネル間マッチング、小型の1チップ・ソリューション、堅牢な通信、および簡易実装を実現できるためです。これらの特長から、デジタル・アイソレータはフォトカプラ・ソリューションと比べて優位性があります。

データ・アキュイジション・システムにおいて、スループット・レートは上昇し続けています。伝搬遅延が短い場合でも、この伝搬遅延によって全二重通信の最大データ・レートは制限されます。この影響は図2と図4の差異に現れています。

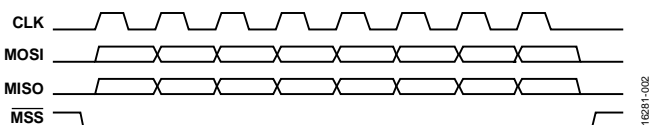


図 2. 標準的な SPI のタイミング図

### クロック・レートの制限

全二重通信を簡単に実装するには、SPIの最大クロック速度を算出するために、デジタル・アイソレータの仕様をいくつか検討する必要があります。最小パルス幅、最大データ・レート、および伝搬遅延はすべて、制限要素になる可能性があります。

図3は、汎用の3/1クワッド・チャンネルを備えた標準的なデジタル・アイソレータをガルバニック絶縁向けのドロップ・イン・ソリューションとして使用した、SPIバス・ソリューションを示しています。SPIクロック信号は、状態が1周期あたり2回変化します。ただし、デジタル・アイソレータを通過するデジタル・データについては該当しません。標準的なデジタル・アイソレータは、クロック信号をサポートする最大データ・レートの仕様を備えている必要があります。例示しているこのデバイスでは、最大データ・レートの仕様は制限要素になりません。

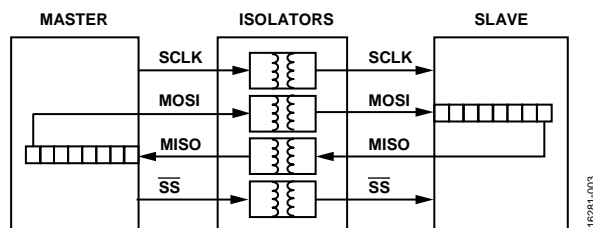


図 3. 標準的なデジタル・アイソレータのSPIアイソレーション

図4の伝搬遅延の影響に注目してください。この例では、データはクロックの立上がりエッジで送信され、立下がりエッジで受信されます。

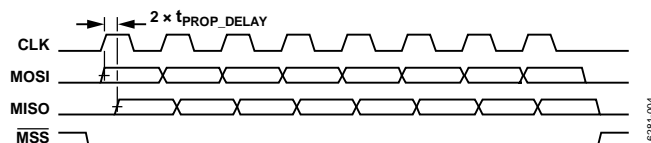


図 4. 絶縁を施した標準的な SPI のタイミング図

マスタ・デバイスは、クロックとマスタ・アウト・スレーブ・イン (MOSI) 信号の送信を同時に開始します。スレーブ・デバイスから送信されるマスタ・イン・スレーブ・アウト (MISO) 信号は、クロックの立上がりエッジでトリガされますが、クロック・エッジが遅延するため、MISO信号も遅延します。このとき、MISO信号は、マスタに到達する前に標準的なデータ・アイソレータを通過する必要があります。この例では、スレーブとマスタは両方ともクロックの立下がりエッジでデータを読み込みます。

SPI通信は、MISO信号に同期したクロック信号に依存します。図5は、データ・レートが増加して通信が破綻したときの伝搬遅延の影響を示しています。伝搬遅延のために、クロックの立下がりエッジで読み込むポイントが、MISO信号が安定しているときではなくMISO信号の遷移点になっています。このシステムのデータ・レートは高すぎるため、通信の信頼性を確保できません。

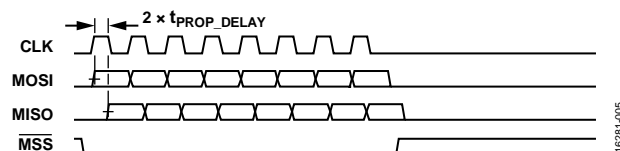


図 5. マスタ側から見たタイミング図

図5に示すように、スレーブに行ってマスタに戻るまでの伝搬遅延は、SPIクロック周期の半分未満でなければなりません。アプリケーションでは、PCBのパターン遅延、セットアップ・タイム、およびスレーブ応答時間によって最大クロック・レートが更に減少する可能性があります。このアプリケーション・ノートでは、簡素化のためにこれらの要因を無視し、全二重通信を簡単に実装するために以下の関係を保ちます。

$$\text{SPIクロックの半周期} \geq 2 \times t_{\text{PROP\_DELAY}}$$

データシートの最大伝搬遅延値を用いて、最大データ・レートを算出します。システムは、実験室ではより高い速度を達成できますが、堅牢な通信を確保するために、温度や電源電圧の変

動、およびデバイスのばらつきに配慮する必要があります。表 1 は、アナログ・デバイセズの様々なデジタル・アイソレータについて、最大 SPI データ・レートの一覧を示しています。

表 1. ドロップ・イン、全二重通信デジタル・アイソレータの最大 SPI クロック・レート

Part Number	Data Rate (Maximum)	Propagation Delay (Maximum)	Drop In, Full Duplex SPI Clock (Maximum)	Distinct Special Features
ADuM1401ARWZ	1 Mbps	100 ns	500 kHz <sup>1</sup>	Isolated SPI benchmark
ADuM1441	2 Mbps	180 ns	1 MHz <sup>1</sup>	Ultralow power, intrinsic safe for IS-IS isolation under IEC60079-11
ADuM7441	25 Mbps	50 ns	5 MHz	Cost sensitive basic insulation
ADuM141D/ADuM141E	150 Mbps	13 ns	19.2 MHz	High robustness to radiated and conducted noise, 1.8 V operation, package options as small as QSOP available
ADuM241D/ADuM241E	150 Mbps	13 ns	19.2 MHz	High robustness to radiated and conducted noise, 1.8 V operation, 5 kV withstand
ADuM3151/ADuM3152/ADuM3153	34 Mbps	14 ns	17.8 MHz	High data rate, three additional 250 kbps control/signal channels, small SSOP footprint
ADuM4151/ADuM4152/ADuM4153	34 Mbps	14 ns	17.8 MHz	High data rate, three additional 250 kbps control/signal channels, 5 kV withstand

<sup>1</sup> 最小パルス幅の仕様によって制限されます。

独立した遅延クロック（ラップされたクロック）

一部の全二重通信のアプリケーションでは、標準的なデータ・デジタル・アイソレータを SPI シグナル・チェーンに単純に挿入して得られるデータ・レートよりも高い SPI データ・レートが要求されます。図 5 に示すような同期の難題は、クロック信号とマスタに向かう MISO 信号を一緒に戻せば、うまく処理することができます。高速のデータ・レートは達成可能ですが、この方法を使用する場合に考慮すべきことは、SPI のマスタの設計が複雑化することです。一般に、遅延した MISO 信号とクロック信号を読み込むにはソフト・レジスタを付加する必要があります。

標準的なデータ・アイソレータを実装した状態で遅延クロックを独立させる技術を用いるには、マスタ・クロック信号を戻す（ラップ・バックする）ためにアイソレーション・チャンネルを追加する必要があります。ラップされたクロック信号は、追加されたアイソレーション・チャンネルを通してマスタに戻ります。この遅延したクロック信号は、スレーブに行く MOSI 信号やスレーブから戻って来る MISO 信号が遅延するのと全く同様に、アイソレータの順方向と逆方向の伝搬遅延によって遅延します（図 6 を参照）。この方法では、チャンネル間マッチング時間の仕様値が低いデジタル・アイソレータを使用することが重要です。（スレーブでの遅延とパターンによる遅延を無視した）最小 SPI クロック周期は、最大パルス幅歪みと、同方向チャンネル間マッチングの仕様によって決まります。算出する SPI クロックの半周期の最小値は、デバイスの最小パルス幅の仕様よりも確実に大きくしてください。

$$\text{SPI クロックの半周期} \geq 2 \times t_{\text{PWD}} + t_{\text{PSKCD}}$$

例えば、ADuM152N は、最大パルス幅歪みが 4.5ns で、最大同方向チャンネル間マッチングが 4.0ns であるため、理論的には

38.4MHz の最大クロック速度を実現できますが、実際にはパターン長とスレーブ応答での遅延を考慮する必要があります。

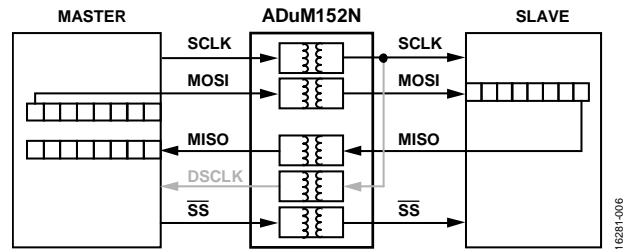


図 6. アイソレーション・チャンネル遅延を用いた高速 SPI

SPI デジタル・アイソレータの ADuM3150 と ADuM4150 は、標準機能として遅延クロック信号を調整することができます。図 7 に示すように、ADuM3150 は 1 次側に遅延回路を実装しています。ADuM4150 も、1 次側に遅延回路を実装しています。各アイソレータの往復伝搬遅延をマッチングさせるため、遅延クロック（DCLK）信号は ADuM3150 の出荷テストで調整されます。図 6 とは異なり、ADuM3150 ではアイソレーション・チャンネルを追加する必要はありません。これらの SPI デジタル・アイソレータは、最大 40MHz のクロック・レートに対応可能です。

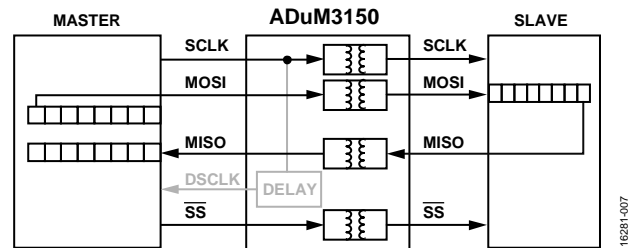


図 7. 高精度のクロック遅延を用いた高速 SPI

表 2. ラップされたクロックによる SPI のデータ・レート

Part Number	Supply Voltage (V)	SPI Clock (Maximum)	Distinct Special Features
ADuM152N/ADuM162N	1.7 to 5.5	38.4 MHz	High robustness to radiated and conducted noise, 1.8 V operation
ADuM252N/ADuM262N	1.7 to 5.5	38.4 MHz	High robustness to radiated and conducted noise, 1.8 V operation, 5 kV withstand
ADuM3150/ADuM4150	3.0 to 5.5	40 MHz	Delayed clock feature, two additional 250 kbps control/signal channels, small SSOP footprint

遅延リードバック・アイソレータ

遅延した MISO データ信号を同期させる場合に、遅延したクロック信号を加える代わりに、遅延リードバック・アイソレータを使って、バス上で次に続くワードにクロックが与えられるまで、1 次側で MISO データをバッファリングすることもできます。MISO データをバッファリングすることによって、マスタは遅延クロックをサポートする必要がなくなります。このプロセスでは、アプリケーションが MISO データ内で 1 ワードの遅延を許容する必要があります。データが主にマスタからスレーブに書き込まれるアプリケーションでは、これは大きな問題にはなりません。3 つの双方向選択信号や低ジッタの LOAD 信号も備える LTM2895 は、遅延リードバック技術を実装しているため、D/A コンバータ (DAC) を絶縁するのに最適です。

LTM2895 では、キー信号の重要なエッジを絶縁障壁を越えて転送するだけで、クロックが 100MHz の SPI バス動作をサポートします (図 8 を参照)。内蔵されたステート・マシンとバッファの組み合わせを使用すると、LTM2895 は SPI 信号を完全に再生することができます。SPI クロック周波数やワード長などの必要な設定情報は、SPI インターフェースと 2 次側のスレーブ・セレクト (SSB) を介して設定されます。LTM2895 の設定後は、この 2 次側のスレーブ・セレクトを、絶縁された 2 次側の SPI デバイスへの書き込み用に転用できます。

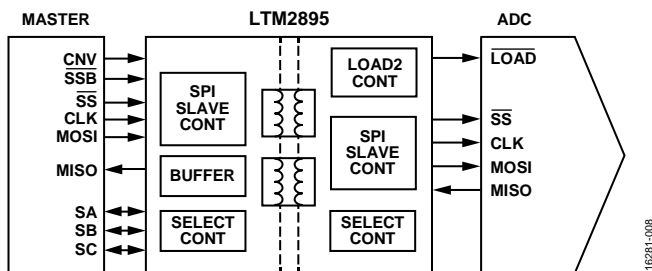


図 8. 超高速 DAC ストリーミング・アイソレータ

LTM2895 の 1 次側と 2 次側は、順方向と逆方向に各 1 本の高速非同期シリアル・リンクを使用することで、絶縁障壁を越えて内部通信を行います。割込み優先度制御方法により、タイミングの重要な信号は低レイテンシーと低ジッタで確実に更新されます。

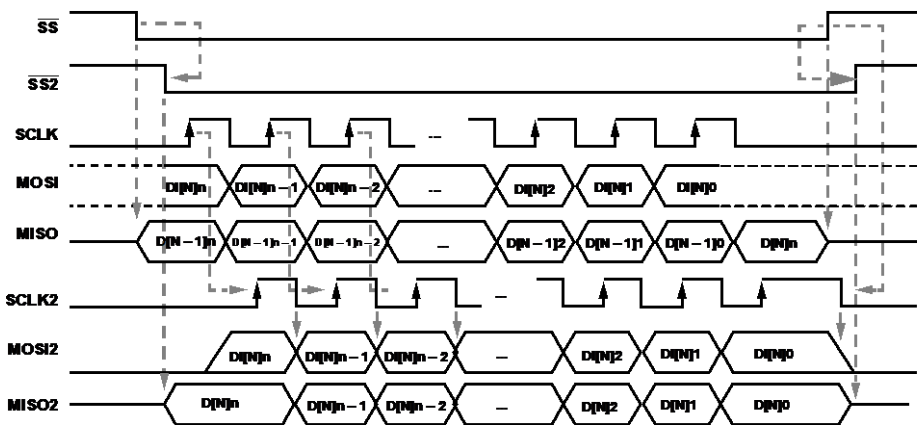


図 9. LTM2895 の SPI タイミング

図 9 は、LTM2895 の通常動作シーケンスを示しています。このシーケンスは、1 次側の (SS) の立下がりエッジから始まり、対応する 2 次側の (SS2) の立下がりエッジが生成され、前もってサンプリングされた MISO2 ワードの MSB が MISO から出力されます。1 次側の SCLK の最初の立上がりエッジによって LTM2895 がトリガされると、MOSI がサンプリングされ、障壁を越えて情報が送られます。2 次側のステート・マシンがこのデータを受信したとき、このマシンは MOSI2 を更新し、SCLK2 を (SPI クロックの周波数設定によって決まる) 一定時間だけローに保ちます。SCLK2 に対して仕様規定されたローの時間が経過した後、2 次側のステート・マシンは SCLK2 を起動させ、MISO をサンプリングして、データを 1 次側のバッファに送ります。1 次側の SCLK が立ち下ると、バッファリングされた MISO データは更新されます。SCLK の次の立上がりエッジによって、SCLK2 は仕様規定された時間だけローになります。一方、他の信号は同じ状態を維持します。SS が立ち上がると、SPI の処理は終了し、MISO はハイ・インピーダンスに駆動され、2 次側の SCLK2 と MOSI2 はローになり、SS2 はハイになります。LTM2895 が選択されていないとき、MISO はハイ・インピーダンスになっているため、MISO は他のスレーブ・デバイスと共に 1 次側の SPI バスを共有できます。

MISO データ・バッファは循環バッファであり、ワード・サイズを設定することによって区分される読み出しポイントと書き込みポイントを使用します。

66MHz または 100MHz の SPI クロック周波数が選択された場合、LTM2895 は伝搬時間とセットアップ・タイムを増やすために、SCLK の立上がりエッジで 1 次側の MISO データを更新します。

SPI ページ・モードは、SS をローに保つと同時に、目的のワード長の倍数だけクロックを与えるとサポート可能です。

DAC 入力に LOAD を備える DAC を絶縁する場合、LTM2895 の LOAD 信号は、立下がりエッジ間でジッタ (代表値が 30ps rms) を伴う短いパルスになります。LTM2895 は LOAD2 の立上がりエッジを生成しますが、このときのパルス幅は 40ns または 60ns になり、SCLK2 の周波数の設定値に依存します。

## 絶縁電源を内蔵

電源を独立させると、アプリケーションによっては不経済なことや、不可能なこともあります。これらの設計では、1次側から絶縁された電力を2次側のデバイスに供給する必要があります。絶縁の堅牢さと認定条件を満たそうとすると、従来の絶縁電源ソリューションでは、大型化し、困難を伴います。これらの課題は、いくつかの *isoPower*® または *μModule*® デバイスを使って簡単に対処できます。**ADuM5411** はそのようなソリューションの1つです（図10参照）。このデバイスは、最大150mWの内蔵絶縁電源と共に4つの絶縁信号チャンネルを備えており、しかもサポート用のバイパス・コンデンサも含めて、わずか90mm<sup>2</sup>の実装面積しか占有しません。150mWの内蔵絶縁電源があれば、多くの場合、高精度のADCや低消費電力のマイクロコントローラ・ユニット（MCU）を十分にサポートすることができます。

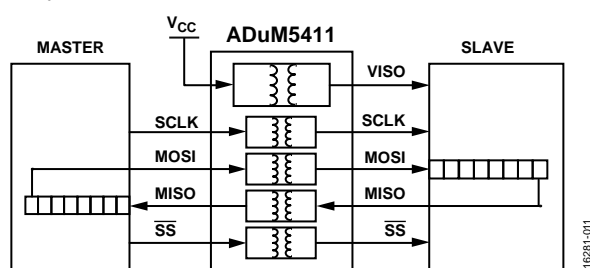


図10. *isoPower* を用いた SPI アイソレーション

更に高い絶縁電源条件における絶縁 SPI アプリケーションについては、表3に示すような別のソリューションも提供しています。**ADuM5401** は、それ自身で最大500mWの絶縁電力を供給可能です。また、**ADuM5401** は、互換性のある別の *isoPower* デバイスを制御する能力を考慮して設計されています。**ADuM5401** はマスタとして動作可能で、パルス幅変調（PWM）信号を1個以上の **ADuM5000** デバイスに送り、自身とスレーブの各 **ADuM5000** デバイスを調整することができます。

**LTM2883-S**、**LTM2886-S**、および **LTM2887-S** は、6チャンネルのデジタル *μModule*（マイクロモジュール）アイソレータで、最大1Wの出力電力を供給する能力があり、様々な出力電圧範囲のオプションを備えています。

**ADuM3471** は、スイッチング・レギュレータと共に、SPI用の4つの絶縁データ・チャンネルを内蔵しています。このデバイスは、外付けトランスを用いて、3.3V~24Vで最大2Wの安定化した絶縁電源を提供します。**ADuM3471** の出力機能は、アナログ出力モジュールなど、より高い電力とより広い電圧範囲が必要なシステムで絶縁電源を供給するのに適しています。

表3. 絶縁電源を内蔵した SPI 信号アイソレーション

Part Number	Isolated Supply Voltage	Isolated Power	Data Rate (Maximum)	Drop In, Full Duplex SPI Clock (Maximum)
ADuM5411	Adjustable 3.3 V to 5 V	150 mW	150 Mbps	19.2 MHz
ADuM5401	Fixed 3.3 V or 5 V	500 mW	25 Mbps	4.1 MHz
ADuM5401/ADuM5000	Fixed 3.3 V, 5 V	1 W	25 Mbps	4.1 MHz
LTM2883-S	Fixed 5 V Fixed +12.5 V Fixed -12.5 V	100 mW 250 mW 187.5 mW	20 Mbps	4 MHz
LTM2886-S <sup>1</sup>	Adjustable 3.0 V to 5 V Fixed +5 V Fixed -5 V	500 mW 500 mW 500 mW	20 Mbps	4 MHz
LTM2887-S	Adjustable 3 V to 5 V Adjustable 0.6 V to 5 V	500 mW 500 mW	20 Mbps	4 MHz
ADuM3471	Adjustable 3.3 V to 24 V	2 W	25 Mbps	4.1 MHz

<sup>1</sup> 全出力電力は最大1Wです。

## 補助データ・チャンネル

複数のスレーブの選択に加え、低速チャンネルでは、図 11 に示すように、絶縁障壁を越えて別の制御信号も送信できます。この場合、ADuM3152 の低速チャンネルでは、チャンネルの方向を混在させることが可能で、マスタからスレーブへのリセット信号を送信すると同時に、逆方向にパワー・グッド信号と割込み信号を送ることができます。SPIsulator®デバイス・ファミリのデバイスが異なると、補助データ・チャンネルの方向の組み合わせも異なります。

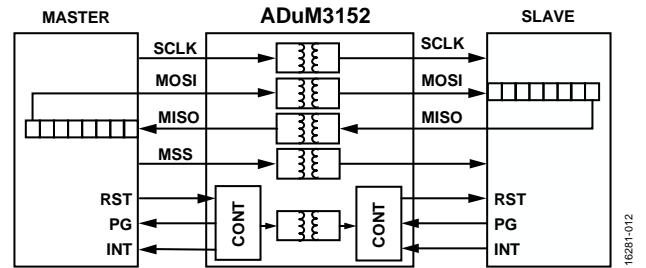


図 11. 補助機能を備えた SPI アイソレーション

16281-012



## 複数のスレーブ制御

複数のスレーブを1つのSPIバスに接続する場合、デイジーチェーンと独立スレーブ構成という2つの方法があります。デイジーチェーンでは、1本のスレーブ・セレクション (SS) ラインだけを必要とし、チェーンの全内容は1つの絶縁されたポートを通してシリアルに出力されます。データ・アクイジションのシーケンスが固定されていないときは、各SPIスレーブを個別にアドレス指定する必要があります。

簡単なソリューションとして、ADuM161Nなどのデジタル・アイソレーション・チャンネルを追加する方法があります。このソリューションは、正確なタイミングのSS信号が要求されるシステムで推奨されます。例えば、スレーブがADCのとき、SS信号はデータ変換の起動も行います。

タイミングの制限が緩やかなアプリケーションでは、4つの高速チャンネルと1つの低速チャンネルが内蔵されたADuM3154アイソレータを用いると、図12に示すような別のソリューションを実現できます。ADuM3154は、17MHzの最大SPIクロック速度をサポートし、最大4個の独立したスレーブを制御します。マルチプレクサを選択するラインの伝搬遅延は100ns~2.6μsであり、これは内部サンプリング・クロックを基準にして、入力データのエッジが変化する位置に依存します。3つのアイソレーション・チャンネルをなくすことで、このソリューションは標準的なデジタル・アイソレータ・ソリューションと比べて小型化が図れ、費用対効果が高くなります。

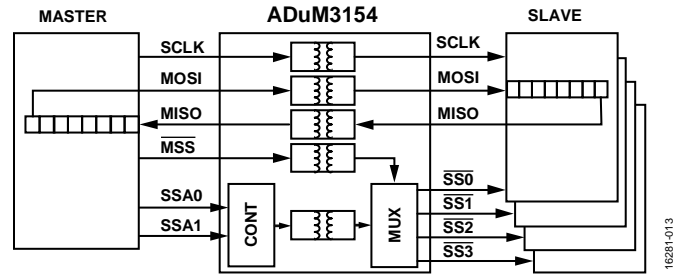


図 12. 複数のスレーブ制御を備える SPI アイソレーション

図13に示すように、マスタが別の絶縁プレーン上にある複数のスレーブと通信する場合、デジタル・アイソレータはマスタ側のMISOラインをトライステートにする能力を備えている必要があります。MISOをトライステートにできないと、デジタル・アイソレータの出力ピン同士が競合するため、通信することができません。

アイソレータからのMISO信号を選択するためのトライステート・バッファは、マスタ、非絶縁スレーブ、および絶縁スレーブでも必要です。

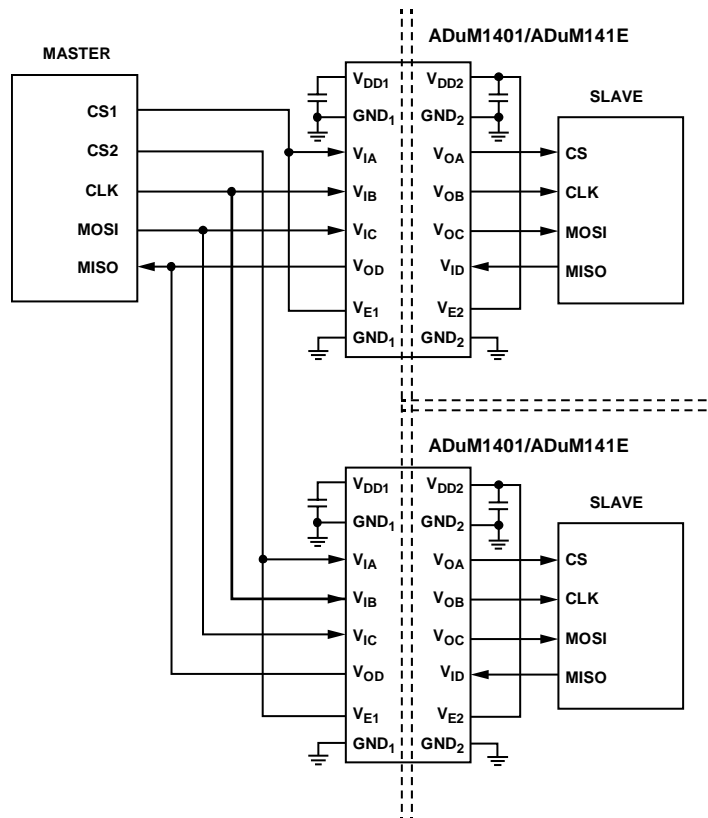


図 13. 絶縁されたスレーブ同士の MISO を選択するためのトライステート

## 超低消費電力のアプリケーション

絶縁は安全な電子システムのために必要と考えられますが、一方で負荷と考えることもできます。なぜなら、絶縁によって通信速度が制限され、ボード・スペースが占有され、更にかかなりの量の電力が消費されるためです。前の 2 つの項目については、クロック速度を極限まで増加し、ボード・スペースを最小限に抑える技術革新によって対処しています。アプリケーションの中には、バッテリー駆動のデバイス、4mA~20mA のループ駆動の工業用トランスミッタなど、極めて低い消費電力が求められるものもあります。現在のところ、デジタル・アイソレータの消費電力はフォトカプラよりもかなり低いとはいえ、これらの新しいアプリケーション分野への参入を可能にするためには、2~3 桁低くする必要があります。

データ・レートが固定されると、デジタル・アイソレータの電力レベルは、主にデータ・エンコーディング方式によって決まります。これらの方式は、パルス・エンコーディング・アーキテクチャと、オン・オフ・キーイング (OOK) アーキテクチャに大別されます。パルス・エンコーディング方式では、低いデータ・レートで電源電流の消費が少ないという利点があるのに対して、OOK ではパルス・エンコーディング方式よりも高いデータ・レート (10Mbps 以上) で電流の消費が少なくなります。ほとんどの低消費電力アプリケーションでは、SPI クロック速度を 1MHz 未満で動作させるため、パルス・エンコーディング方式のほうが優れています。

しかし、パルス・エンコーディング方式には、1 つの欠点があります。入力でロジックの変化がないと、データは出力に送信されません。このため、システム起動後に入出力間にミスマッチが起きたり、外来ノイズによって出力データが反転したりすることがあります。定期的に DC 状態を再送することで、この問題を解決できます。ほとんどのパルス・エンコーディング・デジタル・アイソレータは、DC 状態を 1 $\mu$ s ごとにリフレッシュしますが、データ・レートが低下したときに消費電力の減少が止まるポイントをリフレッシュ・レートによって設定することもできます。

ADuM1441 は、リフレッシュ・レートを 17kHz まで低減することによって超低消費電力を実現します。消費電力を最低にするために、リフレッシュ回路を完全にディスエーブルすることができます。図 14 に示すように、ADuM1441 は、リフレッシュ回路がディスエーブルされている状態で、消費電力を  $\mu$ W の範囲まで低減できます。システム設計者は、消費電力とデータの完全性とのバランスを保つため、更はずっと低い周波数で DC の精度を確保するためのパルスを送信することもできます。

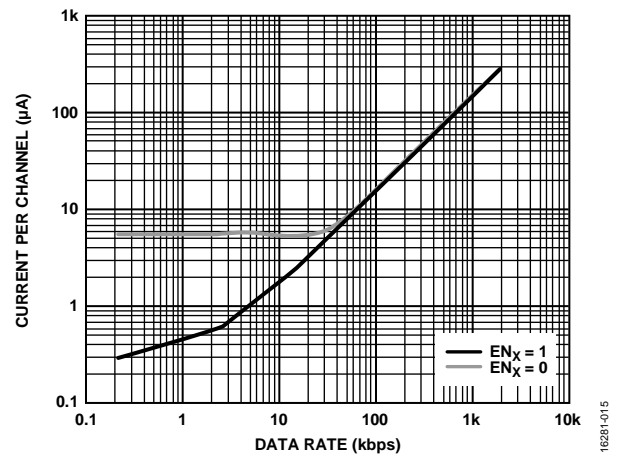


図 14. ADuM1441 でのチャンネルあたりの合計電源電流 (V<sub>DDX</sub> = 3.3V)

大多数のフィールド計測器は、ループ駆動のデバイスです。ループから得られる電力によって、センサーやすべての補助電子回路など、計測器内部のすべての回路を駆動させる必要があります。最小ループ電流が 4mA であるため、このような設計で使用可能な 3.5mA の最大許容システム・パワー・バジェットを増加することはできません。消費電力は、フィールド・トランスミッタを設計するための部品を選択するときに、最も重要な考慮事項です。最も標準的なデータ・デジタル・アイソレータが両側で数 mA の電流を消費するのに対して、図 15 に示すように、ADuM1441 とその超低消費電力性能は絶縁されたフィールド計測器内でこの機能性を可能なものとしします。

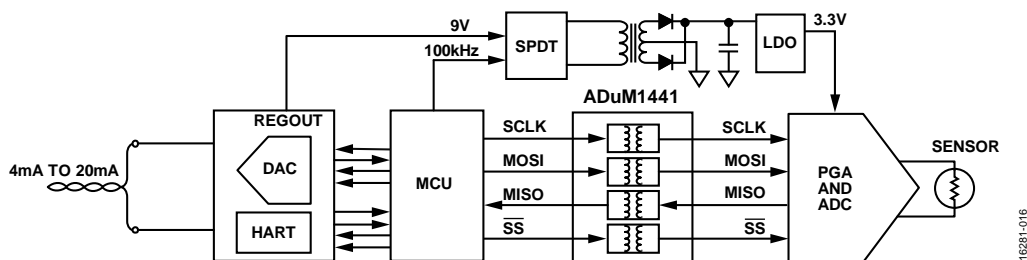


図 15. 4mA~20mA のループ駆動計測器内での超低消費電力 SPI アイソレーション

## まとめ

SPIバスの絶縁は、マスタとスレーブの間にクワッド・チャンネル・デジタル・アイソレータを挿入するだけにとどまらない複雑なものになることがあります。ノイズ耐性と安全性のためにガルバニック絶縁を行う必要があるデータ・アクイジション・システムで、スルーブットが犠牲になることはもはやありません。最近の技術革新によって、最大 100MHz の絶縁クロック速度が実現されています。表に現れない（すなわちクロック速度を落とさない）アイソレータが、このような高速で実現されるのは初めてのことです。小型のパッケージに信号と電力の絶縁を内蔵することにより、SPIの絶縁と2次側の電源のための設計が極めて簡素化され、ディスクリート・ソリューションと比べて、

ボード・スペースとコストが大幅に削減されます。低速アイソレーション・チャンネルも内蔵したことで、複数のスレーブ制御や補助チャンネル・アプリケーションにおいて、小型化と費用効果の高いオプションを実現できます。超低消費電力向けに最適化された高度なパルス・エンコーディング技術を適用することにより、電源の制限により以前は不可能であった SPI の絶縁が実現されています。

このアプリケーション・ノートで説明した製品の詳細については、[www.analog.com/jp/icoupler](http://www.analog.com/jp/icoupler) を参照してください。

## 参考文献

Analog Devices, Inc., CN0382 : 低消費電力の高精度 24 ビット・シグマ・デルタ A/D コンバータを使用した 絶縁型 4 mA ~ 20 mA/HART 工業用温度および圧力トランスミッタ、2016 年 10 月

Cantrell, Mark, “Optimizing Power Conversion for Isolated Sensor Interfaces,” MS-2411, November 2012.

Cantrell, Mark, “Ultralow Power Opening Applications to High Speed Isolation,” MS-2644, April 2014.

Cantrell, Mark and Bikiran Goswami, “Isolating SPI for High Bandwidth Sensors,” MS-2689, August 2014.

Cantrell, Mark and Bikiran Goswami, “Maximizing Performance and Integration in Applications Requiring Isolated SPI,” March 2015.

Chen, Baoxing, “Integrated Signal and Power Isolation Provide Robust and Compact Measurement and Control,” MS-2511, July 2013.

Kennedy, Brian, “The Use of Robust Digital Isolators in the Harsh Environments of Electric Motor Drives,” August 2016.

Yang, Van, Songtao Mu, and Derrick Hartmann, “PLC DCS Analog Input Module Design Breaks Barriers in Channel-to-Channel Isolation and High Density,” Analog Dialog 50-12, December 2016.