

調整可能低ドロップアウト・レギュレータのノイズ低減ネットワーク

著者 : Glenn Morita

はじめに

ノイズは高性能アナログ回路の設計者にとって極めて重要なパラメータであり、特に、高速クロック、A/Dコンバータ(ADC)、D/Aコンバータ(DAC)、電圧制御発振器(VCO)、フェーズロック・ループ(PLL)ではその傾向が顕著です。出力電圧ノイズを低減する鍵となるのは、AC性能とDCクローズドループ・ゲインを損なうことなく、ACクローズドループ・ゲインをできるだけ1に近付けることです。

このアプリケーション・ノートでは、簡単なRCネットワークを使用して調整可能低ドロップアウト・レギュレータ

(LDO)の出力ノイズを減らす方法について述べます。ここではいくつかのLDOに関する実験データを示して、この簡単な回路手法が有効なものであることを実証します。このアプリケーション・ノートの主な焦点はノイズ低減(NR)ですが、電源電圧変動除去比(PSRR)や過渡負荷応答に対する効果をまとめたテスト・データも示されています。

代表的な調整可能LDOの簡略回路図を図1に示します。出力電圧 V_{OUT} は、リファレンス電圧 V_R とエラーアンプのDCクローズドループ・ゲインの関数です。出力電圧を求めるには、リファレンス電圧にDCクローズドループ・ゲインを乗じます。式を以下に示します。

$$V_{OUT} = V_R \times \left(1 + \frac{R1}{R2}\right) \quad (1)$$

ここで、 $\left(1 + \frac{R1}{R2}\right)$ がDCクローズドループ・ゲインです。

エラーアンプ V_N にも同じ係数が乗じられるので、出力ノイズはプログラムされた出力電圧に比例して増大することになります。

出力電圧がリファレンス電圧の2倍を下回る場合、出力ノイズの増加はそれほど大きくありません。しかし、このようにわずかな増加であっても、多くの敏感なアプリケーションでは受け入れ難いものとなり得ます。

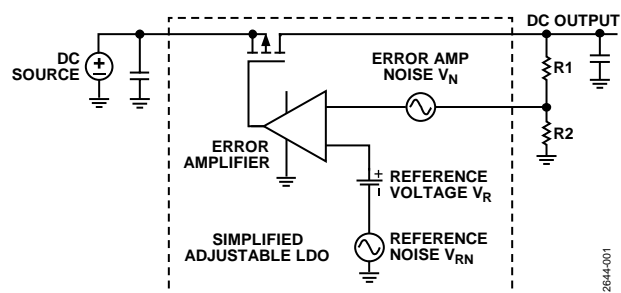


図 1. 調整可能 LDO の簡略ブロック図とその内部ノイズ源

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

はじめに.....	1	LDO PSRR	5
改訂履歴.....	2	PSRR の改善.....	6
LDO 内のノイズ.....	3	過渡負荷の改善.....	7
LDO ノイズの低減.....	3	スタートアップ時間への影響.....	7
LDO ノイズの例.....	4	まとめ.....	8
ノイズ低減ネットワーク.....	5		
ADP7142 にノイズ低減ネットワークを使用する場合の設計例.....	5		

改訂履歴

10/14—Revision 0: 初版

LDO 内のノイズ

LDO に内在するノイズの主な発生源は、内部リファレンス電圧とエラーアンプです。

最近の LDO は、15 μ A 以下の静止時消費電流を実現するために、数百ナノアンペアの内部バイアス電流で動作します。バイアス電流をこのように低い値に抑えるには、最大で 1G Ω という高い値のバイアス抵抗が必要です。低バイアス電流で動作するデバイスでは、エラーアンプやリファレンス電圧回路のノイズが、ディスクリット部品を使用した同等品より大きくなります。

標準的な LDO は、抵抗分圧器を使用して出力電圧を設定します。したがって、AC クローズドループ・ゲインは、DC クローズドループ・ゲイン+1 に等しくなります。エラーアンプのノイズ・ゲインも、AC クローズドループ・ゲインに等しくなります。

LDO ノイズの低減

LDO のノイズを減らす主な方法は 2 つあります。

- リファレンスにフィルタをかける
- エラーアンプのノイズ・ゲインを減らす

一部の LDO では、外付けコンデンサを使用してリファレンスにフィルタをかけることができます。実際のところ、多くの超低ノイズ LDO では、その低ノイズ仕様を実現するために外付けのノイズ低減用コンデンサを使用する必要があります。通常、このコンデンサはアプリケーション回路図に C_{BYP} として示されています。リファレンスにだけフィルタをかけることの欠点は、エラーアンプのノイズとその他の残留リファレンス・ノイズがクローズドループ・ゲインによって増幅され、出力電圧に比例したノイズが生じてしまうことです。

出力電圧を 500mV、1V、2.5V、4V に設定した場合の ADP125 のノイズ・スペクトル密度を図 2 に示します。この結果は、出力電圧が大きくなるにつれてノイズも増加することを示していますが、これは、C_{BYP} コンデンサを取り付けた LDO の標準的な挙動です。

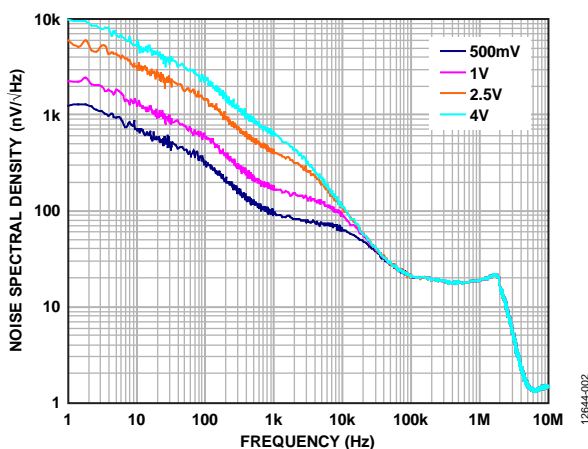


図 2. 異なる出力電圧に対する ADP125 のノイズ・スペクトル密度

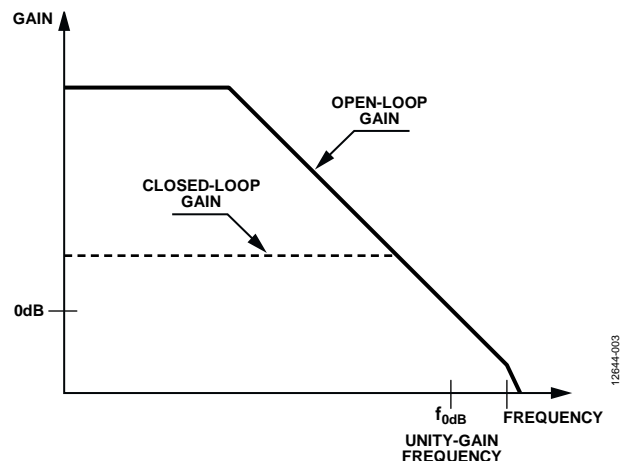


図 3. LDO のクローズドループ・ゲインとオープンループ・ゲインの周波数応答

エラーアンプのノイズ・ゲインを小さくすると、出力電圧に伴って出力ノイズが大きく増加することはありません。残念ながら、固定出力の LDO では帰還ノードへのアクセスがないので、一般に、これらの LDO の出力ノイズを減らすことは不可能です。しかし、出力を調整できる LDO では、容易に帰還ノードへアクセスすることができます。

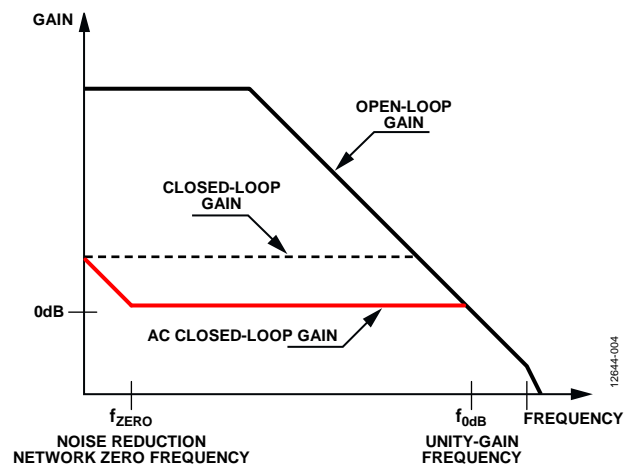


図 4. AC クローズドループ・ゲインの周波数応答 (ノイズ低減ネットワーク使用時)

図 4 は、適切に設計されたノイズ低減ネットワークの AC クローズドループ・ゲインと、修整を加えていないクローズドループ・ゲインを比較した結果です。AC ゲインは、LDO の帯域幅の大部分で 1 に近い値になっており、結果としてリファレンスとエラーアンプのノイズの増幅率が低下しています。

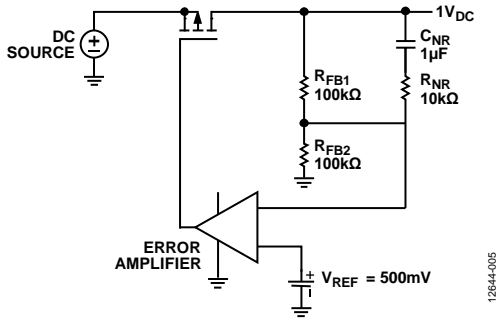


図 5. 調整可能 LDO のノイズ・ゲイン低減

図 5 は 1V 出力の調整可能 LDO で、 R_{FB1} と R_{FB2} によって出力電圧を設定します。エラーアンプのノイズ低減は R_{NR} と C_{NR} によって実現されます。一部の LDO は位相マージンが小さい（つまりユニティ・ゲインでは動作が安定しない）ので、 R_{NR} は、アンプの高周波ゲインを約 1.1 に設定するために任意で選択されます。 R_{NR} の値は LDO を安定させるため必要に応じて調整できますが、その分、ノイズ低減効果は減少します。 C_{NR} の値は、ノイズ低減ネットワーク（ C_{NR} 、 R_{FB1} 、および R_{NR} で構成）の低周波ゼロ点を 10Hz 未満に設定できるように選択されており、これによって 1/f 領域のノイズを十分に減らすことができます。

LDO ノイズの例

図 6 から図 9 は複数の調整可能 LDO の出力電圧ノイズで、それぞれノイズ低減ネットワークを使用した場合と使用しない場合の結果が示されています。ノイズ低減ネットワークがノイズ・スペクトル密度に与える効果は明らかです。いずれの場合も 20Hz から 10kHz の間でノイズ性能が大幅に改善されており、一部の LDO ではその傾向が 50kHz まで続いています。

ユニティ・ゲインでの調整可能 LDO のノイズ・スペクトル密度も、比較のため同じグラフ上にプロットしています。 R_{FB1} と C_{NR} によって生じるゼロ点より上の周波数では、ノイズ低減ネットワーク付き調整可能 LDO のノイズ特性は、ユニティ・ゲインの LDO のそれとほぼ同じであることが分かります。

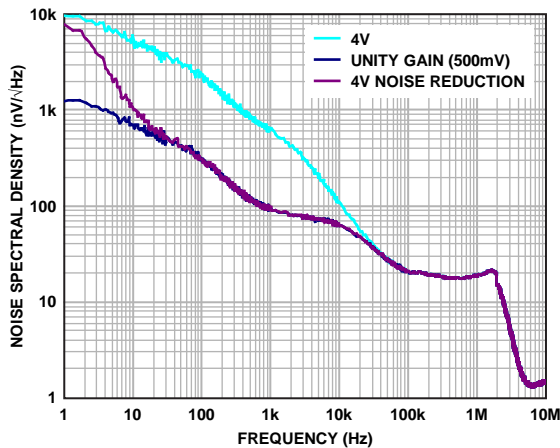


図 6. ADP125 調整可能 LDO のノイズ・スペクトル密度

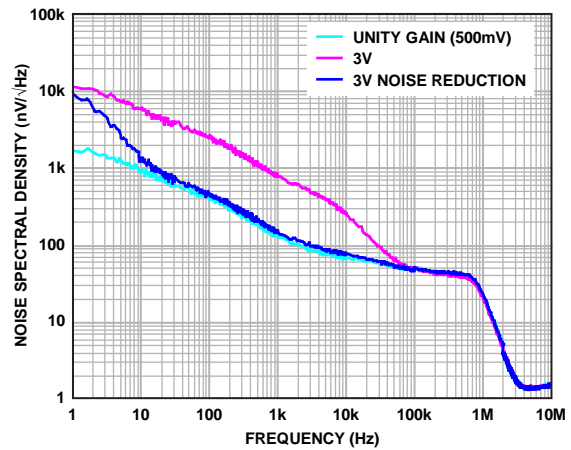


図 7. ADP171 調整可能 LDO のノイズ・スペクトル密度

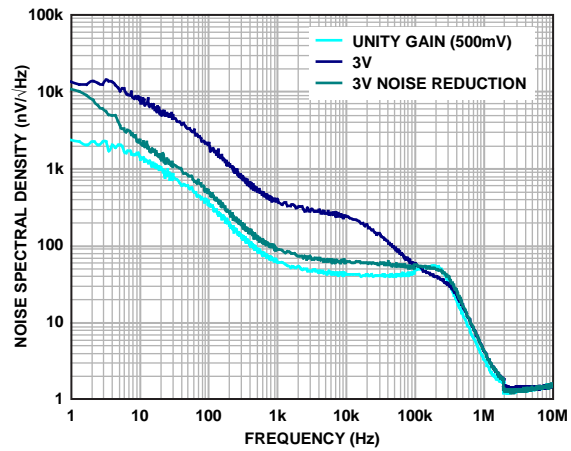


図 8. ADP1741/ADP1753/ADP1755 調整可能 LDO のノイズ・スペクトル密度

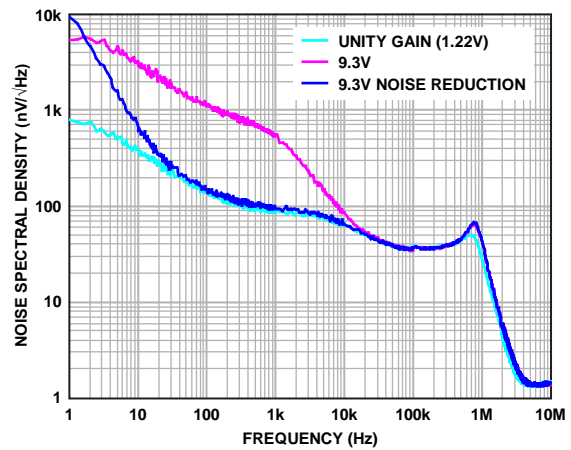


図 9. ADP7102/ADP7104/ADP7105 調整可能 LDO のノイズ・スペクトル密度

ノイズ低減ネットワークの有無にかかわらず、20kHz 以上ではノイズ・スペクトル密度曲線が収束している点に注意してください。これは、エラーアンプのクロードループ・ゲインがそのアンプのオープンループ特性と一致して、それ以上ノイズ・ゲインを低減できなくなるためです。

ノイズ低減ネットワーク

ADP7142 にノイズ低減ネットワークを使用する場合の設計例

ADP7142 のノイズが約 $11\mu\text{V}$ であると仮定し、次式を使って、ADP7142 を調整可能モードで使用した場合のノイズを求めます。

$$\text{ノイズ} = 11 \text{ fKV} \times (R_{\text{PAR}} + R_{\text{FB2}}) / R_{\text{FB2}} \quad (2)$$

ここで、 R_{PAR} は、 R_{FB1} と R_{NR} を並列に組み合わせた値です。

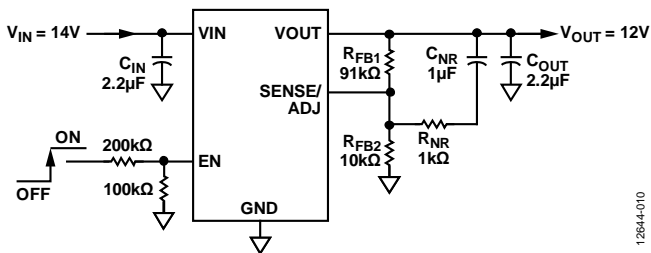


図 10. ノイズ低減のための改良

部品を図 10 に示す値とすると、ADP7142 回路は以下の特性となります。

- DC ゲイン 10 (20dB)
- 3dB ロールオフ周波数 1.75Hz
- 高周波 AC ゲイン 1.099 (0.82dB)
- 理論ノイズ低減係数 9.1 (19.2dB)
- ノイズ低減なしの調整可能 LDO の測定 RMS ノイズ $70\mu\text{V rms}$
- ノイズ低減ありの調整可能 LDO の測定 RMS ノイズ $12\mu\text{V rms}$
- 測定ノイズ低減値 約 15.3dB

測定ノイズ低減値は、理論ノイズ低減値より少なくなります。調整機能を備えた ADP7142 を 6V と 12V にセットして、ノイズ低減ネットワークを使用した場合としなかった場合のノイズ・スペクトル密度を図 11 に示します。ノイズ低減ネットワーク使用時の出力ノイズはどちらの電圧でもほぼ同じで、特に 100Hz 以上ではよく一致しています。

ノイズ低減ネットワークを使用しない場合の 6V 出力時と 12V 出力時のノイズの差は、2kHz から約 20kHz までの範囲で一定の比率を保っています。ノイズの帯域が

40kHz を超えると、エラーアンプのクロードループ・ゲインがオープンループ・ゲイン特性によって制限されます。したがって、20kHz から 100kHz におけるノイズ寄与率は、エラーアンプの帯域幅が無限の場合の予想値より小さくなります。同様に、ノイズは DC ゲインに基づく予想値より小さく、 $110\mu\text{Vrms}$ の予想値に対して $70\mu\text{Vrms}$ です。この周波数帯では PSRR も改善されます（詳細については「PSRR の改善」の項を参照）。

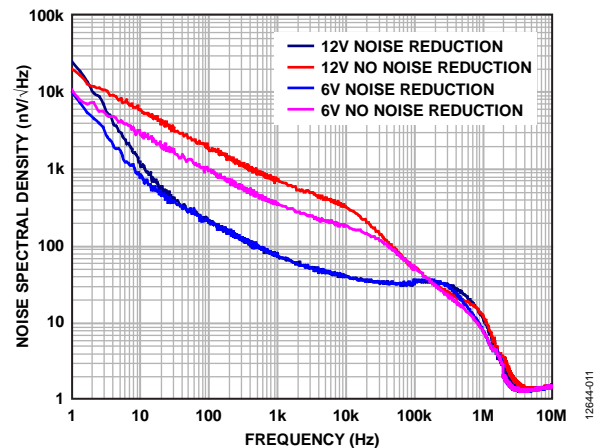


図 11. ADP7142 の 6V および 12V 出力電圧 (ノイズ低減ネットワーク使用時と未使用時)

LDO PSRR

PSRR は、電源入力に現れる不要信号（ノイズやリップル）をその回路がどれだけ抑制あるいは除去し、これらの不要信号が回路出力に悪影響を及ぼすのを防ぐかを表す値です。回路の PSRR は次式で得られます。

$$\text{PSRR} = 20 \times \log \left(\frac{V_{E_{\text{IN}}}}{V_{E_{\text{OUT}}}} \right) \quad (3)$$

ここで、 $V_{E_{\text{IN}}}$ と $V_{E_{\text{OUT}}}$ は、それぞれ入力と出力に現れる不要信号です。

ADC、DAC、アンプなどのほとんどの回路では、この PSRR は回路の内部構造への電源供給ピンに適用されます。しかし、LDO の入力電源ピンは、内部回路への電力と安定化出力電圧の負荷電流を供給します。

PSRR の改善

ノイズ低減ネットワークを使用して調整可能 LDO の出力ノイズを低減する利点の 1 つは、LDO の低周波 PSRR も改善されることです。図 5 では R_{FB1} 、 R_{NR} 、および C_{NR} がリード・ラグ・ネットワークを形成しており、そのゼロ点はおおむね $1/(R_{FB1} \times C_{NR})$ で、極の位置はおおむね $1/(R_{NR} \times C_{NR})$ です。リード・ラグ・ネットワークは帰還ループのフィードフォワード機能として動作し、これによって LDO の PSRR が改善されます。LDO のクローズドループ・ゲインとオープンループ・ゲインが収束する点より低い周波数での PSRR の改善量 (dB) は、ほぼ次式で表される値になります。

$$20 \times \log \left(1 + \frac{R_{FB1}}{R_{NR}} \right)$$

ノイズ低減ネットワークがいくつかの調整可能 LDO の PSRR に与える効果を図 12 から図 15 に示します。10Hz から約 20kHz までの周波数域における PSRR の改善は、15dB~20dB です。たとえば、図 15 は 9V 調整可能 LDO の PSRR を比較したもので、一方はノイズ低減ネットワーク使用時、もう一方は未使用時の値です。この例では、 $R_{FB1} = 64k\Omega$ 、 $R_{FB2} = 10k\Omega$ 、 $R_{NR} = 10k\Omega$ 、 $C_{NR} = 1\mu F$ です。 R_{FB1} と C_{NR} によって形成されるゼロ点は約 2.5Hz で、これは 10Hz を超える周波数での PSRR の改善によってはっきり示されています。全体的な PSRR の改善は 100Hz~1kHz の周波数域で約 17dB です。PSRR の改善量は約 20kHz まで減少していきませんが、これは LDO のオープンループ・ゲインとクローズドループ・ゲインが収束する周波数です。

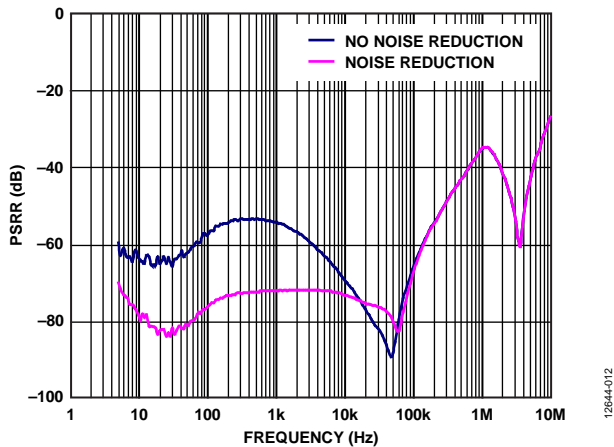


図 12. ADP125 調整可能 LDO の PSRR
(ノイズ低減ネットワーク使用時と未使用時)

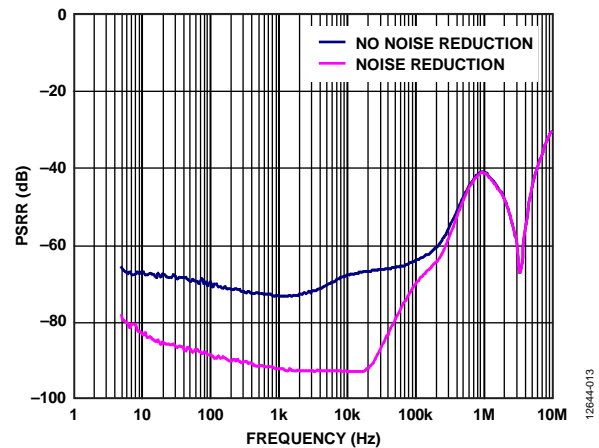


図 13. ADP171 調整可能 LDO の PSRR
(ノイズ低減ネットワーク使用時と未使用時)

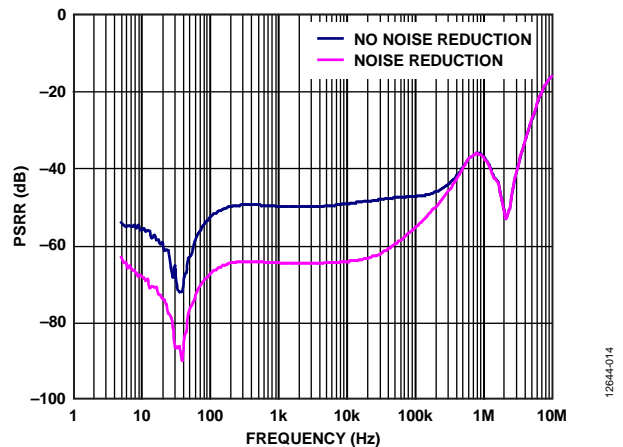


図 14. ADP1741/ADP1753/ADP1755 調整可能 LDO の PSRR
(ノイズ低減ネットワーク使用時と未使用時)

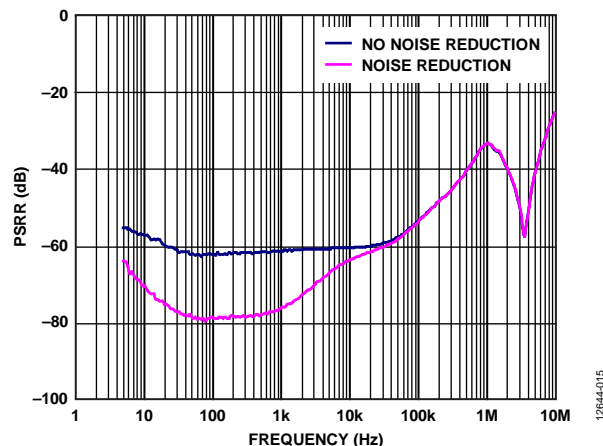


図 15. ADP7102/ADP7104 調整可能 LDO の PSRR
(ノイズ低減ネットワーク使用時と未使用時)

過渡負荷の改善

ノイズ低減ネットワークは、LDOの過渡負荷応答も改善します。 R_{FB1} 、 R_{NR} 、および C_{NR} (図5参照)はLDOの帰還ループ内でフィードフォワード機能を果たすので、過渡負荷の高周波成分は減衰なしでエラーアンプに送られます。これは、エラーアンプが過渡負荷に迅速に反応することを可能にします。ノイズ低減ネットワーク使用時と未使用時のADP125の過渡負荷応答を、図16と図17に示します。

図17は、ノイズ低減ネットワーク使用のLDOが $50\mu s$ 未満で過渡負荷に反応できることを示しています。これに対し、ノイズ低減ネットワーク未使用のLDOの応答時間は $500\mu s$ です。

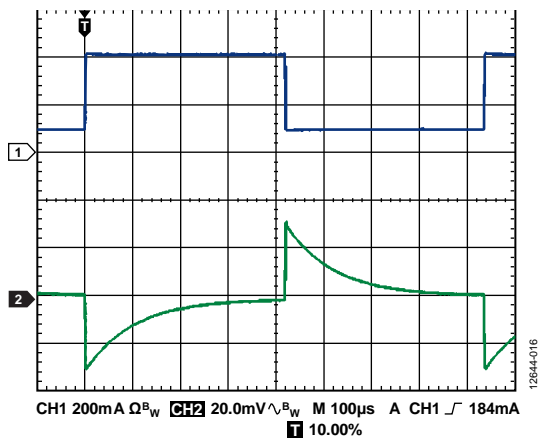


図 16. ADP125 調整可能 LDO の過渡負荷応答 (ノイズ低減ネットワーク未使用時)

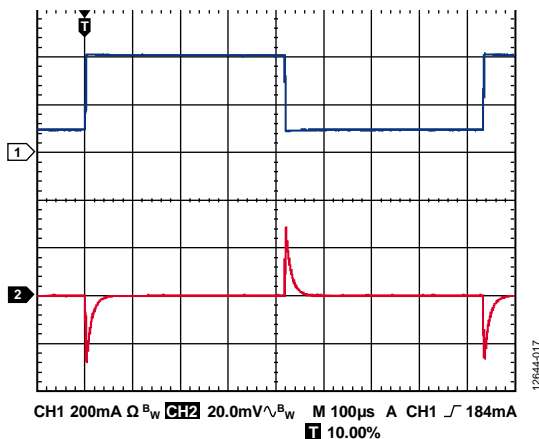


図 17. ADP125 調整可能 LDO の過渡負荷応答 (ノイズ低減ネットワーク使用時)

スタートアップ時間への影響

ノイズ低減ネットワークを使用することによる欠点のひとつが、LDOのスタートアップ時間が大幅に増えることです。図18から図20は、ノイズ低減ネットワーク使用時と未使用時のADP125のスタートアップ時間です。通常のスタートアップ時間は約 $600\mu s$ です。 C_{NR}

= $10nF$ のノイズ低減ネットワークを追加すると、スタートアップ時間は $6ms$ に増加します。 $C_{NR} = 1\mu F$ とした場合のスタートアップ時間は $600ms$ です。回路が完全に起動した後は、LDOをオン/オフしないアプリケーションでは、スタートアップ時間の増加が問題となることはありません。

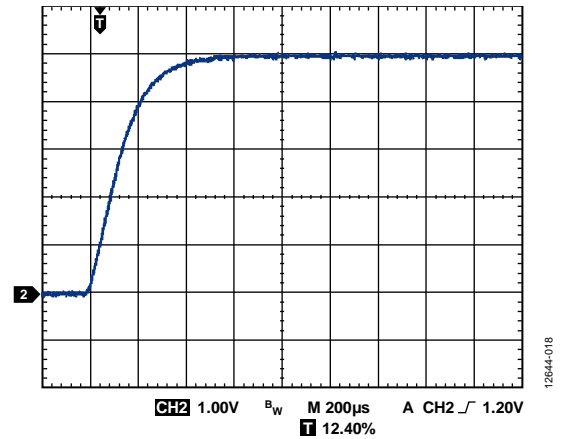


図 18. ADP125 調整可能 LDO のスタートアップ時間

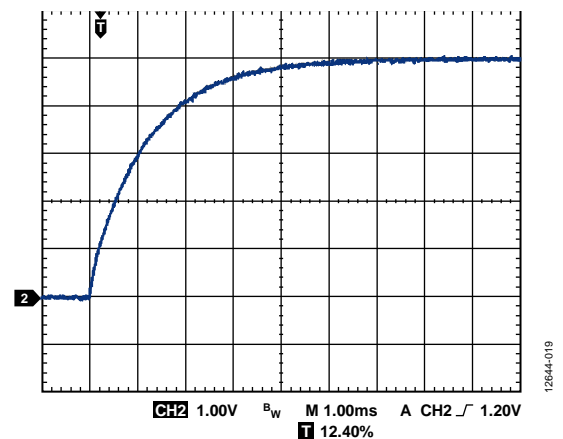


図 19. ADP125 のスタートアップ時間 ($C_{NR} = 10nF$) (ノイズ低減ネットワーク使用時)

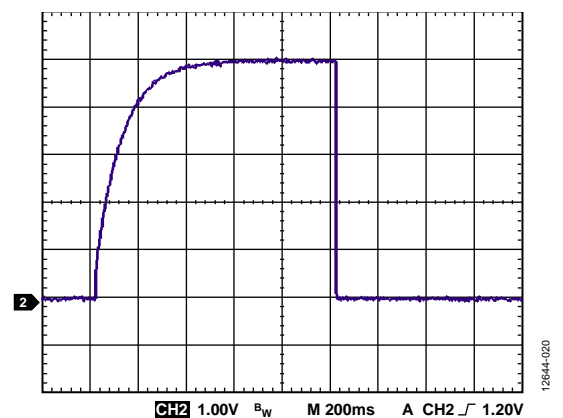


図 20. ADP125 のスタートアップ時間 ($C_{NR} = 1nF$) (ノイズ低減ネットワーク使用時)

まとめ

一般に、調整可能 LDO のノイズ性能、PSRR 性能、および過渡負荷性能は、簡単な RC ネットワークを追加することによって大幅に改善できます。高速クロック、ADC、DAC、VCO、PLL などのノイズに敏感なアプリケーションでは、ノイズ低減ネットワークを追加した調整可能 LDO を使用すればさまざまな利点が得られます。

この手法は、図 5 と同様のアーキテクチャを持ち、出力電圧を調整できる LDO を使用した場合のみ効果を発揮します。このアーキテクチャに固有の特性は、出力ノイズが出力電圧とともに大きくなることです。これは図 5 を見れば明らかで、リファレンス電圧とエラーアンプのノイズは、いずれもほぼ $R1:R2$ の比率で増加します。

[ADP123](#)、[ADP125](#)、[ADP171](#)、[ADP223](#)、[ADP323](#)、[ADP1741](#)、[ADP1753](#)、[ADP1755](#)、[ADP7102](#)、[ADP7104](#)、[ADP7105](#) といった比較的古い LDO は基本的にすべてこのアーキテクチャを踏襲しており、ノイズ低減ネットワークを使用することで大きな効果が得られます。

また、[ADP7118](#)、[ADP7142](#)、[ADP7182](#)、[ADM7170](#)、[ADM7171](#)、[ADM7172](#) といった新しい LDO も、調整可

能モードでは同じアーキテクチャを採用しています。しかしこれらの LDO では、エラーアンプをユニティ・ゲインに設定してリファレンス電圧と出力電圧を同じにすることで、出力ノイズと出力電圧がほぼ無関係となるようにしています。これらの LDO を調整可能モードで使用する時は、エラーアンプの DC ゲインができるだけ 1 に近くなるように、希望電圧より少し低めの固定出力電圧バージョンを選ぶのが最良の方法です。

[ADM7150](#)、[ADM7151](#)、[ADM7154](#)、[ADM7155](#) といった超低ノイズ LDO では、ノイズ低減ネットワークを使用しても効果はありません。これらの LDO のアーキテクチャでは、エラーアンプがユニティ・ゲインになっています。これはリファレンス電圧と出力電圧が等しいことを意味し、上に述べた新しい LDO に非常によく似ています。これらの設計のエラーアンプはきわめてノイズが少なく、極が 1Hz をはるかに下回る内部フィルタを備えていて、リファレンス電圧に厳重にフィルタをかけます。これら 2 つの設計要素を組み合わせることで、LDO の出力のノイズはほぼ完全に除去されます。