

SPI インターフェース

著者: Miguel Usach

はじめに

SPI バス・インターフェースは、多様な構成で比較的高い送信レートが可能であるため、同期データ伝送に広く採用されています。

SPI は事実上の業界標準になっていますが、公式に規定されたものではありません。部品自身の能力を最大限活用することができるため、これを利点と見なすことがありますが、異なる部品間の接続は複雑になってしまいます。

SPI バスは単方向の 4 本の線から構成されています。これらの線の名称は、部品間で、さらに同じ製品範囲内でさえ、異なることがあります。

- インターフェース・イネーブル: $\overline{\text{CS}}$ 、 $\overline{\text{SYNC}}$ 、 $\overline{\text{ENABLE}}$ など
- データ入力: SDI、MISO (マスター用)、MOSI (スレーブ用) など
- データ出力: SDO、MISO (スレーブ用)、MOSI (マスター用) など
- クロック: SCLK、CLK、SCK など

図 1 に示すように、各ピンの信号方向について混乱のないように名前を定義することから始めることが重要です。

3 本の線しか使用しないこともあります。例えば、DAC ではデータのリードバックが不要な場合で、ADC ではマスターからのデータの送信が不要の場合です。これらの場合、接続は 3 線式インターフェースとして定義することができます。

マスタースレーブ間の互換性

最初のステップは、マスタースレーブ間接続の互換性を保証することです。SPI インターフェースは公式な仕様でないため、マスターからスレーブへのデータ、または逆向きのデータがそれぞれの仕様を満たすことが重要です。

データはクロックに同期していますが、 $\overline{\text{CS}}$ は同期または非同期のことがあるため、SPI は完全な同期インターフェースではありません。

完全な同期インターフェースでは、エッジはサンプリング・エッジと駆動エッジに分けられます。駆動エッジでは、データをバス上で更新 (切り替える) します。サンプリング・エッジでは、SDI/DATA IN ピンのデータが読みこまれます (サンプルされます)。

実用的な点から、バス上のデータはサンプリング・エッジ以外の任意のタイミングで更新することができます。

SPI インターフェースでは、4 つの送信モードを定義しています。マスター側は 4 つのすべてのモードをサポートする必要がありますが、マスターの素子によっては特定のモードと互換性を持たないこともあるため、これを事前に確認しておく必要があります。SPI モード相互接続のセクションで説明するように、これをインバータ・ロジックの使用により解決することができます。

大部分の部品では、スレーブ動作でのモード設定はできないため、1 つの動作モードでのみで動作します。ただし、最大 2 つのモードで動作するものもあります。

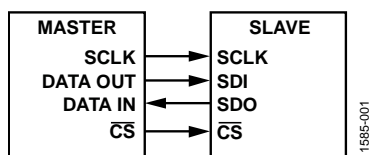


図 1. SPI の基本的な接続

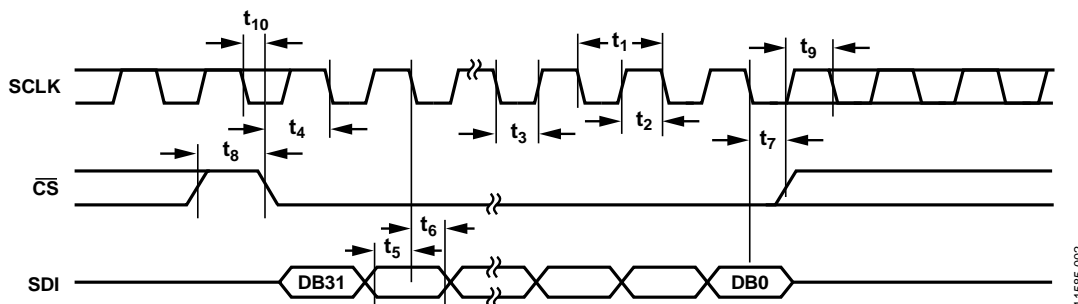


図 2. SPI タイミング図の例

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

はじめに.....	1	バス・データが更新されるタイミングは?.....	4
マスター—スレーブ間の互換性.....	1	その他の考慮事項は?.....	5
改訂履歴.....	2	SPI モードの相互接続.....	6
スレーブで使用される送信モードは?.....	3	接続.....	6

改訂履歴

7/13—Revision 0: Initial Version

スレーブ側で使用される伝送モードは？

図 2 に示すように、タイミング図では、複数のラインと名称を使用しています。

このモードは、データ伝送が開始される \overline{CS} をロー・レベルにする)ときの SCLK レベル(極性 (CPOL)と呼ばれる)と、サンプリング・エッジ (位相 (CPHA)と呼ばれる) によって決定されます(図 3 参照)。位相は極性に対する相対的なもので絶対値でないことに注意してください。SPI モードを表 1 に示します。

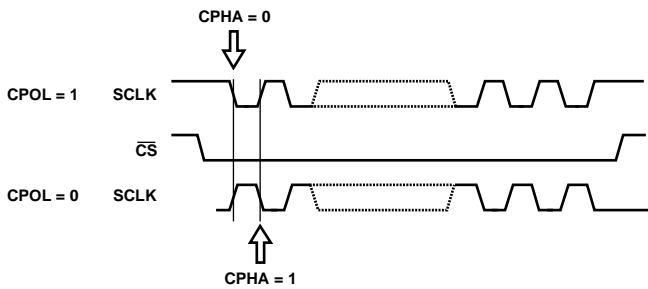


図 3.SPI のタイミング

表 1.SPI のモード

Mode	Polarity (CPOL)	Phase (CPHA)
0		
1		
2		
3		

これらのモードを定義することは比較的容易です。図の例では \overline{CS} の立下がりエッジと SCLK を関連付けるタイミングが存在します(図 4 参照)。

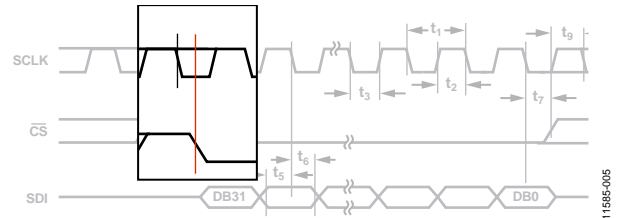


図 4.極性モード

この図のケースでは、SCLK は \overline{CS} 立下り時にハイ・レベルまたはロー・レベルであることができ、制約はありません。

次に SDI の図には、セットアップとホールドの 2 つのタイミングで囲まれる区間が重要です。2 つのタイミングは、バス上にデータが有効でなければならない、サンプル・エッジの前後の時間を意味し、両タイミングはサンプリング・エッジを基準タイミングとして使用します(図 5 参照)。

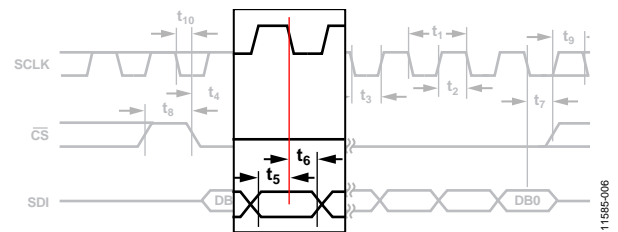


図 5.位相モード

この例では、サンプル・エッジは立下がりエッジです。

以上と表 1 から、スレーブ・デバイスはモード 1 およびモード 2 で互換性を持っています。

バス上のデータが更新されるタイミングは？

SDO を使って、データをスレーブからマスターへ転送、あるいはマスターからスレーブへ転送します。データは何時でも更新できますが、特に2つの方法が採用されています。

1つ目の方法は、駆動エッジで SDO/DATA OUT ピンを更新する方法です(図7参照)。

もう1つの方法は、サンプリング・エッジの数ナノ秒後に SDO/DATA OUT ピンを更新する方法です(図8参照)。

2つの方法にはそれぞれに技術的な理由がありますが、トレードオフを理解することが重要です。

マスターでは最初の方法が使われます。これは SDO ドライバが高速な切り替えをサポートするようにデザインされているためです。

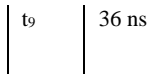
スレーブではマスターに比べて駆動能力の低い SDO ドライバを内蔵しているため、使用方法はデータ転送レートに依存します。

SDO 信号を駆動エッジで更新する場合、信号はサンプリング・エッジの数ナノ秒前に安定している必要があるため、ピンは信号の更新にクロック周期の 1/2 以下の時間しか使うことができません。

正しいリードバックを保証するためには、サンプリング・エッジの前に信号が安定することを保証するため SCLK を狭くする必要があります。

この例では、最大変化時間を 36 ns としています。

SCLK 立上がりエッジから SDO データ有効



これは、最大サイクル・タイムが 36 ns + マスター・セットアップ・タイム (10 ns と仮定) = 46 ns となるため、リードバックの最大 SCLK 周波数は約 10 MHz となることを意味します。

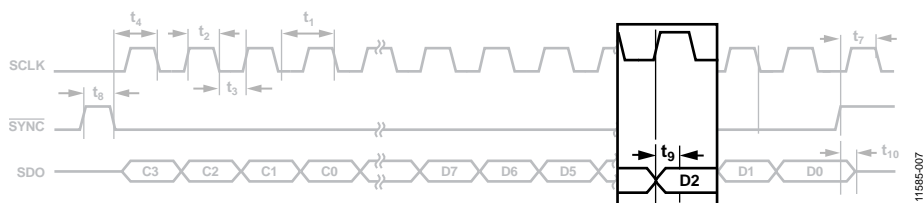


図7.SDO 駆動エッジでの更新

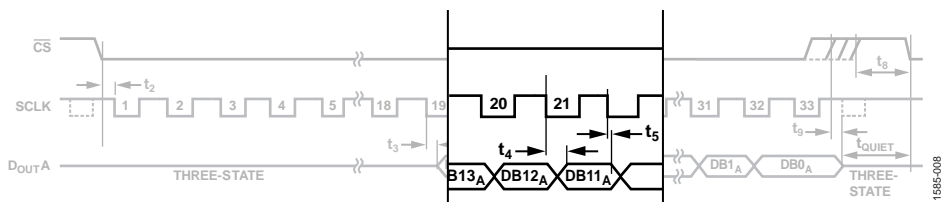


図8.遅延 SDO 更新

サンプリング・エッジの後ろ数ナノ秒でピンを更新する場合、SCLK 周波数を低下させずにリードバックを可能にするようにバス上で信号の安定な値を保証するために、スレーブは SCLK のほぼ全周期を必要とします。

主なトレードオフは、マスター側が低速の場合にあります。これは、サンプリング・エッジの後の数ナノ秒しかピン上にデータが安定していないため、マスターのホールド・タイムの制限に反する危険性があるからです。この問題は、ホールド・タイムが 15 ns 以上と大きくなると発生します。この場合、DATA IN ピンの新しいデータを必要なだけ遅延させるロジック・ゲートを使うことが推奨されます(図6参照)。

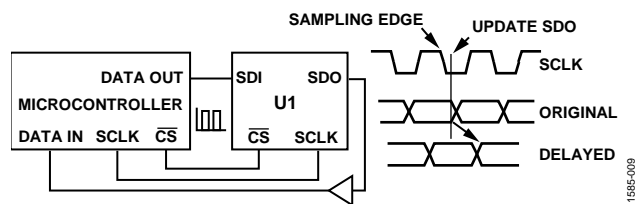


図6.イネーブ爾時間

幾つかのゲート技術と NOR ゲートの伝搬遅延 (typ) を表2に示します。

表2.ゲート技術と伝搬遅延

Technology	Propagation Delay
AHC	4.4 ns
HC	9 ns
HCT	11 ns

その他の考慮すべき事項は？

イネーブル時間

イネーブル時間は、SPI インターフェースをイネーブルしてデータの受信または送信を可能にする速さを決定します。これは一般に SCLK サンプルング・エッジと呼ばれます(図 9 参照)。

ディスエーブル時間

ディスエーブル時間は、SPI をディスエーブルして新しく発生するサンプルング・エッジの変化を無視する速さを決定します(図 9 参照)。

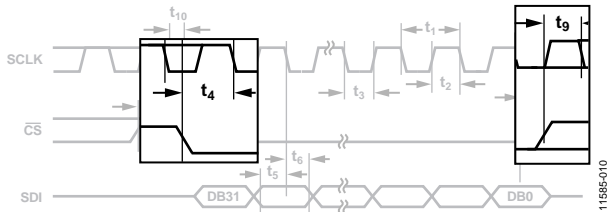


図 9.イネーブル時間とディスエーブル時間

変換開始信号としての \overline{CS}

幾つかの ADC ではピン数を減らすためや、小型パッケージへの組み込み、あるいは単に配線の複雑さを減らすために、1本のピンを複数の機能で共用しています。

\overline{CS} を使って内部で変換開始信号を発生させる場合、2つの方法があります。

1つ目の方法

SCLK 信号を内部クロックとして使用するため、連続的な SCLK が必要です。この場合、SCLK の速度は最大値と最小値の間に制限されます(表 3 参照)。

表 3.SCLK 周波数制限の例

Parameter	Min	Max	Unit	Description
f_{SCLK}	0.01	20	MHz	SCLK frequency

下に説明するイネーブル・タイムに似たタイミングの制約が、図 10 のようにあります。さもないと、マスターがサンプルング・エッジを正しく発生できず、変換が失敗します。

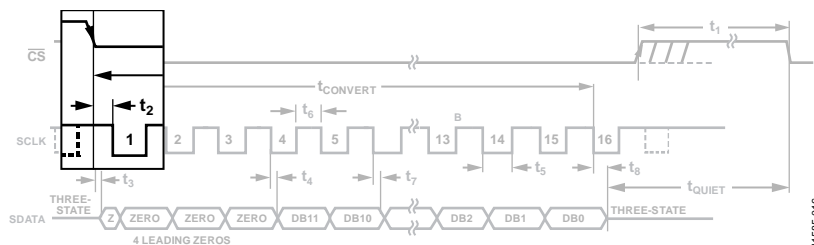


図 10.変換時の連続 SCLK

2つ目の方法

この例ではデバイスは変換クロックを内蔵しています。この場合、一番微細な LSB ビット変換へのデジタル・フィードスルーの影響を小さくするため、変換中は SCLK パルスを発生しないことが推奨されます (図 11 参照)。

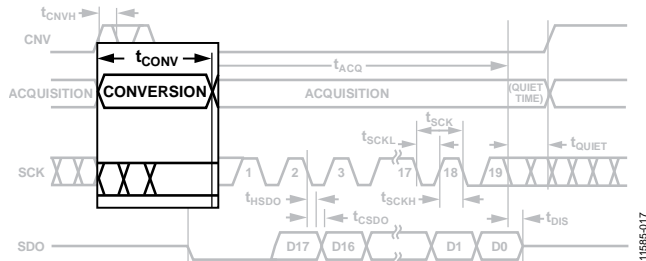


図 11. 変換時に静かな SCLK

SPI インターフェースを FPGA ではなくハードウェアで構成する場合、SCLK ピンと CS ピンを正確に調整することは不可能です。この場合は、GPIO を CS として使用して、CS と SCLK の関係を正確に制御することが推奨されます。

変換レディ・ピンとしての SDO

幾つかの ADC では、SDO が 2 つの機能を持っています。これは一般に SDO/RDY と表されています。SDO ピンが CS によりディスエーブルされ、変換が完了するまで高インピーダンスを維持します。変換が完了したとき、このピンはロー・レベルになって、変換の終了を表示します。

SPI モードの相互接続

スレーブが使用する特定の SPI モードにコントローラを設定できないとき、または同じ SPI モードですべてのデバイスを動作させる必要があるとき(すなわちデジチェーン・モード)、モードを外部から変更する必要があります。

次の 2 つのケースを考えます。

- モードが相補的 (ロジックの論理が逆の場合) で、MODE 1 = MODE 2 または MODE 0 = MODE 3 になる場合 SCLK ラインにインバータ・ゲートを使用すると、問題は解決されます。
- モードが相補的でない場合 この場合の解決策は少し複雑になります。インバータとフリップフロップを使用するため、タイミング問題が生ずるのでこれを回避することが推奨されます。

接続

SPI インターフェースでは、1 個または複数のスレーブをマスターから制御する様々な接続が可能です。

スタンドアロン接続

この構成では、1 個のスレーブと 1 個のマスターのみが存在します (図 12 参照)。

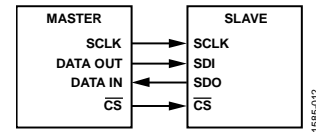


図 12. スタンドアロン構成

デジチェーン接続

この構成では、1 個のマスターと直列に接続された複数のスレーブが存在します (図 13 参照)。

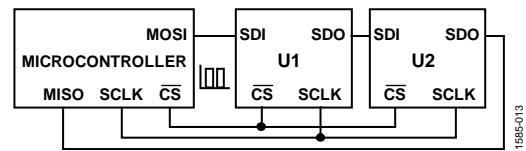


図 13. デジチェーン構成

この構成の主な利点は、必要な接続ライン数が少なくなることです。

このモードで動作させる場合、後続デバイス間のライン伝搬遅延のため、クロック周期を大きくする必要があります。さらに、所要クロックは U1 と U2 の和であるため、クロック数を増やす必要があります。

デジチェーン構成での代表的な送信を図 14 に示します。先頭データ・ワードは接続されたマスターから最も速いスレーブに、最終データ・ワードは最も間近のスレーブに、それぞれ割り当てられます。

デジチェーン・モードに設定できるデバイスがありますが、デフォルトでは、デバイスはスタンドアロン・モードでパワーアップします。すなわち、そのままでは SDO ピンはデータを出しません。

この場合、このデバイスをチェーンの先頭に置いて、デバイスに直接書込みを行ってデジチェーン・モードをイネーブルすることが推奨されます。モードをイネーブルする前に SDO は高インピーダンスであるため、SDO ピンにプルアップ (またはプルダウン) 抵抗を接続して、チェーン内の 2 番目のデバイスへ転送されるデータを制御することをおすすめします。

SDO ピンを複数の機能 SDO/RDY に使用する場合、同じ問題が生じます。プルアップ抵抗を接続して、電気的問題を回避し、RDY 機能の使用を続けることが推奨されます。

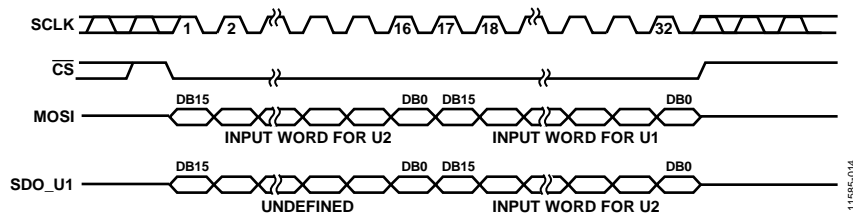


図 14. デイジーチェーンのタイミング図

並列構成

この構成では、1 個のマスターと並列に接続された複数のスレーブが存在します (図 15 参照)。

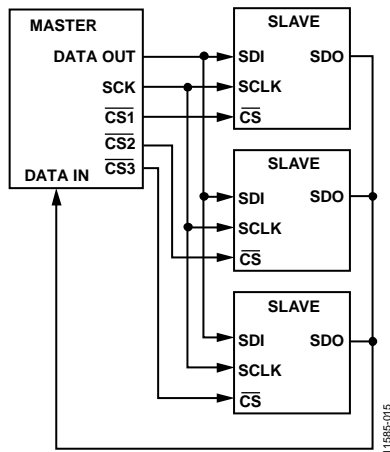


図 15. 並列構成

この構成では、SCLK と SDO がすべてのデバイス内で共用されます。回路 (またはパターン) の寄生容量があるため、クロック周期を単体の場合より少し大きくすることが推奨されます。

この構成での注意として、例えばデバイスをデイジーチェーン・モードに構成した場合のように、幾つかのデバイスでは SYNC と同期して SDO をディスエーブルすることはできません。

この場合は、電気的問題を回避するため、SDO ピンをバス構成にしないことが推奨されます。あるいは、SDO ピンをディスエーブルできる場合、直列抵抗を SDO ピンに接続して、最初の送信や開始時に SDO ピンをディスエーブルする際の電気的問題を小さくします。