

テスト済み回路設計集“Circuits from the Lab™”は共通の設計課題を対象とし、迅速で容易なシステム統合のために製作されました。さらに詳しい情報又は支援は <http://www.analog.com/jp/CN0302> をご覧ください。

### 使用したリファレンス・デバイス

ADF4159	13 GHz、フラクショナル-N、周波数シンセサイザ
AD8065	オペアンプ、145MHz、高性能、FastFET™

## RF 帯域幅が最大 13GHz の超高速セトリング PLL

### 評価および設計サポート環境

#### 設計と統合ファイル

[回路図](#)、[レイアウト・ファイル](#)、[部品表](#)  
[ADIsimPLL シミュレーション・ファイル](#)

#### 回路の機能とその利点

図 1 に示す PLL 回路は 13GHz のフラクショナル N シンセサイザ、広帯域アクティブ・ループ・フィルタ、および VCO を使用し、200MHz の周波数ジャンプに対して、5 $\mu$ s 未満で 5°以内に位相を安定化します。

この性能は帯域幅が 2.4MHz のアクティブ・ループ・フィルタを使って実現します。この広帯域ループ・フィルタを実現できるのは、ADF4159 の位相周波数検出器 (PFD) の最大周波数が 110MHz であり、オペアンプ AD8065 のゲイン帯域幅積が 145MHz と大きいからです。

アクティブ・フィルタに使用するオペアンプ AD8065 は 24V 電源電圧で動作することができるので、チューニング電圧が 0V~18V の大部分の広帯域 VCO を制御することができます。

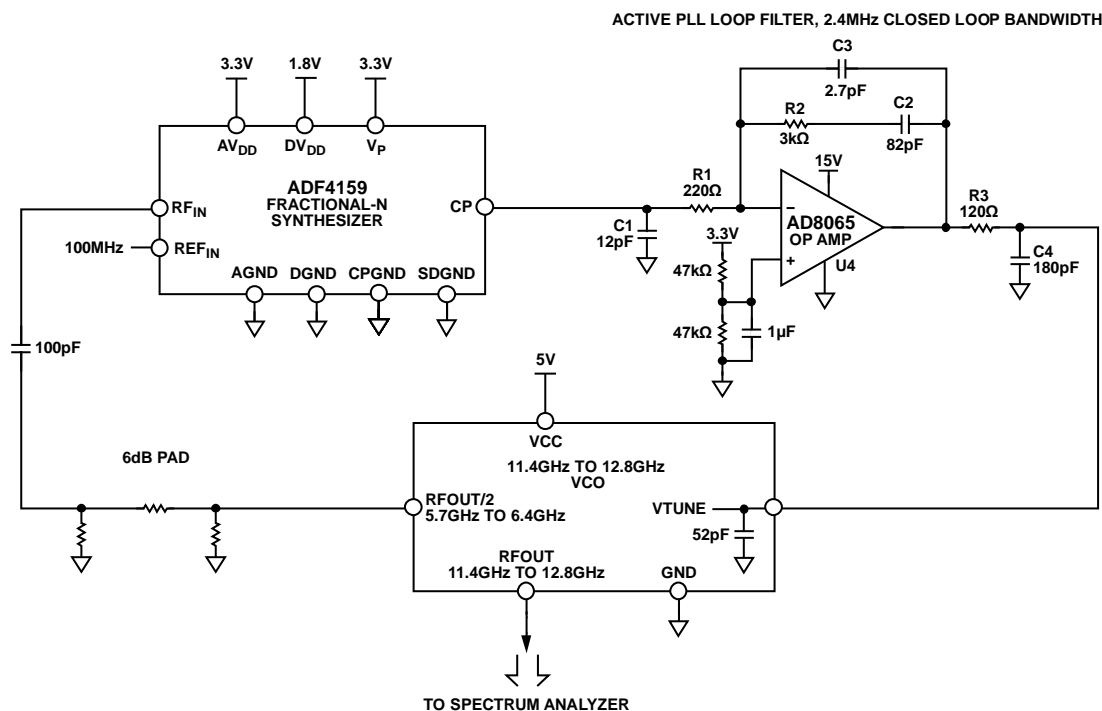


図 1. ADF4159、アクティブ・ループ・フィルタ AD8065、11.4GHz~12.8GHz の VCO で構成される回路のブロック図 (簡略回路図：全接続の一部およびデカップリングは省略されています)

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 回路説明

PLL と VCO で構成される周波数シンセシス・システムでは、周波数と位相の  $5\mu\text{s}$  未満のセトリング・タイムを達成するために非常に広いループ帯域幅を必要とします。ループ帯域幅 (LBW) によって制御ループの応答速度が決まります。LBW を広くするとセトリング・タイムが短くなりますが、代償として位相ノイズとスプリアス信号の減衰量が小さくなります。

図 1 の回路は、ADF4159 を 12GHz の VCO (MACOM の MAOC-009269) の  $\text{RF}_{\text{OUT}/2}$  信号 (約 6GHz) にロックさせることによって動作します。2分周した VCO 出力を使って最大 26GHz の出力周波数を生成することができます。たとえば、VCO のプライマリ出力が 26GHz の場合、2分周した信号 (13GHz) を ADF4159 へ戻すことができます。

## フラクショナル N シンセサイザ ADF4159

フラクショナル N アーキテクチャの PLL では、シグマ・デルタ・モジュレータ (SDM) からのノイズは PFD 周波数 ( $f_{\text{PFD}}$ ) の半分で最大になります。たとえば、フラクショナル N PLL の PFD 周波数が 32MHz の場合、フィルタを通していない SDM ノイズは 16MHz で最大になります。SDM ノイズはループを不安定にするため、PLL がロックしません。この状態の位相ノイズのシミュレーション結果をプロットしたものを図 2 に示します。

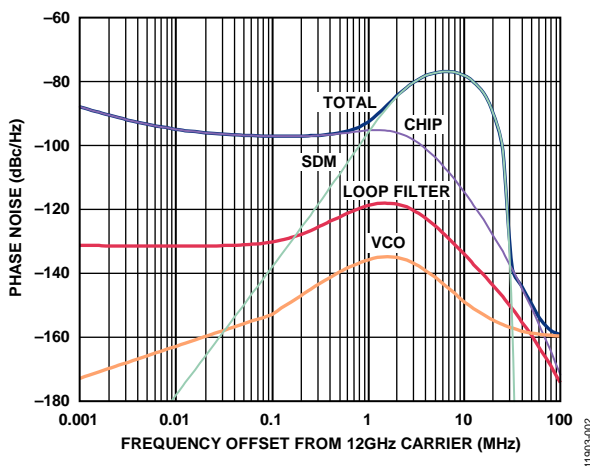


図 2.  $f_{\text{PFD}} = 32 \text{ MHz}$  と  $\text{LBW} = 2.4 \text{ MHz}$  のときの 12GHz 出力の位相ノイズのプロット

ADF4159 の最大 PFD 周波数は 110MHz です。つまり、フィルタを通していない SDM ノイズは 55MHz で最大になります。PFD 周波数が 110MHz のときの位相ノイズのプロットを図 3 に示します。SDM ノイズは搬送波からのオフセットが大きいときに生じるので、ループ・フィルタによって除去します。

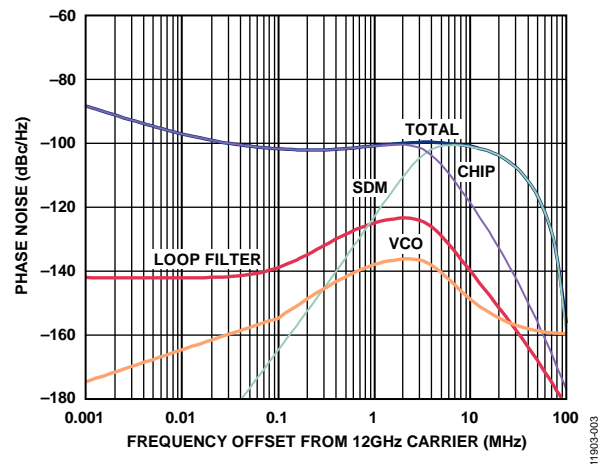


図 3.  $f_{\text{PFD}} = 110 \text{ MHz}$  と  $\text{LBW} = 2.4 \text{ MHz}$  のときの 12GHz 出力の位相ノイズのプロット

安定に保つには LBW を PFD 周波数の 1/10 未満に抑えることが望ましいので、ADF4159 の最大 PFD 周波数が高いことも重要です。

ADF4159 の最大 RF 入力周波数は 13GHz です。この回路構成では、ADF4159 は実際には VCO の  $\text{RF}_{\text{OUT}/2}$  信号で駆動されています。つまり、VCO のプライマリ出力が 12GHz の場合、ADF4159 は実際には 6GHz にロックしています。

したがって、この構成では 24GHz の VCO を使用することができます。12GHz の  $\text{RF}_{\text{OUT}/2}$  信号を ADF4159 に戻します。評価用ボードのフットプリントはさまざまな 32ピン 5mm × 5mm LFCSP パッケージの VCO に対応することができます。

ADF4159 の内部チャージ・ポンプの電源電圧は 3.3V ですが、多くの広帯域 VCO は最大 18V のチューニング電圧を必要とします。これに対処するにはアクティブ・ループ・フィルタが必要です。アクティブ・フィルタは、ADF4159 の出力チューニング範囲をオペアンプのゲイン分だけ拡大します。詳細については、この回路ノートの AD8065 に関する記述を参照してください。

ADF4159 はプログラマブル・チャージ・ポンプ電流機能を備えています。この機能により、物理的な部品を変えることなく、ループ・フィルタの動作を容易に変更することができます。この回路では、LBW は 2.5mA のチャージ・ポンプ電流のときに 2.4MHz になるように設計されています。LBW を狭くするために、ループ・フィルタ部品を物理的に変えることなくチャージ・ポンプ電流を減らすことができます。

回路の ADIsimPLL シミュレーションについては、CN0302 設計サポート・パッケージ (<http://www.analog.com/CN0302-DesignSupport>) を参照してください。

## AD8065 を使用するアクティブ・フィルタ

AD8065 は、電源電圧範囲が 24V、ゲイン帯域幅積 (GBP) が約 145MHz の低ノイズ (7nV/√Hz) オペアンプです。これらの特長はアクティブ・フィルタに理想的です。

PLL の大部分のアプリケーションでは、ループを安定に保ちセトリング・タイムを最小限に抑えるため、45°~55° の位相マージンが推奨されています。ループ・フィルタ内にオペアンプがあるアクティブ・ループ・フィルタでは、オペアンプのユニティ・ゲイン周波数 (ユニティ・ゲイン帯域幅積) に極が追加されます。この追加の極によって位相遅延が生じるため、極の周波数によってはループを不安定にする可能性があります。

表 1. GBP/LBW 比の関数としての位相遅延

GBP/LBW Ratio	Extra Phase Lag (°)
5 (e.g. GBW = 1 MHz, LBW = 200 kHz)	11.3
10	5.7
20	2.9

GBP と LBW の比が大きくなると、位相遅延は小さくなります。その例として、表 1 に、GBP/LBW 比を 10 にすると位相マージンが 5.7° だけ減少することを示しています。GBP/LBW 比が小さすぎると、位相マージンも小さくなりすぎる結果、ループが不安定になります。

この回路は 2.4MHz の LBW を使用しているため、AD8065 の 145MHz の GBP は位相遅延を無視できる値です (GBP/LBW = 60)。

## アクティブ・フィルタ OP184 との比較

OP184 はアクティブ・フィルタの PLL アプリケーションによく使われるオペアンプです。ただし、OP184 は GBP が 4MHz であるため、LBW が非常に広いアプリケーションには適していません。位相マージンをある程度最適化することによって広い LBW で OP184 を使用することができますが、最終的に OP184 によって最大 LBW が制限されます。

アクティブ・フィルタのオペアンプは反転モードに構成してあるため、ADF4159 は位相検出器の極性が負に設定してあります。反転構成では、オペアンプの正入力をオペアンプの出力によって変化しない固定電圧でバイアスすることができるため、実装が容易です (非反転構成では、正入力は出力によって変化します)。

AD8065 は VCO の入力容量を低減するためのバッファとしても機能します。LBW が 2.4MHz のパッシブ・フィルタでは、VCO 入力とフィルタの最後のコンデンサの総合容量を約 1.5pF にする必要があります。ただし、VCO のみで測定した入力容量は 52pF です。

位相のセトリング・タイムを最小限に抑えるため、ループ・フィルタのコンデンサにはセラミックの COG/NP0 コンデンサ (標準的なコンデンサよりも放電時間が短い) を推奨します。

この回路にはチュートリアル [MT-031](#) と [MT-101](#) に記載されているように、優れたレイアウト、グラウンディング、デカップリングの技術が必要です。CN-0302 の全回路図、レイアウト・ファイル、および部品表が [CN-0302 設計支援パッケージ](#)

([www.analog.com/CN0302-DesignSupport](http://www.analog.com/CN0302-DesignSupport)) に含まれています。

## テスト結果

この回路の位相ノイズの測定結果を図 4 に示します。200MHz のジャンプに対する周波数と位相のセトリング・タイムをそれぞれ、図 5 と図 6 に示します。



図 4. 12.002GHz での位相ノイズ (LBW = 2.4 MHz)

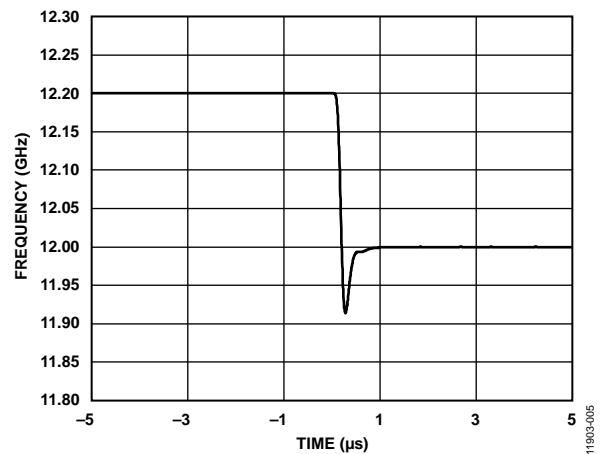


図 5. 12.2GHz から 12.0GHz への 200MHz のジャンプに対する周波数のセトリング

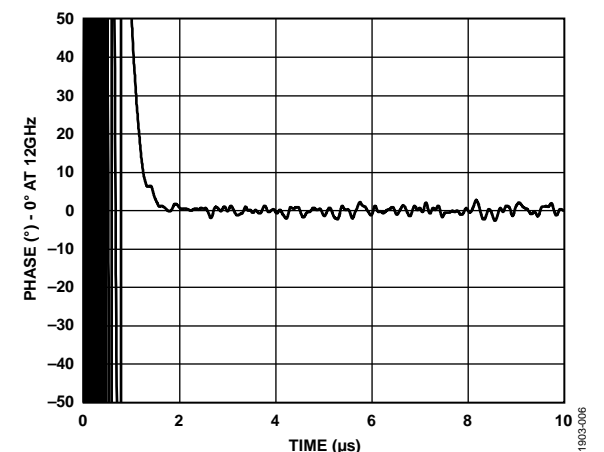


図 6. 12.2GHz から 12.0GHz への 200MHz のジャンプに対する位相のセトリング

## 回路の評価とテスト

### 2.4MHz のアクティブ・フィルタ用の PC ボードの修正

OP184 の代わりに AD8065 を使った 2.4MHz のアクティブ・フィルタを実装するには、標準の EV-ADF4159EB1Z ボードに以下の修正を行う必要があります。

- U4 を AD8065ARZ (8 ピン、SOIC) に置き換える
- R1 を 220  $\Omega$  (1%、0603 サイズ) に置き換える
- R2 を 3 k $\Omega$  (1%、0603 サイズ) に置き換える
- R3 を 120  $\Omega$  (1%、0603 サイズ) に置き換える
- C1 を 12 pF (10%、0603 サイズ) に置き換える
- C2 を 82 pF (10%、0603 サイズ) に置き換える
- C3 を 2.7 pF (5%、0603 サイズ) に置き換える
- C4 は 180pF のままとする

### 必要な装置

- オペアンプ AD8065 と 2.4MHz の LBW フィルタ部品用に修正した EV-ADF4159EB1Z 評価ボード
- ADF4159 評価用ソフトウェア
- Windows®搭載の USB ポート付き PC
- +15 V 電源
- +5.5 V 電源
- スペクトル・アナライザ：R&S の FSUP26、FSQ26、FSW26、Agilent の E5052B または相当品

### テスト・セットアップの機能ブロック図

セットアップの機能図を図 7 に、セットアップの写真を図 8 に示します。テストとソフトウェアのセットアップの実行の詳細については、[ユーザー・ガイド UG-383](#) を参照してください。

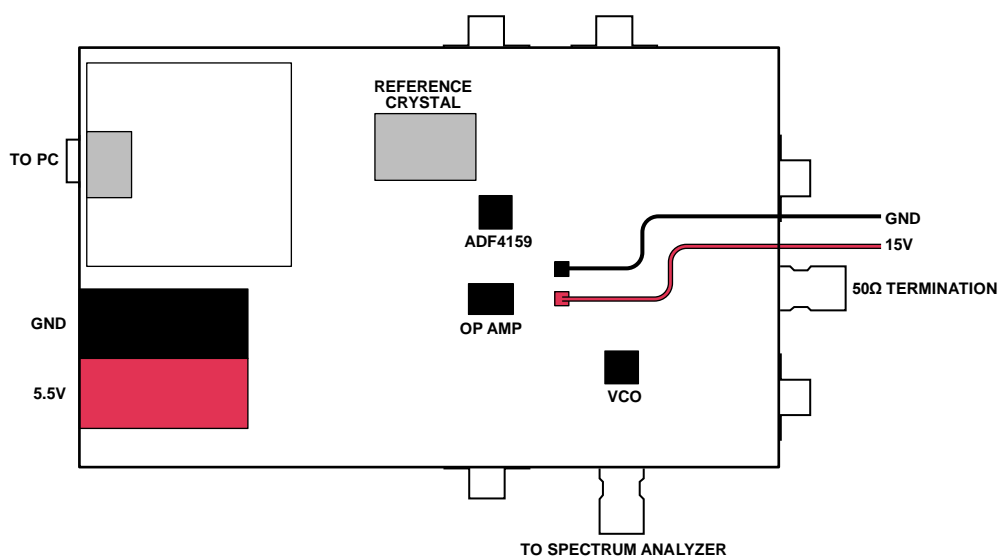


図 7. テスト・セットアップの機能ブロック図

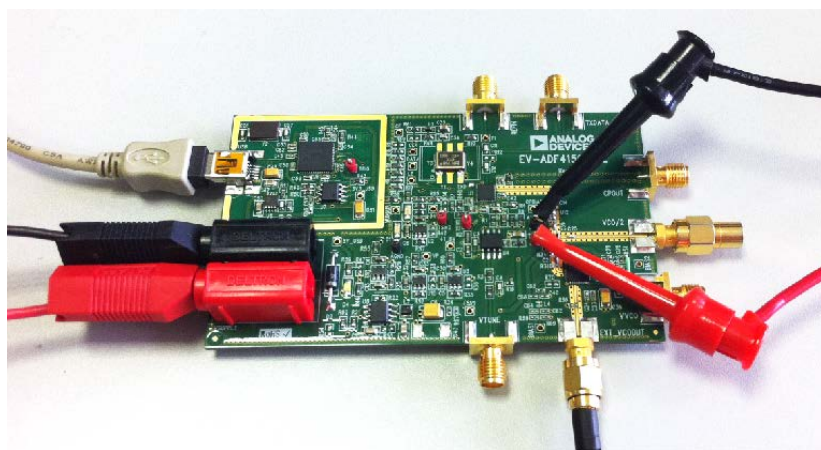


図 8. EV-ADF4159EB1Z ボードと外部接続を示すテスト・セットアップの写真

**さらに詳しい資料**

CN-0302 Design Support Package : <http://www.analog.com/CN0302-DesignSupport>

ADIsimPLL Design Tool.

AN-30 Application Note : Ask the Application Engineer—PLL Synthesizers, Analog Devices.

MT-031 Tutorial : Grounding Data Converters and Solving the Mystery of “AGND” and “DGND”, Analog Devices.

MT-086 Tutorial : Fundamentals of Phase Locked Loops (PLLs), Analog Devices.

MT-101 Tutorial : Decoupling Techniques, Analog Devices.

UG-383 : Evaluating the ADF4159 Frequency Synthesizer for Phase-Locked Loops.

**データシートと評価ボード**

ADF4159 データシート／評価ボード

AD8065 データシート

**改訂履歴**

**10/14—Rev. 0 to Rev. A**

Changes to Circuit Description Section..... 2

**10/13—Revision 0: 初版**

「Circuits from the Lab／実用回路集」はアナログ・デバイセズ社製品専用に作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab／実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab／実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab／実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2015 Analog Devices, Inc. All rights reserved. 商標および登録商標は各社の所有に属します。