

**ADM3065E 50 MBPS RS-485 トランシーバを使用した  
ENDAT モーター・コントロール・エンコーダ・アプリケーション**

著者: Richard Anslow and Jens Sorensen

**はじめに**

モーターの位置と角度のエンコーダは、アブソリュート・エンコーダとしても知られ、サーボ機構駆動装置、ロボティクス、工作機械、エレベータなどのシステムで広く使用されています。図 1 にモーター・コントロールのシグナル・チェーンを示します。ここでは、交流モーターのクローズドループ制御向けにスレーブ側のアブソリュート・エンコーダ (ABS エンコーダ) とマスター側の産業用サーボ機構駆動装置間をインターフェースするために、RS-485 トランシーバを使用しています。ABS エンコーダは機械的な動き (位置と方向) を電気信号に変換し、これがサーボ機構駆動装置にフィードバックされます。サーボ機構駆動装置は、このエンコーダの情報に基づき交流モーターのインテリジェント制御を行います。サーボ機構駆動装置と ABS エンコーダ間の RS-485 通信リンクでは、通常、最大 16 MHz の高データ・レートと短い伝搬遅延時間特性が求められます。RS-485 のケーブル長は通常、最長で 50 m ですが、場合によっては 150 m まで延長が可能です。産業界の過酷な環境下では、露出したケーブルと RS-485 コネクタは、国際電気標準会議 (IEC) 61000-4-2 に規定される静電放電 (ESD) のような有害な電磁電流 (EMC) にさらされる場合があります。

**EnDat エンコーダ向け RS-485**

このアプリケーション・ノートでは、アナログ・デバイセズの **ADM3065E** 50 Mbps (25 MHz) RS-485 トランシーバを使用した、EnDat モーター・コントロール・エンコーダ・アプリケーションの利点について説明します。ADM3065E トランシーバは、モーター駆動やエンコーダに対する過酷な環境下でも高い信頼性で動作し、さらにノイズ耐性と IEC 61000-4-2 ESD 耐性を主要な特長として保持するよう設計されています。ADM3065E のタイミング仕様、とりわけドライバとレシーバ間の伝搬遅延が短いという特長により、産業用のサーボ機構駆動装置から ABS エンコーダに至るシステム設計の複雑さを軽減できます。この低伝搬遅延は、EnDat エンコーダ用の高い周波数 (16 MHz) に限らず、全てのシステム・クロック周波数においてシステム設計の複雑さを軽減します。このアプリケーション・ノートでは、モーター・コントロール・アプリケーションの主な利点を、関連するアプリケーション回路やタイミング測定を用いて説明します。

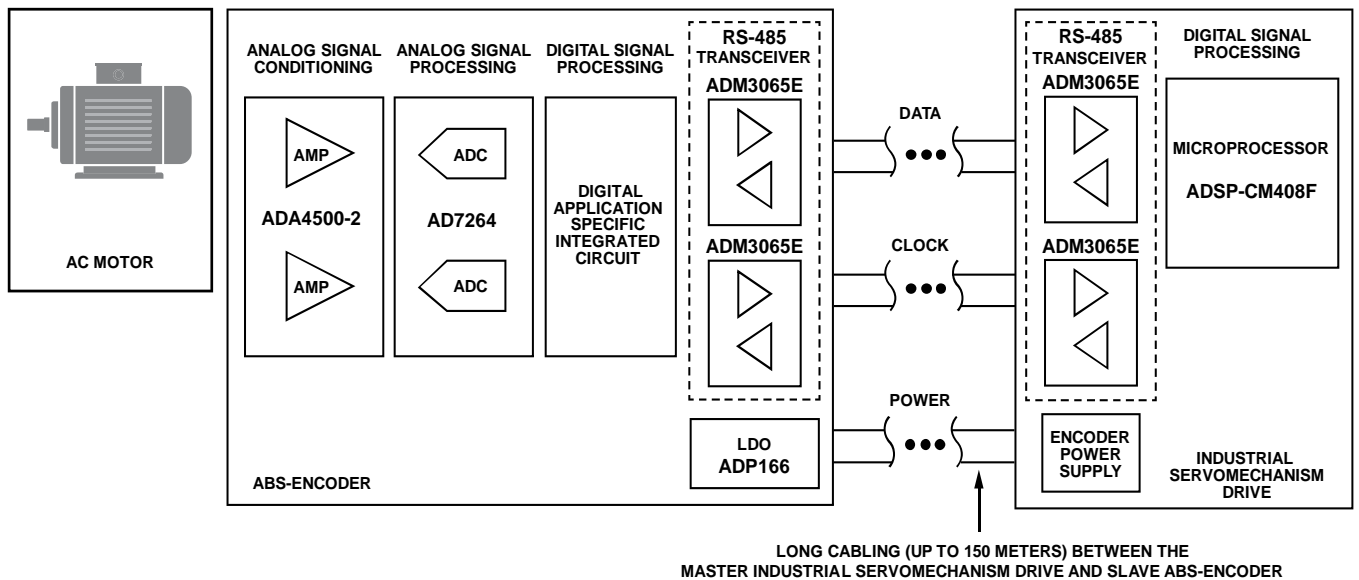


図 1. 交流モーターのクローズドループ制御向けに、スレーブ側のアブソリュート・エンコーダとマスター側のサーボ機構駆動装置間をインターフェースするために RS-485 トランシーバを使用

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

はじめに.....	1	通信プロトコル.....	7
EnDat エンコーダ向け RS-485.....	1	遅延による影響.....	7
改訂履歴.....	2	遅延補償.....	7
エンコーダ向け RS-485 の堅牢性.....	3	マスターへの実装.....	8
ノイズ耐性.....	3	試験構成.....	8
堅牢性と信頼性.....	4	EnDat プロトコル.....	9
RS-485 の優れたタイミング性能.....	6	同期.....	9
信号レート.....	6	試験結果.....	10
伝搬遅延.....	6		
EnDat エンコーダ・インターフェース.....	7		

## 改訂履歴

4/2017—Revision 0: Initial Version

## エンコーダ向け RS-485 の堅牢性

モーター・コントロール・エンコーダ・アプリケーションは、データ通信にとっては厳しい環境です。電気的ノイズや長いケーブル長によって、ABS エンコーダからサーボ機構駆動装置までの RS-485 を用いた信号伝送の安定性が影響を受けるためです。アナログ・デバイゼズの RS-485 トランシーバには、こうした厳しい環境でも信頼性の高い動作を可能とし、ノイズ耐性や堅牢性を付加した設計がなされています。

### ノイズ耐性

RS-485 の信号は平衡接続、差動型で、本質的にノイズ耐性があります。システムのノイズは一組の RS-485 のツイスト・ペア・ケーブルの両方のワイヤに均等に結合します。一方の信号は他方と反転した信号を放射し、電磁界は相互に打ち消し合っ

て RS-485 バスと結合します。このため、システムの電磁干渉 (EMI) が低減します。また、ADM3065E の 2.1 V に増強した駆動能力によって、通信の S/N 比 (SNR) を改善できます。

### 増強した RS-485 トランシーバ性能

TIA/EIA-845-A RS-485 規格では、レシーバ・デバイスの不安定性もしくは発振条件を抑止する手段を RS-485 トランシーバに実装することを推奨しています。レシーバのヒステリシスは、レシーバの安定性を改善するのに有効で、ノイズ耐性向上の手段となります。これは、過酷な産業用モーター・コントロール環境での長いケーブル配線には特に重要です。

ADM3065E のデータシートでは、標準的なレシーバ・ヒステリシス ( $V_{HYS}$ ) 30 mV、レシーバの差動入力スレッショルド電圧 ( $V_{TH}$ ) -200 mV ~ -30 mV が仕様規定されています。

$V_{TH}$  はレシーバの出力電圧 ( $V_{OL}$  と  $V_{OH}$ ) をハイからロー、ローからハイに変化させるための閾値です。 $V_{HYS}$  は本質的に、ハイからローの  $V_{TH}$  (図 2 の左側) とローからハイの  $V_{TH}$  (図 2 の右側) の差です。 $V_{HYS}$  には、 $V_{TH}$  近傍のノイズがレシーバ出力でのロジック・ハイからローへの疑似遷移の原因とならないようにする効果があります。

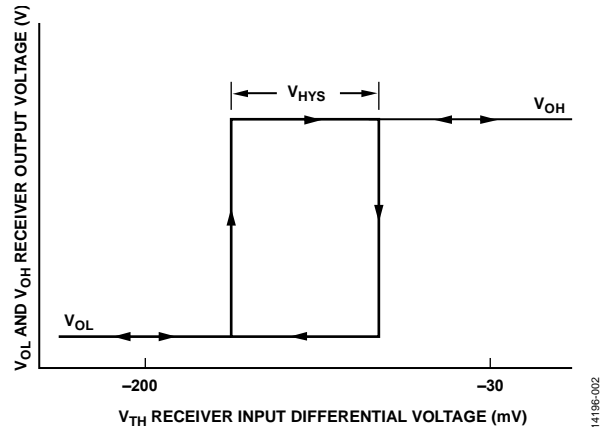


図 2. ADM3065E レシーバのヒステリシス

### ノイズ耐性向上のための信号絶縁の付加

ADuM141D を使用して、容易に ADM3065E に信号絶縁を付加できます。ADuM141D は、アナログ・デバイゼズの iCoupler® 技術をベースにした 4 チャンネルのデジタル・アイソレータです。ADuM141D は最大 150 Mbps のデータ・レートで動作することができるので、50 Mbps の ADM3065E RS-485 トランシーバを使用した動作に最適です (図 3 参照)。

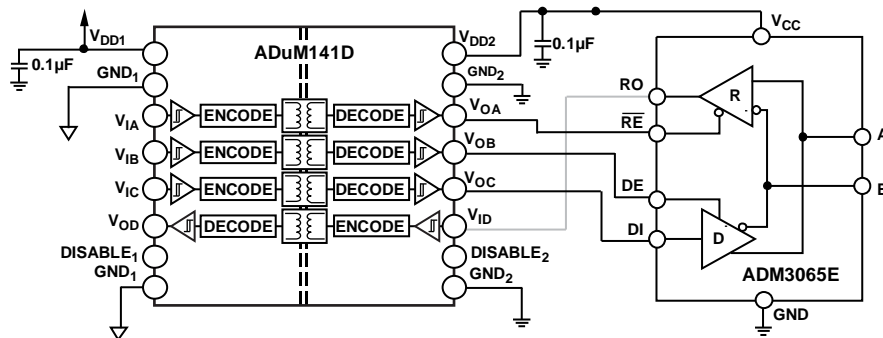
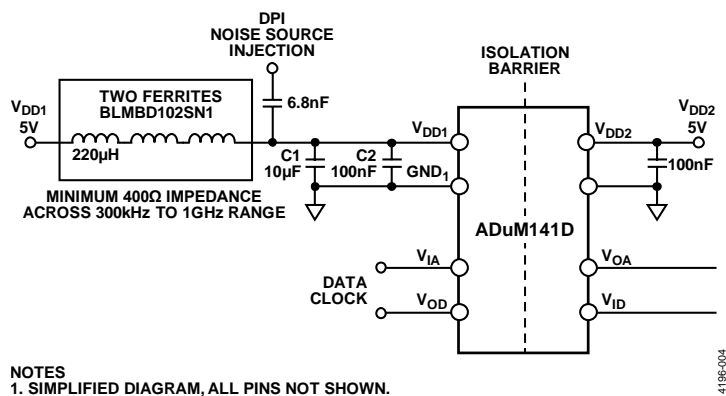


図 3. 信号絶縁した 50 Mbps の RS-485 ソリューション (概略図 - 全接続が示されているわけではありません)



NOTES  
1. SIMPLIFIED DIAGRAM, ALL PINS NOT SHOWN.

図 4. DPI IEC 62132-4 ノイズ耐性試験の代表的な構成

ダイレクト・パワー・インジェクション (DPI) は、電源や入力ピンに混入するノイズを除去する部品の性能を測定します。ADM141D で使用した絶縁技術は DPI IEC 62132-4 規格で試験済みです。ADuM141D では、V<sub>DD1</sub> と V<sub>DD2</sub> のいずれかの電源ピンに容量結合した高電力ノイズ源を使用して、DPI IEC 62132-4 規格に準拠する試験を実施しました。ノイズ源は、300 kHz ~ 1 GHz の周波数帯域で掃引しています。DPI IEC 62132-4 の試験中、ADuM141D の V<sub>IA</sub> ピンにクロック信号が入力され、そのクロック・データのエラーがモニタされます (ループバック・テスト・モード)。信号のビット幅の変化量が ±10% を超えると、不合格と見なされます。図 4 に、ADuM141D V<sub>DD1</sub> 電源ピンに接続した 6.8 nF のコンデンサを通じて DPI ノイズ源を挿入した試験の構成例を示します。

図 5 に、ノイズ・パワー (dBm) と DPI 周波数 (Hz) に関する ADuM141D の不合格ポイントを表す代表的な性能プロットを示します。IEC 62132-4 規格に適合する ADuM141D の性能を、市場で入手可能な他のアイソレータと比較して評価しました。ADuM141D のノイズ耐性の性能は他の類似製品よりも優れています。ADuM141D は広い周波数範囲にわたり優れた性能を維持しますが、その他のアイソレーション製品では、200 MHz ~ 700 MHz の周波数帯域でビット・エラーが発生します (図 5 参照)。

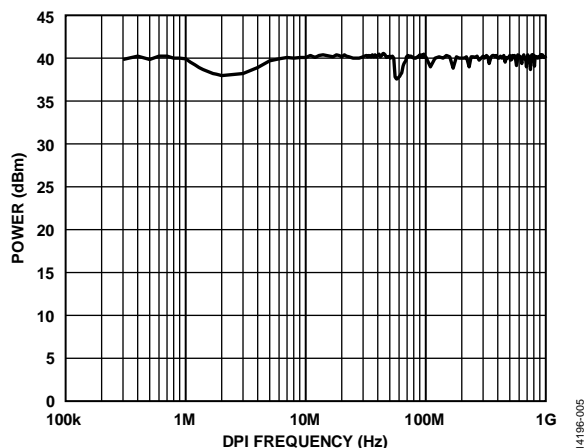


図 5. IEC 62132-4 に準拠して試験した ADuM141D のノイズ耐性

### 堅牢性と信頼性

ADM3065E は最高 +125 °C の周辺温度でも高信頼動作する高温性能を可能とし、3.0 V ~ 5.5 V の広い電源動作範囲で RS-485 の性能を強化します。これにより、差動電力が要求されるエンコーダやモーター駆動に対する信頼のおける柔軟なソリューションを提供できます。

### バス・アイドル、オープン・サーキット、短絡のフェイルセーフ

ADM3065E はフェイルセーフ機能を備えた RS-485 レシーバです。この機能により、ABS エンコーダからサーボ機構駆動装置への RS-485 インターフェースのケーブルの切断を検知することができます。

ADM3065E は確実なフェイルセーフ機能を持ち、-7 V ~ +12 V のレシーバのコモン・モード入力の全範囲で、バス・アイドル、オープン・サーキット、短絡に対してロジック・ハイのレシーバ出力機能を提供します。図 6 に、レシーバ入力のスレッショルド電圧とレシーバ出力のロジックの変換基準について、ADM3065E と一般の RS-485 トランシーバとの比較を示します。ADM3065E はレシーバ入力力が -30 mV のスレッショルド電圧を超えるとロジック・ハイを出力しますが、一般の RS-485 では +200 mV を超えたときにロジック・ハイを出力します。

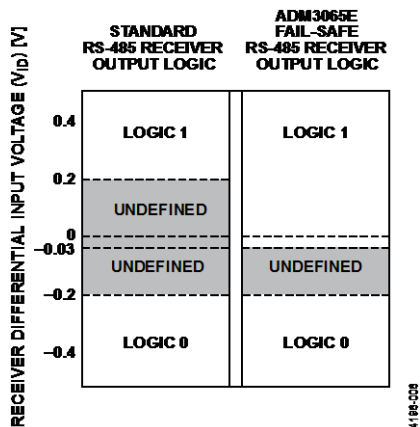


図 6. ADM3065E レシーバのフェイルセーフ機能

オープン・サーキット・フェイルセーフ機能により、RS-485 の A ピンと B ピンが切断され、終端抵抗や他のノードがない場合に、ADM3065E レシーバ出力は確実にハイになります。この機能は、全てのアナログ・デバイセズの RS-485 トランシーバに内蔵されています。ADM3065E の A ピンには、内部プルアップ抵

抗があります。A ピンが切断されているか、またはフロート状態にある場合、このプルアップ抵抗は A ピンを -30 mV よりも高い電圧にプルアップします。ADM3065E の B ピンには、プルダウン抵抗があります。B ピンが切断されているか、またはフロート状態にある場合、このプルダウン抵抗は B ピンを -200 mV を下回る電圧にプルダウンします。このシナリオでは、A ピンの電圧は B ピンの電圧よりも高いので、バス差動電圧がハイとなり、レシーバの出力は常にロジック・ハイになります。

短絡フェイルセーフ機能により、2つのノードが反対のレベルにバスを駆動する場合、またはバス・ラインの配線が互いに短絡している場合、ADM3065E のレシーバ出力が確実にロジック・ハイになります。

バス・アイドル・フェイルセーフは、このセクションで説明したバス・オープン・サーキットやバス短絡フェイルセーフより複雑で、どのノードも RS-485 バスに信号を駆動していない場合に ADM3065E レシーバ出力をロジック・ハイにします。このフェイルセーフを機能させるには2つの方法があります。最初の方法では、オフセットのレシーバ閾値（例えば、TIA/EIA-845-A RS-485 規格の +200 mV ではなく -30 mV）を備えたフェイルセーフ RS-485 トランシーバを使用します。バス・アイドルのフェイルセーフ機能を備えたアナログ・デバイスの RS-485 トランシーバは、短絡のフェイルセーフ機能も備えています。2番目の方法では、バスでプルアップ抵抗とプルダウン抵抗を使用して、差動電圧を最小限に抑えます。この方法は、アクティブ終端または電源終端とも呼ばれます。電源電圧、および終端抵抗、レシーバのインピーダンスなどのバス負荷に基づいて、必要な抵抗値を計算します。

### IEC 61000-4-2 ESD 性能

エンコーダからモーター・ドライブ間の露出した RS-485 コネクタやケーブルに対する ESD は、一般的なシステムの故障要因になります。システム・レベルの IEC 61800-3 規格では、可変速駆動システムに求められる EMC 耐性に関し、最小でも ±4 kV（接触放電）/±8 kV（気中放電）の IEC 61000-4-2 規格の ESD 保護を要求しています。ADM3065E ではこれを上回る、±12 kV（接触放電）/±12 kV（気中放電）の IEC 61000-4-2 規格の ESD 保護を実現しています。

図 7 では、人体モデル（HBM）ESD 8 kV の波形と IEC 61000-4-2 規格の 8 kV の接触放電電流の波形を比較しています。図 7 より、この2つの規格がお互いに異なる波形とピーク電流を仕様規定していることがわかります。IEC 61000-4-2 の 8 kV パルスに関連するピーク電流は 30 A で、一方、これに相当する HBM ESD のピーク電流は 1/5 未満の 5.33 A になっています。その他の違いは、初期電圧スパイクの立ち上がり時間にあります。HBM ESD 波形の 10 ns と比較すると、IEC 61000-4-2 ESD では、立ち上がり時間が 1 ns ときわめて短くなっています。IEC ESD 波形に関連付けられた電力量は、HBM ESD 波形の電力量よりも非常

に大きくなっています。HBM ESD 規格では、被試験装置（EUT）に対し、正負の放電をそれぞれ3回行うことになっているのに対し、IEC ESD 規格では正負それぞれ10回の放電試験を行うことが要求されています。

IEC 61000-4-2 の ESD 定格に対応する ADM3065E は、さまざまなレベルの HBM ESD 保護機能を備えた他の RS-485 トランシーバに比べ、過酷な環境での動作に適しています。

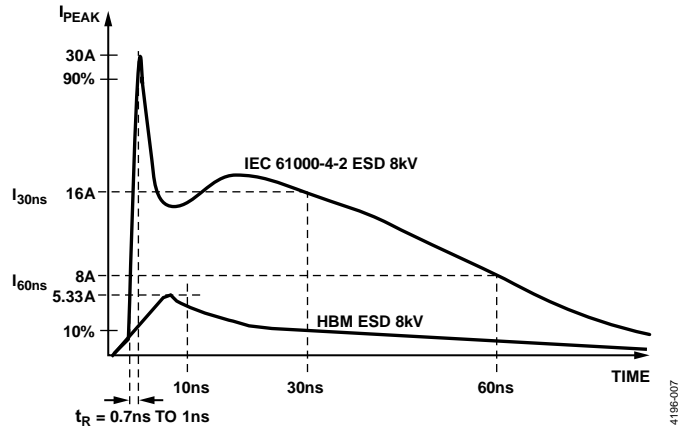


図 7. HBM ESD 波形（8 kV）と比較した IEC 61000-4-2 ESD 波形（8 kV）

### グリッチなしのパワーアップ/パワーダウン

ADM3065E には、広範囲でグリッチなしのパワーアップ/パワーダウン（ホット・スワップ）保護機能が備わっています。

回路基板を電源がオンの（つまりホットの）バックプレーンに挿入すると、データ・バスへの差動外乱により、データ・エラーが発生することがあります。この間、プロセッサのロジック出力ドライバは高インピーダンスとなり、RS-485 トランシーバの DE と RE の入力値を定められたロジック・レベルに駆動することができなくなります。高インピーダンス状態のプロセッサ・ロジック・ドライバからの最大 ±10 μA のリーク電流によって、標準的な相補型金属酸化物半導体（CMOS）はトランシーバへの入力を誤ったロジック・レベルにドリフトしてしまう可能性があります。さらに、回路基板の寄生容量によって、Vcc ピンまたは GND ピンがイネーブル入力と結合してしまう場合もあります。ホット・スワップ機能がないと、このような要因によってトランシーバのドライバやレシーバが誤動作をする可能性があります。Vcc の電源電圧が上昇した場合、内部のプルダウン回路が DE ピンをロジック・ローに、RE ピンをロジック・ハイに保ちます。初期のパワーアップ・シーケンスの後、プルダウン回路はトランスペアレントになり、ホット・スワップは許容入力値にリセットされます。

## RS-485 の優れたタイミング性能

### 信号レート

ADM3065E は BiSS、EnDat 2.2、HIPERFACE DSL® のエンコーダ規格で求められている高データ・レートに対応しています。シリアル同期インターフェース (SSI) のような RS-422 トランシーバを使用するエンコーダ規格に対応して、[ADM4168E](#) トランシーバでは低データ・レートでも高データ・レートでも信頼性の高いソリューションを提供します。詳細については、表 1 を参照してください。

### 伝搬遅延

ADM3065E を使用して、システムのデータ伝送遅延の影響を抑制できます。ADM3065E のタイミング仕様、特に、ドライバとレシーバ間の伝搬遅延が短いことにより、産業用サーボ機構駆動装置から ABS エンコーダに至るシステム設計の複雑さを軽減できます。この低伝搬遅延は全てのシステム・クロック周波数に対する設計の複雑さを軽減するもので、高い周波数 (16 MHz) に限定されるわけではありません。

表 1. モーター・コントロール・アブソリュート・エンコーダ・インターフェース対応の ADI トランシーバのソリューション

Encoder Standard	Physical Layer	Data Rate (MHz)	High Data Rate RS-485 Transceiver Options	Low Data Rate RS-485 Transceiver Options
EnDat 2.2	RS-485	0.1 to 16	ADM3065E	ADM3072E
BiSS	RS-422	0.08 to 10	ADM4168E	ADM4168E
HIPERFACE DSL	RS-485	4.69	ADM3065E	ADM3072E
SSI	RS-422	2	ADM4168E	ADM4168E
EnDat 2.1	RS-485	0.1 to 2	ADM3065E	ADM3072E

## EnDat エンコーダ・インターフェース

ロータリー・エンコーダは産業用オートメーション・システムで幅広く使用されています。このタイプのエンコーダは一般に電気機械で使用されており、エンコーダは回転シャフトに接続され、制御システムにフィードバックします。エンコーダの主要目的は角度位置と角速度の測定ですが、システム診断やパラメータ設定など、その他の機能もよく利用されています。このセクションでは、エンコーダとコントローラ間のインターフェースのマスター側の実装と試験について説明します。

### 通信プロトコル

エンコーダ（スレーブ）とコントローラ（マスター）との通信はデジタル双方向で、リアルタイム制御システムで動作できる速度に加え、工業環境下で機能する堅牢性を備えています。

通信プロトコルにはオープン・ソースのものもありますが、独自のプロトコルを選択する駆動装置メーカーもあります。合計 20 種類以上のプロトコルが存在します。主要プロトコルとして、EnDat と BiSS の 2 つが挙げられます。

両者に相違はありますが、エンコーダの通信プロトコルの実装に関しては共通点があります。プロトコルのインターフェースはシリアル双方向で、RS-422 または RS-485 のいずれの電氣的仕様も満たしています。リンク間のデータ伝送はマスターが供給するクロックに同期しています。いくつかのデータの種類（例えば、位置の値、パラメータ、診断結果など）がリンク間で交換されます。この交換ではマスターがスレーブに送ったコマンドに応じてデータの種類の種類が選択されます。

ハードウェア・レイヤには共通性がありますが、各プロトコルを実行するのに必要なソフトウェアには独自性があります。通信スタックと必要なアプリケーション・コードは、ともにプロトコルに固有のものであります。

このアプリケーション・ノートでは、図 8 に示す EnDat 2.2 インターフェースの、マスター側のハードウェアおよびソフトウェア実装について説明します。

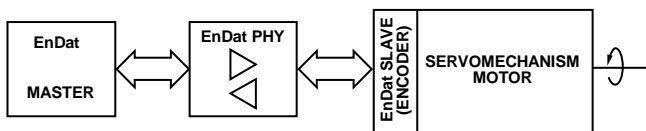


図 8. シリアル・リンクで接続した EnDat マスターと EnDat スレーブ

### 遅延による影響

産業用アプリケーションによっては、コントローラとエンコーダが物理的に 100 m 以上離れている場合があります。この距離を最大 16 MHz の通信速度で接続すれば、システムが伝送遅延の影響を受けるのは明らかです。

遅延は 2 種類に区分できます。まず、ケーブルの伝送遅延 ( $t_{CABLE}$ ) が生じます。次に、トランシーバの伝搬遅延 ( $t_{TRX}$ ) が生じます。総遅延 ( $t_{DELAY}$ ) はこの 2 つの和です。

$$t_{DELAY} = t_{CABLE} + t_{TRX}$$

光速とケーブルの誘電率とでケーブルの遅延が求まり、標準的な値は 6 ns/m ~ 10 ns/m です。短いケーブルの場合、この遅延はほとんど無視できますが、ケーブルが長くなるほど問題になります。

マスターがクロックを出力すると、このクロックはケーブルを伝搬し、エンコーダではケーブル長分だけ遅延します。スレーブはデータを送信し、そのデータはこのクロックを使用してケーブルを戻ります。すなわち、マスターが受信するデータはケーブル長の 2 倍の長さ分だけ遅延することになります。

遅延の 2 つ目の原因はトランシーバの伝搬遅延です。マスター側とスレーブ側の双方にトランシーバがあり、データはケーブルを往復すると仮定すると、信号は 4 個のトランシーバ分だけ遅延することになります。このようにケーブル長とトランシーバ数を考えると、伝搬遅延が考慮すべき重要なパラメータである理由がわかります。

ケーブル長は、マスターとスレーブの物理的な距離で決まるため、変更することはできません。しかし、トランシーバの選択により伝搬遅延は変えることができます。

### 遅延補償

$t_{DELAY}$  がクロックの半周期を超えると、マスターとスレーブ間の通信は破綻します。この場合、設計者には次の選択肢があります。

1. データ・レートを下げる
2. トランシーバの伝搬遅延を短くする
3. マスター側に遅延補償を導入する

3 番目の選択肢はケーブル遅延とトランシーバ遅延の双方を補償するもので、ケーブルが長くてもシステムが高いクロック・レートで動作できるようにする有効な手段です。選択肢 3 を採用した場合の欠点は、遅延補償によりシステムが複雑化し、マスターが補償に対応できない場合があることです。

遅延補償を採用できないシステムやケーブルが短いシステムでは、伝搬遅延の小さいトランシーバを使用することが有効なのは明らかです。伝搬遅延が小さいと、システムに遅延補償を導入しなくても高いクロック・レートが可能となります。

伝搬遅延が小さいことの利点は、高データ・レートだけにあるわけではありません。遅延補償のないシステムは、通常低いデータ・レートで動作しますが、これが伝搬遅延が小さいことのもう 1 つの利点となっています。

## マスターへの実装

プロトコルに関わらず、マスターへの実装にはシリアル・ポートと通信スタックが必要です。エンコーダのプロトコルは、シリアル・ペリフェラル・インターフェース (SPI) またはユニバーサル非同期レシーバ/トランスミッタ (UART) のような標準ポートには対応していないため、汎用のマイクロコントローラで用いられる周辺機器は使用できません。代わりに、フィールド・プログラマブル・ゲート・アレイ (FPGA) を使用してエンコーダのインターフェースを実装するのが一般的です。FPGA のプログラマブル・ロジックによって、ハードウェアに専用の通信ポートを実装し、遅延補償のような先進機能をサポートすることができます。通信スタックはソフトウェア実装に適合しており、通例、プロセッサ上で実行されます。

FPGA 手法は柔軟性が高く、アプリケーションに適合可能ですが、不利な点もあります。まず、FPGA はプロセッサに比べて高価です。次に、FPGA は電力を著しく消費します。最後に、カスタム FPGA の設計に要する開発期間が長く、市場投入までの時間を考慮すると許容できないことがあります。

このアプリケーション・ノートで説明する EnDat インターフェースは、モーター・コントロール・ドライブを目的とした標準的なプロセッサ ADSP-CM408CSWZ-AF 上に実装されます。ADSP-CM408CSWZ-AF は、パルス幅変調器 (PWM) タイマー、A/D コンバータ (ADC)、SINC フィルタなどのモーター・コントロール用周辺機器のほか、非常に柔軟性に富むシリアル・ポート (SPORT) を備えています。これらの SPORT は、EnDat や BiSS のようなエンコーダ・プロトコルを含む多くのプロトコルをエミュレートできます。

ADSP-CM408CSWZ-AF の充実した周辺機器セットのおかげで、エンコーダを同じデバイスにインターフェースさせるだけでなく、先進のモーター・コントロールを実行することが可能です。つまり、FPGA の必要性がなくなります。FPGA 用のハードウェア記述言語 (HDL) のコード開発の必要がなくなり、C コードと標準的なプロセッサ開発ツールに焦点を絞ることができます。また、PCB の面積を節約でき、プロセッサの消費電力も FPGA に比べ一般に小さくなります。

## 試験構成

EnDat 2.2 のアプリケーション構成を図 9 に示します。EnDat スレーブは Kollmorgen® 製の標準的なサーボ機構モーター (AKM22) で、EnDat エンコーダ (ENC1113) がシャフトにマウントされています。3 対の線 (データ、クロック、電力線) がエンコーダとトランシーバ・ボードを結んでいます。EnDat PHY にはトランシーバ (ADM3065E) が 2 つと、エンコーダ用電源があります。トランシーバの一方はクロック用に使用し、クロックは常にマスターから供給されるので、このデータ・フローは単方向となります。もう一方のトランシーバはデータ・ラインに使用します。データ・ラインは半二重で、データ・フローは双方向です。

EnDat マスターは ADSP-CM408CSWZ-AF で構成され、標準的な周辺機器とソフトウェアを使用しています。送信ポートと受信ポートはともに、柔軟性の高い SPORT を実装しています。これらの SPORT は通信に関するあらゆるタスクを処理します。すなわち、データの入出力、EnDat スレーブ向けクロック信号の発生、トランシーバへのコントロール信号の送信などを行います。

遅延による影響のセクションで説明したように、ケーブルが長いと遅延が生じ、スレーブから受信したデータはマスターが供給したクロックと位相がずれることとなります。このケーブル遅延を補償する効果的な手段は、受信 SPORT で使用するクロックの位相をシフトすることです (図 9 参照)。この構成が機能するには、クロックの位相シフト量をシステムの総遅延量と一致させる必要があります。

ダイレクト・メモリ・アクセス (DMA) を使用して、データは ADSP-CM408CSWZ-AF の周辺機器と通信スタックの間で伝送されます。これにより、通信に係るソフトウェア・オーバーヘッドを最小限に抑制します。通信スタックは、シーケンス制御、エンコーダへのコマンド送信、エンコーダからのデータ受信などのタスクを処理します。エンコーダからのデータはモーター・コントロール・アプリケーションに送られ、やはり ADSP-CM408CSWZ-AF 上で実行されます。

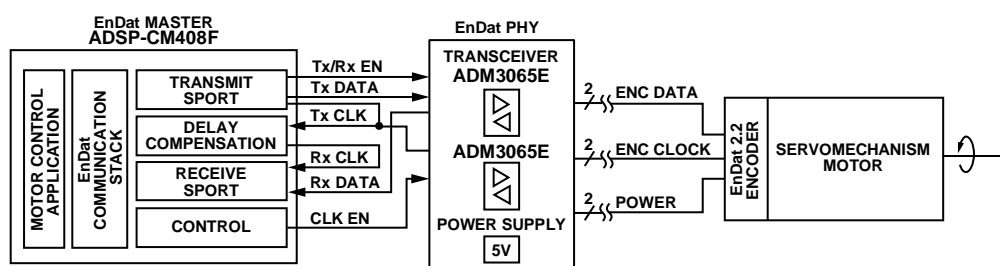


図 9. 試験構成



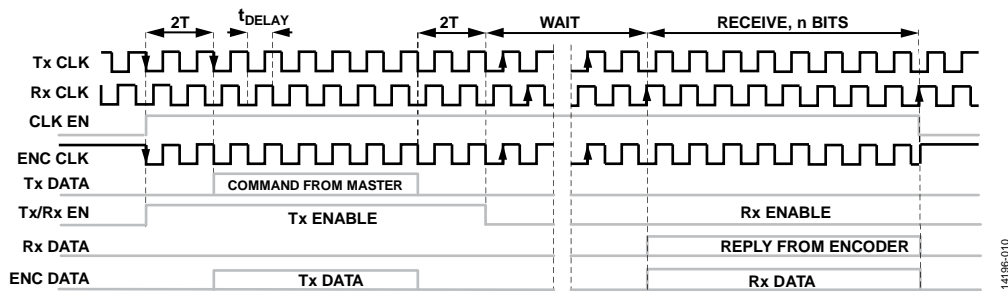


図 10. 送受信シーケンスのタイミング図

## EnDat プロトコル

EnDat プロトコルはさまざまな長さの多種にわたるフレームで構成されていますが、これらのフレームはすべて同じシーケンスに基づいています。まず、マスターはスレーブにコマンドを発行します。次に、スレーブはこのコマンドを処理し、必要な計算を実行します。最後に、スレーブは結果をマスターに送信します。図 10 にマスターとスレーブ間の通信例を示します。

図 10 では、トランシーバのクロック (Tx CLK) は、ADSP-CM408CSWZ-AF で生成された送信クロックです。これはエンコーダに伝達されるクロックですが、ケーブル長やその他のシステムの遅延が原因で、エンコーダからのデータは Tx CLK とは位相がずれて ADSP-CM408CSWZ-AF に戻ることになります。この伝送遅延 t<sub>DELAY</sub> を補償するため、ADSP-CM408CSWZ-AF でも受信クロック (Rx CLK) 信号を出力します。これは、Tx CLK より t<sub>DELAY</sub> だけ遅延します。Rx CLK とスレーブから受信したデータの位相を揃えることが、伝送遅延を補償する有効な手段となります。

ADSP-CM408CSWZ-AF からのクロック信号は連続的ですが、EnDat プロトコルでは、クロックは通信中のみエンコーダに印加されるように仕様規定されています。これ以外の時間は、クロック・ラインはハイに保たれている必要があります。このクロック信号を処理するために、クロック・イネーブル信号 CLK EN が ADM3065E のデータ・イネーブル・ピンに供給されます。CLK EN は ADSP-CM408CSWZ-AF で生成され、送信クロックと同期しています。エンコーダはクロック信号 ENC CLK を参照します。

ちょうどクロックの 2 周期分の時間 (2T) が経過すると、マスターはトランシーバ・データとしてコマンドをクロックに同期して出力し始めます。コマンドは 6 ビット長で 2 ビット分の 0 が続きます。データ・トランシーバを通過するデータの方向を制御するため、ADSP-CM408CSWZ-AF は送信の間、Tx EN と Rx EN のビットをいずれもハイにセットします。この信号が ADM3065E の受信イネーブル (RE) ピンとデータ・イネーブル (DE) ピンに供給されます。ADM3065E は送信または受信モードのいずれかに保たれ、無効化されることはありません。Tx モードと Rx モードとの切替えは短時間の遅延で可能ですが、ディスプレイ・モードからイネーブル・モードへの切替えにはこれよりかなり長い時間を要します。

コマンドの送信後、スレーブは応答の準備をします。応答準備完了に要する時間は、コマンドの種類とエンコーダの種類で決まります。

このため、システムは待ち状態に入り、マスターはクロックを印加し続けますが、データ・ラインは不通となっています。スレーブの応答準備ができると、データ・ライン上で Rx DATA はハイになり、その後直ちに応答が送信されます。n ビットの応答を受信後、マスターは CLK EN 信号をローにセットしてクロックを止めます。同時に、ENC CLK 信号はハイになります。

既述のとおり、データ・フローは半二重で、連結したデータ・ライン上のトラフィックは ENCL DATA として示されています。

図 10 では、Tx CLK と Rx DATA は伝送遅延のために位相がずれています。Rx CLK を t<sub>DELAY</sub> だけ遅延させて、受信クロックと Rx DATA の位相を合わせることができます。

## 同期

モーター・コントロール・アプリケーションとエンコーダ・インターフェースを同じデバイスで実行させる利点の 1 つは、正確に同期できることです。モーター・コントロール・ループでは、電流測定と位置のフィードバックを、パワー・インバータに印加する PWM パターンと同期させることが求められます。ADSP-CM408CSWZ-AF では、図 11 に示すように、トリガと DMA を組み合わせることで同期を実現しています。新たな PWM の周期が始まると、PWM のタイマーが同期パルス PWM\_SYNC を生成します。このパルスが電流測定 (図示していません) をトリガし、また、メモリから送信ポートへのデータの DMA 転送をトリガします。このデータはエンコーダへのコマンドで、例えば、send position という命令です。

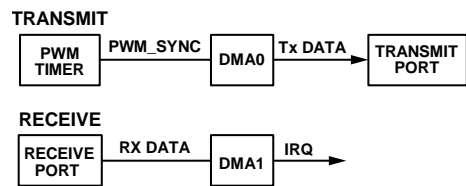


図 11. データ送受信のための DMA の使用

エンコーダがデータをマスターに返送する準備ができると、受信ポートがデータを取得し、DMA が結果をメモリに転送します。割り込み信号 IRQ が通信スタックに対し、データ処理の用意がきていることを伝えます。この処理ではソフトウェアの介入がないので、効率的な実装を行うことができます。

## 試験結果

図 12 と図 13 にこのアプリケーション・ノートで説明した EnDat システムの試験結果を示します。試験で用いたクロック周波数は 8 MHz で、遅延補償を受信クロックの位相シフトで行っています。

図 12 において、最下部の信号は EnDat マスターからのコマンドです。ここで示すコマンドは send position で、2 ビットの 0、6 ビットの 1、2 ビットの 0 で構成されています。合計 10 ビット長のコマンドです。エンコーダからの応答は上から 3 番目の信号です。この信号は ADM3065E のレシーバ出力ピン RO で計測しており、そのため、シングル・エンドです。連結されたデータ・ラインは上から 2 番目の信号です。これは ADM3065E の A ピンと B ピンの差を計測したもので、信号は差動信号です。最後に、最上部の信号がエンコーダに印加したクロックです。

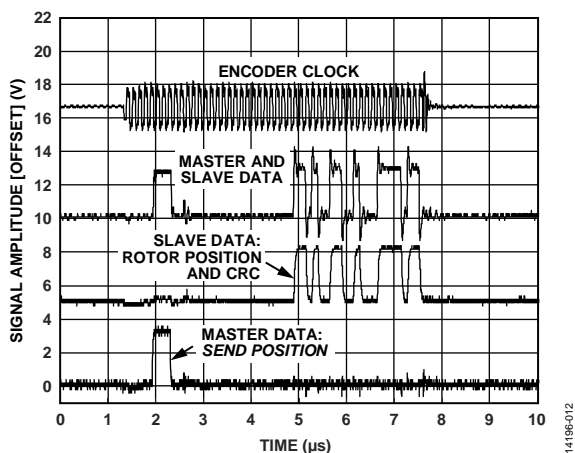


図 12. 送受信シーケンス中のデータ交換

図 13 に、送受信中の ADM3065E のコントロール・ラインを示します。最下部の信号は、トランシーバ処理データのデータ・イネーブルとレシーブ・イネーブルの信号を示します。ローは送信を示し、ハイは受信を示します。上から 3 番目の信号はトランシーバ処理クロックのデータ・イネーブル信号を示します。信号が高い場合、エンコーダ・クロック信号がエンコーダに印加されます。マスターとスレーブのデータ信号は連結されたデータ・ライン上の信号です。エンコーダからの出力データが ADSP-CM408CSWZ-AF で受信された後、割込み信号が生成され、EnDat スタックが実行されます。

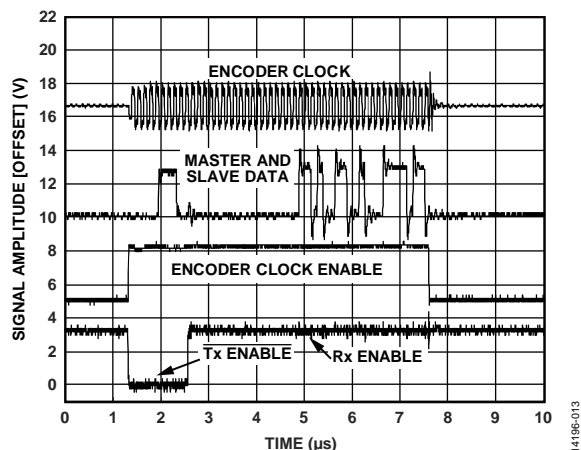


図 13. 送受信シーケンス中のコントロール・ライン