

AN-1366
アプリケーション・ノートADP5070/ADP5071 を使用して $V_{OUT} < V_{IN}$ のときに正電圧レールと負電圧レールを作成する方法

Kevin Tompsett 著

はじめに

ADP5070/ADP5071 は、個別にレギュレーションされた正側レールと負側レールを生成するデュアル高性能 DC/DC レギュレータです。入力電圧範囲は 2.85 V ~ 15 V で、さまざまなアプリケーションに対応します。スタートアップ・シーケンシング、高精度イネーブル、スイッチング周波数の同期機能、スイッチング・ノイズ低減を目的としたピン選択可能な電源スイッチ・スルー・レートにより、ADP5070/ADP5071 は非常に柔軟性の高い電源デバイスとなっています。ADP5070/ADP5071 データシートでは、ブースト・トポロジで正側レールを設計する方法、および負側レールを反転バック・ブーストとして設計する方法

の詳細について説明しています。場合によっては、出力電圧を下回る入力から正電圧を生成する必要があります。正側レールはシングルエンド 1 次インダクタンス・コンバータ (SEPIC) トポロジで簡単に構成できます。これは、入力よりも低い出力電圧、高い出力電圧、または入力と同じ出力電圧を生成することができ、最高の柔軟性を発揮します。このアプリケーション・ノートでは、SEPIC 構成で ADP5070/ADP5071 を設計するための適切な設計方法および考慮事項について説明します。

Rev. 0

©2016 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

はじめに	1	電源コンポーネントのストレス	4
改訂履歴	2	出力フィルタ	5
SEPIC トポロジの概要	3	ADP5070/ADP5071 設計ツール	6
結合係数に対する制限事項	3	結論	7
小信号解析とループ補償	3	参考文献	7

改訂履歴

7/15—Revision 0:初版

SEPIC トポロジの概要

SEPIC は、十分に理解されていませんが、一般的に使用されている DC/DC コンバータ・トポロジの 1 つです。SEPIC では、Q1 スイッチと Q2 スイッチは、互いに逆の位相で動作します。Figure 1 に、2 つの異なるスイッチ状態での電流の流れを示します。

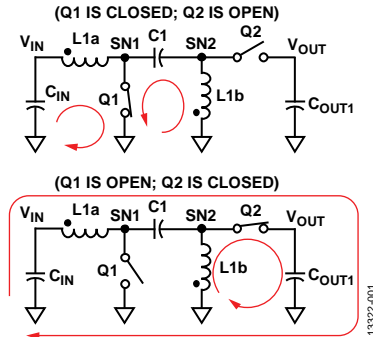


図 1. SEPIC コンバータでの電流の流れ

注意して確認しないとわかりませんが、転送コンデンサ (C1) の電圧は V_{IN} にほぼ等しい一定の値で、リップルは小さくなっています。Figure 2 に、SEPIC の理想化した波形を示します。Q1 がオンの場合、SN2 での電圧は $-V_{IN}$ に等しくなります。このため、Q1 がオン (Q2 がオフ) の間、L1a と L1b の両方をまたぐ電圧は V_{IN} に等しくなります。Q1 がオフ (Q2 がオン) の間、L1a と L1b の両方をまたぐ電圧は負の V_{OUT} に等しくなります。式 1 を使用してインダクタの電圧-時間バランスの原理を適用し、平衡 DC 変換率を計算します。D は、コンバータのデューティ・サイクルです (Q1 がオンになるスイッチング・サイクルの比率)。

$$\frac{V_{OUT_SEPIC}}{V_{IN}} = \frac{D}{(1-D)} \quad (1)$$

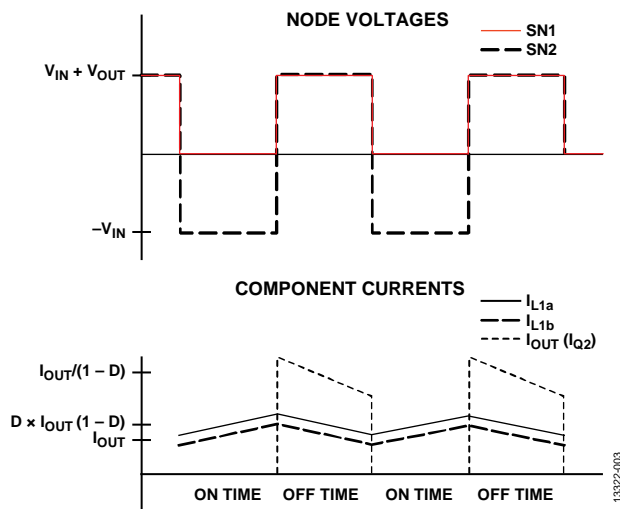


図 2. 理想化した SEPIC 波形

通常、これらの電源は、非同期コントローラに該当する小電力のアナログ電源であるため、Q2 をダイオードで置き換えます。

L1a と L1b は結合します。これにより、インダクタの電流リップルが 1/2 に低減し (References のセクションで引用されている Ćuk-Middlebrook を参照)、小信号モデルの複雑さを大幅に軽減し、式 2 で計算される SEPIC 共振を排除して高い帯域幅を実現します。

$$f_{SEPIC_RESONANCE} = \frac{1}{2\pi\sqrt{(L1a + L1b)C1}} \quad (2)$$

結合係数に対する制限事項

複数のインダクタを結合することには明確な利点がありますが、コアを通じて大量にエネルギーを転送するほど結合を緊密にすることは好ましくありません。この状況を回避するには、C1 の複素インピーダンスが、漏れインダクタンス (L_{LKG}) のインピーダンスに単巻の DC 抵抗 (DCR) を加算した値の 1/10 未満になるように設定する必要があります。

式 3 は、この不均衡を示します。 L_1 の漏れインダクタンス (L_{LKG}) は式 4 で計算します。結合係数 (K) は通常、結合されたインダクタのデータシートに記載されています。 L_M は、ADP5070/ADP5071 のデータシートに記載されている自己インダクタンスの計測値です。

$$|Z_{C1}| = \sqrt{ESR_{C1}^2 + \left(\frac{1}{2\pi C1 f_{SW}}\right)^2} \leq \frac{|Z_{LKG_L1}|}{10} = \frac{\sqrt{DCR_{L1}^2 + 2\pi L_{LKG_L1}}}{10} \quad (3)$$

$$L_{LKG} = L_M(1 - K)/K \quad (4)$$

小信号解析とループ補償

このアプリケーション・ノートでは SEPIC の小信号解析の詳細について取り上げませんが、このアプリケーション・ノートで説明している式を使用して設計を正しく補償することができます。ADP5070/ADP5071 設計ツールでは、より複雑なモデルを使用しています。このモデルは、このアプリケーション・ノートで説明しているモデルよりも正確ですが、非常に複雑です。

Ćuk (チューク) と Middlebrook (ミドルブルック) (References のセクションを参照) は、小信号および大信号の両方に関して、結合したインダクタは、単巻インダクタンス値の 2 倍のインダクタンス値を持ち、SEPIC 共振なしのインダクタのように動作すると発表しています。このため、このアプリケーション・ノートの解析では、実効インダクタンス (つまり、結合したインダクタのデータシートに記載されている単巻インダクタンス値の 2 倍の値) を使用します。

SEPIC を補償する最初のステップは、達成可能な目標クロスオーバー周波数を選択することです。ほとんどのブースト・トポロジおよびバック・ブースト・トポロジと同様、SEPIC には Right Half Plane Zero (RHP ゼロ) があり、これは式 5 で計算します。RHP (右半平面) には、ゲインの加算 (ゼロ点など) および位相の減算 (極など) という 2 つの効果があります。このため、最大で RHP の周波数 (f_{RHP}) の 1/5 であるクロスオーバー周波数に関してコンバータを補償する必要があります。

SEPICには、 f_{RES} で発生する、漏れインダクタンス (L_{LKG}) と転送容量 ($C1$) による追加の共振があります。通常、この共振は、インダクタのDCRによって減衰されますが、これにより大幅な位相遅れが生じることがあります。このため、その前に少なくとも1ディケード (10倍)、クロスオーバーすることを推奨します。さらに、標準のタイプII補償の電流モード・コントローラを使用します。このため、達成可能な最大クロスオーバー周波数は、スイッチング周波数の約1/10です。式7に示すように、目標 f_c をこれらの3つの制約の最小値として選択します。

$$f_{RHP} = \frac{R_{LOAD} D_{Q2}^{1.5}}{L \times D_{Q1}} \quad (5)$$

$$f_{RES} = \frac{1}{2\pi\sqrt{L_{LKG} C1}} \quad (6)$$

$$f_c = \text{Minimum} \left(\frac{f_{RHP}}{5}, \frac{f_{RES}}{10}, \frac{f_{SW}}{10} \right) \quad (7)$$

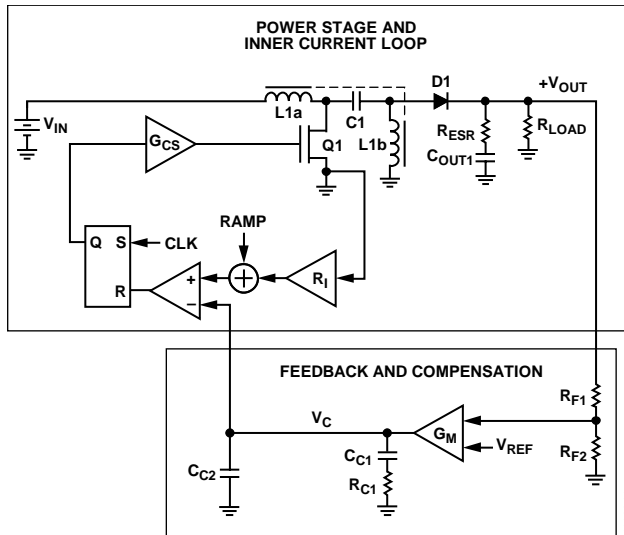


図3. 出力段と補償コンポーネントのブロック図

図3の補償値は、式8で計算します。セラミック出力コンデンサを使用することを想定しているため、 C_{C2} には10 pFを選択します。

$$C_{C2} = -C_{C2} + \sqrt{\frac{V_{REF}^2 G_M^2 A_C^2}{4\pi^2 V_{OUT}^2} \left(\frac{1}{f_P^2} + \frac{1}{f_C^2} \right) - C_{C2}^2 \left(\frac{1}{2} + \frac{f_C^2}{f_P^2} \right)} \quad (8)$$

$$R_{C1} = \frac{1}{2\pi f_p C_{C1}} \quad (9)$$

ここで、 f_p は電流モード・コンバータの近似主要極です。

$$f_p = \frac{(1 + D_{ON})}{(C_{OUT1}) R_{LOAD}} \quad (10)$$

A_C は、クロスオーバー周波数 f_c でのオープン・ループ型コンバータのゲインの大きさです。

$$A_C = \frac{F_M}{2D_{ON} D_{OFF} \left(1 + \frac{F_M V_{OUT} (1 + D_{ON})}{D_{ON} D_{OFF}^2 R_{LOAD}} \right)} \sqrt{1 + \left(\frac{f_C}{f_{RHP}} \right)^2} \quad (11)$$

M_C と F_M は、電流モード制御に関するRidley (リドリー) の論文 (Referencesのセクションを参照) から引用しています。

$$M_C = 1 + \frac{V_{RAMP_SLOPE} L I}{V_{IN}} \quad (12)$$

$$F_M = \frac{L I f_{SW} A_{CS}}{4 M_C V_{IN}} \quad (13)$$

ここで、

V_{RAMP_SLOPE} と A_{CS} は、チップ内の固定の定数。

$V_{RAMP_SLOPE} = 300000$ (ADP5070)

$V_{RAMP_SLOPE} = 600000$ (ADP5071)

$A_{CS} = 0.1538$ (ADP5070)

$A_{CS} = 0.072$ (ADP5071)

電源コンポーネントのストレス

一般的に、インダクタでのリップルが30%である場合は合理的な値が得られます (式15を参照)。ただし、ステップダウン比が大きい場合、入力インダクタのこのリップル率を50%または60%に増やすのが適切です。

$$I_{IN} = \frac{V_{OUT} \times I_{OUT}}{V_{IN}} \text{ (into each inductor, L1a and L2a)} \quad (14)$$

$$\Delta I_L = 0.3 I_{IN} \quad (15)$$

$$I_{PKL1a} = I_{IN} + \frac{\Delta I_L}{2} \quad (16)$$

$$I_{PKL1b} = I_{OUT} + \frac{\Delta I_L}{2} \quad (17)$$

$$L I = \frac{V_{IN} \times V_{OUT}}{(V_{IN} + V_{OUT}) f_{SW} \Delta I_L} \quad (18)$$

図4に、FETスイッチ (Q1) および Q2 の電流を示します。スイッチ電流の DC 成分も示しています。ピーク電流は、式 15 で選択したリップルに依存します。

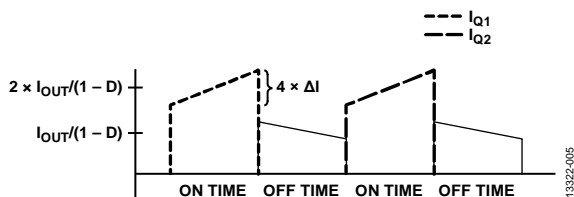


図 4. 理想化した SEPIC 波形

このアプリケーション・ノートでは、プライマリ・スイッチ Q1 のスイッチング損失の計算については説明しません。多くの場合、スイッチで観測される電圧振幅が大きく (~V_{IN} + V_{OUT})、電流も大きいので、スイッチング損失は大きくなります (Figure 4 を参照)。

出力のピーク to ピーク出力電圧リップルは (ΔV_{ripple_SEPIC}) で、次式で近似できます。

$$\Delta V_{RIPPLE_SEPIC} \approx \frac{I_{OUT} D_{ON}}{f_{SW} C_{OUT1}} + ESR_{C_{OUT1}} \times I_{OUT} (1 - D_{ON}) \quad (19)$$

コンデンサを通過する電流の値

(I_{RMS_C_{OUT}_SEPIC}) は、

$$I_{RMS_C_{OUT_SEPIC}} = \frac{I_{OUT} D_{ON}}{(1 - D_{ON})} \sqrt{1 + \left(\frac{1}{3}\right) \left(\frac{\Delta I_L (1 - D_{ON})}{2 I_{OUT}}\right)^2} \quad (20)$$

C₁ のリップルが V_{IN} の約 5% になるように設定します。

$$V_{RIPPLE_C1} = \frac{(1 - D_{ON}) I_{IN}}{f_{SW} C1} + I_{IN} ESR_{C1} \quad (21)$$

$$V_{RIPPLE_Cx} = \frac{(1 - D_{ON}) I_{IN}}{f_{SW} Cx} + I_{IN} ESR_{Cx} \quad (22)$$

通過する電流が大きいので、C₁ を選択する場合は I_{RMS} の定格を考慮することが重要です。

$$I_{RMS_C1} = \sqrt{\frac{(1 - D_{ON})}{3} \left(I_{PK1a}^2 + I_{PK1a} \left(I_{IN} - \frac{\Delta I_L}{2} \right) + \left(I_{IN} - \frac{\Delta I_L}{2} \right)^2 \right) + \frac{D_{ON}}{3} \left(I_{PK1b}^2 + I_{PK1b} \left(I_{OUT} - \frac{\Delta I_L}{2} \right) + \left(I_{OUT} - \frac{\Delta I_L}{2} \right)^2 \right)} \quad (25)$$

Q2 はダイオードであるため、コンポーネントを選択する際に考慮すべき事項がいくつかあります。V_{DS_MAX} の定格は、少なくとも V_{IN} + V_{OUT} にする必要があります。連続電流は、発生するピーク電流の少なくとも 1/3 にする必要があります。ダイオードを通過する平均電流は I_{OUT} です。さらに、パッケージは、アプリケーションの熱環境で I_{OUT} を処理できる必要があります。

出力フィルタ

通常、デュアル・レール・コンバータである ADP5070/ADP5071 は、非常に低い出力リップルが求められることが多いアナログ電源として使用されます。SEPIC の出力電流は、バック・コンバータの入力電流とは異なり、不連続です。これにより、出力コンデンサへの電流にステップ変化が発生します。コンデンサのインダクタンスが原因で、これらのスイッチング・スパイクは、セラミック・コンデンサでも十分に減衰されません。ADP5070/ADP5071 では、ピン選択可能なスルー・レートが利用できます。これにより、スイッチ遷移を遅くしてスイッチ・スパイクの発生を低減できます。ただし、通常は、SEPIC 巻線の出力に小型の減衰出力 pi フィルタを取り付ける必要があります。

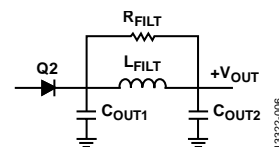


図 5. 出力フィルタの回路図

このフィルタは小信号モデルに影響を与えますが、このアプリケーション・ノートではこの問題について詳細に説明しません。式 23 と式 24 に従って減衰抵抗を選択し、ω_o の 1/10 以下でクロスオーバーが発生するようにコンバータを設計すれば、pi フィルタによる不安定は発生しません。

C_{OUT1} が出力リップルの約 2% になるように設定し、C_{OUT2} が C_{OUT1} の値以上になるように設定します。通常、L_{FILT} の適切な値は 1 μH です。Q_o は 1 に設定します。

$$\omega_o = \sqrt{\frac{2(C_{OUT1} + C_{OUT2})}{L_{FILT} \times C_{OUT1} \times C_{OUT2}}} \quad (23)$$

$$R_{FILT} = \frac{\left(R_{LOAD} L_{FILT} (C_{OUT1} + C_{OUT2}) - \frac{L_{FILT}}{Q_o \omega_o} \right)}{\frac{R_{LOAD} (C_{OUT1} + C_{OUT2})}{Q_o \omega_o} - L_{FILT} C_{OUT1}} \quad (24)$$

ADP5070/ADP5071 設計ツール

ADP5070/ADP5071 ADIsimPower™ 設計ツールは、ADP5070/ADP5071 デバイス用の完全に統合された Microsoft Excel® ベースの設計ツールです。正出力の場合、ツールはブースト・トポロジまたは SEPIC トポロジを自動的に選択します。負側レールは、常に反転バック・ブースト・トポロジを使用します。ユーザーがマクロを有効にすると（Excel でセキュリティ設定を変更する必要があります）、**[Basic Settings]** ダイアログ・ボックスが表示されます。**[Find Solution]** ボタンをクリックしてこの機能にアクセスすることもできます。ダイアログ・ボックスで、設計に必要な電圧および電流を入力し、コスト、損失、またはサイズを最適化するかどうかを選択します。

[View Solution] ボタンをクリックすると、設計ツールにより最適化された設計全体が出力されます。これには、補償値が示されたコスト付きの部品表（BOM）、負荷全体にわたるテスト済みの正確な効率プロット、負荷全体にわたる電力損失のプロット、全負荷ボード線図、性能パラメータ、コンポーネントのストレス、およびすべてのコンポーネントの消費電力が含まれます。さらに、**[Build Your Design]** タブにも同じ BOM が表示されますが、ここには BOM に表示されるコンポーネントとデモ・ボードを構成するのに必要な追加コンポーネントが空のデモ・ボードに収まるように配置されます。

追加のカスタマイズ・ツールが **[Advanced Settings]** ダイアログ・ボックスに用意されています。ここでは、出力電圧リップル、電流、過渡応答、オプションの出力フィルタの使用、外部低電圧ロックアウト（UVLO）などのパラメータ仕様を選択できます。これらのオプション機能の詳細は、**[Program Details]** ダイアログ・ボックスで提供されています。このダイアログ・ボックスは、**[Basic Settings]** ダイアログ・ボックスの **[Program Details]** ボタンをクリックすると表示されます。

このツールの最も強力な機能は、**[User Interface]** タブにあるコンポーネント・ボタンです。この機能を使用すれば、各コンポーネントを個別に変更して、設計を完全にカスタマイズできます。

ドロップ・ダウン・リストの各コンポーネントは、機能設計を作成するための数千ものコンポーネントのデータベースからあらかじめ選択されていて、**[Basic Settings]** ダイアログ・ボックスで選択した最適化の設定に従って並べ替えられています。コンポーネント間に依存関係があるため、コンポーネントは上から下の順序で選択する必要があります。

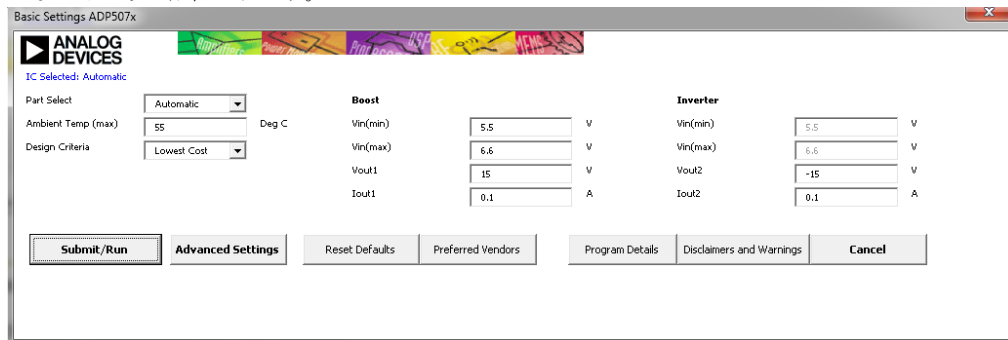


図 6. [Basic Settings] ダイアログ・ボックス

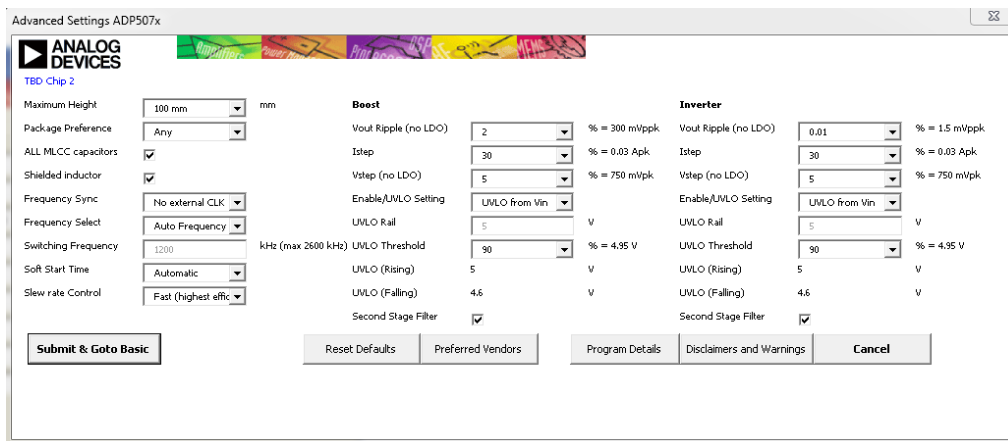


図 7. [Advanced Settings] ダイアログ・ボックス

結論

ADP5070/ADP5071 デバイスは、1つのコントローラを使用してデュアル・レールを作成するための低コストで堅牢な方法を提供します。ADIsimPower 設計ツールにより、設計を完全にカスタマイズでき、堅牢なデュアル・レール設計をすばやく作成することができます。

参考文献

- Ćuk, Slobodan and R.D.Middlebrook.“Coupled-Inductor and Other Extensions of a New Optimum Topology Switching DC-DC Converter.”*Advances in Switched-Mode Power Conversion*, Volumes I and II.Irvine, CA:Tesla Co., 1983.
- Ridley, Dr. Ray.*A New Continuous-Time Model for Current-Mode Control*. Bradenton, FL: Ridley Engineering, 1990.