

REM スイッチ fido5100/fido5200 とホストおよびネットワーク・プロセッサとのペアリング
著者 : Matteo Crosio

はじめに

CANbus や RS-485 といった従来のフィールド・バス接続に代わり工業用イーサネット・デバイスを使用することが、工業用オートメーションやモーション・コントロール・アプリケーションにおいて必須となりつつあります。

リアルタイム・アプリケーションの処理には、高度な確実性と信頼性が要求されます。そして、Profinet、EtherCAT、Ethernet/IP、Sercos、Modbus TCP など、多くのプロトコルが主要な機器メーカー（OEM）によって導入されています。あらゆる工業用通信機器の設計において、これらのプロトコルと互換性を有すること、およびタイム・センシティブ・ネットワーク（TSN）のような今後の機能拡張に対応するため更新が必要となる可能性のあることが、重要な考慮事項となります。アナログ・デバイセズのリアルタイム・イーサネット・マルチプロトコル（REM）スイッチ fido5100/fido5200 は、一般的な工業用イーサネット・プロトコルのほとんどをサポートしています。

このスイッチを fido1100 通信コントローラと組み合わせて使用することで、プログラマブルなマルチプロトコルの Rapid プラットフォームを強化できます。fido5100/fido5200 REM スイッチは、Profinet IRT、EtherCAT、Ethernet/IP、Modbus TCP、および Powerlink 向けに事前認証済みのソリューションを提供します。

このアプリケーション・ノートでは、様々なマイクロプロセッサと fido5100/fido5200 REM スイッチのホスト・インターフェースについて説明します。

メモリ・バス・インターフェースに加えて、イーサネット・インターフェースを制御するために必要な信号についても説明します。

このアプリケーション・ノートでは、アクティブ・ロー信号は、信号名にオーバースコアを付けることによって区別します（例えばRESET）。

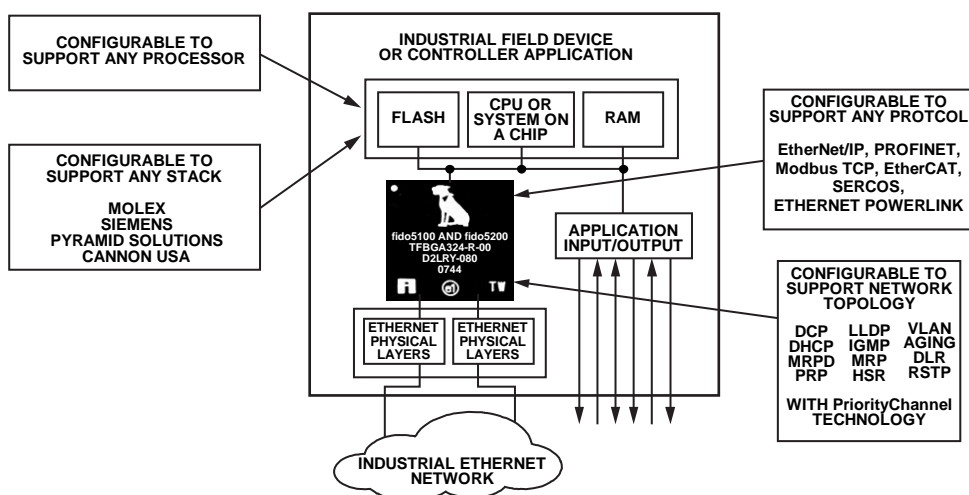


図 1. fido5100/fido5200 およびソフトウェア・スタックをベースとした工業用イーサネット・デバイスのアーキテクチャ

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

はじめに	1	アナログ・デバイセズ ADSP-CM408F (FPU 搭載の Arm® Cortex-M4)	8
改訂履歴	2	アナログ・デバイセズ ADSP-SC589 (Arm Cortex-A5 搭載の SHARC®+デュアル・コア DSP)	8
ホスト・インターフェース.....	3	ST Microelectronics STM32F42 ファミリ (FPU 搭載の ARM Cortex-M4)	9
割込み	4	ST Microelectronics STM32F103 ファミリ (ARM Cortex-M3)	9
MDIO インターフェース	4	Texas Instruments AM1808 Sitara ファミリ (Arm9)	10
メモリ条件	4	Texas Instruments TMS320F2807 Piccolo ファミリ (32 ビット浮動小数点マイクロコントローラ)	10
ピン本数	4	NXP の i.MX 6ULL ファミリ (Arm Cortex-A7)	10
相互接続ブロック図.....	5		
REM スイッチのソフトウェア・ドライバ.....	6		
アプリケーション例	8		

改訂履歴

6/2018—Revision 0: Initial Version

ホスト・インターフェース

fido5100/fido5200 REM スイッチは、標準的な非同期メモリ・バス・ポートとして設計されたホスト・インターフェースを使用して通信プロセッサに接続します。

fido5100/fido5200 REM スイッチは、それぞれ 2 個のイーサネット・インターフェースを備えており、Media Independent Interface (MII) または Reduced Media Independent Interface (RMII) をサポートしています。イーサネット物理層の性能には異なる条件が要求されるため、イーサネット物理層はスイッチから意図的に除外されています。

一般的なアーキテクチャを図 2 に示します。

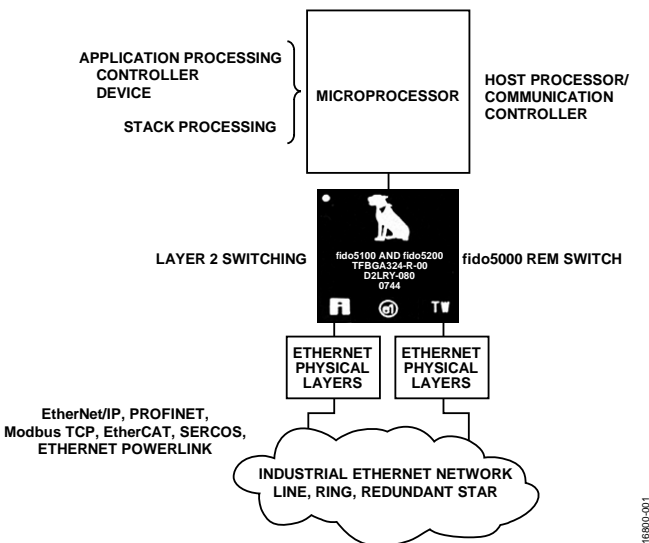


図 2. 一般的なアーキテクチャ

ホスト・インターフェースは、16 ビットまたは 32 ビットのメモリ・バスで、アドレスとデータをマルチプレクスすることによりピン本数の削減を可能にしています。

マルチプレクス・バス選択 (MBS) 信号およびデータ・バス・サイズ (SIZE_32) 信号で、このバスのモードを選択します。MBS および SIZE_32 は RESET 信号の立上がりエッジでサンプリングされます。

もう 1 つ考慮すべきなのがエンディアンネスです。これはリトルエンディアン (LE) 信号によって決定されます。LE のレベルも RESET の立上がりエッジでサンプリングされます。

スイッチのデータ・バスは、次のように定義されます。

- D0 は最下位ビット (LSB) です。
- D15 は 16 ビット・バスの最上位ビット (MSB) です。
- D31 は 32 ビット・バスの MSB です。

すべてのコントロール・レジスタとステータス・レジスタは 16 ビット幅のため、32 ビット・バスを使用している場合も、データは D15~D0 ビットを使用して転送する必要があります。エンディアンネスの扱い方、およびピン機能の詳細については、fido5100/fido5200 のデータシートを参照してください。

アドレス・バス用には 4 ビットのデータがあり、16 個のアドレス・レジスタに直接アクセスできます。マルチプレクスされないデータ・バス (MBS=0 等) の場合は、アドレス用にピンを 4 本追加することを検討する必要があります。

タイミング図 (fido5100/fido5200 のデータシート参照) は、マルチプレクスされないモードとマルチプレクスされるモードの両方について読み出し動作と書き込み動作を表しているため、これを参照することが重要です。

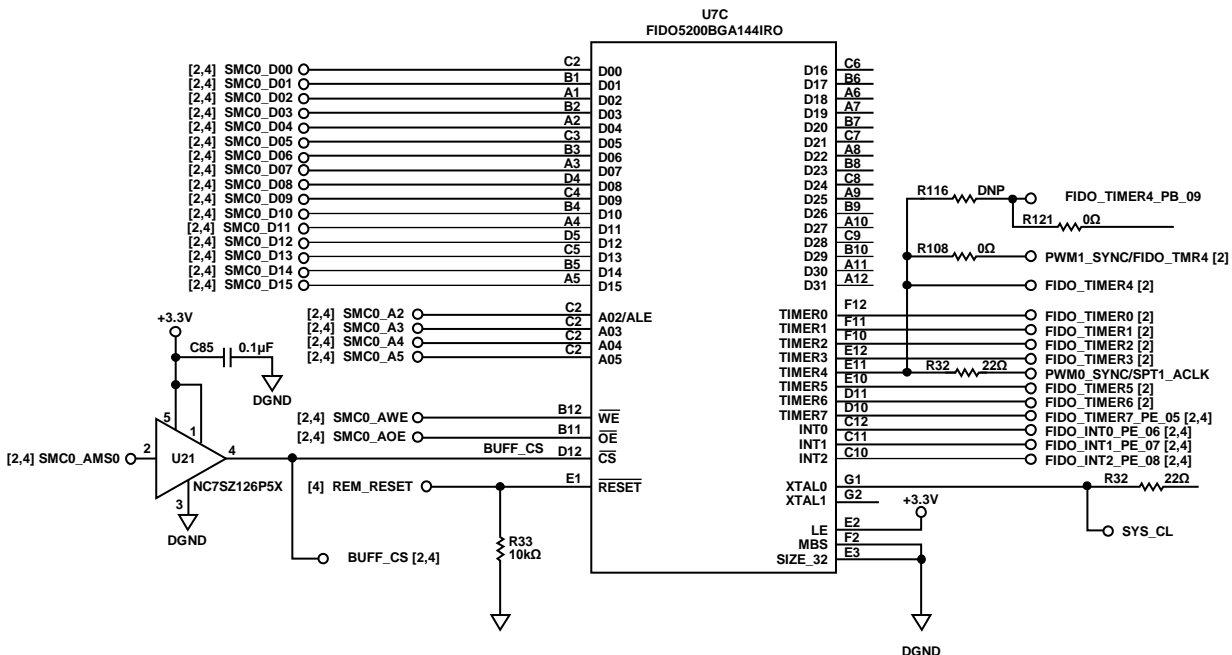


図 3. 非反転バッファ駆動の CS 信号

マルチプレクスされない動作の場合は、アドレス・セットアップ・タイム (t_{AS}) が非同期メモリ・アクセスにおける重要なパラメータとなります。マイクロプロセッサのアーキテクチャに応じて、アドレス・ラインと \overline{CS} は同時 ($t_{AS} = 0$) に、または微小な遅延時間で駆動することができます。

マルチプレクスされない動作に関しては、市販の多くの Cortex[®]-M4 ファミリ (アナログ・デバイゼスの [ADSP-CM408F](#) や [STM32F4](#) 等)、および Cortex-Ax ファミリ (アナログ・デバイゼスの [ADSP-SC589](#) や NXP の [imx6](#) 等) が、遅延なしに \overline{CS} とアドレス・ラインを駆動します。その他、Motorola の 68000 アーキテクチャのような場合、 \overline{CS} はアドレス・ラインが有効になってからアサートされます。

fid05100/fid05200 REM スイッチは、 \overline{CS} の立下がりエッジを使用してアドレス・ラインをラッチします。遅延時間 t_{AS} は小さくする必要があります (最小 20ps)。

マイクロプロセッサが \overline{CS} とアドレスを同時にアサートすると、 \overline{CS} には数 ns の遅延が追加されます。例えば、ADSP-CM408F は、fid05100/fid05200 REM スイッチに対して 1 チャンネルの高速非反転バッファ (通常は追加で 2.5ns の遅延) で \overline{CS} を駆動します。

マルチプレクスされるメモリ・アドレスの場合、アドレスと ALE 信号が有効になる間のタイミングには、使用するプロセッサに応じた短時間の遅延を ALE 信号に追加しなければならないこともあります。

割込み

3 本の割込みラインが fid05100/fid05200 REM スイッチの出力として機能します。ホスト・マイクロプロセッサは、これらのラインを監視する必要があります。

表 1. 設定ピンの本数

Signals	Nonmultiplexed Bus (32-Bit)	Multiplexed Bus (16-Bit)
Data/Address	32	16
\overline{RESET}	1	1
A02 to A05	4	Not applicable
\overline{WE}	1	1
\overline{CS}	1	1
\overline{OE}	1	1
ALE (A02)	Not applicable	1
INTx	3	3
MDIO/MDC (for External Physical Layers)	2	2

MDIO インターフェース

イーサネット物理層はすべて設定が必要です。それらの物理層はステータス情報を提供可能です。多くのデバイスは、管理データ入出力 (MDIO) インターフェースを使用します。この通信インターフェースは、データ・ライン (MDIO) と管理データ・クロック・ライン (MDC) の 2 本のラインで構成されています。

通信プロトコルの仕様は、IEEE802.3 規格で定義されています。

fid05100/fid05200 REM スイッチはこの通信インターフェースを駆動しません。このため、ホスト・プロセッサが MDIO と MDC を管理できるようにする必要があります。

メモリ条件

理想的には、REM スイッチのドライバには 50kB~100kB の読み専用メモリ (ROM) が必要です。RapID プラットフォームでは、fid01100 は 46kB の ROM を使用します。

更に、工業用イーサネット・プロトコルによっては、複数のパケットを同時にプロセッサへ転送するため、8kB の RAM が必要となる場合があります。

ピン本数

最大ピン本数 (125MB/sec、マルチプレクスされないバス) で設定する場合と、最小ピン本数 (62.5MB/sec、マルチプレクスされるバス) で設定する場合のピン本数を表 1 に示します。ここで、MBS、SIZE_32、および LE は固定レベルであると仮定します。マルチプレクスされないバスは 45 ピン、マルチプレクスされるバスは 26 ピンになります。

相互接続ブロック図

ホスト・プロセッサまたはネットワーク・プロセッサと fido5100/fido5200 REM スイッチ、および 2 つのイーサネット物理層の完全な相互接続ブロック図を図 4 に示します。この図で、点線はマルチプレクスされるモードでのみ使用する接続を表し

ます。マルチプレクスされるモードでは、4 本のアドレス・ラインは接続せず、A02/ALE のみ接続してください。A02/ALE には 2 つの機能があります。マルチプレクスされるモードでは、A02 ラインはアドレス・ラインを検証する ALE 信号として機能します。

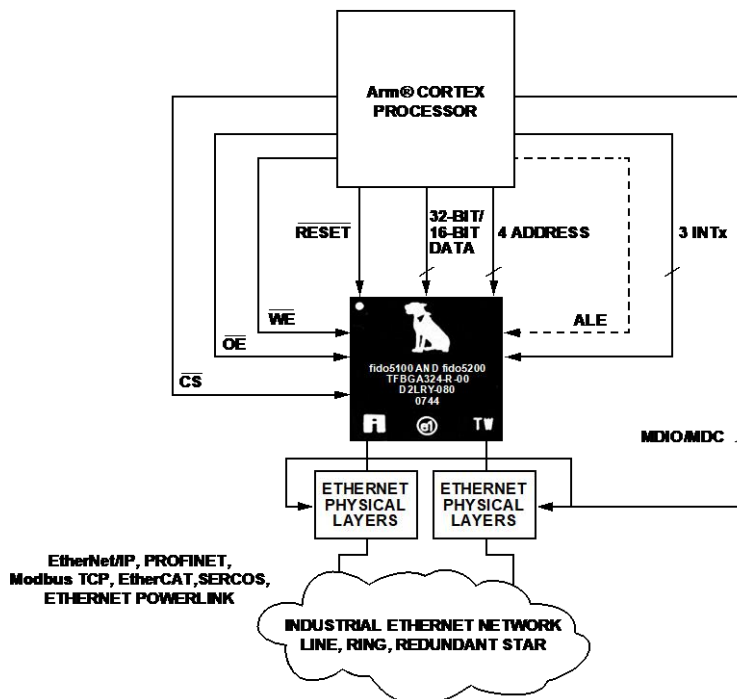


図 4. 相互接続ブロック図

14800-007

REM スイッチのソフトウェア・ドライバ

REM スイッチのソフトウェア・ドライバによって、fido5100/fido5200とのプロトコルに依存しない標準インターフェースを実現できます。このソフトウェア・ドライバを使用して、初期化、割込み管理、タイマー管理、プロトコルに依存しないパケット送受信を実行します。

REM スイッチがサポートする各プロトコル (Profinet、Ethernet/IP、EtherCAT、ModbusTCP、POWERLINK) のソフトウェア・ドライバは、ソース・コードで入手可能です。

ドライバは C 言語で書かれています。このドライバで、選択したプロトコル用にスイッチを設定します。

このファームウェアはホスト・プロセッサからダウンロードします。

通常、起動時に設定が行われますが、システムのリセット後はいつでも設定を行うことができます。

図 5 に示すように、C コードは API (アプリケーション・プログラミング・インターフェース) のセットで構成され、これらはプロトコル固有のインターフェースと標準スイッチ・インターフェースの 2 つの主要な機能領域にグループ化されています。

標準スイッチ・インターフェースにはあらゆる TCP/IP (Transmission Control Protocol/Internet Protocol) スタックを接続でき、プロトコル固有のインターフェースにはあらゆるプロトコル・スタックを接続できます。標準スイッチ・インターフェ

ースはすべてのドライバで共通なため、TCP/IP スタックと接続しなければならないのは 1 回だけです。

プロセッサの開発環境におけるオペレーティング・システム (OS) の一部として提供される TCP/IP スタックを選択することも、サード・パーティのベンダが提供する PROFINET スタックを選択することも可能です。

その後、プロトコル・スタックはホスト・プロセッサによって管理され、REM スイッチ・ドライバのプロトコル固有の API と接続します。同時に、REM ドライバの標準スイッチ API は OS の TCP/IP スタックと接続します。

ドライバはオペレーティング・システムのどのリソース (ノード・スレディングやセマフォなど) にも依存しないため、移植が必要となるのは、ホスト・プロセッサと REM スイッチの通信方法やいくつかのデバッグ・オプションを定義する場合に限られます。

移植に関するコード (REMS_Port.h および REMS_Port.c) は、Porting ディレクトリ (/Porting/inc/ および /Porting/src/) にあります。

この 2 つのファイルは、個別のハードウェア・プラットフォームに応じて修正する必要があり、ホスト・プロセッサにも依存します。

REM ソフトウェア・ドライバのアーキテクチャを図 6 に示します。

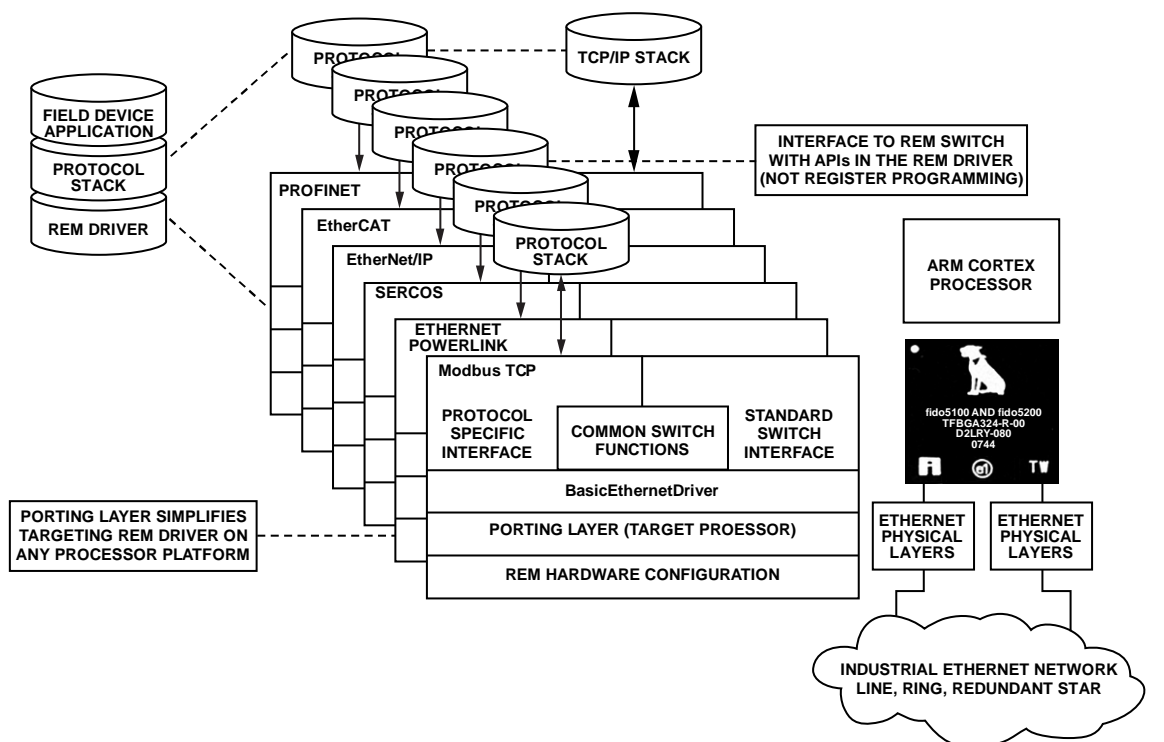


図 5. マルチプロトコル機能

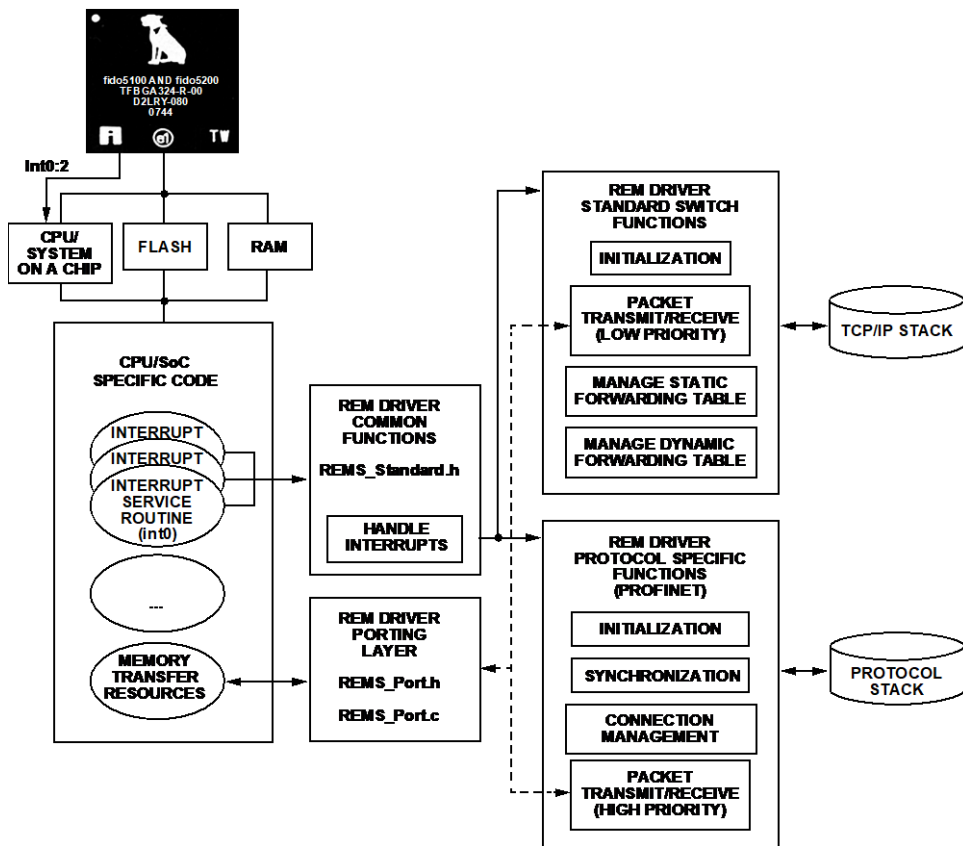


図 6. REM ソフトウェア・ドライバのアーキテクチャ

166-00-009

アプリケーション例

ここでは、工業用アプリケーションで一般的に使用されるマイクロプロセッサ・アーキテクチャとのペアリングの例を示します。詳細については、それぞれの集積回路（IC）メーカーが提供する仕様書を参照してください。

アナログ・デバイセズの ADSP-CM408F (FPU 搭載の Arm® CORTEX-M4)

ADSP-CM408F には、柔軟な外部メモリ・インターフェースが搭載されています。このスタティック・メモリ・コントローラ（SMC）は、外部メモリを最大 4 バンク制御するようにプログラムできます。非同期のマルチプレクスされない 16 ビット動作が可能です。

fid05100/fid05200 REM スイッチと ADSP-CM408F プロセッサの接続を表 2 に示します。

表 2. ADSP-CM408F との接続

REM Switches Signals	ADSP-CM408F Signals
Data	SMC0_Dxx (from D00 to D15)
RESET	GPIO pin
A02 to A05	SMC0_Axx
WE	SMC0_AWE
CS	SMC0_AMS0 (buffer needed)
OE	SMC0_AOE
INTx	GPIO pins
MDIO/MDC (for External Physical Layers)	ETH0_MDIO/ETH0_MDC

アナログ・デバイセズの ADSP-SC589 (ARM CORTEX-A5 搭載の SHARC®+デュアル・コア DSP)

ADSP-SC589 は、最大 2 ブロックの外部メモリを制御できる SMC を備えています。非同期のマルチプレクスされない 16 ビット動作が可能です。ADSP-CM408F で推奨したように、CS 信号には外部バッファが必要です。MDIO インターフェースは内蔵コントローラによって管理されます。

fid05100/fid05200 REM スイッチと SHARC+Arm デュアル・プロセッサの接続を、表 3 に示します。

ADSP-SC589 にはフラッシュ・メモリが内蔵されていないため、プロセッサで、起動時に外部 ROM からコードをダウンロードするように REM スイッチをプログラムする必要があります。

表 3. ADSP-SC589 との接続

REM Switches Signals	ADSP-SC589 Signals
Data	SMC0_Dxx (from D00 to D15)
RESET	GPIO pin
A02 to A05	SMC0_Axx
WE	SMC0_AWE
CS	SMC0_AMS0 (buffer needed)
OE	SMC0_AOE
INTx	GPIO pins
MDIO/MDC (for External Physical Layers)	ETH0_MDIO/ETH0_MDC

ST MICROELECTRONICS の

STM32F42 ファミリ

(FPU 搭載の ARM CORTEX-M4)

STM32F42 ファミリにはフレキシブル・メモリ・コントロール (FMC) インターフェースが搭載されており、非同期で 16 ビットと 32 ビットのマルチプレクスされたアクセス、およびマルチプレクスされないアクセス動作が可能です。FMC_NE (チップ・セレクト) は、アドレスの有効化に最大 2ns の時間が見込まれるため、この信号には長い遅延時間が必要となることがあります。

fido5100/fido5200 REM スイッチと STM32F42 プロセッサの接続を表 4 に示します。

表 4. STM32F42 との接続

REM Switches Signals	Nonmultiplexed Bus (32-Bit) STM32F42 Signals	Multiplexed Bus (16-Bit) STM32F42 Signals
Data/Address	FMC_D[31:0]	FMC_D[15:0]
RESET	GPIO pin	GPIO pin
A02 to A05	FMC_A[3:0]	Not applicable
WE	FMC_NWE	FMC_NWE
CS	FMC_NE1 (buffer needed)	FMC_NE1
OE	FMC_NOE	FMC_NOE
ALE (A02)	Not applicable	FMC_NADV (inverter needed)
INTx	GPIO pins	GPIO pins
MDIO/MDC (for External Physical Layers)	ETH_MDIO/ ETH_MDC	ETH_MDIO/ ETH_MDC

マルチプレクスされる動作の場合、FMC_NADV がアクティブ・ロー信号であるのに対して、fido5100/fido5200 はアクティブ・ハイ信号でアドレスをラッチするため、インバータが必要です。この場合、fido5100/fido5200 がアドレス・ラインをラッチするには $t_w(NADV)$ の時間で十分であるため、遅延を追加する必要はありません。

ST MICROELECTRONICS の

STM32F103 ファミリ (ARM CORTEX-M3)

STM32F103 ファミリは、フレキシブル・スタティック・メモリ・コントローラ (FSMC) を搭載しており、SRAM を含む様々な種類のメモリ・バンクを最大 4 つまで管理できます。FSMC は、非同期 16 ビットで、マルチプレクスされる動作とマルチプレクスされない動作が可能です。FSMC_NE (チップ・セレクト) は、アドレス・ラインが有効になる前に最大 3ns でアサートされるため、この信号には長い遅延が必要となることがあります。

fido5100/fido5200 REM スイッチと STM32F103 プロセッサの接続を表 5 に示します。

表 5. STM32F103 との接続

REM Switches Signals	Nonmultiplexed Bus (16-Bit) STM32F103 Signals	Multiplexed Bus (16-Bit) STM32F103 Signals
Data/Address	FSMC_D[15:0]	FSMC_D[15:0]
RESET	GPIO pin	GPIO pin
A02 to A05	FSMC_A[3:0]	Not applicable
WE	FSMC_NWE	FSMC_NWE
CS	FSMC_NE1 (buffer needed)	FSMC_NE1
OE	FSMC_NOE	FSMC_NOE
ALE (A02)	Not applicable	FSMC_NADV (inverter needed)
INTx	GPIO pins	GPIO pins
MDIO/MDC (for External Physical Layers)	GPIO pins	GPIO pins

マルチプレクスされる動作の場合、FSMC_NADV がアクティブ・ロー信号であるのに対して、fido5100/fido5200 はアクティブ・ハイ信号でアドレスをラッチするため、インバータが必要です。この場合、fido5100/fido5200 がアドレス・ラインをラッチするには $t_w(NADV)$ の時間で十分であるため、遅延を追加する必要はありません。

このファミリの Cortex-M3 プロセッサには、MDIO インターフェースは実装されていません。

ただし、MDIO 機能はソフトウェアを介してエミュレートしなければなりません。このプロセッサでは代わりに 2 個の GPIO を使用することができます。

TEXAS INSTRUMENTS の AM1808 SITARA ファミリ (Arm9)

AM1808 には、非同期の SRAM をサポートする外部メモリ・インターフェース (EMIFA) が搭載されています。EMIFA は、16 ビットのマルチプレクスされないアクセスを管理できます。チップ・セレクト信号にはバッファが必要です。

fifo5100/fido5200 REM スイッチと AM1808 プロセッサの接続を表 6 に示します。

表 6. AM1808 との接続

REM Switches Signals	AM1808 Signals
Data	EMA_D[15:0]
RESET	GPIO pin
A02 to A05	EMA_A[3:0]
WE	EMA_WE
CS	EMA_CS2 (buffer needed)
OE	EMA_OE
INTx	GPIO pins
MDIO/MDC (for External Physical Layers)	MDIO_D/MDIO_CLK

TEXAS INSTRUMENTS の TMS320F2807 PICCOLO ファミリ (32 ビット浮動小数点マイクロコントローラ)

TMS320F2807 ファミリには、非同期の SRAM をサポートする EMIFA が搭載されています。EMIFA は、32 ビットおよび 16 ビットのマルチプレクスされないアクセスを管理できます。チップ・セレクト信号にはバッファが必要です。

fifo5100/fido5200 REM スイッチと TMS320F2807 プロセッサの接続を表 7 に示します。

表 7. TMS320F2807 との接続

REM Switches Signals	TMS320F2807 Signals
Data	EM1D[x:0] (x = 31 or 15)
RESET	GPIO pin
A02 to A05	EM1A[3:0]
WE	EM1WE
CS	EM1CS2 (buffer needed)
OE	EM1OE
INTx	GPIO pins
MDIO/MDC (for External Physical Layers)	GPIO pins

このファミリの 32 ビット・プロセッサには、MDIO インターフェースは実装されていません。ただし、MDIO 機能はソフトウェアを介してエミュレートしなければなりません。このプロセッサでは代わりに 2 個の GPIO をこの目的に使用することができます。

NXP の i.MX 6ULL ファミリ (Arm CORTEX-A7)

i.MX 6ULL プロセッサには、16 ビットで、SRAM に対してマルチプレクスされるアクセスとマルチプレクスされないアクセスが可能な外部インターフェース・モジュール (EIM) が搭載されています。

fifo5100/fido5200 REM スイッチと i.MX 6ULL プロセッサの接続を表 8 に示します。

表 8. i.MX 6ULL との接続

REM Switches Signals	Nonmultiplexed Bus (16-bit) i.MX6 Signals	Multiplexed Bus (16-bit) i.MX6 Signals
Data/Address	EIM_DATAx [x = 15:0]	EIM_DATAx [x = 15:0]
RESET	GPIO pin	GPIO pin
A02 to A05	EIM_ADx[3:0]	Not applicable
WE	EIM_WE	EIM_WE
CS	EIM_CS0 (buffer needed)	EIM_CS0
OE	EIM_OE	EIM_OE
ALE (A02)	Not applicable	EIM_LBA (inverter needed)
INTx	GPIO pins	GPIO pins
MDIO/MDC (for External Physical Layers)	ENET_MDIO/ ENET_MDC	ENET_MDIO/ ENET_MDC

マルチプレクスされる動作の場合、EIM_LBA がアクティブ・ロー信号であるのに対して、fifo5100/fido5200 はアクティブ・ハイ信号でアドレスをラッチするため、インバータが必要です。

EIM_LBA のアサート解除 (アドレスのラッチング時間になります) はプログラマブルなパラメータに依存するため、W40A のタイミングを計算する場合には注意が必要です。バッファが必要になることもあります。

タイミング W31 (EIM_CSx 有効からアドレス有効まで) はプログラマブルで、負の値にもできます (アドレスが有効になる前に CS がアサートされます)。バッファが必要になることもあります。