

ADM2582E/ADM2587E (RS-485/RS-422) トランシーバの EMI 放射を最小限に抑えるための PCB 実装ガイドライン

Thomas O'Shea 著

はじめに

ADM2582E/ADM2587E は、完全に集積化された信号/電源絶縁型 RS-485/RS-422 トランシーバです。信号の絶縁には、アナログ・デバイセズの iCoupler® デジタル・アイソレーション技術が採用されています。また ADM2582E/ADM2587E には、アナログ・デバイセズの isoPower® 技術を採用した高電圧絶縁型 DC/DC 電源も内蔵されています。このため、外部の DC/DC 絶縁ブロックは必要ありません。あらゆる絶縁型電源の主なコンポーネントは電源トランスです。isoPower 内蔵トランスは、180 MHz ~ 400 MHz の範囲のスイッチング周波数で動作します。絶縁は、物理的な絶縁間隙によって分離された分割リファレンス・プレーンによってプリント回路基板 (PCB) 上に実装されています。PCB レイアウトに絶縁間隙があることにより、望ましくない電流ループが放射されます。PCB のレイアウトを作成するとき、電磁干渉抑制に関する基本的なガイドラインおよび概念に従うことで EMI 放射を軽減できます。

産業アプリケーションおよび計装アプリケーションでは、EMI 放射に関する複数の規格が存在します。優れた PCB 設計およびレイアウトを採用することで、ADM2582E/ADM2587E デバイスは産業環境で一般的に使用されている EN55022/CISPR22 クラス A (FCC クラス A) 放射規格を容易に満たすことができます。注意深く設計することで、これらの製品は非シールド環境で EN55022/CISPR22 クラス B (FCC クラス B) 規格を満たすこともできます。

このアプリケーション・ノートでは、EMI 放射に関するこれらの規格を満たすため、特定のレイアウト・オプションおよび使用する

コンポーネントについて説明します。また、EN55022/CISPR クラス A (FCC クラス A) および EN55022/CISPR クラス B (FCC クラス B) の両方の放射規格に適合する、特定の PCB のレイアウトの詳細と公認の 10 m 半無響室での測定結果についても説明します。

PCB の推奨事項の概要

EN55022/CISPR22 クラス A (FCC クラス A) 等級に適合させるには、次のガイドラインに従うことをお勧めします。

- PCB のデカップリングが良好であることを確認する (ADM2582E/ADM2587E データシートの推奨デカップリングに従う)。
- V_{ISOOUT} ピンを電源プレーンに接続しない (PCB パターンを使用して V_{ISOOUT} と V_{ISOIN} の間に接続する)
- PCB パターン接続部と次の IC ピンの間にフェライト・ビーズを接続する:
 - V_{ISOOUT} (ピン 12)
 - GND₂ (ピン 11 とピン 14)

より厳しい EN55022/CISPR22 クラス B (FCC クラス B) 放射規格を満たす必要があるアプリケーションの場合、前述の推奨事項に加え、絶縁バリアをまたぐスイッチング容量による抑制技法を実装する必要があります。次の 2 つのどちらの方法でもスイッチング・コンデンサを作成できます。

- PCB プレーン内部の層を使用した GND₁ と GND₂ (ピン 11 とピン 14) の間の内蔵スイッチング・コンデンサ
- GND₁ (ピン 10) と GND₂ (ピン 11) の間に接続された高電圧ディスクリット・コンデンサ

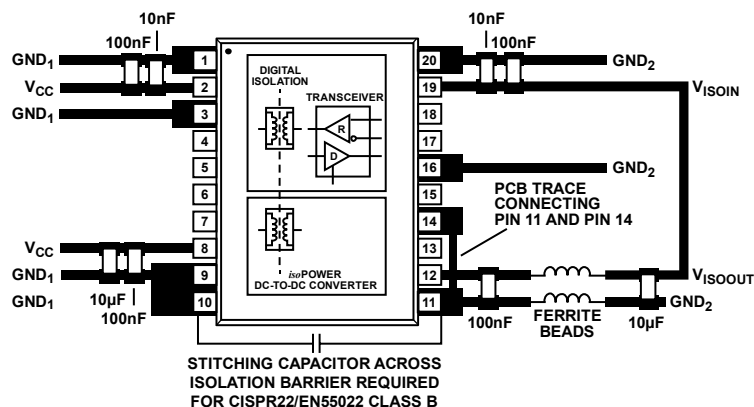


図 1. EMI 放射を最小限に抑えるために推奨される PCB レイアウトおよびコンポーネント配置

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

はじめに.....	1
PCB の推奨事項の概要.....	1
改訂履歴.....	2
放射抑制に関する推奨事項.....	3
V _{CC} デカップリング.....	3
特定の IC ピンと PCB パターン接続間のインピーダンスの増加.....	3

GND ₁ と GND ₂ 間の絶縁バリアをまたぐ高周波電流に対するインピーダンスの低減.....	4
ステッチング・コンデンサの実装.....	4
EN55022 に適合する ADM2582E/ADM2587E の放射レベル測定値.....	6
参考文献.....	9

改訂履歴

6/15—Revision 0:初版

放射抑制に関する推奨事項

EMI 放射を軽減するには、PCB の設計/レイアウト作成時にいくつかの基本的なガイドラインに従うことが重要です。短時間に大電流がスイッチングされると電磁放射が発生し、大きな di/dt ノイズが発生します。EMI 放射のレベルは、電流パスのループ面積に依存します。これは、電流ループ面積が大きいと、EMI 放射が強くなるためです。これらのガイドラインにより、EMI 放射を発生源で制御し、電流パスのループ面積を最小限に抑えることができます。

次の操作により、isoPower 技術での放射レベルをクラス A の制限値未満に低減できます。

- V_{CC} 電源の良好なデカップリング
- 特定の IC ピンと PCB パターン間のインピーダンスの増加
- PCB パターンでの V_{ISOIN} と V_{ISOOUT} の接続(プレーン接続なし)

EN55022/CISPR22 クラス B (FCC クラス B) 等級に適合させるには、次の追加の抑制方法が必要になります。

- GND₁ と GND₂ 間の絶縁バリアをまたぐ高周波電流に対するインピーダンスを低減する

放射の制限値をクリアするための余裕を設けるには、GND₂ プレーン面積を最小限に抑える必要があります。

電源/信号ケーブルからの放射の制御とシャースのシールド技法については、このアプリケーション・ノートでは取り上げません。

V_{CC} デカップリング

デカップリング・コンデンサには、次の2つの主な機能があります。

- デカップリング・コンデンサは、電荷保持デバイスとして使用します。IC が状態をスイッチングする際に追加の電流が必要になったときに、局所デカップリング・コンデンサが低インダクタンス経路を通じてこの電流を供給します。
- デカップリング・コンデンサは、PCB プレーンに混入するノイズを軽減します。これにより、システム内の高周波ノイズが抑制されます。混入するノイズは、十分な電流が供給されるまで V_{CC} ピンの電源電圧が一時的に低くなったときに発生します。

ADM2582E/ADM2587E は、isoPower 技術により、数 100 mA の範囲の大電流を 180 MHz および 360 MHz の周波数でスイッチングします。V_{CC} ピン (ピン 7) に接続された 10 μF コンデンサは、大量の蓄積電荷を PCB 上で局所的に提供します。これらのコンデンサは、180 MHz と 360 MHz で非常に低い等価直列抵抗 (ESR) および低い等価直列インダクタンス (ESL) を備えていることが重要です。

V_{CC} ピンと GND₁ ピン間のデカップリングが不十分な場合、これらの高周波スイッチング電流はコンデンサから局所的に提供されるのではなく、PCB への電源供給システムから提供されます。ADM2582E/ADM2587E への電源供給システムが IC の近くにない場合、高周波電流の流れるループ面積が増大します。ループ面積が増大すると、放射レベルが増大します。

PCB レイアウトに関しては、次の操作が非常に重要です。

- デカップリング・コンデンサを電源ピンと GND ピンのできるだけ近くに配置して、インダクタンスと電流ループ面積を最小限に抑えます。
- PCB の V_{CC} 電源ピンと V_{CC} 電源プレーン間のインピーダンス経路を最小限に抑え、PCB の IC GND₁ ピンと GND₁ プレーン間のインピーダンス経路を最小限に抑えます。

特定の IC ピンと PCB パターン接続間のインピーダンスの増加

特定の IC ピンと PCB パターン接続間の高周波電流に対するインピーダンスを大きくすると、電磁放射のレベルが最小限になります。この EM 抑制方法は、放射される信号を信号源で制御し、ループ面積を最小限に抑えます。これは、表面実装フェライトを V_{ISOOUT} (ピン 12) および GND₂ (ピン 11 とピン 14) と直列接続することで実現できます (図 2 を参照)。100 MHz ~ 1 GHz の周波数範囲でのフェライトのインピーダンスは 2 kΩ よりも大きい必要があります (図 3 を参照)。測定データは、表 1 に示すフェライトを使用して収集しました。

表 1.フェライトの例

Manufacturer	Part No.
Taiyo Yuden	BKH1005LM182-T
Murata Electronics	BLM15HD182SN1

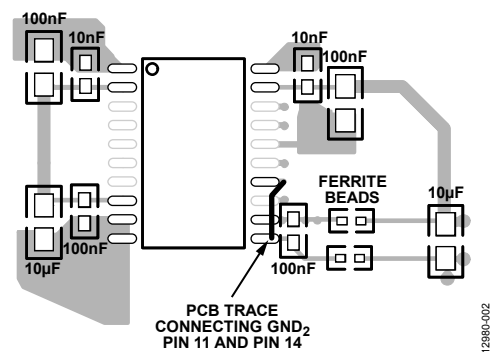


図 2. 推奨されるコンポーネント配置

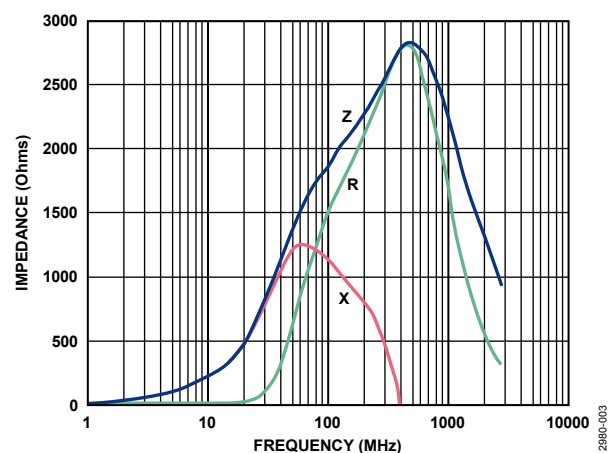


図 3. 推奨されるフェライト・インピーダンスのプロット

GND₁ と GND₂ 間の絶縁バリアをまたぐ高周波電流に対するインピーダンスの低減

EN55022/CISPR22 クラス B (FCC クラス B) 等級に適合させるには、絶縁バリアをまたぐステッチング容量による抑制技法を使用して、さらに放射レベルを低減させる必要があります。

PCB 上に絶縁間隙が形成されることにより、望ましくないグラウンド電流ループが生じて EMI 放射が増加することがあります。絶縁された電源を生成するため、トランスによって絶縁バリアをまたぐ電流がスイッチングされます。理論的には、1 次側のトランス・ドライバの差動電流のみが絶縁バリアをまたいで磁気的に結合されます。ただし、トランスに固有の問題として、寄生電流も絶縁バリアをまたいで容量性の結合を形成します(図 4 を参照)。これらの寄生電流は、2 次側に移動した後、1 次側の発生源に戻る経路を探します。これらの電流が絶縁間隙を通過するための物理的な接続はありません。これらの高周波電流は、2 次側の V_{ISOOUT} ピンと GND₂ ピンでコモンモード電流になります。これらの高周波電流が絶縁バリアをまたいで戻れないことにより、EMI 放射が発生します。

図 4 に示す電流の流れを分析すると、絶縁バリアにより 2 次側から 1 次側への物理的なリターン経路が存在しないので、放射源となるダイポール・アンテナが生成されます。高周波コモンモード電流用に低インピーダンスのリターン経路を提供することで、ダイポールの放射レベルを低減できます。

絶縁バリアをまたぐステッチング・コンデンサは、システムで求められる高電圧絶縁を維持すると同時に、高周波コモンモード電流に必要な低インピーダンスのリターン経路を提供します。

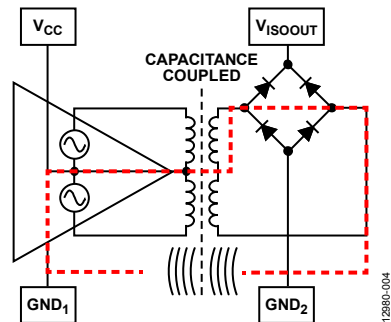


図 4. 絶縁バリアにまたがる電流ループ

ステッチング・コンデンサの実装

次の方法を使用して、PCB の絶縁間隙をまたぐステッチング・コンデンサを実装できます。

- 高電圧、安全定格のディスクリート・コンデンサ
- 内蔵 PCB ステッチング容量

高電圧、安全定格のディスクリート・コンデンサ

ステッチング容量は、絶縁バリアをまたぐセラミック・コンデンサを使用して実装できます。可能な場合は、表面実装型の高電圧コンデンサ・ボディを使用することをお勧めします。これは、ディスクリートの脚付きコンデンサと比較して、表面実装コンポーネントのほうがリード線のインダクタンスが小さいためです。ADM2587E (3.3 V および 5.0 V で駆動) および ADM2582E (5.0 V で駆動) は、EN55022B の認定を取得するためにディスクリート高電圧コンデンサを使用しています。

PCB 設計を行う場合は、図 5 に示した PCB レイアウトに従ってください。

- ステッチング・コンデンサは GND₁ (ピン 9 およびピン 10) と GND₂ (ピン 11) のできるだけ近くに配置します。
- PCB パターンのインダクタンス効果を低減するには、幅が太く、短いパターンを採用します。
- ステッチング・コンデンサの効果を発揮するには、コンデンサをピン 11、GND₂ (デバイスのピンとフェライト・ビーズの間) に直接接続することが重要です (図 5 を参照)。

沿面距離、間隙、および耐電圧が保証されたコンデンサは、主要なコンデンサ・メーカーから入手できます。

表 2. ディスクリート高電圧コンデンサの例

Parameter	Value
Manufacturer	TDK Corporation
Part Number	C4532C0G3F101K160KA
説明	Capacitor, ceramic, 100 pF, 3 kV
Body Size	

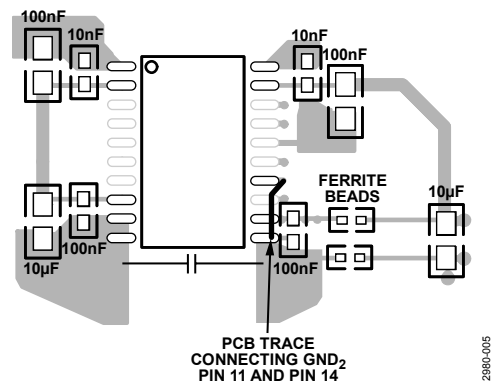


図 5. EN55022 クラス B 等級に適合させるのに必要な高電圧ディスクリート・ステッチング・コンデンサの配置

内蔵 PCB スティッチング容量

多層 PCB では、PCB 層を使用して内蔵スティッチング・コンデンサ構造を作成できます。内蔵 PCB コンデンサは、PCB の 2 つの金属プレーンが互いに重なり合い、誘電体で分離されている場合に作成されます。内蔵スティッチング・コンデンサは、1 次層および 2 次層から PCB 表面の沿面距離に使用する領域まで内部リファレンス・プレーンを延ばすことで形成されます。絶縁バリアをまたぐように内部層を重ねることで、絶縁バリアをまたぐコンデンサが形成されます。このコンデンサは、絶縁バリアをまたぐ、高周波コモンモード・ノイズ電流のリターン経路を提供します。内部層を使用してコンデンサを形成します。表面層の沿面距離および間隙の要件は最小限であるため、表面層を使用するのは実用的ではありません。内蔵スティッチング・コンデンサのレイアウトと実装の詳細については、[アプリケーション・ノート \(AN-0971\) : isoPower デバイスでの EMI 放射制御](#)で説明しています。

内蔵スティッチング・コンデンサは、次の 2 つのいずれかの構造を使用して実装できます。

- 重複スティッチング構造
- フローティング容量構造

重複スティッチング構造

重複スティッチング構造は、1 次リファレンス・プレーンと 2 次プレーン間の絶縁間隙領域をまたぐように PCB リファレンス・プレーンの 2 つの層を延ばすという概念を使用しています。容量は、アイソレータの下の間隙に形成されます。沿面距離と間隙を確保するため、上の層と下の層で空間を確保する必要があります。内部金属リファレンス・プレーンは PCB の誘電体 (通常は FR4) で分離され、コンデンサ構造が形成されます。誘電体で分離された金属の重複面積を使用して、内蔵スティッチング構造の容量を計算します (図 6 を参照)。

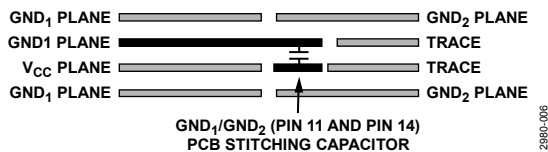


図 6. 重複スティッチング・コンデンサ PCB 層の積み重ね

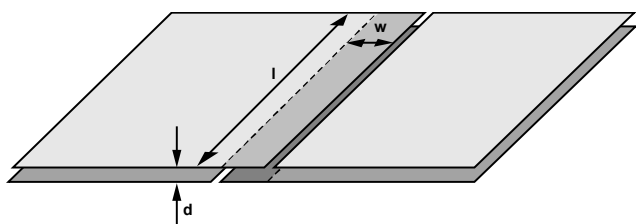


図 7. 重複スティッチング容量

容量結合は、平行板コンデンサの次の基本的な関係を使用して計算します。

$$C = \frac{A\epsilon}{d}$$

ここで、容量 (C) は、面積 (A) に誘電率 (ε) を乗算し、層間距離 (d) で除算した値です。

重複スティッチング・コンデンサ構造を備えた PCB の場合、次の式を使用して容量結合を算出します。

$$C = \frac{lw\epsilon}{d}$$

ここで、

$$\epsilon = \epsilon_0 \times \epsilon_r$$

ε₀ は、空間の誘電率 8.854 x 10⁻¹² F/m。

ε_r は、PCB 絶縁材料の比誘電率。

w、d、および l は、1 次リファレンス・プレーンと 2 次リファレンス・プレーンの重複部分の寸法 (図 7 を参照)。

2 つのリファレンス・プレーン間の誘電体 FR4 材料の厚みにより、システムの高電圧性能が決定されます。これらの間隙は結合点と呼ばれ、絶縁を提供します。このアーキテクチャでは、結合点は 1 箇所だけで、1 次リファレンス・プレーンと 2 次リファレンス・プレーン間の層数は FR4 の 1 層だけです。誘電体の厚みを増やして、高電圧性能を向上させることができます。ただし、誘電体の厚みを増やすと、内部リファレンス・プレーン間の間隔が増えるため、得られる結合容量が低下します。例えば、特定の面積の 2 つの内部リファレンス・プレーン間の誘電体の厚さを 2 倍にすると、リファレンス・プレーン間の結合容量が 1/2 になります。

フローティング・スティッチング構造

高電圧性能に関する要件が厳しいアプリケーションでは、フローティング・スティッチング・コンデンサのアーキテクチャを使用します。フローティング・アーキテクチャでは、フローティング状態の内部金属プレーンの概念を使用して、高周波コモンモード電流を 2 次リファレンス・プレーンから絶縁間隙をまたいで 1 次リファレンス・プレーンに結合します。このアーキテクチャでは、並列接続された 2 つのコンデンサを形成します (図 8 を参照)。

重複スティッチング構造と同様、間隙をまたぐ高電圧絶縁を提供するのは誘電体です。高電圧性能の観点から重複構造と比較した場合、フローティング・スティッチング構造には 2 つの絶縁間隙によるメリットがあります。1 つ目のメリットは、2 次プレーンと内部フローティング・リファレンス・プレーン間の誘電体の厚さによる絶縁間隙です。2 つ目のメリットは、内部フローティング・リファレンス・プレーンと 1 次リファレンス・プレーン間の誘電体の厚さによる絶縁間隙です。これらの 2 つの間隙が存在することは、優れた高電圧絶縁レベルが必要なシステムにおいて強化された絶縁バリアを形成する場合に有利です。

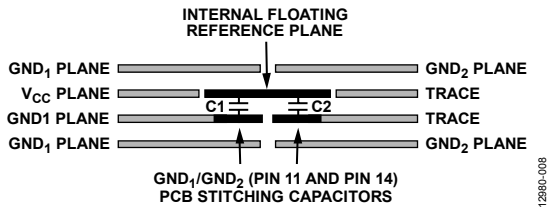


図 8. フローティング・スティッチング・コンデンサ PCB 層の積み重ね

図 8 の構造の容量結合は、平行板コンデンサの次の基本的な関係をを使用して計算します。

$$C = \frac{C_1 \times C_2}{C_1 + C_2}$$

$$C_1 = C_2 = \frac{A_x \epsilon}{d}$$

ここで、

C は、合計スティッチング容量。

A_x は、各リファレンス・プレーンに対するスティッチング容量の重複面積。

d は、PCB の絶縁層の厚さ

$$\epsilon = \epsilon_0 \times \epsilon_r$$

ここで、

ϵ_0 は、空間の誘電率 8.854×10^{-12} F/m。

ϵ_r は、PCB 絶縁材料の比誘電率。

$$C = \frac{l \epsilon}{d} \times \left(\frac{w_1 \times w_2}{w_1 + w_2} \right)$$

ここで、 w_1 、 w_2 、 d 、および l は、フローティング・プレーンと 1 次および 2 次リファレンス・プレーンの重複部分の寸法です。(図 9 を参照)。

$w_1 = w_2$ の場合、この数式は次のように簡素化されます。

$$C = \frac{l w \epsilon}{2d}$$

コンデンサが並列実装されていることで、単位面積あたりの実効容量は重複コンデンサ構成の 1/2 になります。

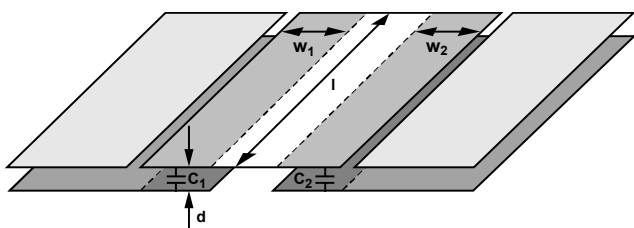


図 9. フローティング・スティッチング構造

EN55022 に適合する ADM2582E/ADM2587E の放射レベル測定値

ここでは、公認の 10 m 半無響室で得られた放射レベル測定値について説明します。

ここで説明する放射レベル測定値は、次の等級に適合させるための特定の PCB レイアウトと EM 抑制技法を基準にしています。

- EN55022 クラス A 等級
- EN55022 クラス B 等級

EN55022/CISPR22 クラス A 等級に適合させるには、図 10 のペリフェラル・コンポーネントのレイアウトの詳細を参照してください。

EN55022/CISPR22 クラス B 等級に適合させる場合は、EN55022A に適合させるための推奨レイアウトにスティッチング容量を追加する必要があります。

EN55022 クラス A 等級

EN55022 クラス A 等級に適合させるのに使用した EMI 抑制技法/コンポーネントは次のとおりです。

- すべての V_{CC} および V_{ISO} ピンに適切なデカップリング・コンデンサを接続
- V_{ISOOUT} (ピン 12) および GND_2 (ピン 11 およびピン 14) にフェライト・ビーズを接続

最適なコンポーネント配置と PCB レイアウトについては、図 10 を参照してください。

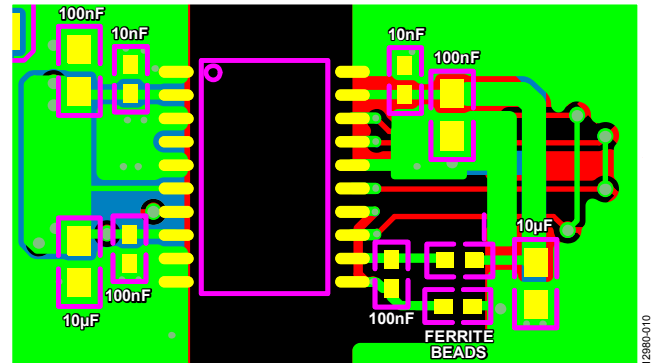


図 10. 最適な PCB レイアウトおよびコンポーネント配置

特定の場所にデカップリング・コンデンサを接続し、 V_{ISOOUT} ピンおよび GND_2 ピンにフェライトを接続することが重要です。ピン 11 とピン 14 の GND_2 接続は、フェライト・ビーズに接続される前に PCB パターンによって結合されています。EMI 放射を低減するには、PCB の GND_2 (ピン 16) と GND_2 (ピン 20) に接続する前にこれらの 2 つの GND_2 ピンがフェライトを通じて接続されていることを確認してください。

使用した PCB は 4 層 PCB で、図 11 に層構成を示します。

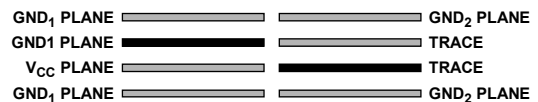


図 11. 4 層 PCB の層構成

ADM2582E と ADM2587E はどちらも $V_{CC}=3.3\text{ V}$ で駆動し、最大データ・レート（それぞれ 16 Mbps および 500 kbps）でデータをスイッチングしました。デバイスは半二重モードで接続し、ピン A をピン Y、ピン B をピン Z に接続しました。外部のコンプライアンス・テスト施設内にある公認の 10 m 半無響室で、EN55022 規格に従って放射レベルを測定しました。

図 12 に ADM2582E の EMI 放射の測定値、図 13 に ADM2587E の EMI 放射の測定値を示します。

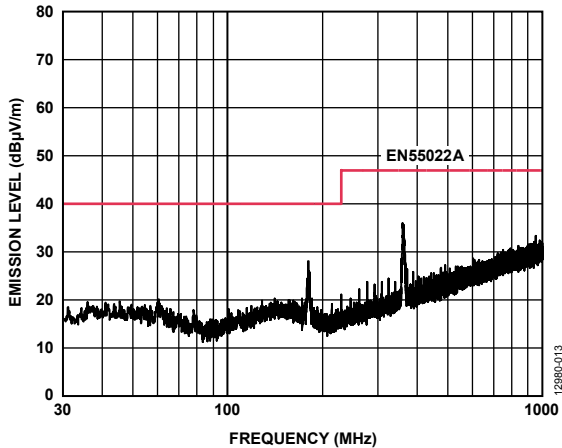


図 12. ADM2582E - 16 Mbps でのデータ・スイッチングのプロット ($V_{CC} = 3.3\text{ V}$ の最大ケース)

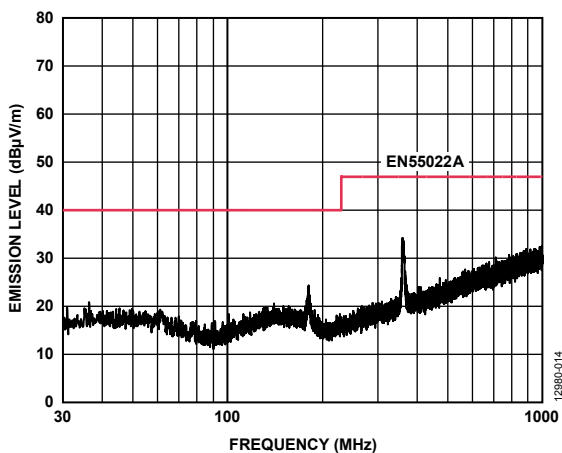


図 13. ADM2587E - 500 kbps でのデータ・スイッチングのプロット ($V_{CC} = 3.3\text{ V}$ の最大ケース)

EN55022 クラス B 等級

EN55022 クラス A 等級のセクションで説明した、EN55022 クラス A 等級に適合させるのに必要な EMI 抑制技法/コンポーネントは、EN55022 クラス B 等級に適合させる場合にも実装する必要があります。ただし、EN55022B に適合させるには、絶縁バリアをまたぐステッチング容量による追加の抑制技法も必要です。次の 2 つのステッチング方法について説明します。

- 高電圧ディスクリット・ステッチング・コンデンサ
- 重複ステッチング・コンデンサ

高電圧ディスクリット・ステッチング・コンデンサ

CISPR22/EN55022B 等級に適合させるには、デカップリング・コンデンサ（高電圧ディスクリット・コンデンサ）を特定の場所に配置し、 V_{ISOOUT} ピンと GND_2 ピンにフェライトを接続する必要があります。高電圧ディスクリット・コンデンサの使用により、ADM2587E は 3.3 V および 5.0 V 電源で駆動した場合、ADM2582E は 5.0 V 電源で駆動した場合に放射制限値をクリアすることが実証されています。ADM2582E を 3.3 V で駆動し、16 Mbps の最大データ・レートで動作させてテストした結果、高電圧ディスクリット・コンデンサはクラス B 等級に適合させるのに十分ではありませんでした。

ペリフェラル・コンポーネントのレイアウトの詳細については、図 14 を参照してください。使用した PCB は 4 層 PCB で、図 15 に層構成を示します。PCB ステッチング容量は、高電圧ディスクリット・コンデンサで実装しました。最適な性能を実現するため、コンデンサを GND_2 ピン（ピン 11）に直接接続してください（デバイスのピンとフェライトの間）。ここに記載されている測定結果は、100 pF、1812 ボディ・サイズのコンデンサで得られたものです。このコンデンサの電圧定格は 3 kV で、TDK Corporation (4532C0G3F101K160KA) 製です。

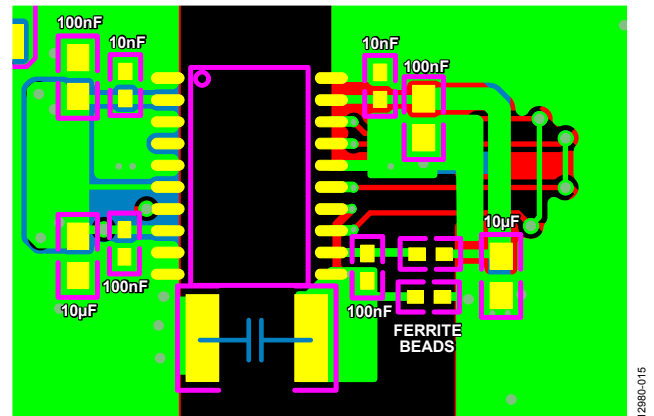


図 14. 最適な PCB レイアウトおよびコンポーネント配置

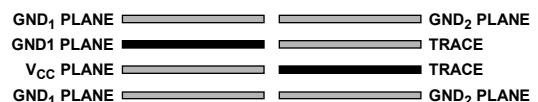


図 15.4 層 PCB の層構成

外部のコンプライアンス・テスト施設内にある公認の 10 m 半無響室で、EN55022 規格に従って放射レベルを測定しました。図 16 に ADM2582E の EMI 放射の測定値、図 17 に ADM2587E の EMI 放射の測定値を示します。

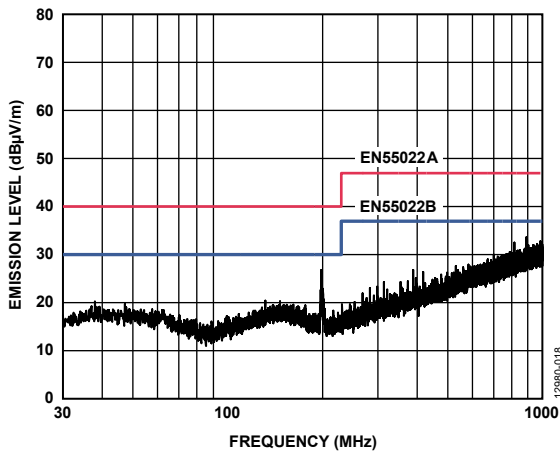


図 16. ADM2582E - 16 Mbps でのデータ・スイッチングのプロット ($V_{CC} = 5.0$ V で駆動)

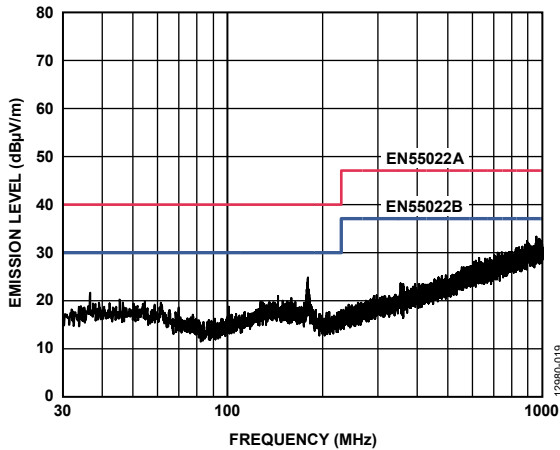


図 17. ADM2587E - 500 kbps でのデータ・スイッチングのプロット ($V_{CC} = 3.3$ V の最大ケース)

重複スチッチング・コンデンサ

最高の性能を発揮するには、特定の場所にデカップリング・コンデンサを接続し、 V_{IS00UT} ピンおよび GND_2 ピンにフェライトを接続することが重要です。ペリフェラル・コンポーネントのレイアウト詳細については、図 18 を参照してください。使用した PCB は 4 層 PCB で、図 19 に層構成を示します。PCB スチッチング容量の例は、重複構造を使用して実装しました。第 2 層 (GND_1 に接続) の内部金属プレーンを延長し、第 3 層 (V_{IS00UT} に接続) の金属領域を延長して、第 2 層と第 3 層の間に金属が重複する領域を設けました。これらの 2 つのリファレンス・プレーン間の重複領域 (図 19 を参照) の面積は、ADM2582E/ADM2587E パッケージのサイズです。これら 2 つの金属リファレンス・プレーン間の重複領域は FR4 材料で分離されており、第 2 層と第 3 層の間の FR4 誘電性空間が 0.1016 mm の場合、容量は約 35 pF です。高い絶縁

性能を維持できるように、この例よりも層の空間を増やすには、必要に応じて重複面積も増やす必要があります。

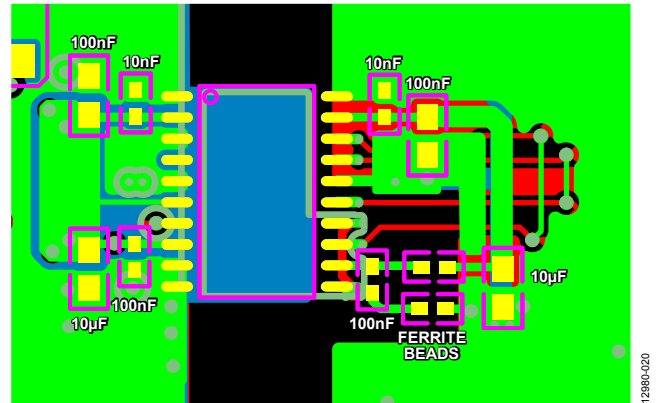


図 18. 内蔵スチッチング・コンデンサの PCB レイアウトとコンポーネント配置

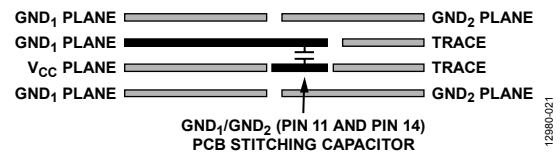


図 19. 4 層 PCB の層の積み重ね

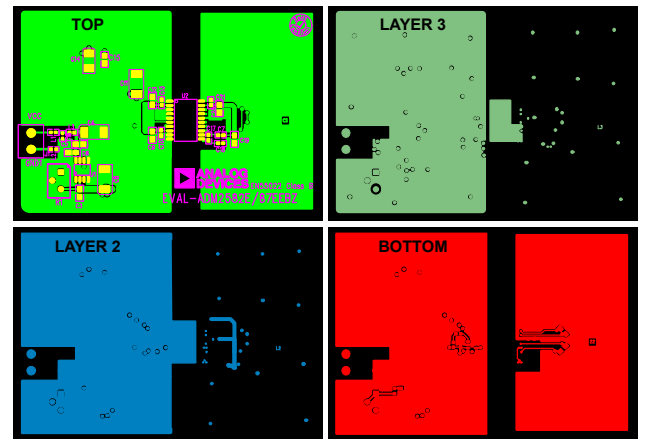


図 20. EN55022 クラス B 適合の PCB レイアウト

外部のコンプライアンス・テスト施設内にある公認の 10 m 半無響室で、EN55022 規格に従って放射レベルを測定しました。ADM2582E と ADM2587E はどちらも 3.3 V で駆動し、最大データ・レート (それぞれ 16 Mbps および 500 kbps) でデータをスイッチングしました。図 21 に ADM2582E の EMI 放射の測定値、図 22 に ADM2587E の EMI 放射の測定値を示します。

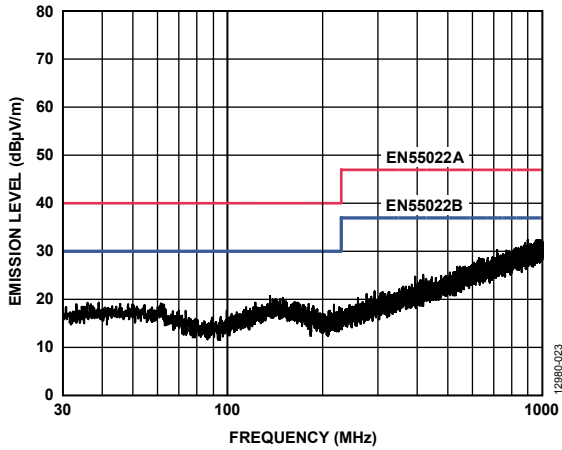


図 21. ADM2582E - 16 Mbps でのデータ・スイッチングのプロット

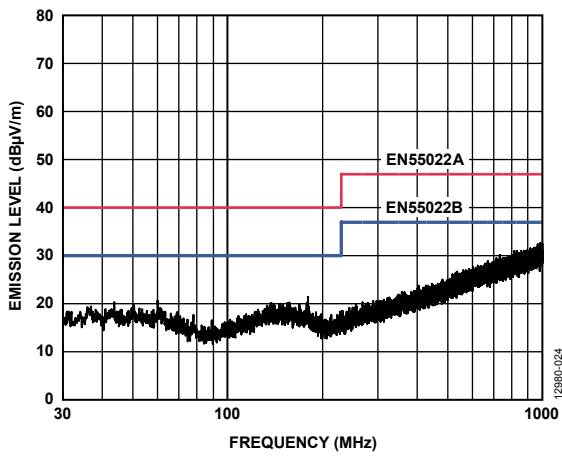


図 22. ADM2587E - 500 kbps でのデータ・スイッチングのプロット

参考文献

アプリケーション・ノート (AN-0971): isoPower デバイスでの EMI 放射制御

PCB Design for Real-World EMI Control
 Archambeault, Bruce R., James Drewniak 著
 ボストン: Kluwer Academic Publishers, 2002