

コンポーネント・プロセッサの非標準ビデオ・フォーマット

著者: Witold Kaczurba

概要

このアプリケーション・ノートの目的は、PRIM_MODE[3:0]とVID_STD[3:0]でカバーされていない HD、PS、グラフィックス標準を処理するようにコンポーネント・プロセッサ(CP)コアを設定する際の支援を行うことです。例えば、720p/50 Hz や 1080i/50 Hz のような、VID_STD[3:0]ではサポートされていないその他の SMPTE HD 標準をサポートするように CP を設定することができます。MAC 13 や MAC 16 のようなグラフィックス標準は、CP を正しく設定すればサポートできる RGB 非標準グラフィックス・フォーマットの例です。

ADV7401/ADV7403 の標準動作では、PRIM_MODE[3:0]コントロールと VID_STD[3:0]コントロールを使って、一般的な HD、PS、SD、RGB のグラフィックス・フォーマットを処理するように CP を設定します(プライマリ・モードとビデオ標準の選択の詳細については、ADV7401/ADV7403 ハードウェア・マニュアル「*Integrated Multiformat SDTV/HDTV Video Decoder and RGB Graphics Digitizer*」をご覧ください。この資料にはサポートしているモードが記載してあります)。

このアプリケーション・ノートでは、非標準ビデオ・フォーマットを処理するように CP を設定する方法について次のステップで説明します。

1. 該当する PRIM_MODE[3:0]/VID_STD[3:0]の選択
2. ラッチ・クロックの設定
3. PLL_DIV_RATIO[11:0]の設定
4. FR_LL[10:0]の設定

これらの各ステップは、それぞれ 非標準フォーマットに対する PRIM_MODE[3:0]/VID_STD[3:0]の選、ラッチ・クロック、ピクセル・クロックの発生、フリー・ラン・モードの設定の各セクションで説明します。実施例のセクションには、例を示します。

目次

概要.....	1	例 1: 720P、50 HZ.....	5
CPコアの設定.....	3	例 2: MAC 16.....	6
非標準フォーマットに対する		例 3: SXGA、75 HZ	
PRIM_MODE[3:0]/VID_STD[3:0]の選択.....	3	(サブサンプル・ピクセル・クロック=108 MHZ).....	7
ラッチ・クロック.....	3	例 4: VESA 1360 × 768、60.015 HZ (ピクセル・クロック=85.5	
ピクセル・クロックの発生.....	3	MHZ).....	8
フリー・ラン・モードの設定.....	4	考慮事項.....	9
実施例.....	5		

CPコアの設定

非標準フォーマットに対する

PRIM_MODE[3:0]/VID_STD[3:0]の選択

PRIM_MODE[3:0]とVID_STD[3:0]を最も似ている標準に設定することにより、非標準動作を行うようにCPを設定することができます。表 2 に、非標準フォーマット用にPRIM_MODE[3:0]とVID_STD[3:0]を設定する例を示します。解像度とピクセル・クロック周波数が最も一致するように設定することが基本です。

ラッチ・クロック

ラッチ・クロックは、サンプリングを制御するADCの内部パラメータです。推奨ラッチ・クロック設定値は、表 1 に従って設定することができます。

表 1. ラッチ・クロックの設定値

LATCH_CLK[3:0]	Pixel Clock (MHz)
0001	13.5 to 54
0010	55 to 100
0101	108
0110	135

ピクセル・クロックの発生

ADV7401/ADV7403 では、PLLを使って着信Hsyncからピクセル・クロック(TLLC)を発生しています。非標準ビデオ・フォーマットの場合、PLLを手動で設定して任意周波数のピクセル・クロックを発生することができます。これは、PLL帰還分周器ブロックを設定することにより行います(図 1 参照)。

まず、PLL_DIV_MAN_EN に 1 を設定して、PLL ブロックの手動設定をイネーブルする必要があります。次に、非標準モードに対して所望ピクセル・クロックを得るようにPLL_DIV_RATIO[11:0]を設定します。

PLL_DIV_RATIO[11:0]のこの値を計算するときには、2つの方法を使用することができます。非標準フォーマットについての情報に基づいてこれらの方法の1つを選択する必要があります。

方法 1 は、ピクセル・クロック周波数を着信 Hsync 周波数で除算する式 1 で表されます。この式は、PLL で逡倍を行って着信 Hsync からピクセル・クロックを発生することを示しています。

$$PLL_DIV_RATIO[11:0] = \frac{f_{PIXELCLOCK}}{f_{HSYNC}} \quad (1)$$

方法 2 は、PLL_DIV_RATIO[11:0]がライン周期あたりの輝度信号サンプル・ピクセル数に常に一致するという規則に基づいています。

表 2. 非標準フォーマットに対する PRIM_MODE[3:0]/VID_STD[3:0]設定の例

Nonstandard Video Format			ADV7401/ADV7403 CP Default Configurations				
Format	Resolution	Pixel Clock (MHz)	PRIM_MODE[3:0]	VID_STD[3:0]	Format	Resolution	Pixel Clock (MHz)
VGA 70	640 × 480	28.561	0010	1001	VGA 72	640 × 480	31.515
WVGA60	852 × 480	34.000	0010	0000	SVGA 56	800 × 600	36.00
MAC 13	640 × 480	30.240	0010	1001	VGA 72	640 × 480	31.515
MAC 21	1152 × 870	100.00	0010	1111	XGA 85	1024 × 768	94.5
1080i/50 Hz	1920 × 1080	74.25	0001	1100	HD 1080/60	1920 × 1080	74.25

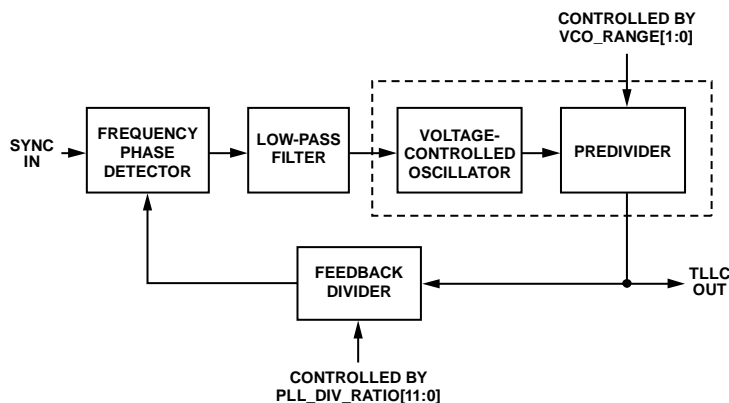


図 1. PLL アーキテクチャ

VCO_RANGE[1:0]とPLL_QPUMP[2:0]の手動設定

VCO_RANGE[1:0]とPLL_QPUMP[2:0]は、PLLが安定なTLLCを発生するように設定する必要があります。VCO範囲とPLLチャージ・ポンプの推奨設定値は、表3と表4に従って設定することができます。

表3.非標準ビデオ・フォーマット VCO 範囲の設定値

VCO_RANGE[1:0]	Pixel Clock (MHz)
00	13.5 to 29
01	30 to 44
10	45 to 89
11	90 to 140

表4.非標準ビデオ・フォーマット PLL の設定値

Charge Pump Current, PLL_QPUMP[2:0]	Pixel Clock (MHz)
001	<22
011	≥22
100	≥31
101	≥42
011	≥45
100	≥48
101	≥58
100	≥90
101	≥95
110	≥136
111	≥205

VCO_RANGE[1:0]の設定値は、VCO_RANGE_MAN が 1 に設定された場合にのみアクティブになります。該当する VCO 範囲は、PRIM_MODE[3:0]と VID_STD[3:0]によりサポートされるすべての標準に対して自動的に選択されます。

入力ビデオのサブサンプリング

PLL 分周比を調節することにより入力ビデオをサブサンプルすることができます。この機能を使うと、水平解像度(ラインあたりの輝度信号サンプル数)は低くなるが、垂直解像度(フレームあたりのライン数)は同じである標準フォーマットを CP に処理させることができます。折り返し歪みを防止するために、着信ビデオ信号の帯域制限に注意する必要があります。

また、サブサンプリング機能を使うと、CP は ADV7401/ADV7403 の仕様より高い解像度とピクセル・クロックを持つビデオ・フォーマットも処理することができます。例え

ば、60 Hz の UXGA (1600 × 1200)のピクセル・クロックは 162 MHz ですが、これは ADC の最大サンプル・レートより高くなります。PLL を使って着信 Hsync から 108 MHz クロックを発生することにより、CP で 1200 ライン解像度を処理することができます。これより低いピクセル・クロックでは水平解像度が低くなり、トータル・ラインあたりの輝度信号サンプル数(S/TL) がフル帯域幅信号での 1600 から 1440 へ低下します。

フリー・ラン・モードの設定

ADV7401/ADV7403 のフリー・ラン機能は、CP コアがアンロック状態になったときブルー・スクリーン出力を表示できるようにします。CP では、ライン長の測定値を使ってフリー・ラン状態になるタイミングを決定しています。CP は VID_STD[3:0]を使って予測ライン長を決定します。CP を手動で設定して、非標準フォーマットに対する異なるライン長を予測させる必要があります。

FR_LL (フリー・ラン・ライン長)パラメータは、ビデオ・フォーマットの理論ライン長内での水晶クロック・サイクル数です。CP はこのパラメータを使って、入力フォーマットが変わった場合または入力がなくなった場合に、ライン長が変化したタイミングを検出します。このパラメータは通常、VID_STD[3:0]と PRIM_MODE[3:0]からデコードされます。

測定ライン長が 32 クロック・サイクル(このスレッシュホールドは CP_F_RUN_TH[2:0]に設定)だけ FR_LL[11:0]から異なると、CP コアはアンロック状態になり、フリー・ラン・モードに入ります。CP を非標準ビデオ用に設定するときは、FR_LL[11:0]を手動で設定する必要があります。これにより、CP は該当する VID_STD[3:0]に対応するデフォルト・ライン長を無視することができますようになります。

FR_LL[11:0]の手動パラメータを計算するときは、ライン周期を 27 MHz クロック周期(27 MHz 水晶の場合)または 28.6363 MHz クロック周期(28.6363 MHz 水晶の場合)で除算します(式 2 参照)。この式の分子は Hsync 周期から直接計算することができます。あるいは、ラインあたりの輝度信号ピクセル周期合計数を使って、これにピクセル・クロック周期を乗算して計算することができます。

$$FR_LL[11:0] = \frac{t_{LINEPERIOD}}{t_{XTAL_MHZ}} \quad (2)$$

ここで、 $t_{XTAL_MHZ} = t_{27\text{ MHz}}$ (27 MHz 水晶の場合)または $t_{XTAL_MHZ} = t_{28.6363\text{ MHz}}$ (28.6363 MHz 水晶の場合)。

実施例

例 1: 720p、50 Hz

1. PRIM_MODE[3:0]と VID_STD[3:0]を最も似ている標準に設定します。
PRIM_MODE[3:0] = 0001b
VID_STD[3:0] = 1010b
この設定は、最も似ている非標準フォーマットのピクセル・クロック周波数と解像度に基づきます。
2. ラッチ・クロックを設定します。74.25 MHzについては表 1 を参照してください。
LATCH_CLK[3:0] = 0010b
3. PLL_DIV_RATIO[11:0]を設定します。この標準のHsync周波数についての情報がないため式 1 を使用できません。トータル・ラインあたりの輝度信号サンプル周期数は 1980 であるため、方法 2 を使ってPLL_DIV_RATIO[11:0]に 1980 を設

```
##CP 720p YPrPb 1x1##
:720p/50 YPrPb In 1x1 30Bit 444 Out:
42 05 01 ; PRIM_MODE = 0001b COMP
42 06 0A ; VID_STD = 1010b for 720P 1x1
42 3A 20 ; set latch clock settings to 010b
42 3B 80 ; External Bias Enable
42 3C 5D ; PLL_QPUMP to 101b
42 6B C2 ; 30-bit 4:4:4 output
42 87 E7 ; Man set PLL_DIV_RATIO 1980
42 88 BC ; Man set PLL_DIV_RATIO 1980
42 8A D0 ; VCO Range to 10b
42 8F 02 ; Set FR_LL = 720
42 90 D0 ; Set FR_LL = 720
End
```

表 5.ビデオ信号タイミング—720p、50 Hz

System Nomenclature	Luma Samples per Active Line	Active Lines per Frame	Frame Rate (Hz)	Sampling Frequency (MHz)	Luma Sample Periods per Total Line	Total Lines per Frame
1280 × 720	1280	720	50	74.25	1980	750

定します(ピクセル・クロックの発生のセクション参照)。

PLL_DIV_RATIO[11:0] = 1980_{dec} = 0x7BC

PLL_QPUMP[2:0]に 101bを、VCO_RANGE[1:0]に 10bを、そ

れぞれ設定します(表 3 と表 4 を参照)。

4. 式 2 を使って FR_LL[11:0]を計算します。

$t_{\text{LINE PERIOD}} = (1980 \times 1/74.25 \text{ MHz}) = 26.667 \mu\text{s}$

$t_{27 \text{ MHz}} = 37.037 \text{ ns}$

FR_LL[11:0] = 720_{dec} = 0x2D0

これらの新しいレジスタ設定値と標準設定値を組み合わせると、ADV7401/ADV7403 (デバイス・アドレス 0x42) 720p/50 Hz に対する次の I²C 書込みが得られます。

例 2: MAC 16

1. PRIM_MODE[3:0]と VID_STD[3:0]を最も似ている標準に設定します。
 PRIM_MODE[3:0] = 0010b
 VID_STD[3:0] = 0100b
 この設定は、最も似ている非標準フォーマットのピクセル・クロック周波数と解像度に基づきます。
2. ラッチ・クロックを設定します。55,000 MHzについては表 1を参照してください。
 LATCH_CLK[3:0] = 0010
3. PLL_DIV_RATIO[11:0]を設定します。式 1 を使い、Hsync周波数 = 49.107 kHz とピクセル・クロック = 55.000 MHz から、

次が得られます。

PLL_DIV_MAN_EN = 1b
 PLL_DIV_RATIO[11:0] = 1120_{dec} = 0x460
 PLL_QPUMP[2:0]に 100bを、VCO_RANGE[1:0]に 10bを、それぞれ設定します(表 3 と表 4を参照)。
 4. 式 2 を使って FR_LL[11:0]を計算します。
 $t_{LINE PERIOD} = (1/49.107 \text{ kHz}) = 20.36 \mu\text{s}$
 $t_{27 \text{ MHz}} = 37.037 \text{ ns}$
 FR_LL[11:0] = 550_{dec} = 0x226

これらの新しいレジスタ設定値と標準設定値を組み合わせると、ADV7401/ADV7403 (デバイス・アドレス 0x42) MAC 16 に対する次の I²C 書込みが得られます。

```
##CP RGB Graphics Special Modes##
:832 x 624 @_ 75.087Hz MAC 16 PIXEL CLOCK 55.00 MHz:
  42 04 75 ; enable max drive strength
  42 05 02 ; PRIM_MODE = 0010b for GR
  42 06 04 ; VID_STD = 0100b for 800x600 @ 85; closest available standard.
  42 0E 0F ; enable max drive strength Clock & Syncs
  42 3A 20 ; set latch clock settings to 010b
  42 3B 80 ; External Bias Enable
  42 3C 5C ; PLL_QPUMP to 100b
  42 6A 00 ; DLL Phase Adjust
  42 6B 82 ; Enable DE output, swap Pr& Pb
  42 73 90 ; Set man_gain
  42 7B 1C ; TURN OFF EAV & SAV CODES
  42 87 E4 ; PLL_Div_Ratio to 1120
  42 88 60 ; PLL_Div_Ratio to 1120
  42 8A D0 ; VCO Range to 10b
  42 8F 02 ; FR_LL = 550
  42 90 26 ; FR_LL = 550
End
```

表 6. ビデオ信号タイミング—MAC 16

System Nomenclature	Luma Samples per Active Line	Active Lines per Frame	Frame Rate (Hz)	Sampling Frequency (MHz)	Luma Sample Periods per Total Line	Total Lines per Frame
832 × 624	832	624	75.087	55.000	1120	654

例 3: SXGA、75 Hz (サブサンプル・ピクセル・クロック = 108 MHz)

1. PRIM_MODE[3:0]と VID_STD[3:0]を 75 Hz の SXGA 標準に設定します。
PRIM_MODE[3:0] = 0010b
VID_STD[3:0] = 0101b
この設定は、最も似ている非標準フォーマットのピクセル・クロック周波数と解像度に基づきます。
2. ラッチ・クロックを設定します。108 MHz (サブサンプリング・ピクセル・クロック)については表 1 を参照してください。
LATCH_CLK[3:0] = 0010b
標準フォーマット(135 MHz)では、ラッチ・クロックは LATCH_CLK[3:0] = 0110 であることに注意してください。
3. PLL_DIV_RATIO[11:0]を設定して、必要とされるサブサンプリング・ピクセル・クロックを発生させます。式 1 を使い、Hsync周波数 = 79.976 kHzとピクセル・クロック = 108 MHzから、次が得られます。
PLL_DIV_MAN_EN = 1b
PLL_DIV_RATIO[11:0] = 1351_{dec} = 0x547

```
##CP RGB Graphics MEI Special Modes##
:1280x1024 @_ 75.025Hz SubSamp. 108MHz Out through DAC:
    42 05 02 ; PRIM_MODE = 0010b for GR
    42 06 05 ; VID_STD = 0101b for 1280x1024 @ 75
    42 37 00 ; Invert PCLK
    42 3A 21 ; set latch clock settings to 010b, Power Down ADC3
    42 3B 80 ; Enable External Bias
    42 3C 5D ; PLL_QPUMP to 101b
    42 6A 00 ; DLL Phase Adjust
    42 6B C2 ; sets CPOP_SEL to 0010b 30 Bit Output Pr/Pb pins swapped.
    42 73 90 ; Set man_gain
    42 7B 1C ; TURN OFF EAV & SAV CODES
    42 87 E5 ; PLL_Div_Ratio to 1350
    42 88 47 ; PLL_Div_Ratio to 1350
    42 8A F0 ; VCO Range to 11b
    42 8F 01 ; FR_LL = 338
    42 90 52 ; FR_LL = 338
    42 B3 FE ; STDI Tweak
    42 F4 3F ; Max Drive Strength
End
```

4. PLL_QPUMP[2:0]に 101bを、VCO_RANGE[1:0]に 11bを、それぞれ設定します(表 3 と 表 4 を参照)。
サブサンプル・ビデオ・データでは 1350 S/TL、標準フォーマットでは 1688 S/TLであることに注意してください。
式 2 を使って FR_LL[11:0]を計算します。
 $t_{\text{LINE PERIOD}} = (1/79.976 \text{ kHz}) = 12.503 \mu\text{s}$
 $t_{27 \text{ MHz}} = 37.037 \text{ ns}$
 $\text{FR_LL}[11:0] = 338_{\text{dec}} = 0x152$

これらの新しいレジスタ設定値と標準設定値を組み合わせると、ADV7401/ADV7403 (デバイス・アドレス 0x42) 75 Hz の SXGA に対する次の I²C 書き込みが得られます。

表 7.ビデオ信号タイミング—SXGA、75 Hz (サブサンプル)

System Nomenclature	Luma Samples per Active Line	Active Lines per Frame	Frame Rate (Hz)	Sampling Frequency (MHz)	Luma Sample Periods per Total Line	Horizontal Frequency (kHz)
1280 × 1024	1280	1024	75	135 (108 ¹)	1688 (1350)	79.976

¹ サブサンプルされたビデオ・データ・フォーマット。

例 4: VESA 1360 × 768、60.015 Hz (ピクセル・クロック = 85.5 MHz)

1. PRIM_MODE[3:0]と VID_STD[3:0]を 75 Hz の 1024 × 768 標準に設定します。
PRIM_MODE[3:0] = 0010b
VID_STD[3:0] = 1110b
この設定は、最も似ている非標準フォーマットのピクセル・クロック周波数と解像度に基づきます。
2. ラッチ・クロックを設定します。85.5 MHzについては表 1 を参照してください。
LATCH_CLK[3:0] = 0010b
3. PLL_DIV_RATIO[11:0]を設定して、必要とされるサンプリング・ピクセル・クロックを発生させます。式 1 を使い、

Hsync周波数 = 47.712 kHzとピクセル・クロック = 85.5 MHzから、次が得られます。

PLL_DIV_MAN_EN = 1b
PLL_DIV_RATIO[11:0] = 1792_{dec} = 0x700
PLL_QPUMP[2:0]に 101bを、VCO_RANGE[1:0]に 10bを、それぞれ設定します(表 3 と 表 4 を参照)。

4. 式 2 を使って FR_LL[11:0]を計算します。
t_{LINE PERIOD} = (1/47.712 kHz) = 20.959 μs
t_{7 MHz} = 37.037 ns
FR_LL[11:0] = 566_{dec} = 0x236

これらの新しいレジスタ設定値と標準設定値を組み合わせると、ADV7401/ADV7403 (デバイス・アドレス 0x42) 60 Hz の 1360 × 768 に対する次の I²C 書込みが得られます。

```
##CP RGB Graphics Special Modes##
:1360x768 @_ 60.015Hz, 85.500MHz Out through DAC:
    42 05 02 ; PRIM_MODE = 0010b for GR
    42 06 0E ; VID_STD = 1110b for 1024x768 @ 75
    42 3A 21 ; set latch clock settings to 010b, Power Down ADC3
    42 3B 80 ; Enable External Bias
    42 3C 5D ; PLL_QPUMP to 101b
    42 6A 00 ; DLL Phase Adjust
    42 6B 82 ; Enable DE output, swap Pr Pb
    42 73 90 ; Set man_gain
    42 7B 14 ; AV CODES DISABLE, TURN OFF EAV and SAV CODES
    42 87 E7 ; PLL_Div_Ratio to 1792
    42 88 00 ; PLL_Div_Ratio to 1792
    42 8A E0 ; VCO Range to 10b
    42 8F 02 ; FR_LL = 566
    42 90 36 ; FR_LL = 566
    42 F4 3F ; Max Drive Strength
End
```

表 8. ビデオ信号タイミング—1360 × 768、50 Hz

System Nomenclature	Luma Samples per Active Line	Active Lines per Frame	Frame Rate (Hz)	Sampling Frequency (MHz)	Luma Sample Periods per Total Line	Horizontal Frequency (kHz)
1360 × 768	1360	768	60.015	85.5	1792	47.712

考慮事項

DAC 出力の設定中に AV_CODE_EN[1]をイネーブルすると、出力に垂直ラインが表示されることがあります。これを回避するためには、DAC 出力を使う場合、AV_CODE_EN[1]をターンオフする必要があります。

PRIM_MODE[3:0]の指定に従い、VBIの位置に応じてAV_BLANK_EN[3]によりビデオがブランクにされるため、新しい設定ではこれが機能しないことがあります。この場合には、AV_BLANK_ENビットをディスエーブルしてください。

デコーダとバックエンドとの間でPCLK極性が不適切であることにより出力でノイズが発生することがあります(ADV7401とADV7403のハードウェア・マニュアル「*Integrated Multiformat SDTV/HDTV Video Decoder and RGB Graphics Digitizer*」を参照してください)。PCLK[0]を使って、PCLK信号を反転させて、ノイズを防止することができます。

42 37 00 ; Invert PCLK

CPフリー・ラン・スレッシュホールド(CP_F_RUN_TH[2:0])を変更すると、無効な出力が発生することがあります。この値はデフォルトで0x54に設定されています。

EMCとクロストークのため、出力ドライバの駆動強度を調節することが必要になります。DR_STR_S[1:0]により、同期信号、HS、VS、FIELDの駆動強度が設定されます。DR_STR_C[1:0]により、クロック信号出力ドライバの出力強度が設定されます。DR_STR[1:0]により、データ出力ドライバの駆動強度が設定されます。

推奨値を表9に示します。

表9. 駆動強度の設定値

DR_STR_S[1:0]	DR_STR_C[1:0]	DR_STR[1:0]	Pixel Clock (MHz)
01	01	01	<54
10	10	10	<110
11	11	11	>110