



Circuits from the Lab™ 実用回路集は今日のアナログ・ミックスド・シグナル、RF回路の設計上の課題を迅速に解決するために、簡素化された統合システムにてテストを行っています。詳しい情報については [www.analog.com/jp/CN0238](http://www.analog.com/jp/CN0238) を参照してください。

### 接続/参考にしたデバイス

AD9434	12ビット、500MSPS、1.8V 駆動 A/D コンバータ
ADA4960-1	5 GHz、超低歪み、RF/IF 差動アンプ、

## アンチエイリアシング・フィルタ付き高性能、12ビット、500MSPS 広帯域レシーバ

### 評価と設計支援

#### 設計と統合ファイル

[回路図](#)、[レイアウト・ファイル](#)、[BOM](#)

#### 回路の機能とその利点

図1に示した回路は超低ノイズ差動アンプ・ドライバ [ADA4960-1](#) と 12ビット、500 MSPS、A/D コンバータ [AD9434](#) をベースにした広帯域レシーバ・フロントエンドです。

3次バターワース・アンチエイリアシング（折返し誤差防止）・フィルタはアンプと A/D コンバータ（ADC）の性能とインターフェースをベースに最適化されています。フィルタ回路、トランス、その他の抵抗性部品による全体の挿入損失はわずかに 1.2 dB です。

回路全体の-1dB 帯域幅は 290 MHz です。アナログ入力に 140 MHz の時、SNR と SFDR の実測値はそれぞれ 64.1 dBFS と 70.4 dBc です。

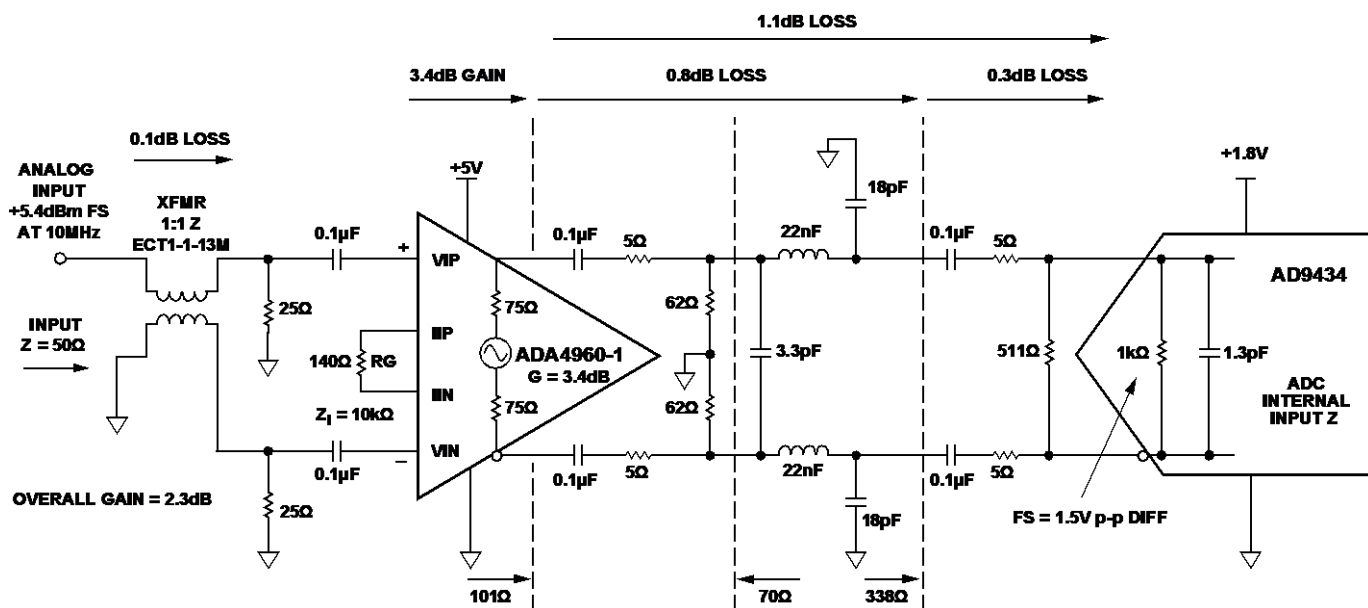


図1. 12ビット、500 MSPS 広帯域レシーバ・フロントエンド（簡略化された回路：全て接続は示されていません）  
表示は 10 MHz でのゲイン、損失、信号レベルの測定値

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2011 Analog Devices, Inc. All rights reserved.

Rev. 0

回路説明

回路はシングル・エンド入力信号を受信し、それを広帯域幅のトランス M/A-COM ECT1-1-13M 1:1 を使用して差動に変換します。5 GHz 差動アンプ ADA4960-1 の差動入力インピーダンスは 10 kΩ です。ゲインは外部ゲイン設定抵抗 RG を選択する事により 0 dB ~ 18 dB の範囲で調整可能です。出力インピーダンスは 150 Ω (差動) です。

ADA4960-1 は AD9434 の理想的なドライバで、ローパス・フィルタを通り ADC へ入力するまで完全な差動構成になっていますので、優れた高周波数コモン・モード除去が得られ、同時に 2 次歪積を最小限にする事ができます。ADA4960-1 のゲインは外部ゲイン抵抗を変更する事により 0 dB ~ 18 dB に設定できます。回路ではフィルタ回路(1.1 dB)とトランス(0.1 dB)の挿入損失を補償し、全体の信号ゲインが 2.3 dB になるようにゲインを 3.4dB に設定しました。約+5.4 dBm の入力信号は ADC 入力でフルスケール 1.5 V p-p の差動信号になります。

アンチエイリアシング・フィルタは標準フィルタ設計プログラムで設計した 3 次バターワース・フィルタです。通過帯域が平坦な周波数特性であるバターワース・フィルタを選択しました。3 次フィルタは 1.05 の AC ノイズ帯域比を生じますが、Nuhertz Technologies Filter Free (<http://www.nuhertz/filter>) 又は Quite Universal Circuit Simulator (Qucs) Free Simulation ([www.qucs.sourceforge.net](http://www.qucs.sourceforge.net)) のようないくつかの無償のフィルタ・プログラムで設計する事ができます。

最良な性能を得るために、ADA4960-1 の出力側は差動負荷 100 Ω で構成する必要があります。直列抵抗 5 Ω はフィルタ容量をアンプ出力からアイソレートします。ドライバ出力側に接続される ADC の入力インピーダンスと整合するために構成された 2 つの 62 Ω 並列抵抗は、2 つの 5 Ω 直列抵抗と接続されることで、ドライバ出力側から見た負荷インピーダンスは 101 Ω になります。

ADC 入力に接続された直列の 5 Ω 抵抗は内部スイッチング・トランジェントをフィルタとアンプからアイソレートします。ADC と並列に接続した 511 Ω 抵抗は ADC の入力インピーダンスを低減し、性能をより向上させます。

3 次バターワース・フィルタの設計は信号源インピーダンス 70 Ω、負荷インピーダンス 338 Ω、3 dB 帯域幅 360 MHz の条件で行いました。プログラムで計算した値を図 2 に示します。

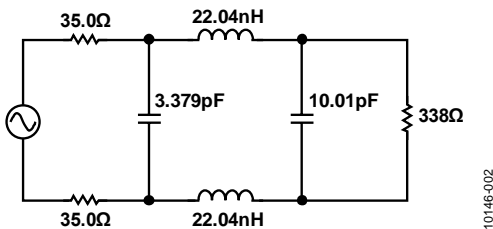


図 2.  $Z_s = 70 \Omega$ ,  $Z_L = 338 \Omega$ ,  $F_c = 360 \text{ MHz}$  の 3 次差動バターワース・フィルタ回路  
 $Z_s = 70 \Omega$ ,  $Z_L = 338 \Omega$ ,  $F_c = 360 \text{ MHz}$

フィルタの受動部品に選んだ値はプログラムで作成した値に最も近い標準値です。

回路では ADC の内部容量 1.3 pF を 2 番目のシャント容量 (10.01 pF) の値から減算した値の 8.71 pF になっています。図 1 に示すように、この容量は 2 つの 18 pF コンデンサをグラウンドに接続する事により実現しています。

この方法により同じフィルタ効果が得られると共に、ある程度の AC 同相除去効果も得られます。

表 1 はシステムの実測性能の一覧です。ここで 3 dB 帯域幅は 290 MHz、回路全体の挿入損失は約 1.1 dB です。応答帯域幅を図 3 に、SNR と SFDR の特性を図 4 に示します。

表 1 回路の実測性能

性能仕様@ 1.5 V p-p FS	最終結果
Cutoff Frequency (-3 dB)	290 MHz
Pass-Band Flatness (6 MHz to 200 MHz)	1 dB
SNRFS @ 140 MHz	64.1 dBFS
SFDR @ 140 MHz	70.4 dBc
H2/H3 @ 140 MHz	85.0 dBc/ 70.4 dBc
Overall Gain @ 10 MHz	2.3 dB
Input Drive @ 10 MHz	5.4 dBm

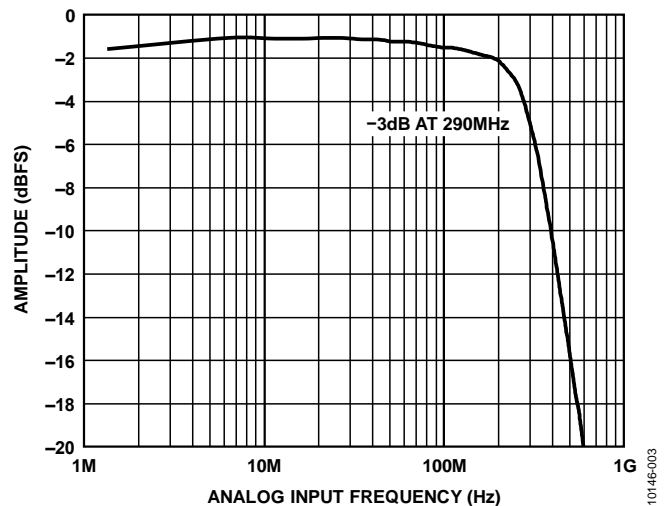


図 3. 通過帯域平坦性能対周波数

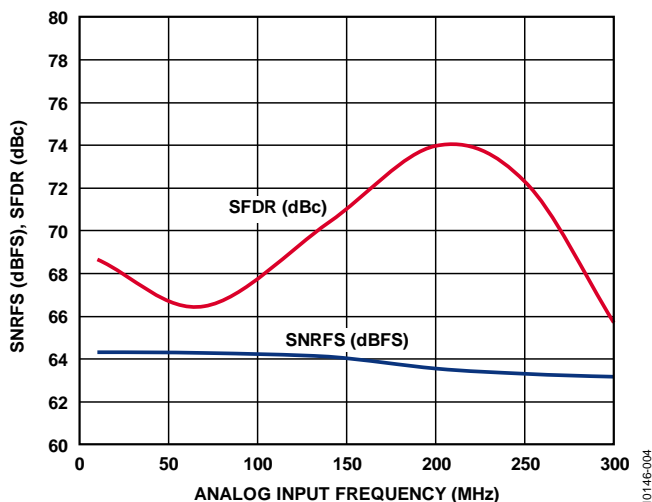


図 4. SNR/SFDR 性能 対 周波数

### フィルタとインターフェースの設計手順

最適な性能（帯域幅、SNR、SFDR、etc.）を実現するには回路全般に施されなければならないいくつかのアンプや ADC による設計制約があります。

1. アンプに接続される負荷は最適な性能を得るためにデータシートで推奨している正しい値を設定する必要があります。
2. アンプとその負荷（回路ではフィルタとなっている）の間に正しい大きさの直列抵抗を接続する必要があります。この抵抗は通過帯域で望ましくないピーキングを防ぐ効果があります。
3. ADC への入力信号は外部並列抵抗によって低減されます。そして ADC をフィルタからアイソレートするために正しい直列抵抗を接続する必要があります。この直列抵抗はピーキングを小さくする効果があります。

図 5 で示す回路はほとんどの高速差動アンプ/ADC インターフェースに適合し、議論の基本として使用されるでしょう。この設計方法はほとんどの高速 ADC の入力インピーダンスが相対的に高い事と駆動源（アンプ）のインピーダンスが相対的に低い事が有効に働きフィルタの挿入損失を最小限に抑える傾向になります。

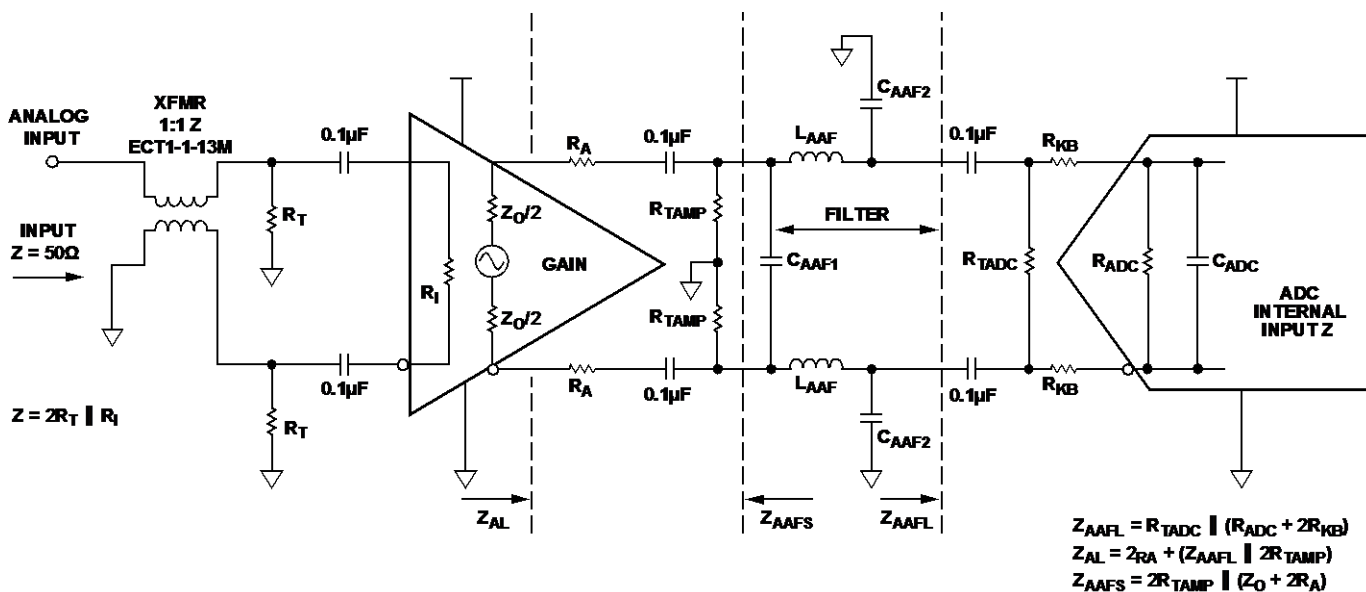


図 5. 一般的なローパス・フィルタ付き差動アンプ/ADC インターフェース

基本的な設計プロセスを次に示します：

1.  $R_{TADC}$  と  $R_{ADC}$  の並列接続抵抗の値が  $200\ \Omega \sim 400\ \Omega$  になるように外付け ADC 終端抵抗  $R_{TADC}$  を選択する。
2. 経験または ADC データシートの推奨を基に  $R_{KB}$  を選択する（標準的には  $5\ \Omega \sim 36\ \Omega$ ）。
3. 下記の式を使用してフィルタ負荷インピーダンスを計算する：

$$Z_{AAFL} = R_{TADC} \parallel (R_{ADC} + 2R_{KB})$$

4. アンプの外付け直列抵抗  $R_A$  を選ぶ。アンプの差動出力インピーダンスが  $100\ \Omega \sim 200\ \Omega$  の場合は  $R_A$  を  $10\ \Omega$  以下にする。アンプの出力インピーダンスが  $12\ \Omega$  かそれ以下の場合は  $R_A$  を  $5\ \Omega \sim 36\ \Omega$  にする。
5. アンプから見た合計負荷 ( $Z_{AL}$ ) が個別の差動アンプに適合するように下記の式を使って計算して  $R_{TAMP}$  を選ぶ：

$$Z_{AL} = 2R_A + (Z_{AAFL} \parallel 2R_{TAMP})$$

6. フィルタのソース抵抗を計算する：

$$Z_{AAFS} = 2R_{TAMP} \parallel (Z_0 + 2R_A)$$

7. フィルタ設計プログラムまたは表を利用し、信号源インピーダンス ( $Z_{AAFS}$ )、負荷インピーダンス ( $Z_{AAFL}$ )、フィルタ・タイプ、帯域、次数等のパラメータを使ってフィルタを設計する。DC $\sim$ fs/2 の周波数帯が確実に平坦になるように周波数帯域幅を 1/2 サンプルインギング・レートより約 40% 高くする。
8. プログラムで求められた最終段のシャント・キャパシタの値から ADC の内部容量 ( $C_{ADC}$ ) を減算する必要があります。プログラムから差動シャント・キャパシタの値  $C_{SHUNT2}$  が得られます。最終 コモン・モード・シャント・キャパシタは

$$C_{AAF2} = 2(C_{SHUNT2} - C_{ADC}) \text{ です。}$$

これらの仮の計算をした後、回路の次の項目に関して速やかにレビューを行う必要があります。

1.  $C_{AAF2}$  の値を  $C_{ADC}$  より数倍大きくするために、 $C_{AAF2}$  の値を  $10\ \text{pF}$  以上にする必要があります。これにより  $C_{ADC}$  の変動に対するフィルタの感度が最小限になります。
2. フィルタが大部分のフィルタ表、フィルタ設計プログラムの制限内に入るように  $Z_{AAFL}$  対  $Z_{AAFS}$  比を約 7 以下にする必要があります。
3. 寄生容量と部品のバラツキに対する感度を最小限にするために  $C_{AAF2}$  の値を  $5\ \text{pF}$  以上にする必要があります。
4. インダクタ ( $L_{AAF}$ ) は少なくとも数 nH の適切な値にする必要があります。

フィルタ設計プログラムが複数のユニークなソリューション（得に高次フィルタの場合）を提供する場合があります。そのような場合、常に最も適切なセットの部品の値を採用するソリューションを選択してください。また、シャント・キャパシタと ADC 入力容量を組み合わせられるようにシャント・コンデンサが最終段となる回路構成を選んでください。

## 回路の最適化技術とトレードオフ

このインターフェース回路の中のパラメータはインタラクティブ（相互に作用する）です；従ってすべての主な仕様（帯域幅、帯域の平坦度、S/N 比、SFDR、ゲインなど）について回路を最適化する事はほとんど不可能です。しかし応答帯域幅でしばしば生ずるピーキングは  $R_A$  と  $R_{KB}$  を変更する事により最小限にする事ができます。

出力直列抵抗 ( $R_A$ ) の値を大きくすると通過帯域のピーキングは減少します。しかしこの抵抗値を大きくすると信号が減衰するので、アンプは ADC のフルスケール入力範囲を満足させるためにはより大きな信号を駆動しなければなりません。

$R_A$  の値は SNR 性能にも影響を及ぼします。 $R_A$  の値を大きくすると（通過帯域のピーキングが減少する一方）、ADC フルスケールを駆動するにはより大きな信号レベルが必要となるので SNR はわずかに増大する傾向になります。

ADC 入力の  $R_{KB}$  直列抵抗は ADC 内の内部サンプリング容量からの残留チャージ・インジェクションによって生じる歪を最小限にするように選ぶ必要があります。この抵抗を大きくするとピーキングが小さくなります。

しかし  $R_{KB}$  を大きくすると信号減衰が大きくなるので、アンプは ADC の入力範囲を満たすためにより大きな信号を駆動しなければなりません。

通過帯域の平坦度を最適化するもう 1 つの方法はフィルタのシャント容量 ( $C_{AAF2}$ ) をわずかに変更する事です。

ADC の入力終端抵抗 ( $R_{TADC}$ ) は通常の ADC 回路全体としての入力インピーダンスが  $200\ \Omega \sim 400\ \Omega$  になるように選択する必要があります。 $R_{TADC}$  を小さくすると ADC の入力容量の影響が小さくなり、フィルタ回路が安定になりますが回路の挿入損失が大きくなります。また、 $R_{TADC}$  の値を大きくするとピーキングが小さくなります。

これらのトレードオフのバランスを取ることは多少難しい面があります。この回路では各々のパラメータは同じを重みになっています。従って選択された値は全設計特性のインターフェース性能の代表値となります。別の回路設計ではシステムの要求に応じ、SFDR, SNR 又は入力駆動レベルを最適化するために異なる値が選ばれる可能性があります。

この回路の信号は、アンプとその終端抵抗と ADC 入力間のコモン・モード電圧を遮断するために  $0.1\ \mu\text{F}$  コンデンサで AC 結合されている事に注目してください。コモン・モード電圧に関する詳細については AD9434 のデータシートを参照してください。

## 受動部品と PC ボードの寄生容量に関する考察

この回路も含め、どのような高速回路の性能も適切な PCB レイアウトに大きく依存します。PCB レイアウトには電源バイパス、(必要に応じて) 伝送線路のインピーダンス・コントロール、部品配置、信号配線、電源とグラウンド・プレーンが含まれます(しかし限定はされません)。高速の ADC やアンプの PCB レイアウトに関する詳細は [Tutorial MT-031](#) と [Tutorial MT-101](#) を参照してください。

フィルタの受動部品には寄生容量の影響を減らすため表面実装型のコンデンサ、インダクタ、抵抗を使用する必要があります。インダクタはコイルクラフト社の 0603CS シリーズから選択しました。フィルタの表面実装型コンデンサは安定性と精度を考慮し 5%, COG, 0402 タイプを使用しました。

システムに関する資料については CN-0238 設計サポート・パッケージ([www.analog.com/CN0238-DesignSupport](http://www.analog.com/CN0238-DesignSupport))を参照してください。

## バリエーション回路

ドライバーにおいて、より狭い帯域幅、より高いスプリアス性能、より低消費電力を要求するアプリケーションには [ADA4927-1/ ADA4927-2](#) 又は [ADA4938-1/ ADA4938-2](#) を使用することができます。ADA4927-1 は帯域幅が 2.3 GHz で消費電流はわずか 20 mA です。又 ADA4938-1 は帯域幅が 1.0 GHz で消費電流は 37 mA です。

ADC において、より低い分解能のアプリケーションには AD9434 とピンコンパチブルの 8 ビット、500 MSPS の [AD9484](#) があります。AD9484 はアナログ入力周波数 250 MHz で SNR が 47dBFS です。

より低いサンプリングレートのアプリケーションには AD9434 とほぼ同じダイナミック性能でピンコンパチブル、12 ビット、170 MSPS/ 210 MSPS/ 250 MSPS の [AD9230](#) ADC があります。

デジタル・プリディストーション (DPD) 監視を必要とするアプリケーションには 12 ビット、500 MSPS の [AD6641](#) も検討できます。この製品はワンチップ 16k × 12 ビット FIFO を内蔵しています。

## 回路評価とテスト

この回路は修正された回路ボード [AD9434-500EBZ](#) と FPGA をベースにしたデータ取り込みボード [HSC-ADC-EVALCZ](#) を使用します。2つのボードには、速やかな回路性能の設定と評価を可能にする接続用高速コネクタがあります。このノートに記述されているように修正された [AD9434-500EBZ](#) ボードには評価対称の回路が含まれています。そして適切に ADC を制御しデータを取り込むために、データ・キャプチャ・ボード [HSC-ADC-EVALCZ](#) をビジュアル・アナログ評価ソフトウェアと SPI コントロール・ソフトウェアと共に使用します。[AD9434-500EBZ](#) ボードの回路、BOM、レイアウトについては [User Guide UG-290](#) を参照してください。CN-0238 デザイン・サポート・パッケージの中の "readme.txt" ファイル

([www.analog.com/CN0238-DesignSupport](http://www.analog.com/CN0238-DesignSupport)) に標準 [AD9434-500EBZ](#) ボードの修正について記述されています。アプリケーション・ノート AN-835 『[高速 A/D コンバータ \(ADC\) のテストと評価について](#)』にこの回路ノートに記述されているテストを動作させるハードウェアとソフトウェアのセットアップ方法についての完全な詳細が含まれています。

## さらに詳しくは

[CN-0238 Design Support Package](#):

ユーザー・ガイド [UG-290](#)

[Evaluating the AD9434 and AD948 Analog-to-Digital Converters.](#)

アプリケーション・ノート [AN-835](#)

[高速 A/D コンバータ \(ADC\) のテストと評価について](#)

[Analog Dialogue 39-09, September 2005.](#)

[Ardizzone, John. "A Practical Guide to High-Speed Printed-Circuit-Board Layout."](#)

[MT-031 Tutorial](#)

[Grounding Data Converters and Solving the Mystery of "AGND" and "DGND", Analog Devices.](#)

[MT-101 Tutorial](#)

[Decoupling Techniques, Analog Devices.](#)

Quite Universal Circuit Simulator, <http://qucs.sourceforge.net/>

Nuhertz Technologies, Filter Free Filter Design Program:<http://www.nuhertz.com/filter>.

Reeder, Rob, *Achieve CM Convergence between Amps and ADCs*, Electronic Design, July 2010.

Reeder, Rob, *Mine These High-Speed ADC Layout Nuggets For Design Gold*, Electronic Design, September 15, 2011.

RAQ (珍問/難問集) Issue 63

[高速コンバータのPCボード設計について その1: 電源プレーンとグラウンド・プレーン](#)

RAQ (珍問/難問集) Issue 66

[高速コンバータのPCボード設計について その2: 電源プレーンとグラウンド・プレーンを使用する利点](#)

RAQ (珍問/難問集) Issue 69

[高速コンバータのPCボード設計について その3: エクスポート・パッドの真相](#)

RAQ (珍問/難問集) Issue 78

[高速コンバータのPCボード設計について その4: プレーン・カップリング](#)

## データシートと評価ボード

[AD9434 データシート](#)

[ADA4960-1 データシート](#)

[回路評価ボード\(AD9434-500EBZ\)](#)

[標準データ・キャプチャ・プラットフォーム \(HSC-ADC-EVALCZ\)](#)

## 改訂履歴

12/11—Revision 0:初版

「Circuits from the Lab/実用回路集」はアナログ・デバイセズ社製品専用で作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab/実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab/実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab/実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2010–2011 Analog Devices, Inc. All rights reserved. 商標および登録商標は、それぞれの所有者の財産です。。