

AD5766/AD5767中的数字扰动生成

作者: Miguel Usach

简介

AD5766/AD5767是16通道、16位/16位denseDAC[®]数模转换器(DAC),采用+2.5 V外部基准电压源,经配置可产生最小电压-20 V到最大电压+14 V的多种输出电压范围,同时提供每通道最高20 mA的输出电流。

AD5766/AD5767集成了模拟扰动功能,可以找到最佳直流偏置点,并使调制器保持正交,适用于磷化铟Mach Zehnder

调制器(InP MZM),如应用笔记AN-1446——“AD5767中的扰动生成”所述。

当模拟扰动输入的模拟输入频率或幅度特性不满足给定调制器范围的应用要求时,DAC本身可生成数字扰动或任意波形。

本应用笔记的目的是讨论涉及输出信号的数字扰动。

图1显示了AD5766/AD5767的功能框图。

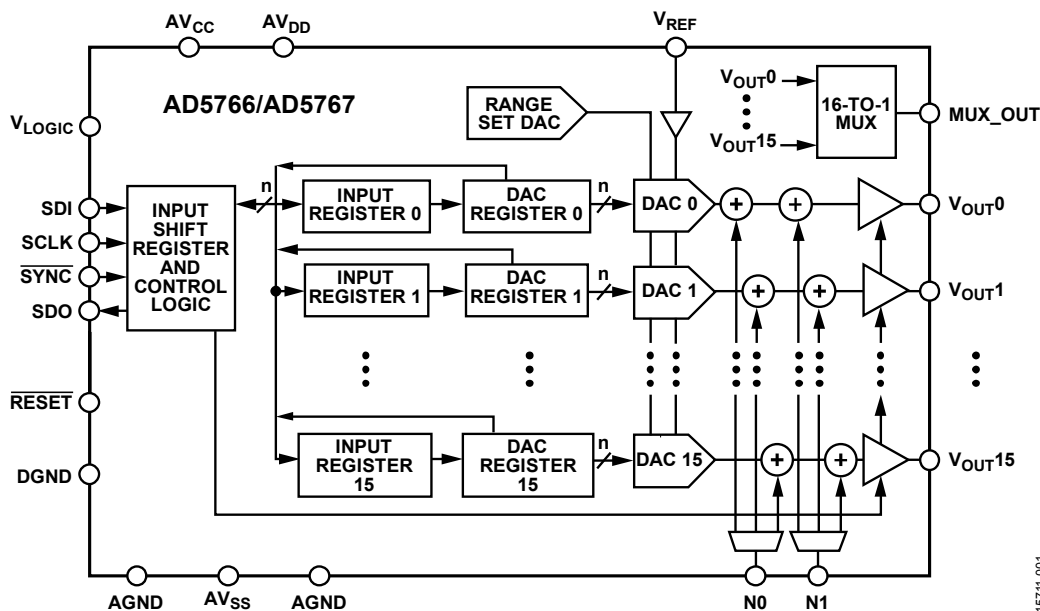


图1. AD5766/AD5767功能框图

目录

简介	1	如何最大限度提高更新速率	3
修订历史	2	实际例子	4
AD5767 中的扰动详情	3	DAC 输出效应	5
如何生成数字扰动	3		

修订历史

2018年2月—修订版0：初始版

AD5766/AD5767中的扰动详情

如何生成数字扰动

通过连续更新DAC寄存器，可以数字化地生成正弦波、方波、三角波或任意波形。为了保证从DAC所产生离散样本重构的信号具有更高的性能，必须了解一些基本原理。最大更新速率或每秒更新次数(UPS)必须以给定分辨率的输出的建立能力为限。

第一步是分析 V_{OUTX} 引脚更新涉及到的步骤。

1. 将一个新值写入输入寄存器，如图2所示。
2. 数字模块处理该命令并更新DAC寄存器，如图3所示。
3. V_{OUTX} 电压开始建立到写入寄存器的新数字码所定义的电压（见图4）。
4. 经过一段可变时间后（如图4所示），输出稳定在新数字码所定义的电压的一定容差范围内，通常在最终数字码的 ± 0.5 LSB范围。

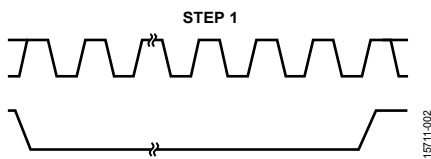


图2. V_{OUTX} 更新, 步骤1

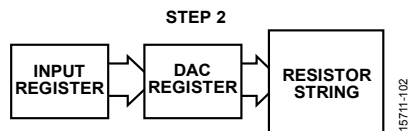


图3. V_{OUTX} 更新, 步骤2

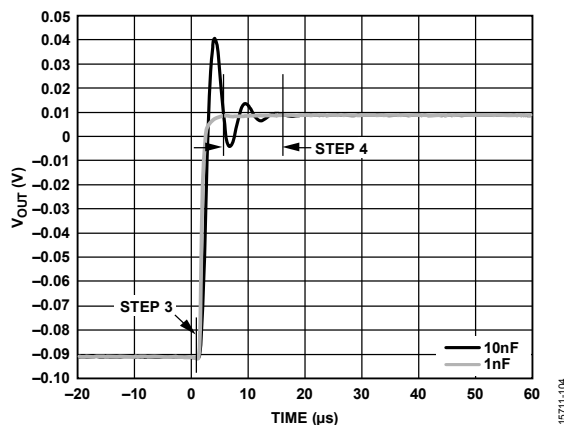


图4. V_{OUTX} 更新, 步骤3和步骤4

通常，导致DAC从步骤1前进到步骤4的时间越短，则生成的样本数或每秒更新次数越多。这有两重含义：首先，生成的输出越多，生成的输出信号就越平滑；其次，可以生成更高的频率。

如何最大限度提高更新速率

默认情况下，每秒可生成的最大更新次数受限于新数字码经历上述所有步骤所花费的时间。本节分析所有步骤及其对建立时间的影响。

步骤1取决于数字时钟，在最大时钟速率(50 MHz)下，其最短时间为 $20 \text{ ns} \times 24 \text{ 位} = 480 \text{ ns}$ ，不考虑其他时间限制，例如最小SYNC高电平时间。在此情况下，最大更新速率以 $5 \mu\text{s}$ 为限。

步骤2、步骤3和步骤4中所述的特定条件下的输出电压建立时间参见AD5766/AD5767数据手册的“技术规格”部分。在此情况下，数字码从 $1/4$ 量程跃迁到 $3/4$ 量程且容差范围为 0.5 LSB时，输出电压建立时间约为 $10 \mu\text{s}$ 。

总之，对于 0.5 LSB误差范围，在没有任何压缩方案的情况下，可以认为总更新时间约为 $10 \mu\text{s}$ 。

若应用一些压缩技术来优化和缩短更新时间，则可以改善上述更新时间。

第一种技术是基于并行化活动，即在 V_{OUTX} 电压仍在建立的同时（步骤4），传输新数字码（步骤1）。

这就是无损精密技术。

根据AD5767数据手册中的技术规格，建立时间条件（步骤2、步骤3和步骤4）指的是 5 V 阶跃。当DAC压摆率为 $1 \text{ V}/\mu\text{s}$ 时，DAC大约需要 $5 \mu\text{s}$ 来处理命令（步骤2），还需要大约 $5 \mu\text{s}$ 来使 V_{OUTX} 稳定（步骤3和步骤4）。

请注意， $5 \mu\text{s}$ 建立时间是针对 $1/2$ 量程跃迁。其他电压跃迁所需的时间可通过下式计算：

$$1 \mu\text{s} \times \Delta V_{OUTX} = \text{建立时间}$$

在此情况下， 5 V 设置的更新速率时间为 $10 \mu\text{s} - 480 \text{ ns} = 9.52 \mu\text{s}$ 。

图5显示了这种无损精密技术的原理，正弦波、锯齿波或三角波信号生成中常见的小阶跃变化建议使用这种技术。

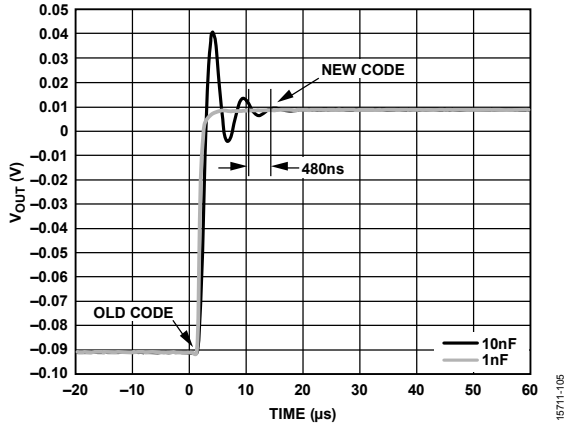


图5. 无损传输

另一种压缩技术更激进，导致 DAC 有效分辨率会有所损失。此方法是在处理前一个命令之前不久更新 DAC。在此情况下，更新速率可以高达 $5\ \mu\text{s} - 480\ \text{ns}$ ，这是数字处理命令时间，如图 6 所示。这种方法建议用于较大阶跃情况，如方波生成。

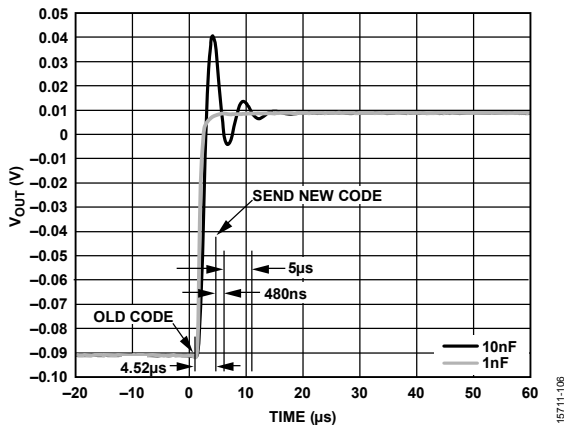


图6. 更激进的更新技术

然而，这种技术有三个缺点：输出建立不完全；必须考虑放大器的增益带宽(GBW)；数模转换毛刺和数字馈通效应不可忽略。

实际例子

要生成数字信号，必须考虑若干因素，例如输出频率、更新速率和通道数。

要在单个通道中生成 1 kHz 正弦波信号，假设每周期 10 个样本，则更新速率为 10,000 UPS。输出信号如图 7 所示。

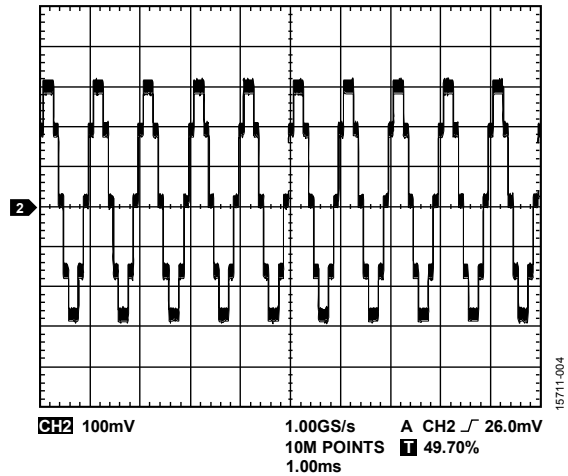


图7. 利用AD5766/AD5767生成1 kHz正弦波，更新速率为10,000 UPS

要生成 20 kHz 正弦波信号，假设每周期 9 个样本，则更新速率为 180,000 UPS。输出信号如图 8 所示。

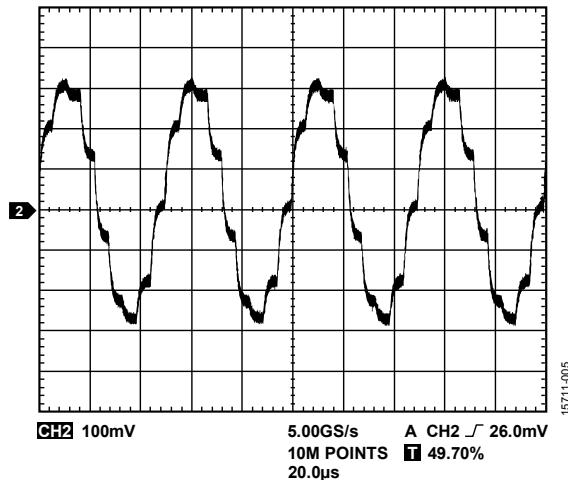


图8. 利用AD5766/AD5767生成20 kHz正弦波，更新速率为180,000 UPS

要生成10 kHz正弦波信号，假设每周期7个样本且有4个通道，则更新速率为 $1 \times 25 \times 4 = 100,000$ UPS。输出信号如图9所示。

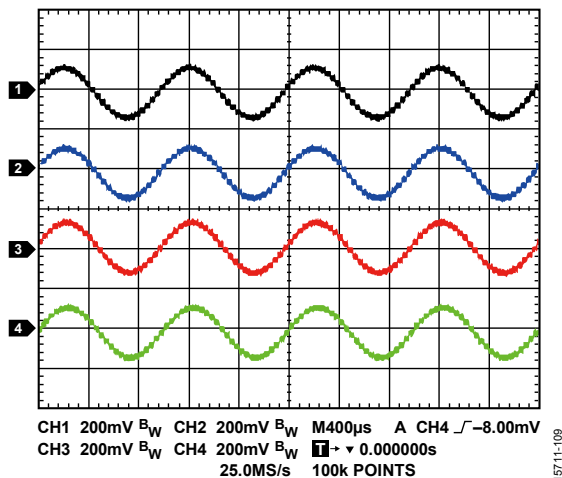


图9. 利用AD5766/AD5767生成1 kHz正弦波，4通道，更新速率为100,000 UPS

为了比较频率和每周期样本（本例为5个）的性能，请参见图10。

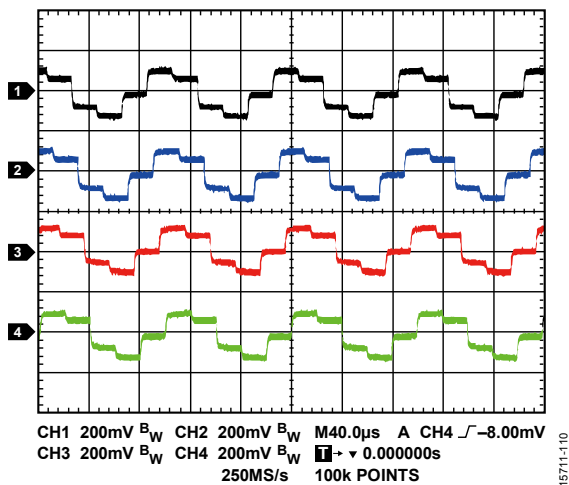


图10. 利用AD5766/AD5767生成10 kHz正弦波，4通道，更新速率为200,000 UPS

请注意，图9和图10中不同通道的相位并未匹配；因此，所有正弦波都是用相位0生成的。随着通道顺序更新，可观察到相位延迟。

DAC输出效应

生成数字信号时，邻道中可观察到串扰，尤其是在更新速率频率下，其通常是较高的信号音，如图11所示。

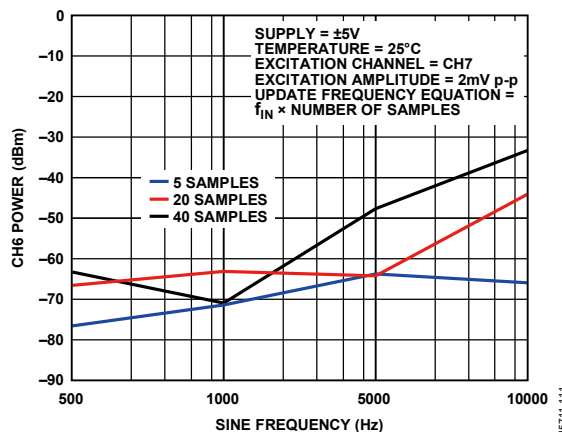


图11. 邻道中的模拟串扰