

## ADuCM3027/ADuCM3029集成ADC的性能优化

### 简介

许多应用（如生命体征信号监测、温度监测、成像等）需要高分辨率、高动态范围模数转换器(ADC)，此类器件很昂贵且功耗高。

本应用笔记讨论过采样和求均值技术的优势，可将其应用于ADuCM3027/ADuCM3029系统集成的12位ADC所采集的样本。这种技术可减少处理器开销，从而降低任何具体应用的能耗。

### 关于ADuCM3027/ADuCM3029

ADuCM3027/ADuCM3029处理器是超低功耗集成式混合信号微控制器系统，可用于处理、控制和连接。该微控制器单元(MCU)子系统基于ARM® Cortex™-M3处理器，由数字外设、缓存嵌入式SRAM和闪存、模拟子系统（提供时钟、复位和电源管理功能）以及ADC组成。

ADuCM3027/ADuCM3029处理器提供了很多功耗模式和特性，如动态和软件控制的时钟门控和电源门控，以支持超低动态和休眠功耗管理。

有关ADuCM3027/ADuCM3029的完整规格，请参见器件数据手册。

### ADC优化

ADuCM3027/ADuCM3029微控制器集成了快速、多通道、12位ADC，其工作速率最高可达1.8 MSPS。可设置ADC控制器执行一系列转换，并利用专用直接存储器控制(DMA)通道将数据传输给系统。此设置允许处理器处于Flexi™（灵活）模式（器件整体功耗最低）并执行其他任务。

在过采样和求均值、基准电压选择、采样时钟选择和功耗方面，可以改善ADC的性能。

## 目录

简介.....	1	采样时钟选择.....	5
关于 ADuCM3027/ADuCM3029 .....	1	功耗优化 .....	6
ADC 优化 .....	1	基准电压缓冲器的低功耗模式 .....	6
修订历史 .....	2	灵活模式 .....	6
过采样与求均值.....	3	高功率降压器.....	6
过采样概念.....	3	过采样和求均值技术的实现 .....	7
基准电压选择 .....	4	过采样编程流程 .....	7
内部基准电压 .....	4	应用示例概述.....	10
内部基准电压缓冲器的快速放电 .....	4	结果 .....	11
外部基准电压 .....	4	参考文献 .....	12
PCB 建议.....	4		

## 修订历史

2017年7月—修订版0：初始版

## 过采样与求均值

为在应用中高效使用集成的12位ADC，过采样技术是最佳且性价比最高的解决方案之一。

ADuCM3027/ADuCM3029微控制器中的ADC子系统有一个选项可在硬件控制器中实现过采样和求均值技术，而无需在MCU中运行专用软件。因此，ADC子系统可减少处理器开销，降低算法计算的能耗。下面探讨如何利用过采样和求均值技术改善ADC性能。

### 过采样概念

过采样是一种利用高于奈奎斯特频率 $f_s/2$ 的频率对输入信号进行采样的方法，其中 $f_s$ 为采样频率。

输入信号以 $M \times f_s$ 的速率进行采样，然后对 $M$ 个样本求均值以获得一个样本。系数 $M$ 称为“过采样系数”。

考虑一个理想 $N$ 位ADC，其量化噪声均匀分布在DC到 $f_s/2$ 的奈奎斯特频段内，如图1的A部分所示。如果此ADC以高得多的采样速率( $Mf_s$ )对输入信号进行采样，如图1的B部分所示，那么噪声会分布在从DC到 $Mf_s/2$ 的宽带宽内。这样，对每 $M$ 个样本求均值相当于数字滤波，可消除大量宽带噪声，而不会影响输入信号带宽。此方法可提高信噪比(SNR) (单位为dB)，如下式所示：

$$SNR = 6.02N + 1.76 + 10\log_{10}M \quad (1)$$

其中， $N$ 为理想ADC的有效位数(ENOB)。

因此，利用低分辨率ADC可以实现高分辨率模数转换。

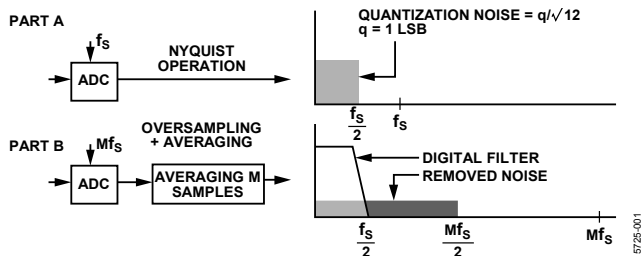


图1. 过采样和求均值在频域中的影响

此技术会滤除信号带宽外的噪声，将动态范围提高 $10\log_{10}M$ ，将ENOB提高 $\sqrt{\sqrt{M}}$ （假设过采样系数为 $M$ ）。

一般而言，采样频率每提高一倍，SNR将提高3 dB，ENOB提高0.5位。

例如在理想情况下，对4个12位ADC样本求均值时，ENOB提高1位，动态范围提高6 dB。

ADC一般具有量化噪声、热噪声、非线性引起的失真，以及时钟和基准源等各种因素造成的外部噪声。受这些噪声影响，实际性能指标与理论值会有偏差。考虑一个12位ADC，其具有10.5位无噪声分辨率，采样速率为50 kSPS。若对输入信号的两个相邻样本求均值，则有效采样频率降至25 kSPS，无噪声分辨率提高至11位。若进一步对四个相邻样本求均值，则有效采样速率降至12.5 kSPS，无噪声分辨率提高至12.5位。

对相邻样本求均值仅会降低信号中存在的无关噪声，这会降低ADC的噪底，改善SNR。然而，积分非线性保持不变。因此，可以利用该技术来有效提高ADC的动态范围，代价是整体输出采样速率降低并且需要额外的数字硬件。

如果ADC仅有量化噪声，则求均值不会改善性能。这种情况下，在输入端引入少量白噪声（称为扰动）有助于通过求均值实现更高的分辨率。引入的噪声必须与输入信号无关，且必须有足够的幅度，可随机变换转换器输出。这种扰动输入的转换样本直方图遵循高斯分布。对这些样本求均值相当于进行低通滤波，可滤除噪声并提高SNR。

即使在输入端引入足够的噪声，并且对过采样值求均值，无噪声分辨率也可能与理论值有偏差。这种局限性是由转换器的总谐波失真(THD)造成的。

## 基准电压选择

选择适当的基准电压对ADC性能而言非常重要。

ADuCM3027/ADuCM3029处理器集成了一个基准电压缓冲器，其能利用集成的带隙基准源产生1.25 V或2.5 V基准电压。也可以选择电池电压(VBAT)或外部电压作为基准电压。这些设置是互斥的。如果内部缓冲器和VBAT均被选为基准源，则会禁用内部基准电压缓冲器，而将VBAT选为基准电压。

### 内部基准电压

根据电源监控状态寄存器 (PMG\_PSM\_STAT, 如图2所示) 指示的电池范围, 可以选择2.5 V或1.25 V作为基准电压。详情请参阅[集成电源管理的ADuCM302x超低功耗ARM Cortex-M3 MCU硬件参考](#)。

如果电池电压高于2.75 V, 请选择2.5 V作为基准电压。  
如果电池电压低于2.75 V, 请选择1.25 V作为基准电压。

### 内部基准电压缓冲器的快速放电

ADuCM3027/ADuCM3029 MCU允许从较高基准电压快速切换到较低基准电压。这种切换是通过使能ADC配置寄存器中的快速放电位来实现的(设置寄存器ADC\_CFG的位FAST\_DISCH为1)。

对于以下情况可使能快速放电:

- 从2.5 V切换到1.25 V。
- 从VBAT切换到1.25 V。
- 从VBAT切换到2.5 V (若VBAT > 2.5 V)。

例如, 在室温下从2.5 V切换到1.25 V时, 切换时间减少2% (从45 ms减少到0.9 ms)。

### 外部基准电压

为选择外部基准电压, 应将ADC配置寄存器的内部基准电压使能位(寄存器ADC\_CFG的位REFBUFEN)设为0以禁用内部基准电压缓冲器。外部基准电压不能高于电池电压。外部基准电压源必须连接到VREF\_ADC引脚; 当使用内部缓冲器时, 外部基准电压源必须浮空。禁用内部基准电压缓冲器可将ADC子系统的功耗降低大约200  $\mu$ A。

### PCB建议

建议利用并联的4.7  $\mu$ F和0.1  $\mu$ F电容将VREF\_ADC引脚去耦, 这些电容非常靠近GND\_VREFADC引脚, 后者必须再连接到ADuCM3027/ADuCM3029上的其他GND引脚(GND\_DIG、GND\_ANA和裸露焊盘)。为使这些去耦元件实现最佳性能, 必须使其尽可能靠近器件, 最好是紧贴器件。

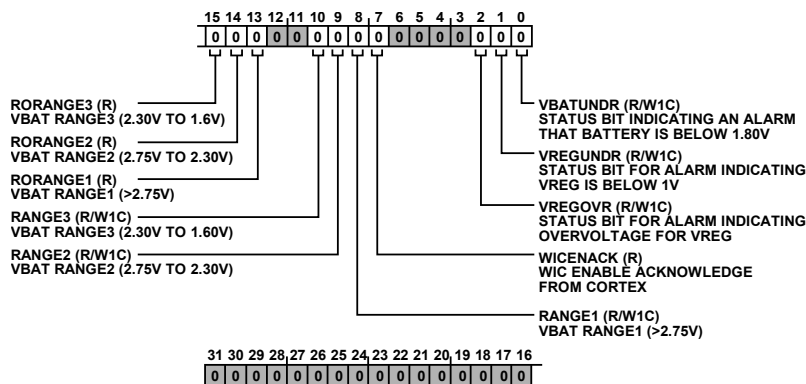


图2. PMG\_PSM\_STAT寄存器

## 采样时钟选择

采样时钟的抖动特性决定ADC性能。根据应用选择最佳采样时钟非常重要。抖动是指时钟边沿位置的变化，会引起采样时间误差。采样边沿的这种不确定性导致样本间隔不均匀，会降低转换器噪声性能。

时钟抖动可通过观测转换器噪声性能的下降程度来估计。抖动引起的SNR边界值可通过以下等式计算：

$$SNR = -20\log(2\pi f_{IN} t_{JITTER(RMS)}) \text{ dB} \quad (2)$$

其中：

$f_{IN}$ 为输入频率。

$t_{JITTER(RMS)}$ 为采样时钟的均方根抖动。

对于采样速率为154 kSPS的理想12位ADC，若输入频率为70 kHz，则时钟抖动要求约为412 ps，而输入频率为300 Hz时，抖动要求约为105 ns。

观察时钟抖动的传统方式是采用光谱方法看时钟抖动，如图3所示。在此图中，由于采样时钟存在抖动，理想脉冲响应扩散开来，引起频谱泄漏。大量能量分布于理想频率附近（这称为近载波噪声），还有很多能量包含在宽带宽之中（称为宽带噪声）。近载波相位噪声会“污损”多个频率仓中的基波信号，从而降低整体频谱分辨率。

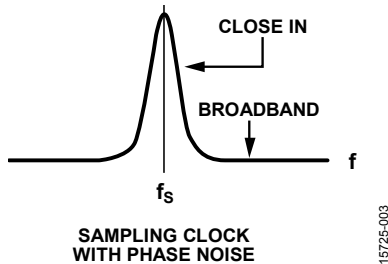


图3. 频域中带抖动的采样时钟

采样过程是采样时钟与模拟输入信号的乘法。这种时域中的乘法相当于频域中的卷积。因此，当采样时钟频谱与纯正弦波输入信号频谱卷积时，所得频谱也会包含采样时钟的频谱泄漏。由于此泄漏，转换器的噪声性能会下降。

图4和图5显示了时钟抖动对ADC样本频谱的影响。ADC使用过采样模式以获得16位样本，157 Hz的输入信号以604 SPS速率进行采样。当利用一个周期1秒、抖动约为4 ns的自由运行振荡器对输入频率进行采样时，采样信号的SNR会下降，如图4所示。对于同样的设置，如果利用抖动小很多（约200 ps）的时钟源对输入信号进行采样，则不会观察到上一种情况中的频谱性能下降（如图5所示）。

更多信息请参阅[AN-756应用笔记——采样系统以及时钟相位噪声和抖动的影响](#)。

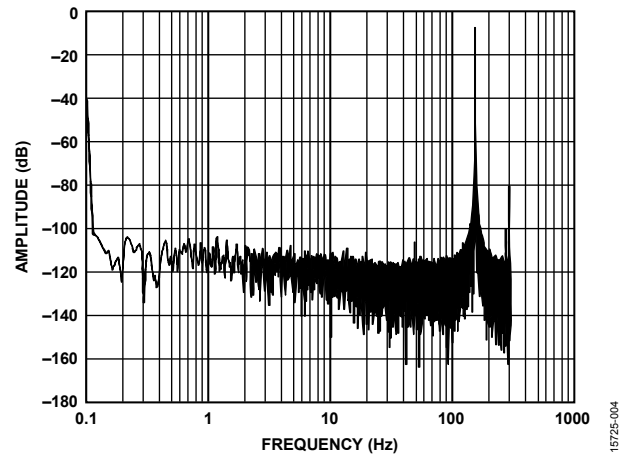


图4. 频域中ADC时钟抖动对ADC样本的影响，抖动约为4 ns

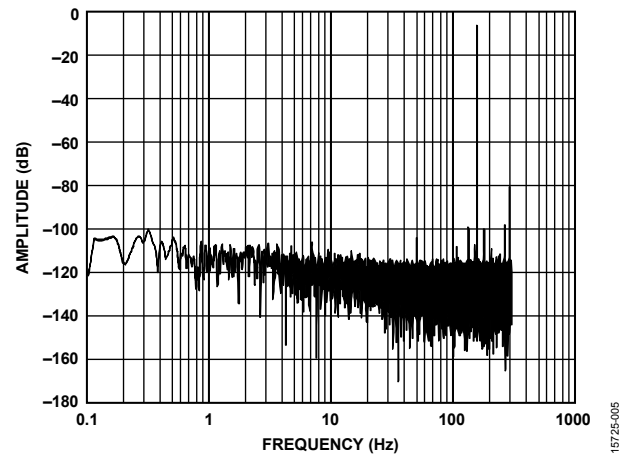


图5. 频域中ADC时钟抖动对ADC样本的影响，抖动约为200 ps

## 功耗优化

另一个可以优化超低功耗MCU中的ADC性能的因素是功耗。下面说明ADuCM3027/ADuCM3029微控制器提供的用来降低系统整体功耗的各种特性。

### 基准电压缓冲器的低功耗模式

基准电压缓冲器提供了一种降低缓冲器功耗（相较于普通工作模式）的功能。这种低功耗工作模式可通过将基准电压缓冲器低功耗模式寄存器ADC\_CFG1的RBUFLP位设为1来使能。

### 灵活模式

当ADC转换多个样本时，可以使能DMA以将ADC输出缓冲器的样本传输到存储器。在此期间，可以将ARM Cortex-M3内核置于灵活模式，或将其用于执行其他功能，以降低整体功耗。在灵活模式下，内核睡眠，其余外设和DMA仍有时钟信号。因此，DMA传输可在外设和存储器之间继续进行，以及从一个存储器位置传输到另一个存储器位置。

### 高功率降压器

高功率降压器是一个容性降压转换器，可根据VBAT电平降低器件的整体功耗。电池电压高于2.8 V时，器件功耗降低大约50%。

# 过采样和求均值技术的实现

## 过采样编程流程

下面说明求单一通道上多个转换结果的均值的步骤。

1. 设置时钟控制寄存器中的ADC时钟分频器（寄存器CLKG\_CLK\_CTL1的ACLKDIVCNT位）以定义ADC时钟ACLK：

$$ACLK = \frac{\text{根时钟}}{ACLKDIV} \quad (3)$$

其中，根时钟为根时钟频率(26 MHz)，可由HFOSC、HFXTAL、PLL或外部通用输入/输出(GPIO)时钟源提供。默认情况下，根时钟为HFOSC。

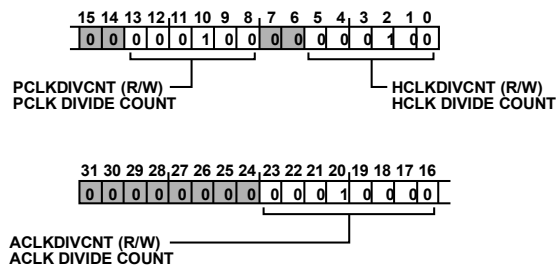


图6. CLKG\_CLK\_CTL1 寄存器

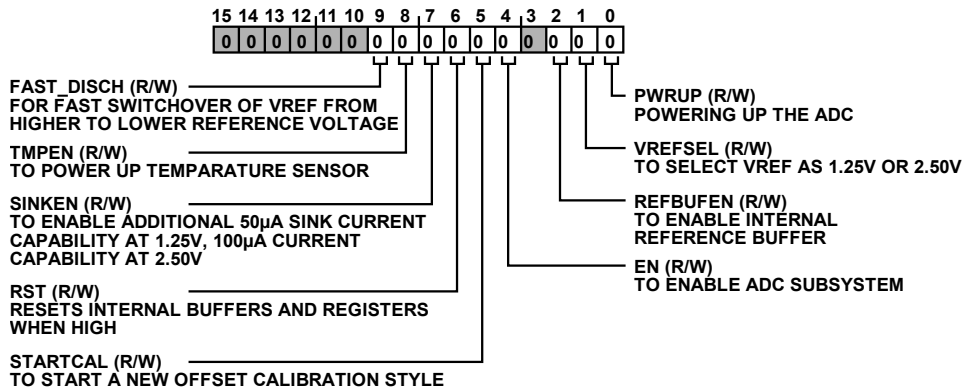


图7. ADC配置寄存器图

ADC采样速率是在内部根据ACLK计算,其中采集阶段为寄存器ADC\_CNVTIME的位SAMPTIME + 1 ACLK周期,转换阶段为逐次逼近需要的13 ACLK周期。转换阶段在采集阶段结束时开始。采样速率计算如下:

$$ADC\text{采样速率} = \frac{\text{根时钟 } ACLKDIV}{((14 + \text{采样时间}) \times \text{过采样系数})} \quad (4)$$

过采样系数决定要过采样和求均值的样本数。其值范围从1到256。

如果给定了ADC样本之间的延迟时间,则必须按照下式计算采样速率:

$$ADC\text{采样速率} = \frac{\text{根时钟} \div ACLKDIV}{((14 + \text{采样时间}) \times \text{过采样系数}) + (\text{延迟时间} + 2)} \quad (5)$$

注意,“延迟时间”不能取小于1的值。

2. 将ADC配置寄存器的ADC上电位(寄存器ADC\_CFG的PWRUP位)设为1,以使ADC上电(参见图7)。

- 将ADC上电时间寄存器的等待位（寄存器ADC\_PWRUP的WAIT位）设置为526除以寄存器CLKG\_CLK\_CTL1的PCLKDIVCNT位。

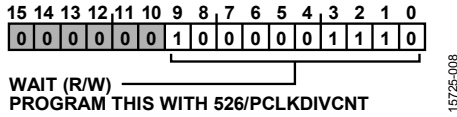


图8. ADC\_PWRUP寄存器

上电等待时间是ADC正常工作所需要的。如果寄存器CLKG\_CLK\_CTL1的位PCLKDIVCNT为1，则ADC需要的上电等待时间最大值为526时钟周期。

- 利用寄存器ADC\_CFG的VREFSEL位将内部1.25 V或2.5 V基准电压缓冲器选择为基准电压。
- 设置寄存器ADC\_CFG的REFBUFEN位以使能内部基准电压缓冲器。
- 设置寄存器ADC\_CFG1的RBUFLP位以使能基准电压缓冲器的低功耗模式。

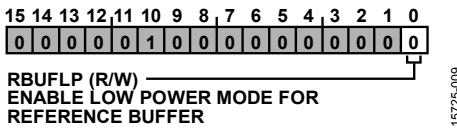


图9. ADC\_CFG1寄存器图

- 设置寄存器ADC\_CFG的EN位以使能ADC子系统。
- 等待3.5 ms。内部基准电压缓冲器需要一定的等待时间以达到设定的缓冲器基准电压（1.25 V或2.5 V）。可利用一个通用(GP)定时器以等待3.5 ms。在等待期间，可将器件置于灵活模式以节省系统功耗，并且可以通过GP定时器中断将其唤醒。
- 检查ADC状态寄存器的ADC准备开始转换位（寄存器ADC\_STAT的RDY位）的状态。若其为1，则ADC已准备好开始转换。
- 写入1以将寄存器ADC\_STAT的RDY位清零（参见图10）。
- 设置寄存器ADC\_CFG的STARTCAL位以启动校准周期。
- 检查寄存器ADC\_STAT的CALDONE位。若其已置位，请写入1以将该位清零。
- 设置ADC转换配置寄存器ADC\_CNV\_CFG的SEL位（如图11所示）以选择转换通道。例如，向这些位写入1将选择通道0。

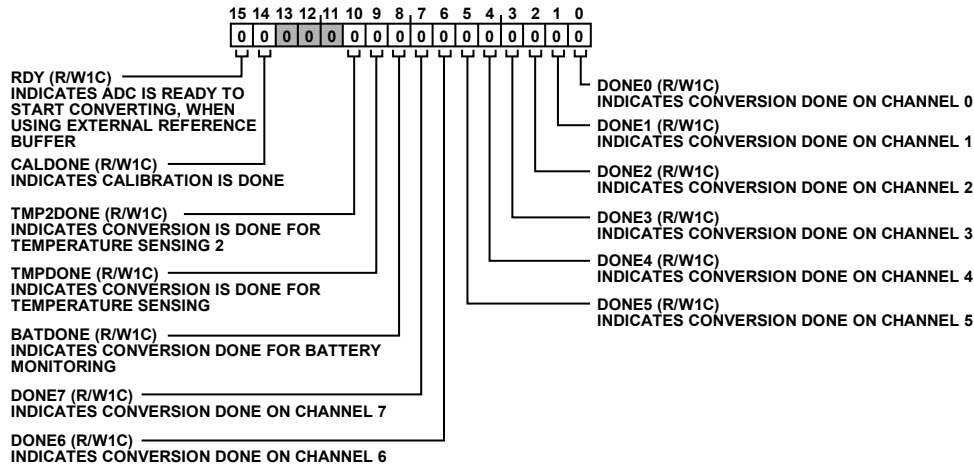


图10. ADC\_STAT寄存器图

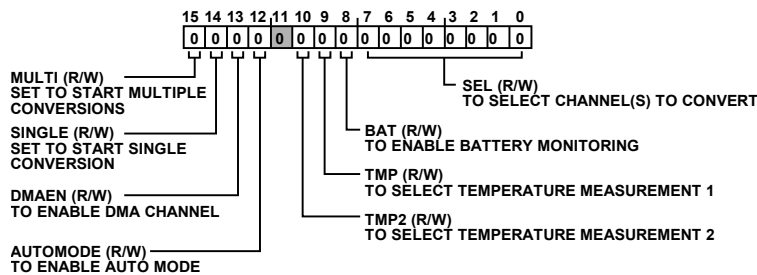


图11. ADC\_CNV\_CFG寄存器图



14. 将ADC中断使能寄存器ADC\_IRQ\_EN的CNVDONE位设为1以使能转换完成时产生中断的功能（参见图12）。
15. 将ADC均值配置寄存器ADC\_AVG\_CFG的OS和EN位设为1以使能过采样和求均值（参见图13）。
16. 在ADC均值配置寄存器ADC\_AVG\_CFG的FACTOR位段中设置过采样和求均值系数(M)。不同分辨率要求对应的系数设置参见表1。

表1. 增强分辨率的过采样和求均值系数

分辨率要求	过采样和求均值系数(M)	用于求均值的样本数
13位	0x02	4
14位	0x08	16
15位	0x20	64
16位	0x80	256

17. 将寄存器ADC\_CNV\_CFG的SINGLE位设为1以启动单次转换。
18. 如果ADC\_IRQ\_EN寄存器的CNVDONE位置1，就会产生转换完成中断。当产生转换完成中断时，检查相应通道的ADC\_STAT寄存器的转换完成位（例如寄存器ADC\_STAT的DONE0位）。

19. 从相应通道的转换结果寄存器中读取转换输出（例如ADC\_CH0\_OUT）。
20. 写入1以将ADC\_STAT寄存器的转换完成位清零（例如将DONE0位设为1）。
21. 要获得多个过采样和求均值样本，请重复步骤1至步骤15。
22. 设置如下DMA配置：
  - DMA数 = 9对应10次转换（DMA数 = 转换次数 - 1）。
  - 源地址 = ADC\_DMA\_OUT寄存器地址。
  - 源大小 = 半字。
  - 将DMA目标地址设为SRAM存储器位置地址以存储转换结果。
  - 在目标地址中设置所需的增量。
23. 将ADC转换配置寄存器ADC\_CNV\_CFG的DMAEN位设为1以使能DMA。
24. 将ADC转换配置寄存器ADC\_CNV\_CFG的MULTI位设为1以启动转换。
25. 当产生DMA\_DONE中断时，在中断服务例程中将MULTI位清零以禁用更多转换。

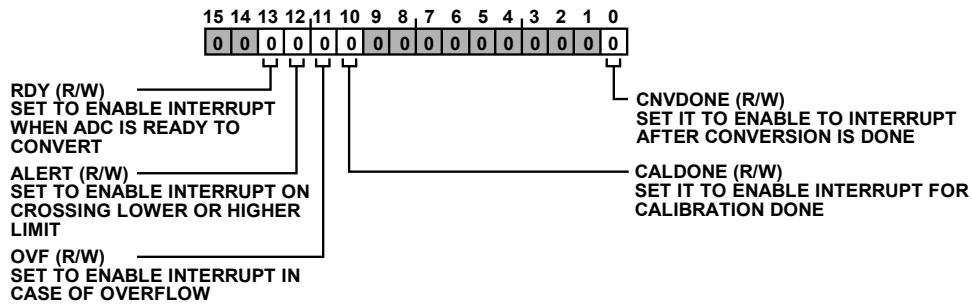


图12. ADC\_IRQ\_EN寄存器图

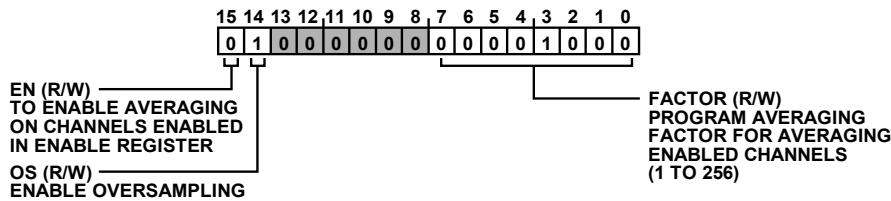


图13. ADC\_AVG\_CFG寄存器图

## 应用示例概述

本部分介绍一个在功耗优化模式下执行ADC过采样和求均值的应用序列。

本例中，ADC使能过采样和求均值模式。过采样系数(M)设为256以获得16位样本。DMA配置为捕捉并在SRAM位置存储1024个16位样本。样本随后经由通用异步接收器/发送器(UART)接口获得。在ADC转换和DMA传输期间，内核处于灵活模式。

多次转换模式下的过采样应用流程如图14所示。

图15所示为应用序列。

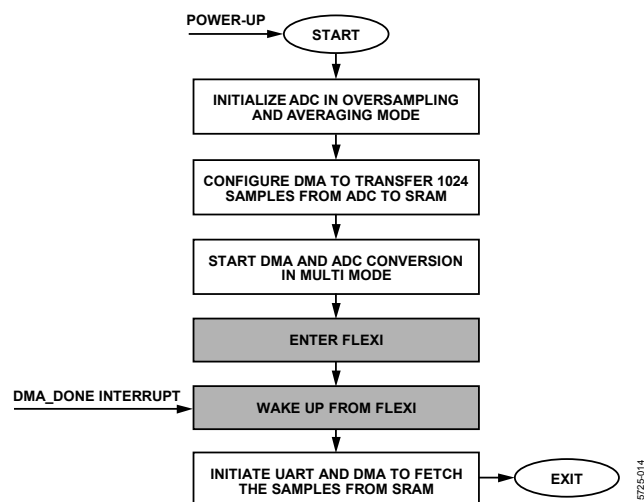


图14. 多次转换模式下过采样应用流程

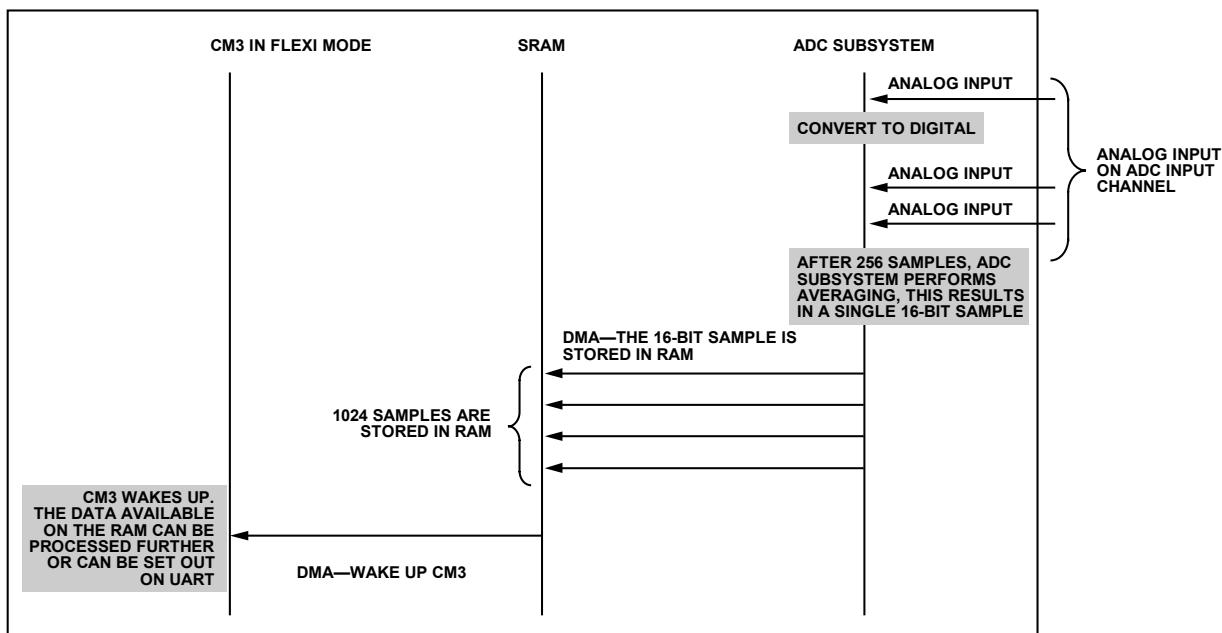


图15. 应用序列

## 结果

说明ENOB与过采样和求均值系数的关系的ADC性能测量结果如图16所示。ENOB基于信纳比(SINAD)计算，如等式1所示。SINAD是将频率为157 Hz的正弦波信号从信号发生器输入ADC通道0而获得。

对于每个过采样系数(M)，调整ADC时钟频率使吞吐速率始终为604 SPS。

由于ADC非理想器件，所以计算ADC真实性能指标时需考虑SINAD。

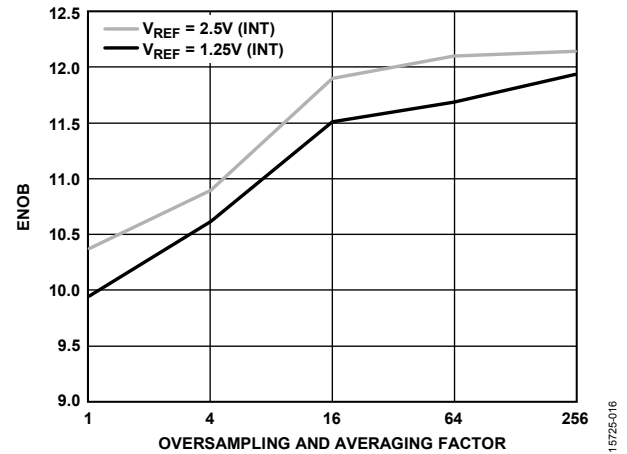


图16. ENOB与过采样和均值系数的关系

1.5725-016

## 参考文献

AN-756应用笔记, *采样系统以及时钟相位噪声和抖动的影响*。ADI公司, 2004年。

Kester, Walt。“ADC输入噪声面面观。噪声是利还是弊?”  
《模拟对话》第40卷, 2006年2月。

Kester, Walt。*数据转换手册*。ADI公司, 2005年。

Reeder, Rob, Wayne Green和Robert Shillito。“模数转换器时钟优化: 测试工程观点”。《模拟对话》第42卷, 2008年2月。