

ADM1278设计指南

作者: Paul O'Sullivan

简介

以下设计指南旨在配合ADM1278基于Microsoft® Excel®的设计工具(ADM1278热插拔设计器)使用。本应用笔记中的标题与设计工具中的编号标题相对应。

系统规格

输入系统规格。例如, 关键规格如下:

- $V_{IN} = 12\text{ V} \pm 5\%$ (电源电压)
- $I_{CB} = 70\text{ A}$ (断路器跳变电流)
- $C_{LOAD} = 3000\text{ }\mu\text{F}$ (总负载电容)
- $T_{A_MAX} = 60^\circ\text{C}$ (环境温度)

UV引脚阈值

带1 V基准电压的内部比较器检测UV引脚下降阈值。

$$UV_{FALLING} = \frac{RUV1 + RUV2}{RUV2} \times 1\text{ V}$$

其中:

$RUV1$ 是从 V_{IN} 到地的电阻分压器串中位于UV引脚分压器上的顶端电阻。

$RUV2$ 是从 V_{IN} 到地的电阻分压器串中位于UV引脚分压器上的底部电阻。

UV引脚迟滞为60 mV, 因此上升阈值还可计算如下:

$$UV_{RISING} = UV_{FALLING} + (UV_{FALLING} \times 60\text{ mV})$$

如有需要, 还可在UV引脚上加一个去耦电容。该电容可延长UV引脚的毛刺滤波器时间。

OV引脚阈值

带1 V基准电压的内部比较器检测OV引脚上升阈值。

$$OV_{RISING} = \frac{ROV1 + ROV2}{ROV2} \times 1\text{ V}$$

其中:

$ROV1$ 是从 V_{IN} 到地的电阻分压器串中位于OV引脚分压器上的顶端电阻。

$ROV2$ 是从 V_{IN} 到地的电阻分压器串中位于OV引脚分压器上的底部电阻。

OV引脚迟滞为60 mV, 因此下降阈值还可计算如下:

$$OV_{FALLING} = OV_{RISING} - (OV_{RISING} \times 60\text{ mV})$$

如有需要, 可在OV引脚上加一个去耦电容。该电容可延长OV引脚的毛刺滤波器时间。

限流设置

通过ISET引脚可在5 mV至25 mV范围内编程设置检测电压(V_{SENSE})。15 mV至25 mV范围为针对最优精度的建议范围。

例如, 若要将调节限流值(I_{REG})配置为73 A, 则检测电阻(R_{SENSE})计算如下:

$$R_{SENSE} = \frac{V_{SENSE}}{I_{REG}} = \frac{0.020\text{ V}}{73\text{ A}} \approx 0.273\text{ m}\Omega$$

此 R_{SENSE} 数值并非常用电阻所能提供, 因此考虑使用最为接近的0.25 m Ω (例如两个0.5 m Ω 电阻并联)。

$$V_{SENSE} = R_{SENSE} \times I_{REG} = 0.25\text{ m}\Omega \times 73 \approx 18.25\text{ mV}$$

$$V_{ISET} = V_{SENSE} \times 50 = 18.25\text{ mV} \times 50 = 0.912\text{ V}$$

由于VCAP引脚具有限定的负载电流规格, 顶端ISET电阻(RISET1)保持在相对较大的数值(比如10 k Ω 至100 k Ω)。随后, 可调节底部电阻(RISET2), 以便提供所需的检测电压限值。

ISET引脚可直接连接VCAP引脚, 以便配置20 mV默认限流值。输入20 mV目标 V_{SENSE} 值, 配置默认限流值。

可并联选择最多四个检测电阻。一般原则是允许电阻之间具有10%不平衡。此外, 必须对电阻进行充分的散热减额。例如, 额定值为2 W的电阻功耗不可高于1 W左右。推荐使用TT Electronics ULR3系列电阻或同等产品。ULR3电阻是一款3 W、2512尺寸电阻。使用ULR3电阻时, 有关建议检测电阻的尺寸, 请参见EVAL-ADM1278EBZ用户指南。

使用多个检测电阻时, 要求采用均值电阻。建议在每个检测电阻端使用10 Ω 均值电阻。

完成检测电阻值和ISET电阻值配置后, 工具显示最小、最大和标称断路器限流值和调节限流值。

选择FET

一般而言，对于LPAK封装尺寸的典型功率金属氧化物半导体场效应晶体管(MOSFET)而言，每个场效应晶体管(FET)最大电流不可超过大约25 A至30 A。该准则决定了所需的FET数量。

要选择合适的MOSFET，首先需考虑漏极至源极导通电阻(R_{DSON})规格。 R_{DSON} 值决定MOSFET在正常工作中全面增强性能时的功率损耗。

ADM1278提供高压栅极驱动，产生最小10 V的栅极至源极电压(V_{GS})，可实现最低的 R_{DSON} 额定值。栅极驱动电路设计在实现上述栅极驱动特性的同时，仍能确保不违背20 V最大 V_{GS} 规格要求。

正常工作时，MOSFET中的温度上升与MOSFET的 R_{DSON} 直接成比例。此温度上升会影响保持MOSFET在安全工作区(SOA)内所要求的减额因数。当MOSFET的温度提高时，其功率额定值会降低，这称为减额。此外，MOSFET在高温下工作可能会降低其可靠性。

首先估算所需的 R_{DSON} 。检查在设计工具第4部分(限流设置)中计算的最大直流值。假定这些计算得到的最大直流电流为75 A。然后使用第1部分(系统规格)规定的最大环境温度，估算MOSFET的功率损耗。首先作如下假设：

- MOSFET结至环境热阻(R_{THJA}) = 40°C/W(不可超过此额定值)
- T_{JMAX} = 120°C(这是MOSFET结温的首选最大值，应保持在任何硅器件的限值以下)

首先，计算结温的上升：

$$T_{RISE} = T_{JMAX} - T_{AMAX} = 120^{\circ}\text{C} - 60^{\circ}\text{C} = 60^{\circ}\text{C}$$

然后，计算单个FET的功率：

$$P_{MOSFET} = \frac{T_{RISE}}{R_{THJA}} = \frac{60^{\circ}\text{C}}{40^{\circ}\text{C}/\text{W}} = 1.5 \text{ W}$$

然后，计算总导通电阻 R_{DSON} ：

$$R_{DSON} = \frac{P_{MOSFET}}{I_{MAXDC}^2} = \frac{1.5 \text{ W}}{(75 \text{ A})^2} = 0.266 \text{ m}\Omega$$

此 R_{DSON} 值对于单个FET而言太小，因此计算三个FET并联条件下的该值：

$$R_{DSON} = \frac{P_{MOSFET}}{(I_{MAXDC}/3)^2} = \frac{1.5 \text{ W}}{25^2} = 2.4 \text{ m}\Omega$$

降低此 R_{DSON} 值10%，以便为布局不对称而导致的不平衡留有裕量，并为减额预留1.4因数：

$$R_{DSON} = \frac{2.4 \text{ m}\Omega \times 0.9}{1.4} = 1.5 \text{ m}\Omega$$

将该 R_{DSON} 值作为目标 R_{DSON} ，搜索合适的FET。查找范围可以缩小为具有以下特性的FET：

- $V_{DS} = 25 \text{ V}$ 至30 V(允许20 V，但不推荐)
- $V_{GS} = 20 \text{ V}$
- $R_{DSON} \leq 1.4 \text{ m}\Omega$
- $T_{JMAX} = 175^{\circ}\text{C}$ (允许150°C，但175°C可具有更低的温度减额系数。这是MOSFET硅器件的限值。最大结温依然以120°C为目标值，避免热失控)

选择适当的MOSFET后，量化所需的 R_{DSON} 温度减额值。下图为MOSFET数据手册中 R_{DSON} 与 T_J 的典型关系图。归一化 R_{DSON} 与 T_J 的关系示例如图1所示。

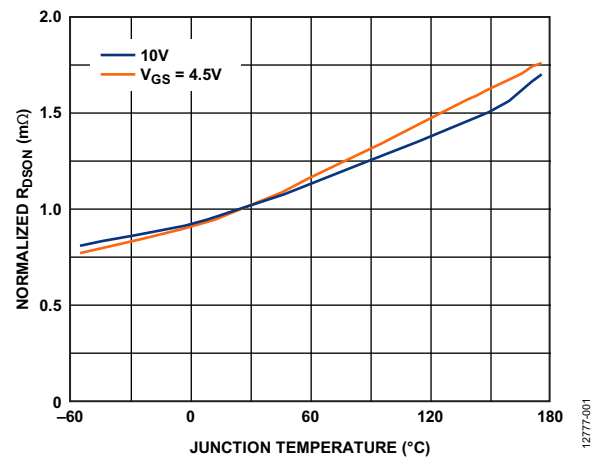


图1. 归一化 R_{DSON} 与结温(T_J)的关系

当 T_{JMAX} 为120°C时， R_{DSON} 约上升1.4倍。建议保持 $T_J \leq 120^{\circ}\text{C}$ 。

选定合适的MOSFET后，即可配置设计工具的剩余第5部分(选择FET)。阈值电压($V_{GS(TH)}$)、反向传输电容(C_{RSS})以及输入电容(C_{ISS})等数值一般可在MOSFET数据手册的技术规格表或典型性能参数中找到。

确定热功率减额因数

根据上文输入的数据计算最差情况的温度上升。推荐的减额因数(DF)大致为2或更低，避免热失控。

$$DF = \frac{T_{JMAX} - T_{CSOA}}{T_{JMAX} - T_{CMAX}}$$

其中：

T_{CSOA} 是SOA情况下的温度(比如25°C)。

T_{CMAX} 是 T_{JMAX} 下的壳温。

V_{OUT} 斜坡时间

栅极电容(C_{GATE})限制浪涌电流，允许输出电压以线性斜坡方式上升。电容必须足够大，保证浪涌电流足够低，从而不会发生断路器阈值跳变。从10 nF电容开始，逐步增加电容值，直到浪涌电流低至工具不再给出警告为止。栅极电容典型值为22 nF或33 nF。

还可根据所需上电斜坡时间来选择栅极电容值。例如，若要配置20 ms上电斜坡：

$$C_{GATE} = \left(\frac{t_{UP} \times I_{GATE}}{V_{IN}} \right) - (NumFETs \times C_{RSS_PER_FET})$$

其中：

t_{UP} = 20 ms上电斜坡时间

I_{GATE} = 25 μ A

V_{IN} = 标称电源电压

$NumFETs$ 为MOSFET数量

$C_{RSS_PER_FET}$ 为各FET的反向传输电容

将栅极电容四舍五入至最近的可用值

SOA

将所选MOSFET SOA复制到设计工具的FET SOA选项卡。建议计算时使用1 ms SOA时间，因为SOA曲线的两次特性化时间之间的SOA时间不容易预测。将SOA值填入FET SOA选项卡第8部分的表格中，以便工具计算各SOA时间内的最大允许功率。

PSET

ADM1278利用恒定功率折返技术来保护MOSFET免受过流故障或短路影响。监控MOSFET的 V_{DS} 。根据MOSFET的 V_{DS} 调节限流，从而保持恒定功率限值。图2为该关系的一个示例。

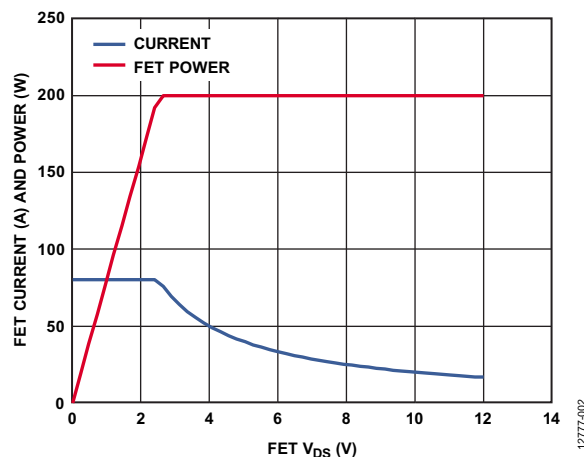


图2. 恒定功率

ADM1278设计工具计算最大恒定功率值，以保证维持MOSFET SOA。它还计算最小恒定功率值，确保上电期间恒定功率阈值不发生跳变。在靠近该范围的中心某点处选择功率限值，为每一端留有裕量。在设计中，FET功率限值的典型值为250 W。

选定FET功率限值后，便可选择从VCAP引脚到地的PSET电阻分压器，以提供所需的PSET电压。选定恒定功率设置后，必须勾选MOSFET SOA。单击FET SOA选项卡第9部分的链接，输入减额恒定功率水平下的SOA时间近似值。检查设计工作表有无任何SOA警告。该恒定功率水平下的SOA时间必须大于所选最大SOA时间(例如建议的1 ms SOA线)。

ISTART

启动限流是一个固定限流值，仅当PWRGD不良(PWRGD引脚解除置位)时激活。因此，该限流值可在dv/dt上电期间检测一切意外的大浪涌电流。dv/dt上电期间，浪涌电流通常小于ISET引脚或恒定功率折返所确定的有效限流值。

ISTART引脚用来选择启动限流值，可将其连接高电平以禁用启动限流，也可将其连接低电平以使默认 V_{SENSE} 限值为2 mV，或者采用连接VCAP引脚的电阻分压器配置一个特定的限流值。

$$V_{ISTART} = \frac{R_{ISTART2}}{R_{ISTART1} + R_{ISTART2}} \times V_{CAP}$$

其中：

$R_{ISTART1}$ 是从VCAP引脚到地的电阻分压器串中位于ISTART引脚上的顶端电阻。

$R_{ISTART2}$ 是从VCAP引脚到地的电阻分压器串中位于ISTART引脚上的底部电阻。

$$StartupCL = \frac{V_{ISTART}}{AV_{CSAMP} \times R_{SENSE}}$$

其中：

$StartupCL$ 是初始上电期间的启动限流值

$AV_{CSAMP} = 50 \text{ V/V}$ (电流检测放大器增益)

启动限流值必须大于最高预期浪涌电流，以确保dv/dt正常上电斜坡期间断路器阈值不发生跳变。启动限流阈值一般设为最大预期浪涌电流和最小恒定功率限流之间的某一数值。如果最大预期浪涌电流为5 A，则启动限流值通常设为10 A左右。

选定启动限流值后，VCAP引脚上的ISTART电阻分压器便可在ADM1278设计工具中进行配置。

此外，通过PMBus接口还可编程设置启动限流值。欲了解更多信息，请参考ADM1278数据手册。

上电期间MOSFET SOA分析

需要针对上电期间最差情况下的FET功率进行MOSFET SOA最终检查。可在FET SOA选项卡的第10部分中对上电斜坡的MOSFET SOA时间进行估算。输入适当时间之后，再次检查设计工作表有无任何警告。SOA时间必须大于计算得到的最大上电时间。

TIMER

TIMER引脚电容(C_{TIMER})用于故障保护。ADM1278配置为线性斜坡上电时，TIMER引脚阈值一般只在故障条件下发生跳变。因此，可以将TIMER引脚的调节周期视为故障条件的毛刺滤波器时间。对于高电平电流设计而言，建议将此故障滤波器时间设为持续100 μs 至500 μs 左右。建议 C_{TIMER} 电容值取10 nF至22 nF范围内的数值。

PWGIN引脚

PWRGD引脚是一个开漏输出引脚，满足下列条件时拉低：

- 存在未清除的故障条件
- 控制器尚未发出可启用热插拔的信号
- 未超过电源良好输入阈值

通过PWGIN引脚上的电阻分压器设置PWRGD下降阈值。

$$PWGIN_{FALLING} = \frac{RPWGIN1 + RPWGIN2}{RPWGIN2} \times 1 \text{ V}$$

其中

$RPWGIN1$ 是从 V_{OUT} 到地的电阻分压器串中位于PWGIN引脚上的顶端电阻。

$RPWGIN2$ 是从 V_{OUT} 到地的电阻分压器串中位于PWGIN引脚上的底部电阻。

PWGIN引脚迟滞为60 mV，因此上升阈值还可计算如下：

$$PWGIN_{RISING} = PWGIN_{FALLING} + (PWGIN_{FALLING} \times 60 \text{ mV})$$

推荐电路

若无警告信息，则设计完成。单击设计工具中的链接，前往设计生成的原理图与物料清单所在的选项卡。