

高速プリント回路基板 レイアウトの実務ガイド

John Ardizzone 著 [john.ardizzone@analog.com]

プリント回路基板 (PCB) レイアウトは高速回路においてきわめて重要であるにもかかわらず、たいいていの場合、設計プロセスの最後の段階の1つとして行われます。高速PCBレイアウトには考慮すべき点が多々あり、それらについて論じた文献も数多くあります。本稿では、実際の設計の観点から高速PCBレイアウトについて解説します。本稿の趣旨は、高速回路のレイアウト設計を行う際に配慮しなければならないさまざまな留意事項について初心者が認識できるようにすることですが、しばらく回路基板レイアウトから遠ざかっていた設計者がそうした留意事項を改めて認識するための一助となることも意図しています。誌面の都合上すべてを網羅することはできませんが、回路性能の向上、設計時間の短縮、多大な時間を必要とするレイアウト変更の最小化を実現する上で最も効果的と考えられる事項について述べていくことにします。

高速オペアンプを実装する回路に重点を置いて説明しますが、その解説と技法は他の高速アナログ回路を対象とするレイアウトにもほぼ適用できるものです。高いRF周波数でオペアンプが動作する場合、回路性能はボード・レイアウトによって大きく左右されます。設計図上では優秀な高性能回路であっても、不注意な、あるいはずさんな回路レイアウトによって月並みの性能になってしまうことがあります。レイアウト・プロセス全体にわたり重要な項目を事前に検討して細心の注意を払えば、期待通りの回路性能を確実に得ることができます。

回路図

すべてがそうとは限りませんが、優れたレイアウトは優れた回路図を書くところから始まります。回路図を作成する際には、細心の注意を払うと同時に大らかな気持ちで、回路を流れる信号のフローを十分に検討してください。左から右の方向に、自然にしかも規則的に信号が流れる回路図を作成すれば、これを反映してボード上でも同様に信号が良好に流れる傾向にあります。可能な限り多くの有用な情報を回路図に記述してください。回路図に数多くの有益な情報が記載されていれば、その仕事に関わる設計者、技術者、エンジニアすべてにとって役に立ちます。もちろん私たちアプリケーション・エンジニアにとっても有益です。既に設計者の手を離れているために、私たちが顧客から質問を受けることもあるためです。

通常の参照番号や消費電力、許容誤差の他にどのような種類の情報を回路図に記述すればよいのでしょうか？ 平凡な回路図を優れた回路図に変えるヒントをいくつか紹介します。信号波形、ハウジングやエンクロージャに関する機械的情報、パターン配線長、アクセス禁止エリアに関する情報を加えてください。また、ボードの上面に実装する部品を指定してください。さらに、調整に関する情報、部品値の範囲、熱に関する情報、インピーダンスを制御したライン、注記事項、回路の簡単な動作説明などを含めてください。

他人任せにしない

自らレイアウト設計を行わない場合は、レイアウト設計担当者と設計について検討する時間を充分にとってください。転ばぬ先の杖ということです。レイアウト設計担当者があなたの心を読み取ってくれると期待してはなりません。レイアウト・プロセスの最初の時点では、あなたが意見を出し、指示を与えることが最も重要です。より多くの情報を提供し、レイアウト・プロセス全体を通して関与する度合を高めれば、それだけ優れたボード・レイアウト設計が実現します。設計者が作業を一時的に終了する機会を設けてください。この際、レイアウトの進捗状況に関する説明を受け、これに基づいて作業内容を迅速に調査します。こうすることにより、レイアウトが間違った方向に進むことを防ぎ、ボード・レイアウトの変更作業を最小限に抑えます。

設計者に対する指示には次のような事項を含めます。回路機能の簡単な説明、入出力の場所を明記したボードの略図、ボードのスタックアップ (ボードの厚み、層の数、電源・グラウンド・アナログ・デジタル・RFの各種信号層および信号プレーンの詳細)、各層で走らせる必要のある具体的な信号、重要部品を配置する場所、バイパス用部品の正確な実装箇所、重要なパターン配線、インピーダンスを制御したラインにする配線、配線長を一致させるライン、部品のサイズ、遠ざける (近接させる) パターン配線、遠ざける (近接させる) 回路、近接させる (遠ざける) 部品、ボードの上面と裏面に実装する部品に関する情報など。情報が多すぎるからといって不満が出ることは決してありません。情報が少なすぎるという不満が出ることはありますが、多すぎて困るということはないのです。

著者の経験：10年ほど前、ボードの両面に部品を実装する多層表面実装ボードを設計したことがあります。このボードを金メッキ処理されたアルミニウム製のハウジングに多数のネジを使ってネジ止めしました (厳しい振動仕様のため)。バイパス用のフィードスルー・ピンをボードに貫通させました。そのピンをPCBにワイヤ・ボンディングしました。アセンブリは複雑でした。ボード上に実装する部品の一部をSAT (テスト設定) とする必要がありましたが、その部品を配置する場所を指定していませんでした。これらの部品の一部がどこに実装されたかと思いませんか？ そう、ボードの裏面でした。アセンブリを分離し、部品値を設定し、さらにすべてを再アセンブリしなければならなくなり、製造エンジニアや技術者から苦情が出ました。それから二度とこのような失敗を犯すことはありませんでした。

場所がすべて

不動産と同じように、場所がすべてです。ボード上のどこに回路を実装するか、個々の回路部品をどこに配置するか、そして隣接箇所にはどんな回路があるか、これらがすべて重要なのです。

一般に、入出力や電源の場所は決められていますが、その間に入るものはすべて任意に選択できます。このような場所の詳細なレイアウトに細心の注意を払えば、大きな成果が得られることとなります。個々の回路に関しても、ボード全体においても、まず重要な部品から配置していきます。重要性の高い部品の実装場所と信号のルーティング経路を最初の時点で規定しておく、意図したとおりにレイアウト設計を進めることができます。最初の段階で正確にレイアウトを決定しておけば、コストとストレスが低減され、最終的にサイクルタイムが短縮されます。

電源のバイパス処理

高速オペアンプでも他の高速回路でも、ノイズを最小限に抑えるためにアンプの電源端子で電源のバイパス処理を行うことは、PCB設計プロセスの中で非常に重要な作業です。一般に高速オペアンプのバイパス処理に使われる構成には、以下の2つの手法があります。

電源レールとグラウンド間でバイパスする：これはたいいていの場合、最良の結果が得られる手法であり、オペアンプの電源ピンとグラウンドとの間に複数の並列コンデンサを直接接続します。並列コンデンサは通常2本で十分ですが、回路によっては並列コンデンサの数を増やすとより大きな効果が得られます。

容量の異なるコンデンサを並列に接続すれば、広帯域幅の各種の周波数において電源ピンとグラウンド間で確実に低いIACインピーダンスが維持されます。このことはオペアンプの電源変動除去 (PSR) 特性がロールオフする周波数では特に重要です。コンデンサはアンプのPSRの低下を効果的に補償します。広帯域幅の周波数に対して、電源ピンとグラウンド間でインピーダンスの低い信号経路を維持すれば、不要なノイズがオペアンプ内部に混入することを防止できます。図1は、複数の並列コンデンサを使用した場合の効果を示します。低い周波数では、容量の大きいコンデンサを使用すると電源ピンとグラウンド間でインピーダンスの低い信号経路が確保されます。コンデンサが自己共振状態に達すると、容量性品質は低下しコンデンサは誘導性になります。複数のコンデンサを使用するのはこのためです。すなわち、1個のコンデンサの周波数応答性がロールオフ

するときに、別のコンデンサが有効になり、これによって広帯域幅の周波数で低いACインピーダンスが維持されます。

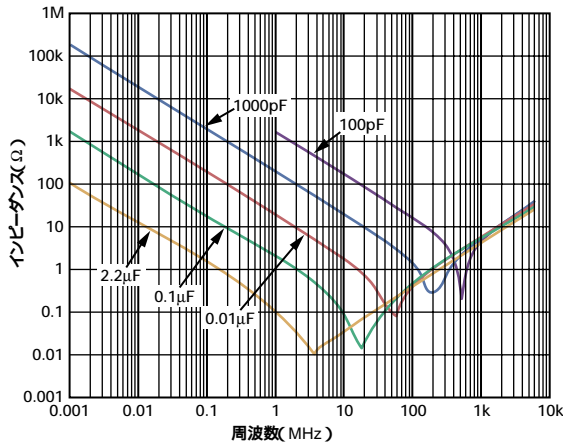


図1. コンデンサのインピーダンスの周波数特性

オペアンプの電源ピンから直接作業を開始してください。容量と物理的サイズが最も小さいコンデンサをオペアンプと同じボード実装面に配置します。その際には、コンデンサをオペアンプに可能な限り近づけて実装します。コンデンサのグラウンド側は、できるだけ短い導線またはパターン配線を用いて、グラウンド・プレーンに接続してください。電源レールとグラウンド間の干渉を最小限に抑えるために、このグラウンド接続をオペアンプの負荷に可能な限り近づけることが必要です。図2にこの技法を示します。

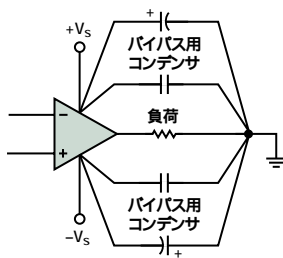


図2. 並列コンデンサを使用した電源ピンとグラウンド間のバイパス処理

容量が2番目に小さいコンデンサを使用して、このプロセスを繰り返します。最初のコンデンサには容量0.01μF、2番目のコンデンサには容量2.2μF (以上) でESR特性の低い電解型が適切です。0508ケース・サイズの0.01μFコンデンサは、低い直列インダクタンスと優れた高周波数性能を発揮します。

電源レール間でバイパスする：もう1つの構成手法では、オペアンプの正と負の電源レール間に1個以上のバイパス用コンデンサを接続します。この方法は主に、4本のコンデンサをすべて回路に実装することが難しい場合に使用します。この手法の欠点は、コンデンサを通過する電圧が単電源のバイパス法の2倍になるために、これに応じてコンデンサのケース・サイズが比較的大きくなることです。電圧が高くなるに従って、より高いブレークダウン定格が要求され、これに伴ってケース・サイズが大きくなります。ただし、この方法を使えばPSRと歪みの両方の性能が改善されます。

回路とレイアウトはそれぞれの場合で異なるため、コンデンサの接続構成方法、使用個数、容量は、実際の回路条件に基づいて決定します。

寄生要素

寄生要素とは、文字通りPCB内部に寄生し回路内部に悪影響を及ぼす厄介者です。寄生要素は、高速回路の内部に侵入する隠れた浮遊性の容量およびインダクタです。これらには、パッケージのリードと極度に長いパターン配線によるインダクタや、パッドとグラウンド間、パッドと電源プレーン間、パッドとパターン配線間の容量、ピアとの相互作用が含まれ、その他数多くの要因によって形成されます。図3(a)は、非反転オペアンプの代表的な回路図です。ただし寄生要素を考慮に入れると、回路は図3(b)のようになります。

高速回路では、わずかな寄生要素で回路の性能に悪影響が出ます。時として、10分の数pFに相当する寄生容量だけで、多大な影響が及ぶことがあります。図4の例では、1pFの浮遊寄生容量がオペアンプの反転入力に加わるだけで、周波数領域に約2dBのピーキングが発生するおそれがあることを示しています。容量が十分大きい場合、回路の不安定性や発振が起きることがあります。

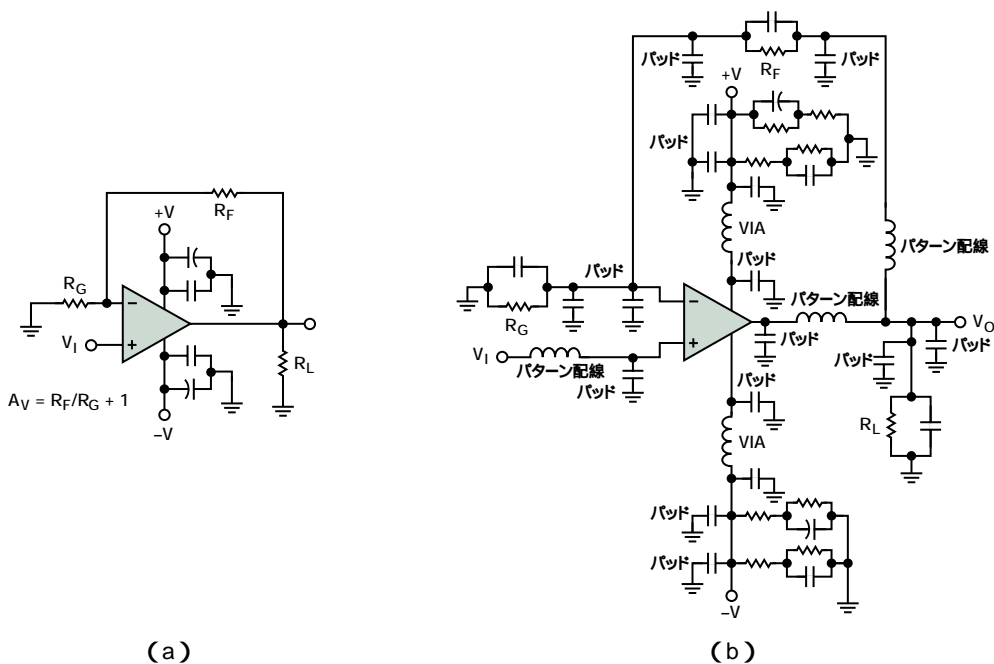


図3. 代表的なオペアンプ回路。一般的な設計回路(a)と寄生容量を考慮した設計回路(b)

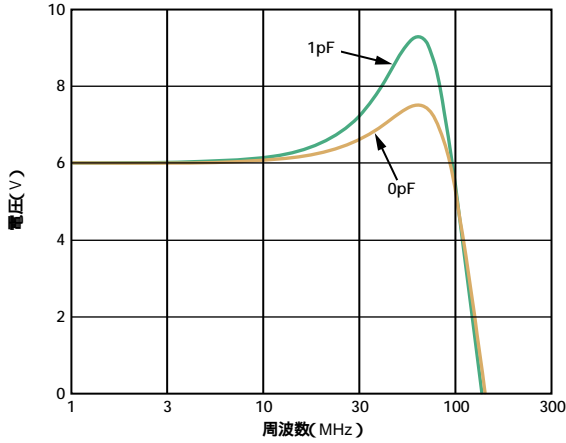


図4. 寄生容量によって増加したピーキング

問題となる寄生要素の発生源を見つけ出す際に、この厄介な要素の大きさの計算に役立つ基本的な公式がいくつかあります。式1は並列のプレート間容量を求める公式です(図5を参照)。

$$C = \frac{kA}{11.3d} pF \quad (1)$$

ここで、 C はプレート間の容量、 A はプレートの面積 (cm^2)、 k はボード材料の比誘電率、 d はプレート間の距離 (cm)です。

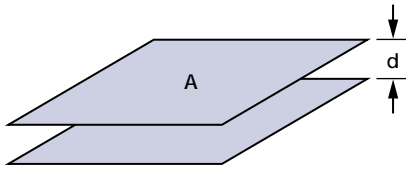


図5. 2枚のプレート間の容量

ストリップ・インダクタンスもまた、考慮すべき寄生要素です。これは極度に長いパターン配線とグラウンド・プレーンの欠落によって発生します。式2はパターン配線のインダクタンスを求める公式です(図6を参照)。

$$\text{インダクタンス} = 0.0002L \left[\ln \frac{2L}{(W+H)} + 0.2235 \left(\frac{W+H}{L} \right) + 0.5 \right] \mu H \quad (2)$$

ここで、 W はパターン配線の幅、 L はパターン配線の長さ、 H はパターン配線の厚みです(単位はすべてmm)。

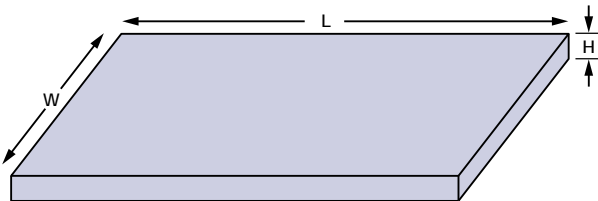


図6. パターン配線のインダクタンス

図7に示す発振は、高速オペアンプの非反転入力における2.54cm長のパターン配線の影響を表しています。この等価浮遊インダクタンスは29nH(ナノヘンリー)であり、これは過渡応答の全期間中に低レベルの発振を持続させられる大きさです。図7はグラウンド・プレーンを使用した場合、浮遊インダクタンスの影響がどの程度軽減されるかについても示しています。

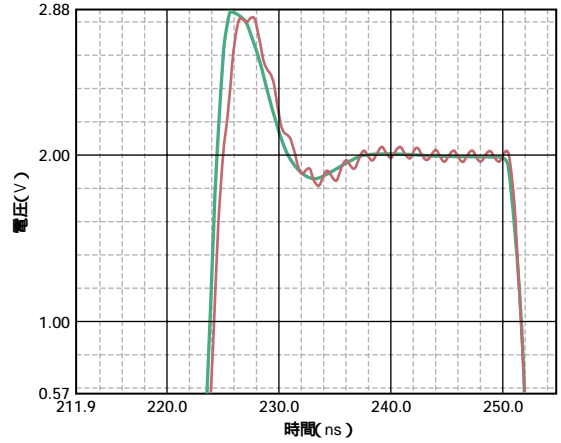


図7. グラウンド・プレーンを使用する場合と使用しない場合のパルス応答性

寄生要素のもう1つの発生源はビアです。ビアは、インダクタンスと容量の両方を引き起こします。式3はビアの寄生インダクタンスを求める公式です(図8を参照)。

$$L = 2T \left[\ln \frac{4T}{d} + 1 \right] nH \quad (3)$$

ここで、 T はビアの高さ、 d はビアの寸法 (cm)です。

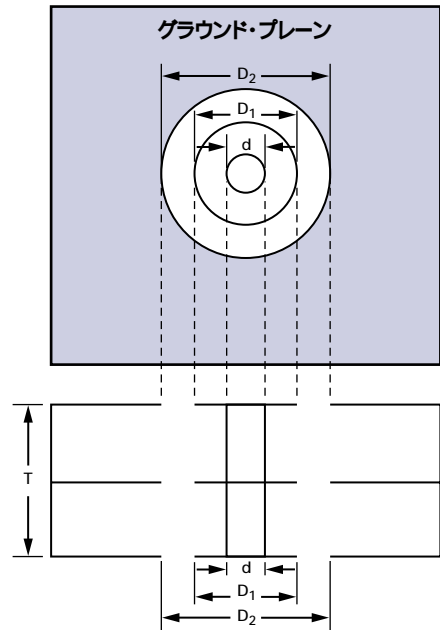


図8. ビアの寸法

式4はビアの寄生容量を求める公式です(図8を参照)。

$$C = \frac{0.55\epsilon_r T D_1}{D_2 - D_1} pF \quad (4)$$

ここで、 ϵ_r はボード材料の比透磁率、 T はボードの厚み、 D_1 はビア周囲パッドの直径、 D_2 はグラウンド・プレーンのクリアランス・ホール径の直径です(単位はすべてcm)。厚みが0.157cmのボードに1つのビアを設けるだけで、インダクタンスが1.2nH、容量が0.5pF増加することもあります。したがって、ボードのレイアウトは常に監視しながら行い、寄生要素の侵入を最小限に抑えてください。

グラウンド・プレーン

グラウンド・プレーンに関しては解説すべき内容が多く、本稿でそのすべてについて述べることはできませんが、ここではいくつかの主要な特徴に重点を置いて解説しますので、各自で理解を深めてください。本稿の最後に参考文献のリストを掲載しています。

グラウンド・プレーンは、1つの共通の基準電位として機能し、シールドングを行うと同時に、熱の消散を可能にし、さらに浮遊インダクタンスを低減します(ただし、寄生容量は増加します)。グラウンド・プレーンを使用する利点はいろいろありますが、機能については実現可能なものと不可能なものがあるため、実装する際には十分に注意してください。

理想的には、1つのPCB層をグラウンド・プレーン専用として使用します。プレーン全体が切れ目のない連続的なものであれば、最良の結果が得られます。グラウンド・プレーンの領域を取り除いて、この専用の層で他の信号を走らせることは考えないようにしてください。グラウンド・プレーンは、導体とグラウンド・プレーン間に存在する磁界をキャンセルすることによって、パターン配線のインダクタンスを低く抑えます。グラウンド・プレーンの領域を取り除くと、グラウンド・プレーンの上下に走っているパターン配線に予期しない寄生インダクタンスが導入される場合があります。

グラウンド・プレーンは一般に表面積と断面積が大きいので、グラウンド・プレーンの抵抗値は最小に維持されます。低周波数では電流は抵抗値が最も低い経路を通過しますが、高周波数ではインピーダンスの最も低い経路を流れます。

ただし例外的に、グラウンド・プレーンのサイズを小さくすると良好な結果が得られる場合もあります。高速オペアンプの場合は、入力および出力パッドの下部からグラウンド・プレーンを取り除くと、性能が改善されます。入力側のグラウンド・プレーンによって発生する浮遊容量がオペアンプの入力容量に加わると、位相余裕が低下して動作が不安定になるおそれがあります。寄生要素の項で述べたように、オペアンプの入力に1pFの容量が接続されるだけで大きいピーキングが発生することがあります。出力側に接続される容量性負荷は(浮遊容量も含む)、フィードバック・ループに極を生成します。これによって位相余裕が低下し、回路の動作が不安定になる場合があります。

グラウンドとグラウンド・プレーンを含むアナログおよびデジタル回路は、可能な限り引き離してください。高速の立ち上がりエッジは電流スパイクを発生し、これがグラウンド・プレーンに流れ込みます。このような高速電流スパイクはノイズを発生させ、アナログ性能が劣化するおそれがあります。デジタルおよびアナログのグラウンド電流とノイズが循環する動作を最小限にとどめるために、アナログとデジタルの各グラウンド(および電源)を1つの共通・グラウンド・ポイントに接続してください。

高周波数では、表皮効果と呼ばれる現象を考慮してください。表皮効果によって導体の外側表面に電流が流れるために、実質的に導体が細くなり、その結果、抵抗値がDC値から増加します。表皮効果は本稿の範囲から外れますが、銅の表皮厚さの概算値 (cm) を以下の式から求めることができます。

$$\text{表皮厚さ} = \frac{6.61}{\sqrt{f(\text{Hz})}} \quad (5)$$

この影響を受けやすいメッキ金属を少なくすれば、表皮効果を低減する上で効果的です。

パッケージング

オペアンプは一般に、さまざまなパッケージで提供されます。採用したパッケージがアンプの高周波数性能に悪影響を及ぼすことが考えられます。悪影響の主な要因は、上述の寄生容量や信号のルーティングです。ここでは、アンプの入出力と電源のルーティングに重点を置いて説明します。

図9は、SOICパッケージ(a)とSOT-23パッケージ(b)で提供されるオペアンプのレイアウトの相違を示しています。いずれのタイプのパッケージにも、それぞれレイアウト上の課題があります。図(a)のフィードバック経路を詳細に見ていくと、フィードバック経路のルーティングに複数のオプションがあることが分かります。パターン配線長を短くすることが最優先です。フィードバック経路に存在する寄生インダクタンスが、リングングやオーバーシュートを引き起こすおそれがあります。図9(a)と図9(b)では、アンプの周囲にフィードバック経路がルーティングされています。図9(c)は、SOICパッケージの下にフィードバック経路をルーティングして、フィードバック経路の長さを可能な限り短くする別の手法を示しています。これらのレイアウトには微妙な相違点があります。第1のオプションでは、パターン配線が極度に長くなり、直列インダクタンスが増加するおそれがあります。第2のオプションでは、ビアを使用しているため、寄生容量とインダクタンスが発生することが考えられます。ボードのレイアウトを行う際には、これらの寄生要素の影響と関連を考慮に入れてください。SOT-23パッケージのレイアウトは理想に近いものです。ここではフィードバックのパターン配線とビアの使用が最小限です。負荷およびバイパス・コンデンサは、同じグラウンド接続ポイント近くに帰還します。図9(b)には示していない正電源レール用コンデンサが、負電源レール用コンデンサの真下の場所に配置されています。

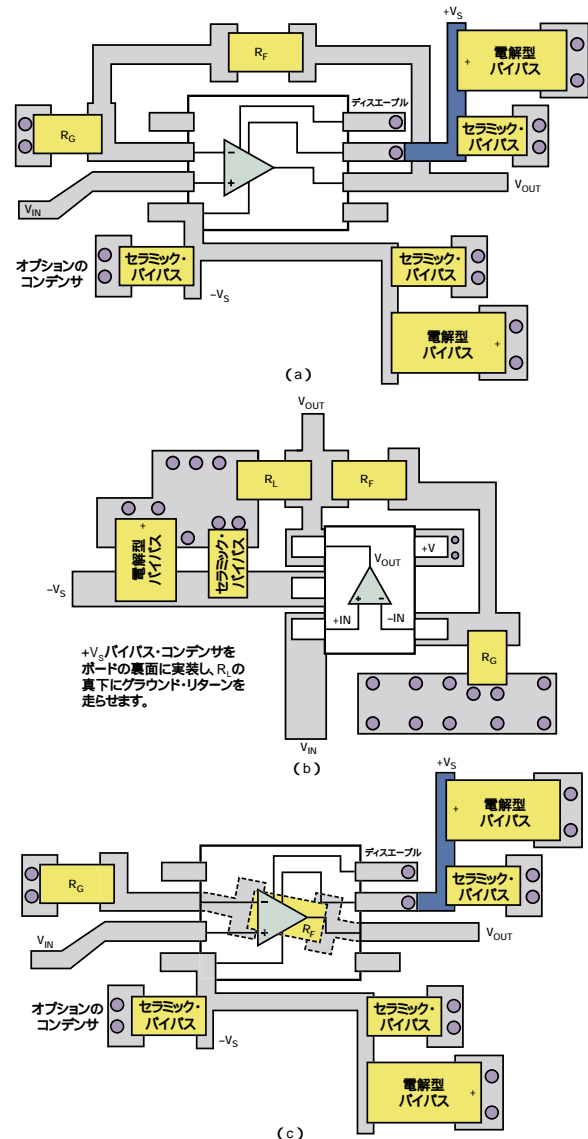


図9. オペアンプ回路のレイアウトの相違。(a) SOICパッケージ、(b) SOT-23パッケージ、(c) ボードの真下にR_fを実装するSOICパッケージ

低歪みのアンプのピン配置：アナログ・デバイゼズの一部のオペアンプ（AD8045¹など）に装備されている新しい低歪みのピン配置は、上述の2つの問題を解消する上で役立つのみならず、他の2つの重要な面でも性能を改善します。図10に示すLFCSPパッケージの低歪みピン配置には、従来方式のオペアンプ・ピン配置が採用されていますが、ピンが反時計回りに1本ずつずれており、フィードバック専用のピンとして2番目の出力ピンが追加されています。

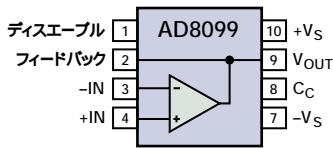


図10. 低歪みピン配置のオペアンプ

低歪みのピン配置によって、図11に示すように出力（専用のフィードバック・ピン）と反転入力間の近接した接続が可能になります。これにより、レイアウトが大幅に簡略化、効率化されます。

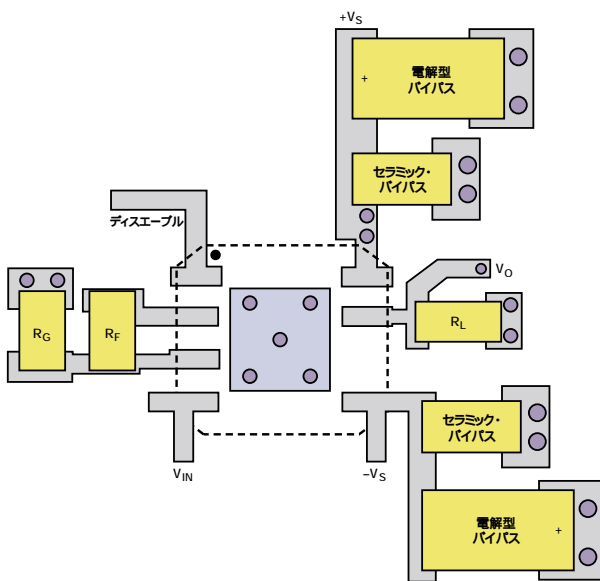


図11. AD8045低歪みオペアンプのPCBレイアウト

もう1つの利点は、2次高調波歪みが低減されることです。従来方式のオペアンプ・ピン構成で2次高調波歪みが発生する原因の1つは、非反転入力と負電源ピン間の結合です。LFCSPパッケージの低歪みピン配置はこの結合を排除し、2次高調波歪みを大幅に低減します。場合によっては最大14dBの低減が可能です。図12は、SOICパッケージとLFCSPパッケージの歪み性能の相違を示しています。

このパッケージには、消費電力についても利点があります。LFCSPは裏面に放熱パッドを備えているため、パッケージの熱抵抗値が低減され、 θ_{JA} が約40%も改善されます。熱抵抗値が低いと、デバイスは低い温度で動作し、結果として信頼性が向上します。

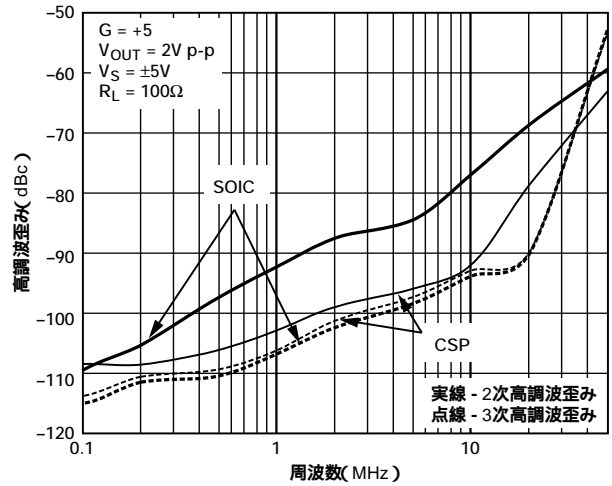


図12. 歪み性能の比較 - 同じオペアンプ製品のSOICパッケージとLFCSPパッケージ

現在、アナログ・デバイゼズでは新しい低歪みピン配置の高速オペアンプとして、AD8045²、AD8099³、AD8000⁴の3製品を提供しています。

ルーティングとシールドング

回路基板には、電圧の高いものから低いものまで、電流の大きいものから小さいものまで、周波数がDCからGHzまでのさまざまなアナログ/デジタル信号が存在しています。信号間の干渉を防ぐことが非常に困難です。

「他人任せにしない」で述べたアドバイスを繰り返しますが、ボード上で信号を処理する手法を事前に検討し、その計画を立てておくことが非常に重要になります。どの信号に注意を払うべきかを意識し、さらにその信号の品質を維持するためにどんな措置を取ればよいかを決定することが重要です。グラウンド・プレーンは、電気信号に対して1つの共通の基準ポイントとなりますが、これをシールドングにも利用できます。信号の絶縁が必要な場合は、第1段階として信号パターン配線間に物理的な距離を置いてください。次に挙げる事項を遵守するとよいでしょう。

- 同じボード上で平行に走る長い配線、および近接する信号配線パターンを可能な限り少なくすると、誘導性結合が低減されます。
- 隣接するレイヤーの長いパターン配線を可能な限り少なくすると、誘導性結合が防止されます。
- 高い絶縁が要求される信号パターン配線はそれぞれ別個の層にルーティングし、これらを完全に引き離すことができない場合は、グラウンド・プレーンを挟んで配線が直交して走るようにしてください。この直交ルーティングによって容量性結合が最小限に抑えられ、グラウンドは電気的シールドを形成します。この技法は、インピーダンスを制御したラインの形成に活用されます。

高周波数信号は一般に、インピーダンスを制御したライン上に走らせません。すなわち、50Ω (RFアプリケーションでは一般的) などの特性インピーダンスを維持するパターン配線を使用します。インピーダンスを制御したラインとして一般的な、マイクロストリップ⁵とストリップライン⁶の2つは同じような結果を得られますが、その実装方法は異なります。

図13に示すインピーダンスを制御したマイクロストリップ・ラインは、ボードのどちらの面にも配線できます。その場合、グラウンド・プレーンを基準プレーンとして真下に配置します。

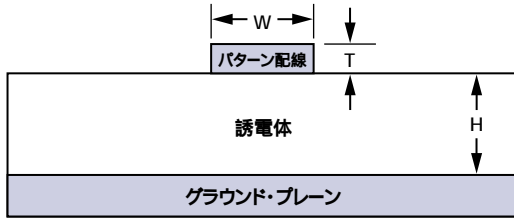


図13. マイクロストリップ伝送ライン

式6を利用して、FR4ボードの特性インピーダンスを求めることができます。

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left[\frac{5.98H}{(0.8W + T)} \right] \quad (6)$$

ここで、 H はグラウンド・プレーンと信号パターン配線間の距離、 W はパターン配線の幅、 T は厚みです(単位はすべてミル(インチ $\times 10^{-3}$))。 ϵ_r はPCB材料の誘電定数です。

インピーダンスを制御したストリップ・ライン(図14を参照)では、2層のグラウンド・プレーンが使用され、この各層の間に信号パターン配線が挟まれます。この手法では使用するパターン配線が増え、ボード層が多くなるとともに、誘電体の厚みの変動による影響を受けやすく、コストもかさむため、通常は要求レベルの高いアプリケーションにのみ利用されます。

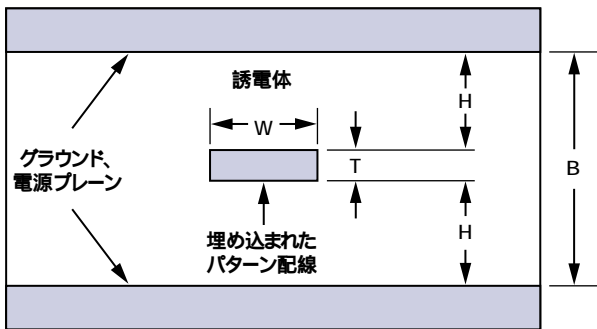


図14. インピーダンスを制御したストリップ・ライン

ストリップラインの特性インピーダンスの計算に利用できる設計式を式7として以下に示します。

$$Z_0(\Omega) = \frac{60}{\sqrt{\epsilon_r}} \ln \left[\frac{1.9(B)}{(0.8W + T)} \right] \quad (7)$$

ガード・リング、すなわち「ガーディング」も、オペアンプで利用される一般的なシールドング手法です。これは、影響を受けやすいノードに浮遊電流が流れ込むことを防ぐために使用されます。この原理は非常に簡単なものです。すなわち、影響を受けやすいノードと同じ電位に維持されるか、または(低いインピーダンスで)この電位に駆動される保護用導体を使用して、影響を受けやすいノードを完全に取り囲み、浮遊電流をシールドして影響を受けやすいノードから引き離します。図15(a)は、反転および非反転構成オペアンプのガード・リング回路図を示します。図15(b)は、SOT-23-5パッケージに使用されるそれぞれのガード・リングの標準的な実装を示します。

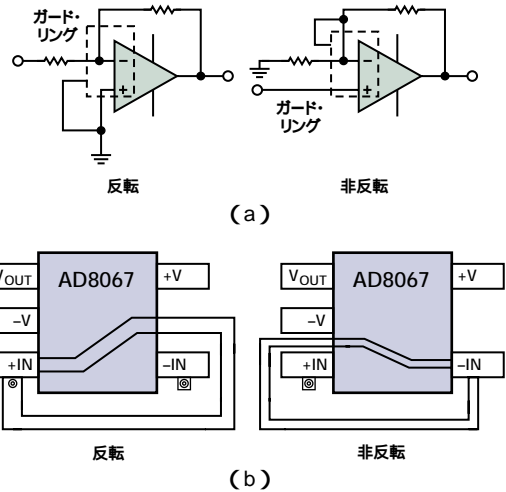


図15. ガード・リング。(a) 反転および非反転動作、(b) SOT-23-5パッケージ

シールドングとルーティングには、他にもさまざまなオプションがあります。これに関する詳細と上述のその他のテーマについては、以下の文献を参照して各自で理解を深めてください。

最後に

オペアンプの回路設計、特に高速回路の設計で成功を収めるためには、インテリジェントな回路基板レイアウトが重要です。優れた回路図は優れたレイアウトを実現する上で基本となります。さらに、特に部品と配線の場所に関して、回路設計者とレイアウト設計者が密接に協調することが不可欠です。考慮すべき事項として、電源のバイパス処理、寄生要素の最小化、グラウンド・プレーンの使用、オペアンプのパッケージングの影響、ルーティングおよびシールドング手法などが挙げられます。▶

参考文献

John Ardzizoni, “Keep High-Speed Circuit Board Layout on Track”, EE Times, 2005年5月23日
 Paul Brokaw, “An IC Amplifier User’s Guide to Decoupling, Grounding, and Making Things Go Right for a Change”, アナログ・デバイス・アプリケーション・ノートAN-202
 Paul Brokaw/Jeff Barrow, “Grounding for Low- and High-Frequency Circuits”, アナログ・デバイス・アプリケーション・ノートAN-345
 Joe Buxton, “Careful Design Tames High-Speed Op Amps”, アナログ・デバイス・アプリケーション・ノートAN-257
 Greg DiSanto, “Proper PC-Board Layout Improves Dynamic Range”, EDN, 2004年11月11日
 Doug Grant/Scott Wurcer, “Avoiding Passive-Component Pitfalls”, アナログ・デバイス・アプリケーション・ノートAN-348
 Howard W. Johnson/Martin Graham, High-Speed Digital Design, a Handbook of Black Magic, Prentice Hall, 1993年
 Walt Jung編, Op Amp Applications Handbook, Elsevier-Newnes, 2005年

2005年9月時点で有効な参考資料

- 1, 2 アナログ・デバイスのウェブサイト : www.analog.com/jp/AD8045
- 3 アナログ・デバイスのウェブサイト : www.analog.com/jp/AD8099
- 4 アナログ・デバイスのウェブサイト : www.analog.com/jp/AD8000
- 5 <http://www.microwaves101.com/encyclopedia/microstrip.cfm>
- 6 <http://www.microwaves101.com/encyclopedia/stripline.cfm>