

この製品の和文および英文データシートにおいて、説明の改善点が発生しましたのでお知らせ致します。

この正誤表は、2020年2月12日現在、アナログ・デバイセズ株式会社で確認した動作に関する訂正内容を記したものです。

正誤表作成年月日：2020年2月12日

製品名：ADXL354 / 355

対象となるデータシートのリビジョン(Rev)：Rev.A (英文)、Rev.0 (和文)

訂正箇所：

1) 英文データシート Page 29 EXT_SYNC=01 – External Sync and External Clock

(誤) ODR が変数のような記述となっている

- In this case, an external source provides an external clock at a frequency of $4 \times 64 \times \text{ODR}$
- When configured for EXT_SYNC = 01 with an ODR of 4 kHz, the user must supply an external clock at 1.024 MHz ($64 \times 4 \times 4$ kHz) on the INT2 pin (Pin 13), and an external synchronization on DRDY pin (Pin 14), as shown in Table 12.
- The frequency of EXT_CLK must be exactly $4 \times 64 \times \text{ODR}$.

(正) ODR は 4KHz 固定で、外部クロックは 1.024MHz となります。

- In this case, an external source provides an external clock at a frequency of $4 \times 64 \times \text{ODR}(4\text{kHz})$
- When configured for EXT_SYNC = 01, the user must supply an external clock at 1.024 MHz ($64 \times 4 \times 4$ kHz) on the INT2 pin (Pin 13), and an external synchronization on DRDY pin (Pin 14), as shown in Table 12.
- The frequency of EXT_CLK must be exactly $4 \times 64 \times \text{ODR}(4\text{kHz})$.

2) 和文データシート 29/41 ページ EXT_SYNC = 01 — 外部同期と外部クロック

(誤) ODR が変数のような記述となっている

- この場合、外部ソースは $4 \times 64 \times \text{ODR}$ の周波数で外部クロックを提供します
- ODR 4 kHz で EXT_SYNC = 01 に設定する場合は、INT2 ピン (ピン 13) で 1.024 MHz ($64 \times 4 \times 4$ kHz) の外部クロックと DRDY ピン (ピン 14) で外部同期を提供する必要があります (表 12 参照)。
- EXT_CLK の周波数は、 $4 \times 64 \times \text{ODR}$ に設定する必要があります

(正) ODR は 4kHz 固定で、外部クロックは 1.024MHz となります。

- この場合、外部ソースは $4 \times 64 \times \text{ODR}$ (4kHz) の周波数で外部クロックを提供します
- EXT_SYNC = 01 に設定する場合は、INT2 ピン (ピン 13) で 1.024 MHz ($64 \times 4 \times 4$ kHz) の外部クロックと DRDY ピン (ピン 14) で外部同期を提供する必要があります (表 12 参照)。
- EXT_CLK の周波数は、 $4 \times 64 \times \text{ODR}$ (4kHz) に設定する必要があります

3) 英文データシート P.24 Figure 61 および Figure 62

(誤) kHz

(正) Hz

4) 和文データシート P.24 図61 および 図62

(誤) kHz

(正) Hz

5) 英文データシート P. 37 Table43

(誤) 桁が異なる

001	$247 \times 10^{-3} \times \text{ODR}$
010	$62.084 \times 10^{-3} \times \text{ODR}$
011	$15.545 \times 10^{-3} \times \text{ODR}$
100	$3.862 \times 10^{-3} \times \text{ODR}$
101	$0.954 \times 10^{-3} \times \text{ODR}$
110	$0.238 \times 10^{-3} \times \text{ODR}$

(正) Figure 10と同じ

000	Not applicable, no high-pass filter enabled
001	$24.7 \times 10^{-4} \times \text{ODR}$
010	$6.2084 \times 10^{-4} \times \text{ODR}$
011	$1.5545 \times 10^{-4} \times \text{ODR}$
100	$0.3862 \times 10^{-4} \times \text{ODR}$
101	$0.0954 \times 10^{-4} \times \text{ODR}$
110	$0.0238 \times 10^{-4} \times \text{ODR}$

6) 和文データシート P. 37 表43

(誤) 桁が異なる

001	$247 \times 10^{-3} \times \text{ODR}$
010	$62.084 \times 10^{-3} \times \text{ODR}$
011	$15.545 \times 10^{-3} \times \text{ODR}$
100	$3.862 \times 10^{-3} \times \text{ODR}$
101	$0.954 \times 10^{-3} \times \text{ODR}$
110	$0.238 \times 10^{-3} \times \text{ODR}$

(正) Figure 10と同じ

000	Not applicable, no high-pass filter enabled
001	$24.7 \times 10^{-4} \times \text{ODR}$
010	$6.2084 \times 10^{-4} \times \text{ODR}$
011	$1.5545 \times 10^{-4} \times \text{ODR}$
100	$0.3862 \times 10^{-4} \times \text{ODR}$
101	$0.0954 \times 10^{-4} \times \text{ODR}$
110	$0.0238 \times 10^{-4} \times \text{ODR}$



低ノイズ、低ドリフト、低電力 3軸 MEMS 加速度センサー

データシート

ADXL354/ADXL355

特長

ハーメチック・パッケージで長期間にわたる安定性を実現
0 g オフセットの温度特性 (すべての軸): 0.15 mg/°C (最大)
極めて低いノイズ密度 (すべての軸): 20 $\mu\text{g}/\sqrt{\text{Hz}}$ (ADXL354)

低消費電力、 V_{SUPPLY} (LDO 有効)

ADXL354 測定モード: 150 μA

ADXL355 測定モード: 200 μA

ADXL354/ADXL355 スタンバイ・モード: 21 μA

ADXL354 では、アナログ出力帯域幅を調整可能

ADXL355 デジタル出力機能

デジタル・シリアル周辺機器インターフェース (SPI) $I^2\text{C}$ インターフェース

20 ビット、A/D コンバータ (ADC)

同期サンプリングのデータ・インターポレーション・ルーチン
プログラマブル・ハイパス/ローパス・デジタル・フィルタ

電子機械式セルフ・テスト

温度センサー内蔵

電圧範囲のオプション

内蔵レギュレータ付き V_{SUPPLY} : 2.25 V ~ 3.6 V

低ドロップアウト・レギュレータ (LDO) バイパス付き $V_{1\text{P8ANA}}$ 、
 $V_{1\text{P8DIG}}$: 1.8 V (代表値) $\pm 10\%$

動作温度範囲: -40 °C ~ +125 °C

14 端子、6 mm x 6 mm x 2.1 mm、LCC パッケージ、0.26 グラム

アプリケーション

慣性計測装置 (IMU) / 姿勢方位基準システム (AHRS)

プラットフォーム安定化システム

構造健全性モニタリング

地震波イメージング

傾き検出

ロボット装置

状態監視

概要

アナログ出力 ADXL354 とデジタル出力 ADXL355 は、低ノイズ密度、低 0 g オフセット・ドリフト、低消費電力の性能を備え、測定範囲を選択できる 3 軸加速度センサーです。ADXL354B は $\pm 2\text{g}$ と $\pm 4\text{g}$ の範囲に対応し、ADXL354C は、 $\pm 2\text{g}$ と $\pm 8\text{g}$ の範囲に対応し、ADXL355 は $\pm 2.048\text{g}$ 、 $\pm 4.096\text{g}$ 、 $\pm 8.192\text{g}$ の範囲に対応します。ADXL354/ADXL355 は業界をリードするノイズ、温度に対するわずかなオフセット・ドリフト、長期的な安定性を備え、最低限の補正で正確なアプリケーションを実現します。

¹ 米国特許 8,472,270; 9,041,462; 8,665,627; 8,917,099; 6,892,576; 9,297,825; 7,956,621 により保護されています。

機能ブロック図

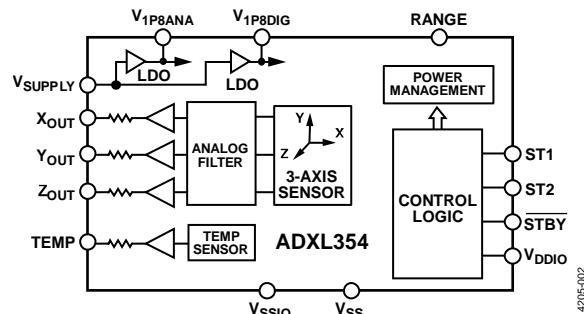


図 1. ADXL354 の機能ブロック図

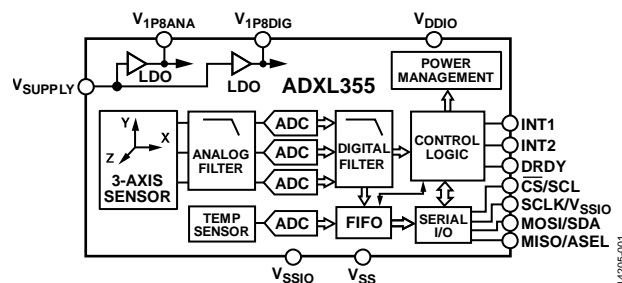


図 2. ADXL355 の機能ブロック図

小型フォーム・ファクタで低消費電力の高集積 ADXL355 は、モノのインターネット (IoT) センサーやその他のワイヤレス製品設計に最適です。

ADXL355 多機能ピン名は、SPI または $I^2\text{C}$ インターフェースのいずれかの該当する機能のみで表記されることがあります。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2016 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	外部同期とインターポレーション	29
アプリケーション	1	ADXL355 のレジスタ・マップ	31
機能ブロック図	1	レジスタの定義	32
概要	1	アナログ・デバイセズ ID レジスタ	32
改訂履歴	2	アナログ・デバイセズ MEMS ID レジスタ	32
仕様	3	デバイス ID レジスタ	32
ADXL354 のアナログ出力	3	製品リビジョン ID レジスタ	32
ADXL355 のデジタル出力	4	ステータス・レジスタ	32
ADXL355 の SPI デジタル・インターフェース特性	5	FIFO エントリ・レジスタ	33
ADXL355 の I ² C デジタル・インターフェース特性	6	温度データ・レジスタ	33
絶対最大定格	8	X 軸データ・レジスタ	33
熱抵抗	8	Y 軸データ・レジスタ	34
ESD に関する注意	8	Z 軸データ・レジスタ	34
ピン配置およびピン機能の説明	9	FIFO アクセス・レジスタ	35
代表的な性能特性	11	X 軸のオフセット・トリム・レジスタ	35
アラン偏差 (RAV) ADXL355 特性	19	Y 軸オフセット・トリム・レジスタ	35
動作原理	20	Z 軸オフセット・トリム・レジスタ	36
アナログ出力	20	アクティビティ・イネーブル・レジスタ	36
デジタル出力	21	アクティビティ閾値レジスタ	36
加速度検出軸	21	アクティビティ・カウント・レジスタ	36
電源シーケンス	22	フィルタ設定レジスタ	37
電源の説明	22	FIFO サンプル・レジスタ	37
オーバーレンジ保護	22	割り込みピン (INTx) の機能マップレジスタ	37
セルフ・テスト	22	データ同期	38
Filter	22	I ² C 速度、割り込み極性、範囲レジスタ	38
シリアル通信	25	パワー・コントロール・レジスタ	38
SPI プロトコル	25	セルフ・テスト・レジスタ	39
I ² C プロトコル	26	リセット・レジスタ	39
インターフェースからの加速度または温度の読出し	26	推奨されるハンダ処理プロファイル	40
FIFO	27	PCB フットプリント・パターン	40
割り込み	28	パッケージと注文情報	41
DATA_RDY	28	外形寸法	41
DRDY ピン	28	ブランド情報	41
FIFO_FULL	28	オーダー・ガイド	41
FIFO_OVR	28		
アクティビティ	28		
NVM_BUSY	28		

改訂履歴

9/2016—Revision 0: Initial Version

仕様

ADXL354 のアナログ出力

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{SUPPLY}} = 3.3\text{ V}$ 、x 軸加速度、y 軸加速度、 $= 0\text{ g}$ 、z 軸加速度 $= 1\text{ g}$ 。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SENSOR INPUT					
Output Full-Scale Range (FSR)	Each axis ADXL354B, supports two ranges ADXL354C, supports two ranges		$\pm 2/\pm 4$ $\pm 2/\pm 8$		g g
Resonant Frequency ¹			2.4		kHz
Nonlinearity	$\pm 2\text{ g}$		0.1		%
Cross Axis Sensitivity			1		%
SENSITIVITY					
Sensitivity at X_{OUT} , Y_{OUT} , Z_{OUT}	Ratiometric to V_{IP8ANA} $\pm 2\text{ g}$ $\pm 4\text{ g}$ $\pm 8\text{ g}$	368 184 92	400 200 100	432 216 108	mV/g mV/g mV/g
Sensitivity Change due to Temperature	-40°C to $+125^\circ\text{C}$		± 0.01		%/ $^\circ\text{C}$
0 g OFFSET					
0 g Output for X_{OUT} , Y_{OUT} , Z_{OUT}	Each axis, $\pm 2\text{ g}$ Referred to $V_{\text{IP8ANA}}/2$	-75	± 25	+75	mg
0 g Offset vs. Temperature (X-Axis, Y-Axis, and Z-Axis) ²	-40°C to $+125^\circ\text{C}$	-0.15	± 0.1	+0.15	mg/ $^\circ\text{C}$
Repeatability ³	X-axis and y-axis Z-axis		± 3.5 ± 9		mg mg
Vibration Rectification Error (VRE) ⁴	$\pm 2\text{ g}$ range, in a 1 g orientation, offset due to 2.5 g rms vibration		<0.4		g
NOISE DENSITY					
X-Axis, Y-Axis, and Z-Axis	$\pm 2\text{ g}$		20		$\mu\text{g}/\sqrt{\text{Hz}}$
Velocity Random Walk	X-axis and y-axis Z-axis		9 13		$\mu\text{m}/\text{sec}/\sqrt{\text{Hr}}$ $\mu\text{m}/\text{sec}/\sqrt{\text{Hr}}$
BANDWIDTH					
Internal Low-Pass Filter Frequency	Fixed frequency, 50% response attenuation		1500		Hz
SELF TEST					
Output Change					
X-Axis			0.3		g
Y-Axis			0.3		g
Z-Axis			1.5		g
POWER SUPPLY					
Voltage Range					
V_{SUPPLY}^5		2.25	2.5	3.6	V
V_{DDIO}		V_{IP8DIG}	2.5	3.6	V
V_{IP8ANA} , V_{IP8DIG} with Internal Low Dropout Regulator (LDO) Bypassed	$V_{\text{SUPPLY}} = 0\text{ V}$	1.62	1.8	1.98	V
Current					
Measurement Mode					
V_{SUPPLY} (LDO Enabled)			150		μA
V_{IP8ANA} (LDO Disabled)			138		μA
V_{IP8DIG} (LDO Disabled)			12		μA
Standby Mode					
V_{SUPPLY} (LDO Enabled)			21		μA
V_{IP8ANA} (LDO Disabled)			7		μA
V_{IP8DIG} (LDO Disabled)			10		μA
Turn On Time ⁶	2 g range Power-off to standby		<10 <10		ms ms

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
OUTPUT AMPLIFIER					
Swing	No load	0.03		$V_{IPSSANA} - 0.03$	V
Output Series Resistance			32		k Ω
TEMPERATURE SENSOR					
Output at 25°C			892.2		mV
Scale Factor			3.0		mV/°C
TEMPERATURE					
Operating Temperature Range		-40		+125	°C

¹ 共振周波数は、センサーの特性です。バイパス不能な内蔵アナログ 1.5 kHz (-6 dB) の sinc ローパス・フィルタが実際の出力応答を制限します。

² 温度変化は -40 °C ~ +25 °C または +25 °C ~ +125 °C です。

³ 再現性は 10 年の期間にわたって予測され、高温動作時の寿命テスト (HTOL) ($T_A = 150$ °C、 $V_{SUPPLY} = 3.6$ V、1000 時間)、温度サイクル (-55 °C ~ +125 °C と 1000 サイクル)、速度ランダム・ウォーク、広帯域ノイズ、温度ヒステリシスによるシフトを考慮しています。

⁴ VRE 測定は DC オフセットのシフトで、デバイスは 50 Hz ~ 2 kHz のランダムな振動 2.5 g rms の影響を受けます。テスト対象デバイス (DUT) では、 ± 2 g の範囲と 4 kHz の出力データ・レートが設定されています。レンジ設定と VRE スケール

⁵ $V_{IPSSANA}$ と $V_{IPSSDIG}$ が内部で発生する場合、 V_{SUPPLY} は有効です。LDO を無効にして $V_{IPSSANA}$ と $V_{IPSSDIG}$ を外部から駆動するには、 V_{SUPPLY} を V_{SS} に接続します。

⁶ 出力の最終値が 1 mg 以内の場合、測定スタンバイ・モードになります。

ADXL355 のデジタル出力

特に指定のない限り、 $T_A = 25$ °C、 $V_{SUPPLY} = 3.3$ V、X 軸加速度および Y 軸加速度 = 0 g、Z 軸加速度 = 1 g、出力データ・レート (ODR) = 500 Hz。多機能ピンの名称は、該当する機能のみで表記されることがあります。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SENSOR INPUT					
Output Full Scale Range (FSR)	Each axis User selectable		± 2.048 ± 4.096 ± 8.192		g g g
Nonlinearity	± 2 g		0.1		% FS
Cross Axis Sensitivity			1		%
SENSITIVITY					
X-Axis, Y-Axis, and Z-Axis Sensitivity	Each axis ± 2 g ± 4 g ± 8 g	235,520 117,760 58,880	256,000 128,000 64,000	276,480 138,240 69,120	LSB/g LSB/g LSB/g
X-Axis, Y-Axis, and Z-Axis Scale Factor	± 2 g ± 4 g ± 8 g		3.9 7.8 15.6		μ g/LSB μ g/LSB μ g/LSB
Sensitivity Change due to Temperature	-40°C to +125°C		± 0.01		%/°C
0 g OFFSET					
X-Axis, Y-Axis, and Z-Axis 0 g Output	Each axis, ± 2 g	-75	± 25	+75	mg
0 g Offset vs. Temperature (X-Axis, Y-Axis, and Z-Axis) ¹	-40°C to +125°C	-0.15	± 0.02	+0.15	mg/°C
Repeatability ²	X-axis and y-axis Z-axis		± 3.5 ± 9		mg mg
Vibration Rectification ³	± 2 g range, in a 1 g orientation, offset due to 2.5 g rms vibration		<0.4		g
NOISE DENSITY					
X-Axis, Y-Axis, and Z-Axis	± 2 g		25		μ g/ $\sqrt{\text{Hz}}$
Velocity Random Walk	X-axis and y-axis Z-axis		9 13		μ m/sec/ $\sqrt{\text{Hr}}$ μ m/sec/ $\sqrt{\text{Hr}}$
OUTPUT DATA RATE AND BANDWIDTH					
Low-Pass Filter Passband Frequency	User programmable, Register 0x28	1		1000	Hz
High-Pass Filter Passband Frequency When Enabled (Disabled by Default)	User programmable, Register 0x28 for 4 kHz ODR	0.0095		10	Hz

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SELF TEST					
Output Change					
X-Axis			0.3		g
Y-Axis			0.3		g
Z-Axis			1.5		g
POWER SUPPLY					
Voltage Range					
V_{SUPPLY} Operating ⁴		2.25	2.5	3.6	V
V_{DDIO}		V_{IP8DIG}	2.5	3.6	V
V_{IP8ANA} and V_{IP8DIG} with Internal LDO Bypassed	$V_{\text{SUPPLY}} = 0 \text{ V}$	1.62	1.8	1.98	V
Current					
Measurement Mode					
V_{SUPPLY} (LDO Enabled)			200		μA
V_{IP8ANA} (LDO Disabled)			160		μA
V_{IP8DIG} (LDO Disabled)			35.5		μA
Standby Mode					
V_{SUPPLY} (LDO Enabled)			21		μA
V_{IP8ANA} (LDO Disabled)			7		μA
V_{IP8DIG} (LDO Disabled)			10		μA
Turn On Time ⁵	2 g range Power-off to standby		<10		ms
			<10		ms
TEMPERATURE SENSOR					
Output at 25°C			1852		LSB
Scale Factor			-9.05		LSB/°C
TEMPERATURE					
Operating Temperature Range		-40		+125	°C

¹ 温度変化は -40 °C ~ +25 °C または +25 °C ~ +125 °C です。

² 再現性は 10 年の期間にわたって予測され、HTOL ($T_A = 150 \text{ °C}$ 、 $V_{\text{SUPPLY}} = 3.6 \text{ V}$ 、1000 時間)、温度サイクル (-55 °C ~ +125 °C と 1000 サイクル)、速度ランダム・ウォーク、広帯域ノイズ、温度ヒステリシスによるシフトを考慮しています。

³ VRE 測定値は DC オフセットのシフトで、デバイスは 50 Hz ~ 2 kHz のランダムな振動 2.5 g rms の影響を受けます。DUT には、 $\pm 2 \text{ g}$ の範囲と 4 kHz の出力データ・レートが設定されています。レンジ設定と VRE スケール

⁴ V_{IP8ANA} と V_{IP8DIG} が内部で発生する場合、 V_{SUPPLY} は有効です。LDO を無効にして V_{IP8ANA} と V_{IP8DIG} を外部から駆動するには、 V_{SUPPLY} を V_{SS} に接続します。

⁵ 出力の最終値が 1 mg 以内の場合は、測定スタンバイ・モードになります。

ADXL355 の SPI デジタル・インターフェース特性

多機能ピンの名称は、該当する機能のみで表記されることがあります。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
DC INPUT LEVELS						
Input Voltage						
Low Level	V_{IL}				$0.3 \times V_{\text{DDIO}}$	V
High Level	V_{IH}		$0.7 \times V_{\text{DDIO}}$			V
Input Current						
Low Level	I_{IL}	$V_{\text{IN}} = 0 \text{ V}$	-0.1			μA
High Level	I_{IH}	$V_{\text{IN}} = V_{\text{DDIO}}$			0.1	μA
DC OUTPUT LEVELS						
Output Voltage						
Low Level	V_{OL}	$I_{\text{OL}} = I_{\text{OL, MIN}}$			$0.2 \times V_{\text{DDIO}}$	V
High Level	V_{OH}	$I_{\text{OH}} = I_{\text{OH, MAX}}$	$0.8 \times V_{\text{DDIO}}$			V
Output Current						
Low Level	I_{OL}	$V_{\text{OL}} = V_{\text{OL, MAX}}$	-10			mA
High Level	I_{OH}	$V_{\text{OH}} = V_{\text{OH, MIN}}$			4	mA

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
AC INPUT LEVELS						
SCLK Frequency			0.1		10	MHz
SCLK High Time	t_{HIGH}		40			ns
SCLK Low Time	t_{LOW}		40			ns
CS Setup Time	t_{CSS}		20			ns
CS Hold Time	t_{CSH}		20			ns
CS Disable Time	t_{CSD}		40			ns
Rising SCLK Setup Time	t_{SCLKS}		20			ns
MOSI Setup Time	t_{SU}		20			ns
MOSI Hold Time	t_{HD}		20			ns
AC OUTPUT LEVELS						
Propagation Delay	t_p	$C_{LOAD} = 30\text{ pF}$			30	ns
Enable MISO Time	t_{EN}		30			ns
Disable MISO Time	t_{DIS}				20	ns

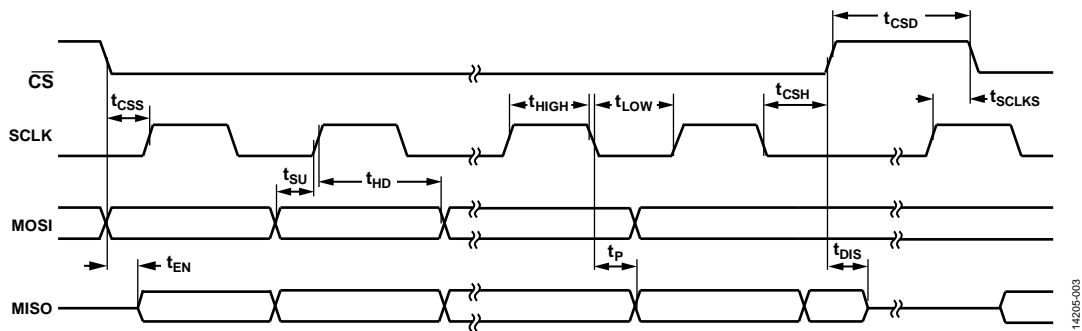


図 3. SPI インターフェースのタイミング図

ADXL355 の I²C デジタル・インターフェース特性

多機能ピンの名称は、該当する機能のみで表記されることがあります。

表 4.

Parameter	Symbol	Test Conditions/ Comments	I2C_HS = 0 (Fast Mode)			I2C_HS = 1 (High Speed Mode)			Unit
			Min	Typ	Max	Min	Typ	Max	
DC INPUT LEVELS									
Input Voltage									
Low Level	V_{IL}				$0.3 \times V_{DDIO}$			$0.3 \times V_{DDIO}$	V
High Level	V_{IH}		$0.7 \times V_{DDIO}$			$0.7 \times V_{DDIO}$			V
Hysteresis of Schmitt Trigger Inputs	V_{HYS}		$0.05 \times V_{DDIO}$			$0.1 \times V_{DDIO}$			μA
Input Current	I_{IL}	$0.1 \times V_{DDIO} < V_{IN} < 0.9 \times V_{DDIO}$	-10		+10				μA
DC OUTPUT LEVELS									
Output Voltage									
Low Level	V_{OL1}	$I_{OL} = 3\text{ mA}$ $V_{DD} > 2\text{ V}$			0.4				V
	V_{OL2}	$V_{DD} \leq 2\text{ V}$			$0.2 \times V_{DDIO}$				V
Output Current									
Low Level	I_{OL}	$V_{OL} = 0.4\text{ V}$ $V_{OL} = 0.6\text{ V}$	20						mA
			6						mA

Parameter	Symbol	Test Conditions/ Comments	I2C_HS = 0 (Fast Mode)			I2C_HS = 1 (High Speed Mode)			Unit
			Min	Typ	Max	Min	Typ	Max	
AC INPUT LEVELS									
SCLK Frequency			0		1	0		3.4	MHz
SCL High Time	t_{HIGH}		260			60			ns
SCL Low Time	t_{LOW}		500			160			ns
Start Setup Time	t_{SUSTA}		260			160			ns
Start Hold Time	t_{HDSTA}		260			160			ns
SDA Setup Time	t_{SUDAT}		50			10			ns
SDA Hold Time	t_{HDDAT}		0			0			ns
Stop Setup Time	t_{SUSTO}		260			160			ns
Bus Free Time	t_{BUF}		500						ns
SCL Input Rise Time	t_{RCL}				120			80	ns
SCL Input Fall Time	t_{FCL}				120			80	ns
SDA Input Rise Time	t_{RDA}				120			160	ns
SDA Input Fall Time	t_{FDA}				120			160	ns
Width of Spikes to Suppress	t_{SP}	Not shown in Figure 4			50			10	ns
AC OUTPUT LEVELS									
Propagation Delay		$C_{LOAD} = 500 \text{ pF}$							
Data	t_{VDDAT}		97		450	27		135	ns
Acknowledge	t_{VDACK}				450				ns
Output Fall Time	t_F	Not shown in Figure 4	$20 \times (V_{DD}/5.5)$		120				ns

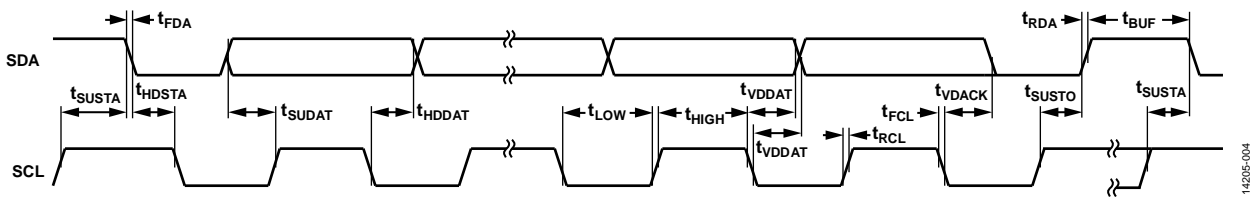


図 4. I²C インターフェースのタイミング図

14205-004

絶対最大定格

表 5.

Parameter	Rating
Acceleration (Any Axis, 0.1 ms) Unpowered	5,000 g
V _{SUPPLY} , V _{DDIO}	5.4 V
V _{IP8ANA} , V _{IP8DIG} Configured as Inputs	1.98 V
ADXL354	
Digital Inputs (RANGE, ST1, ST2, STBY)	-0.3 V to V _{DDIO} + 0.3 V
Analog Outputs (X _{OUT} , Y _{OUT} , Z _{OUT} , TEMP)	-0.3 V to V _{IP8ANA} + 0.3 V
ADXL355	
Digital Pins (\overline{CS} , SCLK, MOSI, MISO, INT1, INT2, DRDY)	-0.3 V to V _{DDIO} + 0.3 V
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-55°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間にわたり絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路ボード (PCB) の設計と動作環境に直接関連があります。PCB の熱設計には、細心の注意を払う必要があります。

表 6. 熱抵抗

Package Type	θ_{JA}	Unit
E-14-1 ¹	42	°C/W

¹熱抵抗のシミュレーション値は、4つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 を参照してください。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

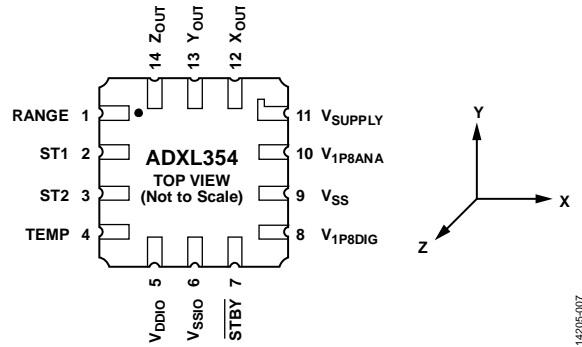


図 5. ADXL354 のピン配置

表 7. ADXL354 のピン機能の説明

ピン番号	記号	説明
1	RANGE	範囲選択ピン。このピンをグラウンドに設定して $\pm 2g$ の範囲を選択するか、このピンを V_{DDIO} に設定して $\pm 4g$ または $\pm 8g$ の範囲を選択します。このピンは、モデルによって異なります（オーダー・ガイドセクションを参照）。
2	ST1	セルフ・テスト・ピン 1。このピンを使用して、セルフ・テスト・モードを有効にします。
3	ST2	セルフ・テスト・ピン 2。このピンを使用して、電子機械式セルフ・テスト動作をアクティブにします。
4	TEMP	温度センサーの出力。
5	V_{DDIO}	デジタル・インターフェースの電源電圧。
6	V_{SSIO}	デジタル・グラウンド。
7	STBY	スタンバイ・モードまたは測定モードの選択ピン。このピンをグラウンドに設定すると、スタンバイ・モードになります。このピンを V_{DDIO} に設定すると、測定モードになります。
8	V_{1P8DIG}	デジタル電源。このピンには、デカップリング・コンデンサが必要です。 V_{SUPPLY} を V_{SS} に接続する場合、このピンに外部から電圧を供給します。
9	V_{SS}	アナログ・グラウンド。
10	V_{1P8ANA}	アナログ電源。このピンには、デカップリング・コンデンサが必要です。 V_{SUPPLY} を V_{SS} に接続する場合、このピンに外部から電圧を供給します。
11	V_{SUPPLY}	電源電圧。 V_{SUPPLY} が 2.25 V または 3.6 V の場合、 V_{SUPPLY} によって内部 LDO が有効になり、 V_{1P8DIG} と V_{1P8ANA} が発生します。 $V_{SUPPLY} = V_{SS}$ の場合、 V_{1P8DIG} と V_{1P8ANA} は外部から供給されます。
12	X_{OUT}	X 軸の出力。
13	Y_{OUT}	Y 軸の出力。
14	Z_{OUT}	Z 軸の出力。

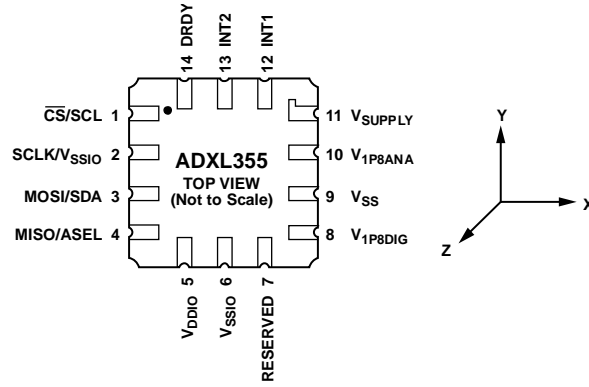


図 6. ADXL355 のピン配置

表 8. ADXL355 のピン機能の説明

ピン番号	記号	説明
1	CS/SCL	SPI (CS) のチップ選択 I ² C 用のシリアル通信クロック (SCL)。
2	SCLK/V _{SSIO}	SPI 用のシリアル通信クロック (SCLK)。 I ² C 用の V _{SSIO} の接続 (V _{SSIO})。
3	MOSI/SDA	SPI 用のマスター出力/スレーブ入力 (MOSI)。 I ² C 用のシリアル・データ (SDA)。
4	MISO/ASEL	SPI インターフェース用のマスター入力/スレーブ出力 (MISO)。 I ² C 用の代替 I ² C アドレス選択 (ASEL)。
5	V _{DDIO}	デジタル・インターフェースの電源電圧。
6	V _{SSIO}	デジタル・グラウンド。
7	RESERVED	予備。このピンはグラウンドに接続するか、オープンのままにできます。
8	V _{1P8DIG}	デジタル電源。このピンには、デカップリング・コンデンサが必要です。V _{SUPPLY} を V _{SS} に接続する場合、このピンに外部から電圧を供給します。
9	V _{SS}	アナログ・グラウンド。
10	V _{1P8ANA}	アナログ電源。このピンには、デカップリング・コンデンサが必要です。V _{SUPPLY} を V _{SS} に接続する場合、このピンに外部から電圧を供給します。
11	V _{SUPPLY}	電源電圧。V _{SUPPLY} が 2.25 V または 3.6 V の場合、V _{SUPPLY} によって内部 LDO が有効になり、V _{1P8DIG} と V _{1P8ANA} が発生します。V _{SUPPLY} = V _{SS} の場合、V _{1P8DIG} と V _{1P8ANA} は外部から供給されます。
12	INT1	割込みピン 1。
13	INT2	割込みピン 2。
14	DRDY	データ・レディ・ピン。

代表的な性能特性

複数のデバイスと複数のロットのデータがすべての図に含まれています。特に指定のない限り、 $\pm 2g$ の範囲で測定されています。

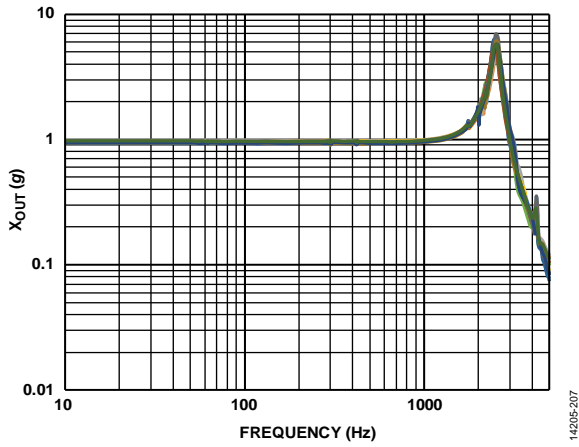


図 7. ADXL354 X 軸の周波数応答

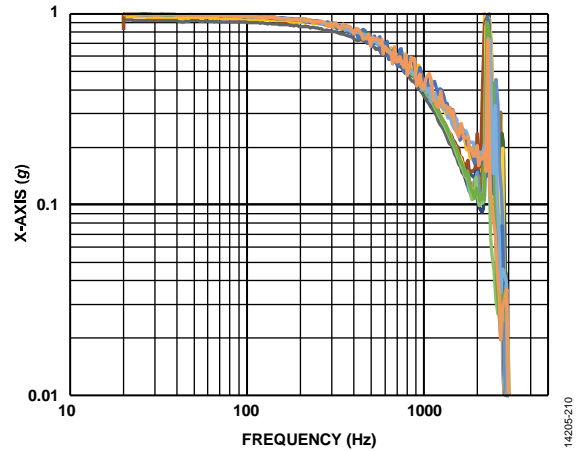


図 10. ADXL355 ODR 4 kHz での X 軸の正規化された周波数応答

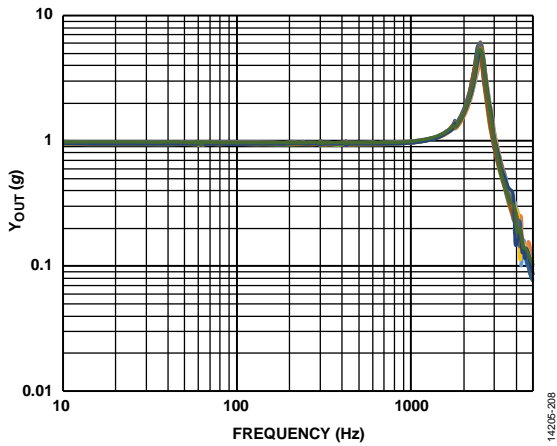


図 8. ADXL354 Y 軸の周波数応答

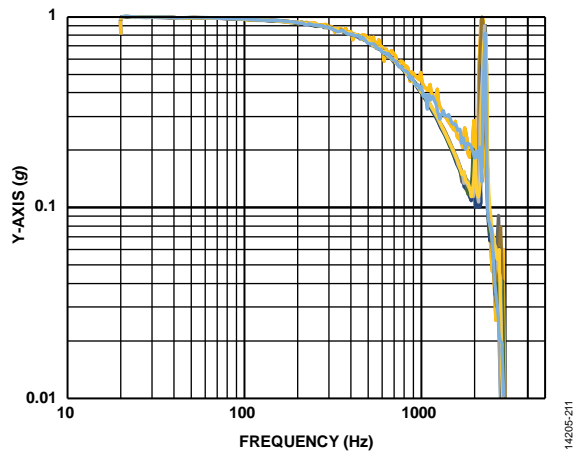


図 11. ADXL355 ODR 4 kHz での Y 軸の正規化された周波数応答

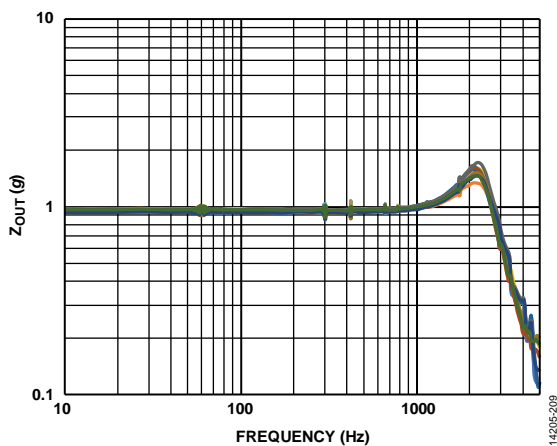


図 9. ADXL354 Z 軸の周波数応答

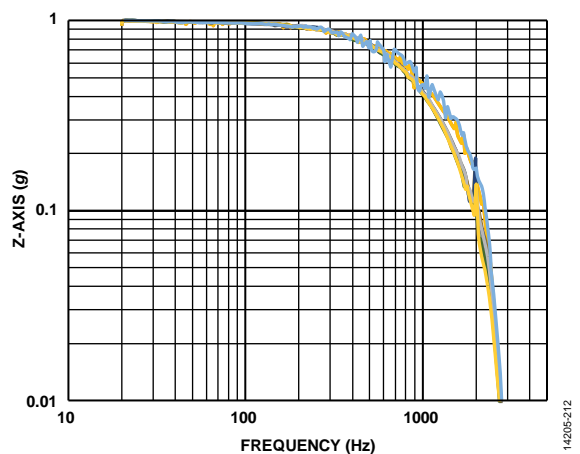


図 12. ADXL355 ODR 4 kHz での Z 軸の正規化された周波数応答

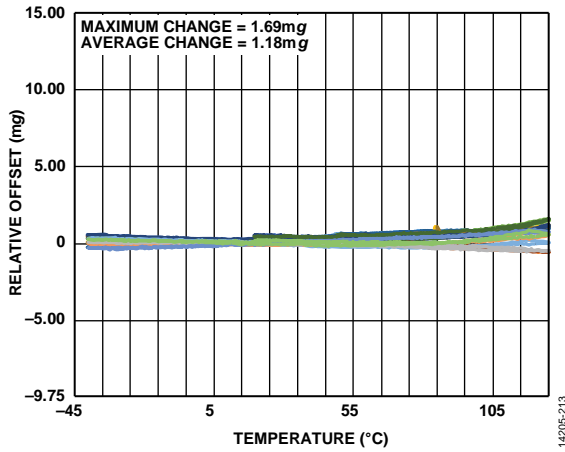


図 13. ADXL354 25 °C を基準とした X 軸の 0 g オフセットの温度特性

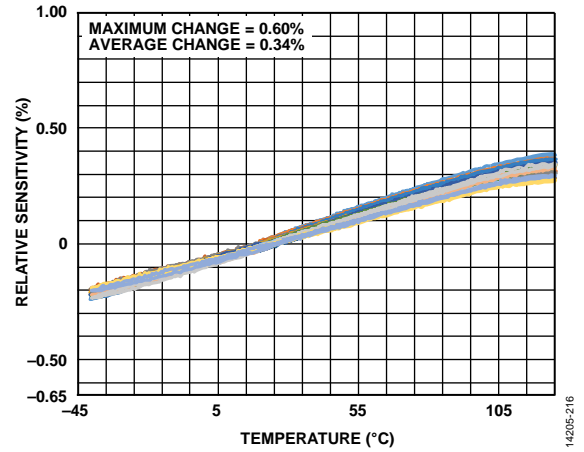


図 16. ADXL354 25 °C を基準とした X 軸感度の温度特性

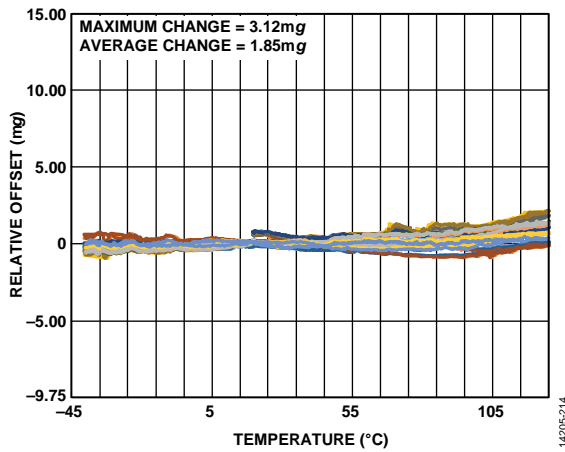


図 14. ADXL354 25 °C を基準とした Y 軸の 0 g オフセットの温度特性

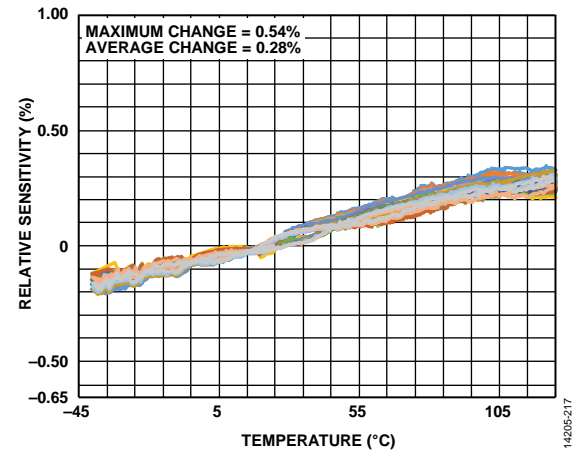


図 17. ADXL354 25 °C を基準とした Y 軸感度の温度特性

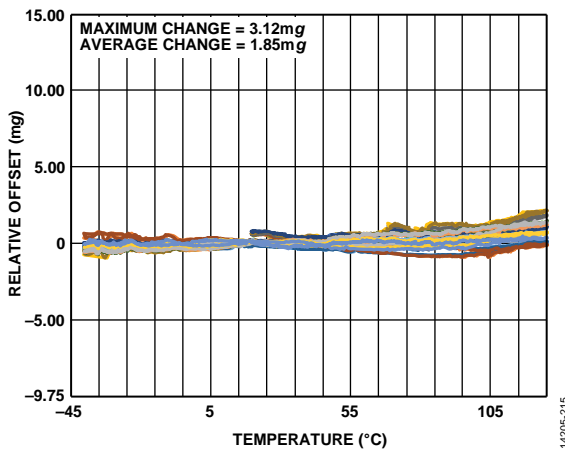


図 15. ADXL354 25 °C を基準とした Z 軸の 0 g オフセットの温度特性

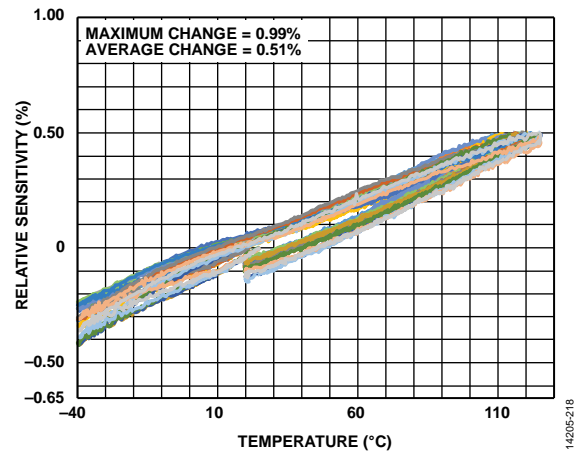


図 18. ADXL354 25 °C を基準とした Z 軸感度の温度特性

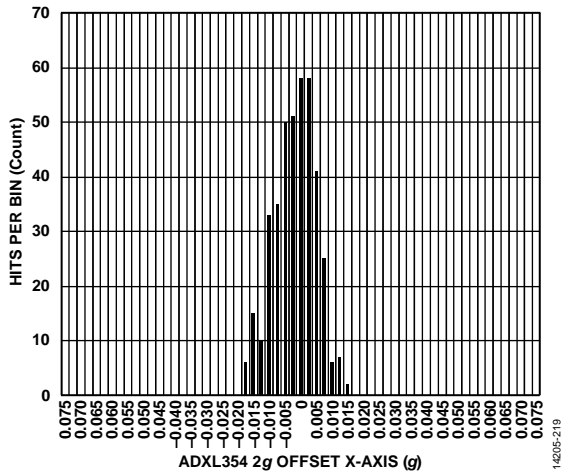


図 19. ADXL354 25 °C での 0 g オフセット・ヒストグラム、X 軸

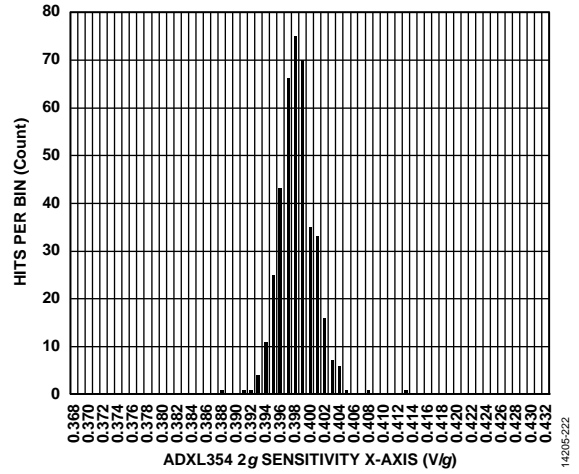


図 22. ADXL354 25 °C での感受性ヒストグラム、X 軸

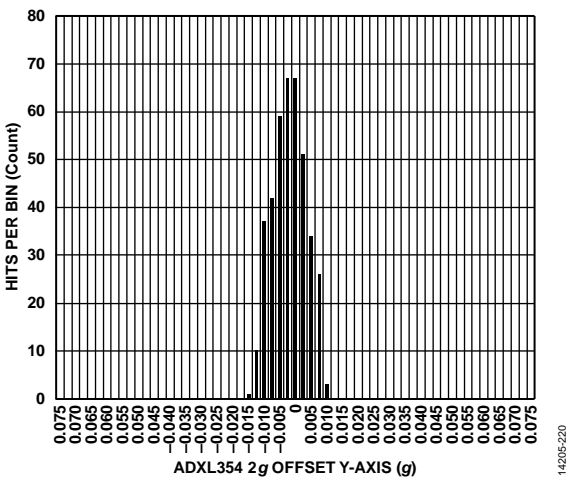


図 20. ADXL354 25 °C での 0 g オフセット・ヒストグラム、Y 軸

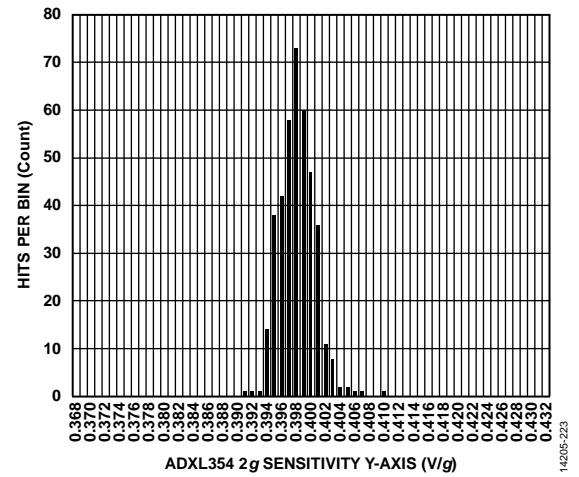


図 23. ADXL354 25 °C での感受性ヒストグラム、Y 軸

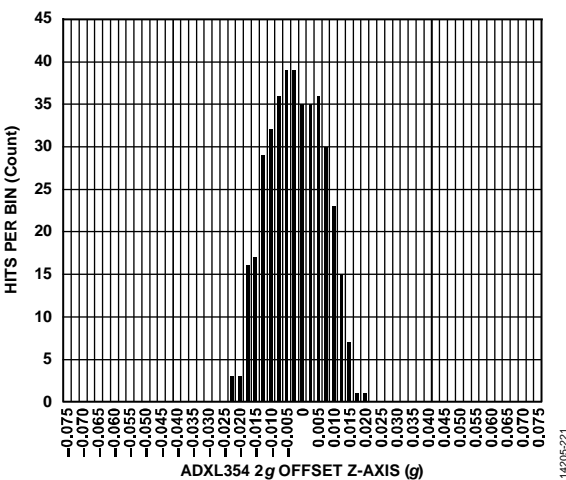


図 21. ADXL354 25 °C での 0 g オフセット・ヒストグラム、Z 軸

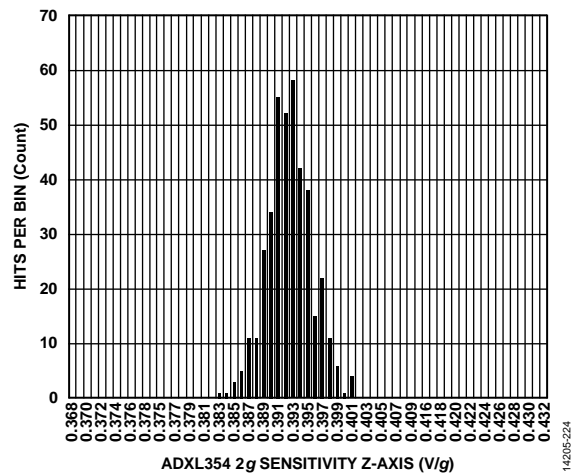


図 24. ADXL354 25 °C での感受性ヒストグラム、Z 軸

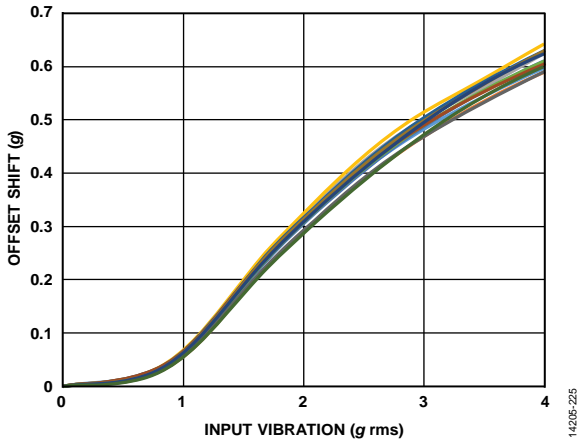


図 25. ADXL354 振動整流誤差 (VRE)、+1 g からの X 軸オフセット、±2 g 範囲、X 軸方向 = -1 g

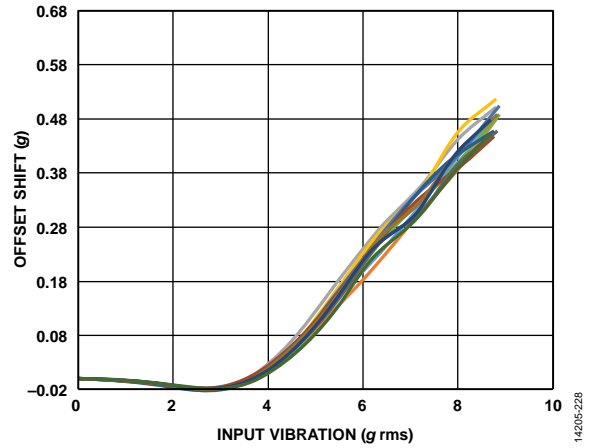


図 28. ADXL354 振動整流誤差 (VRE)、+1 g からの X 軸オフセット、±8 g 範囲、X 軸方向 = -1 g

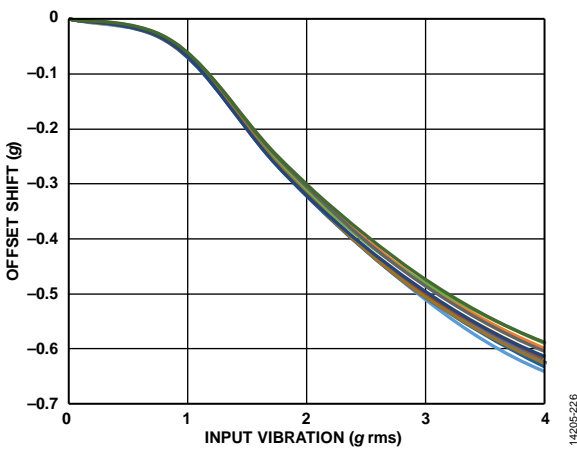


図 26. ADXL354 振動整流誤差 (VRE)、+1 g からの Y 軸オフセット、±2 g 範囲、Y 軸方向 = +1 g

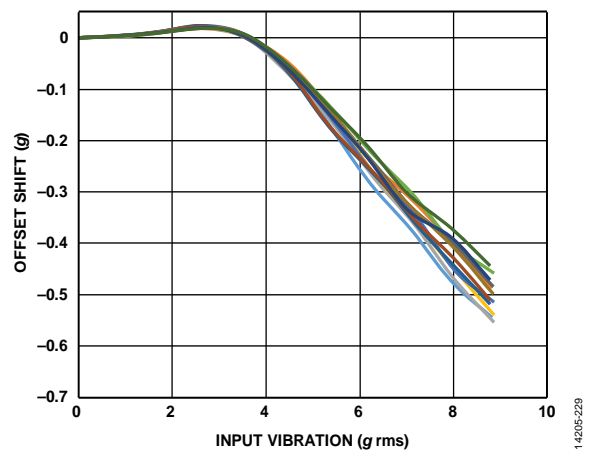


図 29. ADXL354 振動整流誤差 (VRE)、+1 g からの Y 軸オフセット、±8 g 範囲、Y 軸方向 = +1 g

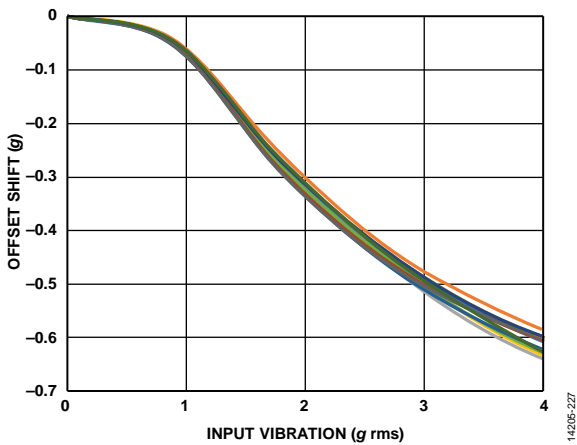


図 27. ADXL354 振動整流誤差 (VRE)、+1 g からの Z 軸オフセット、±2 g 範囲、Z 軸方向 = +1 g

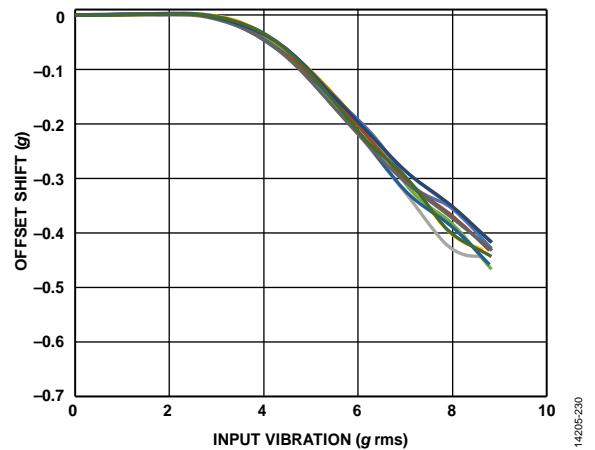


図 30. ADXL354 振動整流誤差 (VRE)、+1 g からの Z 軸オフセット、±8 g 範囲、Z 軸方向 = +1 g

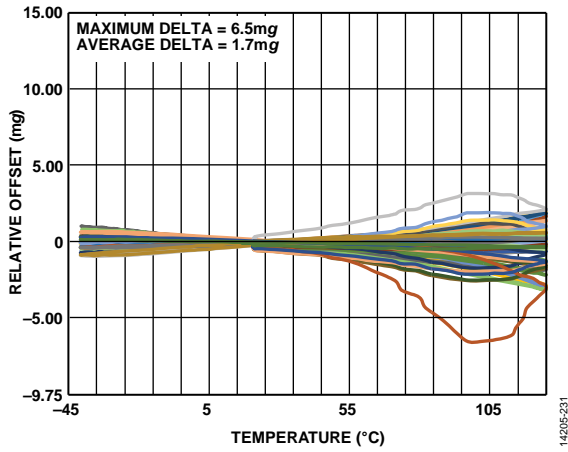


図 31. ADXL355 25 °C を基準とした X 軸の 0g オフセットの温度特性

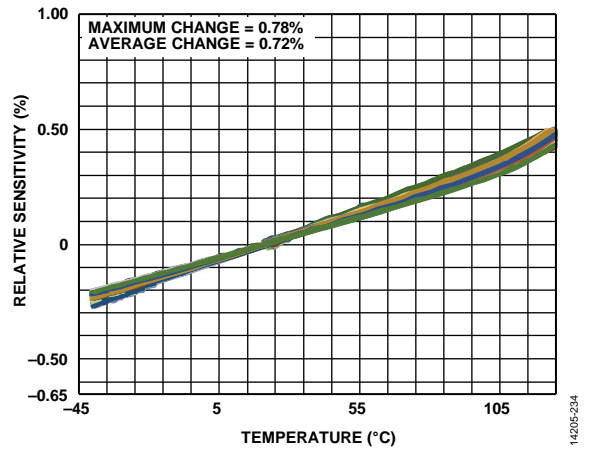


図 34. ADXL355 25 °C を基準とした X 軸感度の温度特性

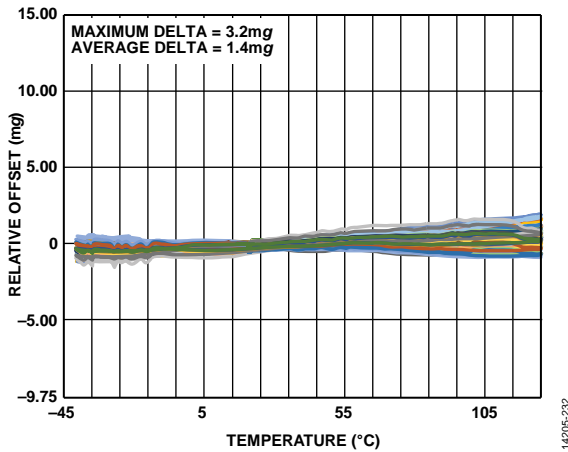


図 32. ADXL355 25 °C を基準とした Y 軸の 0g オフセットの温度特性

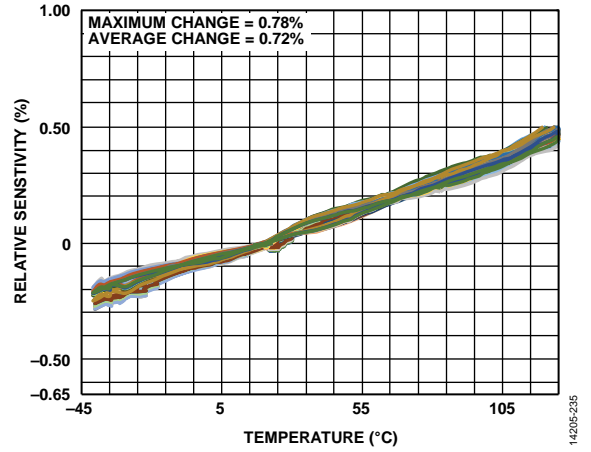


図 35. ADXL355 25 °C を基準とした Y 軸感度の温度特性

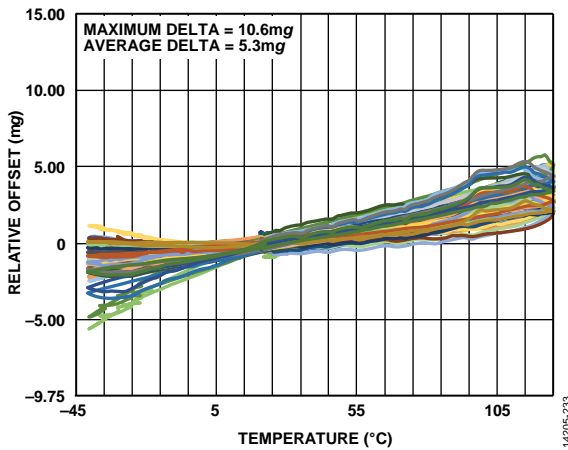


図 33. ADXL355 25 °C を基準とした Z 軸の 0g オフセットの温度特性

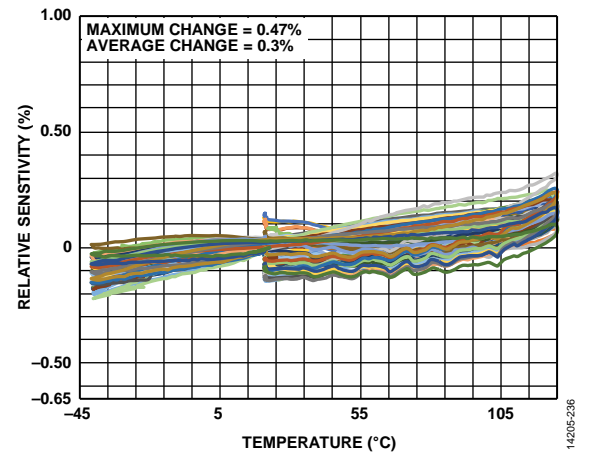


図 36. ADXL355 25 °C を基準とした Z 軸感度の温度特性

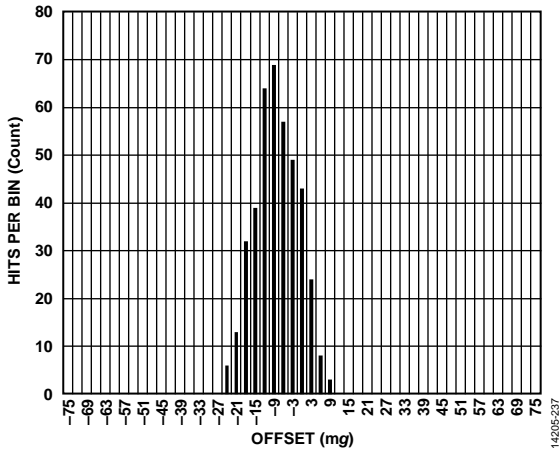


図 37. ADXL355 25 °C での 0 g オフセット・ヒストグラム、X 軸

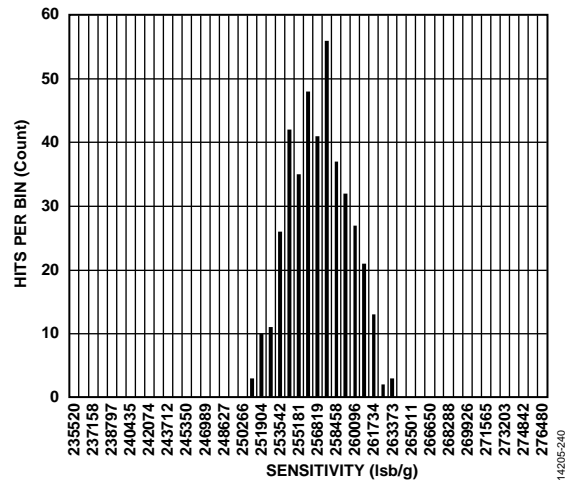


図 40. ADXL355 25 °C での感受性ヒストグラム、X 軸

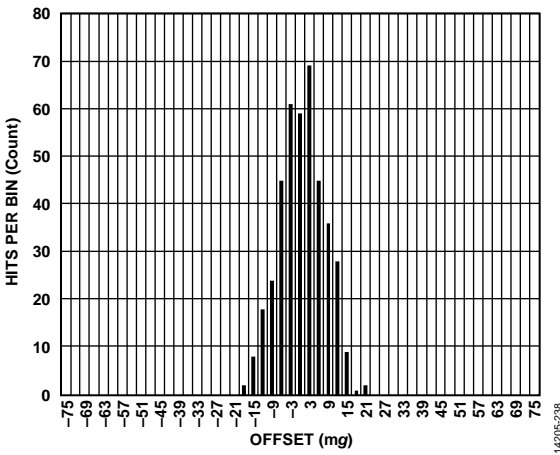


図 38. ADXL355 25 °C での 0 g オフセット・ヒストグラム、Y 軸

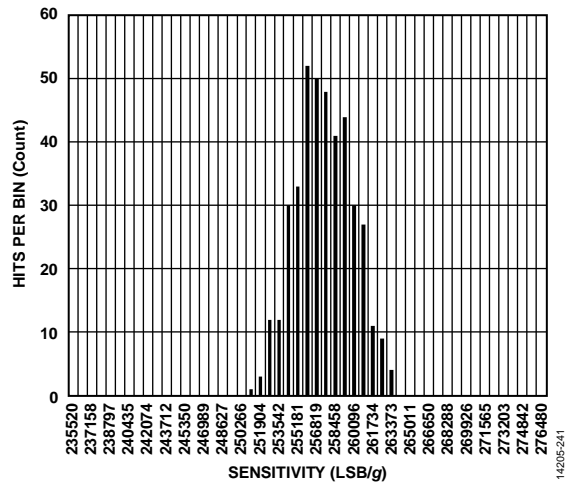


図 41. ADXL355 25 °C での感受性ヒストグラム、Y 軸

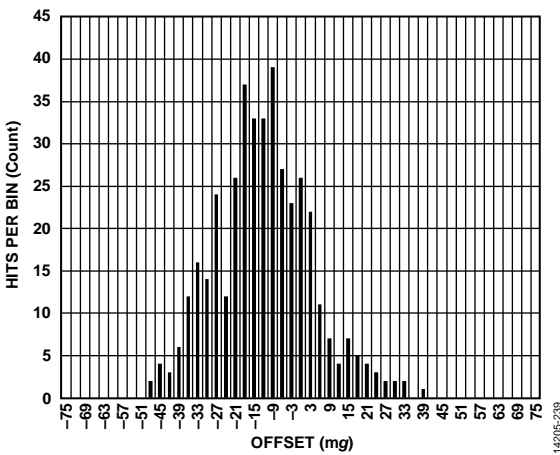


図 39. ADXL355 25 °C での 0 g オフセット・ヒストグラム、Z 軸

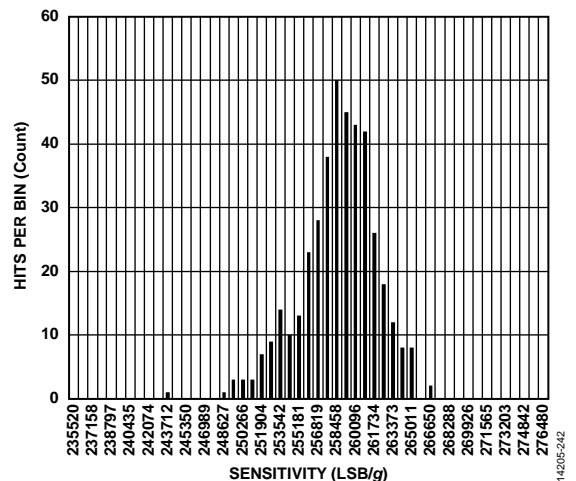


図 42. ADXL355 25 °C での感受性ヒストグラム、Z 軸

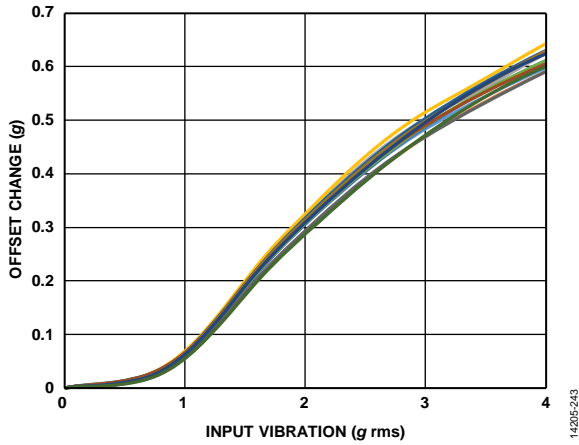


図 43. ADXL355 振動整流誤差 (VRE)、+1 g からの X 軸オフセット、±2 g 範囲、X 軸方向 = -1 g

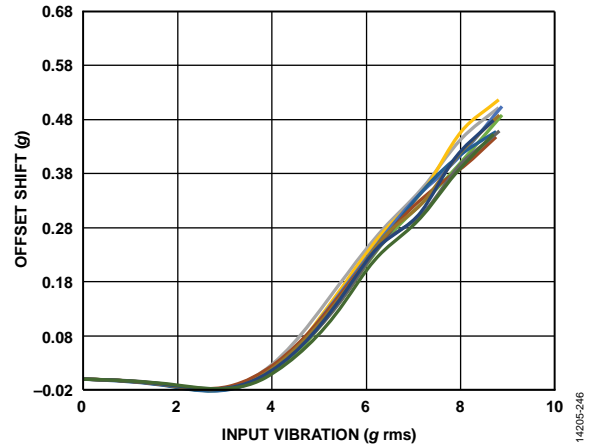


図 46. ADXL355 振動整流誤差 (VRE)、+1 g からの X 軸オフセット、±8 g 範囲、X 軸方向 = -1 g

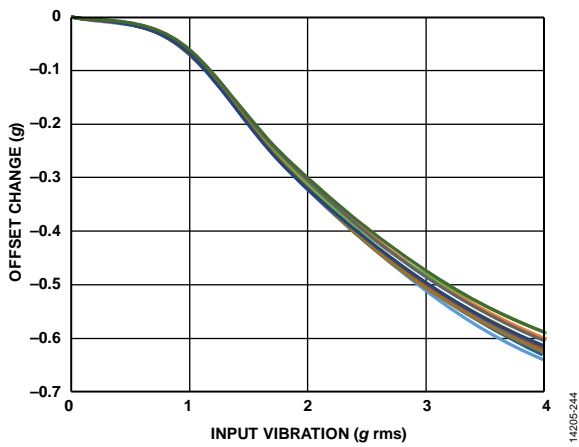


図 44. ADXL355 振動整流誤差 (VRE)、+1 g からの Y 軸オフセット、±2 g 範囲、Y 軸方向 = +1 g

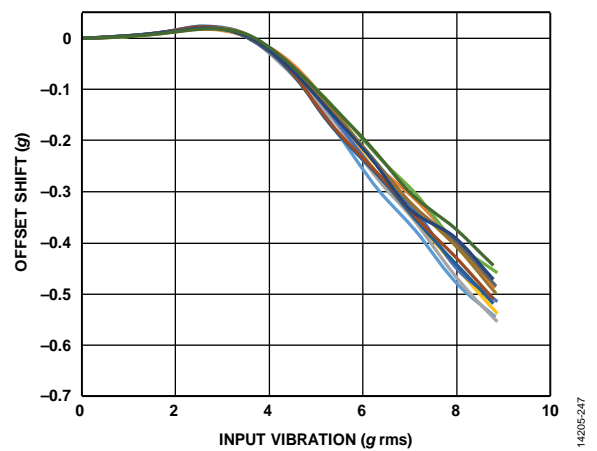


図 47. ADXL355 振動整流誤差 (VRE)、+1 g からの Y 軸オフセット、±8 g 範囲、Y 軸方向 = +1 g

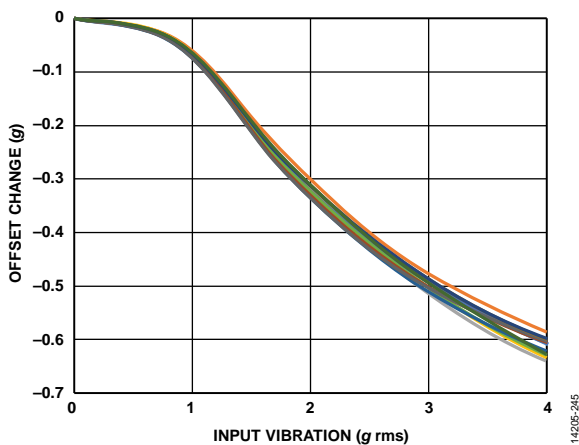


図 45. ADXL355 振動整流誤差 (VRE)、+1 g からの Z 軸オフセット、±2 g 範囲、Z 軸方向 = +1 g

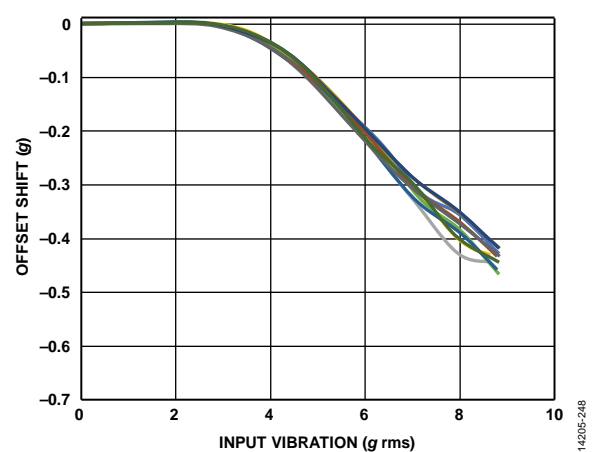


図 48. ADXL355 振動整流誤差 (VRE)、+1 g からの Z 軸オフセット、±8 g 範囲、Z 軸方向 = +1 g

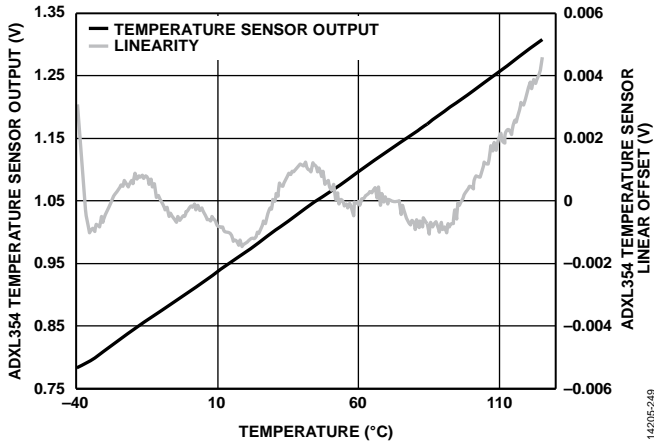


図 49. ADXL354 温度センサーの出力と直線性オフセットの温度特性

14205-249

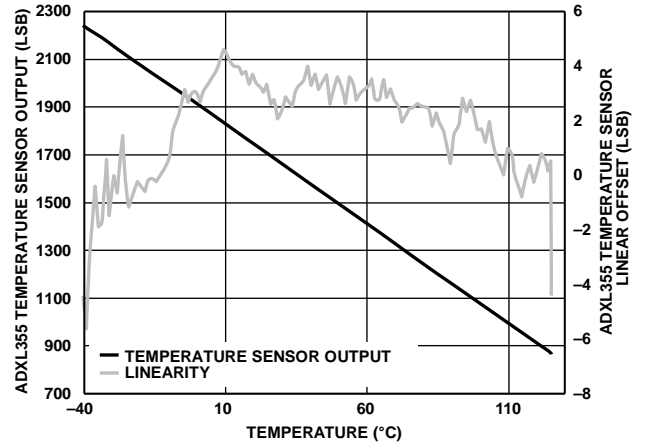


図 52. ADXL355 温度センサーの出力と直線性オフセットの温度特性

14205-250

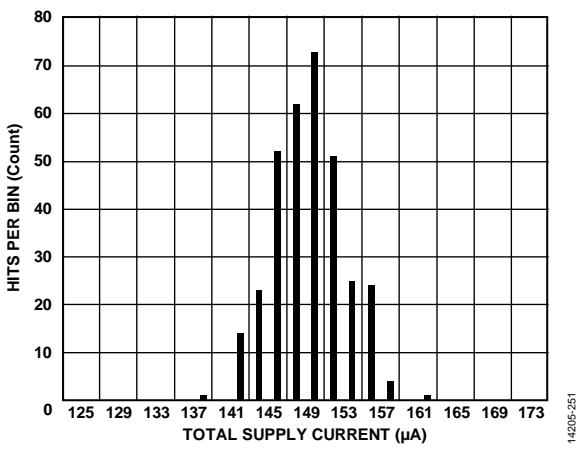


図 50. ADXL354 合計電源電流、3.3 V

14205-251

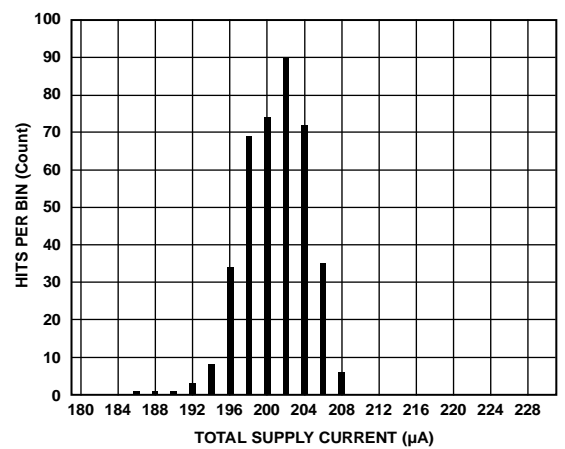


図 53. ADXL355 合計電源電流、3.3 V

14205-253

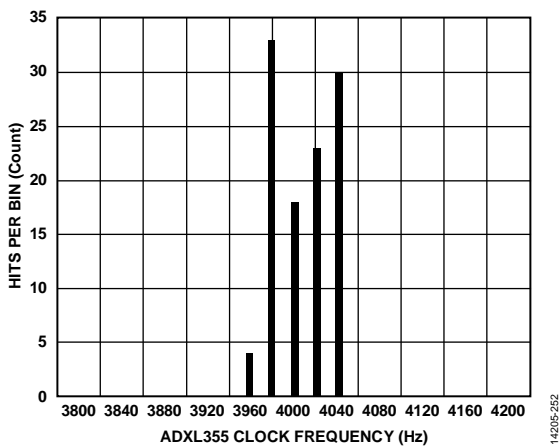


図 51. ADXL355 内部クロック周波数ヒストグラム

14205-252

アラン偏差 (RAV) ADXL355 特性

複数のデバイスと複数のロットのデータがすべての図に含まれています。特に指定のない限り、 $\pm 2g$ の範囲で測定されています。

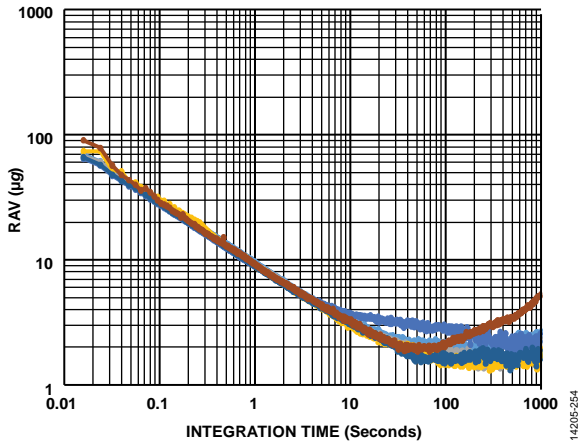


図 54. ADXL355 アラン偏差 (RAV)、X 軸

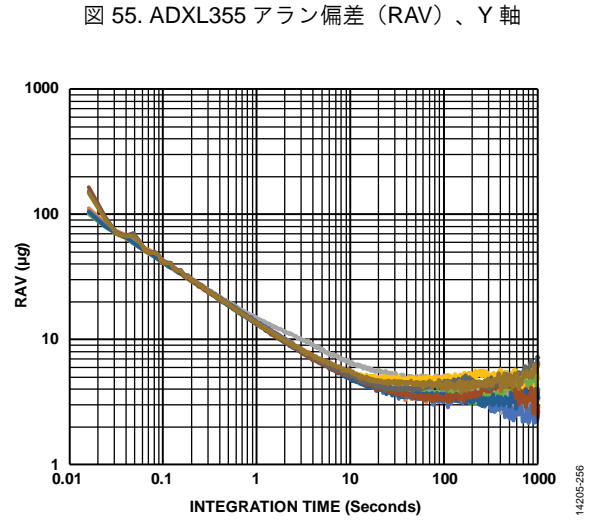


図 55. ADXL355 アラン偏差 (RAV)、Y 軸

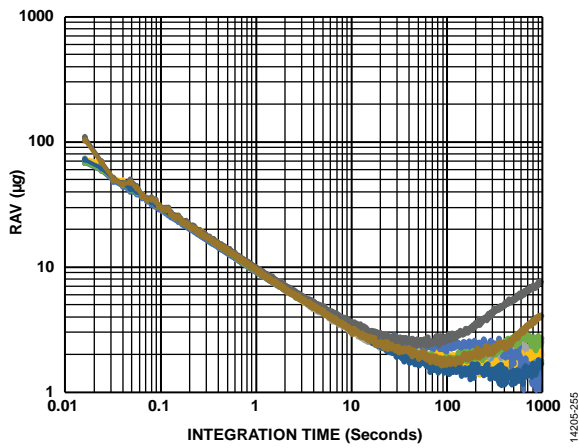


図 56. ADXL355 アラン偏差 (RAV)、Z 軸

動作原理

ADXL354は、必要な機能をすべて備えた3軸、超低ノイズ、非常に安定したオフセットのMEMS加速度センサーです。このセンサーは、 V_{IP8ANA} の1.8Vアナログ電圧に比例した測定値を出力します。ADXL355は、アナログ1.8V電源をリファレンスにした3つの高分解能ADCを搭載しているため、電源電圧の影響を受けにくいデジタル出力を生成します。ADXL354Bは $\pm 2g$ または $\pm 4g$ フルスケールでピン選択可能、ADXL354Cは $\pm 2g$ または $\pm 8g$ フルスケールでピン選択可能、ADXL355は $\pm 2.048g$ 、 $\pm 4.096g$ 、 $\pm 8.192g$ フルスケールでプログラマブルです。ADXL355はSPIとI²Cの両方の通信ポートを備えています。

マイクロマシン構造の検出素子は完全差動型で、水平方向にX軸とY軸センサー、垂直方向にZ軸センサーを搭載しています。X軸、Y軸センサー、Z軸センサーは、オフセット・ドリフトとノイズを最低限に抑える個別の信号経路に配置されています。ADXL354のアナログ出力での差動からシングルエンドへの変換を除き、信号経路は完全差動型です。

ADXL354のアナログ加速度センサーの出力は、 V_{IP8ANA} に比例するので、慎重かつ正確にデジタル化する必要があります。温度センサーの出力は、 V_{IP8ANA} に比例しません。X_{OUT}、Y_{OUT}、Z_{OUT}アナログ出力は、アンチエイリアス・フィルタを使用して内部でフィルタ処理されます。これらのアナログ出力は、出力の帯域幅を設定する外部コンデンサと併用できる32k Ω の内部直列抵抗を備えています。

ADXL355には、高分解能 Σ - Δ ADCの前後にアンチエイリアス・フィルタが配置されています。出力データ・レートとフィルタ・コーナーを選択できます。温度センサーの出力は、12ビット逐次比較レジスタ(SAR)ADCでデジタル化されます。

アナログ出力

図57にADXL354のアプリケーション回路を示します。アナログ出力(X_{OUT}、Y_{OUT}、Z_{OUT})は、 V_{IP8ANA} ピンの1.8Vアナログ電圧に比例します。 V_{IP8ANA} は、 V_{SUPPLY} から給電されるオンチップLDOで駆動されます。 V_{SUPPLY} を V_{SS} に入力してLDOを無効にすることで、 V_{IP8ANA} に外部から給電することもできます。ADXL354の出力は供給電圧に比例するので、デジタル化して固有のノイズとオフセット性能を実現するには、アナログ出力で V_{IP8ANA} 電源をリファレンスにする必要があります。0gバイアス出力は、通常 $V_{IP8ANA}/2$ に等しくなります。ADXL354とレシオメトリックADC(アナログ・デバイセズ製のAD7682など)を V_{IP8ANA} で使用して、電圧リファレンスを提供することを推奨します。この構成を使用することで、わずかな電源変動による誤差が打ち消されます。

ADXL354では、2種類のフィルタ処理を使用しています。約1.5kHzのカットオフ周波数を使用した内部アンチエイリアス・フィルタ処理と外部フィルタ処理です。外部フィルタ処理では、各出力に直列接続したオンチップの32k Ω 固定抵抗に、外部コンデンサを組み合わせることで、外部ADCの前段にローパス・フィルタ・アンチエイリアシングとノイズ削減を実装しています。アンチエイリアス・フィルタのカットオフ周波数は、目的の信号帯域幅よりも大幅に高くする必要があります。アンチエイリアス・フィルタ・コーナーが低すぎると、信号の減衰がリファレンス減衰と異なる場合に、比例誤差が大きくなる可能性があります。

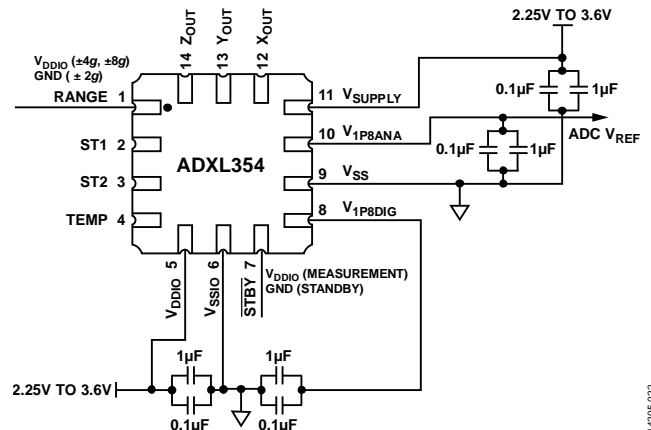


図 57. ADXL354 アプリケーション回路

142054022

デジタル出力

図 59 に、ADXL355 アプリケーション回路と推奨されるバイパス・コンデンサを示します。通信インターフェースは、SPI または I²C です（詳細については、シリアル通信のセクションを参照）。

ADXL355 には、内部構成可能なデジタルバンド・パス・フィルタが含まれます。フィルタ設定レジスタのセクションと表 43 で説明しているように、フィルタのハイパス極とローパス極の両方を調整できます。パワーアップ時のこれらのフィルタのデフォルト条件は、次のとおりです。

- ハイパス・フィルタ (HPF) = dc (オフ)
- ローパス・フィルタ (LPF) = 1000 Hz
- 出力データ・レート = 4000 Hz

加速度検出軸

図 58 に、加速度検出軸を示します。検出軸で加速が生じると、対応する出力電圧が増加します。

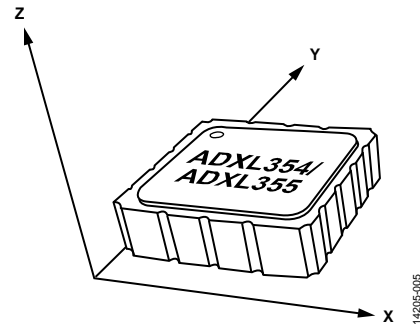


図 58. 加速度検出軸

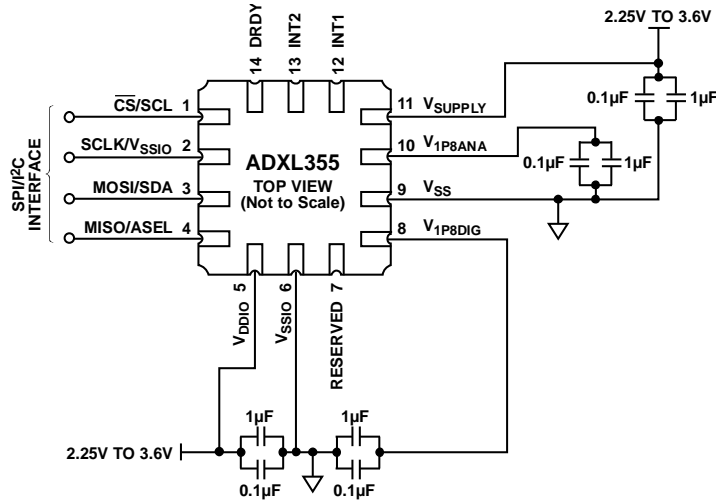


図 59. ADXL355 アプリケーション回路

電源シーケンス

デバイスに給電する方法は2つあります。通常、内部 LDO レギュレータは、アナログ電源とデジタル電源 (V_{IP8ANA} と V_{IP8DIG}) にそれぞれ 1.8 V の電源を生成します。オプションで、 V_{SUPPLY} を V_{SS} に接続して V_{IP8ANA} と V_{IP8DIG} を外部電源で駆動すると、 V_{IP8ANA} と V_{IP8DIG} を供給できます。

内部 LDO レギュレータを使用する場合は、 V_{SUPPLY} を 2.25 V ~ 3.6 V の間の電圧源に接続します。この場合、 V_{DDIO} と V_{SUPPLY} を並列で駆動できます。 $V_{SUPPLY} - V_{DDIO}$ の電圧差が 0.5 V を超えてはいけません。必要に応じて、 V_{DDIO} を V_{SUPPLY} よりも前に駆動できます。

内部 LDO レギュレータを無効にして、外部 1.8 V 電源経由で V_{IP8ANA} と V_{IP8DIG} の電源を駆動する場合は、 V_{SUPPLY} をグラウンドに接続し、 V_{IP8ANA} と V_{IP8DIG} の最終電圧を同じ値に設定します。LDO をバイパスする場合に推奨される電源シーケンスを次に示します。まず、 V_{DDIO} に給電した後、約 10 μ s 経過してから電源 V_{IP8DIG} を給電します。その後、約 10 μ s 経過してから V_{IP8ANA} を給電します。必要に応じて、同じ 1.8 V 電源で V_{IP8DIG} と V_{DDIO} を駆動できます。適切な絶縁を使用して、 V_{IP8ANA} に接続することもできます。この場合、センサーのノイズ性能を維持するため、適切なデカップリングと低周波絶縁が重要になります。

電源の説明

ADXL354/ADXL355 には、 V_{SUPPLY} 、 V_{IP8ANA} 、 V_{IP8DIG} 、 V_{DDIO} の 4 種類の電源領域があります。内部のアナログ回路とデジタル回路は、公称 1.8 V で動作します。

V_{SUPPLY}

V_{SUPPLY} は 2.25 V ~ 3.6 V です。これは V_{IP8ANA} と V_{IP8DIG} の公称 1.8 V の出力を生成する 2 つの LDO レギュレータの入力範囲です。LDO レギュレータを無効にするには、 V_{SUPPLY} を V_{SS} に接続します。これにより、 V_{IP8ANA} と V_{IP8DIG} を外部電源から駆動できます。

V_{IP8ANA}

すべてのセンサーとアナログ信号処理回路は、この領域で動作します。アナログ出力 ADXL354 のオフセットと感度は、この電源電圧に比例します。外部 ADC を使用する場合は、 V_{IP8ANA} をリファレンス電圧として使用します。デジタル出力 ADXL355 には、 V_{IP8ANA} に比例する ADC が含まれます。このため、オフセットと感度が V_{IP8ANA} の影響を受けなくなります。 V_{IP8ANA} は、 V_{SUPPLY} 電圧の状態によって定義される入力と出力として使用できます。

V_{IP8DIG}

V_{IP8DIG} は、内部ロジック回路の電源電圧です。個別の LDO レギュレータによって、アナログ信号経路からのデジタル電源ノイズがデカップリングされます。 V_{IP8ANA} は、 V_{SUPPLY} 電圧の状態によって定義される入力と出力として使用できます。外部駆動の場合、 V_{IP8DIG} は V_{IP8ANA} 電圧と同じ電圧にする必要があります。

V_{DDIO}

V_{DDIO} 値は、ロジック・ハイ・レベルを決定します。アナログ出力 ADXL354 では、 V_{DDIO} はセルフ・テスト・ピン ST1 と ST2 だ

けでなく、 \overline{STBY} ピンのロジック・ハイ・レベルを設定します。デジタル出力 ADXL355 では、 V_{DDIO} を使用して通信インターフェース・ポートだけでなく、割り込みと DRDY 出力のロジック・ハイ・レベルを設定します。

LDO レギュレータは、 V_{SUPPLY} が 2.25 V ~ 3.6 V の間で動作します。 V_{IP8ANA} と V_{IP8DIG} は、このモードのレギュレータ出力です。代わりに、 V_{SUPPLY} を V_{SS} に接続すると、 V_{IP8ANA} と V_{IP8DIG} は、1.62 V ~ 1.98 V 範囲の電源電圧入力になります。

オーバーレンジ保護

プルーフ・マスに静電気が蓄積しないように、加速度センサーの入力がフルスケール・レンジを超えると、すべてのセンサー・ドライブ・クロックは、0.5 ms の間オフになります。 $\pm 2g/\pm 2.048g$ の範囲設定では、 $\pm 8g/\pm 8.192g$ ($\pm 25\%$) を超える入力信号、 $\pm 4g/\pm 4.096g$ と $\pm 8g/\pm 8.192g$ の範囲設定、約 $\pm 16g$ ($\pm 25\%$) に対応する閾値設定で、オーバーレンジ保護が有効になります。

オーバーレンジ保護が発生すると、ADXL354 の X_{OUT} 、 Y_{OUT} 、 Z_{OUT} ピンはミッドスケールに駆動します。ADXL355 はゼロに向かってフロート状態になり、このデータの処理で先入れ先出し (FIFO) が始まります。

セルフ・テスト

ADXL354 と ADXL355 には、機械システムと電子システムを同時に効率よく検査するセルフ・テスト機能が組み込まれています。ADXL354 では、ST1 ピンを V_{DDIO} に駆動して、セルフ・テスト・モードを起動します。次に、ADXL354 は、ST2 ピンを V_{DDIO} に駆動することで、静電気力を機械センサーに適用し、静電気力への応答での出力の変化を誘導します。ST1 がアサートされていて、ST2 がハイの状態と ST2 がローの状態の間の出力電圧の差がセルフ・テスト・デルタ (または応答) になります。セルフ・テスト測定が完了したら、両方のピンをロー状態に移行して、通常動作を再開します。

SELF_TEST レジスタ (レジスタ 0x2E) から ST1 と ST2 にアクセスできることを除くと、セルフ・テスト動作は ADXL355 と同じです。

セルフ・テスト機能を使用すれば、外部で付加された加速度を除去し、セルフ・テストの力だけに応答できます。このため、外部に機械ノイズが存在する場合でも、セルフ・テストを正確に測定できます。

FILTER

ADXL354/ADXL355 は、アナログ、ローパス、アンチエイリアシング・フィルタを使用して、帯域外ノイズを削減し、帯域幅を制限します。ADXL355 には、各種 ODR で優れたノイズ性能を維持す

るため、詳細なデジタル・フィルタ処理オプションを用意しています。

ADXL354/ADXL355 のアナログ、ローパス、アンチエイリアシング・フィルタは、約 1.5 kHz の固定帯域幅を実現します。ここで、出力応答は約 50 % 減衰します。周波数領域でのフィルタ応答の形状は、sinc3 フィルタ応答の形状に一致します。

ADXL354X 軸、Y 軸、Z 軸のアナログ出力には、32 kΩ の直列抵抗の前段にあるアンプや、X_{OUT}、Y_{OUT}、Z_{OUT} ピンへの出力が含まれます。

ADXL355 は、内部 20 ビット Σ-Δ ADC でフィルタ処理されたアナログ信号をデジタル化します。アナログ、ローパス、アンチエイリアシング・フィルタを通過した後の補助的なデジタル・フィルタ処理は、ローパス・デジタル・デシメーション・フィルタと、4 kHz ~ 3.9 Hz の出力データ・レートに対応するバイパス可能なハイパス・フィルタで構成されます。デシメーション・フィルタは 2 段構成になっています。1 段目は、約 1 kHz のローパス・フィルタ・カットオフを使用した 4 kHz の ODR で実行する固定デシメーションです（出力応答で 50 % の除去）です。2 段目の可変デシメーション・フィルタは、2 kHz 以下の出力データ・レートで 사용되는デシメーション・フィルタ（4 kHz ODR でバイパス）です。図 60 に、ADXL355 の 1 kHz コーナー（4 kHz ODR）を使用したローパス・フィルタの応答を示します。図 60 には、約 1.5 kHz の固定帯域幅の固定周波数アナログ、ローパス、アンチエイリアシング・フィルタは含まれません。

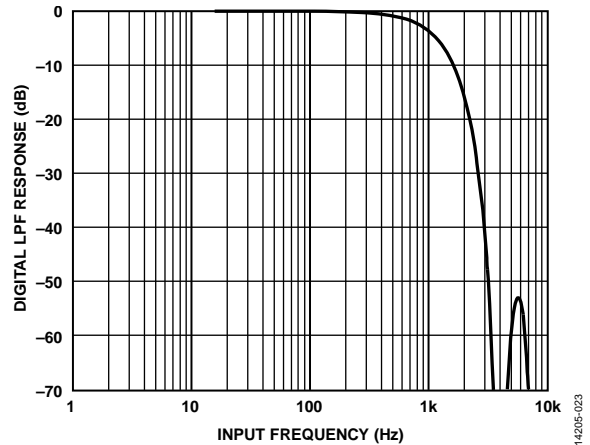


図 60. ADXL355 4 kHz ODR でのデジタル・ローパス・フィルタ (LPF) の応答

ADXL355 の信号経路の通過帯域は、前述のアナログ・フィルタやデジタル・デシメーション・フィルタ/ODR 設定を含む、複合フィルタの応答に関連があります。表 9 に、各設定のデシメーション・フィルタに関連付けられた遅延と、ODR/4 コーナーでの減衰を示します。

表 9. デジタル・フィルタの群遅延とプロファイル

Programmed ODR (Hz)	Delay		Attenuation	
	ODR (Cycles)	Time (ms)	Decimator at ODR/4 (dB)	Full Path at ODR/4 (dB)
4000	2.52	0.63	-3.44	-3.63
4000/2 = 2000	2.00	1.00	-2.21	-2.26
4000/4 = 1000	1.78	1.78	-1.92	-1.93
4000/8 = 500	1.63	3.26	-1.83	-1.83
4000/16 = 250	1.57	6.27	-1.83	-1.83
4000/32 = 125	1.54	12.34	-1.83	-1.83
4000/64 = 62.5	1.51	24.18	-1.83	-1.83
4000/128 ~ 31	1.49	47.59	-1.83	-1.83
4000/256 ~ 16	1.50	96.25	-1.83	-1.83
4000/512 ~ 8	1.50	189.58	-1.83	-1.83
4000/1024 ~ 4	1.50	384.31	-1.83	-1.83

ADXL355 には、プログラマブル・コーナー周波数を使用した、オプションのデジタル・ハイパス・フィルタも含まれます。デフォ

ルトでは、ハイパス・フィルタは無効になります。出力が 50 % 減衰するハイパス・コーナー周波数は、ODR とフィルタ・レジスタ

の HPF_CORNER 設定（レジスタ 0x28 のビット [6:4]）に関連があります。表 10 に、HPF_CORNER の応答を示します。図 61 と図 62 に、シミュレートされた 10 Hz カットオフのハイパス・フィルタ応答と遅延を示します。

ADXL355 には、外部同期オプションを提供する、オーバーサンプリング/アップコンバートされたデータを生成するデシメーション・フィルタの後段にインターポレーション・フィルタも含まれます。詳細については、データ同期のセクションを参照してください。表 11 に、プログラマブル ODR に関連する遅延と減衰を示します。

群遅延はデジタル・フィルタ遅延で、ADC に入力されたデータがインターフェースで使用できるようになるまでの時間に相当します（Filter セクションを参照）。この遅延は、センサーからシリアル・インターフェースまでの遅延合計の最も大きい成分です。

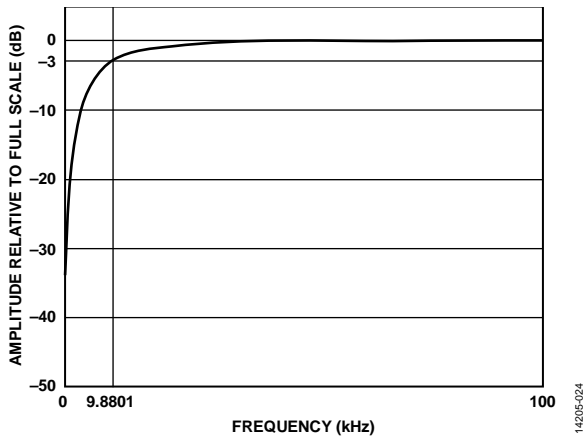


図 61. 4 kHz、ODR および HPF_CORNER 設定 001（レジスタ 0x28 のビット [6:4]）のハイパス・フィルタ・パスバンド応答

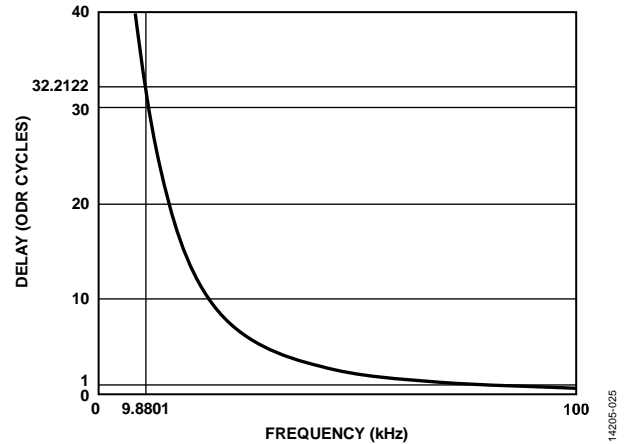


図 62. 4 kHz、ODR および HPF_CORNER 設定 001（レジスタ 0x28 のビット [6:4]）のハイパス・フィルタ遅延応答

表 10. デジタル・ハイパス・フィルタの応答

HPF_CORNER Register Setting (Register 0x28, Bits[6:4])	HPF_CORNER Frequency, -3 dB Point Relative to ODR Setting	-3 dB at 4 kHz ODR (Hz)
000	Not applicable, no high-pass filter enabled	Off
001	$24.7 \times 10^{-4} \times \text{ODR}$	9.88
010	$6.2084 \times 10^{-4} \times \text{ODR}$	2.48
011	$1.5545 \times 10^{-4} \times \text{ODR}$	0.62
100	$0.3862 \times 10^{-4} \times \text{ODR}$	0.1545
101	$0.0954 \times 10^{-4} \times \text{ODR}$	0.03816
110	$0.0238 \times 10^{-4} \times \text{ODR}$	0.00952

表 11. デジタル・インターポレーション・フィルタとデシメーション・フィルタの応答の結合

Interpolator Data Rate Resolution Relative to $64 \times \text{ODR}$ (Hz)	Combined Interpolator/Decimator Delay (ODR Cycles)	Combined Interpolator/Decimator Delay (ms)	Combined Interpolator/Decimator Output Attenuation at ODR/4 (dB)
$64 \times 4000 = 256000$	3.51661	0.88	-6.18
$64 \times 2000 = 128000$	3.0126	1.51	-4.93
$64 \times 1000 = 64000$	2.752	2.75	-4.66
$64 \times 500 = 32000$	2.6346	5.27	-4.58
$64 \times 250 = 16000$	2.5773	10.31	-4.55
$64 \times 125 = 8000$	2.5473	20.38	-4.55
$64 \times 62.5 = 4000$	2.53257	40.52	-4.55
$64 \times 31.25 = 2000$	2.52452	80.78	-4.55
$64 \times 15.625 = 1000$	2.52045	161.31	-4.55
$64 \times 7.8125 = 500$	2.5194	322.48	-4.55
$64 \times 3.90625 = 250$	2.51714	644.39	-4.55

シリアル通信

4線式シリアル・インターフェースは、SPIまたはI²Cプロトコルで通信します。使用されたフォーマットを効果的に自動検出し、フォーマットを選択するための構成制御が不要です。

SPI プロトコル

ADXL355 の SPI 通信ケーブルは、図 63 の接続図に示すように配線します。SPI プロトコルのタイミングは、図 64 ~ 図 67 に示します。タイミング方式は、クロック極性 (CPOL) = 0 とクロック位相 (CPHA) = 0 に従います。SPI クロック速度は、100 kHz ~ 10 MHz の範囲に収まります。

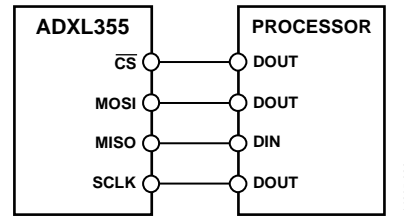


図 63. 4 線式 SPI 接続

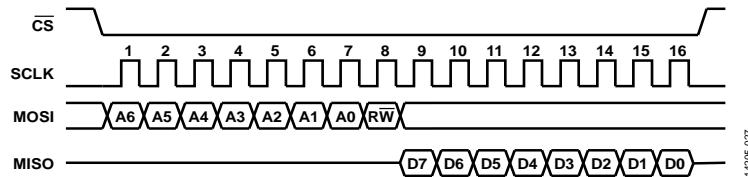


図 64. SPI のタイミング図 - 1 バイト読出し

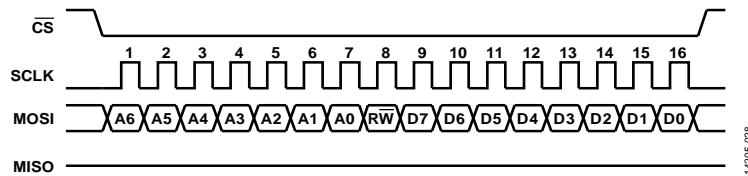


図 65. SPI のタイミング図 - 1 バイト書込み

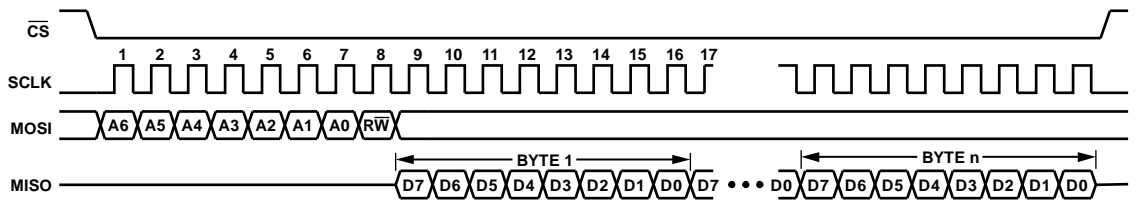


図 66. SPI のタイミング図 - 複数バイト読出し

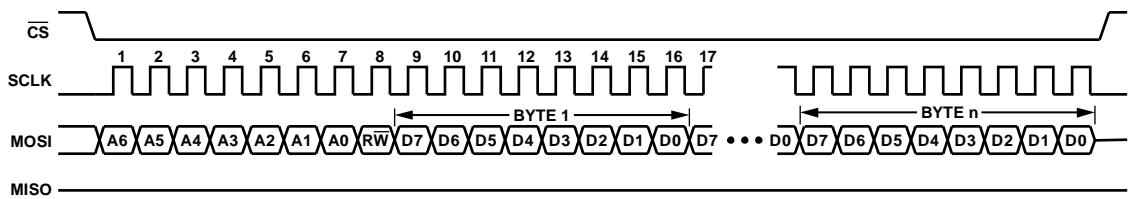


図 67. SPI のタイミング図 - 複数バイト書込み

I²C プロトコル

図 68 ~ 図 70 に、I²C プロトコル・タイミングの詳細を示します。I²C インターフェースは、I²C 標準モード (100 kHz)、高速モード (400 kHz)、高速モード・プラス (1 MHz)、ハイ・スピード・モード (3.4 MHz) で使用できます。ADXL355 I²C デバイス ID は、次のとおりです。

- ASEL (ピン) = 0、デバイス・アドレス = 0x1D
- ASEL (ピン) = 1、デバイス・アドレス = 0x53

インターフェースからの加速度または温度の読み出し

加速度データは左詰め、レジスタ・アドレスの左端に最上位データが格納され、右端に最下位データが格納されます。これにより、複数バイトの転送を使用して、必要なデータ (8 ビット、16 ビット、または 20 ビットとマーカー) だけを取得できます。温度データは、符号なし 12 ビットで右詰めです。XDATA、YDATA、ZDATA のデータは、常に最新の値で更新されます。XDATA、YDATA、

ZDATA は、特定のサンプル時点に対応するセットであるとは限りません。デバイスからデータを取得するために使用されるルーチンを使用して、このデータ・セットの連続性を制御します。DATA_RDY ビットが高になると、データ転送が開始されます。1/ODR とほぼ等しい時間で転送が完了すると、XDATA、YDATA、ZDATA が同じデータ・セットに適用されます。

いずれかのシリアル・インターフェースからの複数バイトの読み出しまたは書き込みトランザクションでは、内部レジスタ・アドレスが自動的にインクリメントします。レジスタ・アドレス範囲の先頭 0x3FF に到達すると、自動インクリメントは停止し、Hex アドレス 0x00 にラップ・バックしません。

FIFO アドレスを使用する場合、アドレス自動インクリメント機能は無効になります。このため、データは複数バイトのトランザクションとして、FIFO から連続して読み出されます。複数バイト・トランザクションの開始アドレスが FIFO アドレスよりも小さい場合、アドレスは FIFO アドレスに到達するまで自動的にインクリメントし、FIFO アドレスで停止します。

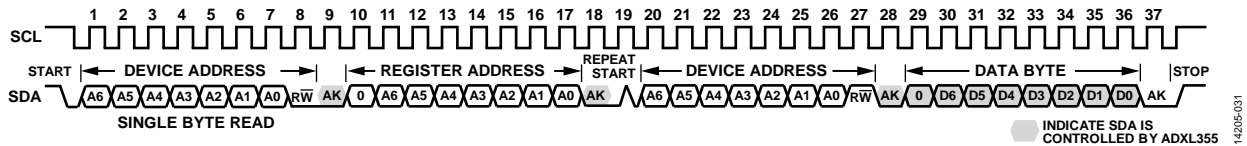


図 68. I²C のタイミング図 - 1 バイト読み出し

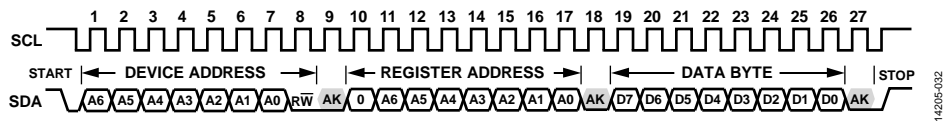


図 69. I²C のタイミング図 - 1 バイト書き出し

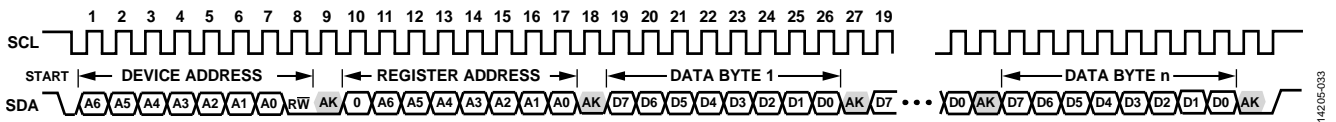


図 70. I²C のタイミング図 - 複数バイト書き出し

FIFO

FIFOはストリームモードで動作します。つまり、FIFOでオーバーランが発生すると、新しいデータでFIFO内の最も古いデータが上書きされます。FIFOアドレスからの読出しでは、加速度測定に関連付けられた3バイトが、すべて同じ測定に関連付けられます。FIFOにオーバーランが発生することはない、データは常にセット(3つのデータ・ポイントの倍数)で取得されます。

FIFOには、21ビットの格納位置が96個あります。各位置には、20ビットのデータと、X軸データのマーカ・ビットが含まれます。FIFOアドレスから1バイトを読み出すと、FIFOから1つの格納位置がポップされます。FIFOの格納位置から複数バイトを読み出す場合、最初のバイトの読出しと後続の3バイトごとの読出しでFIFOがポップされます。

図71に、FIFOのデータの編成を示します。加速度データは、2の補数フォーマットの20ビット・データです。FIFOコントロール・ロジックは、インターフェースで2つのLSBの読出しを挿入します。ビット1は、空のFIFOの読出しが試行され、データが有効な加速度データではないことを示します。ビット0は、X軸を特定するマーカ・ビットで、FIFOデータが適切に読み出されたかどうかを確認するのに使用できます。特定の軸の加速度データ・ポイントがFIFOの格納位置を1つ占有します。読出しポインタRD_PTRは、インターフェースからの読出しが実行されていない、最も古い格納データを参照します(図71を参照)。物理的なX加速度、Y加速度、Z加速度のデータ・レジスタはありません。また、このデータは、FIFO内の最新のデータ・セットから直接取得され、Zポインタ(図71を参照)で参照されます。

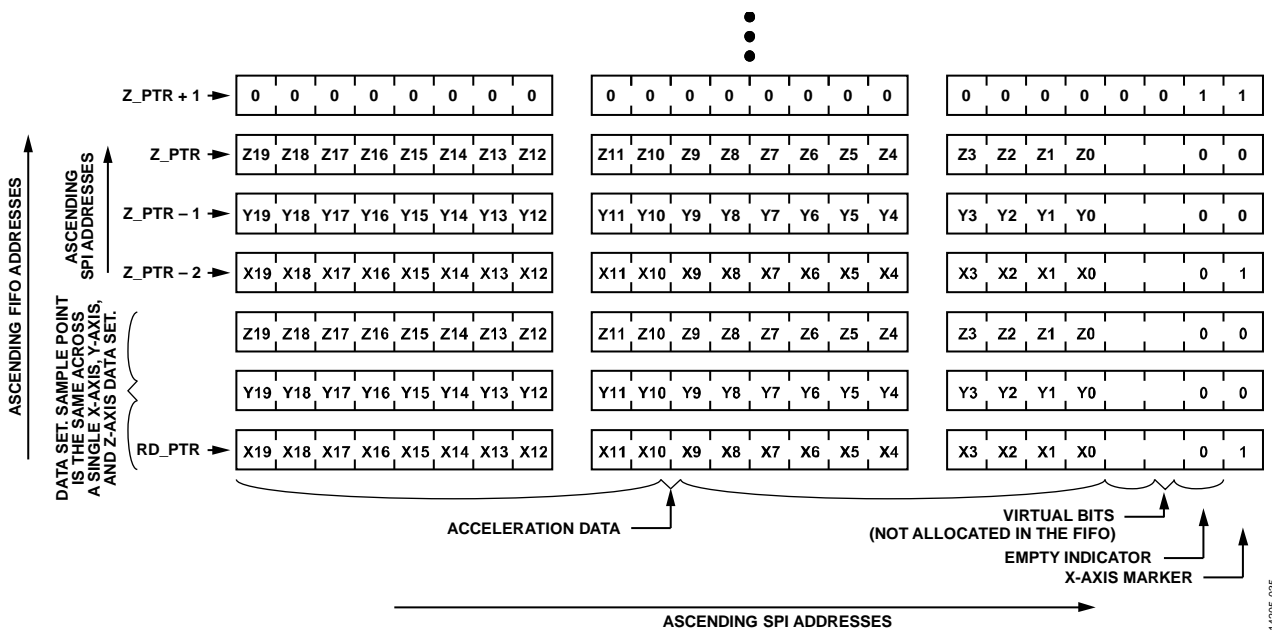


図 71. FIFO のデータ構成

割込み

ステータス・レジスタ（レジスタ 0x04）には、5の独立したビットが含まれます。これらのビットの4つを INT1 ピン、INT2 ピン、または両方にマッピングできます。割込みの極性、アクティブ・ハイまたはアクティブ・ローは範囲（レジスタ 0x2C）レジスタの INT_POL ビットからも選択できます。通常、ステータス・レジスタは読出し時にクリアされます。ただし、レジスタの読出し後も割込みが持続する場合、ステータス・レジスタはクリアされません。「持続」の定義はケースごとにわずかに異なりますが、次のセクションで説明します。DRDY ピンは、割込みピン（INTx）に類似していますが、明白な相違点が存在します。このケースについても説明します。

DATA_RDY

新しい加速度データがインターフェースで使用できるようになると、DATA_RDY ビットが設定されます。ステータス・レジスタの読出し時にクリアされます。ステータス・レジスタの読出しよりも新しい加速度データが使用できるようになると、再度設定されます。

DATA_RDY ビットをクリアする特別なロジックは、ステータス・レジスタの読出し中に新しいデータが到着するコーナーの状況にも対応します。この場合、データのレディ条件は完全に失われます。このロジックにより、最大 4 つの 512 kHz サイクルの DATA_RDY のクリアが遅延されます。

DRDY ピン

DATA は、ステータス・レジスタ・ビットではなく、マスク不能な割込みと同様に動作します。新しい加速度データがインターフェースで使用できるようになると、DRDY ビットが設定されます。FIFO の読出し時、XDATA、YDATA、ZDATA の読出し時、または出力加速度データの設定期間のほぼ中間点で発生する自動クリア機能によってクリアされます。

DRDY は常にアクティブ・ハイです。INT_POL ビットは DRDY に影響を与えません。EXT_SYNC モードでは、初期同期後に最初の DRDY パルスが数個失われるか、破損することがあります。この破損の長さは、群遅延よりも短くなります。

FIFO_FULL

FIFO のエントリが FIFO_SAMPLES ビットの設定と同じになると、FIFO_FULL ビットが設定されます。このビットは、次の場合にクリアされます。

- FIFO のエントリが FIFO_SAMPLES を下回っている場合（FIFO から十分なデータの読出しを実行できる唯一のケース）
- ステータス・レジスタの読出し時（ただし、FIFO のエントリが FIFO_SAMPLES 未満の場合のみ）

FIFO_OVR

FIFO がオーバーレンジになり、データが失われると、FIFO_OVR ビットが設定されます。仕様規定された FIFO には、96 個の格納位置があります。さらに、クロック領域の同期遅延を補償する 3 つの位置バッファがあります。99 番目の格納位置を超えて書込みが試行された場合のみ、FIFO_OVR が設定されます。

ステータス・レジスタの読出し時に FIFO_OVR がクリアされません。このデータ・レジスタの読出し後に、データが失われるまで再設定されません。

アクティビティ

アクティビティ・ビット（レジスタ 0x04、ビット 3）は、軸で測定された加速度が ACT_COUNT の連続測定の ACT_THRESH ビットを超えた場合に設定されます。閾値を超えると、連続測定が 1 つの軸からもう 1 つの軸にシフトし、ACT_COUNT で引き続きカウントされます。

ステータス・レジスタの読み出し時にアクティビティ・ビット（レジスタ 0x04、ビット 3）がクリアされますが、アクティビティ・ビット（レジスタ 0x04、ビット 3）条件が引き続き満たされると、次の測定の最後に再設定されます。

NVM_BUSY

NVM_BUSY ビットは、不揮発性メモリ（NVM）コントローラがビジーであり、読出し、書込み、割込みの生成が原因でアクセスできないことを示します。

NVM コントローラがビジーでなくなった後に発生したステータス・レジスタの読出しで、NVM_BUSY はクリアされます。

外部同期とインターポレーション

図 72 ~ 図 74 に示すように、ADXL355 の同期化オプションは 3 つあります。わかりやすいように、クロック周波数と遅延は一定の縮尺率で描かれています。図 72 ~ 図 74 のタイミング・パラメータは、次のように定義されます。

- 内部 ODR は、内部クロックに基づいた 10 進法出力データの アライメントです。
- ADC クロックは、内部マスター・クロック・レートを示します
- DRDY は、サンプルがレディであることを通知する出力インジケータです。

次の 3 つのモードがあります。

- 外部同期なし（内部クロックを使用）
- インターポレーション・フィルタを有効にした同期
- 外部同期とクロック信号による同期。インターポレーション・フィルタなし。

EXT_SYNC = 00 – 外部同期またはインターポレーションなし

この場合、同期マスターとして機能する内部クロックがデータを生成します。外部信号は不要です。これは、外部プロセッサによってデバイスから非同期でデータを取得するときに使用されるので、外部ソースへの完全な同期は不要です。レジスタ 0x28 を使用して ODR をプログラミングします。

デバイスは DRDY（アクティブ・ハイ）を出力することで、新しいサンプルが使用できることを示す信号を供給します。この際、データはリアルタイム・レジスタまたは FIFO から取得されます。群遅延は、表 9 で示すデシメーション設定に基づきます。

EXT_SYNC = 10 – 外部同期とインターポレーション

この場合、内部クロックがデータを生成しますが、インターポレーション・フィルタによって時間分解能がプログラマブル ODR の 64 倍に向上します。通常、インターポレーション・フィルタと外部 ODR クロックを使用した同期は、外部プロセッサが目的の ODR で同期信号を提供できる（内部クロックに非同期）場合に使用されます。インターポレーション・フィルタを有効にした同期（EXT_SYNC = 10）では、非同期の外部クロックが、外部クロックの立ち上がりエッジと最も密接に関連付けられたデータを出力できます。インターポレーション・フィルタは、ODR に関連する周波数分解能を提供します（表 11 を参照）。

このモードのメリットは、ユーザ定義のサンプル・レートでデータを使用でき、内部発振器に非同期であることです。このモードのデメリットは、群遅延が増え、バンド・エッジで減衰が増えることです。さらに、時間分解能に制限があるので、内部発振器に対する外部同期の不一致に関連する歪みが発生します。この不一致が原因で、スペクトル性能が低下します。群遅延は、デシメーション設定とインターポレーション設定に基づきます（表 11 を参照）。表 13 は SYNC 信号（入力）から DRDY（出力）までの遅延を示します。

EXT_SYNC = 01 – 外部同期と外部クロック

この場合、外部ソースは $4 \times 64 \times \text{ODR}$ の周波数で外部クロックを提供します。外部クロックは、デバイスのマスター・クロック源になります。さらに、デシメーション・フィルタ出力と特定のクロック・エッジの位置を揃えるため、外部同期信号が必要になります。これにより、固定の外部クロックがデータを取得して処理し、非同期クロックを使用できない場合に、完全な外部同期を提供できます。複数のセンサーを使用する場合、外部マスター・クロックとの同期が効果的で、時間整列が必要になります。

ODR 4 kHz で EXT_SYNC = 01 に設定する場合は、INT2 ピン（ピン 13）で 1.024 MHz ($64 \times 4 \times 4 \text{ kHz}$) の外部クロックと DRDY ピン（ピン 14）で外部同期を提供する必要があります（表 12 参照）。

このモードを使用する場合、次の特別な制限が適用されます。

- 外部クロック（EXT_CLK）と外部同期を提供する必要があります。
- EXT_CLK の周波数は、 $4 \times 64 \times \text{ODR}$ に設定する必要があります。
- 同期の幅は 4 つの EXT_CLK 期間の最小値に設定する必要があります。
- 同期の位相は、EXT_CLK 立ち上がりエッジに対して約 25 ns のセットアップ・タイムを満たす必要があります。

EXT_SYNC モードを使用し、同期を提供しない場合、デバイスは自身の同期機能を使用して移動します。同様に、同期後、デバイスは引き続き移動し、受信された最後の同期パルスに同期されます。つまり、EXT_SYNC = 01 モードは、1 つの同期パルスでのみ使用できることを意味します。

インターポレーション・フィルタは、ODR に関連する周波数分解能を提供します（表 11 を参照）。この場合、提供されるデータは外部信号に対応します（外部信号の周波数は、設定された ODR より速くても問題ありません）。ただし、出力通過帯域は、インターポレーション・フィルタと同じままです。

表 12. INT2 と DRDY のマルチプレクス

Register or Bit Fields			Pins		Comments
EXT_CLK	EXT_SYNC[1:0]	INT_MAP[7:4]	INT2 (Pin 13)	DRDY (Pin 14)	
0	00	0000	Low	DRDY	Synchronization is to the internal clocks, and there is no external clock synchronization.
0	00	Not 0000	INT2	DRDY	
1	00	0000	EXT_CLK	DRDY	
1	00	Not 0000 ²	EXT_CLK	DRDY	
0	01	0000	DRDY	SYNC	These options reset the digital filters on every synchronization pulse and are not recommended.
0	01 ¹	Not 0000	INT2	SYNC	
1	01 ¹	0000	EXT_CLK	SYNC	External synchronization, no interpolation filter, and DRDY (active high) signals that data is ready. Data represents a sample point group delay earlier in time.
1	01 ¹	Not 0000 ²	EXT_CLK	SYNC	
0	10	0000	DRDY	SYNC	External synchronization, interpolation filter, and DRDY (active high) signals that data is ready. Data sample group delay earlier in time.
0	10 ¹	Not 0000	INT2	SYNC	
1	10 ¹	0000	EXT_CLK	SYNC	
1	10 ¹	Not 0000	EXT_CLK	SYNC	

¹ DRDY なし。

² 有効な場合でも INT2 なし。

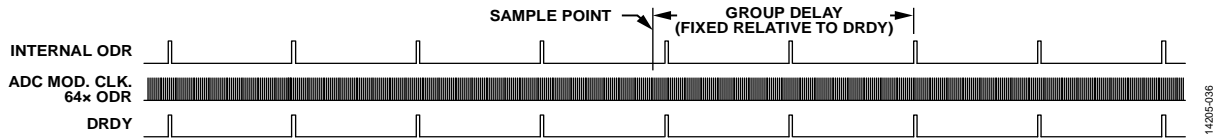


図 72. 外部同期オプション —EXT_SYNC = 00、内部同期

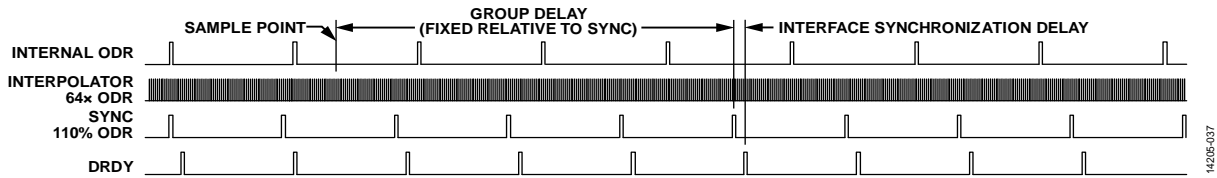


図 73. 外部同期オプション —EXT_SYNC = 10、外部同期、外部クロック、インターポレーション・フィルタ

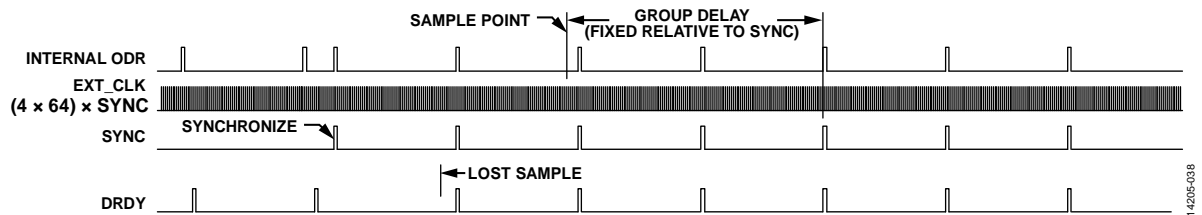


図 74. 外部同期オプション —EXT_SYNC = 01、外部同期、インターポレーション・フィルタなし

表 13. EXT_SYNC = 10、DRDY 遅延

ODR_LPF	Delay (OSC Cycles)
0x0	8
0x1	10
0x2	14
0x3	22
0x4	38
0x5	70
0x6	134
0x7	262
0x8	1031
0x9	2054
0x10	4102

ADXL355 のレジスタ・マップ

アプリケーションで ADXL355 を構成する場合、POWER_CTL レジスタで測定モードを有効にする前に、すべての構成レジスタをプログラムマブルにする必要があります。ADXL355 が測定モードの場合は、次の設定だけを変更できます。フィルタ・レジスタの HPF_CORNER ビット、INT_MAP レジスタ、SELF_TEST レジスタの ST1 ビットと ST2 ビット、リセット・レジスタ。

表 14. ADXL355 のレジスタ・マップ

Hex. Addr.	Register Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x00	DEVID_AD	DEVID_AD								0xAD	R	
0x01	DEVID_MST	DEVID_MST								0x1D	R	
0x02	PARTID	PARTID								0xED	R	
0x03	REVID	REVID								0x01	R	
0x04	Status	Reserved			NVM_BUSY	Activity	FIFO_OVR	FIFO_FULL	DATA_RDY	0x00	R	
0x05	FIFO_ENTRIES	Reserved	FIFO_ENTRIES								0x00	R
0x06	TEMP2	Reserved				Temperature, Bits[11:8]				0x00	R	
0x07	TEMP1	Temperature, Bits[7:0]								0x00	R	
0x08	XDATA3	XDATA, Bits[19:12]								0x00	R	
0x09	XDATA2	XDATA, Bits[11:4]								0x00	R	
0x0A	XDATA1	XDATA, Bits[3:0]				Reserved				0x00	R	
0x0B	YDATA3	YDATA, Bits[19:12]								0x00	R	
0x0C	YDATA2	YDATA, Bits[11:4]								0x00	R	
0x0D	YDATA1	YDATA, Bits[3:0]				Reserved				0x00	R	
0x0E	ZDATA3	ZDATA, Bits[19:12]								0x00	R	
0x0F	ZDATA2	ZDATA, Bits[11:4]								0x00	R	
0x10	ZDATA1	ZDATA, Bits[3:0]				Reserved				0x00	R	
0x11	FIFO_DATA	FIFO_DATA								0x00	R	
0x1E	OFFSET_X_H	OFFSET_X, Bits[15:8]								0x00	R/W	
0x1F	OFFSET_X_L	OFFSET_X, Bits[7:0]								0x00	R/W	
0x20	OFFSET_Y_H	OFFSET_Y, Bits[15:8]								0x00	R/W	
0x21	OFFSET_Y_L	OFFSET_Y, Bits[7:0]								0x00	R/W	
0x22	OFFSET_Z_H	OFFSET_Z, Bits[15:8]								0x00	R/W	
0x23	OFFSET_Z_L	OFFSET_Z, Bits[7:0]								0x00	R/W	
0x24	ACT_EN	Reserved					ACT_Z	ACT_Y	ACT_X	0x00	R/W	
0x25	ACT_THRESH_H	ACT_THRESH, Bits[15:8]								0x00	R/W	
0x26	ACT_THRESH_L	ACT_THRESH, Bits[7:0]								0x00	R/W	
0x27	ACT_COUNT	ACT_COUNT								0x01	R/W	
0x28	Filter	Reserved	HPF_CORNER				ODR_LPF				0x00	R/W
0x29	FIFO_SAMPLES	Reserved	FIFO_SAMPLES								0x60	R/W
0x2A	INT_MAP	ACT_EN2	OVR_EN2	FULL_EN2	RDY_EN2	ACT_EN1	OVR_EN1	FULL_EN1	RDY_EN1	0x00	R/W	
0x2B	Sync	Reserved					EXT_CLK	EXT_SYNC			0x00	R/W
0x2C	Range	I2C_HS	INT_POL	Reserved				Range			0x81	R/W
0x2D	POWER_CTL	Reserved					DRDY_OFF	TEMP_OFF	STANDBY	0x01	R/W	
0x2E	SELF_TEST	Reserved						ST2	ST1	0x00	R/W	
0x2F	Reset	Reset								0x00	W	

レジスタの定義

ここでは、ADXL355 レジスタの機能について説明します。ADXL355は、表 14 のリセット列に表示されているデフォルトのレジスタ値で電源がオンになります。

アナログ・デバイセズ ID レジスタ

このレジスタには、アナログ・デバイセズ ID (0xAD) が含まれます。

アドレス:0x00、リセット:0xAD、レジスタ名:DEVID_AD

表 15. DEVID_AD のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	DEVID_AD		アナログ・デバイセズ ID	0xAD	R

アナログ・デバイセズ MEMS ID レジスタ

このレジスタには、アナログ・デバイセズ MEMS ID (0x1D) が含まれます。

アドレス:0x01、リセット:0x1D、レジスタ名:DEVID_MST

表 16. DEVID_MST のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	DEVID_MST		アナログ・デバイセズ MEMS ID	0x1D	R

デバイス ID レジスタ

このレジスタは、デバイス ID (0xED、8 進 355) を含みます。

アドレス:0x02、リセット:0xED、レジスタ名:PARTID

表 17. PARTID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	PARTID		デバイス ID (8 進 355)	0xED	R

製品リビジョン ID レジスタ

このレジスタは、0x00 から始まってリビジョンごとにインクリメントされる、製品リビジョン ID を含みます。

アドレス:0x03、リセット:0x00、レジスタ名:REVID

表 18. REVID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	REVID		マスクのリビジョン	0x01	R

ステータス・レジスタ

このレジスタには、ADXL355 の様々な条件を説明するビットが含まれます。

アドレス:0x04、リセット:0x00、レジスタ名:STATUS

表 19. STATUS のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	Reserved		予備	0x0	R
4	NVM_BUSY		NVM コントローラは、リフレッシュ、プログラミング、内蔵セルフ・テスト (BIST) でビジーです。	0x0	R
3	Activity		THRESH_ACT レジスタと COUNT_ACT レジスタで定義されているアクティビティを検出します。	0x0	R
2	FIFO_OVR		FIFO にオーバーランが発生し、最も古いデータが失われます。	0x0	R
1	FIFO_FULL		FIFO ウォーターマークに到達しました。	0x0	R
0	DATA_RDY		X 軸、Y 軸、Z 軸の測定が完了したら、結果の読出しを実行できます。	0x0	R

FIFO エントリ・レジスタ

このレジスタは、FIFO バッファ内に存在する有効なデータ・サンプルの数を示します。この数の範囲は、0 ~ 96 です。

アドレス:0x05、リセット:0x00、レジスタ名:FIFO_ENTRIES

表 20. FIFO_ENTRIES のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	Reserved		予備	0x0	R
[6:0]	FIFO_ENTRIES		FIFO に格納されているデータ・サンプルの数	0x0	R

温度データ・レジスタ

これらの2つのレジスタには、未校正の温度データが含まれます。公称インターセプトは25° Cで1852 LSB、公称スロープは-9.05 LSB/°Cです。TEMP2には、4つの最上位ビットが含まれ、TEMP1には8つの最下位ビットが含まれます。

アドレス:0x06、リセット:0x00、レジスタ名:TEMP2

表 21. TEMP2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	Reserved		予備		
[3:0]	Temperature, Bits[11:8]		未校正の温度データ	0x0	R

アドレス:0x07、リセット:0x00、レジスタ名:TEMP1

表 22. TEMP1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	Temperature, Bits[7:0]		未校正の温度データ	0x0	R

X 軸データ・レジスタ

これら3つのレジスタには、x 軸加速度データが含まれます。データは左寄せされ、2の補数としてフォーマットされます。

アドレス:0x08、リセット:0x00、レジスタ名:XDATA3

表 23. XDATA3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	XDATA, Bits[19:12]		X 軸データ	0x0	R

アドレス:0x09、リセット:0x00、レジスタ名:XDATA2

表 24. XDATA2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	XDATA, Bits[11:4]		X 軸データ	0x0	R

アドレス:0x0A、リセット:0x00、レジスタ名:XDATA1

表 25. XDATA1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	XDATA, Bits[3:0]		X 軸データ	0x0	R
[3:0]	Reserved		予備	0x0	R

Y 軸データ・レジスタ

これら 3 つのレジスタには、y 軸加速度データが含まれます。データは左寄せされ、2 の補数としてフォーマットされます。

アドレス:0x0B、リセット:0x00、レジスタ名:YDATA3

表 26. YDATA3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	YDATA, Bits[19:12]		Y 軸データ	0x0	R

アドレス:0x0C、リセット:0x00、レジスタ名:YDATA2

表 27. YDATA2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	YDATA, Bits[11:4]		Y 軸データ	0x0	R

アドレス:0x0D、リセット:0x00、レジスタ名:YDATA1

表 28. YDATA1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	YDATA, Bits[3:0]		Y 軸データ	0x0	R
[3:0]	Reserved		予備	0x0	R

Z 軸データ・レジスタ

これら 3 つのレジスタには、z 軸加速度データが含まれます。データは左寄せされ、2 の補数としてフォーマットされます。

アドレス:0x0E、リセット:0x00、レジスタ名:ZDATA3

表 29. ZDATA3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ZDATA, Bits[19:12]		Z 軸データ	0x0	R

アドレス:0x0F、リセット:0x00、レジスタ名:ZDATA2

表 30. ZDATA2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ZDATA, Bits[11:4]		Z 軸データ	0x0	R

アドレス:0x10、リセット:0x00、レジスタ名:ZDATA1

表 31. ZDATA1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	ZDATA, Bits[3:0]		Z 軸データ	0x0	R
[3:0]	Reserved		予備	0x0	R

FIFO アクセス・レジスタ

アドレス:0x11、リセット:0x00、レジスタ名:FIFO_DATA

このレジスタの読出しを実行して、FIFO に格納されたデータにアクセスします。

表 32. FIFO_DATA のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FIFO_DATA		FIFO データは、24 ビット (3 バイト) で、最上位バイトが先頭になります。このアドレスの読出し時に、軸データの 3 つの等しい有効バイト・ワードが FIFO からポップされます。後続の 2 回の読出しまたは複数バイトの読出しで、このデータのインターフェースへのトランザクションが完了します。このフィールドの連続した読出しまたは持続的なマルチバイトの読出しでは、FIFO が 3 バイトずつポップされます。このアドレスへの複数バイトの読出しでは、アドレス・ポインタはインクリメントされません。前のアドレスからの自動インクリメントにより、このアドレスが読み出されると、FIFO はポップされません。代わりに 0 が返され、次のアドレスにインクリメントされます。	0x0	R

X 軸のオフセット・トリム・レジスタ

アドレス:0x1E、リセット:0x00、レジスタ名:OFFSET_X_H

表 33. OFFSET_X_H のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	OFFSET_X, Bits[15:8]		すべての信号処理の後に X 軸データに追加されるオフセット。データは 2 の補数フォーマットです。OFFSET_X [15:0] は、XDATA [19:4] と一致します。	0x0	R/W

アドレス:0x1F、リセット:0x00、レジスタ名:OFFSET_X_L

表 34. OFFSET_X_L のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	OFFSET_X, Bits[7:0]		すべての信号処理の後に X 軸データに追加されるオフセット。データは 2 の補数フォーマットです。OFFSET_X [15:0] は、XDATA [19:4] と一致します。	0x0	R/W

Y 軸オフセット・トリム・レジスタ

アドレス:0x20、リセット:0x00、レジスタ名:OFFSET_Y_H

表 35. OFFSET_Y_H のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	OFFSET_Y, Bits[15:8]		すべての信号処理の後に Y 軸データに追加されるオフセット。データは 2 の補数フォーマットです。OFFSET_Y [15:0] は、YDATA [19:4] と一致します。	0x0	R/W

アドレス:0x21、リセット:0x00、レジスタ名:OFFSET_Y_L

表 36. OFFSET_Y_L のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	OFFSET_Y, Bits[7:0]		すべての信号処理の後に Y 軸データに追加されるオフセット。データは 2 の補数フォーマットです。OFFSET_Y [15:0] は、YDATA [19:4] と一致します。	0x0	R/W

Z 軸オフセット・トリム・レジスタ

アドレス:0x22、リセット:0x00、レジスタ名:OFFSET_Z_H

表 37. OFFSET_Z_H のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	OFFSET_Z, Bits[15:8]		すべての信号処理の後に Z 軸データに追加されるオフセット。データは 2 の補数フォーマットです。OFFSET_Z [15:0] は、ZDATA [19:4] と一致します。	0x0	R/W

アドレス:0x23、リセット:0x00、レジスタ名:OFFSET_Z_L

表 38. OFFSET_Z_L のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	OFFSET_Z, Bits[7:0]		すべての信号処理の後に Z 軸データに追加されるオフセット。データは 2 の補数フォーマットです。OFFSET_Z [15:0] は、ZDATA [19:4] と一致します。	0x0	R/W

アクティビティ・イネーブル・レジスタ

アドレス:0x24、リセット:0x00、レジスタ名:ACT_EN

表 39. ACT_EN のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	Reserved		予備	0x0	R
2	ACT_Z		Z 軸データは、アクティビティ検出アルゴリズムの構成要素です。	0x0	R/W
1	ACT_Y		Y 軸データは、アクティビティ検出アルゴリズムの構成要素です。	0x0	R/W
0	ACT_X		X 軸データは、アクティビティ検出アルゴリズムの構成要素です。	0x0	R/W

アクティビティ閾値レジスタ

アドレス:0x25、リセット:0x00、レジスタ名:ACT_THRESH_H

表 40. ACT_THRESH_H のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ACT_THRESH[15:8]		アクティビティ検出の閾値加速度的大きさは、アクティビティ・カウンタをトリガする ACT_THRESH 以上にする必要があります。ACT_THRESH 符号なしの大きさです。ACT_TRESH [15:0] は、XDATA、YDATA、ZDATA [18:3] と一致します。	0x0	R/W

アドレス:0x26、リセット:0x00、レジスタ名:ACT_THRESH_L

表 41. THRESH_ACT_X_L のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ACT_THRESH[7:0]		アクティビティ検出の閾値加速度的大きさは、アクティビティ・カウンタをトリガする ACT_THRESH 以上にする必要があります。ACT_THRESH 符号なしの大きさです。ACT_TRESH [15:0] は、XDATA、YDATA、ZDATA [18:3] と一致します。	0x0	R/W

アクティビティ・カウント・レジスタ

アドレス:0x27、リセット:0x01、レジスタ名:ACT_COUNT

表 42. ACT_COUNT のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ACT_COUNT		アクティビティを検出するために必要な閾値以上の連続したイベントの数	0x1	R/W

フィルタ設定レジスタ

アドレス:0x28、リセット:0x00、レジスタ名:Filter

このレジスタを使用して内部ハイパス・フィルタとローパス・フィルタのパラメータを指定します。

表 43. Filter のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	Reserved		予備	0x0	R
[6:4]	HPF_CORNER	000 001 010 011 100 101 110	ODR に関連する一次ハイパス・フィルタの -3 dB フィルタ・コーナー 該当なし。有効なハイパス・フィルタなし $247 \times 10^{-3} \times \text{ODR}$ $62.084 \times 10^{-3} \times \text{ODR}$ $15.545 \times 10^{-3} \times \text{ODR}$ $3.862 \times 10^{-3} \times \text{ODR}$ $0.954 \times 10^{-3} \times \text{ODR}$ $0.238 \times 10^{-3} \times \text{ODR}$	0x0	R/W
[3:0]	ODR_LPF	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010	ODR とローパス・フィルタ・コーナー 4000 Hz および 1000 Hz 2000 Hz および 500 Hz 1000 Hz および 250 Hz 500 Hz および 125 Hz 250 Hz および 62.5 Hz 125 Hz および 31.25 Hz 62.5 Hz および 15.625 Hz 31.25 Hz および 7.813 Hz 15.625 Hz および 3.906 Hz 7.813 Hz および 1.953 Hz 3.906 Hz および 0.977 Hz	0x0	R/W

FIFO サンプル・レジスタ

アドレス:0x29、リセット:0x60、レジスタ名:FIFO_SAMPLES

FIFO_SAMPLES の値を使用して、FIFO に格納するサンプルの数を指定します。FIFO ウォーターマーク割込みのトリガを回避するため、このレジスタのデフォルト値は 0x60 です。

表 44. FIFO_SAMPLES のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	Reserved		予備	0x0	R
[6:0]	FIFO_SAMPLES		FIFO_FULL 条件をトリガする FIFO に格納されるサンプルのウォールマーク番号。値の範囲は 1~96 です。	0x60	R/W

割り込みピン (INTX) の機能マップレジスタ

アドレス:0x2A、リセット:0x00、レジスタ名:INT_MAP

INT_MAP レジスタを使用して割り込みピンを設定します。ビット [7:0] を使用して、ピン INT1 と INT2 に割り込みを生成する機能を選択します。複数のイベントを設定できます。対応するビットを 1 に設定した場合、この機能によって割り込みピンに割り込みが生成されます。

表 45. INT_MAP のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	ACT_EN2		アクティブ割り込みが INT2 で有効	0x0	R/W
6	OVR_EN2		FIFO_OVR 割り込みが INT2 で有効	0x0	R/W
5	FULL_EN2		FIFO_FULL 割り込みが INT2 で有効	0x0	R/W
4	RDY_EN2		DATA_RDY 割り込みが INT2 で有効	0x0	R/W
3	ACT_EN1		アクティブ割り込みが INT1 で有効	0x0	R/W
2	OVR_EN1		FIFO_OVR 割り込みが INT1 で有効	0x0	R/W

1	FULL_EN1		FIFO_FULL 割り込みが INT1 で有効	0x0	R/W
0	RDY_EN1		DATA_RDY 割り込みが INT1 で有効	0x0	R/W

データ同期

アドレス:0x2B、リセット:0x00、レジスタ名:Sync

このレジスタを使用して、外部タイミング・トリガを制御します。

表 46. Sync のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	Reserved		予備	0x0	R
2	EXT_CLK		外部クロックを有効にします。	0x0	R/W
[1:0]	EXT_SYNC	00 01 10 11	外部同期コントロールを有効にします。 内部同期。 外部同期、インターポレーション・フィルタなし。同期後、仕様規定された EXT_SYNC では、DATA_RDY が EXT_SYNC で発生します。 外部同期、インターポレーション・フィルタ、14 ~ 8204 発振器サイクル後に使用できることが DATA_RDY で示されるデータ（高い ODR_LPF 設定向けの長い遅延）、前の時点のサンプル・ポイント群遅延を表すデータ。 予備	0x0	R/W

I²C 速度、割り込み極性、範囲レジスタ

アドレス:0x2C、リセット:0x81、レジスタ名:Range

表 47. Range のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	I2C_HS		I ² C 速度。 1 = ハイスピード・モード。 0 = 高速モード。	0x1	R/W
6	INT_POL	0 1	割り込み極性。 0 INT1 と INT2 は、アクティブ・ローです。 1 INT1 と INT2 は、アクティブ・ハイです。	0x0	R/W
[5:2]	Reserved		予備	0x0	R
[1:0]	Range	01 10 11	範囲。 ±2 g。 ±4 g。 ±8 g。	0x1	R/W

パワー・コントロール・レジスタ

アドレス:0x2D、リセット:0x01、レジスタ名:POWER_CTL

表 48. POWER_CTL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	Reserved		予備	0x0	R
2	DRDY_OFF		1 に設定すると、通常の信号データの準備が整っているモードでは、DRDY 出力が強制的に 0 になります。	0x0	R/W
1	TEMP_OFF		1 に設定すると、温度処理が無効になります。STANDBY = 1 でも温度処理は無効になります。	0x0	R/W
0	STANDBY	1 0	スタンバイまたは測定モード。 スタンバイ・モード。スタンバイ・モードでは、デバイスは低消費電力状態になり、温度と加速度のデータパスは動作しません。さらに、FIFO ポインタなどのデジタル機能はリセットされます。STANDBY = 1 の場合は、デバイスの構成設定を変更する必要があります。デバイスの動作時に変更できるハイパス・フィルタは例外です。 測定モード	0x1	R/W

セルフ・テスト・レジスタ

アドレス:0x2E、リセット:0x00、レジスタ名:SELF_TEST

セルフ・テスト機能の動作の詳細については、セルフ・テストのセクションを参照してください。

表 49. SELF_TEST のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	Reserved		予備	0x0	R
1	ST2		セルフ・テスト力を有効にするには、1 に設定	0x0	R/W
0	ST1		セルフ・テスト・モードを有効にするには、1 に設定	0x0	R/W

リセット・レジスタ

アドレス:0x2F、リセット:0x00、レジスタ名:リセット

表 50. Reset のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	Reset		パワーオン・リセット (POR) と同様に、コード 0x52 を書き込んでデバイスをリセットします。	0x0	W

推奨されるハンダ処理プロファイル

図 75 と表 51 に、推奨されるハンダ処理プロファイルの詳細を示します。

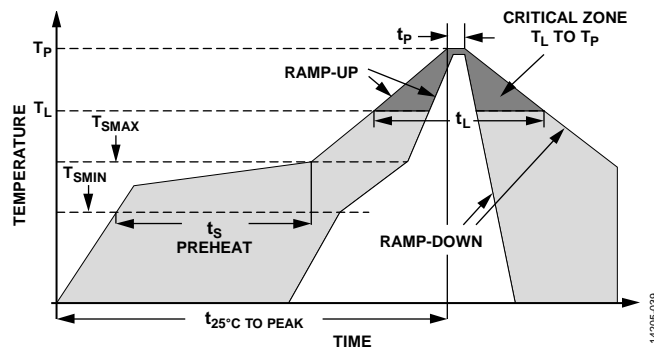


図 75. 推奨されるハンダ処理プロファイル

表 51. 推奨されるハンダ処理プロファイル

Profile Feature	Condition	
	Sn63/Pb37	Pb-Free
Average Ramp Rate from Liquid Temperature (T_L) to Peak Temperature (T_P)	3°C/sec maximum	3°C/sec maximum
Preheat		
Minimum Temperature (T_{SMIN})	100°C	150°C
Maximum Temperature (T_{SMAX})	150°C	200°C
Time from T_{SMIN} to T_{SMAX} (t_s)	60 sec to 120 sec	60 sec to 180 sec
T_{SMAX} to T_L Ramp-Up Rate	3°C/sec maximum	3°C/sec maximum
Liquid Temperature (T_L)	183°C	217°C
Time Maintained Above T_L (t_L)	60 sec to 150 sec	60 sec to 150 sec
Peak Temperature (T_P)	240°C + 0°C/-5°C	260°C + 0°C/-5°C
Time of Actual T_P - 5°C (t_p)	10 sec to 30 sec	20 sec to 40 sec
Ramp-Down Rate	6°C/sec maximum	6°C/sec maximum
Time from 25°C to Peak Temperature ($t_{25°C TO PEAK}$)	6 minutes maximum	8 minutes maximum

PCB フットプリント・パターン

図 76 に、PCB フットプリント・パターンと寸法（ミリメートル単位）を示します。

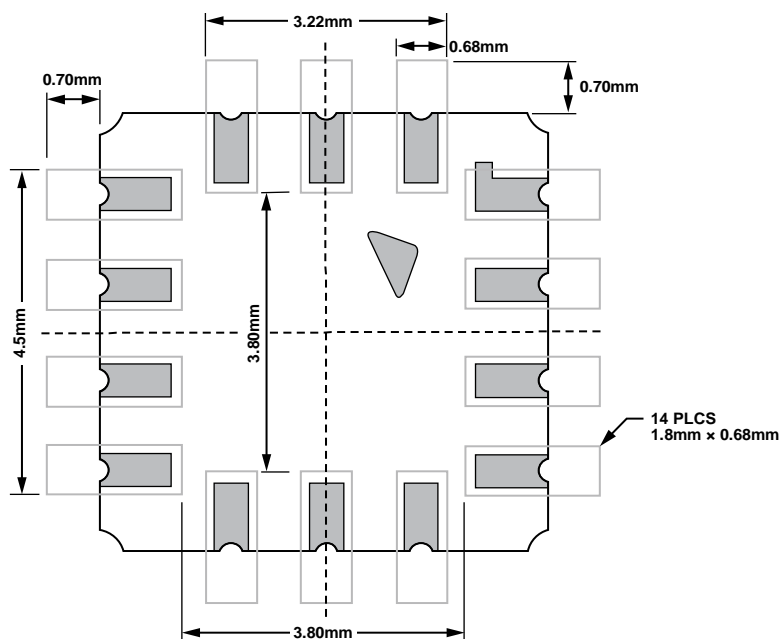


図 76. PCB フットプリント・パターンと寸法（ミリメートル単位）

パッケージと注文情報

外形寸法

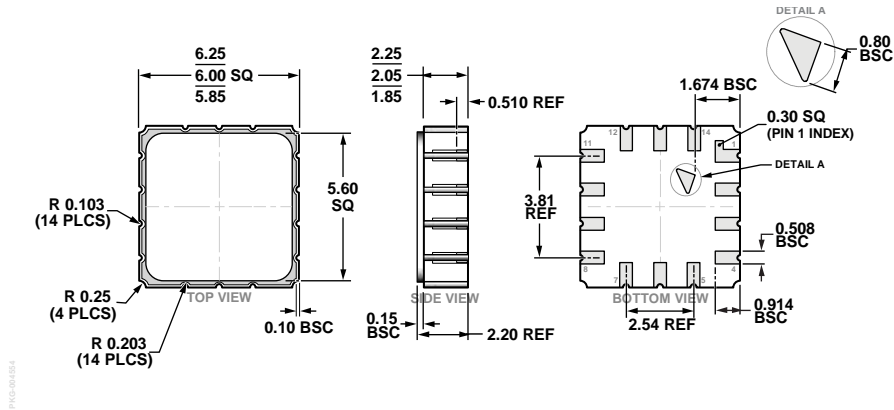


図 77. 14 端子セラミック リードレス・チップ・キャリア [LCC] (F-14-1) 寸法 (ミリ単位)

ブランド情報

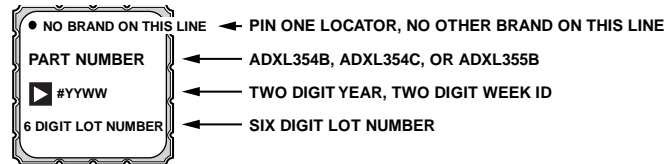


図 78. ブランド情報

オーダー・ガイド

Model ¹	Output Mode	Measurement Range (g)	Specified Voltage (V)	Temperature Range	Package Description	Package Option
ADXL354BEZ	Analog	±2, ±4	3.3	-40°C to +125°C	14-Terminal LCC	E-14-1
ADXL354BEZ-RL	Analog	±2, ±4	3.3	-40°C to +125°C	14-Terminal LCC	E-14-1
ADXL354BEZ-RL7	Analog	±2, ±4	3.3	-40°C to +125°C	14-Terminal LCC	E-14-1
ADXL354CEZ	Analog	±2, ±8	3.3	-40°C to +125°C	14-Terminal LCC	E-14-1
ADXL354CEZ-RL	Analog	±2, ±8	3.3	-40°C to +125°C	14-Terminal LCC	E-14-1
ADXL354CEZ-RL7	Analog	±2, ±8	3.3	-40°C to +125°C	14-Terminal LCC	E-14-1
ADXL355BEZ	Digital	±2.048, ±4.096, ±8.192	3.3	-40°C to +125°C	14-Terminal LCC	E-14-1
ADXL355BEZ-RL	Digital	±2.048, ±4.096, ±8.192	3.3	-40°C to +125°C	14-Terminal LCC	E-14-1
ADXL355BEZ-RL7	Digital	±2.048, ±4.096, ±8.192	3.3	-40°C to +125°C	14-Terminal LCC	E-14-1
EVAL-ADXL354BZ					Evaluation Board for ADXL354BEZ	
EVAL-ADXL354CZ					Evaluation Board for ADXL354CEZ	
EVAL-ADXL355Z					Evaluation Board for ADXL355BEZ	

¹ Z = RoHS 準拠製品