

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2021年7月1日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2021年7月1日

製品名：LTM4668A

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正箇所：14 ページ、右の段、熱抵抗の説明の欄、 (2) の $\theta_{jcbottom}$ の説明

正しくは次の文章となります。

$\theta_{jcbottom}$ は、パッケージの底面を通した消費電力成分により求められる、ジャンクション/ケース底面間の熱抵抗です。一般的な μ Module のレギュレータでは、発生した熱は常に周囲に発散されますが、その多くはパッケージの底を通して流れます。したがって、この熱抵抗の値はパッケージの特性比較に有用ですが、一般的に必ずしもテスト条件がユーザーの使用条件には当てはまらないことがあります。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2021年7月8日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2021年7月8日

製品名：LTM4668A

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正箇所：23 ページ 改訂履歴の表 上から4行目

【誤】

「LTM466A の VIN から・・・」

【正】

「LTM4668A の VIN から・・・」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2021年7月8日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2021年7月8日

製品名：LTM4668A

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正箇所：23 ページ 改訂履歴の表 一番下の行、ページ番号の欄

【誤】

21

【正】

20

構成可能な 1.2A 出力アレイを備えたクワッド DC/DC μ Module レギュレータ

特長

- 出力チャンネル当たり 1.2A のクワッド出力降圧 μ Module レギュレータ
- 広い入力電圧範囲: 2.7V~17V
- 出力電圧範囲: 0.6V~5.5V
- 各チャンネルの出力電流: DC 1.2A、並列接続可能
- 全出力電圧レギュレーション: $\pm 1.5\%$
- デューティ・サイクル 100% で動作
- 電流モード制御、高速過渡応答
- 外部周波数同期
- 選択可能な Burst Mode[®] 動作
- パワーグッド・インジケータ
- 過電圧保護、過電流保護、過熱保護
- 6.25mm \times 6.25mm \times 2.1mm BGA パッケージ
- LTM4668 (0.6V~1.8V 出力、1MHz) とピン互換

アプリケーション

- 通信機器、ネットワーク機器および産業用機器
- マルチレールのポイント・オブ・ロード (POL) レギュレーション
- FPGA、DSP、ASIC の各アプリケーション

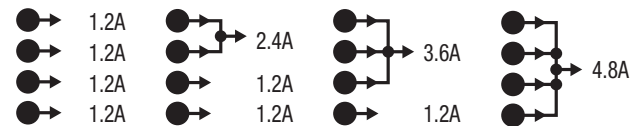
全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

概要

LTM[®]4668A は、1.2A の DC 電流を出力ごとに供給できるクワッド DC/DC 降圧 μ Module (マイクロモジュール) レギュレータです。出力はアレイ状に並列接続して、最大 4.8A に対応できます。スイッチング・コントローラ、パワー FET、インダクタ、および周辺部品がパッケージに搭載されています。LTM4668A は、2.7V~17V の入力電圧範囲で動作し、0.6V~5.5V の出力電圧範囲をサポートします。必要なのは入力と出力のバルク・コンデンサだけです。このデバイスは、周波数同期、PolyPhase 動作、選択可能な Burst Mode 動作、デューティ・サイクル 100%、低 I_Q 動作をサポートします。その高いスイッチング周波数と電流モード・アーキテクチャにより、安定性を損なうことなく入力および負荷の変動に対する極めて高速な過渡応答が可能です。

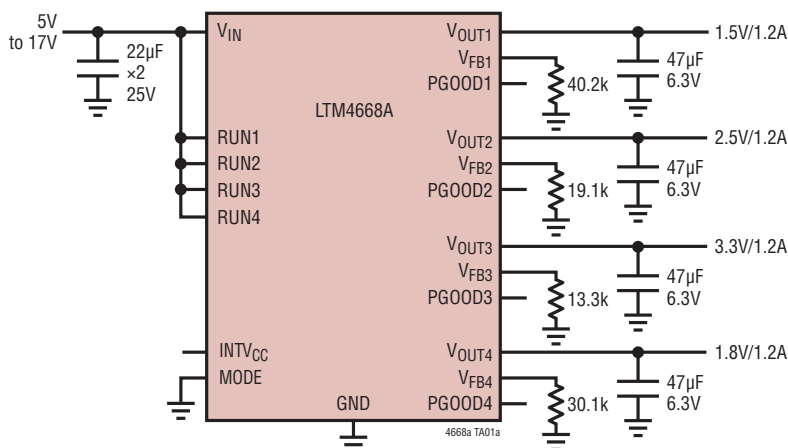
障害保護機能には、過電圧保護、過電流保護、過熱保護が含まれます。このパワー・モジュールは、省スペースで熱特性が改善された 6.25mm \times 6.25mm \times 2.1mm BGA パッケージで供給されます。LTM4668A は、SnPb (BGA) または RoHS 準拠の端子仕上げで供給されます。

構成可能な出力アレイ

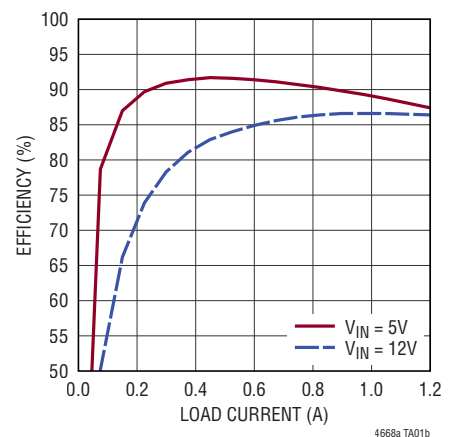


標準的応用例

5V~17V 入力、クワッド 1.5V、1.8V、2.5V、3.3V 出力 DC/DC μ Module レギュレータ



3.3V 出力の効率 (各チャンネル)



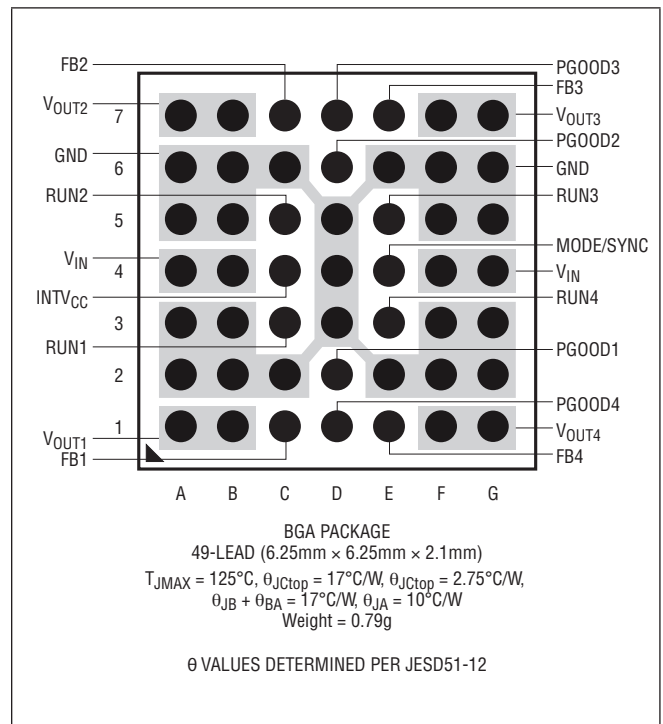
LTM4668A

絶対最大定格

(Note 1)

V_{IN}	-0.3V~17V
V_{OUT} (チャンネル当たり)	-0.3V~6V
RUN (チャンネル当たり)	-0.3V~17V
PGOOD (チャンネル当たり)	-0.3V~6V
FB (チャンネル当たり)	-0.3V~INTV _{CC}
MODE/SYNC	-0.3V~INTV _{CC} +0.3V
動作ジャンクション温度 (Note 2)	-40°C~125°C
保存温度範囲	-55°C~125°C
ハンダ・リフローのピーク・ボディ温度	260°C

ピン配置



発注情報

製品番号	パッド/ボール仕上げ	製品マーキング*		パッケージ・タイプ	MSL 定格	温度範囲 (Note 2 参照)
		デバイス	仕上げコード			
LTM4668AEY#PBF	SAC305 (RoHS)	LTM4668AY	e1	BGA	4	-40°C to 125°C
LTM4668AIY#PBF		LTM4668AY				

- デバイスの温度グレードは出荷時のコンテナのラベルで示してあります。
- パッドまたはボールの仕上げコードは IPC/JEDEC J-STD-609 に準拠しています。
- [BGAパッケージおよびトレイの図面](#)

- この製品では、第2面のリフローは推奨していません。この製品は水分の影響を受けやすくなっています。詳細については、[推奨の BGA PCB アセンブリ手順および製造手順を参照してください。](#)

電気的特性

●は規定された全内部動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V_{IN} = 12\text{V}$ 、標準的応用例の構成による。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
スイッチング・レギュレータ部: (チャンネル当たり)							
V_{IN}	Input DC Voltage		●	2.7	17	V	
$V_{OUT(RANGE)}$	Output Voltage Range	$V_{IN} = 2.7\text{V to }17\text{V}$ (Step-Down Only)	●	0.6	5.5	V	
$V_{OUT(DC)}$	Output Voltage, Total Variation with Line and Load	$C_{IN} = 10\mu\text{F}$, $C_{OUT} = 47\mu\text{F}$ Ceramic $R_{FB} = 13.3\text{k}$, $\text{MODE} = \text{INTV}_{CC}/2$ $V_{IN} = 5\text{V to }17\text{V}$, $I_{OUT} = 0\text{A to }1.2\text{A}$	●	3.25	3.30	3.35	V
V_{RUN}	RUN Pin On Threshold	V_{RUN} Rising		0.55	0.7	0.9	V
$I_{Q(VIN)}$	Input Supply Bias Current	$V_{IN} = 12\text{V}$, $V_{OUT} = 3.3\text{V}$, $\text{MODE} = \text{INTV}_{CC}/2$ (CCM) $V_{IN} = 12\text{V}$, $V_{OUT} = 3.3\text{V}$, $\text{MODE} = \text{INTV}_{CC}$ (Burst) $V_{IN} = 12\text{V}$, $V_{OUT} = 3.3\text{V}$, $\text{MODE} = \text{GND}$ (PS) Shutdown, $RUN = 0$, $V_{IN} = 12\text{V}$		75	0.5		mA
				200			μA
				1			μA
$I_{S(VIN)}$	Input Supply Current	$V_{IN} = 12\text{V}$, $V_{OUT} = 3.3\text{V}$, $I_{OUT} = 1.2\text{A}$		390			mA
$I_{OUT(DC)}$	Output Continuous Current Range	$V_{IN} = 12\text{V}$, $V_{OUT} = 3.3\text{V}$ (Note 4)		0	1.2		A
$\frac{\Delta V_{OUT}(\text{Line})}{V_{OUT}}$	Line Regulation Accuracy	$V_{OUT} = 3.3\text{V}$, $V_{IN} = 5\text{V to }17\text{V}$, $I_{OUT} = 0\text{A}$	●		0.01	0.1	%/V
$\frac{\Delta V_{OUT}(\text{Load})}{V_{OUT}}$	Load Regulation Accuracy	$V_{OUT} = 3.3\text{V}$, $I_{OUT} = 0\text{A to }1.2\text{A}$	●		0.1	0.75	%
$V_{OUT(AC)}$	Output Ripple Voltage	$I_{OUT} = 0\text{A}$, $C_{OUT} = 47\mu\text{F}$ Ceramic $V_{IN} = 12\text{V}$, $V_{OUT} = 3.3\text{V}$		8			mV
$\Delta V_{OUT(START)}$	Turn-On Overshoot	$I_{OUT} = 0\text{A}$, $C_{OUT} = 47\mu\text{F}$ Ceramic, $V_{IN} = 12\text{V}$, $V_{OUT} = 3.3\text{V}$		30			mV
t_{START}	Turn-On Time	$C_{OUT} = 47\mu\text{F}$ Ceramic, $V_{IN} = 12\text{V}$, $V_{OUT} = 3.3\text{V}$, No Load		0.8			ms
ΔV_{OUTLS}	Peak Deviation for Dynamic Load	Load: 0% to 50% to 0% of Full Load $C_{OUT} = 47\mu\text{F}$ Ceramic, $V_{IN} = 12\text{V}$, $V_{OUT} = 3.3\text{V}$		70			mV
t_{SETTLE}	Settling Time for Dynamic Load Step	Load: 0% to 50% to 0% of Full Load $C_{OUT} = 47\mu\text{F}$ Ceramic, $V_{IN} = 12\text{V}$, $V_{OUT} = 3.3\text{V}$		30			μs
I_{OUTPK}	Output Current Limit	$V_{IN} = 12\text{V}$, $V_{OUT} = 3.3\text{V}$		2			A
V_{FB}	Voltage at V_{FB} Pin	$I_{OUT} = 0\text{A}$, $V_{OUT} = 3.3\text{V}$	●	0.591	0.60	0.609	V
I_{FB}	Current at V_{FB} Pin	(Note 3)			± 10		nA
R_{FBHI}	Resistor Between V_{OUT} and V_{FB} Pins			60.05	60.40	60.75	k Ω
$t_{ON(MIN)}$	Minimum On-Time	(Note 5)		60			ns

電気的特性

●は規定された全内部動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V_{IN} = 12\text{V}$ 、標準的応用例の構成による。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{PGOOD}	PGOOD Trip Level	V_{FB} With Respect to Set Output V_{FB} Ramping Negative V_{FB} Ramping Positive	-11	-7.5 7.5	11	% %
R_{PGOOD}	PGOOD Resistance			275		Ω
V_{INTVCC}	Internal V_{CC} Voltage	$V_{IN} = 6\text{V}$ to 17V	4.7	5	5.3	V
UVLO	Undervoltage Lockout	V_{IN} Ramping Up	2.3	2.5	2.7	V
UVLO(HYS)	UVLO Hysteresis			250		mV
f_{osc}	Oscillator Frequency			2.25		MHz
SYNC	SYNC Capture Range		1500		3000	kHz

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: LTM4668Aは T_J が T_A にほぼ等しいパルス負荷条件でテストされる。LTM4668AEは、 0°C ~ 125°C の内部動作温度範囲で性能仕様に適合することが確認されている。 -40°C ~ 125°C の全内部動作温度範囲での仕様は設計、特性評価および統計的なプロセス・コントロールとの相関で確認されている。LTM4668AIは -40°C ~ 125°C の全内部動作温度範囲で

仕様に適合することが確認されている。これらの仕様を満たす最大周囲温度は、基板レイアウト、パッケージの定格熱抵抗および他の環境要因と関連した特定の動作条件によって決まることに注意。

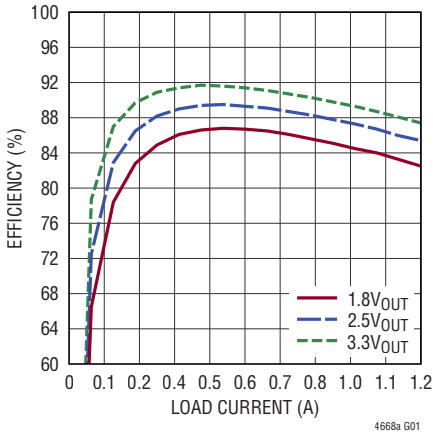
Note 3: ウェーハ・レベルで全数テストされる。

Note 4: 異なる V_{IN} 、 V_{OUT} 、および T_A については出力電流のデレーティング曲線を参照。

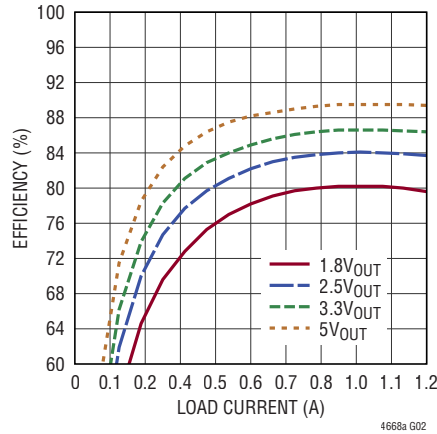
Note 5: 設計により性能を確保している。

代表的な性能特性

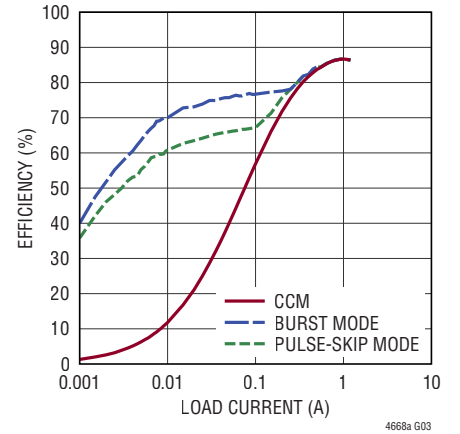
5V入力での効率と負荷電流



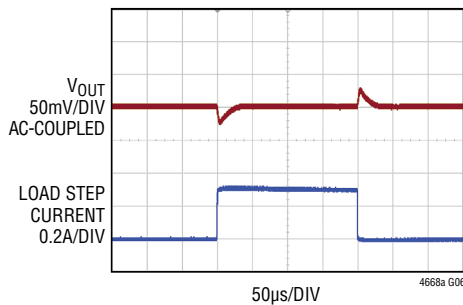
12V入力での効率と負荷電流



CCM、Burst Mode、
パルス・スキップ・モードでの効率、
 $V_{IN} = 12V$ 、 $V_{OUT} = 3.3V$

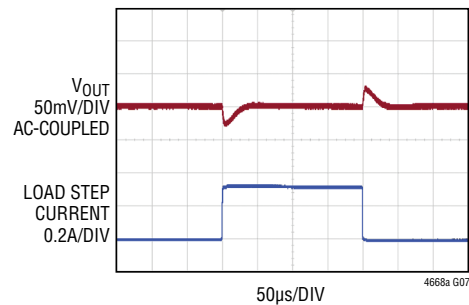


1.8V出力の過渡応答



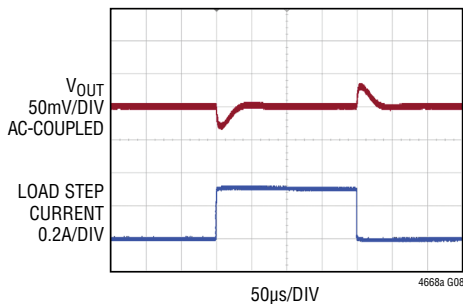
$V_{IN} = 12V$, $V_{OUT} = 1.8V$, $f_S = 2.25MHz$
 $C_{OUT} = 1 \times 47\mu F$ CERAMIC CAPACITOR
 $C_{FF} = 150pF$
 0.3A LOAD STEP 10A/ μA

2.5V出力の過渡応答



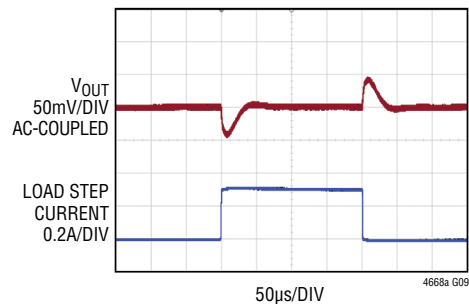
$V_{IN} = 12V$, $V_{OUT} = 2.5V$, $f_S = 2.25MHz$
 $C_{OUT} = 1 \times 47\mu F$ CERAMIC CAPACITOR
 $C_{FF} = 150pF$
 0.3A LOAD STEP 10A/ μA

3.3V出力の過渡応答



$V_{IN} = 12V$, $V_{OUT} = 3.3V$, $f_S = 2.25MHz$
 $C_{OUT} = 1 \times 47\mu F$ CERAMIC CAPACITOR
 $C_{FF} = 150pF$
 0.3A LOAD STEP 10A/ μA

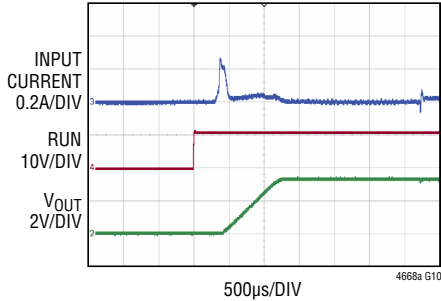
5V出力の過渡応答



$V_{IN} = 12V$, $V_{OUT} = 5V$, $f_S = 2.25MHz$
 $C_{OUT} = 1 \times 47\mu F$ CERAMIC CAPACITOR
 $C_{FF} = 150pF$
 0.3A LOAD STEP 10A/ μA

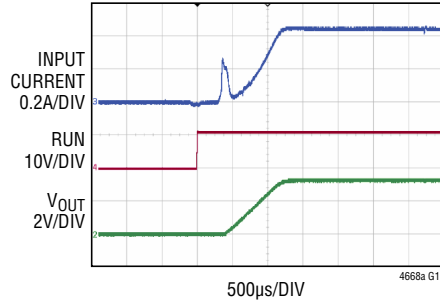
代表的な性能特性

負荷電流がないときの起動波形



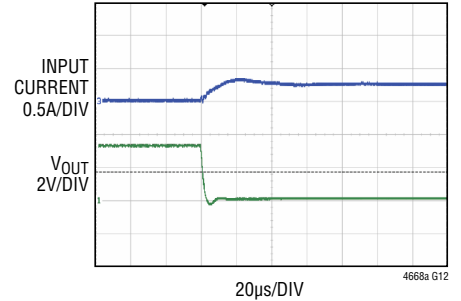
$V_{IN} = 12V$, $V_{OUT} = 3.3V$, $f_S = 2.25MHz$
 $C_{OUT} = 1 \times 47\mu F$ CERAMIC CAPACITOR
 $C_{FF} = 150pF$

負荷電流 1.2A での起動波形



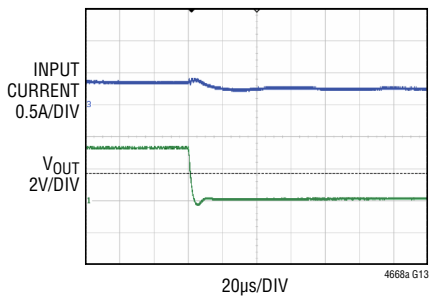
$V_{IN} = 12V$, $V_{OUT} = 3.3V$, $f_S = 2.25MHz$
 $C_{OUT} = 1 \times 47\mu F$ CERAMIC CAPACITOR
 $C_{FF} = 150pF$

負荷電流がないときの出力短絡波形



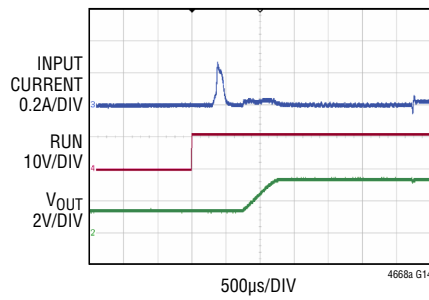
$V_{IN} = 12V$, $V_{OUT} = 3.3V$, $f_S = 2.25MHz$
 $C_{OUT} = 1 \times 47\mu F$ CERAMIC CAPACITOR
 $C_{FF} = 150pF$

負荷電流 1.2A での出力短絡波形



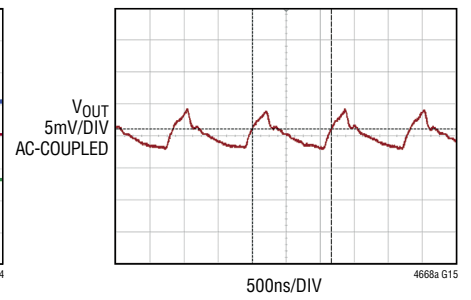
$V_{IN} = 12V$, $V_{OUT} = 3.3V$, $f_S = 2.25MHz$
 $C_{OUT} = 1 \times 47\mu F$ CERAMIC CAPACITOR
 $C_{FF} = 150pF$

出力がプリバイアスされた状態での起動



$V_{IN} = 12V$, $V_{OUT} = 3.3V$, $f_S = 2.25MHz$,
 OUTPUT PREBIASED TO 1.5V
 $C_{OUT} = 1 \times 47\mu F$ CERAMIC CAPACITOR
 $C_{FF} = 150pF$

定常状態での出力電圧リップル



$V_{IN} = 12V$, $V_{OUT} = 3.3V$, $f_S = 2.25MHz$
 $C_{OUT} = 1 \times 47\mu F$ CERAMIC CAPACITOR
 $C_{FF} = 150pF$

ピン機能

V_{IN} (A4, B4, F4, G4) : 電源入力ピン。スイッチング・モード・レギュレータの各チャンネルの内部上側 MOSFET のドレインと、制御回路の内部 5V レギュレータに接続されています。これらのピンと GND ピンの間に入力電圧を印加します。入力デカップリング・コンデンサは、V_{IN} ピンと GND ピンのそれぞれの上に直接配置することを推奨します。

V_{OUT1} (A1, B1)、V_{OUT2} (A7, B7)、V_{OUT3} (F7, G7)、V_{OUT4} (F1, G1) : 各スイッチング・モード・レギュレータ・チャンネルの電源出力ピン。これらのピンと GND ピンの間に出力負荷を接続します。出力デカップリング・コンデンサはこれらのピンと GND ピンの間に直接配置することを推奨します。出力の並列接続については、[アプリケーション情報](#)のセクションを参照してください。

GND (A2~A3, A5~A6, B2~B3, B5~B6, C2, C6, D3~D5, E2, E6, F2~F3, F5~F6, G2~G3, G5~G6) : 入力帰路と出力帰路の両方の電源グラウンド・ピン。PCB の銅箔面積を広くして、全ての GND を互いに接続します。

PGOOD1 (D2)、PGOOD2 (D6)、PGOOD3 (D7)、PGOOD4 (D1) : スイッチング・モード・レギュレータの各チャンネルのオープンドレイン・ロジック付き出力パワーグッド・ピン。FB ピンの電圧が内部 0.6V リファレンスの $\pm 7.5\%$ 以内に入らない場合、PGOOD はグラウンド電位になります。

MODE/SYNC (E4) : スイッチング・モード・レギュレータの Burst Mode 選択および外部クロックの同期。Burst Mode 動作と 400mA のピーク電流クランプにするには、MODE/SYNC

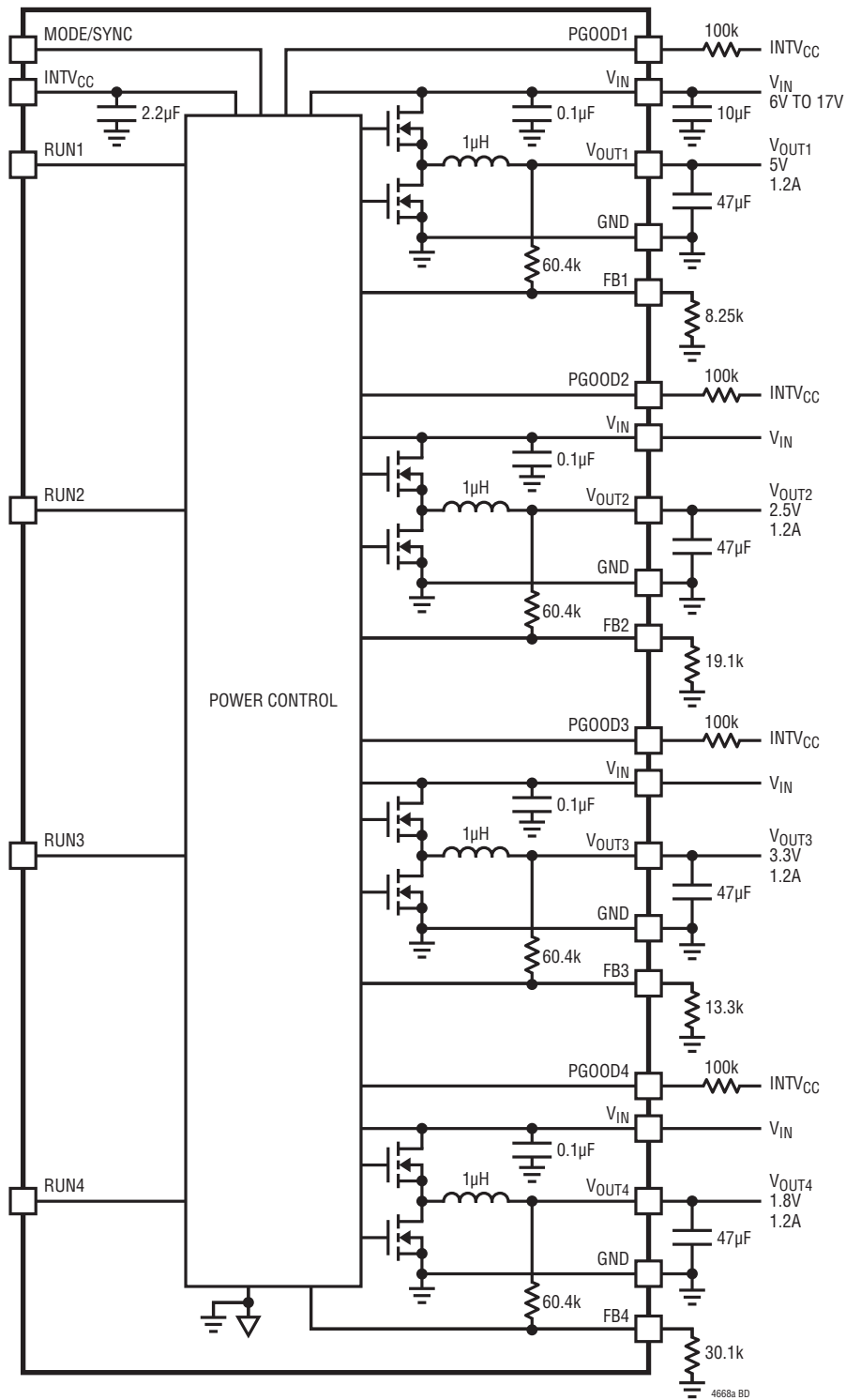
を INTV_{CC} に接続します。パルススキップ動作にするには MODE/SYNC を GND に接続し、強制連続モードにするには、MODE/SYNC を 1V ~ INTV_{CC} - 1.2V の間の電圧に接続します。更に、このピンを外部クロックに接続すると、システム・クロックが外部クロックに同期して、デバイスは強制連続モードになります。このピンはフロート状態にしないでください。

INTV_{CC} (C4) : 内部 5V レギュレータの出力。内部パワー・ドライバおよび制御回路はこの電圧から電力を供給されます。2.2 μ F 以上のローカルの低 ESR セラミック・コンデンサを使用して、各ピンを GND にデカップリングします。INTV_{CC} は、RUN ピンのうち少なくとも 1 本がハイの場合にのみ起動します。

RUN1 (C3)、RUN2 (C5)、RUN3 (E5)、RUN4 (E3) : スイッチング・モード・レギュレータの各チャンネルの動作制御入力。特定の RUN ピンを 1V より高い電圧に接続することにより、レギュレータの動作をイネーブします。このピンを 0.35V より低い電圧に接続すると、レギュレータの特定のチャンネルがシャットダウンします。

FB1 (C1)、FB2 (C7)、FB3 (E7)、FB4 (E1) : スイッチング・モード・レギュレータの各チャンネルのエラーアンプの負入力。このピンは内部で 60.4k Ω の高精度抵抗を介して各チャンネルの V_{OUT} に接続されています。FB ピンと GND ピンの間に抵抗を追加して、異なった出力電圧をプログラムすることができます。PolyPhase[®] 動作では、全てのスレーブ・チャンネルの FB ピンを INTV_{CC} に接続して、全ての並列接続チャンネルの V_{OUT} を互いに接続します。詳細については、[アプリケーション情報](#)のセクションを参照してください。

ブロック図



デカップリング条件

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
スイッチング・レギュレータ部: (チャンネル当たり)						
C_{IN}	External Input Capacitor Requirement ($V_{IN} = 2.7V$ to $17V$, $V_{OUT} = 1.5V$)	$I_{OUT} = 1.2A$	4.7	10		μF
C_{OUT}	External Output Capacitor Requirement ($V_{IN} = 2.7V$ to $17V$, $V_{OUT} = 1.5V$)	$I_{OUT} = 1.2A$	22	47		μF

動作

LTM4668Aはクワッド出力の独立型非絶縁スイッチ・モードDC/DC電源です。独立した4つのレギュレータ・チャンネルを内蔵しており、それぞれが1.2Aの連続出力電流を供給できる上に、わずか数個の外付け入力コンデンサと出力コンデンサで済みます。各レギュレータは、2.7V~17Vの入力電圧範囲にわたり、1個の外付け抵抗によって調整可能な高精度の安定化出力電圧を供給します。LTM4668Aは0.6V~5.5Vの出力電圧をサポートします。標準的応用例の回路図を図14に示します。

LTM4668Aは固定周波数のピーク電流モード・アーキテクチャを採用しており、パワーMOSFET、インダクタ、その他の周辺ディスクリート部品を内蔵しています。代表的なスイッチング周波数は2.25MHzに設定されます。スイッチング・ノイズの影響を受けやすいアプリケーションでは、 μ Moduleは1.5MHz~3MHzのクロックに外部同期可能です。アプリケーション情報のセクションを参照してください。

電流モード制御と内部帰還ループ補償により、LTM4668Aモジュールは、広範囲の出力コンデンサを使って(全てセラミック出力コンデンサを使用する場合でも)十分に余裕のある安定性と良好なトランジェント性能を達成します。

電流モード制御により、個々のレギュレータ・チャンネルのいずれかを並列接続して高精度の電流分担が可能な柔軟性を備えています。LTM4668Aは、それぞれ2つのレギュレータ・チャンネル間を交互に切り替わる内蔵クロックにより、2+2、3+1、または全4チャンネルの並列動作を簡単に使用できます。これにより、マルチレールPOLアプリケーションでの柔軟性が更に高まります。

また、電流モード制御により、サイクルごとの高速過電流保護を実現します。内蔵の過電圧コンパレータと低電圧コンパレータは、出力帰還電圧がレギュレーション・ポイントの $\pm 7.5\%$ の範囲から外れると、オープンドレインのPGOOD出力をローにします。更に、過電圧状態では、内蔵の上側FETがオフして下側FETがオンし、過電圧状態が解消されるまでオンに保持されます。

RUNピンの電圧を0.35Vより低い値まで下げると、コンローラは強制的にシャットダウン状態になり、上下両側のパワーMOSFETおよびほとんどの内部制御回路はオフします。軽負荷電流では、MODE/SYNCピンの電圧をGNDまたはINTV_{CC}に設定することにより、それに応じてパルス・スキップ・モードまたはBurst Mode動作をイネーブルして、連続モード(CCM)に比べて高い効率を達成できます。LTM4668Aは、800 μ sの内部ソフトスタート・ランプを出力チャンネルごとに備えています。

0.6V~1.8Vの低出力電圧範囲と代表的なスイッチング周波数の1MHzで動作する場合は、ピン互換製品のLTM4668を推奨します。LTM4668とLTM4668Aの違いを表1に示します。

表1.

	推奨のV _{OUT} 範囲	スイッチング周波数
LTM4668	0.6V to 1.8V	1MHz
LTM4668A	0.6V to 5.5V*	2.25MHz

*V_{IN}およびV_{OUT}の最大降圧比には制約があります。V_{IN}からV_{OUT}への降圧比のセクションを参照してください。

アプリケーション情報

LTM4668Aの標準的なアプリケーション回路を図14に示します。外部部品の選択は主に、入力電圧、出力電圧、および最大負荷電流で決まります。個々のアプリケーションに対する外付けコンデンサの具体的な条件については、表8を参照してください。

V_{IN}からV_{OUT}への降圧比

レギュレータの各チャンネルには最小オン時間の制限があるので、所定の入力電圧で実現可能なV_{IN}とV_{OUT}との最大降圧比には制約があります。最小オン時間の制限によってコンバータの最小デューティ・サイクルが決まり、その値は次のように計算できます。

$$D_{\text{MIN}} = T_{\text{ON(MIN)}} \cdot f_{\text{sw}}$$

ここで、T_{ON(MIN)}は最小オン時間であり、LTM4668Aの代表値は40nsです。

最小デューティ・サイクルを超える場合には、LTM4668Aがスイッチング周波数を低減して出力電圧のレギュレーションを維持できるように、強制連続モード動作の代わりにパルス・スキップ・モード(MODE/SYNC = GND)またはBurst Mode (MODE/SYNC = INTV_{CC})を実装する必要があります。また、高V_{IN}、低V_{OUT}のアプリケーションでは、ピン互換モジュールのLTM4668を使用して、デフォルトのスイッチング周波数である1MHzにより、最小オン時間を規格内に収めることもできます。

LTM4668Aは、デューティ・サイクル100%で動作できます。デューティ・サイクルが100%に近づくと、LTM4668Aはドロップアウト動作になります。ドロップアウト時には上側PMOSスイッチが常にオンしており、全てのアクティブ回路が通電状態を維持します。

更にサーマル・デレーティングが適用される可能性があることに注意してください。このデータシートの熱に関する検討事項と出力電流のデレーティングのセクションを参照してください。

出力電圧のプログラミング

PWMコントローラには0.6Vの内部リファレンス電圧があります。ブロック図に示すように、各レギュレータ・チャンネルのV_{OUT}ピンとFBピンは60.4k、0.5%の内部帰還抵抗によって相互に接続されます。FBピンとGNDの間に抵抗R_{FB}を追加すると、出力電圧は次のように設定されます。

$$V_{\text{OUT}} = 0.6\text{V} \cdot \frac{60.4\text{k} + R_{\text{FB}}}{R_{\text{FB}}}$$

表2. 各種の出力電圧に対するV_{FB}抵抗の表

V _{OUT} (V)	0.6	1.0	1.2	1.5	1.8	2.5	3.3	5.0
R _{FB} (k)	OPEN	90.9	60.4	40.2	30.1	19.1	13.3	8.25

並列動作にする場合は、前出の式で求めた1つの抵抗をR_{FB}として使用し、マスタ・チャンネルのFBピンとGNDの間に接続します。スレーブ・チャンネルのFBピンはINTV_{CC}に接続し、並列にする全てのチャンネルでは、V_{OUT}ピンとRUNピンを互いに接続します。マルチチャンネルの並列動作のセクションを参照してください。

入力デカップリング・コンデンサ

LTM4668Aモジュールは低ACインピーダンスのDC電源に接続する必要があります。RMSリップル電流のデカップリングのため、4.7μFの入力セラミック・コンデンサをモジュールの両側に1つずつ配置する必要があります。バルク入力コンデンサは、長い誘導性のリードやトレースまたは電源の容量不足によって入力ソース・インピーダンスが損なわれる場合にだけ必要です。バルク・コンデンサは、アルミ電解コンデンサおよびポリマー・コンデンサでもかまいません。

インダクタの電流リップルを考慮しない場合、入力コンデンサのRMS電流は次のように概算できます。

$$I_{\text{CIN(RMS)}} = \frac{I_{\text{OUT(MAX)}}}{\eta\%} \cdot \sqrt{D \cdot (1-D)}$$

ここで、η%は電源モジュールの推定効率です。

出力デカップリング・コンデンサ

高い周波数と広い帯域幅に合わせて最適化された設計により、低ESRの出力セラミック・コンデンサを1つ取り付けるだけで、レギュレータの各チャンネルは低い出力リップル電圧と非常に良好な過渡応答を実現できます。出力リップルや動的トランジェント・スパイクを更に低減するために、システム設計者による出力フィルタの追加が必要になる場合があります。0.3A(25%)の負荷ステップ・トランジェント発生時の電圧低下やオーバーシュートを最小限に抑えるための様々な出力電圧と出力コンデンサの一覧を表8に示します。マルチフェーズ動作では、位相数に応じて実効出力リップルが低減されます。このノイズ低減と出力リップル電流の相殺については『アプリケーション・ノート77』で解説していますが、出力容量は安定性と過渡応答との関係で大きく変わります。LTpowerCAD®設計ツールをオンラインでダウンロード

アプリケーション情報

ドして、出力リップル、安定性、過渡応答を解析し、実装される位相数がN倍に増えるたびに出力リップルがどれだけ低減されるかを計算できます。

Burst Mode 動作

LTM4668Aは、パワーMOSFETが負荷の要求に応じて断続的に動作するBurst Mode動作が可能なので、自己消費電流を節減できます。非常に軽い負荷での効率を最大限に高めることが優先されるアプリケーションでは、Burst Mode動作を適用します。Burst Mode動作を有効にするには、MODE/SYNCピンをそのままINTV_{CC}に接続します。

Burst Mode動作中、インダクタのピーク電流は、エラーアンプの出力(COMP)が低い値を示す場合でも、通常動作時には約400mAに設定されます。インダクタの平均電流が負荷条件より大きいと、COMPの電圧は低下します。COMPの電圧が0.2Vより低くなると、バースト・コンパレータが作動し、その結果内部のスリープ・ラインがハイになり、両方のパワーMOSFETをオフにします。

スリープ・モードでは、内部回路の一部がオフしているので、自己消費電流は減少します。このとき、負荷電流は出力コンデンサから供給されています。出力電圧が低下して、COMPの電圧が上昇すると、内部のスリープ・ラインはローになり、LTM4668Aは通常動作を再開します。次の発振器サイクルで上側のパワーMOSFETがオンして、スイッチング・サイクルが繰り返されます。

全てのチャンネルがスリープ・モードになると、V_{IN}からLTM4668Aモジュールに流れる自己消費電流はわずか8μAになります。

パルス・スキップ・モード動作

電流が中程度のときに低出力リップルと高効率求められるアプリケーションでは、MODE/SYNCピンを接地することにより、パルス・スキップ・モードを使用します。LTM4668Aでは、インダクタ電流のピーク値を66mA以上に設定することにより、Burst Mode動作の場合と同様にパルス・スキップ・モードが実装されます。これにより、Burst Mode動作の場合よりリップルは小さくなりますが、その代償として効率がわずかに低くなります。

Burst Mode動作とパルス・スキップ・モードのいずれのモードでも、負荷電流が少なくなると、連続動作から選択したモードに自動的に切り替わります。

強制連続電流モード (CCM)

低電流での効率より周波数固定の動作が重要で、更に出力リップルを最小限に抑えることが望ましいアプリケーションでは、強制連続動作を使用します。強制連続動作を有効にするには、MODEピンをINTV_{CC}/2に接続します。このモードでは、低出力負荷の間はインダクタ電流が反転可能で、エラーアンプの出力が電流コンパレータの閾値を常に制御し、上側のMOSFETは発振器のパルスごとに必ずオンします。

起動時には、MODE/SYNCピンで設定したモードと関係なく、モジュールはパルス・スキップ・モードで動作して、LTM4668Aの出力電圧がレギュレーション状態になるまで、インダクタ電流が反転しないようにします。

動作周波数

LTM4668Aの動作周波数は、小型パッケージ・サイズと最小出力リップル電圧を達成しつつ、高い効率を維持するように最適化されています。デフォルトの動作周波数は内部で2.25MHzに設定されています。ほとんどのアプリケーションでは、追加の周波数調整は必要ありません。

2.25MHz以外の動作周波数がアプリケーションによって要求される場合は、μModuleを1.5MHz～3MHzの外部クロックに同期できます。

周波数同期とクロック入力

この電源モジュールには電圧制御発振器と位相検出器で構成されるフェーズロック・ループが内蔵されています。これにより、内部の上側MOSFETの全てのターンオンを同じ外部クロックの立上がりエッジにロックできます。外部クロックの周波数範囲は、2.25MHzの設定周波数を中心にして±50%以内にする必要があります。MODE/SYNCピンのクロックを検出してフェーズロック・ループをオンするのに、パルス検出回路が使われています。クロックのパルス幅は400ns以上にする必要があります。クロックのハイ・レベルは2Vより高くする必要があり、クロックのロー・レベルは0.3Vより低くする必要があります。レギュレータの起動時、フェーズロック・ループ機能はデイスエーブルされます。いったん同期すると、LTM4668Aは強制連続モードに入り、外部クロック周波数で動作します。

アプリケーション情報

マルチチャンネルの並列動作

1.5Aを超える出力電流を必要とするアプリケーションの場合は、LTM4668Aの複数のレギュレータ・チャンネルを簡単に並列接続して、入出力の電圧リップルを増やさずに出力電流を増やすことができます。LTM4668Aには、チャンネル1,2とチャンネル3,4の間に180°の組み込み位相シフトがプリセットされており、2+2、3+1、または4チャンネルの並列動作を使用するのに適しています。表3に、レギュレータ・チャンネル間の位相差を示します。

表3. レギュレータ・チャンネル間の位相差

CHANNEL	CH1	CH2	CH3	CH4
Phase Diff.	0°	180°		0°

図1に、クロックの位相制御を目的とした2+2チャンネルと4チャンネルの並列接続の概念図を示します。

マルチフェーズ電源では、入力と出力のどちらのコンデンサのリップル電流の量も大幅に減少します。RMS入力リップル電流は使用する位相数が増えると低減され、実効リップル周波数は位相数倍されます(入力電圧が、使用される位相数×出力電圧より大きいと仮定)。また、全ての出力を互いに接続して大電流のシングル出力設計を実現する場合は、使用する位相数によって出力リップルの振幅を低減できます。

LTM4668Aは本来、電流モードで制御されるデバイスなので、並列モジュールは非常に優れた電流分担特性を示します。このため、設計の発熱バランスがよくなります。並列動作するようにLTM4668Aを設定すると、チャンネル1および4は、それぞれスレーブ・チャンネル2および3のマスタ・チャンネルとして機能します。あるチャンネルをスレーブとして設定するには、そのFBピンをINTV_{CC}に接続して、その制御回路をシャットダウンします。スレーブ・チャンネルのパワー・スイッチを駆動するときは、代わりにマスタ・チャンネルの駆動

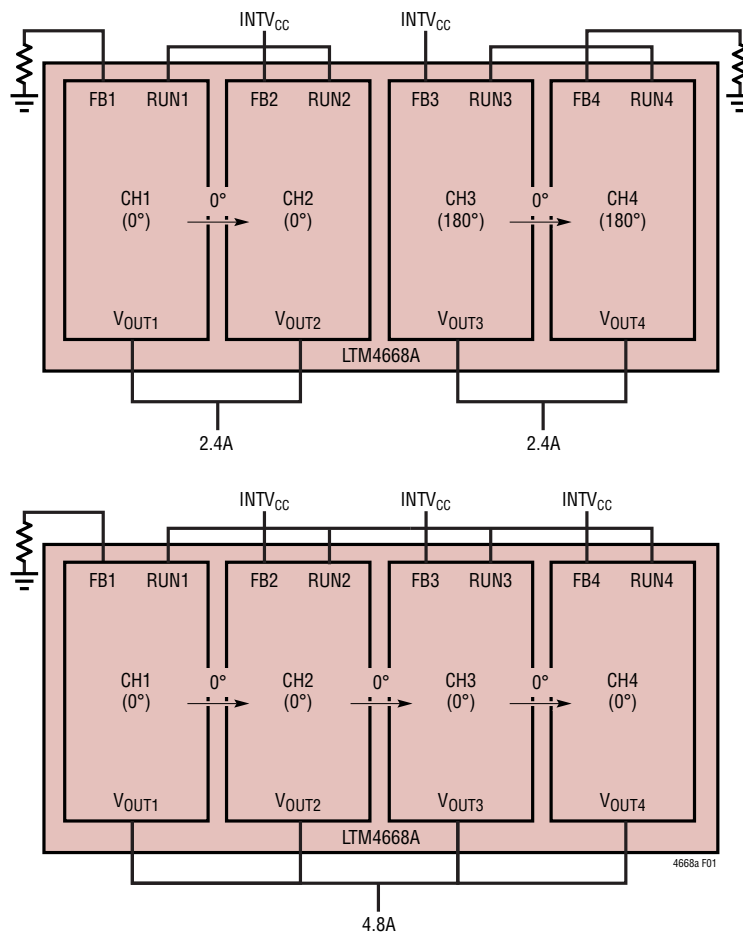


図1. 2+2チャンネルと4チャンネルの並列接続概念図

アプリケーション情報

信号を使用します。その後、設定を完了するには、スレーブ・チャンネルのV_{OUT}をマスタ・チャンネルのV_{OUT}に接続し、スレーブ・チャンネルのRUNピンをマスタ・チャンネルのRUNピンに接続します。チャンネル2と3を互いに接続してデュアル・チャンネル・シングル出力を実現することはできません。3チャンネル・シングル出力、または4チャンネル・シングル出力を設定するには、チャンネル1をマスタ・チャンネルとして使用します。表4に、マルチチャンネルの並列動作に適した推奨のチャンネル組み合わせを示します。並列出力アプリケーションでは、マスタ・チャンネルのPGOOD信号をパワーグッド・インジケータとして使用します。PGOODピンは互いに接続しないでください。

表4. マルチチャンネルの並列動作の設定

出力電圧レール数	並列接続チャンネル	マスタ・チャンネル	PGOODインジケータ
QUAD	1/2/3/4		
TRIPLE	(1+2)/3/4	1	PGOOD1
DUAL	(1+2)/(3+4)	1, 4	PGOOD1, 4
DUAL	(1+2+4)/3	1	PGOOD1
SINGLE	(1+2+3+4)	1	PGOOD1

入力RMSリップル電流の相殺

マルチフェーズ動作は『アプリケーション・ノート77』で詳細に説明されています。入力RMSリップル電流の相殺を数学的に導出し、RMSリップル電流の減少を、インタリーブされた位相の数の関数として表したグラフを掲載しています。図2にこのグラフを示します。

ソフトスタートおよび出力電圧トラッキング

LTM4668Aは、800μsの内部ソフトスタート・ランプをチャンネルごとに備えています。ソフトスタート動作中、MODE/SYNCピンで設定されたモードに関わらず、スイッチャはパルス・スキップ・モードで動作します。ソフトスタート期間が終了すると、デバイスは目的の動作モードに移行します。

パワーグッド

PGOODピンはオープンドレインのピンで、有効な出力電圧レギュレーションをモニタするのに使うことができます。こ

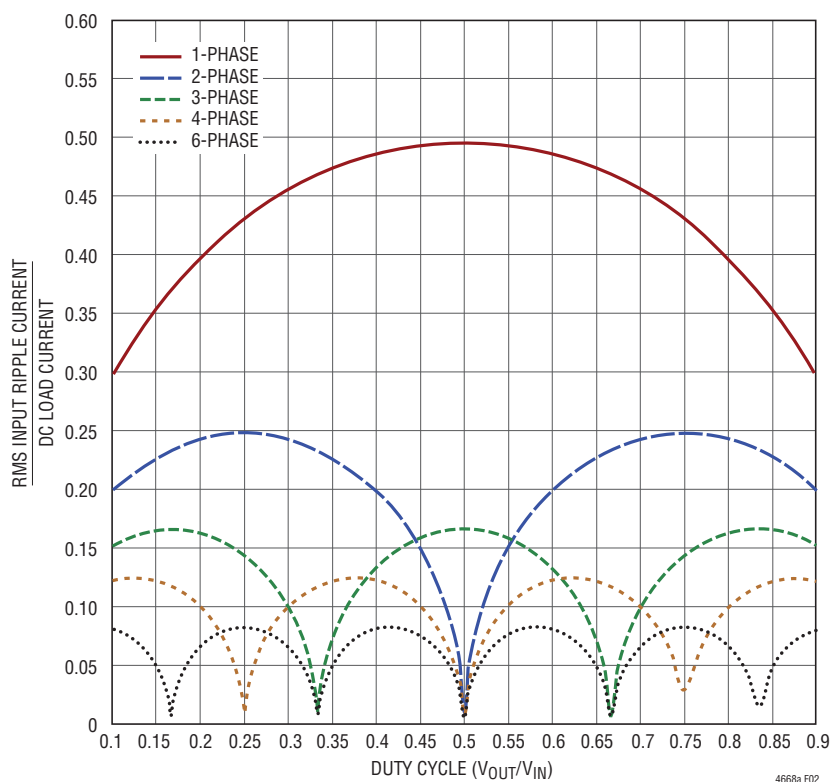


図2. DC負荷電流に対する入力RMS電流の比率のデューティ・サイクル依存性

アプリケーション情報

のピンはレギュレーション点の上下 $\pm 7.5\%$ の範囲をモニタします。モニタ用の抵抗を特定の電源電圧までプルアップできます。トランジェント時または V_{OUT} の動的変化時にPGOODの不要なグリッチが発生しないように、LTM4668AのPGOODの立下がりエッジにはスイッチング・サイクル約32回分のブランキング遅延が含まれています。

安定性補償

LTM4668A モジュールの各レギュレータ・チャンネルの内部補償ループは、低ESRのセラミック出力コンデンサのみのアプリケーション向けに設計され、最適化されています。ほとんどのアプリケーションの条件に対して表6が与えられています。出力リップルや動的なトランジェント・スパイクを低減するのにバルク出力コンデンサが必要な場合は、10pF~15pFの位相ブースト・コンデンサを V_{OUT} ピンとFBピンの間に追加することを推奨します。制御ループの最適化には、LTpowerCAD 設計ツールをダウンロードして利用できます。

RUN イネーブル

各レギュレータ・チャンネルのRUNピンの電圧をグラウンド電位まで下げると、レギュレータは強制的にシャットダウン状態になり、上下両側のパワー MOSFETおよびほとんどの内部制御回路はオフします。RUNピンの電圧を1Vより高くすると、レギュレータのチャンネル全体がオンします。

V_{IN} 過電圧保護

LTM4668A モジュールは V_{IN} ピンを常にモニタして、過電圧状態の有無を調べます。 V_{IN} が19Vより高くなると、対応するレギュレータは上下両側のパワー MOSFETをオフして動作を一時停止します。 V_{IN} が18.7Vより低くなると、レギュレータは直ちに通常動作を再開します。過電圧状態が解消されると、レギュレータはソフトスタート機能を実行します。

熱に関する検討事項と出力電流のディレーティング

データシートのピン配置のセクションに記載された熱抵抗は、JESD 51-9に定義されたパラメータと整合しています。これらのパラメータは、有限要素解析 (FEA) ソフトウェアのモデリング・ツールでの使用を意図したものです。モデリング・ツールでは、JESD 51-9 (Test Boards for Area Array Surface Mount Package Thermal Measurements) によって定義されたハードウェア・テストボードに μ Moduleパッケージを実装

して行われたハードウェア評価で得られた熱的モデリング、シミュレーション、相関の結果を使用します。これらの熱係数を示す意図は、JESD51-12 (Guidelines for Reporting and Using Electronic Package Thermal Information) に示されています。

多くの設計者は、様々な電気的および環境的動作条件で動作する実際のアプリケーションにおける μ Moduleレギュレータの熱性能を予測するのに、実験室の装置およびデモボードのようなテスト手段の使用を選択して、FEAの作業を補強できます。FEAソフトウェアがないと、ピン配置のセクションに記載されている熱抵抗自体では熱性能の目安を示すことになりません。代わりに、このデータシートに記載のディレーティング曲線を一定の方法で使用すれば、各アプリケーション/使用法に関する見通しと参考情報が得られますし、熱性能を独自のアプリケーションと対応付けるようにディレーティング曲線を適合させることもできます。

ピン配置のセクションには、通常はJESD51-12に明示的に定義されている4つの熱係数を示しています。これらの係数について以下に示します。

1. θ_{JA} (接合部から周囲までの熱抵抗) は、1立方フィートの密閉された筐体内で測定された、接合部から自然対流する周囲の空気までの熱抵抗です。この環境は、自然対流により空気が移動しますが、「自然空冷」と呼ばれることがあります。この値は、JESD51-9で定義されているテストボードに実装したデバイスを使って決定されます。このテストボードは実際のアプリケーションまたは実現可能な動作条件を反映するものではありません。
2. $\theta_{Jcbottom}$ (接合部から周囲までの熱抵抗) は、1立方フィートの密閉された筐体内で測定された、接合部から自然対流する周囲の空気までの熱抵抗です。この環境は、自然対流により空気が移動しますが、「自然空冷」と呼ばれることがあります。この値は、JESD51-9で定義されているテストボードに実装したデバイスを使って決定されます。このテストボードは実際のアプリケーションまたは実現可能な動作条件を反映するものではありません。
3. θ_{JcTop} (接合部から製品のケースの上面までの熱抵抗) は、部品のほぼ全消費電力がパッケージの上面を流れていく状態で決定されます。標準的 μ Moduleの電氣的接続はパッケージの底部なので、接合部からデバイ

アプリケーション情報

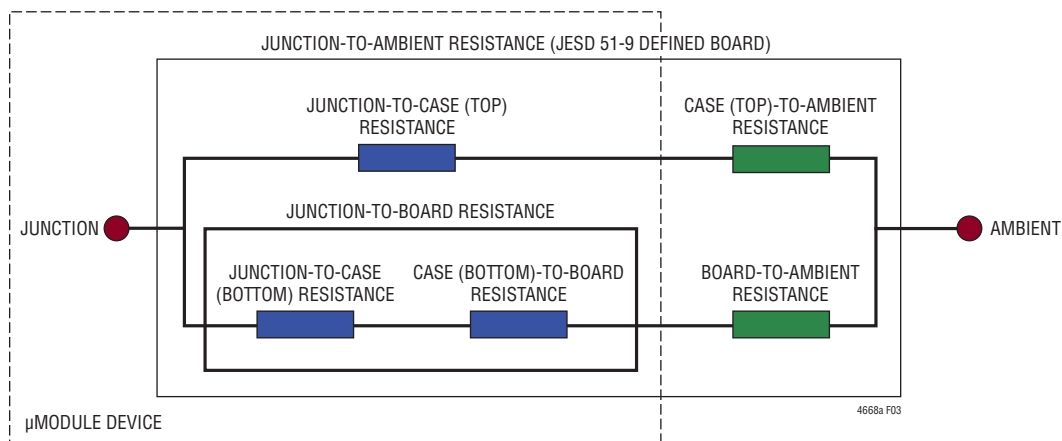


図3. JESD51-12の熱係数の図解

スの頂部に熱の大半が流れるようにアプリケーションが動作することは稀です。 $\theta_{JCbottom}$ の場合のように、この値はパッケージの比較には役立ちますが、このテスト条件は一般にアプリケーションに合致しません。

4. θ_{JB} (接合部からプリント回路基板までの熱抵抗)は、熱の大部分が μ Moduleの底部を通して基板に流れ出すときの接合部から基板までの熱抵抗であり、実際には、 $\theta_{JCbottom}$ と、デバイスの底部から半田接合部を通り、基板の一部までの熱抵抗の和です。基板の温度は、両面の2層基板を使って、パッケージからの規定された距離で測定されます。この基板はJESD51-9に記述されています。

前述の熱抵抗を図式化したものが図3です。青色の部分は μ Moduleレギュレータ内部の熱抵抗、緑色の部分は μ Moduleの外部に存在する熱抵抗です。

実際には、JESD51-12またはピン配置のセクションで定義されている4種類の熱抵抗パラメータの個々のものまたはサブグループは、 μ Moduleの通常動作条件を再現または表現するものではないことに注意してください。例えば、標準規格では θ_{JCtop} および $\theta_{JCbottom}$ を個別に定義していますが、通常の基板実装アプリケーションでは、 μ Moduleの全電力損失(熱)の100%がパッケージの上面だけまたは底面だけを

通って熱的に伝達されることはありません。実際には、電力損失はパッケージの両面から熱的に放散されます。ヒートシンクと空気流がない場合には、当然、熱流の大部分は基板に流れます。

SIP (System-In-Package) モジュール内部では、電力損失を生じるパワーデバイスや部品が複数存在するので、その結果、部品やダイの様々な接合部を基準にした熱抵抗は、パッケージの全電力損失に対して正確に線形ではないことに注意してください。この複雑な問題をモデリングの簡潔性を犠牲にすることなく、(しかも実用的な現実性を無視せずに)解決するため、制御環境室でのラボ・テストと共にFEAソフトウェア・モデリングを使用するやり方を採用して、このデータシートに記載されている熱抵抗値を合理的に定義して相関をとります。(1)はじめに、FEAソフトウェアを使用し、正確な材料係数に加えて正確な電力損失源の定義を使用することにより、 μ Moduleと指定のPCBの機械的形狀モデルを高い精度で構築します。(2)このモデルによって、JESD51-9に適合するソフトウェア定義のJEDEC環境のシミュレーションを行い、様々な界面における電力損失熱流と温度計測値を予測します。その値からJEDEC定義の熱抵抗値を計算できます。(3)モデルとFEAソフトウェアを使用してヒートシンクと空気流がある場合の μ Moduleの熱性能を評価します。(4)これらの熱抵抗値を計算して分析し、ソフトウェア・モデル内で様々な動作条件によるシミュレーションを行った上で、これを再現する徹底した評価実験を実施します。具体的に

アプリケーション情報

は、制御環境チャンバ内で、シミュレーションと同じ電力損失でデバイスを動作させながら、熱電対を使用して温度を測定します。このプロセスと必要な作業の結果、このデータシートの別のセクションに示されているディレーティング曲線が得られました。これらの実験室評価を実施し、 μ Moduleモデルとの相関をとってから θ_{JB} と θ_{BA} を合計すると、適切な環境のチャンバ内における空気流およびヒートシンクなしの μ Moduleモデルと、極めてよい相関が得られました。この $\theta_{JB} + \theta_{BA}$ の値はピン配置のセクションに示されていますが、空気流がなく上面にヒートシンクを取り付けていない状態では、電力損失のほぼ100%が接合部から基板を通過して周囲に流れるので、この値は θ_{JA} の値に正確に等しくなります。

図4～6の1.8V、3.3V、5Vの電力損失曲線を図7～12の負荷電流ディレーティング曲線と組み合わせて使用することにより、LTM4668Aの概略の θ_{JA} 熱抵抗を様々な空気流条件で計算できます。電力損失曲線は室温で測定し、ディレーティングが始まる120°Cのジャンクション温度ではMOSFETの $R_{DS(ON)}$ とインダクタのDCRの両方が大きくなることを考慮して、1.3倍にします。これらのディレーティング曲線は、全4チャンネルを互いに並列接続し、初期出力電流4.8A、周囲温度40°Cの条件でプロットされています。出力電圧は1.8V、3.3V、および5Vです。これらの数値が選ばれたのは、低めおよび高めの出力電圧範囲を含むようにして、熱抵抗の相関をとるためです。熱モデルは、恒温槽での数回の温度計測と熱モデリング解析から得られます。空気流ありと空気流なしの条件で周囲温度を上げながらジャンクション温度をモニタします。ディレーティング曲線には、周囲温度の変化に応じた電力損失の増加が加味されます。周囲温度の上昇に合わせて出力電流つまり電力が減少するので、ジャンクシ

ン温度は最大で120°Cに維持されます。出力電流が減少することにより、周囲温度が上昇するにつれて内部モジュールの損失は減少します。モニタされた120°Cのジャンクション温度から周囲動作温度を差し引いた値は、どれだけのモジュール温度の上昇を許容できるかを規定します。

図11の例では、空気流やヒートシンクなしで約80°Cのとき負荷電流が約3.75Aにディレーティングされ、12V入力、3.3V/3.75A出力での電力損失は約2.6Wです。2.6Wの損失は、12V入力、3.3V/3.75A出力での電力損失曲線から得られる約2Wの室温での損失と、125°Cのジャンクション温度での倍率1.3を使用して計算されます。120°Cのジャンクション温度から80°Cの周囲温度を引き、その差の40°Cを2.6Wで割ると15.3°C/Wの熱抵抗 θ_{JA} が得られます。表5はこれと非常に近い15°C/Wの値を規定しています。

空気流の有無を条件とした1.8V、3.3V、および5V出力の等価熱抵抗を表5～表7に示します。表5および表6で得られる様々な条件での熱抵抗に、周囲温度の関数として算出した電力損失を掛けると、周囲温度からの温度上昇値が得られ、この値から最大ジャンクション温度が得られます。室温での電力損失を代表的な性能特性のセクションの効率曲線から求めて、前述の周囲温度の倍率で調整することができます。プリント回路基板は1.6mm厚の6層構造で、外側2層には2オンス銅箔、内側4層には1オンス銅箔を使用しています。PCBの寸法は94mm×100mmです。

アプリケーション情報

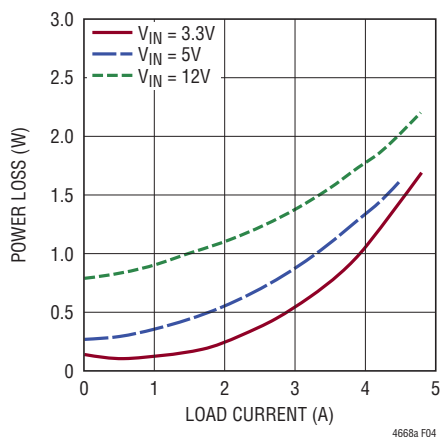


図4. 1.8V出力での電力損失

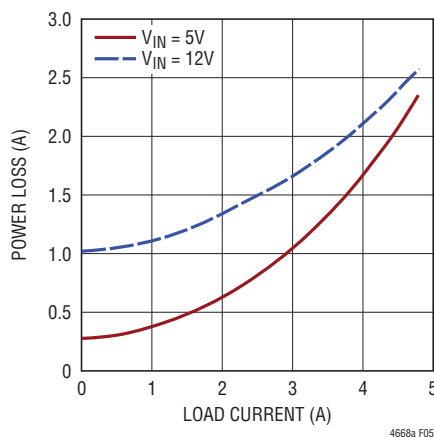


図5. 3.3V出力での電力損失

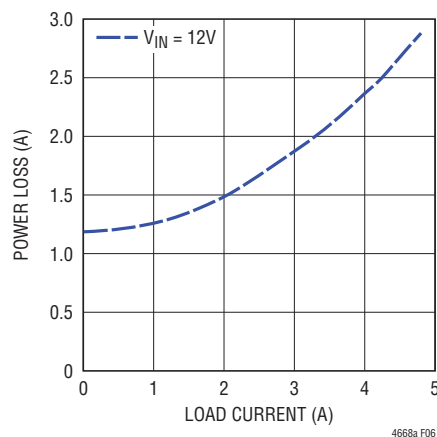


図6. 5V出力での電力損失

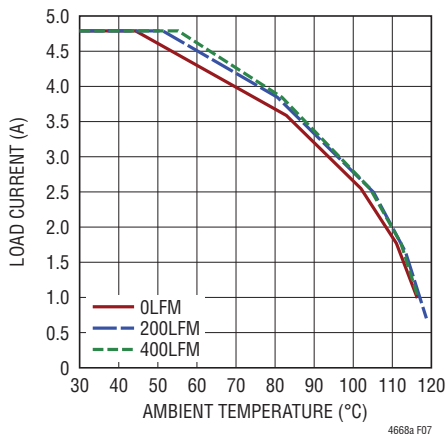


図7. 3.3V入力、1.8V出力の
ディレーティング曲線、
ヒートシンクなし

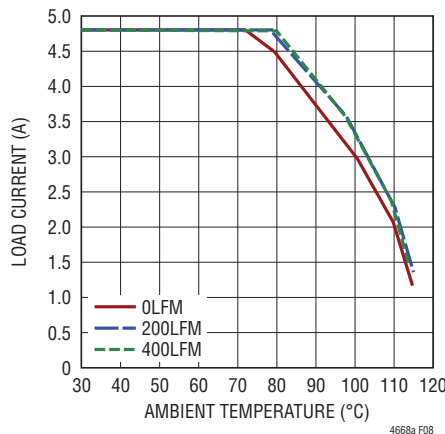


図8. 5V入力、1.8V出力の
ディレーティング曲線、
ヒートシンクなし

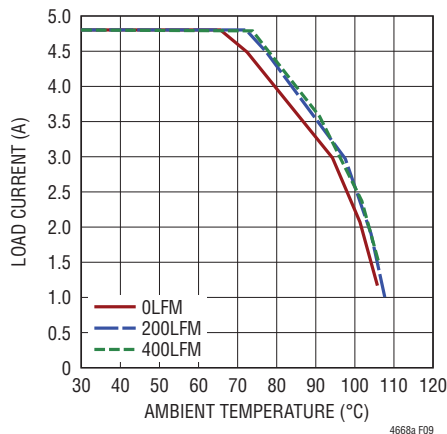


図9. 12V入力、1.8V出力の
ディレーティング曲線、
ヒートシンクなし

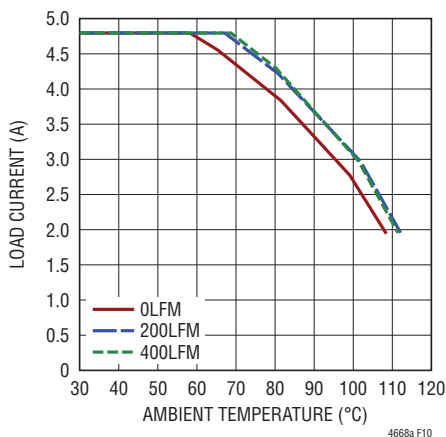


図10. 5V入力、3.3V出力の
ディレーティング曲線、
ヒートシンクなし

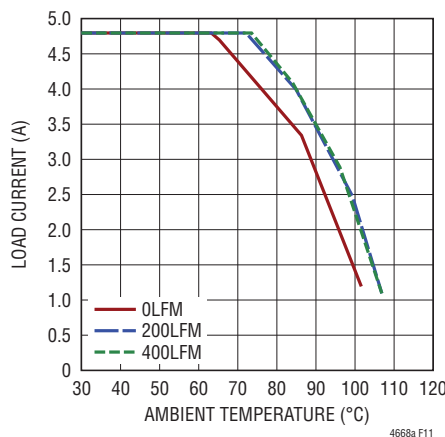


図11. 12V入力、3.3V出力の
ディレーティング曲線、
ヒートシンクなし

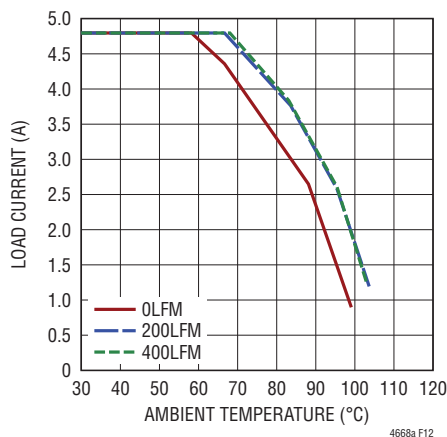


図12. 12V入力、5V出力の
ディレーティング曲線、
ヒートシンクなし

アプリケーション情報

表 5. 1.8V 出力

ディレーティング曲線	V _{IN} (V)	電力損失曲線	空気流 (LFM)	ヒートシンク	Θ _{JA} (°C/W)
Figures 7, 8, 9	3.3, 5, 12	Figure 4	0	None	15
Figures 7, 8, 9	3.3, 5, 12	Figure 4	200	None	13
Figures 7, 8, 9	3.3, 5, 12	Figure 4	400	None	12

表 6. 3.3V 出力

ディレーティング曲線	V _{IN} (V)	電力損失曲線	空気流 (LFM)	ヒートシンク	Θ _{JA} (°C/W)
Figures 10, 11	5, 12	Figure 5	0	None	15
Figures 10, 11	5, 12	Figure 5	200	None	13
Figures 10, 11	5, 12	Figure 5	400	None	12

表 7. 5V 出力

ディレーティング曲線	V _{IN} (V)	電力損失曲線	空気流 (LFM)	ヒートシンク	Θ _{JA} (°C/W)
Figure 12	12	Figure 6	0	None	15
Figure 12	12	Figure 6	200	None	13
Figure 12	12	Figure 6	400	None	12

表 8. 出力電圧応答と部品の一覧 (図 14 を参照)、0A から 0.3A までの負荷ステップ時の代表的測定値

C _{IN} のセラミック・コンデンサ・メーカー	値	製品番号	C _{OUT} のセラミック・コンデンサ・メーカー	値	製品番号
MURATA	22μF, 25V	GRM21BR61E226ME44L	MURATA	47μF, 6.3V	GRM21BR60J476ME15
TAIYO YUDEN	22μF, 25V	TMK316BBJ226ML-T	TAIYO YUDEN	47μF, 6.3V	JMK212BJ476MG-T

V _{OUT} (V)	C _{IN} (セラミック)	C _{IN} (バルク)	C _{OUT1} (セラミック)	C _{OUT2} (バルク)	C _{FF} (pF)	V _{IN} (V)	電圧低下量 (mV)	P-P 変動量 (mV)	回復時間 (μs)	負荷ステップ (A)	負荷ステップのスルー・レート (A/μs)	RFB (kΩ)
1.8	20μF	NA	47μF	NA	150	5, 12	0	56	30	0.3	10	30.1
2.5	20μF	NA	47μF	NA	150	5, 12	0	61	35	0.3	10	19.1
3.3	20μF	NA	47μF	NA	150	5, 12	0	68	40	0.3	10	13.3
5	20μF	NA	47μF	NA	150	12	0	92	50	0.3	10	8.25
1	20μF	NA	47μF	NA	150	5	0	48.2	13	0.3	10	90.9
1.2	20μF	NA	47μF	NA	150	5	0	48.9	15	0.3	10	60.4
1.5	20μF	NA	47μF	NA	150	5	0	51.5	20	0.3	10	40.2

アプリケーション情報

安全性に関する検討事項

LTM4668A モジュールでは、 V_{IN} と V_{OUT} の間が電氣的に絶縁されていません。内部にヒューズはありません。必要に応じて、最大入力電流の2倍の定格の低速溶断ヒューズを使って各ユニットを致命的損傷から保護してください。このデバイスはサーマル・シャットダウンおよび過電流保護機能をサポートしています。

レイアウトのチェックリスト/例

LTM4668A は高度に集積化されているので、PCB 基板のレイアウトが非常に簡単です。ただし、電氣的性能と熱的性能を最適化するには、更にレイアウト上の配慮がいくつか必要です。

- V_{IN} 、GND、 V_{OUT1} 、 V_{OUT2} を含む高電流経路には PCB 銅箔面積を広く確保します。PCB の導通損失と熱ストレスを最小に抑えるのに役立ちます。
- 入力と出力の高周波用セラミック・コンデンサを V_{IN} 、PGND および V_{OUT} の各ピンに隣接させて配置し、高周波ノイズを最小に抑えます。

- デバイスの下に専用の電源グラウンド層を配置します。
- ビアの導通損失を最小限に抑え、モジュールの熱ストレスを減らすため、トップ層と他の電源層の間の相互接続に複数のビアを使用します。
- 充填ビアまたはメッキ・ビアでない限り、パッドの上に直接ビアを置かないでください。
- 信号ピンに接続された部品には、別の SGND グラウンド銅領域を使います。SGND と GND をデバイスの下で接続します。
- 並列モジュールの場合は、 V_{OUT} 、 V_{FB} 、COMP ピンを互いに接続します。内部層を使ってこれらのピンを互いに近づけて接続します。TRACK ピンはレギュレータのソフトスタート用に共通のコンデンサを接続できます。
- 信号ピンからは、モニタリング用にテスト・ポイントを引き出してください。

推奨レイアウトの良い例を図 13 に示します。

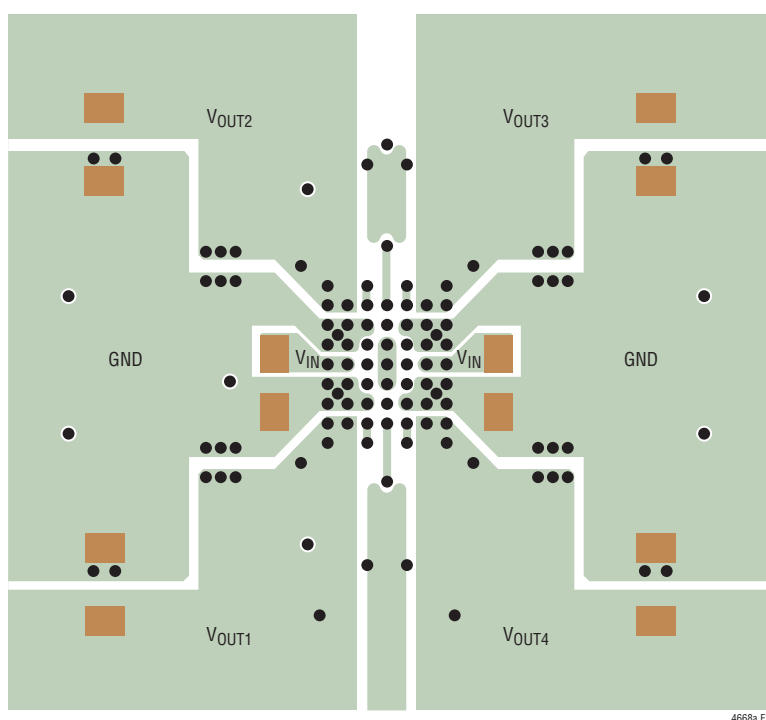


図 13. 推奨の PCB レイアウト

標準的応用例

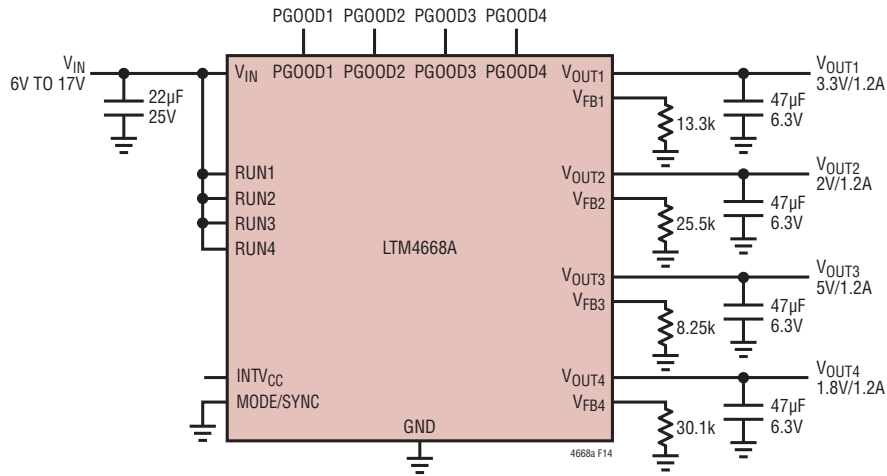


図 14. 6V~17V 入力、3.3V、2V、5V、1.8V/1.2A 出力の設計

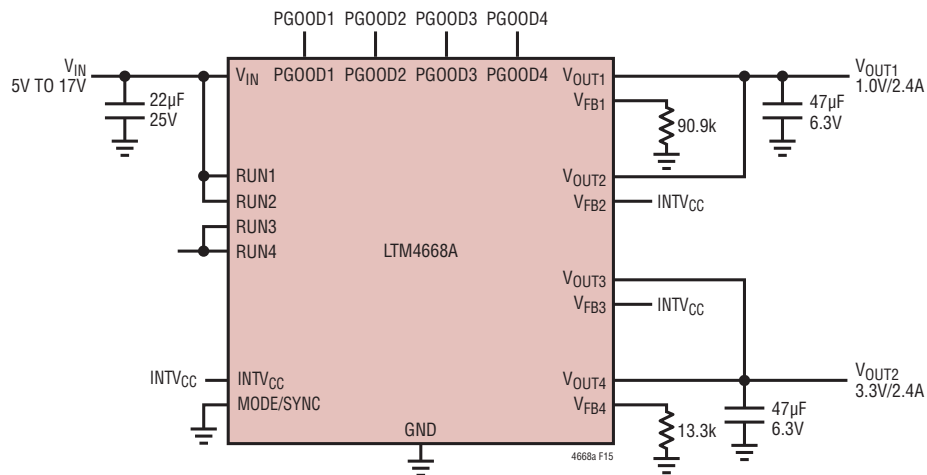


図 15. 5V~17V 入力、1Vおよび 3.3V/2.4A 出力の設計 (パルススキップ・モード)

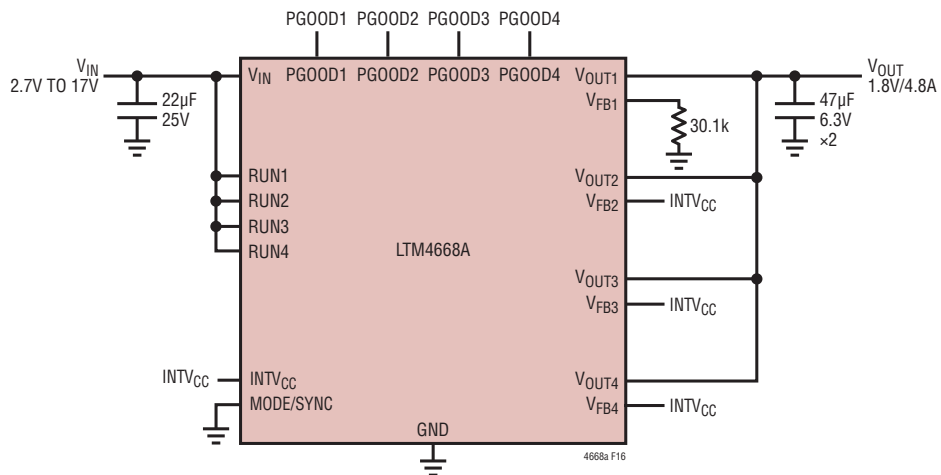


図 16. 2.7V~17V 入力、4フェーズ・シングル1.8V/4.8A 出力の設計

パッケージ



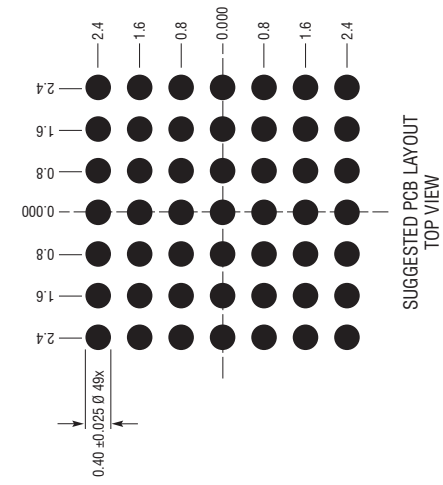
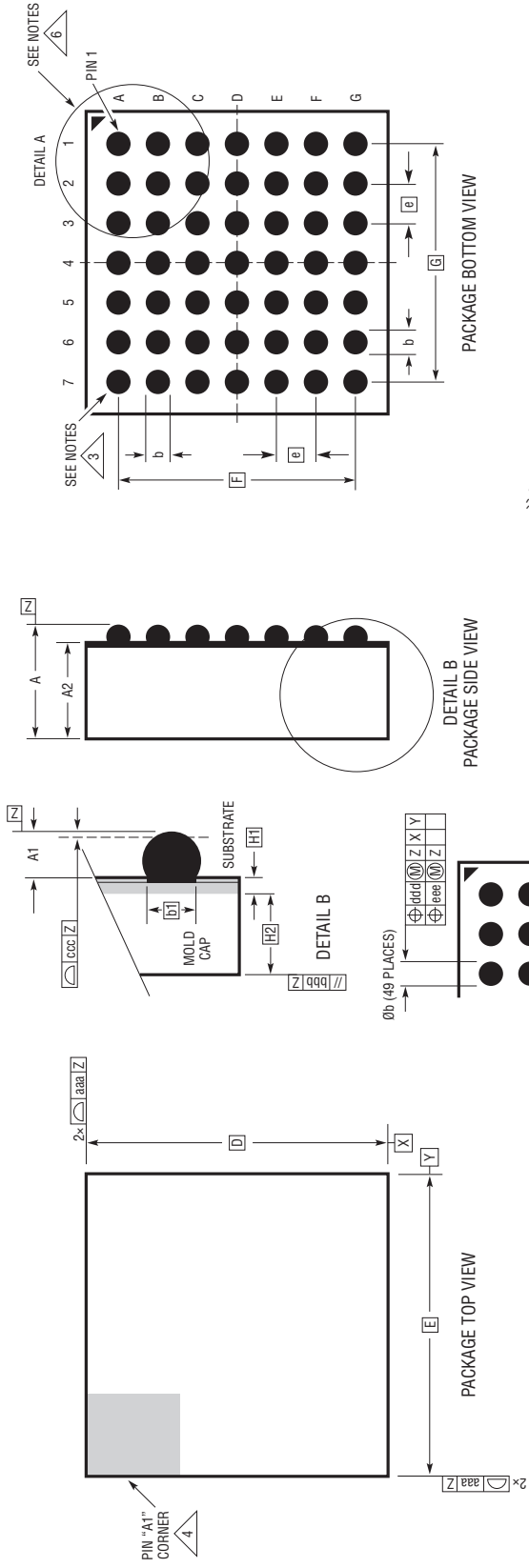
パッケージの行と列のラベルはμModule製品間で異なります。各パッケージのレイアウトをよく確認してください。

表 9. LTM4668A の構成要素の BGA ピン配列

ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称
A1	V _{OUT1}	B1	V _{OUT1}	C1	FB1	D1	PGOOD4	E1	FB4	F1	V _{OUT4}	G1	V _{OUT4}
A2	GND	B2	GND	C2	GND	D2	PGOOD1	E2	GND	F2	GND	G2	GND
A3	GND	B3	GND	C3	RUN1	D3	GND	E3	RUN4	F3	GND	G3	GND
A4	V _{IN}	B4	V _{IN}	C4	INTV _{CC}	D4	GND	E4	MODE/SYNC	F4	V _{IN}	G4	V _{IN}
A5	GND	B5	GND	C5	RUN2	D5	GND	E5	RUN3	F5	GND	G5	GND
A6	GND	B6	GND	C6	GND	D6	PGOOD2	E6	GND	F6	GND	G6	GND
A7	V _{OUT2}	B7	V _{OUT2}	C7	FB2	D7	PGOOD3	E7	FB3	F7	V _{OUT3}	G7	V _{OUT3}

パッケージ

BGA Package 49-Lead (6.25mm × 6.25mm × 2.10mm) (Reference LTC DWG# 05-08-1600 Rev 0)



SYMBOL	DIMENSIONS		NOTES
	MIN	MAX	
A	1.90	2.30	
A1	0.30	0.40	BALL HT
A2	1.60	1.70	
b	0.45	0.50	BALL DIMENSION
b1	0.37	0.40	PAD DIMENSION
D	6.25		
E	6.25		
e	0.80		
F	4.80		
G	4.80		
H1	0.20		SUBSTRATE THK
H2	1.50		MOLD CAP HT
aaa	0.15		
bbb	0.10		
ccc	0.20		
ddd	0.15		
eee	0.08		
TOTAL NUMBER OF BALLS: 49			

注:
1. 寸法と許容誤差はASME Y14.5M-1994による

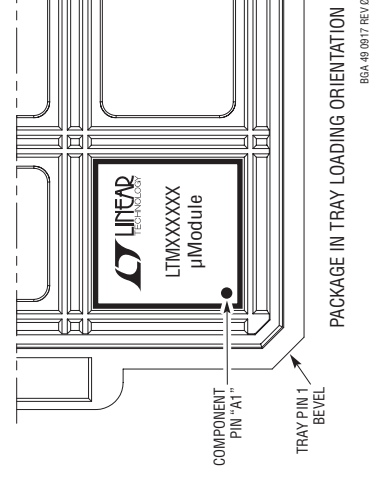
2. 全ての寸法はミリメートル

3. ボールの指定はJEP95による

4. 1番ピンの識別マークはオプションだが、表示の領域内に設けてある
1番ピンの識別マークはモールドかマーキングのどちらかである

5. 主データムズはシーティング・プレーン

6. パッケージの列と行のラベルは、μModule製品間で異なる。
各パッケージのレイアウトを十分に確認すること

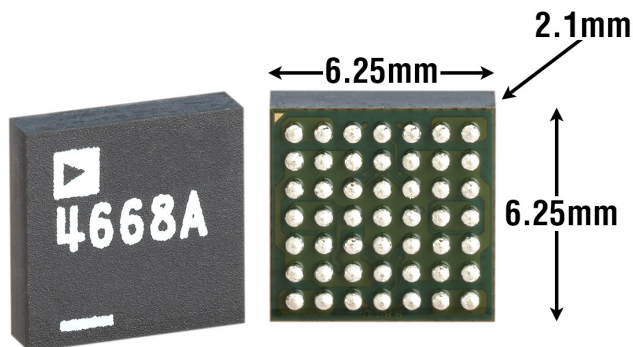


86A-09/017 REV 0

改訂履歴

REV	日付	説明	ページ番号
A	02/20	標準的応用例の回路図にグラウンド記号を追加。 MODE/SYNCピンの説明:「このピンはフロート状態にしないでください」を追加。 INTV _{CC} ピンの説明:「INTV _{CC} は、RUNピンのうち少なくとも1本がハイの場合にのみ起動します」を追加。 LTM466AのV _{IN} からV _{OUT} への降圧比のわかりやすい説明を追加。 マルチチャンネル・アプリケーションのPGOODのわかりやすい説明を追加。 表5: V _{OUT} = 1V、1.2V、1.5Vの3行を追加。 図14および15を編集。 図16を編集。	1 7 7 9 13 18 20 21

パッケージの写真



デザイン・リソース

主題	説明
μModule の設計 / 製造リソース	<p>設計:</p> <ul style="list-style-type: none"> • 選択ガイド • デモ・ボードおよびガーバー・ファイル • 無料シミュレーション・ツール <p>製造:</p> <ul style="list-style-type: none"> • クイック・スタート・ガイド • PCB の設計、組立、および製造ガイドライン • パッケージおよびボード・レベルの信頼性
μModule レギュレータ製品の検索	<p>1. 製品の表をパラメータによって並べ替え、結果をスプレッドシートとしてダウンロードする</p> <p>2. Quick Power Search パラメトリック・テーブルを使って検索を実行する</p>
デジタル・パワー・システム・マネージメント	<p>アナログ・デバイス製のデジタル電源管理デバイス・ファミリーは、電源の監視、管理、マージン制御およびシーケンス制御などの基本機能を提供する高度に集積されたソリューションであり、設定と障害ログを格納する EEPROM を搭載しています。</p>

関連製品

製品番号	説明	注釈
LTM4668	クワッド 1.2A 降圧 μModule レギュレータ	$2.7V \leq V_{IN} \leq 17V$, $0.6V \leq V_{OUT} \leq 1.8V$, 6.25mm × 6.25mm × 2.1mm BGA
LTM4622	超薄型、デュアル 2.5A またはシングル 5A 降圧 μModule レギュレータ	$3.6V \leq V_{IN} \leq 20V$, $0.6V \leq V_{OUT} \leq 5.5V$, 6.25mm × 6.25mm × 1.82mm LGA、6.25mm × 6.25mm × 2.42mm BGA
LTM4622A	LTM4622 の高出力電圧バージョン	$3.6V \leq V_{IN} \leq 20V$, $1.2V \leq V_{OUT} \leq 12V$, 6.25mm × 6.25mm × 1.82mm LGA、6.25mm × 6.25mm × 2.42mm BGA
LTM4623	超薄型、シングル 3A 降圧 μModule レギュレータ	$4V \leq V_{IN} \leq 20V$, $0.6V \leq V_{OUT} \leq 5.5V$, 6.25mm × 6.25mm × 1.82mm LGA、6.25mm × 6.25mm × 2.42mm BGA
LTM4624	シングル 4A 降圧 μModule レギュレータ	$4V \leq V_{IN} \leq 14V$, $0.6V \leq V_{OUT} \leq 5.5V$, 6.25mm × 6.25mm × 5.01mm BGA
LTM4625	シングル 5A 降圧 μModule レギュレータ	$4V \leq V_{IN} \leq 20V$, $0.6V \leq V_{OUT} \leq 5.5V$, 6.25mm × 6.25mm × 5.01mm BGA
LTM4632	DDR メモリ向けの超薄型トリプル ±3A 降圧 μModule レギュレータ	$3.6V \leq V_{IN} \leq 15V$, $0.6V \leq V_{OUT} \leq 2.5V$, 6.25mm × 6.25mm × 1.82mm LGA、6.25mm × 6.25mm × 2.42mm BGA
LTM4643	超薄型、クワッド 3A 降圧 μModule レギュレータ	$4V \leq V_{IN} \leq 20V$, $0.6V \leq V_{OUT} \leq 3.3V$, 9mm × 15mm × 1.82mm LGA、9mm × 15mm × 2.42mm BGA
LTM4644	クワッド 4A 降圧 μModule レギュレータ	$4V \leq V_{IN} \leq 14V$, $0.6V \leq V_{OUT} \leq 5.5V$, 9mm × 15mm × 5.01mm BGA