

48ポート IEEE 802.3bt PoE PSE コントローラ

特長

- IEEE 802.3bt タイプ3 および4 に完全準拠の PSE
- IEEE 802.3at タイプ2 に完全準拠の PSE
- LTC4291-1/LTC4292 とソフトウェア互換
- 最大 48 個の PSE ポート
(1ポートあたり1個の電源チャンネル)
- 最大 24 個の PSE ポート
(1ポートあたり2個の電源チャンネル)
- ECC で保護された eFlash とデータ RAM
- 低電力パス損失 (1チャンネルあたり)
 - 100mΩ の検出抵抗
 - 30mΩ 以下の MOSFET R_{DS(ON)}
- チップセット構成時の電氣的絶縁
 - フォトカプラおよび 3.3V 絶縁型電源が不要
- 非常に信頼性の高いマルチポイント PD 検出
 - 接続チェックによりシングル・シグネチャ PD とデュアル・シグネチャ PD を識別
- ポートごとの電力と電流を継続的にモニタ
- 1MHz I²C 対応のシリアル制御インターフェース
- 1ピンまたは I²C により PD 電力を設定可能
- 24ピン 4mm × 4mm QFN パッケージ (LTC9101-1) および 64ピン 7mm × 11mm QFN パッケージ (LTC9102/LTC9103) で供給

アプリケーション

- PoE PSE スイッチ/ルータおよびミッドスパン

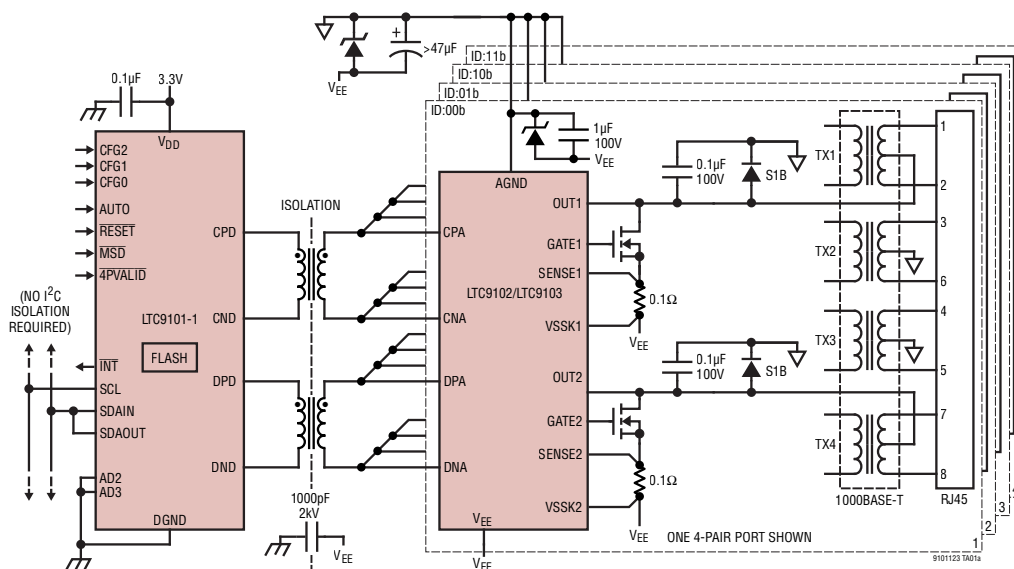
概要

LTC[®]9101-1/LTC9102/LTC9103 チップセットは、IEEE 802.3at タイプ2、802.3bt タイプ3 および4 準拠の PoE (Power over Ethernet) システム用に設計された 48 ポートの給電デバイス (PSE) コントローラです。LTC9101-1/LTC9102/LTC9103 は、802.3af、802.3at、および 802.3bt に準拠した PD に電力を供給するよう設計されています。LTC9101-1/LTC9102/LTC9103 チップセットは、電力チャンネルごとに低 R_{DS(ON)} の外部 MOSFET と 0.1Ω の検出抵抗を利用することで、同様のデバイス中で最も低い熱損失を実現します。トランス絶縁型の通信プロトコルを使用しているため、高価なフォトカプラや複雑な絶縁型 3.3V 電源は不要で、部品コストを大幅に低減できます。

高度なパワー・マネージメント機能には、ポートごとの 14 ビット電流/電力モニタリング、プログラマブル電流/電力制限、事前選択したポートに対する柔軟な高速のシャットダウンなどが含まれています。また、高度なパワー・マネージメント・ホスト・ソフトウェア・レイヤを利用することができます。PD 検出には独自のマルチポイント検出機構を使用しており、PD の誤検出を高い確率で防止します。また、Autoclass と 5 イベントによる物理層分類をサポートしています。LTC9101-1/LTC9102/LTC9103 は、1MHz まで動作可能な I²C シリアル・インターフェースを内蔵しています。LTC9101-1/LTC9102/LTC9103 は、ピンまたは I²C を使い、最大 71.3W までの範囲で PD への供給電力を設定できます。

全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



LTC9101-1/ LTC9102/LTC9103

絶対最大定格

(Note 1)

LTC9101-1

電源電圧 (DGND 基準)

V_{DD} -0.3V ~ 3.6V

CAP1、CAP2 -0.3V ~ 1.32V

デジタル・ピン

AD_n 、 $AUTO$ 、 CFG_n 、 \overline{MSD} 、 $SDAIN$ 、 $SDAOUT$ 、 SCL 、 \overline{RESET} 、 \overline{INT} 、 $\overline{4PVALID}$ -0.3V ~ $V_{DD} + 0.3V$

アナログ・ピン

CPD、CND、DPD、DND -0.3V ~ $V_{DD} + 0.3V$

動作周囲温度 -40°C ~ 85°C

動作ジャンクション温度 (Note 2) -40°C ~ 125°C

保存温度 -65°C ~ 150°C

(Note 1, 4)

LTC9102/LTC9103

電源電圧 (V_{EE} 基準)

AGND -0.3V ~ 80V

PWRIN -0.3V ~ 80V

CAP3、CAP4 -0.3V ~ 5V

$VSSK_n$ -0.3V ~ 0.3V

アナログ・ピン

SENSE $_n$ 、OUT $_n$ -20V ~ 80V

GATE $_n$ 、ID $_n$ 、PWRMD -0.3V ~ 80V

CPA、CNA、DPA、DNA -0.3V ~ CAP3 + 0.3V

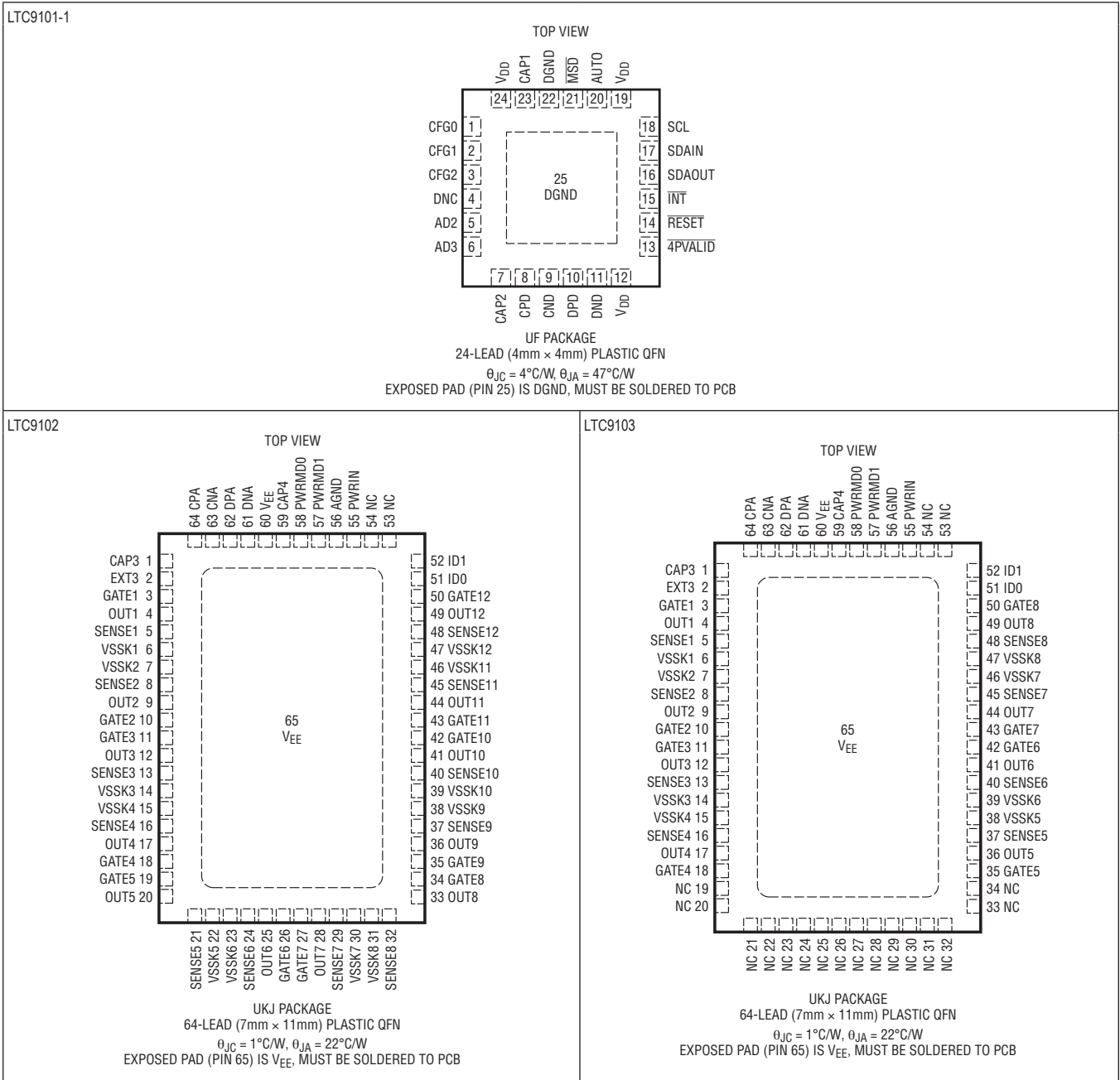
EXT3 -0.3V ~ 30V

動作周囲温度 -40°C ~ 85°C

動作ジャンクション温度 (Note 2) -40°C ~ 125°C

保存温度 -65°C ~ 150°C

ピン配置



LTC9101-1/ LTC9102/LTC9103

電気的特性

●は、全動作温度範囲に適用される仕様であることを示します。それ以外は $T_A = 25^\circ\text{C}$ での仕様です。また、特に指定のない限り、 $\text{AGND} - V_{EE} = 55\text{V}$ 、 $V_{DD} - \text{DGND} = 3.3\text{V}$ です。(Note 3, 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
	Main PoE Supply Voltage	$\text{AGND} - V_{EE}$	●	51	57	V	
		Type 2 or 3 Compliant Output	●	53	57	V	
		Type 4 Compliant Output					
	LTC9102/LTC9103 Undervoltage Lock-Out	$\text{AGND} - V_{EE}$	●	8.2	9	V	
V_{DD}	V_{DD} Supply Voltage	$V_{DD} - \text{DGND}$	●	3	3.3	3.6	V
	Undervoltage Lock-Out			2.8		V	
	V_{DD} Slew Rate, Falling	$2.4 \leq V_{DD} - \text{DGND} \leq 3.0$ (Note 7)			20	mV/ μs	
V_{CAP1}, V_{CAP2}	Internal Regulator Supply Voltage	$V_{CAP1} - \text{DGND}, V_{CAP2} - \text{DGND}$ (Note 13)		1.2		V	
V_{CAP3}	Internal 3.3V Regulator Supply Voltage	$\text{CAP3} - V_{EE}$ (Note 13)	●	3	3.3	3.6	V
$t_{CAP3EXT}$	CAP3 External Supply Rise Time	$0.5\text{V} < \text{CAP3} < \text{CAP3}(\text{Min}), \text{EXT3 Tied to CAP3}$ (Note 7)	●		1	ms	
V_{CAP4}	Internal 4.3V Regulator Supply Voltage	$\text{CAP4} - V_{EE}$ (Note 13)	●	4.3		V	
I_{EE}	V_{EE} Supply Current	PWRIN Pin Connected to AGND, EXT3 LOW, All Gates Fully Enhanced.		7.7	11	14	mA
	3.3V Rail Supply Current	From CAP3 = 3.3V (EXT3 HIGH)		4.2	5.4	6.6	mA
I_{DD}	V_{DD} Supply Current	$(V_{DD} - \text{DGND}) = 3.3\text{V}$	●	40	60	mA	

Detection/Connection Check

	Forced Current	Load Resistance 15.5k to 32k	●	220	240	260	μA
			●	143	160	180	μA
	Forced Voltage	Load Resistance 18.5k to 27.5k	●	7	8	9	V
			●	3	4	5	V
	Detection/Connection Check Current Compliance	$\text{AGND} - \text{OUT}_n = 0\text{V}$	●	0.8	0.9		mA
V_{OC}	Detection/Connection Check Voltage Compliance	$\text{AGND} - \text{OUT}_n$, Open Port	●	10.4	12		V
			●			0.01	V/ μs
	Detection/Connection Check Voltage Slew Rate	$\text{AGND} - \text{OUT}_n, C_{\text{PORT}} = 150\text{nF}$ (Note 7)	●				V/ μs
	Min. Valid Signature Resistance		●	15.5	17	18.5	k Ω
	Max. Valid Signature Resistance		●	27.5	29.7	32	k Ω

Classification

V_{CLASS}	Classification Voltage	$\text{AGND} - \text{OUT}_n, \text{SENSE}_n - \text{VSSK}_n < 5\text{mV}$	●	16	20.5		V
			●	7	8	9	mV
	Classification Current Compliance	$\text{SENSE}_n - \text{VSSK}_n, \text{OUT}_n = \text{AGND}$ (Note 15)	●				mV
	Classification Threshold	$\text{SENSE}_n - \text{VSSK}_n$ (Note 15)	●	0.5	0.65	0.8	mV
			●	1.3	1.45	1.6	mV
			●	2.1	2.3	2.5	mV
			●	3.1	3.3	3.5	mV
			●	4.5	4.8	5.1	mV
V_{MARK}	Classification Mark State Voltage	$\text{AGND} - \text{OUT}_n, \text{SENSE}_n - \text{VSSK}_n < 5\text{mV}$	●	7.5	9	10	V
			●	7	8	9	mV

Gate Driver

	GATE Pin Pull-Down Current	Port Off, $\text{GATE}_n = V_{EE} + 5\text{V}$		1		mA
	GATE Pin Fast Pull-Down Current	$\text{GATE}_n = V_{EE} + 5\text{V}$		65		mA
	GATE Pin On Voltage	$\text{GATE}_n - V_{EE}, I_{\text{GATE}_n} = 1\mu\text{A}$	●	11	14	V

電気的特性

●は、全動作温度範囲に適用される仕様であることを示します。それ以外は $T_A = 25^\circ\text{C}$ での仕様です。また、特に指定のない限り、AGND – $V_{EE} = 55\text{V}$ 、 $V_{DD} - \text{DGND} = 3.3\text{V}$ です。(Note 3, 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Output Voltage Sense							
V_{PG}	Power Good Threshold Voltage	$\text{OUT}_n - V_{EE}$	●	2	2.4	2.8	V
	OUT Pin Pull-Up Resistance to AGND	Port On Port Off	●	300	2500 500	700	k Ω k Ω
Current Sense							
V_{LIM-2P}	Active Current Limit, Single-Signature PD	$\text{OUT}_n - V_{EE} < 10\text{V}$ Class 1 – Class 3	●	40	42.5	45	mV
		Class 4 – Class 6	●	80	85	90	mV
		Class 7	●	100	106	112	mV
		Class 8	●	110	117	124	mV
	Active Current Limit, Dual-Signature PD	$\text{OUT}_n - V_{EE} < 10\text{V}$ Class 1 – Class 3 Class 4 Class 5	● ● ●	40 80 110	42.5 85 117	45 90 124	mV mV mV
$V_{INRUSH-2P}$	Active Current Limit, Inrush	$\text{OUT}_n - V_{EE} < 30\text{V}$ (Note 16) Single-Signature, Class 1–4, 4-Pair Power All Others	● ●	20 40	21.3 42.5	22.5 45	mV mV
$V_{HOLD-2P}$	DC Disconnect Sense Voltage	$\text{SENSE}_n - \text{VSSK}_n$ Single-Signature Class 1–4, 4-Pair Power	●	200	350	500	μV
		Single-Signature Class 1–4, 2-Pair Power	●	500	700	900	μV
		Single-Signature Class 5–8, 4-Pair Power	●	200	350	700	μV
		Dual Signature, 2-Pair or 4-Pair Power	●	200	350	700	μV
V_{SC}	Short-Circuit Sense	$\text{SENSE}_n - \text{VSSK}_n - V_{LIM-2P}$			60	mV	
Port Current Readback (See Typical Performance Characteristics, Note 17)							
	Full-Scale Range	(Notes 7, 15)			204.6	mV	
	LSB Weight	$ \text{SENSE}_n - \text{VSSK}_n $, $\text{VSSK}_n = V_{EE}$ (Note 15)			24.98	$\mu\text{V}/\text{LSB}$	
	Conversion Period				1.967	ms	
V_{EE} Readback (See Typical Performance Characteristics, Note 17)							
	Full-Scale Range	(Note 7)			82	V	
	LSB Weight	$ \text{AGND} - V_{EE} $			10.01	mV/LSB	
	Conversion Period				1.967	ms	
Digital Interface							
V_{ILD}	Digital Input Low Voltage	AD_n , $\overline{\text{RESET}}$, $\overline{\text{MSD}}$, CFG_n , AUTO , $\overline{4\text{PVALID}}$ (Note 6)	●			0.8	V
	I ² C Input Low Voltage	SCL, SDA _{IN} (Note 6)	●			1	V
V_{IHD}	Digital Input High Voltage	(Note 6)	●	2.2			V
	Digital Output Low Voltage	$I_{\text{SDAOUT}} = 3\text{mA}$, $I_{\text{INT}} = 3\text{mA}$	●			0.4	V
		$I_{\text{SDAOUT}} = 5\text{mA}$, $I_{\text{INT}} = 5\text{mA}$	●			0.7	V
	Internal Pull-Up to V_{DD}	AD_n , $\overline{\text{RESET}}$, $\overline{\text{MSD}}$, CFG_2			50	k Ω	
	Internal Pull-Down to DGND	AUTO , $\overline{4\text{PVALID}}$, CFG_0			50	k Ω	
	EXT3 Pull-Down to V_{EE}				50	k Ω	
	ID _n Internal Pull-Up to CAP4	ID _n = 0V			5	μA	

LTC9101-1/ LTC9102/LTC9103

電気的特性

●は、全動作温度範囲に適用される仕様であることを示します。それ以外は $T_A = 25^\circ\text{C}$ での仕様です。また、特に指定のない限り、AGND - $V_{EE} = 55\text{V}$ 、 $V_{DD} - \text{DGND} = 3.3\text{V}$ です。(Note 3, 4)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
PSE Timing Characteristics (Note 7)							
t_{DET}	Detection Time	Beginning to End of Detection	●		380	500	ms
$t_{\text{CLASS_RESET}}$	Classification Reset Duration		●	15			ms
t_{CEV}	Class Event Duration		●	6	15	20	ms
t_{CEVON}	Class Event Turn On Duration	$C_{\text{PORT}} = 0.6\mu\text{F}$	●			0.1	ms
t_{LCE}	Long Class Event Duration		●	88		105	ms
t_{CLASS}	Class Event I_{CLASS} Measurement Timing		●	6			ms
$t_{\text{CLASS_LCE}}$	Long Class Event I_{CLASS} Measurement Timing		●	6		75	ms
$t_{\text{CLASS_ACS}}$	Autoclass I_{CLASS} Measurement Timing		●	88		105	ms
t_{ME1}	Mark Event Duration (Except Last Mark Event)	(Note 11)	●	6	9.6	12	ms
t_{ME2}	Last Mark Event Duration	(Note 11)	●	6	20		ms
t_{PON}	Power On Delay, Auto Mode	From End of Valid Detect to End of Valid Inrush (Note 14)	●			400	ms
$t_{\text{AUTO_PSE1}}$	Autoclass Power Measurement Start	From End of Inrush to Beginning of Autoclass Power Measurement	●	1.4		1.6	s
$t_{\text{AUTO_PSE2}}$	Autoclass Power Measurement End	From End of Inrush to End of Autoclass Power Measurement	●	3.1		3.5	s
$t_{\text{AUTO_WINDOW}}$	Autoclass Average Power Sliding Window		●	0.15	0.23	0.3	s
t_{ED}	Fault Delay	From Power On Fault to Next Detect	●	1.0	1.3	1.8	s
t_{START}	Maximum Current Limit Duration During Inrush		●	50	60	75	ms
t_{CUT}	Maximum Overcurrent Duration After Inrush		●	50	65	75	ms
	Maximum Overcurrent Duty Cycle		●	5.8	6.3	6.7	%
t_{LIM}	Maximum Current Limit Duration After Inrush	(Note 12) Type 3, $t_{\text{LIMn}} = 0 \times 8$ Type 4, $t_{\text{LIMn}} = 0 \times 5$	● ●	10 6	15 11	22 17	ms ms
t_{MPS}	Maintain Power Signature (MPS) Pulse Width Sensitivity	Current Pulse Width to Reset Disconnect Timer (Note 8)	●			6	ms
t_{DIS}	Maintain Power Signature (MPS) Dropout Time	(Note 5)	●	320	370	400	ms
t_{MSD}	Masked Shut Down Delay					6.5	μs
	$I^2\text{C}$ Watchdog Timer Duration		●	1.5	2	3	s
	Minimum Pulse Width for Masked Shut Down		●	3			μs
	Minimum Pulse Width for RESET		●	4.5			μs

電気的特性

●は、全動作温度範囲に適用される仕様であることを示します。それ以外は $T_A = 25^\circ\text{C}$ での仕様です。また、特に指定のない限り、 $\text{AGND} - V_{EE} = 55\text{V}$ 、 $V_{DD} - \text{DGND} = 3.3\text{V}$ です。(Note 3, 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
I²C Timing (Note 7)						
f _{SCLK}	Clock Frequency		●		1	MHz
t ₁	Bus Free Time	Figure 5 (Note 9)	●	480		ns
t ₂	Start Hold Time	Figure 5 (Note 9)	●	240		ns
t ₃	SCL Low Time	Figure 5 (Note 9)	●	480		ns
t ₄	SCL High Time	Figure 5 (Note 9)	●	240		ns
t ₅	SDAIN Data Hold Time	Figure 5 (Note 9)	●	60		ns
	Data Clock to SDAOUT Valid	Figure 5 (Note 9)	●		250	ns
t ₆	Data Set-Up Time	Figure 5 (Note 9)	●	80		ns
t ₇	Start Set-Up Time	Figure 5 (Note 9)	●	240		ns
t ₈	Stop Set-Up Time	Figure 5 (Note 9)	●	240		ns
t _r	SCL, SDAIN Rise Time	Figure 5 (Note 9)	●		120	ns
t _f	SCL, SDAIN Fall Time	Figure 5 (Note 9)	●		60	ns
	Fault Present to $\overline{\text{INT}}$ Pin Low	(Notes 9, 10)	●		150	ns
	Stop Condition to $\overline{\text{INT}}$ Pin Low	(Notes 9, 10)	●		1.5	μs
	ARA to $\overline{\text{INT}}$ Pin High Time	(Note 9)	●		1.5	μs
	SCL Fall to ACK Low	(Note 9)	●		250	ns

Note 1: 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えることがあります。

Note 2: このチップセットは、一時的な過負荷状態からデバイスを保護することを目的とした過熱保護機能を備えています。過熱保護機能が作動した場合、ジャンクション温度は 140°C を超過しています。仕様規定の最大動作ジャンクション温度より上での連続動作はデバイスの信頼性を損なう可能性があります。

Note 3: デバイス・ピンへの電流はすべて正です。デバイス・ピンからの電流はすべて負です。

Note 4: LTC9102/LTC9103 は負の電源電圧 (AGND 基準) で動作します。混乱を避けるために、このデータシートの電圧は絶対値で示されています。

Note 5: t_{DIS} は、IEEE 802.3 に定める t_{MPO} と同じです。

Note 6: LTC9101-1 のデジタル・インターフェースは DGND 基準で動作します。すべてのロジック・レベルは DGND 基準で測定されます。

Note 7: 設計上の性能は確保していますが、テストの対象外です。

Note 8: IEEE 802.3 は、電力維持のための最小 PSE および PD 入力電流条件のセットとして MPS を定義しています。LTC9101-1/LTC9102/LTC9103 のポートは、 $V_{\text{SENSEn}} - V_{\text{SSKn}} \geq V_{\text{HOLD-2P}}$ の状態が t_{MPS} だけ続くとその MPS タイマーをリセットし、 $V_{\text{SENSEn}} - V_{\text{SSKn}} \geq V_{\text{HOLD-2P}}$ の状態が t_{DIS} を超えるとポートの電力供給を停止します。切断のセクションを参照してください。

Note 9: V_{IHD} で測定した値。

Note 10: I²C トランザクション中にフォルト状態が生じた場合でも、I²C バスの停止条件が満たされるまで INT ピンはプルダウンされません。

Note 11: マーク時の LTC9102/LTC9103 の負荷特性: $7\text{V} < (\text{AGND} - V_{\text{OUTn}}) < 10\text{V}$

Note 12: シリアル・バスの使用法、デバイスの設定、およびステータス・レジスタについては、LTC9101-1 のソフトウェア・プログラミング・マニュアルを参照してください。

Note 13: CAP1、CAP2、CAP3、CAP4 から電流のソースやシンクはしないでください。

Note 14: シングル・シグネチャ PD の場合、t_{PON} の測定は、どちらかのパワー・チャンネルで有効な検出が終了した時点から開始されます。デュアル・シグネチャ PD の場合、t_{PON} の測定は、同じパワー・チャンネルで有効な検出が終了した時点から開始されます。

Note 15: ポート電流とポート電力の測定値は、検出抵抗の値 (代表値: 0.1Ω) によって異なります。詳細については、外付け部品の選択のセクションを参照してください。

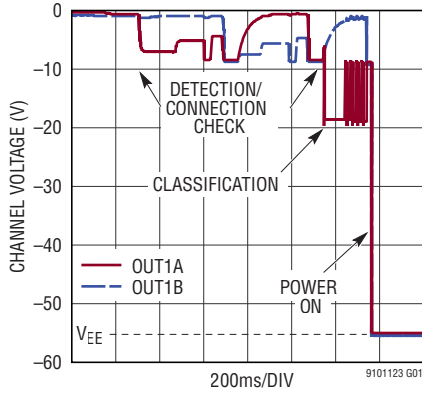
Note 16: 突入電流閾値の選択については、突入電流の制御のセクションを参照してください。

Note 17: ADC の特性と代表的性能値は、LTC9102/LTC9103 のハードウェア能力に関するものです。LTC9102/LTC9103 の測定値は、LTC4291 のソフトウェア・インターフェースとの後方互換性を確保するために、LTC9101-1 によって処理と合成が行われています。レジスタの説明と LSB の重み付け (ポート電流、ポート電力、V_{EE} 電圧、およびシステム温度) については、LTC9101-1 のソフトウェア・インターフェース・ガイドを参照してください。

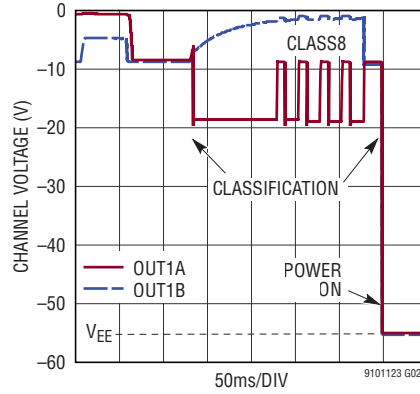
代表的な性能特性

(特に指定のない限り $R_{SENSE} = 0.1\Omega$)

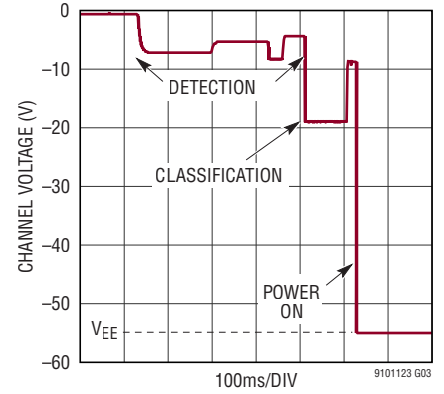
802.3bt シングル・シグネチャの
パワー・オン・シーケンス、4ペア



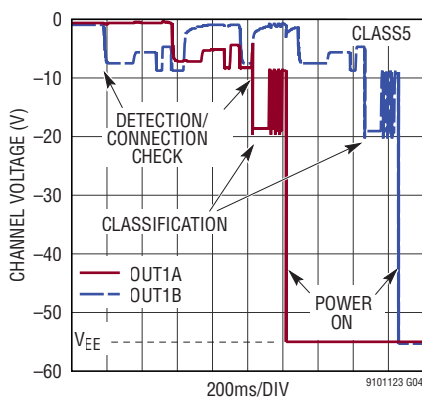
802.3bt シングル・シグネチャの
分類とパワー・オン、4ペア



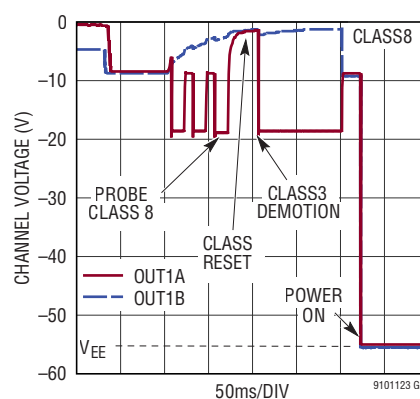
802.3bt シングル・シグネチャの
パワーオン・シーケンス、2ペア



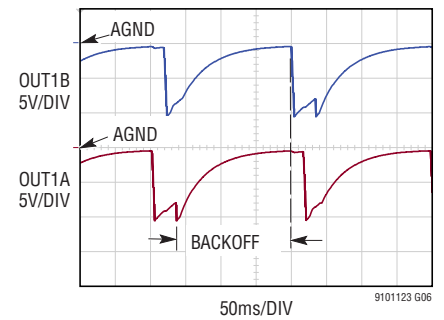
802.3bt デュアル・シグネチャの
パワー・オン・シーケンス



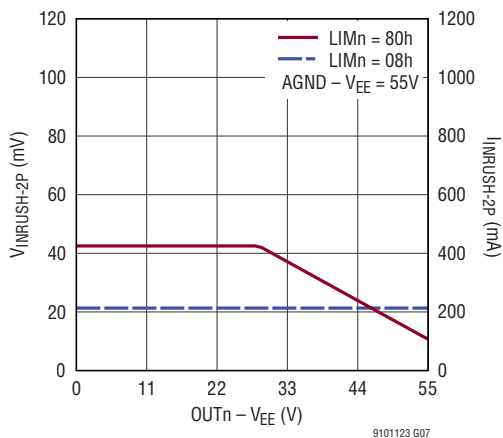
802.3bt シングル・シグネチャの
クラス・プローブとクラス格下げ



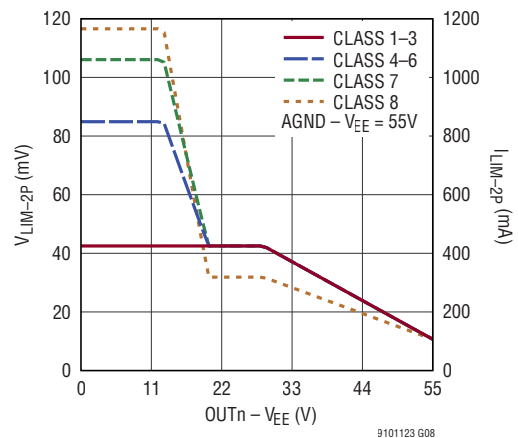
オープン・サーキット検出



突入電流制限 (Note 16)



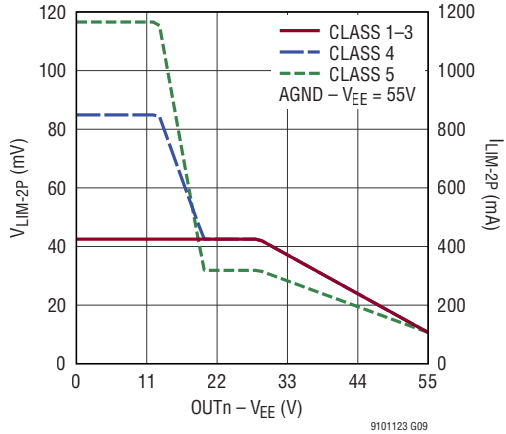
パワー・オン電流制限 (シングル・シグネチャ)



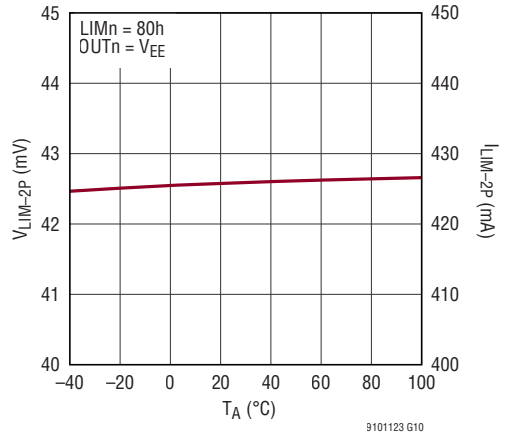
代表的な性能特性

(特に指定のない限り $R_{SENSE} = 0.1\Omega$)

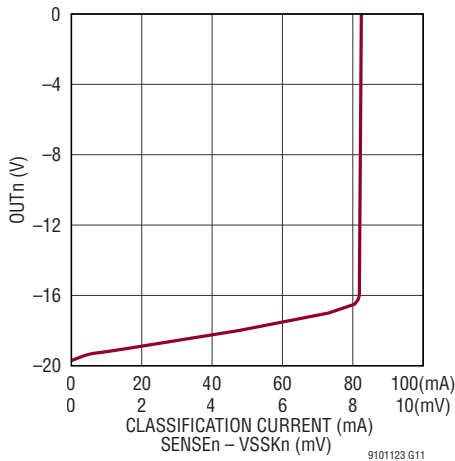
パワー・オン電流制限(デュアル・シグネチャ)



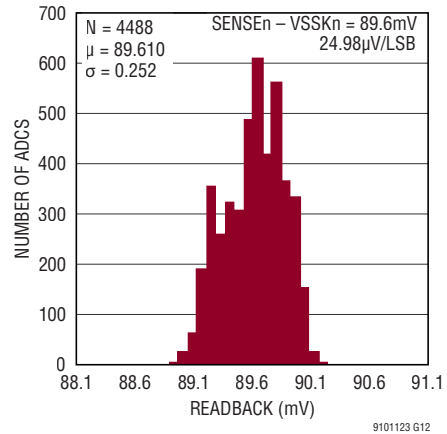
I_{LIM-2P} と温度の関係



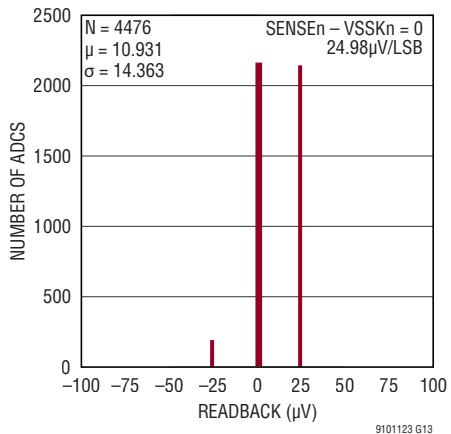
分類電流コンプライアンス



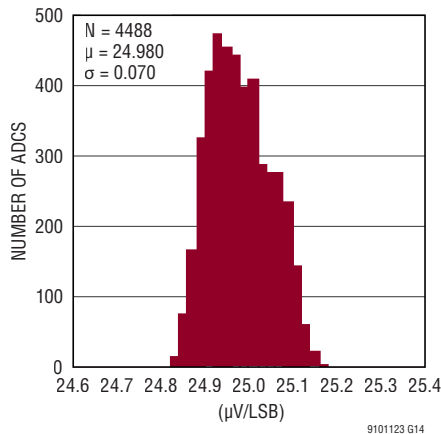
ポート電流のリードバック



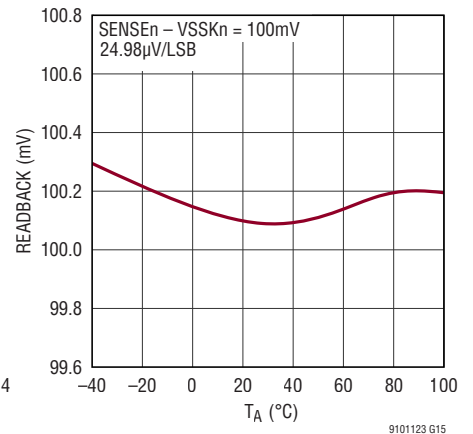
ポート電流リードバック・オフセット



ポート電流リードバックLSB



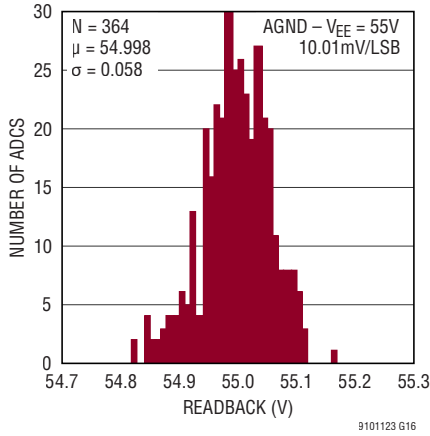
ポート電流リードバックと温度の関係



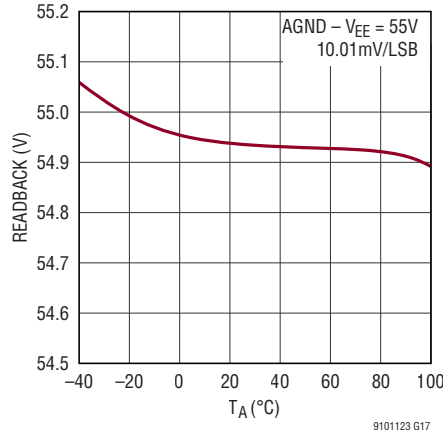
代表的な性能特性

(特に指定のない限り $R_{SENSE} = 0.1\Omega$)

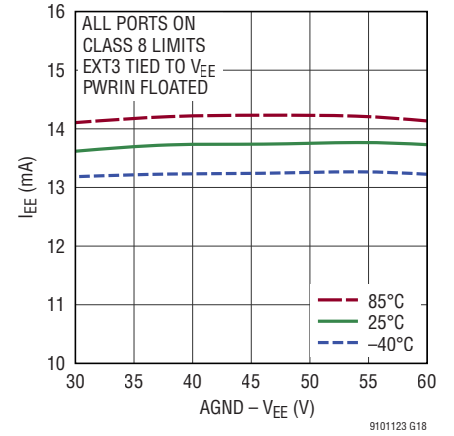
V_{EE} のリードバック



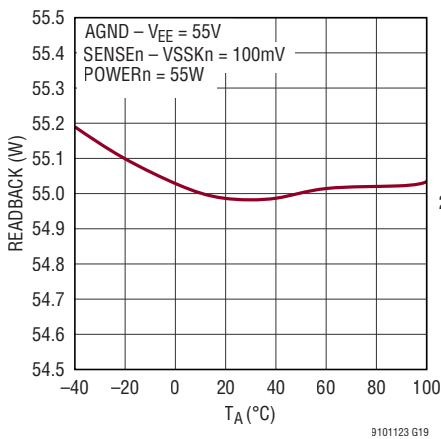
V_{EE} リードバックと温度の関係



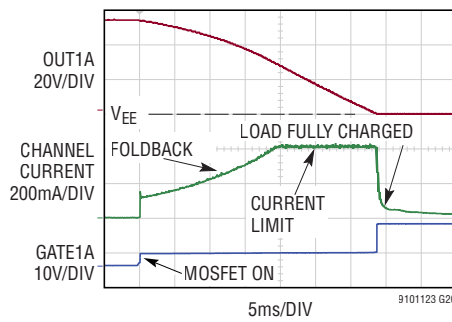
V_{EE} 電源電流と電圧および温度の関係



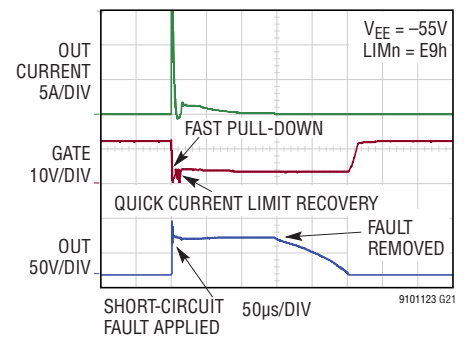
ポート電力リードバックと温度の関係



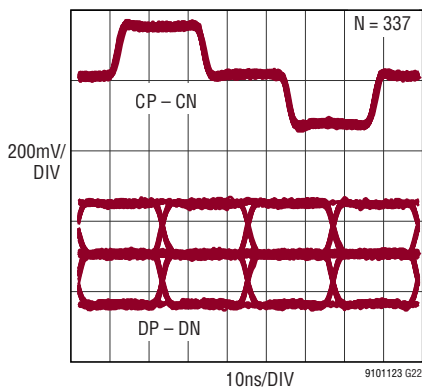
負荷 180μF のときのパワーアップ



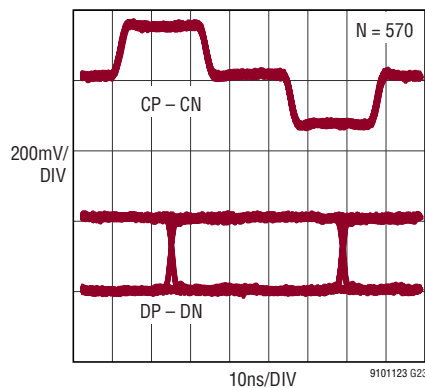
短絡からの回復



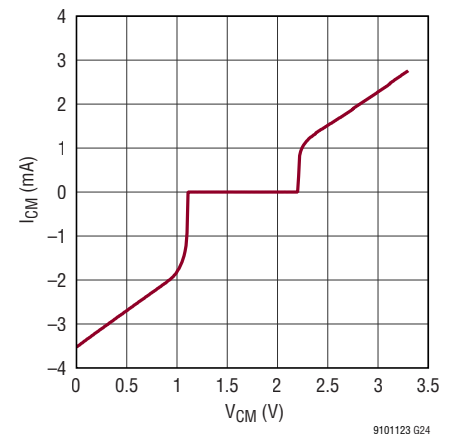
クロックとデータ書込みのアイ・ダイアグラム



クロックとデータ読出しのアイ・ダイアグラム



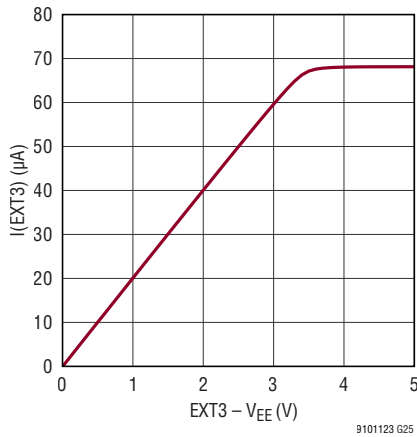
LTC9102/LTC9103 の CP/CN および DP/DN コマンド・モード補正電流



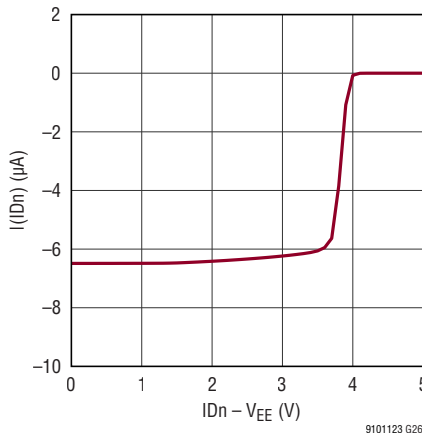
代表的な性能特性

(特に指定のない限り $R_{SENSE} = 0.1\Omega$)

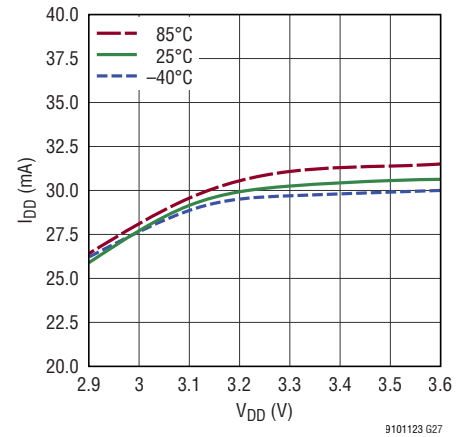
EXT3ピン電流と電圧の関係



IDnピン電流と電圧の関係



LTC9101-1のV_{DD}電源電流と電圧および温度の関係



テスト・タイミング図

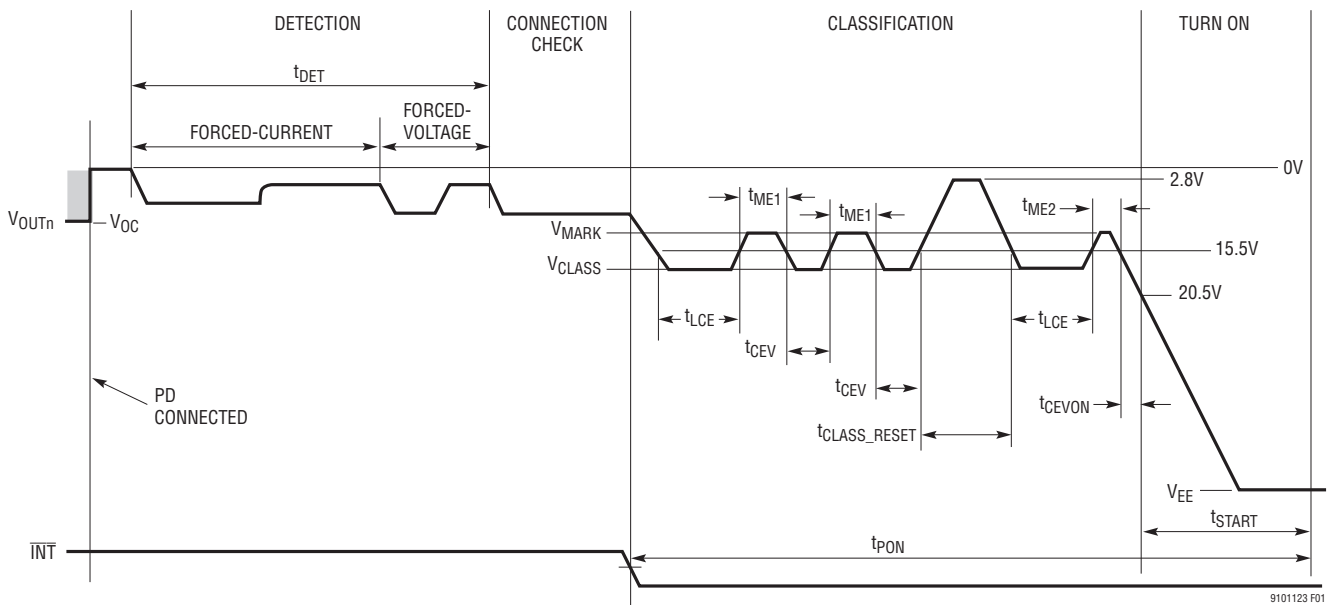


図1. 検出、分類、およびターン・オンのタイミング
(4ペア・ポート、プライマリ・オルタナティブ、自動または半自動モード)

テスト・タイミング図



(a) 電流制限タイミング

(b) 電流遮断タイミング

図2. 電流タイミング

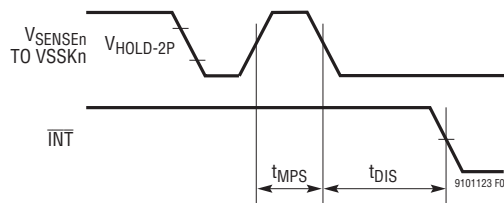


図3. DC切断タイミング(2ペア・システム)

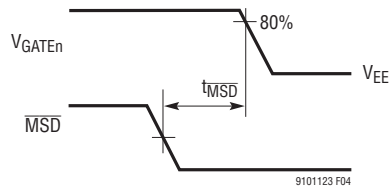


図4. シャットダウン遅延タイミング

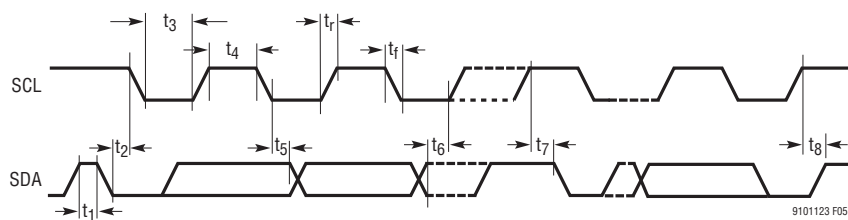


図5. I²C インターフェース・タイミング

I²C タイミング図

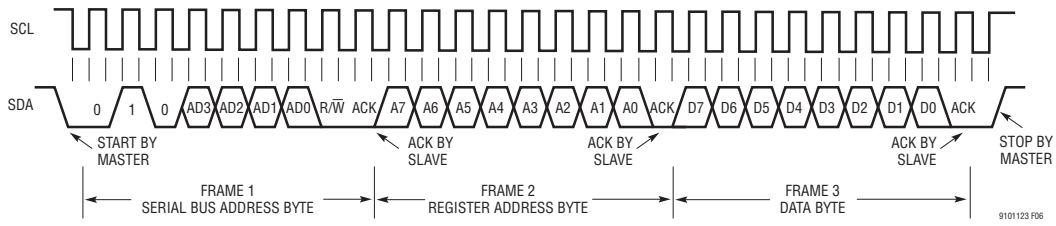


図6. レジスタへの書込み

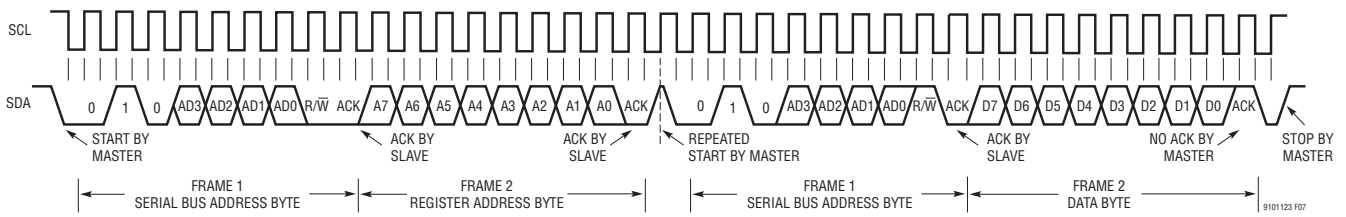


図7. レジスタからの読出し

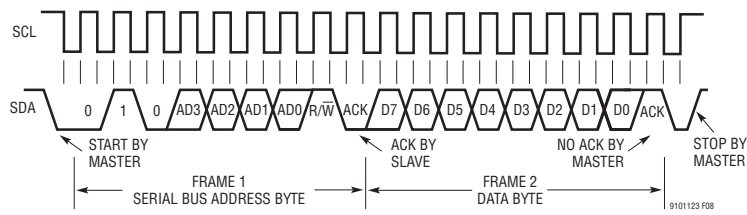


図8. 割込みレジスタの読出し(ショート・フォーム)

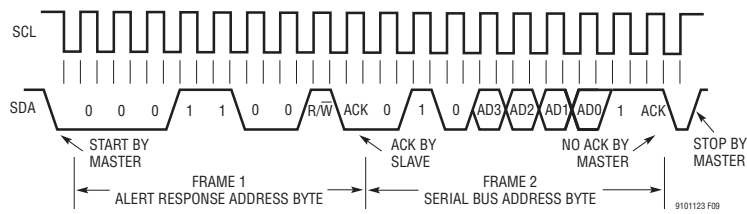


図9. アラート応答アドレスからの読出し

ピン機能

LTC9101-1

CFG[2:0] (それぞれピン 3、2、1) : デバイス設定入力。ポート数、ポートあたりのチャンネル数、および接続する LTC9102/LTC9103 の数を設定するには、これらの設定ピンをハイまたはローに接続します。詳細についてはデバイスの設定のセクションを参照してください。カスタム設定パッケージが存在する場合、CFG [0]は無視されます。詳細については保存されている設定のセクションを参照してください。

AD[3:2] (それぞれピン 6 と 5) : I²C アドレス・ビット 3~2。ベース I²C シリアル・アドレスを設定するには、これらのアドレス・ピンをハイまたはローに接続します。ベース・アドレスは (010A₃A₂00) b になり、内部で V_{DD} にプルアップされます。詳細についてはバスのアドレス指定のセクションを参照してください。

CAP[2:1] (それぞれピン 7 と 23) : コア電源バイパス・コンデンサ。これらのピンは、内部 1.2V レギュレータのバイパス用に 1μF のコンデンサを介して DGND に接続します。コンデンサの容量は必ず 1μF としてください。また、このピンから電流のソースやシンクをしないでください。

CPD (ピン 8) : クロック・トランシーバーの正の入出力 (デジタル)。データ・トランスを介して CPA に接続します。

CND (ピン 9) : クロック・トランシーバーの負の入出力 (デジタル)。データ・トランスを介して CNA に接続します。

DPD (ピン 10) : データ・トランシーバーの正の入出力 (デジタル)。データ・トランスを介して DPA に接続します。

DND (ピン 11) : データ・トランシーバーの負の入出力 (デジタル)。データ・トランスを介して DNA に接続します。

V_{DD} (ピン 12、19、24) : V_{DD} IO 電源。DGND 基準の 3.3V 電源に接続します。それぞれの V_{DD} ピンは、0.1μF 以上のコンデンサを使いローカルでバイパスする必要があります。サージ耐性を向上させるには、V_{DD} に 10μF のバルク・コンデンサを接続する必要があります。

4PVALID (ピン 13) : 4ペア有効入力、アクティブ・ロー。ローの場合は、両方のペアセットが有効なシグネチャを示さない限り、LTC9101-1/LTC9102/LTC9103 はポートに電力を供給しません。ハイの場合、LTC9101-1/LTC9102/LTC9103 は、他方のペアセットの状態に関係なく、有効なシグネチャを示す任意のペアセットに電力を供給します。2ペアまたは AT モードのポートは、4ペアの有効設定に影響されません。内部で DGND にプルダウンされます。カスタム設定パッケージが存在する場合、4PVALID ピンは無視されます。詳細については保存されている設定のセクションを参照してください。

RESET (ピン 14) : リセット入力、アクティブ・ロー。RESET がローになると LTC9101-1/LTC9102/LTC9103 は非アクティブになり、すべてのポートがオフになって内部レジスタもすべてリセットされます。RESET がハイになると、LTC9101-1/LTC9102/LTC9103 は通常動作を開始します。RESET は、外付けのコンデンサまたは RC 回路に接続してパワー・オン遅延を設定することができます。RESET の内部フィルタリングは、幅 1μs 未満のグリッチによって LTC9101-1/LTC9102/LTC9103 がリセットされてしまうのを防ぎます。内部で V_{DD} にプルアップされます。

INT (ピン 15) : 割り込み出力、オープン・ドレイン。いくつかのイベントのいずれか 1 つが LTC9101-1 内で発生すると、INT はローになります。このピンは、Reset PB レジスタ (0x1A) のビット 6 か 7 がセットされると高インピーダンス状態に戻ります。INT 信号を使用すればホスト・プロセッサへの割り込みを生成できるので、継続的にソフトウェア・ポーリングを行う必要がなくなります。INT イベントは、IntMask レジスタ (0x01) を使って個別にディスエーブルすることができます。詳細については LTC9101-1 のソフトウェア・プログラミング・マニュアルを参照してください。INT は 2 つの I²C トランザクションの間のみ更新されます。

SDAOUT (ピン 16) : シリアル・データ出力、つまり I²C シリアル・インターフェース・バスのオープン・ドレイン・データ出力。LTC9101-1 は、2 つのピンを使って双方向 SDA 機能を実現し、I²C バスの光絶縁を簡略化します。標準的な双方向 SDA ピンを実装するには、SDAOUT と SDAIN を互いに接続します。詳細については、[アプリケーション情報の](#)セクションを参照してください。

SDAIN (ピン 17) : シリアル・データ入力。I²C シリアル・インターフェース・バスの高インピーダンス・データ入力。LTC9101-1 は、2 つのピンを使って双方向 SDA 機能を実現し、I²C バスの光絶縁を簡略化します。標準的な双方向 SDA ピンを実装するには、SDAOUT と SDAIN を互いに接続します。詳細については、[アプリケーション情報の](#)セクションを参照してください。

SCL (ピン 18) : シリアル・クロック入力。I²C シリアル・インターフェース・バスの高インピーダンス・クロック入力。SCL ピンは、I²C SCL バス・ラインに直接接続する必要があります。I²C シリアル・インターフェース・バスを使用しない場合は、SCL をハイに接続してください。

ピン機能

AUTO (ピン20) : 自動モード入力、アクティブ・ハイ。自動モードでは、LTC9101-1が、ホストを介することなく有効なPDの検出、分類、およびパワーアップを行うことができます。AUTOは、LTC9101-1がリセットされたとき、またはUVLO状態を終了したときの内部レジスタの状態を決定します (LTC9101-1のソフトウェア・プログラミング・マニュアルを参照)。詳細については、自動モードでの最大PSE電力のセクションを参照してください。これらのレジスタ・ビットの状態は、I²Cインターフェースを介して後から変更することができます。内部でDGNDにプルダウンされます。カスタム設定パッケージが存在する場合、AUTOピンは無視されます。詳細については保存されている設定のセクションを参照してください。

MSD (ピン21) : マスク可能なシャットダウン入力、アクティブ・ロー。ローにすると、mconfレジスタ(0x17)に対応マスク・ビットがセットされたすべてのポートがリセットされます。MSDの内部フィルタリングは、幅1 μ s未満のグリッチによってポートがリセットされてしまうのを防ぎます。MSD Pin ModeレジスタはMSDの極性を設定できます。内部でVDDにプルアップされます。

DGND (ピン22、25) : デジタル・グラウンド。DGNDは、VDD電源からのリターンに接続する必要があります。

LTC9102/LTC9103 共通

CAP3 (ピン1) : 3.3V内部アナログ電源のバイパス・コンデンサ。V_{EE}との間に1 μ Fのセラミック・コンデンサを接続してください。3.3V電源をこのピンに接続すれば、電源効率を向上させることができます。外部電源使用時に内部3.3Vレギュレータをシャットオフするには、EXT3ピンをCAP3と同じ電圧にする必要があります。また、このピンから電流のソースやシンクをしないでください。アナログ・デバイゼスのマニュアルに明示されている場合を除き(例えば、LTC9102/LTC9103のピン接続によりシリアル・インターフェースを終端する場合)、CAP3には何も接続しないでください。

EXT3 (ピン2) : 外部3.3Vイネーブル。外部電源使用時に内部3.3Vレギュレータをシャットオフするには、EXT3ピンをCAP3に接続します。内部レギュレータを作動させるには、フロート状態にするかV_{EE}に接続してください。

ID[1:0] (それぞれピン52と51) : トランシーバーID。マルチドロップ高速データ・インターフェース上でのLTC9102/LTC9103のアドレスを設定します。IDの値は00bから始めてください。CAP3に接続することによってハイにし、V_{EE}に接続することによってローにします。詳細についてはデバイスの設定のセクションを参照してください。

PWRIN (ピン55) : スタートアップ・レギュレータ・バイパスおよび外部低電圧電源入力。内部4.3Vおよび3.3V電源用の電力。内部レギュレータがこのピンの電圧を6Vより高い値に維持します。このノードに外付けの抵抗または電源を接続すれば、LTC9102/LTC9103の電力効率を改善することができます。このピンとV_{EE}の間には1 μ Fのコンデンサを接続してください。

AGND (ピン56) : アナログ・グラウンド。

PWRMD[1:0] (それぞれピン57と58) : 最大電力モード入力。ID[1:0] = 00bとして、設定抵抗R_{PWRMD}を使いLTC9102/LTC9103のPWRMD0をV_{EE}に接続します。AUTOピンをハイにしてLTC9101-1をリセットすると、R_{PWRMD}がチップセット内のすべてのポートの初期最大電力割当て値を選択します。システム電源のサイズは、R_{PWRMD}までの電力を出力するすべてのポートに対応できるように決定する必要があります。自動モードをイネーブルすると、チップセットはPoE PSEとして独立して動作します。チップセットはすべてのポートの検出と分類を行い、R_{PWRMD}で設定された値までの電力を各ポートに供給できるようにします。IDピンが01b、10b、および11bに設定されたLTC9102/LTC9103のPWRMD0ピンは、フロート状態のままにしておく必要があります。すべてのLTC9102/LTC9103のPWRMD1ピンもフロート状態のままにしてください。R_{PWRMD}のオプションと詳細については、自動モードでの最大PSE電力のセクションを参照してください。カスタム設定パッケージが存在する場合、PWRMDピンは無視されます。詳細については保存されている設定のセクションを参照してください。

CAP4 (ピン59) : 4.3V内部アナログ電源のバイパス・コンデンサ。V_{EE}との間に1 μ Fのセラミック・コンデンサを接続してください。また、このピンから電流のソースやシンクをしないでください。

V_{EE} (ピン60、65) : PoE主電源入力。DGNDを基準として、-51V~-57V電源に接続します。電圧はPSEのタイプ(タイプ3または4)によって異なります。

DNA (ピン61) : データ・トランシーバーの負の入出力(アナログ)。データ・トランスを介してDNDに接続してください。

DPA (ピン62) : データ・トランシーバーの正の入出力(アナログ)。データ・トランスを介してDPDに接続してください。

CNA (ピン63) : クロック・トランシーバーの負の入出力(アナログ)。データ・トランスを介してCNDに接続してください。

CPA (ピン64) : クロック・トランシーバーの正の入出力(アナログ)。データ・トランスを介してCPDに接続してください。

ピン機能

LTC9102のみ

VSSK[12:1](それぞれピン47、46、39、38、31、30、23、22、15、14、7、6) : V_{EE} へのケルビン検出接続。0.1 Ω の抵抗を介して、チャンネルn用検出抵抗の V_{EE} 側へ接続します。 V_{EE} プレーンに直接接続することはしないでください。ケルビン検出のセクションのレイアウト条件を参照してください。

SENSE[12:1](それぞれピン48、45、40、37、32、29、24、21、16、13、8、5) : チャンネルnの電流検出入力。SENSEnは、SENSEnとVSSKnの間にある0.1 Ω の検出抵抗を介して外部MOSFETの電流をモニタします。検出抵抗の電圧が電流制限閾値 I_{LIM-2P} に達すると、外部MOSFETの電流を一定に保つためにGATEnピン電圧が下げられます。詳細については、[アプリケーション情報](#)のセクションを参照してください。そのチャンネルを使わない場合は、SENSEnを V_{EE} に接続します。

OUT[12:1](それぞれピン49、44、41、36、33、28、25、20、17、12、9、4) : チャンネルnの出力電圧モニタ。OUTnを出力チャンネルに接続してください。ドレインとソース間の電圧が10Vを超えた場合は、電流制限閾値を下げることによって、電流制限フォールドバック回路が外部MOSFETの消費電力を制限します。OUTnと V_{EE} 間の電圧が2.4V(代表値)未満になると、ポート・パワーグッド・イベントが生成されます。チャンネルがアイドル状態のときは、OUTnとAGND間に500kの抵抗が内部で接続されます。そのチャンネルを使用しない場合は、OUTnピンをフロート状態にしてください。

GATE[12:1](それぞれピン50、43、42、35、34、27、26、19、18、11、10、3) : チャンネルnのゲート駆動。GATEnをチャンネルnの外部MOSFETのゲートに接続してください。MOSFETをオンすると、ゲート電圧が V_{EE} より12V(代表値)高い値に駆動されます。電流制限状態では、外部MOSFETに流れる電流を一定に保つためにGATEnの電圧が下げられます。フォルト・タイマーが終了するとGATEnがプルダウンされてMOSFETがオフになり、ポート・フォルト・イベントが生成されます。そのチャンネルを使用しない場合は、GATEnピンをフロート状態にしてください。

LTC9103のみ

VSSK[8:1](それぞれピン47、46、39、38、15、14、7、6) : LTC9102のVSSK[12:1]を参照。

SENSE[8:1](それぞれピン48、45、40、37、16、13、8、5) : LTC9102のSENSE[12:1]を参照。

OUT[8:1](それぞれピン49、44、41、36、17、12、9、4) : LTC9102のOUT[12:1]を参照。

GATE[8:1](それぞれピン50、43、42、35、18、11、10、3) : LTC9102のGATE[12:1]を参照。

共通ピン

NC、DNC (LTC9101-1のピン4、LTC9102のピン53と54、LTC9103のピン19~34、53、54) : 「NC」または「DNC」で識別されるピンは、すべて未接続のままにしてください。

アプリケーション情報

概要

PoE (Power over Ethernet)は、銅製のイーサネット用データ配線を使ってDC電力を供給するための標準プロトコルです。802.3イーサネット・データ規格を管理するIEEEグループは、PoE給電機能を2003年に追加しました。802.3afと呼ばれる最初のPoE規格は、最大13Wで48VのDC電力を供給できました。802.3afは広く普及していましたが、アプリケーションによっては13Wの電力では不十分でした。2009年、IEEEは802.3at (PoE+)として知られる新規規格を公開し、電圧と電流の条件を上げて25.5Wの電力を供給できるよう規定しました。IEEE 802.3afと802.3atはPoE 1として広く認知されています。更に2018年、IEEEは802.3bt (PoE 2)と呼ばれる最新のPoE規格を公開しました。802.3btではPDの最大供給電力が71.3Wまで上げられています。

IEEE規格はPoEの用語も定義しています。ネットワークに電力を供給するデバイスはPSE (Power Sourcing Equipment)と呼ばれ、ネットワークから電力を取り込むデバイスはPD (Powered Device)と呼ばれます。PSEには2つのタイプがあります。データと電力を供給するエンドポイント(代表的なものとしてはネットワーク・スイッチやルータ)と、電力を供給する一方でデータは中継するだけのミッドスパンです。ミッドスパンは、主にPoE非対応の既存ネットワークにPoE機能を追加するために使われます。PDの代表的なもの、IP電話、ワイヤレス・アクセス・ポイント、防犯カメラなどです。

PoE++の進化

IEEE 802.3at (PoE 1)の25.5W規格の策定中でさえ25.5Wを超える供給電力を求める声は大きく、その声は更に高まるであろうことは明らかでした。2013年には、増大するPD供給電力に対応できる規格を策定するために802.3bt作業部会が設置されました。

この作業部会の主な目標は、802.3atで利用されている2ペアの電源ではなく、4ペアのイーサネット・ケーブルすべてを使用することでした。4ペアすべてを使用すれば、既存のイーサネット・ケーブルに対して少なくとも2倍の電力を供給することができます。更に、イーサネットのデータ信号の完全性を維持しながら、(ペアセットと呼ばれる)2ペアあたりの電流量も増加しました。802.3btではPD供給電力が25.5Wから71.3Wに増加し、IEEE準拠の大電力PDアプリケーションを実現することが可能になります。

LTC9101-1/LTC9102/LTC9103は、2ペア・モードに設定した場合は1つ、4ペア・モードに設定した場合は2つのパワー・チャンネルを使って電力を供給します。各ペアは、専用のパワー・チャンネルによって駆動されます。このデータシートでは、「チャンネル」という語は対応するペアセットに割り当てられたPSE回路のことを指します。したがって、このデータシートにおいては、「チャンネル」と「ペアセット」という語は同義と見なすことができます。

加えて、IEEE 802.3btでは電力維持シグネチャ (Maintain Power Signature: MPS)電流を大幅に低減できるので、待機時の消費電力も大幅に減ります。これにより、標準的なPoE部品を使って、政府や業界の新たな待機電力規制を満たすことができます。

LTC9101-1/LTC9102/LTC9103の製品概要

LTC9101-1/LTC9102/LTC9103は第6世代のPSEコントローラで、エンドポイント・アプリケーションまたはミッドスパン・アプリケーションにおいて、最大24個(71.3W)の4ペアPSEポート、または48個(25.5W)の2ペアPSEポートに対応できます。IEEE 802.3bt準拠のPSE設計を実現するために必要なすべての回路を実質的に内蔵しており、必要なのは1ポートにつき1対の外付けパワーMOSFETと検出抵抗だけです。これにより、MOSFET内蔵型の同様なデバイスと比較して電力損失が最小限に抑えられ、システムの信頼性が向上します。

LTC9101-1/LTC9102/LTC9103チップセットは、チップ間通信に独自の絶縁方式を実装しています。このアーキテクチャは、高価なフォトカップラや絶縁型電源を1個の低価格トランスで置き換えることによって、部品コストを大幅に削減します。1個のLTC9101-1は、トランス絶縁されたこのインターフェースを介して最大4個のLTC9102/LTC9103のバスを制御することができます。LTC9101-1と、対応するLTC9102/LTC9103を直接接続することも可能です。

LTC9101-1/LTC9102/LTC9103は、ポートごとのイベントでトリガされる設定可能な割込み信号、チャンネルごとのパワー・オン制御とフォルト・テレメトリ、ポートごとの電流モニタリング、V_{EE}モニタリング、電流、電圧およびポート電力の1秒間の移動平均などの機能を備えています。

LTC9101-1/LTC9102/LTC9103は高度な第6世代PSE機能も備えており、これには、ファームウェア・アップデートやカスタム・ユーザ構成パッケージを保存する内蔵eFlash、802.3at互換モードまたは802.3bt互換モードでの2ペア動作、LTC4291ドライバとの完全な後方互換性を確保するI²Cクワッド・バーチャライゼーション、100mΩの極小検出抵抗、

アプリケーション情報

+80V/-20V 対応のポート対向ピン、ケーブル・サージ・ライドスルーの改善などが含まれています。

LTC9102/LTC9103 の各パワー・チャンネルは、専用の検出および分類ハードウェアで実装されています。これは、すべてのポートとチャンネルの検出、分類、パワー・オンを同時に行うことを可能にして、スイッチを介したパワー・オン遅延を大幅に短縮します。それほど高度な機能を持たないその他のPSEでは、例えばLEDライトなどのPDへポートごとに給電する際に、目立った遅延が生じます。

V_{EE} とポート電流の測定は同時に行われるので、ポートごとに、一貫した高精度の電力モニタリングを行うことができます。

2ペア・モードと4ペア・モード

LTC9101-1 には、4個の同じポートで構成されるグループが最大12個含まれています。4個のポートからなるそれぞれのグループは、「クワッド」と呼ばれます。LTC9101-1 のアーキテクチャでは、クワッドのポートが2ペア・モードか4ペア・モードかに関わらず、各クワッドにはレジスタ設定と4個のポートすべてのステータスが格納されます。

LTC9101-1 が2ペア・モードの場合、クワッド内の各ポートには1個ずつのLTC9102/LTC9103チャンネルが関連付けられます。従って、LTC9102/LTC9103 のパワー・チャンネルは、対応するRJ45コネクタのオルタナティブAまたはオルタナティブBのどちらかに接続する必要があります(図10を参照)。

2ペア・モードでは、IEEE 802.3bt 規格は供給電力を25.5Wに制限してPDクラス0~4をサポートします。

LTC9101-1 が4ペア・モードの場合、各ポートには2個ずつのLTC9102/LTC9103チャンネルが関連付けられます。したがって、それぞれのパワー・チャンネルをオルタナティブAとオルタナティブBに接続する必要があります(図11を参照)。4ペア・モードでは、所定のPDへの電力供給に両方のパワー・チャンネルを使用するかどうかの決定をホストが行います。したがって、4ペア・モードで2ペア給電を行って、シングル・シグネチャのクラス0~4のPDに電力を供給することも可能です。より高電力のクラス5~8のPDおよびすべてのデュアル・シグネチャPDの場合は両方のパワー・チャンネルを使用する必要があり、これも4ペア給電と呼ばれます(図12を参照)。

4ペア・モードでは、IEEE 802.3bt 規格は71.3Wの電力を供給し、既存のシングル・シグネチャPDクラス0~8と、デュアル・シグネチャPDクラス1~5のすべてをサポートします。

設定パッケージを使って2ペア・クワッドと4ペア・クワッドを混在させることも可能です。詳細については保存されている設定のセクションを参照してください。

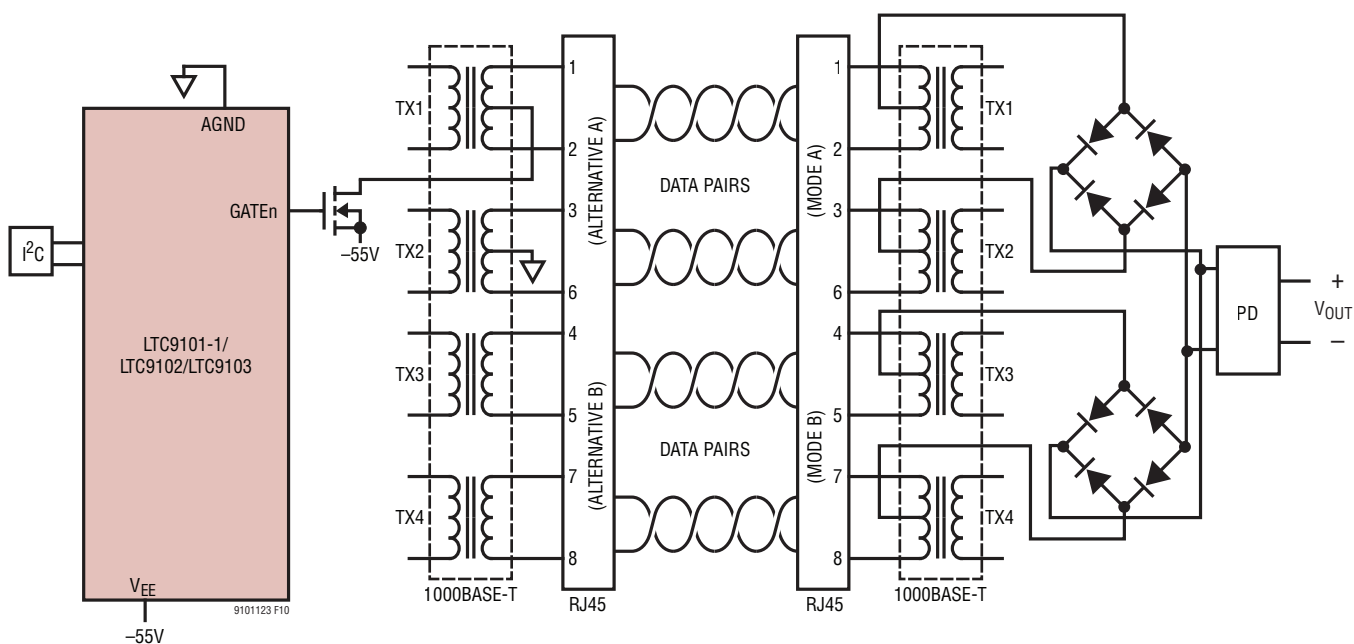


図10. 2ペア、オルタナティブA(エンドポイント)によるPoEシングル・シグネチャPDシステムの構成図

アプリケーション情報

802.3at モード

LTC9101-1/LTC9102/LTC9103は、2ペア(802.3atまたは802.3bt)もしくは4ペア(802.3bt)のPSEとして設定できます。表1に示すように、802.3bt準拠のすべてのPSEは、既存の802.3atタイプ1およびタイプ2のPDと完全に後方互換です。802.3bt PSEでは、この完全互換性に加えて、低待機電力、電流制限タイミング機能の強化、ダイナミック・パワー・マネジメントなどのサポートがすべてのPDタイプに拡張されています(PDアプリケーションでサポートされているのと同様)。

表 1. PSE の最大供給電力(ポートごと)

DEVICE	PSE					
	STANDARD	TYPE	802.3at		802.3bt	
PD	802.3at	1	13W	13W	13W	13W
		2	13W*	25.5W	25.5W	25.5W
	802.3bt	3	13W*	25.5W*	51W	51W
		4	13W*	25.5W*	51W*	71.3W

*要求値より少ない電力が割り当てられたPDを示します。

LTC9101-1は、802.3at準拠のPSEとしての動作をサポートしています。この機能は2ペア・モードと4ペア・モードの両方で使用できます。

なお、802.3at PSEは802.3bt PSEのコンプライアンス・テストに適合せず、802.3bt PSEは802.3at PSEのコンプライアンス・テストに適合しません。これは、それぞれの規格の設計によるものです。802.3atと802.3btのデバイスは相互運用が可能ないように設計されています。

表 2. 802.3atと802.3btの特性

FEATURE	802.3at	802.3bt
First Class Event	Short	Long
First Mark Event (15W Mode)	No	Yes
Limit Timer	No (Uses Cutoff Timer)	Yes
Connection Check	No	Yes
Active Alternative(s)	A	2-Pair: A 4-Pair: A and B
Maximum Class Events	2	5
Maximum Available Power	Class 4	2-Pair: Class 4 4-Pair: Class 8
Short MPS	No	Yes
Autoclass	No	Yes

PoEの基礎

一般的なイーサネット・データ接続は2本または4本のツイスト・ペア銅線(通称イーサネット・ケーブル)で構成され、それぞれの端をトランスで結合してグラウンド・ループを防止しています。PoEシステムはこの結合配置の利点を生かし、データ・トランスのセンター・タップ間に電圧を加えることによって、データ伝送に影響することなくPSEからPDへ電力を送ります。PoEシステムの概略回路図を図11と図12に示します。

DC電圧が加わることを想定していない旧式のデータ装置を損傷させないように、PoE規格では、PSEによる電力の供給および停止が可能かどうかを判定するプロトコルを規定しています。有効なPDには、その入力に25kの固有コモンモード抵抗が必要です。このようなPDをケーブルに接続すると、PSEはこのシグネチャ抵抗を検出して電力を供給します。その後PDを切り離すと、PSEはオープン・サーキットを検出して電力の供給を停止します。PSEは、電流フォルトや短絡が発生した場合も電力の供給を停止します。

PDが検出されると、PSEは、PDで消費する最大電力をPSEに知らせる分類シグネチャを探します。PSEはこの情報を使って、いくつかのポートに電力を割り振る、PDの消費電流を監視する、あるいはPSEが供給できる電力以上の電力を消費するPDを拒否する、といった対応を取ることができません。

802.3btの新機能

802.3bt仕様では、いくつかの新機能が導入されています。

- タイプ3およびタイプ4のPSEは、接続されているPDの特性に応じて、4ペアすべて(両方のペアセット)を介して電力を供給することができます。
- タイプ3およびタイプ4のPDは、4ペアすべて(両方のペアセット)を介して電力を受け取ることができなければなりません。
- タイプ3およびタイプ4のPDは、シングル・シグネチャPDまたはデュアル・シグネチャPDとして構成できます。シングル・シグネチャPDは、両方のペアセットに対して有効な同じシグネチャ抵抗を同時に示します(図11を参照)。デュアル・シグネチャPDは、完全に独立した2つの有効な検出シグネチャを、各ペアセットに対して1つずつ示します(図12を参照)。

アプリケーション情報

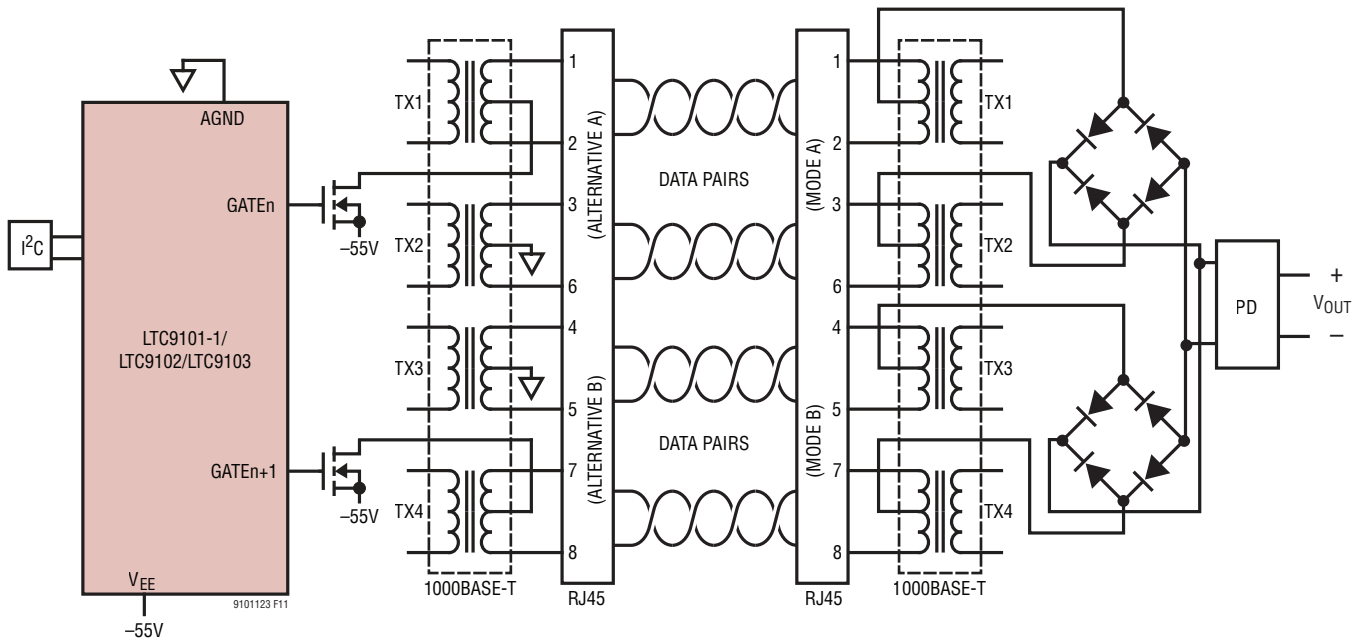


図 11. 4ペア PoE シングル・シグネチャ PD システムの構成図

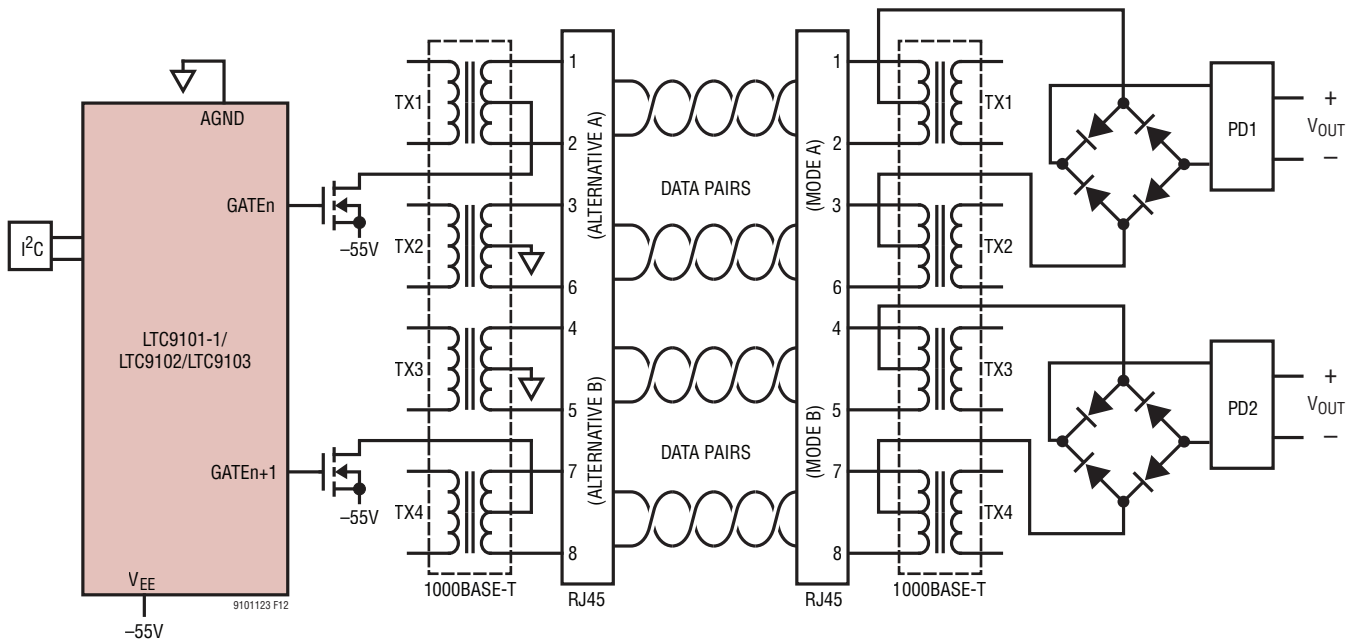


図 12. 4ペア PoE デュアル・シグネチャ PD システムの構成図

アプリケーション情報

- タイプ3のシングル・シグネチャPDは、6種類の電力レベル (3.84W、6.49W、13W、25.5W、40W、または51W)のいずれか1つを要求します。
- タイプ3のデュアル・シグネチャPDは、4種類の電力レベル (3.84W、6.49W、13W、25.5W)のいずれか1つを各ペアセットに要求します。PDの合計要求電力は、両方のペアセットが要求する電力の合計です。
- タイプ3のPDクラスは、より低い電力レベルでタイプ3の追加機能セットを提供するために、タイプ1およびタイプ2クラスとオーバーラップしています。
- タイプ4のシングル・シグネチャPDは、2種類の電力レベル (62Wまたは71.3W)のいずれか1つを要求します。
- タイプ4のデュアル・シグネチャPDは、少なくとも一方のペアセットで35.6Wの電力を要求し、もう一方のペアセットで5種類の電力レベル (3.84W、6.49W、13W、25.5W、または35.6W)のいずれか1つを要求します。PDの合計要求電力は、両方のペアセットが要求する電力の合計です。
- 分類は、最大で5つのクラス・イベントに拡張されます。追加イベントは、既存のPDクラスと新しいPDクラスを一意に識別できます。
- タイプ3と4のPSEは、長い最初のクラス・イベントを発行して、タイプ3と4の機能をサポートしていることを接続先のPDに通知します。
- 低待機電力機能は、電力維持シグネチャ・パルスの長さを短縮する(短縮MPS)ことによって有効にします。PDのデューティ・サイクルは約23%から約2%に低下します。PSEが長い最初のクラス・イベントを発行した場合、PDは短縮MPSを出力できます。
- パワー・マネジメント機能は、Autoclass (802.3btのPSEおよびPDのオプション機能)によって強化されます。Autoclassシステムでは、PDの最大電力が測定されてPSEホストに報告され、PDアプリケーションで使われなかった出力電力とイーサネット・ケーブル配線の損失をPSEに回収することができます(表3)。詳細については、AutoclassのセクションとLTC9101-1のソフトウェア・プログラミング・マニュアルを参照してください。

表3. IEEEが仕様規定した電力割当て (シングル・シグネチャPD)

PD CLASS	PSE OUTPUT POWER	ALLOCATED CABLING LOSS	PD INPUT POWER
1	4W	0.16W	3.84W
2	6.7W	0.21W	6.49W
3	14W	1W	13W
4	30W	4.5W	25.5W
5	45W	5W	40W
6	60W	9W	51W
7	75W	13W	62W
8	90W	18.7W	71.3W

レジスタ・マップの後方互換性

LTC4266、LTC4271、およびLTC4291 ベースのPSEとのソフトウェア・レジスタ・マップ互換性は可能な限り維持されています。LTC4291 ベースのPSEは、2つのチャンネルを使用して1つのPSEポートを制御します。LTC9101-1 ベースのPSEは、1つのパワー・チャンネルを利用して最大25.5Wを供給するように設定するか、71.3Wを供給する2つのチャンネルとして設定することができます。

レジスタ・マップの詳細については、アナログ・デバयセズへご連絡の上、LTC9101-1のソフトウェア・プログラミング・マニュアルをお求めください。

互換性モードに関する特別な注意事項

- 従来世代のものと同様に、各I²Cアドレスは4つのPoEポートに関するステータスと制御を提供します。
- 4ペア・モードでは、各ポート・レジスタ・スライスにはポートの制御とステータスを提供するほか、チャンネルAとBの制御とステータスを提供します。
- 2ペア・モードでは、各ポート・レジスタ・スライスはチャンネルAの制御とステータスを介してポートの制御とステータスを提供します。このモードでは、チャンネルBの制御フィールドとステータス・フィールドは無視されます。
- 特定のステータス・レジスタ(例えばポート・ステータスとパワー・ステータス)はポートの状態ではなくチャンネルの状態に関係し、3つの部分(全般的なポート状態、チャンネルAの状態、およびチャンネルBの状態)に分割されています。
- 特定のコマンド・レジスタ(例えばパワー・オン・ボタン)も同様に、チャンネルごとの制御ができるように2つの部分に分割されています。

アプリケーション情報

デバイスの設定

1個のLTC9101-1は、1個から4個までのLTC9102/LTC9103を制御できます。それぞれのLTC9102は12個のパワー・チャンネルを制御し、LTC9103は8個のチャンネルを制御します。したがって、それぞれのLTC9101-1は、2ペア・モードまたは4ペア・モードで構成されたパワー・チャンネルを最大で48個まで制御できます。

ポート数の多いスイッチの実装では、2ペア(25.5W)ポートと4ペア(最大71.3W)ポートを組み合わせなければならないことがあります。LTC9101-1のチャンネルは、カスタム設定パッケージを保存することにより、2ペア・クワッドと4ペア・

クワッドの任意の組み合わせで設定できます。詳細については保存されている設定のセクションを参照してください。

後出のバスのアドレス指定のセクションに述べるように、4ポートで構成される各グループは、2ペア(2P)構成か4ペア(4P)構成かに関わらず、1つのI²Cアドレスを使用します。LTC9101-1は、CFGピンとデフォルト設定パッケージを使用して、すべての2ペア・ポートまたはすべての4ペア・ポートを制御することができます(表4を参照)。

表4. デバイスの構成オプション

CFG [2:0]	DEVICE COUNT		NUMBER OF PORTS			I ² C ADDRESS OFFSET																
	LTC9102	LTC9103	4P	2P	TOTAL	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
0 000	1	0	0	12	12	2P	2P	2P														
0 000	0	1	0	8	8	2P	2P															
1 001	0	1	4	0	4	4P																
2 010	2	0	0	24	24	2P	2P	2P		2P	2P	2P										
2 010	1	1	0	20	20	2P	2P	2P		2P	2P											
2 010	0	2	0	16	16	2P	2P	2P		2P												
3 011	2	0	12	0	12	4P	4P	4P														
3 011	0	2	8	0	8	4P	4P															
4 100	3	0	0	36	36	2P	2P	2P		2P	2P	2P		2P	2P	2P						
4 100	2	1	0	32	32	2P	2P	2P		2P	2P	2P		2P	2P							
4 100	1	2	0	28	28	2P	2P	2P		2P	2P	2P		2P								
4 100	0	3	0	24	24	2P	2P	2P		2P	2P	2P										
5 101	2	1	16	0	16	4P	4P	4P		4P												
5 101	0	3	12	0	12	4P	4P	4P														
6 110	4	0	0	48	48	2P	2P	2P		2P	2P	2P		2P	2P	2P		2P	2P	2P		
6 110	3	1	0	44	44	2P	2P	2P		2P	2P	2P		2P	2P	2P		2P	2P			
6 110	2	2	0	40	40	2P	2P	2P		2P	2P	2P		2P	2P	2P		2P				
6 110	1	3	0	36	36	2P	2P	2P		2P	2P	2P		2P	2P	2P						
6 110	0	4	0	32	32	2P	2P	2P		2P	2P	2P		2P	2P							
7 111	4	0	24	0	24	4P	4P	4P		4P	4P	4P										
7 111	2	2	20	0	20	4P	4P	4P		4P	4P											
7 111	0	4	16	0	16	4P	4P	4P		4P												

アプリケーション情報

動作モード

LTC9101-1/LTC9102/LTC9103は最大で48個の独立したポートを備えており、それぞれを3つのモード(手動、半自動、自動)のいずれかで動作させることができます。4番目のモードはシャットダウン・モードで、ポートをディスエーブルします(表5を参照)。

表5. 動作モード

MODE	AUTO PIN	OPMD REGISTER	DETECT/ CLASS	POWER-UP	AUTOMATIC THRESHOLD ASSIGNMENT
Auto	1	11b	Enabled at Reset	Automatically	Yes
	0	11b	Host Enabled	Automatically	Yes
Semi-Auto	0	10b	Host Enabled	Upon Request	No
Manual	0	01b	Once Upon Request	Upon Request	No
Shutdown	0	00b	Disabled	Disabled	No

手動モードでは、ポートはホスト・システムからの命令を待つてから動作します。ポートは、ホストによって命令されると検出サイクルまたは検出と分類のサイクルを1回実行して、その結果をポート・ステータス・レジスタで報告します。ホスト・システムは、いつでも電力の供給または停止をポートに命令できます。

半自動モードでは、ポートは、接続されたすべてのPDの検出と分類を繰り返し試みます。ポートはこれらの試行のステータスをホストに報告し、ホストからの命令を待つてポートに電力を供給します。ホストは、検出と分類をイネーブルする必要があります。

自動モードは半自動モードと同様に動作しますが、検出と分類が正常だった場合は自動的にポートへ電力が供給される点が異なります。自動モードでは、 I_{CUT-2P} 、 I_{LIM-2P} 、 P_{CUT-4P} の値が分類結果に基づいて自律的に設定されます。この動作モードにするには、リセット時にAUTOをハイに設定するか、OPMDの状態をAuto(11b)に変更します。AUTOピンの説明と自動モードでの最大PSE電力のセクションを参照してください。

シャットダウン・モードではポートがディスエーブルされてPDの検出は行われず、電力も供給されません。

LTC9101-1/LTC9102/LTC9103は、現在どのモードにあるのかに関係なく、フォルトが発生したポートまたはチャンネルへの電力供給を自動的に停止します。また、切断検出が有効になっている場合は、切断イベントが発生したポート/チャンネルへの電力供給も自動的に停止します。ホスト・コントローラも、いつでも電力の供給または停止をポートに命令できます。

リセットとAUTOピン

LTC9101-1/LTC9102/LTC9103の初期設定は、リセット時のAUTOの状態によって異なります。リセットは、パワーアップ時、 \overline{RESET} がローになったとき、またはグローバルのReset Allビットがセットされたときに行われます。パワーアップ後にAUTOの状態を変更しても、リセットされるまでLTC9101-1/LTC9102/LTC9103のポート動作は変わりません。

AUTOがハイの場合、各ポートはPDが検出されるまで検出と分類を繰り返し、PSEが割り当てたクラスに従って I_{CUT-2P} 、 I_{LIM-2P} 、 P_{CUT-4P} を設定して、有効なPDに電力を供給する一方で、PDが切断されると電力の供給を停止します。

PSEが割り当てたクラスに基づいて自動モードで自動的に設定される I_{CUT-2P} 、 I_{LIM-2P} 、 P_{CUT-4P} の値を、表6と表7に示します。

表6. 自動モードでのパワー・オン閾値(代表値)、シングル・シグネチャPD**

PSE ASSIGNED CLASS	PER-CHANNEL		PER-PORT
	I_{CUT-2P}	I_{LIM-2P}	P_{CUT-4P}
1	94mA	425mA	4.86W
2	150mA	425mA	7.56W
3	338mA	425mA	16.2W
4	638mA	850mA	32.4W
5	581mA	850mA	48.1W
6	731mA	850mA	64.3W
7	825mA	1063mA	80.5W
8	975mA	1167mA	96.1W

アプリケーション情報

表 7. 自動モードでのパワー・オン閾値(代表値)、デュアル・シグネチャPD**

PSE ASSIGNED CLASS	PER-CHANNEL		
	I _{CUT-2P}	I _{LIM-2P}	P _{CUT-2P} *
1	94mA	425mA	4.86W
2	150mA	425mA	7.56W
3	338mA	425mA	16.2W
4	638mA	850mA	32.4W
5	975mA	1167mA	48.1W

*ポートあたりのP_{CUT-4P}閾値には、各受電チャンネルのP_{CUT-2P}の合計が入ります。

**R_{SENSE} = 0.1Ω。

接続チェック

接続チェックの概要

IEEE 802.3btは、接続チェックと呼ぶ新しい検出サブルーチンを導入しています。接続チェックは、接続されたPDがシングル・シグネチャPDなのかデュアル・シグネチャPDなのか、あるいは無効な結果なのかを判定するために必要です。

802.3atで記述されていたPD構成は1つだけで、これはシングル・シグネチャPDと呼ばれています。その構成を図11に示します。シングル・シグネチャPDは、両方のペアセットに対して同じ25k検出抵抗を並列に示します。

802.3btでは、図12に示すデュアル・シグネチャPDが新たに加わりました。デュアル・シグネチャPDは、完全に独立した2つの25k検出シグネチャ抵抗を、各ペアセットに対して1つずつ示します。

PD構成(シングルまたはデュアル)は、以後の検出、分類、およびパワー・オン手順時にそのPDがどのように扱われるかを決定します。このデータシートでは、その全体を通じ、シングル・シグネチャPDとデュアル・シグネチャPDの扱いの違いに注意が向けられています。

最初のチャンネルでは、同じ強制電圧で2回の電流測定を行うことによって接続チェックが行われます。2番目のチャンネルでは、2回目の測定時に2番目のチャンネルに強制電流を流すことによってアグレッサの動作がテストされます。最初のチャンネルでの2回の電流測定結果を比較することで、

接続されたデバイスがシングル・シグネチャPDなのかデュアル・シグネチャPDなのか、あるいは無効な結果なのかを分類することができます。

接続チェック中にデバイスを追加したり取り外したりすると、無効な接続チェック結果がレポートされます。

接続チェックは4ペア・モードの動作だけに影響します。ポートがATモードにある場合を除いて、4ペア・モードの検出サイクルには常に接続チェックが含まれます。図1を参照してください。

2ペア・モードでは接続チェックはイネーブルされず(本質的に4ペアのみの動作)、PDの実際のシグネチャ構成に関わらず、すべてのPDがシングル・シグネチャとしてレポートされます。

検出

検出の概要

DC電圧に耐えられるように設計されていないネットワーク・デバイスを損傷させてしまうことがないように、PSEは、電力を供給する前に、接続されたデバイスが有効なPDであるかどうかを確認する必要があります。IEEE802.3規格では、有効なPDは、すべてのチャンネル電圧が10V未満のときに25k±5%のコモンモード抵抗を内蔵していることが求められます。PSEは19k~26.5kの抵抗を合格とし、33kを超える抵抗または15k未満の抵抗(図13の網掛け領域)を不合格とする必要があります。必須合格範囲と必須不合格範囲の間の未定義領域の抵抗を合格にするか不合格にするかは、PSEが選択できます。特に、PSEは、コンピュータの標準的なネットワーク・インターフェース・カード(NIC)を不合格にする必要があります。これらのカードの多くは150Ωのコモンモード終端抵抗を使用しており、電力を供給すると損傷させてしまうこととなります(図13左側の黒で示された領域)。

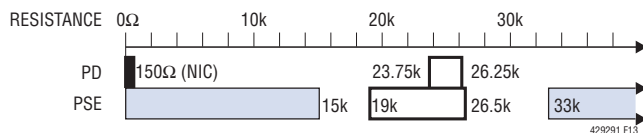


図 13. IEEE 802.3のシグネチャ抵抗範囲

アプリケーション情報

マルチポイント検出

LTC9101-1/LTC9102/LTC9103はマルチポイント方式を使ってPDを検出します。強制電流測定と強制電圧測定を併用してシグネチャ抵抗をチェックすることにより、誤検出が最小限に抑えられます。

最初は2種類のテスト電流を(OUTnピンを介して)そのチャンネルに強制的に流し、それによって得られる電圧を測定します。検出回路は2つのV-Iポイントの差を取って抵抗の傾きを求めると共に、ポートのリーク電流や直列ダイオードによって生じるオフセットを除去します(図14参照)。強制電流検出によって有効なシグネチャ抵抗が得られた場合は、2種類のテスト電圧をチャンネルに加え、それによって得られる電流を測定して差を取ります。有効な検出をレポートするには、両方の方法で有効な抵抗がレポートされなければなりません。PDシグネチャ抵抗が17k~29k(代表値)の範囲内であれば有効として検出され、対応するポート・ステータス・レジスタまたはチャンネル・ステータス・レジスタのいずれか該当する方で、正常検出(Detect Good)として報告されます。また、オープン・サーキットや短絡を含めて、この範囲外の値も報告されます。強制電流テスト時にチャンネルの測定値が1V未満の値を示した場合、検出サイクルは中断されて短絡(Short Circuit)がレポートされます。考え得る検出結果を表8と表9に示します。

検出は、2ペア・モードと4ペア・モードの両方でイネーブルされます。また、検出は常にチャンネルごとに行われます。

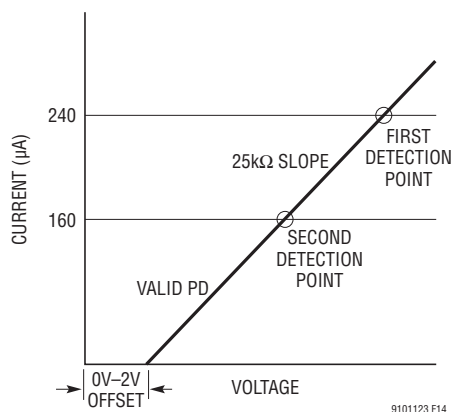


図14. PDの検出

表8. ポート検出ステータス

MEASURED PD SIGNATURE (TYPICAL)	PORT DETECTION RESULT
Incomplete or Not Yet Tested	Detect Status Unknown
$V_{PD} < 1V$	Short Circuit
$R_{PD} < 17k$	R_{SIG} Too Low
$17k < R_{PD} < 29k$	Detect Good, Single-Signature PD
$R_{PD} > 29k$	R_{SIG} Too High
$R_{PD} > 50k$	Open Circuit
$V_{PD} > 10V$	Port Voltage Outside Detect Range
Connection Check = INVALID	Connection Check Invalid
Connection Check = DUAL or Channel Detection Results Differ	Refer to Channel Detect Results

表9. チャンネル検出ステータス

MEASURED PD SIGNATURE (TYPICAL)	CHANNEL DETECTION RESULT
Incomplete or Not Yet Tested	Detect Status Unknown
$V_{PD} < 1V$	Short Circuit
$C_{PD} > 2.7\mu F$	C_{PD} Too High
$R_{PD} < 17k$	R_{SIG} Too Low
$17k < R_{PD} < 29k$	Detect Good, Dual-Signature PD
$R_{PD} > 29k$	R_{SIG} Too High
$R_{PD} > 50k$	Open Circuit
$V_{PD} > 10V$	Channel Voltage Outside Detect Range
Connection Check = INVALID	Connection Check Invalid
Connection Check = SINGLE or Channel Detection Results Match	Refer to Port Detect Result

動作モードに関するその他の情報

LTC9101-1/LTC9102/LTC9103が検出サイクルを実行するタイミングは、ポートの動作モードによって決まります。手動モードでは、ホストが検出サイクルを命令するまでポートはアイドル状態になります。その後ポートは検出を実行し、結果をレポートしてアイドル状態に戻り、別のコマンドを待ちます。

半自動モードでは、LTC9101-1/LTC9102/LTC9103はポートを自律的にポーリングしてPDを探しますが、ホストが命令するまで電力は供給しません。ポート・ステータス・レジスタとチャンネル・ステータス・レジスタは各検出/分類サイクルの最後に更新されます。

アプリケーション情報

半自動モードでは、有効なシグネチャ抵抗が検出されて分類がイネーブルされると、ポートがPDを分類してその結果もレポートします。その後ポートは少なくとも100ms待機してから検出サイクルを繰り返し、ポート・ステータス・レジスタ内のデータを更新します。

電流検出の結果が有効 (Detect Valid) でない限り、ポートがパワー・オン・コマンドに応じてターン・オンされることはありません。検出結果がそれ以外の場合にパワー・オン・コマンドを受け取ると、t_{START} フォルトが発生します。

自動モードでの動作は半自動モードと同様です。ただし、有効な検出 (Detect Valid) が報告されてポートの分類が完了すると、ポートはホストの介入なしで自動的にパワー・オンされます。自動モードでは、I_{CUT-2P}、I_{LIM-2P}、P_{CUT-4P} の各閾値が自動的に設定されます。詳細についてはリセットとAUTOピンのセクションを参照してください。

AUTOがローの状態ではLTC9101-1/LTC9102/LTC9103を最初にパワーアップした場合、ポートがシャットダウン・モードにある場合、または対応する検出イネーブル・ビット (Detect Enable) がクリアされている場合は、ポートの検出が無効になります。

レガシーPDの検出

最初のIEEE 802.3af規格以前から存在する独自設計のPDは、現在では一般にレガシーPDと呼ばれています。ある種のレガシーPDは、大容量のコモンモード容量 (>10μF) を検出シグネチャとして使用します。この範囲の容量を持つPDは無効と規定されているので、レガシーPDに電力を供給するPSEはIEEE規格に適合しません。LTC9101-1/LTC9102/LTC9103は、この種のレガシーPDを検出するように設定できます。レガシーPDの検出はデフォルトでは無効になっていますが、ポートごとに手動でイネーブルできます。イネーブルすると、ポートは、有効なIEEE PDを検出した場合または大容量のレガシーPDを検出した場合のどちらでも、正常検出 (Detect Good) をレポートします。レガシー・モードを無効にした場合は、有効なIEEE PDだけが認識されます。

非標準のPDが、レガシー検出に含まれていない無効な検出シグネチャを示した場合は、検出結果に関係なく、分類または電力供給、あるいはその両方を実行するようにLTC9101-1/LTC9102/LTC9103を設定できます。このために、LTC9101-1/LTC9102/LTC9103は、ポートごとの強制電力オーバーライドとクラス・イベント・オーバーライドを採用しています。これらのオーバーライドは、コンプライアンス・チェックを意図的に無効にします。詳細については、LTC9101-1のソフトウェア・プログラミング・マニュアルを参照してください。

分類

802.3afの分類

PDは、オプションで分類シグネチャをPSEに示して、動作時に消費する最大電力を知らせることができます。図16に示すように、IEEE仕様ではこのシグネチャを、PSEポートの電圧がV_{CLASS}の範囲 (15.5V~20.5V) 内にあるときに流れる定電流として規定しています。5種類あるPDシグネチャのどれになるかはこの電流レベルによって示されます。PDの代表的な負荷曲線を図15に示します。10V以下での25kシグネチャ抵抗による勾配に始まり、V_{CLASS}の範囲で分類シグネチャ電流 (この場合はクラス3) に遷移します。想定される分類値を表10に示します。

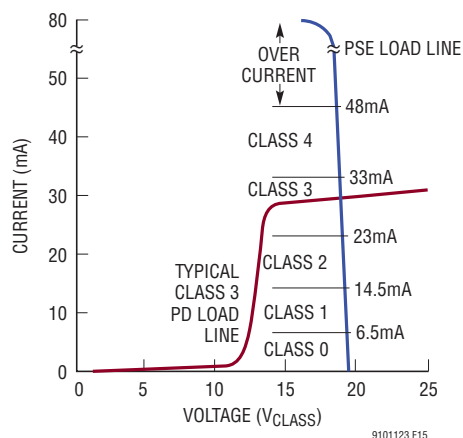


図15. PDの分類

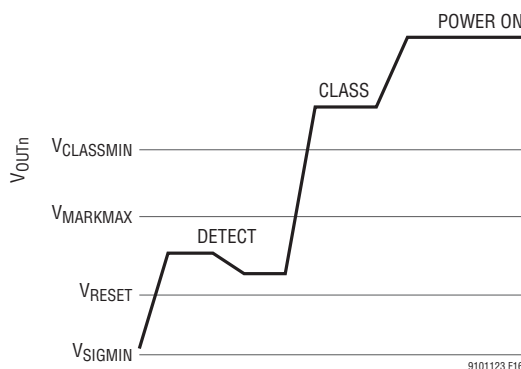


図16. タイプ1またはタイプ2のPSE (1イベント・クラス・シーケンス)

アプリケーション情報

表 10. タイプ1およびタイプ2のPDの分類値

CLASS	RESULT
Class 0	No Class Signature Present; Treat Like Class 3
Class 1	3.84W
Class 2	6.49W
Class 3	13W
Class 4	25.5W (Type 2)

分類がイネーブルされると、PSEは検出サイクルが正常に終了した直後にPDを分類します。PSEは、OUTnを介してポートにV_{CLASS}電圧を加え、それにより流れる電流を測定してPD分類シグネチャを測定します。その後、ポート・ステータス・レジスタまたはチャンネル・ステータス・レジスタのいずれか該当する方を使って、検出したクラスをレポートします。LTC9101-1/LTC9102/LTC9103が自動モードの場合は、更にもその分類結果を使って、I_{CUT-2P}、I_{LIM-2P}、およびP_{CUT-4P}閾値を設定します。

AUTOピンがローの状態ではLTC9101-1/LTC9102/LTC9103を最初にパワーアップすると、ポートがシャットダウン・モードにある場合、または対応するクラス・イネーブル・ビット(Class Enable)がクリアされている場合は、ポートの分類が無効になります。

LLPD分類

802.3atで導入されて802.3btで拡張されたPoE規格は、リンク層検出プロトコル(LLDP)による分類方式を規定しています。LLDP方式では、イーサネットLLDPデータ・プロトコルに特別なフィールドを追加します。

LTC9101-1/LTC9102/LTC9103はこの分類方式に対応していますが、データ・パスへのアクセス権がないため、LLDP分類を直接実行することはできません。LLDP分類では、ホストがPDとLLDP通信を行って、PDの電力割当てを更新できます。LTC9101-1/LTC9102/LTC9103は、I_{LIM-2P}、I_{CUT-2P}、およびP_{CUT-4P}レベルの動的な変更をサポートしており、システム・レベルのLLDPサポートが可能です。

802.3atの2イベント分類

802.3atでは、802.3afの分類をタイプ1分類と呼んでいます。802.3at規格は、タイプ1分類の拡張版であるタイプ2(2イベント)分類を導入しています。タイプ2のPSEには分類の実行が求められます。

25.5Wを要求するタイプ2 PDは、すべてのクラス・イベント時にクラス・シグネチャ4を示します。供給可能電力が25.5Wのタイプ2 PSEは、図17に示すように、最初のクラス・イベント時にクラス・シグネチャ4を認識すると、PDにV_{MARK}(代表値9V)を供給し、少し間を置いてから2番目のクラス・イベントを発行します。2番目のクラス・イベントは、PSEが25.5Wを割り当てたことをPDに知らせます。

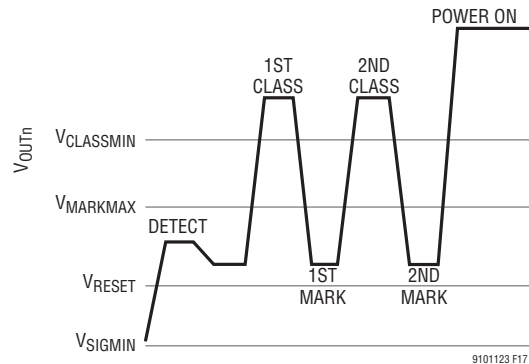


図 17. タイプ2のPSE(2イベント・クラス・シーケンス)

2番目の分類イベントが実行されるのは、IEEE分類手順で必要とされる場合に限られます。例えば、シングル・シグネチャのクラス0~3のPDに発行されるのは、図16に示すようなシングル・クラス・イベントに限られます。

802.3atでは格下げの概念が導入されています。タイプ2のPDは、例えばパワー・マネジメント上の制限があるような場合、供給能力が13W以下のPSEにも接続できます。この場合、PSEは図16に示すようなシングル・クラス分類イベントを実行しますが、要求されるのは25.5Wです。供給できる電力が限られているので、PSEは2番目のイベントを発行することなく、そのままPDに電力を供給する段階に進みます。シングル・クラス・イベントが存在するという事実により、タイプ2 PDが13Wに格下げされたことがそのPDに通知されます。格下げされたPDは電力制限を受け、低減電力モードで動作します。

802.3btのマルチイベント分類

LTC9101-1/LTC9102/LTC9103は、802.3btの要求するタイプ3分類とタイプ4分類が可能です。タイプ3分類およびタイプ4分類は、タイプ1およびタイプ2のPDと後方互換です。

タイプ2(802.3at)分類はタイプ1(802.3af)分類を拡張したもので、タイプ3およびタイプ4(802.3bt)分類はタイプ1分類とタイプ2分類に代わるものです。ここまでのセクションで示し

アプリケーション情報

タイプ1分類とタイプ2分類に関する説明は、従来規格に関する参考情報として示したものです。また、電力の格下げ、クラス・イベント、マーク・イベント、電気的パラメータといった共通用語の定義を示すことも目的としています。

IEEE 802.3btは、表11に示すように、シングル・シグネチャPDに対して8つのPDクラスを、デュアル・シグネチャPDに対して5つのPDクラスを規定しています。

シングル・シグネチャPDとデュアル・シグネチャPDでは分類の扱いが異なります。以降のセクションでは、各PD構成の物理層分類を個別に説明します。

表 11. PD構成によるタイプ3およびタイプ4のPDの分類

SINGLE-SIGNATURE PDs		DUAL-SIGNATURE PDs	
CLASS	PD AVAILABLE POWER	CLASS	CHANNEL AVAILABLE POWER*
Class 1	3.84W	Class 1	3.84W
Class 2	6.49W	Class 2	6.49W
Class 3	13W	Class 3	13W
Class 4	25.5W	Class 4	25.5W
Class 5	40W	Class 5	35.6W
Class 6	51W		
Class 7	62W		
Class 8	71.3W		

*デュアル・シグネチャPDが受給できる全電力は、両方のチャンネルが受給できる電力の合計です。クラス・シグネチャはポートのチャンネル間で異なる場合があります。例えば、クラス3 + クラス4 = 13W + 25.5W = 38.5Wです。

シングル・シグネチャPDの802.3bt分類

タイプ3とタイプ4のPSEは、クラス0から3までのシングル・シグネチャ(SS)PDに1つのシングル分類イベントを発行します(図18参照)。クラス0~3のSS PDはそのクラス・シグネチャをPSEに提示し、十分な電力が得られる場合はパワー・オンされます。また、電力制限された802.3bt PSEは、クラス4以上のSS PDを13Wに格下げするために、それらのPDに1つのシングル分類イベントを発行することができます。図18を参照してください。

タイプ3とタイプ4のPSEは、十分な電力を供給できる場合、クラス4 SS PDに対して3つの分類イベントを示します(図19参照)。クラス4のSS PDは、すべてのイベントでクラス・シグ

ネチャ4を示します。3番目のイベントでは、クラス4 SS PDが上位クラスのSS PDと区別されます。電力制限されたIEEE 802.3bt PSEは、クラス5以上のSS PDを25.5Wに格下げするために、それらのPDに3つの分類イベントを発行できます。

タイプ3とタイプ4のPSEは、十分な電力を供給できる場合、クラス5とクラス6のSS PDに対して4つの分類イベント(図20参照)を示します。クラス5とクラス6のSS PDは、最初の2つのイベントでクラス・シグネチャ4を示します。クラス5のSS PDは後続のイベントでクラス・シグネチャ0を、クラス6のSS PDはクラス・シグネチャ1を示します。電力制限されたPSEは、クラス7およびクラス8のSS PDを51Wに格下げするために、それらのPDに4つの分類イベントを発行できます。

タイプ4のPSEは、十分な電力を供給できる場合、クラス7とクラス8のSS PDに5つの分類イベント(図21参照)を示します。クラス7とクラス8のPDは、最初の2つのイベントでクラス・シグネチャ4を示します。クラス7のSS PDは後続のイベントでクラス・シグネチャ2を、クラス8のSS PDはクラス・シグネチャ3を示します。

デュアル・シグネチャPDの802.3bt分類

デュアル・シグネチャ(DS)PDの各ペアセットに対する分類と電力割当ては、完全に独立しています。例えば、DS PDは一方のペアセットでクラス1(3.84W)を要求し、もう1つのペアセットでクラス4(25.5W)を要求して、PDの要求電力の合計を29.3Wにすることができます。したがって、すべての分類はPDではなくペアセットに対して行われます。このセクションの以下の部分では、これらの語は同義と見なされます。

タイプ3とタイプ4のPSEは、クラス1から4までのすべてのDS PDに3つの分類イベントを発行します(図19参照)。

電力制限されたタイプ3およびタイプ4のPSEは、クラス4および5のDS PDを13Wに格下げするために、これらのPDにクラス・リセットを発行することができます(4PIDの理解のセクションを参照)。

電力制限されたタイプ3およびタイプ4のPSEでは、クラス5のDS PDを25.5Wに格下げするためにこれらのPDに発行できるイベントが3つに限られます。

タイプ4のPSEは、十分な電力を供給できる場合、クラス5のDS PDに4つの分類イベント(図20参照)を示します。クラス5のDS PDは、最初の2つのイベントでクラス・シグネチャ4を示し、後続のイベントでクラス・シグネチャ3を示します。

アプリケーション情報

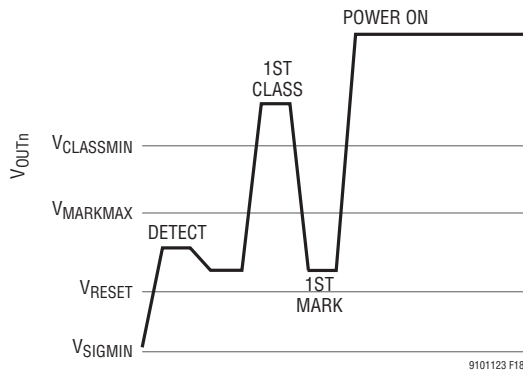


図 18. タイプ3またはタイプ4 PSE
(1 イベント・クラス・シーケンス)

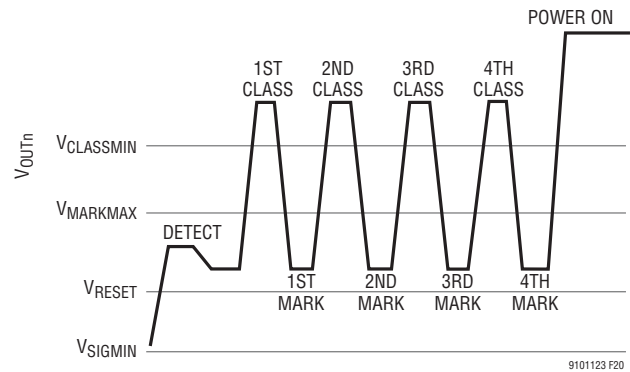


図 20. タイプ3または4 PSE
(4 イベント・クラス・シーケンス)

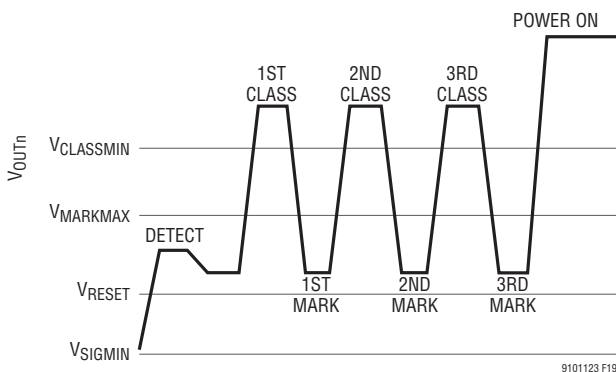


図 19. タイプ3または4 PSE
(3 イベント・クラス・シーケンス)

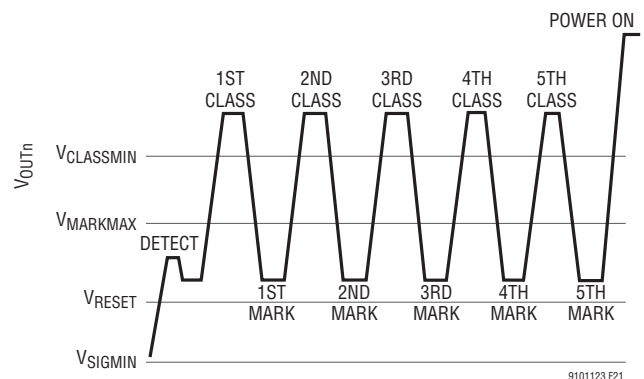


図 21. タイプ4 PSE
(5 イベント・クラス・シーケンス)

4PIDの理解

4ペア識別条件(4PID)とは、PDが両方のペアセットを介して同時に電力を受給できるかどうかを判定するための一連の条件を指します。

PDが両方のペアセットで有効な検出シグネチャを示し、更に次に示す条件のいずれか1つ以上を満たす場合、PSEは4ペア電源を使用できます。

- ポートが4ペア・モード。
- PDがシングル・シグネチャ構成。
- PDがタイプ3またはタイプ4。
- あるペアセットを介して電力を供給すると、電力を供給していない別のペアセットでPDが有効な検出シグネチャを示す。

タイプ1とタイプ2のPDに対するPDシグネチャ設定は定義されていませんが、タイプ3またはタイプ4のPSEは、それら

のPDをシングル・シグネチャまたはデュアル・シグネチャとして識別できます。シングル・シグネチャPDは、PDタイプに関係なく4ペア電力の供給を受けることができます。802.3bt以前の一定の「デュアル・シグネチャ」PDに4ペア電力を供給すると、PDを損傷させるおそれがあります。

タイプ3とタイプ4のデュアル・シグネチャPDは、802.3bt以前の同じクラスのデュアル・シグネチャPDに固有の分類応答を示す必要があります。デュアル・シグネチャPDの場合は、LTC9101-1/LTC9102/LTC9103が分類時にPDクラスとPDタイプの両方を判定してレポートします。

タイプ3、タイプ4、および802.3bt以前のクラス1～クラス4のデュアル・シグネチャPDは、1回目と2回目のクラス・イベント時にそれぞれクラス・シグネチャ1～4を示します。タイプ3とタイプ4のデュアル・シグネチャPDは、その後のすべてのクラス・イベントでクラス・シグネチャ0を示します。このためPSEは、すべてのデュアル・シグネチャPDのPDタイプを、3番目のクラス・イベントまでに最終的に判定することができます。

アプリケーション情報

クラス・リセット

クラス4またはクラス5のデュアル・シグネチャPDを接続すると、問題が1つ発生します。PDタイプを判定するために3つのクラス・イベントが発行されますが、このPDにはクラス・イベントの数に基づいて25.5Wが割り当てられています。PSEがPDタイプの判別(3イベント)と13Wへの格下げ(1イベント)の両方を行おうとする場合は、図22に示すようにクラス・リセット・イベントを発行する必要があります。

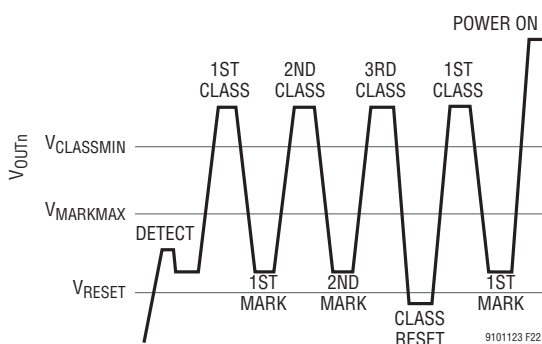


図22. クラス・シーケンス間のクラス・リセット・イベント

クラス・リセット・イベントは、少なくとも t_{CLASS_RESET} 以上にわたりチャンネル電圧を2.8V未満に維持することで発行されます。13WへのPDの格下げは、その後のシングル・イベント分類を使って行います。

自動モードでは、4PID情報と4PVALIDの状態を使って自動的に受電チャンネル数が決定されます。

LLDP信号方式では、その後の任意の時点で802.3bt以前のPDが実際に4ペア電力に対応しているかどうかを判定し、LTC9101-1/LTC9102/LTC9103に対し4ペア電力で給電を行うよう命令することができます。

無効なマルチイベント分類の組み合わせ

802.3bt規格は、一連の有効なクラス・シグネチャの組み合わせを規定しています。すべてのPDは、最初の2回のクラス・イベントで同じ分類シグネチャを返します。タイプ3とタイプ4のPDは、その後のすべてのクラス・イベントで分類シグネチャを変更します。例えば、シングル・シグネチャのクラス5 PDは、クラス・シグネチャ4、4、0、0を使って、それぞれクラス・イベント1、2、3、4に応答します。

クラス電流制限値を超える個々のクラス・シグネチャは、無効な分類結果としてフラグされます。PDの設定に基づく正しいシーケンスを表さないクラス・シグネチャのシーケンスも、同様に無効な分類結果としてフラグされます。

自動モードでの最大PSE電力

自動モードでは、接続されているすべての有効PDの検出、分類、電力供給をLTC9101-1/LTC9102/LTC9103が自動的に行います。そのためには、最大電力を割り当てるように各ポートを設定する必要があります。各ポートの最大電力供給能力を反映する抵抗 R_{PWRMD} を、表12から選択してください。

IDアドレス00bにあるLTC9102/LTC9103のPWRMD0ピンを、 R_{PWRMD} を介して V_{EE} に接続します。IDアドレス01b、10b、11bにあるLTC9102/LTC9103のPWRMD0ピンは、フロート状態のままにしておく必要があります。それぞれのLTC9102/LTC9103のPWRMD1ピンもフロート状態のままにしてください。PWRMD抵抗はリセット時に測定されます。

最大電力割当ては、電源と電力パスの能力を反映するものです。PWRMD抵抗の設定は、すべてのクワッドとICを通じ、このチップセット内のすべてのポートに適用されます。したがって、PWRMD抵抗の設定は、各ポートの電力パスの能力とシステムの電源能力を考慮して行う必要があります。

AUTOがローの場合、PWRMD0ピンの設定は無視されます。

表12. 自動モードでの最大電力供給能力

R_{PWRMD}	2-PAIR MODE	4-PAIR MODE	
	MAX PORT POWER	MAX PORT POWER SINGLE-SIGNATURE PD	MAX PORT POWER DUAL-SIGNATURE PD*
Open	Class 3: 13.0W	Class 3: 13.0W	Class 3: 13.0W
24.3k	Class 4: 25.5W	Class 4: 25.5W	Class 4: 25.5W
18.7k		Class 5: 40.0W	Class 3: 13.0W
14.3k		Class 6: 51.0W	Class 4: 25.5W
11.0k		Class 7: 62.0W	Class 4: 25.5W
8.45k		Class 8: 71.3W	Class 5: 40.0W
6.49k			

*デュアル・シグネチャPDの2つの構成部分を反映すると、自動モードにおける合計ポート電力割当てはこの値の2倍になります。

アプリケーション情報

電力の制御

LTC9101-1/LTC9102/LTC9103の主な機能は、PSEポートへの電力供給を制御することです。LTC9101-1/LTC9102/LTC9103のPSEポートは1つまたは2つのパワー・チャンネルで構成され、各パワー・チャンネルがペアセットを介して電力供給を制御します。このセクションでは、4ペア構成ポートの動作をチャンネルごとに定義します。2ペア動作に構成されている場合、ポートあたりの電力チャンネル数は1つだけです。

LTC9101-1/LTC9102/LTC9103は、(外付けの検出抵抗を流れる)電流と(OUPピンの)出力電圧をモニタしながら、外付けされたパワー MOSFETのゲート駆動電圧を制御することによって電力を供給します。

LTC9101-1/LTC9102/LTC9103は、制御された状態で V_{EE} 電源をPSEポートに接続し、PDの電力需要を満たすと同時に、外付けMOSFETの消費電力と V_{EE} バックプレーンに対する外乱を最小限に抑えます。

突入電流の制御

LTC9101-1/LTC9102/LTC9103は、ポートに電力を供給するよう命令されると、(命令に応じて)一方または両方のチャンネルのGATEピン電圧をランプ・アップさせて、外付けMOSFETのゲート電圧を制御された状態で上昇させます。

通常の突入電流時には、外付けMOSFETが完全な導通状態になるまで、あるいはチャンネルが突入電流制限値($I_{INRUSH-2P}$)に達するまで、MOSFETのゲート電圧が増加します。 $I_{INRUSH-2P}$ はPSEによって自動的に設定されます。クラス0からクラス4が割り当てられたシングル・シグネチャPDに対してPSEが4ペア電力を供給する場合、 $I_{INRUSH-2P}$ は1チャンネルにつき212.5mA(代表値)です。それ以外の場合、 $I_{INRUSH-2P}$ はチャンネルあたり425mA(代表値)です。

チャンネルの電流が $I_{INRUSH-2P}$ を超えるとGATEピンがサーボ制御されて、能動的に電流を $I_{INRUSH-2P}$ 以内に制限します。GATEピンがサーボ制御されていない場合、最終的な V_{GS} は12V(代表値)です。

突入電流時、各受電チャンネルはタイマー(t_{START})を起動させます。各受電チャンネルは、 t_{START} が経過するまで突入電流状態を維持します。 t_{START} の経過後は、PSEがチャンネルの電圧と電流を確認します。PSEがPDに電力を供給している場合は、チャンネルに流れる電流が $I_{INRUSH-2P}$ 未満で

あれば、つまりPDの設定およびクラスに従った適切な値であれば、突入電流は正常です。

突入電流が正常でない場合は電力の供給が停止され、対応する t_{START} フォルトがセットされます。それ以外の場合は、**電流の遮断と制限**のセクションに示すように、ポートまたはチャンネルがパワー・オン状態になって事前に設定された電流制限閾値が使われます。

ポート電力の監視

電力監視閾値(P_{CUT-4P})は、128Wまで0.5W刻み(代表値)でポートごとにモニタされます。全出力電力の1秒間の移動平均値が指定閾値を超えると、ポートへの電力供給が停止され、対応する t_{CUT} フォルトがセットされます。

特に、ポート監視機能を使用すれば、PDクラス電力の供給を確保しながら、100Wの制限電源(LPS)条件未満の値を維持することができます。

電流の遮断と制限

LTC9101-1/LTC9102/LTC9103の各ポートには、2つの電流制限閾値(I_{CUT-2P} と I_{LIM-2P})が組み込まれており、それぞれに対応するタイマー(t_{CUT} と t_{LIM})があります。 I_{CUT-2P} 閾値と I_{LIM-2P} 閾値の設定は、PDの割当てクラス、主電源の電圧(V_{EE})、PSEのタイプ(タイプ3または4)、MOSFETのSOAなど、いくつかの要因に左右されます。

1組のプログラマブル・ポート閾値 I_{CUT-2P} と I_{LIM-2P} が、両方のチャンネルに共有されます。これらの閾値は、**表6**と**表7**に示すように、分類結果に基づいて設定する必要があります。1つのデュアル・シグネチャPDに異なるクラスが割り当てられている場合、閾値の設定には最も高いクラスが使われます。例えば、デュアル・シグネチャPDにクラス1とクラス5が割り当てられている場合は、クラス5に基づいて I_{CUT-2P} と I_{LIM-2P} が決定されて使われます。

LTC9101-1/LTC9102/LTC9103は、IEEE規格に従い、ポートまたはチャンネルへの電力供給を遮断する前に、チャンネル電流が限られた時間だけ I_{CUT-2P} を超えることを許容する一方で、MOSFETのゲート駆動を能動的に制御して、チャンネル電流を I_{LIM-2P} 未満に抑えます。チャンネルは、電流が I_{CUT-2P} 閾値を超えただけでは電流制限を行わず、 t_{CUT} タイマーの起動を行います。タイマーの設定時間が経過する前に電流が減少して I_{CUT-2P} 閾値未満になると、 t_{CUT} タイマーは逆にカウント・ダウンを始めますが、その速度はカウント・アップ時の1/16になります。 t_{CUT} タイマーが65ms(代表値)

アプリケーション情報

に達するとそのポートまたはチャンネルはオフになり、対応する t_{CUT} フォルトがセットされます。これにより、デューティ・サイクルが約6%未満の断続的なものであれば、そのチャンネルでは過負荷信号が許容されます。過負荷のデューティ・サイクルがこれより大きい場合、そのポートまたはチャンネルへの電力供給は停止されます。

$I_{\text{LIM-2P}}$ 電流制限回路は常にイネーブルされており、チャンネルの電流を能動的に制限します。 t_{LIM} タイマーは、 t_{LIM} タイマー設定フィールドがゼロ以外の値に設定されている場合のみイネーブルされます。このため、 t_{LIM} の値を t_{CUT} より小さい値に設定することによってMOSFETの保護を強化し、MOSFETが損傷する前にポートをオフにすることができます。 t_{LIM} タイマーは、電流が $I_{\text{LIM-2P}}$ 閾値を超えると起動します。 t_{LIM} タイマーの経過時間が、1.9ms(代表値)に t_{LIM} タイマー設定フィールドの値を乗じた時間に達すると、ポートまたはチャンネルがオフになって該当する t_{LIM} フォルトがセットされます。 t_{LIM} タイマー設定フィールドを0に設定すると、 t_{LIM} 動作は t_{CUT} タイマーによってカウントされます。このタイマーは、 $I_{\text{LIM-2P}}$ イベント時と $I_{\text{CUT-2P}}$ イベント時の両方にカウント・アップを行います。IEEEの要求を満たすには、 t_{LIM} タイマー設定フィールドのタイミング設定値を、LTC9101-1のソフトウェア・プログラミング・マニュアルに示す値に設定する必要があります。

通常、 $I_{\text{CUT-2P}}$ は $I_{\text{LIM-2P}}$ より低い値に設定されるので、ポートは電流を制限することなく軽度のフォルト状態に耐えることができます。

IEEEの要求を満たすには、 $I_{\text{LIM-2P}}$ を表6と表7に示す値に設定する必要があります。設定された $I_{\text{LIM-2P}}$ 値は、突入電流状態の終了後に自動的に適用されます。

t_{CUT} タイマーと t_{LIM} タイマーは、チャンネルごとに維持されます。 t_{CUT} フォルトまたは t_{LIM} フォルトが発生すると、一方のチャンネルをオフするか両方のチャンネルをオフするかの判断が行われます。詳細については、[ポート・フォルトとチャンネル・フォルト](#)のセクションを参照してください。

$I_{\text{LIM-2P}}$ のフォールドバック

LTC9101-1/LTC9102/LTC9103の $I_{\text{LIM-2P}}$ 閾値は、チャンネル電圧が通常動作電圧未満になるとチャンネル電流を減らす2段階のフォールドバック回路として実装されています。これにより、MOSFETの消費電力が安全なレベルに維持され

ます。電流制限とフォールドバックの動作は、ポートごとに設定できます。

LTC9101-1/LTC9102/LTC9103は、802.3bt規格の最大値より十分に高い電流レベルをサポートしています。 $I_{\text{LIM-2P}}$ の値を大きくするには、外付けMOSFETを大型にしてヒートシンクを追加するほかに、 t_{LIM} タイマー設定フィールドの設定値を小さくする必要があります。

MOSFETのフォルト検出

LTC9101-1/LTC9102/LTC9103のPSEポートは、かなり厳しい条件にも耐えられるように設計されていますが、極端な場合は外付けのMOSFETが損傷する可能性があります。MOSFETが損傷するとソースとドレインの間が短絡することがあり、その場合は本来オフしているはずのポートがオンしているような状態になります。また、この状態が原因で検出抵抗が溶断してオープン状態になり、ポートはオフしているにも関わらず、SENSE電圧が異常に高くなることがあります。また、MOSFETが故障するとゲートとドレインの間が短絡して、GATE電圧が異常に高くなることもあります。OUT、SENSE、およびGATEは、最大80Vの異常電圧にも損傷せずに耐えられるよう設計されています。

LTC9101-1/LTC9102/LTC9103がこれらいずれかの状態を検出して、その状態にある時間が3.8msを超えると、デバイスはすべてのポート機能をディスエーブルしてポートのゲート駆動プルダウン電流を減らし、FET異常(FET Bad)フォルトをレポートします。これは一般的には永続的なフォルト状態ですが、ホストはポートをリセットすることによって回復を試みることができます。ポートのリセットでフォルトを解消できない場合は、デバイス全体をリセットして回復を試みます。実際にMOSFETが損傷している場合はすぐにフォルトが再発し、ポートは再度ディスエーブルされます。LTC9101-1/LTC9102/LTC9103の残りのポートは影響を受けません。

MOSFETがオープン状態になったり機能を失ったりすることによってFET異常(FET Bad)フォルトがトリガされることはありませんが、LTC9101-1/LTC9102/LTC9103がポートをオンにしようとする、 t_{START} フォルトが発生します。

切断

LTC9101-1/LTC9102/LTC9103は受電チャンネルをモニタして、仕様規定された最小電流がPDに流れ続けていることを確認します。 $I_{\text{HOLD-2P}}$ 閾値は 0.1Ω の検出抵抗に生じる電圧の閾値 $V_{\text{HOLD-2P}}$ としてモニタされ、PDとの接続が切断されたかどうかを判断するために使われます。

アプリケーション情報

$I_{HOLD-2P}$ 閾値は自動モードでは自動的に設定されますが、半自動モードと手動モードではユーザが設定しなければなりません。クラス0からクラス4に割り当てられたシングル・シグネチャPDに1つのチャンネルで電力を供給する場合は、切断設定 (Disconnect Configuration) ビットにより、 $I_{HOLD-2P}$ 閾値を7.5mA (代表値) に設定します。その他の場合は、すべて $I_{HOLD-2P}$ 閾値を3.5mA (代表値) に設定します。

チャンネル電流が $I_{HOLD-2P}$ 未満になると切断タイマー (t_{DIS}) がカウント・アップを開始して、PDとの接続が切断されたことを示します。該当する t_{DIS} タイマーが終了すると、そのポートまたはチャンネル (表13) がオフになって、対応する t_{DIS} フォルトがセットされます。 t_{DIS} タイマーの終了前に電流が増加して $I_{HOLD-2P}$ を超えると、タイマーはリセットされます。PD電流が最小レベルを超えても、それが t_{DIS} タイマーの終了前である限り、PDへの給電は継続されます。

推奨はしませんが、DC切断機能は対応するDC切断イネーブル (DC Disconnect Enable) ビットをクリアすればディスエーブルできます。DC切断機能をディスエーブルすると、LTC9101-1/LTC9102/LTC9103はIEEE規格に適合しなくなります。PD取り外し後も受電ポートには電力が供給されます。受電状態のポートをその後にPoE非対応のデータ・デバイスに接続することもできますが、そのデバイスを損傷させてしまう可能性があります。

LTC9101-1/LTC9102/LTC9103はAC切断回路を内蔵していません。AC切断機能は802.3btのサポート対象外です。

高速のサージ回復

信頼性の高いシステムには優れたサージ回復機能が求められます。PSEにとっては、外部的な電力トランジェント発生時でもPDへの給電中断を最小限に抑えることが、ますます重要になっています。更に、最小バルク容量に関する要求を満たしていないPDは、従来型のPSEソリューションで生じるブラウンアウトに対して特に脆弱です。LTC9101-1/LTC9102/LTC9103はホット・スワップ応答性が改善されており、サージ・イベントからの回復についても優れた特性を備えています。

サージ発生時、LTC9102/LTC9103のGATEピンは直ちに外部MOSFETの電流をオフにして、PSE、MOSFET、および下流側回路を保護します。サージ状態が解消されると、

LTC9102/LTC9103は電流を制限した安全な方法で直ちにMOSFETを再度オンにし、PDへの電力供給中断を最小限に抑えます。LTC9102/LTC9103の高速なMOSFETターンオフと電力回復は、高信頼性アプリケーションにおけるIEEE準拠のPDとバルク容量の小さいPDの両方を、より望ましい形でサポートします。

ポート・フォルトとチャンネル・フォルト

t_{CUT} 、 t_{LIM} 、および t_{DIS} の各タイマーは、チャンネルごとに維持されます。いずれかのチャンネルのタイマーが終了すると、ポートの両方または一方のチャンネルへの電力供給を停止するか、あるいはどちらのチャンネルへの電力供給も停止しないかが決定されます。

802.3bt規格では、シングル・シグネチャPDにフォルトが発生した場合のオプション動作が認められています。このオプションにより、ペアセットYで障害が発生した場合でも、シングル・シグネチャPDがペアセットXへ給電を続けることができます。 $fault2Pn$ ビットをセットすると、このオプション動作がイネーブルされます。PDやケーブル配線でのフォルト発生はPDやケーブルの損傷の兆候を示すものなので、通常動作時にこの動作を使用することは推奨できません。

2ペア・モードでは $fault2Pn$ は作用しません。

表13. チャンネル・フォルトがポート/チャンネルの状態に与える影響

PD CONFIGURATION	$fault2Pn$ BIT	FAULT RESULT: TURN OFF PORT OR CHANNEL		
		t_{CUT}^{**}	t_{LIM}	t_{DIS}
Single	0	Port	Port	Port*
	1	Channel	Channel	
Dual	x	Channel	Channel	Channel

*両方のチャンネルで t_{DIS} が経過した場合

**ポート電力の監視 (P_{CUT-4P}) によって t_{CUT} イベントが生成されます。イネーブルした場合は、ポートの電力監視によって、 $fault2Pn$ の設定に関係なくポートへの電力供給が停止されます。

フォルト・テレメトリ

これまでのセクションで説明したように、障害は一方または両方のチャンネルで発生する可能性があり、発生した場合は一方または両方のチャンネルへの電力供給が停止されます。フォルト・イベント・レジスタは、以前からポート・レベルで

アプリケーション情報

実装されています。フォルトの発生原因となったチャンネルを特定するために、LTC9101-1/LTC9102/LTC9103には第2層のフォルト・レジスタ(フォルト・テレメトリ・レジスタ)が追加されています。詳細については、LTC9101-1のソフトウェア・プログラミング・マニュアルを参照してください。

Autoclass

IEEE 802.3btでは新しいオプション機能である Autoclass が導入されています。Autoclassにより、PSEは、最も厳しい動作条件下で必要以上の電力を要求しているシングル・シグネチャPDから、パワー・バジェットを回収することができます。802.3btは、デュアル・シグネチャPDの Autoclass は規定していません。LTC9101-1/LTC9102/LTC9103は Autoclass を完全にサポートしています。

802.3 PoE 規格の旧バージョンは、最も厳しい条件でのイーサネット・ケーブルによるIR電圧降下および最小PSE出力電圧に対する最小PSE出力電力を規定しています。ただし、過剰に割り当てられた電力をPSEが回収する方法は規定されていません。短いイーサネット・ケーブルを使用する場合や、サポートされているPSE出力電圧が最小規定値より高い場合、規定の最小PSE出力電力ではかなり多めの電力がPDに割り当てられます。

PoEシステムの例を2つ示します。図23は、100mのケーブルを介して3つの25.5W PDに電力を供給する100Wの4ポートPSEの例です。このようなシステムでは、PSEがPDごとに25.5Wを割り当て、更にケーブル100mあたりのIR電圧降下ごとに4.5Wを割り当てる必要があります。

全電力割当ては次のようになります。

$$3 \text{ ポート} \times (4.5\text{W} + 25.5\text{W}) = 90\text{W}$$

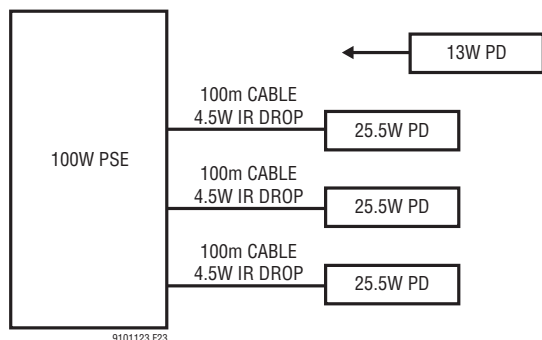


図23. 100mのケーブルを使用する100W PoEシステム

別の13W PDを4番目のPSEポートに接続した場合に供給できるのは10Wだけで、このPDには必要な電力を供給できません。

図24は、10mのケーブルを介して3つの25.5W PDに電力を供給する100W 4ポートPSEの例です。このようなシステムでは、PSEがPDごとに25.5Wを割り当て、更にケーブル10mあたりのIR電圧降下約0.5Wを割り当てる必要があります。

Autoclassを使用しない場合、全電力割当ては次のようになります。

$$3 \text{ ポート} \times (4.5\text{W} + 25.5\text{W}) = 90\text{W}$$

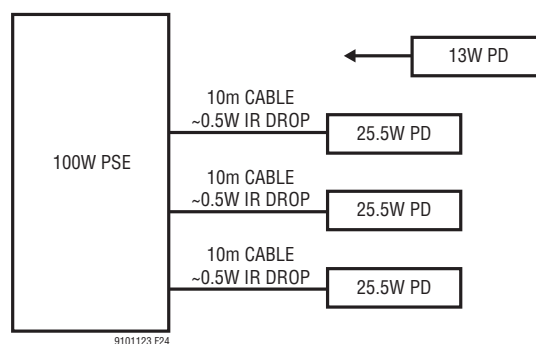


図24. 10mのケーブルを使用する100W PoEシステム

別の13W PDを4番目のPSEポートに接続した場合に供給できるのは10Wだけで、IR電圧降下が前の例よりはるかに小さいにしても、このPDに必要な電力を供給することはできません。

図24のシステムがAutoclass対応だとすると、回収されたパワー・バジェットを使って追加ポートに電力を供給することができます。分類時、PSEはPDのAutoclass要求の有無を確認します。802.3btの規定に従い、パワー・オン完了後はPDにその最大電力が供給され、PSEはAutoclass測定を実行します。図24のPSEは3つの25.5W PDのそれぞれの消費電力が26Wであることを測定し、それをレポートします。この結果によりホストは、PSEが供給できるパワー・バジェットを修正することができます。

Autoclassを使用した場合、図24の全電力割当ては次のようになります。

$$3 \text{ ポート} \times 26\text{W (測定値)} = 78\text{W}$$

別の13W PDを4番目のPSEポートに接続した場合でも、今度は22Wを供給することができるので、このPDにも必要な電力を供給できます。

アプリケーション情報

Autoclass のネゴシエーション手順

PSEは、物理層分類または(PSE ホスト経由)LLDPによってPDからの Autoclass 要求を受け取ります。物理層の要求については、以下に示す Autoclass ネゴシエーション手順を **図25** に示します。

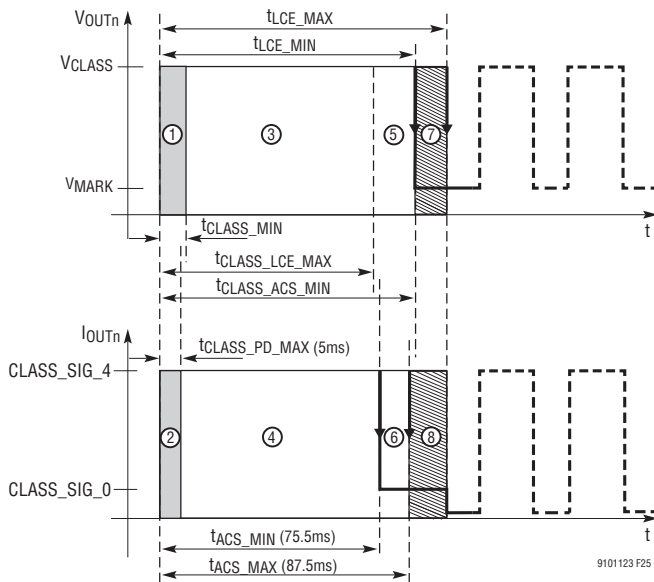


図25. Autoclass ネゴシエーションの電圧と電流

1. PSEが最初の長いクラス・イベント発行を開始します。PDのクラス・シグネチャはこの時間内に安定します。
2. PDはそのクラスに対応するクラス・シグネチャによって応答します。この時間内のクラス・シグネチャは、Autoclass ネゴシエーションとは無関係です。
3. PSEはこの時間内にPDクラス・シグネチャを測定して、その結果を通常のマルチイベント分類に使用します。
4. PDは、そのクラス・シグネチャを示し続けます。
5. PSEは長いクラス・イベントを継続し、この時点ではクラス・シグネチャ電流を測定しません。
6. PDは、Autoclassを要求している場合はクラス・シグネチャ0に遷移します。Autoclassを要求していない場合は、そのクラス・シグネチャを示し続けます。

7. PSEはPDの Autoclass 応答を測定します。クラス・シグネチャ0が測定された場合、PDは Autoclass を要求しています。測定が完了すると、最初のクラス・イベントは終了します。

8. PDは、最初のクラス・イベントが終了するまで、手順6で選択したクラス・シグネチャを保持します。

Autoclassのネゴシエーション手順に続いてPSEとPDは引き続き物理層分類を行い、通常どおりに起動します。Autoclassかどうかに関わらず、PDには、PD割当てクラスに従ってネゴシエートされた電力割当て未満の電力で動作することが求められます。

Autoclass の測定手順

Autoclassの測定は、PDが物理層分類を介して要求するか、または電源投入後にLLDPを介して要求することができます。LTC9101-1/LTC9102/LTC9103はLLDPベースの Autoclass 要求に対応していますが、データ・パスへのアクセス権がないのでLLDP Autoclass 要求を直接受け取ることはできません。

PSEが物理層要求に続いて Autoclass 測定を実行しよう命令されている場合は、通常、ポートの突入電流が正常に終了してから $t_{\text{AUTO_PSE1}}$ (代表値1.5秒)が経過した後、測定が開始されます。LLDPベースの Autoclass 要求では、直ちに測定が開始されます。

Autoclassの測定時間は $t_{\text{AUTO_PSE2}} - t_{\text{AUTO_PSE1}}$ (代表値1.8秒)で、 $t_{\text{AUTO_WINDOW}}$ (代表値0.23秒)の移動区間を使用します。Autoclassの測定時間中、PSEは I_{PORT} と V_{EE} を継続的にモニタして、最大平均電力値を計算します。Autoclass測定時間の終了後、Autoclassの測定値がポート・パラメトリック・レジスタ (Port Parametric) にレポートされます。

Autoclassのイネーブル、Autoclass ネゴシエーションのステータス、Autoclass 測定結果の読出し、Autoclass 測定の動的要求の詳細については、LTC9101-1のソフトウェア・プログラミング・マニュアルを参照してください。

アプリケーション情報

ポート電流のリードバック

LTC9101-1/LTC9102/LTC9103は、チャンネルごとのA/Dコンバータ(ADC)を使って各パワー・チャンネルの電流を測定します。チャンネル電流が有効となるのはポートのパワー・チャンネルが少なくとも1つオンになっている場合に限られ、それ以外の場合リードバック値は常にゼロになります。コンバータには2つのモードがあります。

- 100msモード: 連続してサンプリングが行われ、測定値が100msごとに更新されます。
- 1sモード: 連続してサンプリングが行われ、1秒間の移動平均が100msごとに更新されます。

V_{EE}のリードバック

LTC9101-1/LTC9102/LTC9103は、専用のA/Dコンバータを使ってV_{EE}の電圧を継続的に測定します。このグローバルV_{EE}測定はすべてのポート電流測定と完全に同期しており、LTC9102/LTC9103のUVLO閾値までモニタすることができます。

温度のリードバック

電源イベント・レジスタの過熱フォルトに加えて、LTC9101-1は対応する各LTC9102/LTC9103のダイ温度もレポートします。

過熱保護

過熱保護機能は、LTC9102/LTC9103の温度がプリセットされている閾値(代表値150°C)を超えると、影響するポートへの電力供給を自動的に停止します。ポートの動作は、ダイ温度がプリセットされている回復閾値(代表値125°C)未満に低下するまで再開できません。詳細については、LTC9101-1のソフトウェア・インターフェース・ガイドを参照してください。

ポート電力のリードバック

LTC9101-1/LTC9102/LTC9103は、完全に同期されたポート電力測定を継続的に行います。また、LTC9101-1/LTC9102/LTC9103は、ポート電流とV_{EE}の測定値を乗じることによってポート電力を計算します。

$$P_{\text{PORT}} = I_{\text{PORT}} \times V_{\text{EE}}$$

このポート電力測定は、以前のアナログ・デバイセズ製PSEで提供されていたポート電圧測定に代わるものです。ポート

電圧は、ユーザが定義した方法でV_{EE}測定値から特性評価と補外を行うことができます。

マスクド・シャットダウン

LTC9101-1/LTC9102/LTC9103は、必要に応じてシステム負荷を直ちに軽減する低遅延のポート削減機能を備えています。事前に決めておいた一連のポートをオフできるようにすることで、過負荷状態の主電源から流れる電流を急速に減少させる一方、優先度の高いデバイスには引き続き電力を供給することができます。各ポートには優先度を設定できます。優先度の低いすべてのポートは $\overline{\text{MSD}}$ がローになってから6.5μs以内にシャットダウンしますが、優先度の高いポートへの電力供給は維持されます。 $\overline{\text{MSD}}$ を介してポートをオフにすると対応する検出イネーブル(Detection Enable)ビットと分類イネーブル(Classification Enable)ビットがクリアされるので、ホストが明示的に検出を再度イネーブルするまでポートはオフのままになります。

LTC9101-1/LTC9102/LTC9103チップセットでは、 $\overline{\text{MSD}}$ のアクティブ・レベルを、レジスタでアクティブ・ハイまたはアクティブ・ローとして設定できます。デフォルト動作はアクティブ・ローです。

4ペア有効(4-Pair Valid)

IEEE 802.3bt規格では、シングル・シグネチャPDとデュアル・シグネチャPDの定義に関して解釈の余地が残されています。厳密に言うと、802.3bt規格で定義されているのはシングル・シグネチャPDとデュアル・シグネチャPDだけです。

つまり厳密に解釈すると、有効なPDは、両方のPSEペアセットに接続されたシングル・シグネチャPDとデュアル・シグネチャPDだけに限られます。どちらのペアセットにも有効な検出シグネチャを持たないPDは、無効なPDとして扱われます。ポートの4ペア有効(4-Pair Valid)モードをイネーブルするには、 $\overline{4PVALID}$ をローに設定するか、ポートの4ペア有効設定レジスタをセットします。4ペア有効モードがイネーブルされた状態では、ポートは、両方のペアセットに有効な検出シグネチャが存在する場合だけ電力を供給します。表14を参照してください。

表14. 4ペア有効をイネーブル

PAIRSET DETECTION SIGNATURE	ALTERNATIVE A INVALID	ALTERNATIVE A VALID
ALTERNATIVE B INVALID	Port Unpowered	Port Unpowered
ALTERNATIVE B VALID	Port Unpowered	Power A and B

アプリケーション情報

もう1つの解釈はより自由度の高いもので、有効な検出シグネチャが1つのペアセットにしか存在しないPDに対しても、他方のペアセットの検出結果に関わらず対応ペアセットで給電することが可能です。ポートの4ペア有効モードをディセーブルするには、 $\overline{4PVALID}$ をハイに設定するか、ポートの4ペア有効設定レジスタをクリアします。4ペア有効モードをディセーブルすると、ポートは、有効なシグネチャを持つペアセットに電力を供給します。他方のペアセットのシグナルが有効か無効かは関係しません。表15を参照してください。

表 15. 4ペア有効をディセーブル

PAIRSET DETECTION SIGNATURE	ALTERNATIVE A INVALID	ALTERNATIVE A VALID
ALTERNATIVE B INVALID	Port Unpowered	Power A
ALTERNATIVE B VALID	Power B	Power A and B

1つのペアセット上の有効な検出シグネチャで給電されるPDはデュアル・シグネチャPDとして扱われ、もう1つのペアセットには給電されません。

コードのダウンロード

LTC9101-1のファームウェアは、ファームウェア・イメージをダウンロードして実行することにより、フィールドでアップグレードできます。

ダウンロード手順とファームウェア・イメージの詳細については、アナログ・デバイセズへお問い合わせください。

ファームウェア・イメージは専用のフラッシュ・パーティションに保存されます。LTC9101-1には、IEEE 802.3at/bt完全準拠のファームウェア・イメージが予め設定されています。このファームウェア・イメージはユーザが上書きできます。

ファームウェア・イメージは、最大限のデータ保護を実現するために2つの完全なコピーが使われており、それぞれに対して個別にECC保護とCRC保護がかけられています。

保存されている設定

オプションで、カスタムのI²Cレジスタ・マップ初期値をフラッシュ・パーティションに保存することができます(設定パッケージ)。工場出荷時のLTC9101-1にはデフォルトの設定パッケージが組み込まれており、そのレジスタ・マップ初期値はLTC9101-1のソフトウェア・インターフェース・ガイドの指定に従って設定されています。これらの初期値は、AUTO

ピンや $\overline{4PVALID}$ ピンなど、各種のピンの状態に左右されません。レジスタ・マップのデフォルト設定は、製造工程確立時に保存されたものか、設定パッケージのダウンロードによりフィールドで更新されたもので、起動時に自動的にロードされます。

レジスタ・マップの初期値設定に加えて、設定パッケージではポートを2ペア・ポートまたは4ペア・ポートとして定義することもできます。ポートは、クワッド・レベル(4個のポートのグループ)で2ペアまたは4ペアとして設定されます。

カスタム設定パッケージの作成についてご不明な点は、アナログ・デバイセズのアプリケーション・サポートまでお問い合わせください。設定パッケージは、通常のコード・ダウンロード・メカニズムを使ってダウンロードします。設定パッケージはパッケージ・ヘッダによって識別し、適切なフラッシュ・パーティションに保存することができます。

保存されている設定を利用する場合、 \overline{AUTO} 、CFG[0]、PWRMD[1:0]、および $\overline{4PVALID}$ ピンの状態を設定パッケージで上書きすることができます。更に、何個のLTC9102/LTC9103を接続するかをLTC9101-1に知らせるにはCFG[2:1]が必要です。また、AD[3:2]は、ベースI²Cチップ・アドレスをLTC9101-1に知らせるために必要です。

設定イメージは、最大限のデータ保護を実現するために2つの同じコピーが使われており、それぞれに対して個別にECC保護とCRC保護がかけられています。

シリアル・デジタル・インターフェース

概要

LTC9101-1は、標準的なSMBus/I²C 2線インターフェースを使ってホストと通信します。LTC9101-1はスレーブ専用デバイスで、標準SMBusプロトコルを使ってホスト・マスタと通信します。割込み信号は、 \overline{INT} を介してホストに送られます。標準的な通信波形と、それらの波形のタイミング関係をタイミング図(図5~図9)に示します。SMBusデータ・プロトコルの詳細についてはwww.smbus.orgを参照してください。

LTC9101-1でシリアル・インターフェースを機能させるには、V_{DD}電源レールとV_{EE}電源レールの両方が必要です。

アプリケーション情報

バスのアドレス指定

LTC9101-1の最初の7ビット・シリアル・バス・アドレスは010A₃A₂00bで、ビット3はAD₃、ビット2はAD₂によって設定されます。図6～図9において、AD₃:AD₂はLTC9101-1のピンによって設定され、AD₁:AD₀はデバイス設定によって決定されます。デバイス設定オプションについては表4を参照してください。デバイスの設定に応じて、最大12個のI²CアドレスがI²Cベース・アドレスから昇順に設定されます。すべてのLTC9101-1はブロードキャスト・アドレス0110000bにも応答するので、ホストは1回のトランザクションで複数のLTC9101-1に同じコマンド(通常は設定コマンド)を書き込むことができます。LTC9101-1がINTをアサートしている場合、このデバイスはSMBus規格に従ってアラート応答アドレス(0001100b)にも応答します。

論理的には、それぞれのLTC9101-1/LTC9102/LTC9103はクワッドと呼ばれる複数の4ポート・グループで構成されており、各グループは1つのI²Cアドレスにまとめられています。詳細については**デバイスの設定**のセクションを参照してください。例えばCFG[2:0]が000に設定されている場合に1個のLTC9101-1を1個のLTC9102に接続すると、そのLTC9101-1は8ポートのデバイスとして設定され、LTC9103に接続すると12ポートのデバイスとして設定されます(表4を参照)。この設定には2個または3個の連続したI²Cアドレスが必要です。この場合はクワッド・オフセットを0にして、I²Cベース・アドレスから開始します。

0x30(ブロードキャスト・アドレス)以上の個々のクワッドI²Cアドレスは、自動的にディスエーブルされます。

割込みとSMBAlert

大半のポート・イベントは、割込みをトリガするように設定できます。この割込みがINTをアサートし、イベントに関するアラートをホストに通知します。これにより、ホストがLTC9101-1に対してポーリングを行う必要がなくなるのでシリアル・バスのトラフィックが最小限に抑えられ、ホストのCPUサイクルも節約できます。また、複数のLTC9101-1が1つのINTラインを共有できるので、ホストがSMBAlertプロトコル(ARA)を使って、どのLTC9101-1が割込みを発生させたのかを特定することができます。

レジスタの説明

シリアル・バスの使用法、およびデバイスの設定とステータスの詳細については、LTC9101-1のソフトウェア・インターフェース・ガイドを参照してください。ソフトウェア・インターフェース・ガイドについてはアナログ・デバイセズにお問い合わせください。

絶縁条件

IEEE 802.3イーサネット仕様では、ネットワーク・セグメント(PoE回路を含む)を、各ネットワーク・インターフェース・デバイスのシャーシ・グラウンドから電氣的に絶縁する必要があります。ただし、これらのセグメントが単一配電システムを使用する1つの建屋内に設置された装置に接続されている場合は、ネットワーク・セグメント同士を互いに絶縁する必要はありません。

PSEが大規模システムの一部である場合や、イーサネット非対応の追加的な外部ポートを備えている場合、または何か他の理由によって保護グラウンドを基準にする必要がある場合は、PoEサブシステムをシステムの残りの部分から電氣的に絶縁する必要があります。

LTC9101-1/LTC9102/LTC9103チップセットではLTC9101-1チップを非絶縁側に置くことができるので、PSEの絶縁が容易になります。したがって、このチップセットはロジックの主電源から電力を受け取って、I²C/SMBusバスに直接接続することができます。この場合はSDAINピンとSDAOUTピンを互いに接続し、標準的なI²C/SMBus SDAピンとして動作させることができます。LTC9101-1とLTC9102/LTC9103の間の絶縁は、トランスをベースとした独自の通信プロトコルを使って実施されます。詳細については、このデータシートの**高速データの絶縁**のセクションを参照してください。

非管理型PoEスイッチなどの単純なデバイスでは、装置全体に絶縁型主電源を使用することによって、絶縁条件を満たすことができます。ツイストペア・イーサネット以外にデバイスに導電性ポートがない場合は、この方法を使用できます。上記のような状況や、システムが既に絶縁されている場合は、LTC9101-1を直接LTC9102/LTC9103に接続することができます。

外付け部品の選択

電源

LTC9101-1/LTC9102/LTC9103を動作させるには2つの電源電圧が必要です。V_{DD}はDGND基準で3.3V(公称値)を必要とします。V_{EE}には、タイプ2およびタイプ3 PSEの場合はAGND基準で-51V～-57Vの負電圧、タイプ4 PSEの場合は同じくAGND基準で-53V～-57Vの負電圧が必要です。

アプリケーション情報

デジタル電源

V_{DD}は、LTC9101-1のプロセッサに電力を供給するデジタル電源として機能します。各V_{DD}とDGNDの間には0.1μF以上のセラミック・デカップリング・コンデンサを接続する必要があります。接続時は、それぞれのLTC9101-1にできるだけ近付けてください。更に、十分なサージ耐性を持たせるために、各LTC9101-1には10μFのバルク・コンデンサを組み込む必要があります。1.2Vのコア電圧源が内部で生成されるので、CAP1ピンとDGNDの間、およびCAP2とDGNDの間に1μFのセラミック・デカップリング・コンデンサが必要です。

アナログ・デバイス独自の絶縁技術を使うシステム内では、ホスト・コントローラの非絶縁3.3V電源によってV_{DD}を供給する必要があります。必要な絶縁を維持するために、LTC9102/LTC9103のAGNDとLTC9101-1のDGNDは接続しないでください。直接接続方式を用いる場合は、LTC9101-1のDGNDをLTC9102/LTC9103のV_{EE}に接続する必要があります。

PoE主電源

V_{EE}は、PDに電力を供給する絶縁型PoE主電源です。この電源は比較的大量の電力を供給し、大きな電流トランジェントが発生することがあるので、設計時には単純なロジック電源の場合より注意が必要です。IR損失を最小限に抑えて最大限のシステム効率を実現するために、V_{EE}を最大振幅(57V)付近に設定し、使用する特定電源のトランジェント・オーバーシュート/アンダーシュート、温度ドリフト、ラインレギュレーションの仕様値を見込んで十分なマージンを取ってください。

それぞれのLTC9102/LTC9103のAGNDとV_{EE}間のバイパス・コンデンサおよびトランジェント電圧サプレッサ(TVS)は、信頼性の高い動作を確保する上で非常に重要です。いずれかの出力ポートで短絡が発生した場合、LTC9102/LTC9103が電流のレギュレーションを開始するまでに1μs余りもかかることがあります。この間に電流を制限するのは回路内の小さなインピーダンスだけです。このため、通常は大きな電流スパイクが発生してV_{EE}電源に電圧トランジェントが生じ、UVLOフォルトによってLTC9101-1/LTC9102/LTC9103がリセットされてしまうおそれがあります。誤ってリセットされてしまう可能性を最小限に抑えるために、1μF、100VのX7RコンデンサとSMAJ58Aを、それぞれの

LTC9102/LTC9103の近くに配置することを推奨します。あわせて、システムごとに47μF、100V以上の電解バルク・コンデンサと、バルクTVSを使用することも推奨します。

LTC9102/LTC9103の低電圧電源

LTC9102/LTC9103は、PoE主電源から直接低電圧電源を生成する電圧レギュレータを内蔵しています。スタートアップ時は内部レギュレータがPWRINに6Vの電圧を生成して、AGNDから電力を取り込みます。4.3Vと3.3Vの各内部レールは、PWRINからサブレギュレーションされます。PWRINピンには、1μF、100Vのローカル・バイパス・コンデンサが必要です。

PWRINとAGNDの間には、LTC9102/LTC9103のパッケージ外部で熱を放出するために、プルアップ抵抗を接続できます。オプションで、外部電源をPWRINに接続してスタートアップ・レギュレータをオーバーライドし、消費電力を減らすこともできます。

3.3V内部レギュレータ使用時のプルアップ抵抗構成を図26に示します。バイパス抵抗R1、R2、R3、R4は、LTC9102/LTC9103に発生する熱を外部に放出します。PWRINピンの電圧は、LTC9102/LTC9103の動作モードと、それに対応する消費電流に従って変化します。バイパス抵抗が提供する電流以上の電流が消費される場合は、スタートアップ・レギュレータが電圧を6V(代表値)に維持します。スペースに制約のあるアプリケーションでは、プルアップ抵抗なしでLTC9102を動作させることができます。

外部PWRIN電源を使用するアプリケーションでは、6.5Vレギュレータが最適な電圧を維持して6V内部スタートアップ・レギュレータをオーバーライドしながら、LTC9102の発熱を最小限に抑えます。外部電源は複数のLTC9102/LTC9103で共有できます。

図27に示すように、3.3V電源は直接CAP3ピンに接続できます。これにより、最も電力効率の良いスリープ・モードが実現されます。3.3V外部電源を使用するときは、EXT3ピンをCAP3に接続してください。これは3.3V内部レギュレータをディスエーブルして、電力の逆流を防ぎます。3.3Vレギュレータは、電気的特性の表に指定されたtCAP3EXT以内にパワーアップする必要があります。

アプリケーション情報

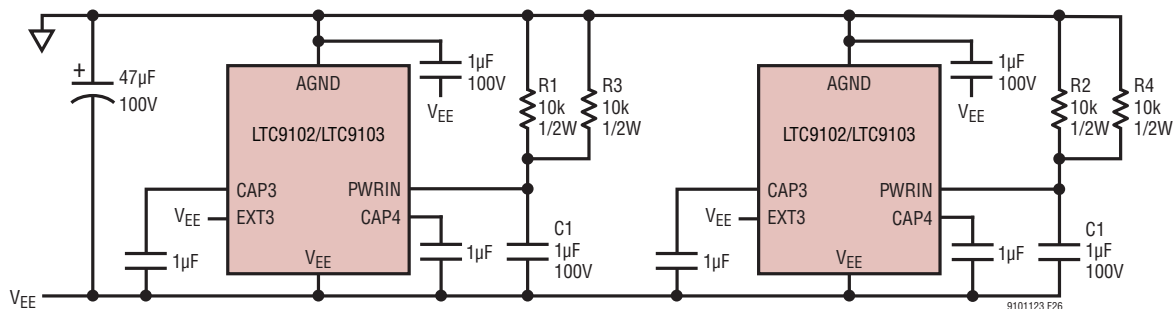


図26. 3.3V内部電源使用時の電源構成

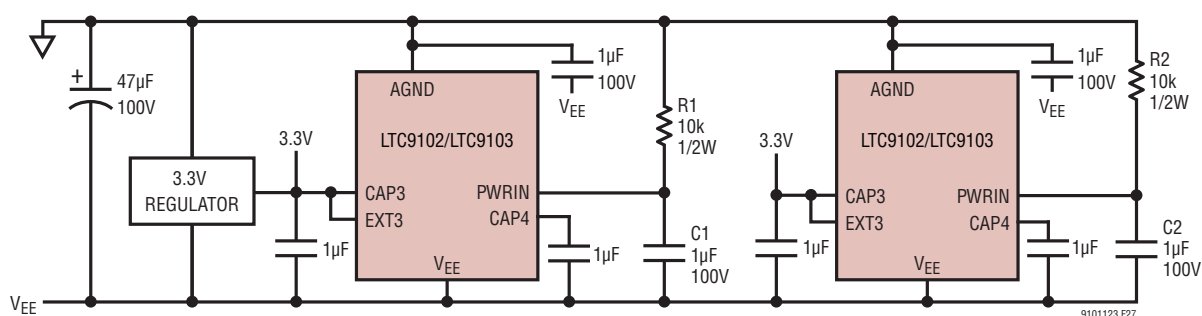


図27. 3.3V外部レギュレータ使用時の電源構成

直接接続方式を使用する場合は、LTC9101-1に電力を供給する3.3V電源から、LTC9102/LTC9103にも電力を供給することができます。LTC9101-1とLTC9102/LTC9103がシステム絶縁バリアの同じ側にある場合は、これが望ましいオプションです。

高速データの絶縁

LTC9101-1/LTC9102/LTC9103チップセットでは、独自の絶縁方式を使用するか、既存のシステム絶縁を使用するかを選ぶことができます。独自の絶縁方式を使用すれば、BOMコストを大幅に削減できます。

この独自絶縁方式では、LTC9101-1/LTC9102/LTC9103はトランスを使用して、1~4個のLTC9102/LTC9103からLTC9101-1を絶縁します(図28を参照)。この場合、SDAINピンとSDAOUTピンを互いに短絡させて、直接I²C/SMBusバスに接続することができます。トランスは、巻数比1:1の10BASE-Tまたは10/100BASE-Tトランスを使用する必要があります。最適な選択肢はコモンモード・チョークのないトランスです。この種のトランスでは、通常、LTC9101-1とLTC9102/LTC9103の間に1500Vの絶縁が得られます。正しく動作させるには、レイアウト・ガイドラインに厳密に従う必要があります。

直接接続方式では、LTC9101-1/LTC9102/LTC9103チップセットは既存のシステム絶縁に依存します。この方式では、独自の通信プロトコルを使って、LTC9101-1を1つまたは複数のLTC9102/LTC9103に接続します(図29を参照)。

外部MOSFET

システムの信頼性を確保するには、MOSFETを慎重に選択することが極めて重要です。MOSFETを選択するには、様々なPSEの電流制限条件に対してMOSFETのSOA曲線を広範囲に分析し、テストを行う必要があります。アナログ・デバイセズでは、51Wの最大ポート電力(シングル・シグネチャ)または25.5Wの最大ペアセット電力(デュアル・シグネチャ)を供給するように設定されたPSEには、PSMN075-100MSEを推奨します。また、71.3Wの最大ポート電力(シングル・シグネチャ)もしくは35.6Wの最大ペアセット電力(デュアル・シグネチャ)を供給するように設定されたPSEには、PSMN040-100MSEを推奨します。これらのMOSFETを選んだ理由は、様々なPoEアプリケーションで証明されたその信頼性にあります。これらの推奨品以外のMOSFETを使用する場合は、事前にアナログ・デバイセズのアプリケーション・サポートへご相談ください。

アプリケーション情報

検出抵抗

LTC9101-1/LTC9102/LTC9103はチャンネルあたり 0.1Ω の小さい検出抵抗に合わせて設計されており、レイアウト条件のセクションの図31に示すようにレイアウトされています。IEEEの仕様が求める $I_{\text{HOLD-2P}}$ 、 $I_{\text{CUT-2P}}$ 、および $I_{\text{LIM-2P}}$ の精度を満たすためには、許容誤差が $\pm 1\%$ 以下、温度係数が $\pm 200\text{ppm}/^\circ\text{C}$ 以下の検出抵抗を使用する必要があります。

ポートの出力コンデンサ

スタートアップ時や過負荷時の電流が制限された場合にLTC9102/LTC9103を安定した状態に保つために、各ポートの OUT_n とAGNDの間には $0.1\mu\text{F}$ のコンデンサを配置する必要があります(図30を参照)。一般的なセラミック・コンデンサの電圧係数は、たいいていの場合かなり大きな値を示します。つまり、加えられる電圧が高くなると容量が減少します。この問題の影響を最小限に抑えるために、定格 100V 以上のX7Rセラミック・コンデンサの使用を推奨します。このコンデンサは、LTC9102/LTC9103の近くに配置する必要があります。

サージ保護

イーサネット・ポートには、かなり大きなケーブル・サージが加わることがあります。PoE電圧を安全なレベル未満に維持してアプリケーションを損傷から保護するため、図30に示すように、主電源、LTC9102/LTC9103の電源ピン、および各ポートには保護部品が必要です。

PoE主電源の両端には、バルク・トランジェント電圧サプレッサ(TVS_{BULK})およびバルク容量(C_{BULK})が必要です。また、これらはシステム・レベルのサージ条件に見合ったサイズにする必要があります。

それぞれのLTC9102/LTC9103のAGNDピンと V_{EE} ピンの間には、SMAJ58A 58V TVS (D1)と、 $1\mu\text{F}$ 、 100V のバイパスコンデンサ(C1)を接続します。これらの部品は、LTC9102/LTC9103の各ピンの近くに配置する必要があります。

各ポートにはS1Bクランプ・ダイオードが必要で、これは OUT_n と電源AGNDの間に接続します。このダイオードは有害なサージを電源レールに誘導し、サージはそこでサージ・サプレッサと V_{EE} のバイパス・コンデンサに吸収されます。これらのパスのレイアウトは低インピーダンスにする必要があります。

LTC9101-1/ LTC9102/LTC9103

アプリケーション情報

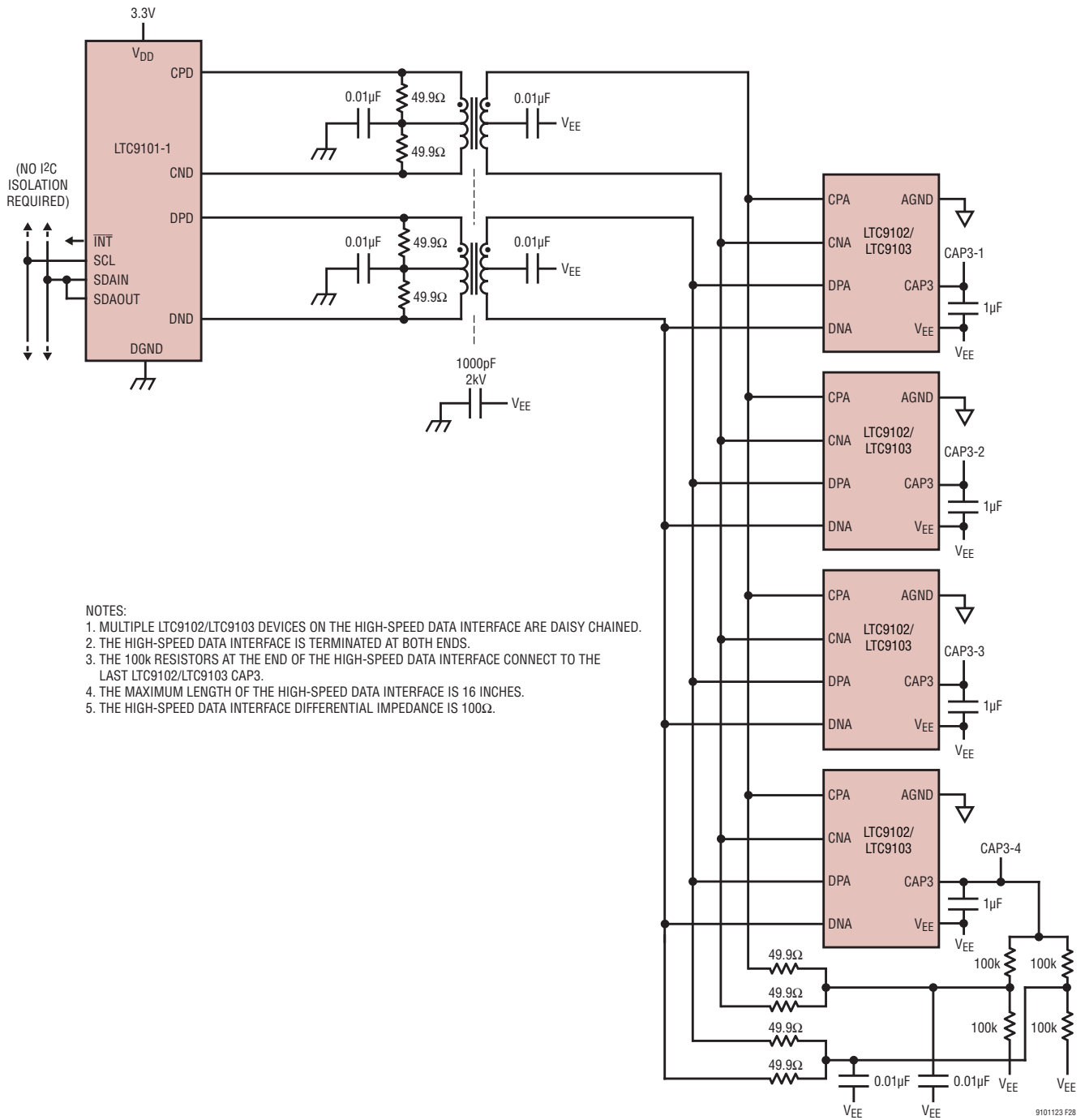


図28. 独自のLTC9101-1/LTC9102/LTC9103絶縁方式

アプリケーション情報

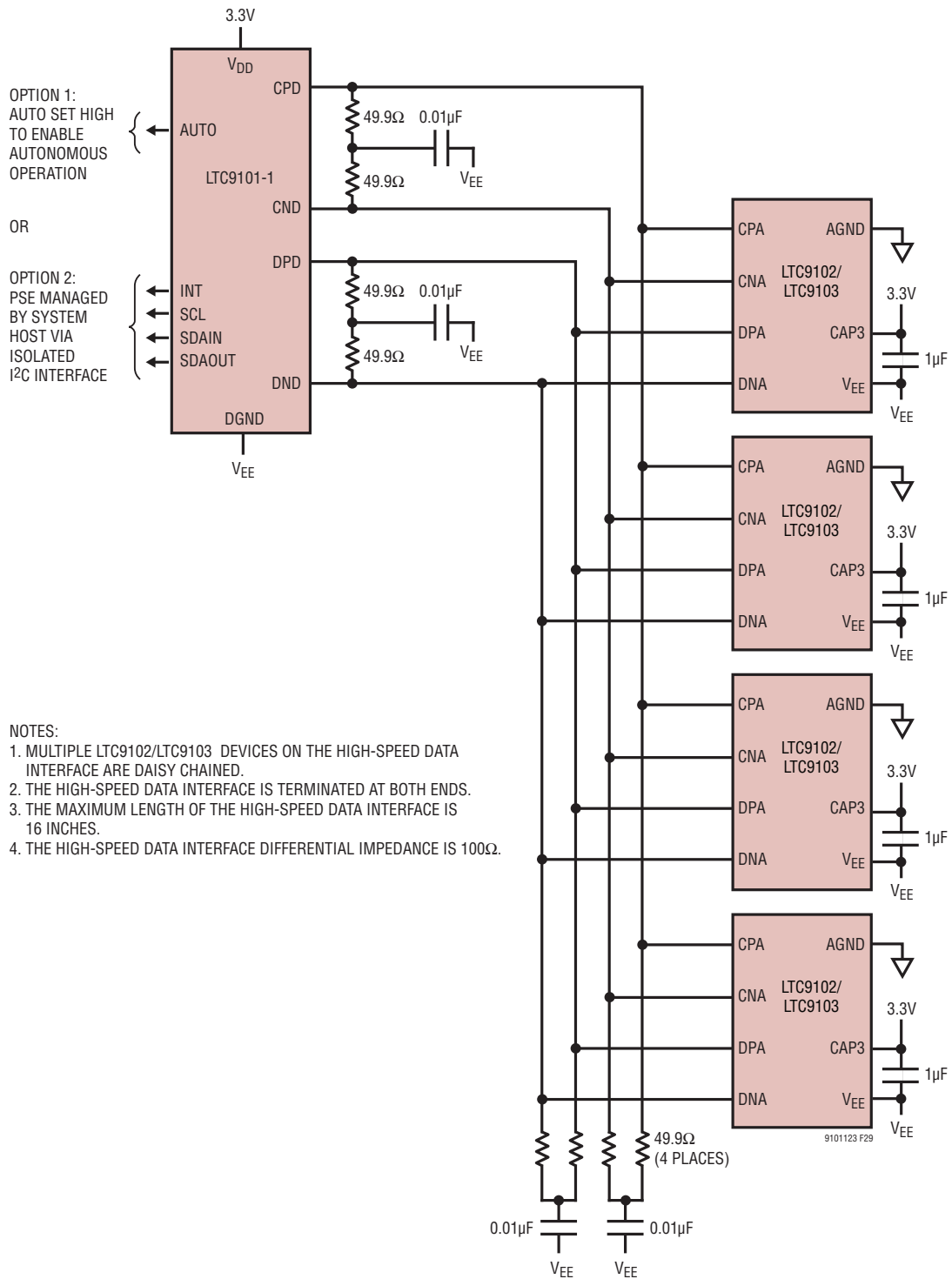


図 29. 独自の LTC9101-1/LTC9102/LTC9103 直接接続方式

アプリケーション情報

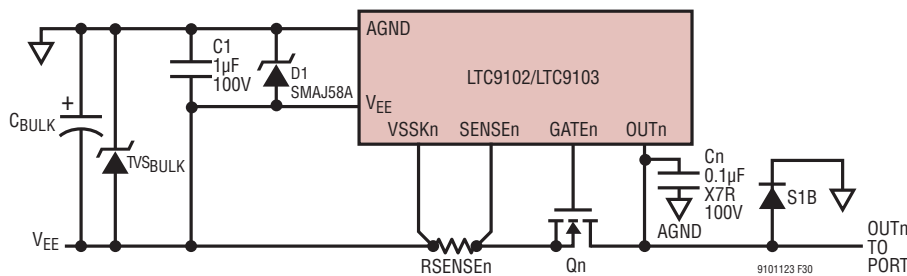


図 30. LTC9102/LTC9103 のサージ保護

表 16. PSE 最大クラスの部品選択

PSE CLASS	SENSE RESISTOR	HOT SWAP MOSFET	FUSE	ETHERNET TRANSFORMER
Class 3	100mΩ, 1%, 50mW	PSMN075-100MSE	SF-0603HI075F-2	7490220120
Class 4	100mΩ, 1%, 100mW	PSMN075-100MSE	SF-0603HI100F-2	7490220121
Class 6	100mΩ, 1%, 100mW	PSMN040-100MSE	SF-0603HI100F-2	7490220121
Class 8	100mΩ, 1%, 200mW	PSMN040-100MSE	SF-0603HI150F-2	7490220122

レイアウト条件

IEEE への準拠、パラメータの測定精度、システムの堅牢性、および放熱などを実現するには、基板レイアウト、部品配置、および配線などに関する条件に厳密に従うことが極めて重要です。レイアウト例については、DC3160A-KIT デモ・キットを参照してください。

ケルビン検出

ポート電流のケルビン検出ラインを正しく接続することは、電流閾値の精度と IEEE への準拠を確保する上で重要です。これらのケルビン検出ラインのレイアウト例については、[図 31](#)を参照してください。LTC9102/LTC9103 の VSSKn ピンは検出抵抗 (VEE 側) パッドにケルビン接続されており、それ以外で VEE の銅領域に接続されていることはありません。同様に、LTC9102/LTC9103 の SENSEn ピンは検出抵抗 (SENSEn 側) にケルビン接続されており、それ以外に電力バスに接続されていることはありません。LTC9102/LTC9103 から検出抵抗 (RSENSEn) への 2 つのケルビン・パターンを [図 31](#) に示します。

高速データ・インターフェース

LTC9101-1/LTC9102/LTC9103 チップセットは、独自の高速マルチドロップ・データ・インターフェースを介して通信を行います。これにより、1 つの LTC9101-1 で最大 4 つの LTC9102/LTC9103 を制御することができます。

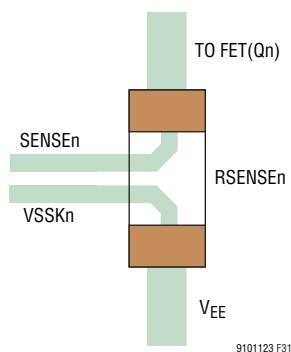


図 31. RSENSE のケルビン接続

それぞれの LTC9102/LTC9103 へのデータ・ラインには、インピーダンス・マッチングされたパターンを使用する必要があります。データ・バスの終端抵抗は、絶縁トランスから最も離れた LTC9102/LTC9103 に配置してください。また、絶縁型アプリケーションの DC バイアス抵抗は、絶縁トランスから最も離れた LTC9102/LTC9103 の CAP3 ピンに接続する必要があります。[図 28](#)と[図 29](#)に示すように、インターフェースは 100Ω の差動伝送ラインで設計して、100Ω の差動終端抵抗を配置します。高速データ・インターフェース・ラインの長さは 16 インチまでとしてください。また、LTC9102/LTC9103 と高速データ・インターフェース間の伝送スタブの数は最小限に抑えてください。

標準的応用例

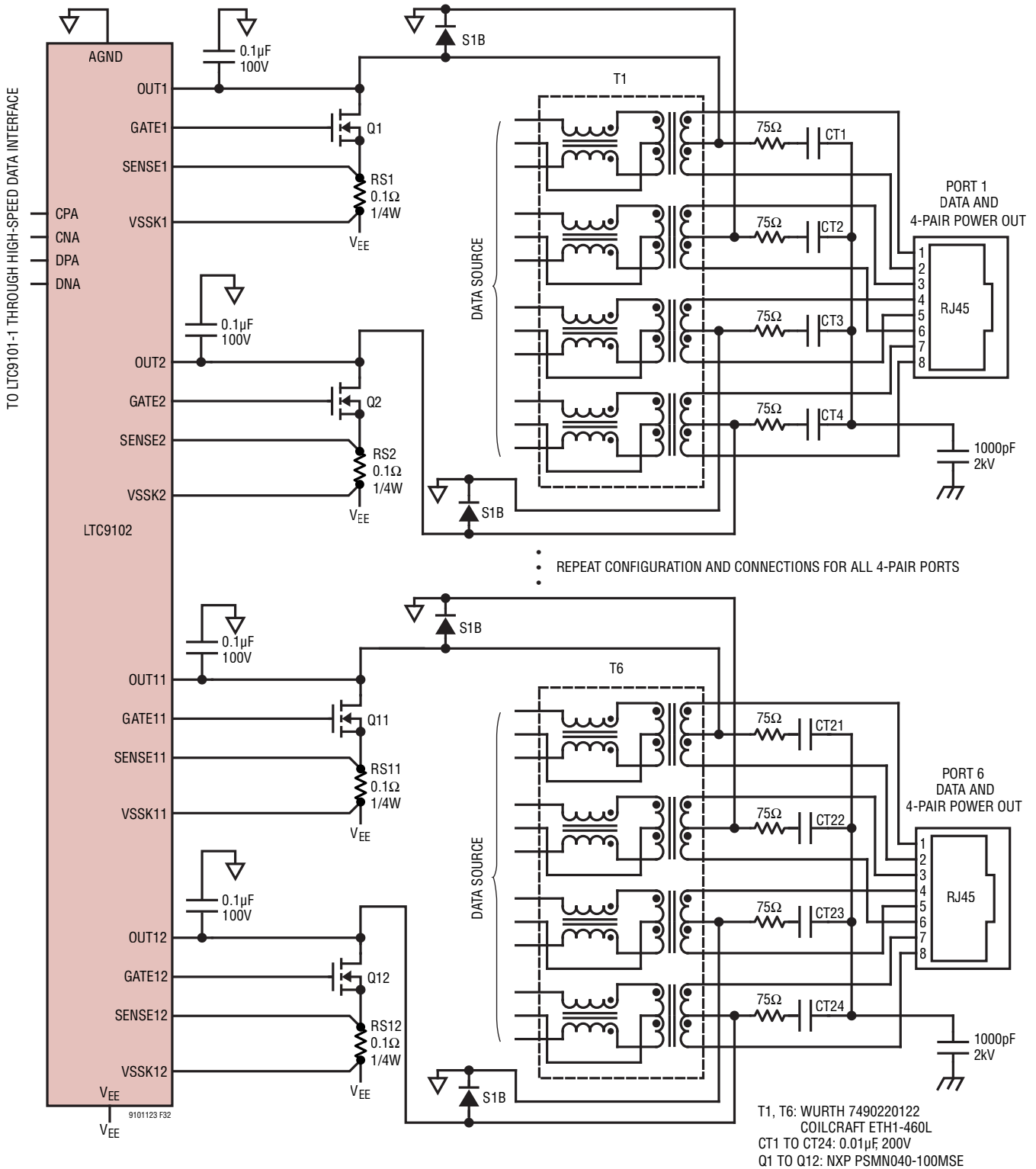


図 32. オルタナティブ A (MDI-X) および B (S)、4ペア、1000BASE-T、IEEE 802.3bt、タイプ 3 またはタイプ 4 PSE。
図にはポート 1 および 6 を示す

標準的応用例

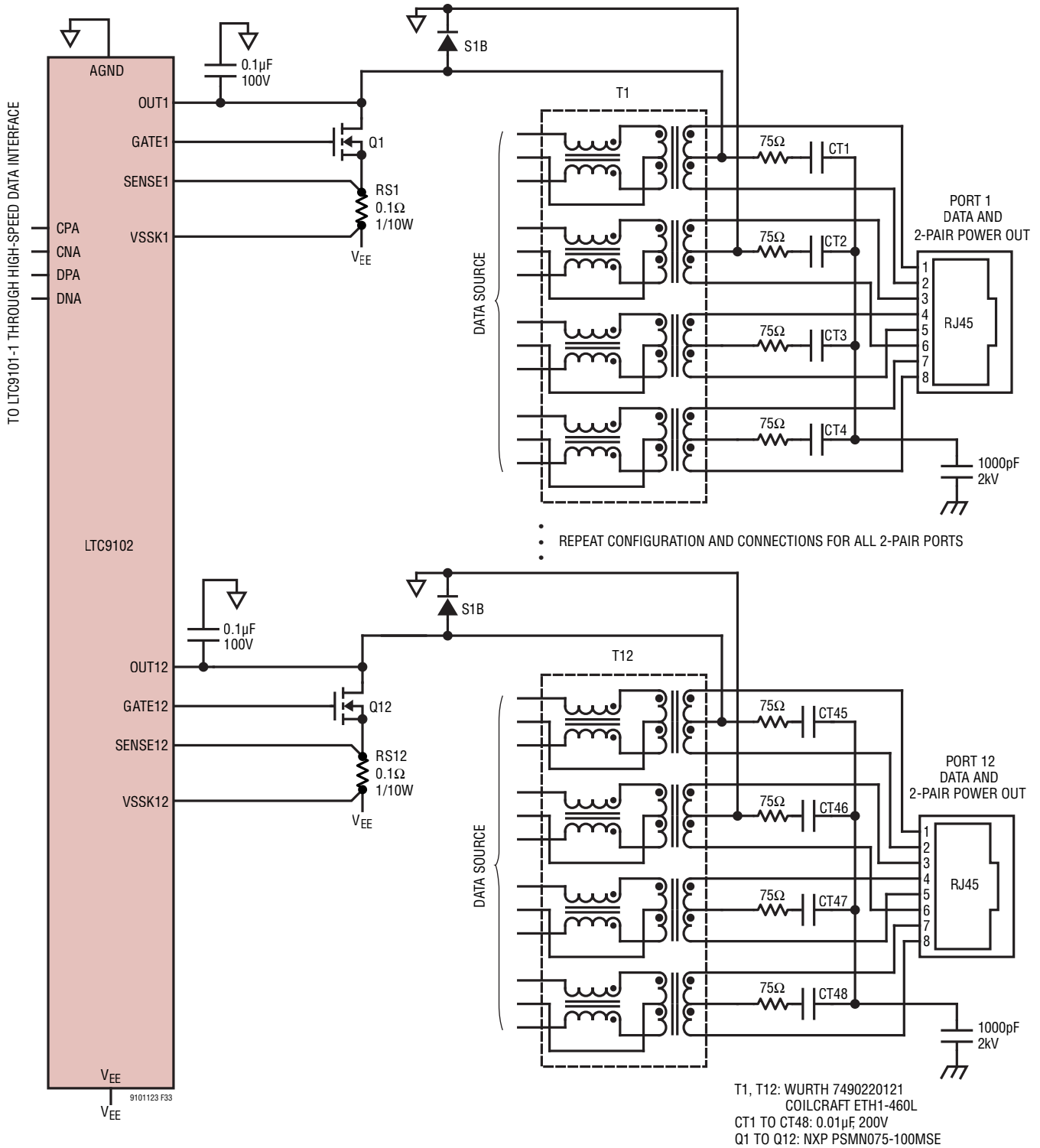
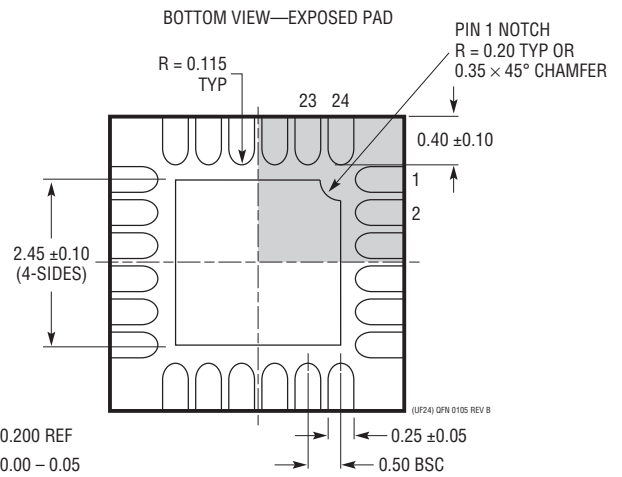
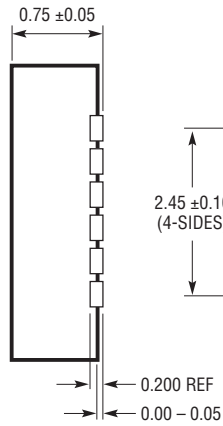
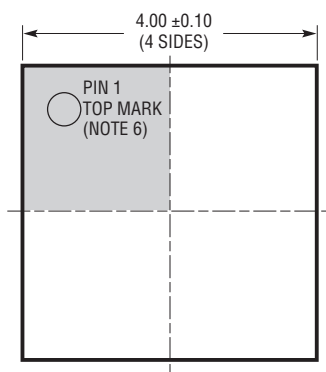
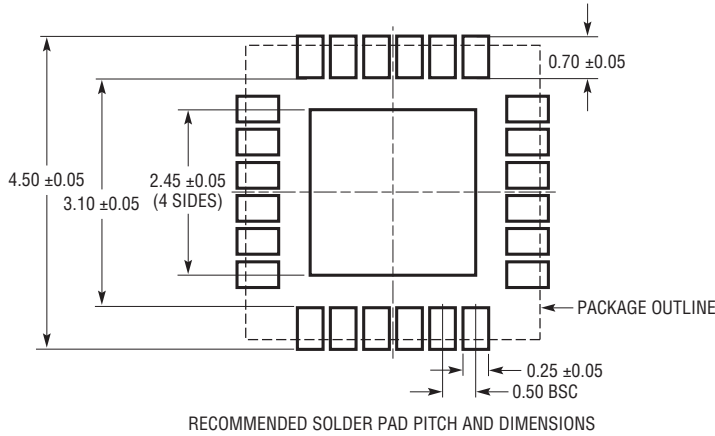


図 33. オルタナティブ A (MDI-X)、2ペア、1000BASE-T、IEEE 802.3bt または IEEE 802.3at PSE。
図にはポート 1 および 12 を示す

LTC9101-1/ LTC9102/LTC9103

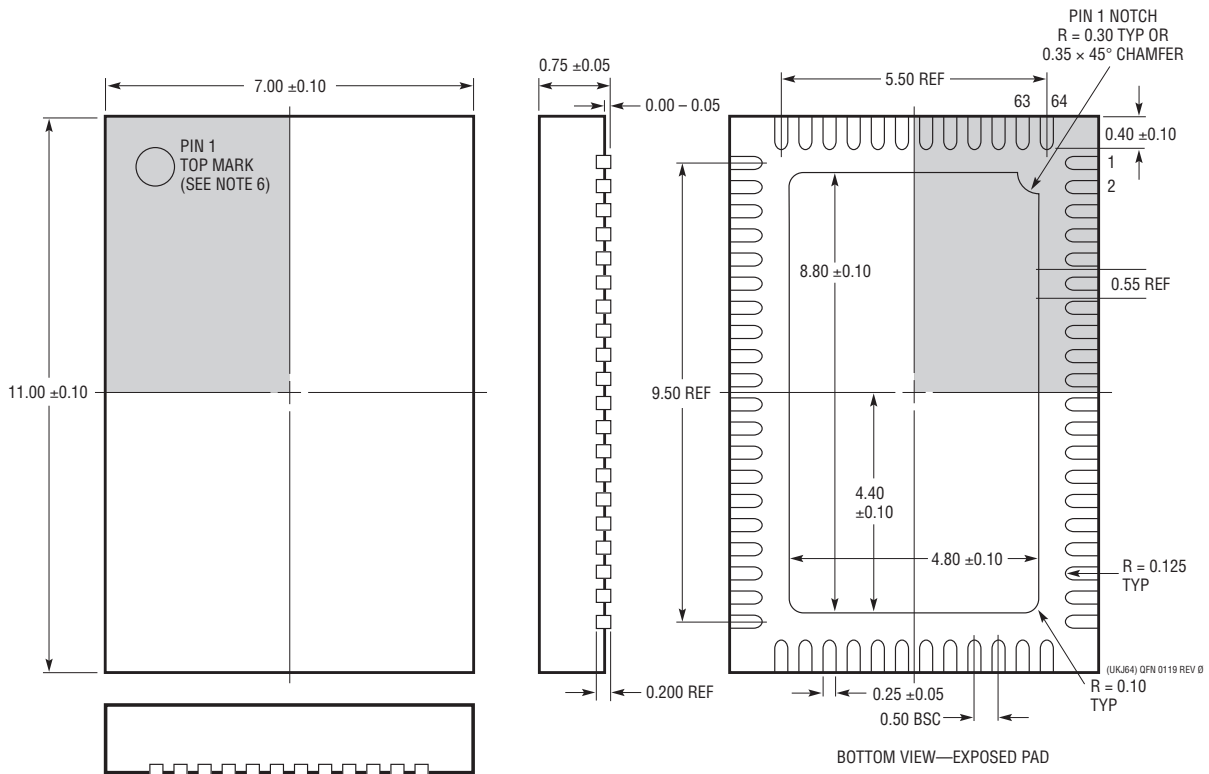
パッケージの説明

UF Package 24-Lead Plastic QFN (4mm × 4mm) (Reference LTC DWG # 05-08-1697 Rev B)



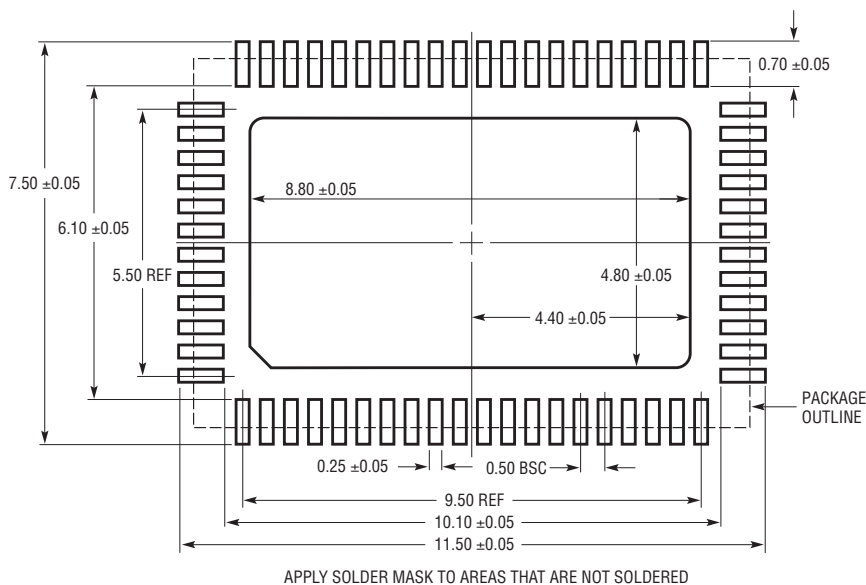
- NOTE:
1. DRAWING PROPOSED TO BE MADE A JEDEC PACKAGE OUTLINE MO-220 VARIATION (WGGD-X)—TO BE APPROVED
 2. DRAWING NOT TO SCALE
 3. ALL DIMENSIONS ARE IN MILLIMETERS
 4. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.15mm ON ANY SIDE, IF PRESENT
 5. EXPOSED PAD SHALL BE SOLDER PLATED
 6. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION ON THE TOP AND BOTTOM OF PACKAGE

パッケージの説明



NOTE:

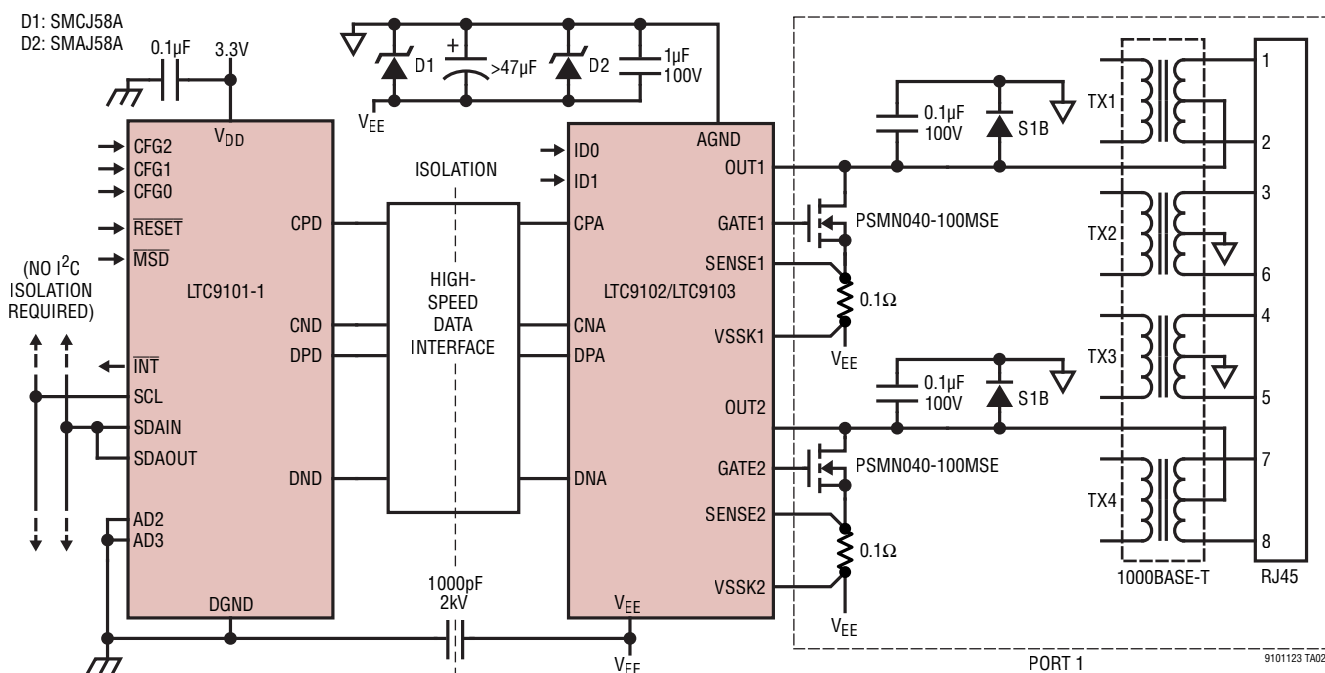
1. DRAWING IS NOT A JEDEC PACKAGE OUTLINE
2. DRAWING NOT TO SCALE
3. ALL DIMENSIONS ARE IN MILLIMETERS
4. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.20mm ON ANY SIDE
5. EXPOSED PAD SHALL BE SOLDER PLATED
6. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION ON THE TOP AND BOTTOM OF PACKAGE



LTC9101-1/ LTC9102/LTC9103

標準的応用例

IEEE 802.3bt タイプ3またはタイプ4PSE、オルタナティブA (MDI-X) およびB (S)、1000BASE-T。図には1ポートのみを示す



関連製品

製品番号	概要	注釈
LTC4292/ LTC4291-1	4ポート IEEE 802.3bt PoE PSE コントローラ	トランス絶縁、ポートごとの14ビット電流モニタリング(電流制限をプログラム可能)、タイプ1~4 PDをサポート
LT4293	LTPoE++/IEEE 802.3bt PD インターフェース・コントローラ	外部スイッチ、LTPoE++およびIEEE 802.3btをサポート、クラス設定と補助電源をサポート
LT4294	IEEE 802.3bt PD コントローラ	外部スイッチ、IEEE 802.3btをサポート、クラス設定と補助電源をサポート
LT4295	フォワード/フライバック・スイッチング・レギュレータ・コントローラ付き IEEE 802.3bt PD	外部スイッチ、IEEE 802.3btをサポート、クラス設定可能、フォワード動作または光アイソレータ不要のフライバック動作、周波数、PG/SG遅延、ソフトスタート、最小9Vの補助電源をサポート(ハウスキーピング降圧電源とスロープ補償回路を内蔵)
LTC4290/ LTC4271	8ポート PoE/PoE+/LTPoE++ PSE コントローラ	IEEE 802.3af、IEEE 802.3at、LTPoE++ PDをサポート、トランス絶縁
LTC4257-1	IEEE 802.3af PD インターフェース・コントローラ	100V、400mAのスイッチを内蔵、デュアル電流制限、クラス設定可能
LTC4263	シングル IEEE 802.3af PSE コントローラ	FETスイッチ内蔵
LTC4265	IEEE 802.3at PD インターフェース・コントローラ	100V、1Aのスイッチを内蔵、2イベント分類認識
LTC4266	クワッド IEEE 802.3at PoE PSE コントローラ	プログラマブル I _{CUT} /I _{LIM} 、2イベント分類、ポート電流および電圧のモニタリング
LTC4267	スイッチング・レギュレータ内蔵の IEEE 802.3af PD インターフェース	100V、400mAのスイッチを内蔵、デュアル突入電流、クラス設定可能
LTC4270/ LTC4271	12ポート PoE/PoE+/LTPoE++ [®] PSE コントローラ	タイプ1、タイプ2、LTPoE++ PDをサポート、トランス絶縁
LTC4278	フライバック・スイッチング・レギュレータ内蔵の IEEE 802.3at PD インターフェース	2イベント分類、クラス設定可能、光アイソレータ不要の同期整流式フライバック・コントローラ、50kHz~250kHz、12V補助電源をサポート
LTC4279	シングル PoE/PoE+/LTPoE++ PSE コントローラ	IEEE 802.3af、IEEE 802.3at、LTPoE++、および独自設計のPDをサポート