

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2020年8月14日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2020年8月14日

製品名：LT3042

対象となるデータシートのリビジョン(Rev)：Rev.B

訂正箇所：

P.2

英文データシートでは、発注情報の注に無鉛品のマーキングに関するリンクが存在しますが、現在弊社の Web site には該当するページは存在しません。このため、日本語版 Rev.B のデータシートでは、この記述が混乱を招くと判断して、この部分を削除いたしました。

20V、200mA、超低ノイズ、 超高 PSRR の RF リニア電圧レギュレータ

特長

- 超低 RMS ノイズ: 0.8μV_{RMS} (10Hz~100kHz)
- 超低スポット・ノイズ: 2nV/√Hz (10kHz 時)
- 超高 PSRR: 79dB (1MHz 時)
- 出力電流: 200mA
- 広い入力電圧範囲: 1.8V~20V
- 単一コンデンサによるノイズと PSRR の改善
- SET ピンの電流: 100μA 初期精度: ±1%
- 単一抵抗による出力電圧の設定
- 広帯域幅: 1MHz
- プログラマブルな電流制限
- 低ドロップアウト電圧: 350mV
- 出力電圧範囲: 0V~15V
- プログラマブルなパワーグッド
- 高速起動機能
- 高精度イネーブル/UVLO
- 並列接続による低ノイズおよび大電流への対応
- フォールドバック付き内部電流制限
- 最小出力コンデンサ: 4.7μF (セラミック)
- バッテリ逆接続保護および逆電流保護
- 10ピンMSOPパッケージおよび3mm×3mm DFNパッケージ

アプリケーション

- RF 電源: PLL、VCO、ミキサ、LNA
- 超低ノイズ計測器
- 高速/高精度データ・コンバータ
- 医療用アプリケーション: 撮像、診断
- 高精度電源
- スイッチング電源用のポスト・レギュレータ

概要

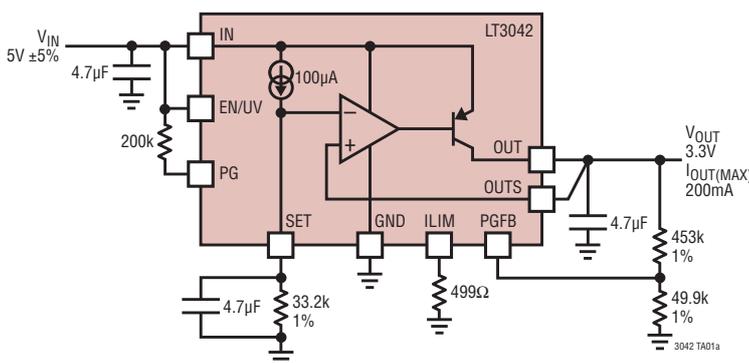
LT[®]3042 は高性能の低ドロップアウト・リニア電圧レギュレータで、アナログ・デバイス級の超低ノイズおよび超高 PSRR アーキテクチャを特長としており、ノイズの影響を受けやすい RF アプリケーションの電力供給に対応します。後段に高性能の電圧バッファがある高精度の電流リファレンスとして設計されているので、LT3042 は並列接続が容易であり、ノイズの低減、出力電流の増大、PCB 上での熱放散をさらに向上することができます。

このデバイスは、標準で 350mV のドロップアウト電圧のとき 200mA を供給します。動作中の静止電流は公称 2mA で、シャットダウン時は 1μA よりはるかに小さくなります。LT3042 は出力電圧範囲が広い (0V~15V) 上にユニティ・ゲイン動作を維持するので、設定出力電圧に関係なく、出力ノイズ、PSRR、帯域幅、負荷レギュレーションがほぼ一定になります。さらに、このレギュレータは、プログラマブルな電流制限、高速起動機能、およびプログラマブルなパワーグッドによる出力電圧レギュレーションの表示といった特長も備えています。

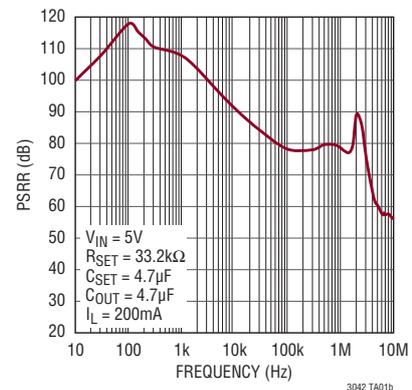
LT3042 は最小 4.7μF のセラミック出力コンデンサで安定します。内蔵の保護回路には、逆バッテリー保護回路、逆電流保護回路、フォールドバック特性の内部電流制限回路、およびヒステリシスのある熱制限回路があります。LT3042 は、熱特性が改善された 10ピンMSOP パッケージおよび 3mm × 3mm DFN パッケージで供給されます。

全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。特許出願中。

標準的応用例



電源リップル除去比

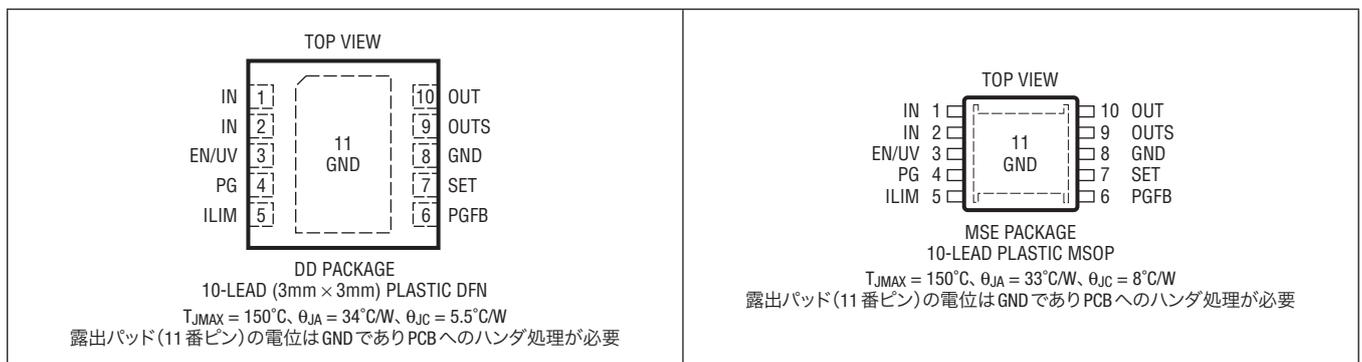


LT3042

絶対最大定格 (Note 1)

INピンの電圧.....	±22V	OUT-OUTS間の電圧差 (Note 14).....	±1.2V
EN/UVピンの電圧.....	±22V	IN-OUT間の電圧差.....	±22V
IN-EN/UV間の電圧差.....	±22V	IN-OUTS間の電圧差.....	±22V
PGピンの電圧 (Note 10).....	-0.3V、22V	出力短絡時間.....	無期限
ILIMピンの電圧 (Note 10).....	-0.3V、1V	動作ジャンクション温度範囲 (Note 9)	
PGFBピンの電圧 (Note 10).....	-0.3V、22V	Eグレード、Iグレード.....	-40°C~125°C
SETピンの電圧 (Note 10).....	-0.3V、16V	Hグレード.....	-40°C~150°C
SETピンの電流 (Note 7).....	±20mA	MPグレード.....	-55°C~150°C
OUTSピンの電圧 (Note 10).....	-0.3V、16V	保存温度範囲.....	-65°C~150°C
OUTSピンの電流 (Note 7).....	±20mA	リード温度 (ハンダ処理、10秒)	
OUTピンの電圧 (Note 10).....	-0.3V、16V	MSEパッケージ.....	300°C

ピン配置



発注情報

<http://www.analog.com/jp/products/LT3042.html#product-samplebuy>

鉛フリー仕上げ	テープ&リール	製品マーキング*	パッケージ	温度範囲
LT3042EDD#PBF	LT3042EDD#TRPBF	LGSJ	10-Lead (3mm × 3mm) Plastic DFN	-40°C to 125°C
LT3042IDD#PBF	LT3042IDD#TRPBF	LGSJ	10-Lead (3mm × 3mm) Plastic DFN	-40°C to 125°C
LT3042HDD#PBF	LT3042HDD#TRPBF	LGSJ	10-Lead (3mm × 3mm) Plastic DFN	-40°C to 150°C
LT3042MPDD#PBF	LT3042MPDD#TRPBF	LGSJ	10-Lead (3mm × 3mm) Plastic DFN	-55°C to 150°C
LT3042EMSE#PBF	LT3042EMSE#TRPBF	LTGSH	10-Lead Plastic MSOP	-40°C to 125°C
LT3042IMSE#PBF	LT3042IMSE#TRPBF	LTGSH	10-Lead Plastic MSOP	-40°C to 125°C
LT3042HMSE#PBF	LT3042HMSE#TRPBF	LTGSH	10-Lead Plastic MSOP	-40°C to 150°C
LT3042MPMSE#PBF	LT3042MPMSE#TRPBF	LTGSH	10-Lead Plastic MSOP	-55°C to 150°C

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

テープ&リールの仕様の詳細については、<https://www.analog.com/media/en/package-pcb-resources/package/tape-reel-rev-n.pdf>をご覧ください。一部のパッケージは、#TRMPBF接尾部の付いた指定の販売経路を通じて500個入りのリールで供給可能です。

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS	
Minimum IN Pin Voltage (Note 2)	$I_{LOAD} = 200\text{mA}$, V_{IN} UVLO Rising V_{IN} UVLO Hysteresis	●		1.78 75	2	V mV	
SET Pin Current (I_{SET})	$V_{IN} = 2\text{V}$, $I_{LOAD} = 1\text{mA}$, $V_{OUT} = 1.3\text{V}$ $2\text{V} < V_{IN} < 20\text{V}$, $0\text{V} < V_{OUT} < 15\text{V}$, $1\text{mA} < I_{LOAD} < 200\text{mA}$ (Note 3)	●	99 98	100 100	101 102	μA μA	
Fast Start-Up Set Pin Current	$V_{PGFB} = 289\text{mV}$, $V_{IN} = 2.8\text{V}$, $V_{SET} = 1.3\text{V}$			2		mA	
Output Offset Voltage V_{OS} ($V_{OUT} - V_{SET}$) (Note 4)	$V_{IN} = 2\text{V}$, $I_{LOAD} = 1\text{mA}$, $V_{OUT} = 1.3\text{V}$ $2\text{V} < V_{IN} < 20\text{V}$, $0\text{V} < V_{OUT} < 15\text{V}$, $1\text{mA} < I_{LOAD} < 200\text{mA}$ (Note 3)	●	-1 -2		1 2	mV mV	
Line Regulation: ΔI_{SET}	$V_{IN} = 2\text{V}$ to 20V , $I_{LOAD} = 1\text{mA}$, $V_{OUT} = 1.3\text{V}$	●		0.5	± 2	nA/V	
Line Regulation: ΔV_{OS}	$V_{IN} = 2\text{V}$ to 20V , $I_{LOAD} = 1\text{mA}$, $V_{OUT} = 1.3\text{V}$ (Note 4)	●		0.5	± 3	$\mu\text{V/V}$	
Load Regulation: ΔI_{SET}	$I_{LOAD} = 1\text{mA}$ to 200mA , $V_{IN} = 2\text{V}$, $V_{OUT} = 1.3\text{V}$	●		3		nA	
Load Regulation: ΔV_{OS}	$I_{LOAD} = 1\text{mA}$ to 200mA , $V_{IN} = 2\text{V}$, $V_{OUT} = 1.3\text{V}$ (Note 4)	●		0.1	0.5	mV	
Change in I_{SET} with V_{SET}	$V_{SET} = 1.3\text{V}$ to 15V , $V_{IN} = 20\text{V}$, $I_{LOAD} = 1\text{mA}$	●		30	400	nA	
Change in V_{OS} with V_{SET}	$V_{SET} = 1.3\text{V}$ to 15V , $V_{IN} = 20\text{V}$, $I_{LOAD} = 1\text{mA}$ (Note 4)	●		0.03	0.6	mV	
Change in I_{SET} with V_{SET}	$V_{SET} = 0\text{V}$ to 1.3V , $V_{IN} = 20\text{V}$, $I_{LOAD} = 1\text{mA}$	●		150	600	nA	
Change in V_{OS} with V_{SET}	$V_{SET} = 0\text{V}$ to 1.3V , $V_{IN} = 20\text{V}$, $I_{LOAD} = 1\text{mA}$ (Note 4)	●		0.3	2	mV	
Dropout Voltage	$I_{LOAD} = 1\text{mA}$, 50mA	●		220	270 300	mV mV	
	$I_{LOAD} = 150\text{mA}$ (Note 5)			270		mV	
	$I_{LOAD} = 200\text{mA}$ (Note 5)			350		mV	
GND Pin Current $V_{IN} = V_{OUT(NOMINAL)}$ (Note 6)	$I_{LOAD} = 10\mu\text{A}$	●		1.9		mA	
	$I_{LOAD} = 1\text{mA}$	●		2	3.5	mA	
	$I_{LOAD} = 50\text{mA}$	●		3.2	5	mA	
	$I_{LOAD} = 100\text{mA}$	●		4.5	7	mA	
	$I_{LOAD} = 200\text{mA}$	●		7.6	13	mA	
Output Noise Spectral Density (Notes 4, 8)	$I_{LOAD} = 200\text{mA}$, Frequency = 10Hz , $C_{OUT} = 4.7\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$, $V_{OUT} = 3.3\text{V}$			300		$\text{nV}/\sqrt{\text{Hz}}$	
	$I_{LOAD} = 200\text{mA}$, Frequency = 10Hz , $C_{OUT} = 4.7\mu\text{F}$, $C_{SET} = 4.7\mu\text{F}$, $1.3\text{V} \leq V_{OUT} \leq 15\text{V}$			60		$\text{nV}/\sqrt{\text{Hz}}$	
	$I_{LOAD} = 200\text{mA}$, Frequency = 10kHz , $C_{OUT} = 4.7\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$, $1.3\text{V} \leq V_{OUT} \leq 15\text{V}$			2		$\text{nV}/\sqrt{\text{Hz}}$	
	$I_{LOAD} = 200\text{mA}$, Frequency = 10kHz , $C_{OUT} = 4.7\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$, $0\text{V} \leq V_{OUT} < 1.3\text{V}$			5		$\text{nV}/\sqrt{\text{Hz}}$	
Output RMS Noise (Notes 4, 8)	$I_{LOAD} = 200\text{mA}$, BW = 10Hz to 100kHz , $C_{OUT} = 4.7\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$, $V_{OUT} = 3.3\text{V}$			1.9		μV_{RMS}	
	$I_{LOAD} = 200\text{mA}$, BW = 10Hz to 100kHz , $C_{OUT} = 4.7\mu\text{F}$, $C_{SET} = 4.7\mu\text{F}$, $1.3\text{V} \leq V_{OUT} \leq 15\text{V}$			0.8		μV_{RMS}	
	$I_{LOAD} = 200\text{mA}$, BW = 10Hz to 100kHz , $C_{OUT} = 4.7\mu\text{F}$, $C_{SET} = 4.7\mu\text{F}$, $0\text{V} \leq V_{OUT} < 1.3\text{V}$			1.6		μV_{RMS}	
Reference Current RMS Output Noise (Notes 4, 8)	BW = 10Hz to 100kHz			6		nA_{RMS}	
Ripple Rejection $1.3\text{V} \leq V_{OUT} \leq 15\text{V}$ $V_{IN} - V_{OUT} = 2\text{V}$ (Avg) (Notes 4, 15)	$V_{RIPPLE} = 500\text{mVp-p}$, $f_{RIPPLE} = 120\text{Hz}$, $I_{LOAD} = 200\text{mA}$, $C_{OUT} = 4.7\mu\text{F}$, $C_{SET} = 4.7\mu\text{F}$		95	117		dB	
	$V_{RIPPLE} = 150\text{mVp-p}$, $f_{RIPPLE} = 10\text{kHz}$, $I_{LOAD} = 200\text{mA}$, $C_{OUT} = 4.7\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$			91		dB	
	$V_{RIPPLE} = 150\text{mVp-p}$, $f_{RIPPLE} = 100\text{kHz}$, $I_{LOAD} = 200\text{mA}$, $C_{OUT} = 4.7\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$				78		dB
	$V_{RIPPLE} = 150\text{mVp-p}$, $f_{RIPPLE} = 1\text{MHz}$, $I_{LOAD} = 200\text{mA}$, $C_{OUT} = 4.7\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$				79		dB
	$V_{RIPPLE} = 80\text{mVp-p}$, $f_{RIPPLE} = 10\text{MHz}$, $I_{LOAD} = 200\text{mA}$, $C_{OUT} = 4.7\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$				56		dB
Ripple Rejection $0\text{V} \leq V_{OUT} < 1.3\text{V}$ $V_{IN} - V_{OUT} = 2\text{V}$ (Avg) (Notes 4, 8)	$V_{RIPPLE} = 500\text{mVp-p}$, $f_{RIPPLE} = 120\text{Hz}$, $I_{LOAD} = 200\text{mA}$, $C_{OUT} = 4.7\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$			104		dB	
	$V_{RIPPLE} = 50\text{mVp-p}$, $f_{RIPPLE} = 10\text{kHz}$, $I_{LOAD} = 200\text{mA}$, $C_{OUT} = 4.7\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$			85		dB	
	$V_{RIPPLE} = 50\text{mVp-p}$, $f_{RIPPLE} = 100\text{kHz}$, $I_{LOAD} = 200\text{mA}$, $C_{OUT} = 4.7\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$				73		dB
	$V_{RIPPLE} = 50\text{mVp-p}$, $f_{RIPPLE} = 1\text{MHz}$, $I_{LOAD} = 200\text{mA}$, $C_{OUT} = 4.7\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$				72		dB
	$V_{RIPPLE} = 50\text{mVp-p}$, $f_{RIPPLE} = 10\text{MHz}$, $I_{LOAD} = 200\text{mA}$, $C_{OUT} = 4.7\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$				57		dB
EN/UV Pin Threshold	EN/UV Trip Point Rising (Turn-On), $V_{IN} = 2\text{V}$	●	1.18	1.24	1.32	V	
EN/UV Pin Hysteresis	EN/UV Trip Point Hysteresis, $V_{IN} = 2\text{V}$			170		mV	
EN/UV Pin Current	$V_{EN/UV} = 0\text{V}$, $V_{IN} = 20\text{V}$	●			± 1	μA	
	$V_{EN/UV} = 1.24\text{V}$, $V_{IN} = 20\text{V}$	●		0.2		μA	
	$V_{EN/UV} = 20\text{V}$, $V_{IN} = 0\text{V}$	●		8	15	μA	

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Quiescent Current in Shutdown ($V_{EN/UV} = 0V$)	$V_{IN} = 6V$	●		0.3	1 10	μA μA
Internal Current Limit (Note 12)	$V_{IN} = 2V, V_{OUT} = 0V$	●	220	270	320	mA
	$V_{IN} = 12V, V_{OUT} = 0V$			300		mA
	$V_{IN} = 20V, V_{OUT} = 0V$	●	130	180	250	mA
Programmable Current Limit	Programming Scale Factor: $2V < V_{IN} < 20V$ (Note 11)			125		$\text{mA} \cdot \text{k}\Omega$
	$V_{IN} = 2V, V_{OUT} = 0V, R_{ILIM} = 625\Omega$	●	180	200	220	mA
	$V_{IN} = 2V, V_{OUT} = 0V, R_{ILIM} = 2.5\text{k}\Omega$	●	45	50	55	mA
PGFB Trip Point	PGFB Trip Point Rising	●	291	300	309	mV
PGFB Hysteresis	PGFB Trip Point Hysteresis			7		mV
PGFB Pin Current	$V_{IN} = 2V, V_{PGFB} = 300\text{mV}$			25		nA
PG Output Low Voltage	$I_{PG} = 100\mu\text{A}$	●		30	100	mV
PG Leakage Current	$V_{PG} = 20V$	●			1	μA
Reverse Input Current	$V_{IN} = -20V, V_{EN/UV} = 0V, V_{OUT} = 0V, V_{SET} = 0V$	●			50	μA
Reverse Output Current	$V_{IN} = 0, V_{OUT} = 5V, SET = \text{Open}$			2	5	μA
Minimum Load Required (Note 13)	$V_{OUT} < 1V$	●	10			μA
Thermal Shutdown	T_J Rising Hysteresis			162		$^\circ\text{C}$
				8		$^\circ\text{C}$
Start-Up Time	$V_{OUT(NOM)} = 5V, I_{LOAD} = 200\text{mA}, C_{SET} = 0.47\mu\text{F}, V_{IN} = 6V, V_{PGFB} = 6V$ $V_{OUT(NOM)} = 5V, I_{LOAD} = 200\text{mA}, C_{SET} = 4.7\mu\text{F}, V_{IN} = 6V, V_{PGFB} = 6V$ $V_{OUT(NOM)} = 5V, I_{LOAD} = 200\text{mA}, C_{SET} = 4.7\mu\text{F}, V_{IN} = 6V, R_{PG1} = 50\text{k}\Omega, R_{PG2} = 700\text{k}\Omega$ (with Fast Start-Up to 90% of V_{OUT})			55		ms
				550		ms
				10		ms
Thermal Regulation	10ms Pulse			-0.01		$\%/W$

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: デバイスを確実に動作させるには、EN/UVピンの閾値を満たす必要がある。

Note 3: 動作条件は最大ジャンクション温度によって制限される。特に内部の電流制限フォールドバックにより、 $V_{IN} - V_{OUT} \geq 12V$ の場合に電流制限値が減少するため、入力電圧と出力電流の可能な全ての組み合わせに対して安定化出力電圧規格が適用されるわけではない。最大出力電流で動作している場合は、入力電圧範囲を制限する。最大入力電圧で動作している場合は、出力電流範囲を制限する。

Note 4: OUTS は OUT に直接接続する。

Note 5: ドロップアウト電圧とは、規定の出力電流でレギュレーションを維持するのに必要な入出力間の最小電圧差のことである。ドロップアウト電圧は出力がレギュレーションから1%外れたときに測定される。この定義では、($V_{IN} = V_{OUT(NOMINAL)}$)のときに測定される)ハード・ドロップアウトと比較してドロップアウト電圧が高くなる。出力電圧が低い(1.5V未満)場合、ドロップアウト電圧は最小入力電圧規格によって制限される。**アナログ・デバイス**は、パッケージ・ピンのケルビン検出による出荷テストの制約が原因で、大電流での最大ドロップアウト電圧仕様を保証できない。標準的応用例の回路で測定した、出力負荷電流および温度の関数としてのドロップアウト電圧の曲線については、代表的な性能特性を参照。

Note 6: GNDピン電流は $V_{IN} = V_{OUT(NOMINAL)}$ および電流源負荷でテストされる。したがって、デバイスはドロップアウト電圧の条件で動作しているときにテストされる。これは最も厳しい条件下のGNDピン電流である。入力電圧が高くなると、GNDピン電流は減少する。GNDピン電流にはSETピン電流もILIMピン電流も含まれないが、静止電流には含まれることに注意。

Note 7: SETピンとOUTSピンはダイオードと2本の25 Ω 直列抵抗を使用してクランプされる。5ms未満のトランジェントでは、このクランプ回路が定格を超える電流を流すことができる。詳細については、アプリケーション情報を参照。

Note 8: SETピンの抵抗と並列にコンデンサを追加すると、出力電圧ノイズは減少する。このコンデンサを追加すると、SETピンの抵抗の熱ノイズおよびリファレンス電流のノイズがバイパスされる。こうすると、出力ノイズはエラーアンプのノイズと等しくなる。SETピンにバイパス・コンデンサを使用すると、起動時間も増加する。

Note 9: LT3042は T_J が T_A にほぼ等しくなるようなパルス負荷条件でテストされ、規定されている。LT3042Eは25 $^\circ\text{C}$ で全数テストを実施済みであり、0 $^\circ\text{C}$ ~125 $^\circ\text{C}$ で性能が確認されている。-40 $^\circ\text{C}$ ~125 $^\circ\text{C}$ の動作温度範囲での仕様は設計、特性評価および統計学的なプロセス・コントロールとの関連で確認されている。LT3042Iは-40 $^\circ\text{C}$ ~125 $^\circ\text{C}$ の全動作温度範囲で動作することが確認されている。LT3042MPは-55 $^\circ\text{C}$ ~150 $^\circ\text{C}$ の全動作温度範囲で全数テストされ、確認されている。LT3042Hは150 $^\circ\text{C}$ の動作ジャンクション温度で全数テストされる。ジャンクション温度が高いと、動作寿命は短くなる。125 $^\circ\text{C}$ を超えるジャンクション温度では動作寿命がデレーティングされる。

電気的特性

Note 10: ILIM、PG、PGFB、SET、OUTS、OUTの各ピンとGNDピンの間には、内部に寄生ダイオードが存在する。フォルト状態時には、これらのピンをGNDピンの電圧より0.3Vを超えて低い電圧に駆動してはならない。通常動作時は、これらのピンの電圧を、GNDより高い電圧に留める必要がある。

Note 11: 電流制限の設定スケール係数は、内部バックアップ電流制限がアクティブではない場合に規定される。 $V_{IN} - V_{OUT}$ の電圧差が12Vを超える場合、内部電流制限にはフォールドバック保護が存在することに注意すること。

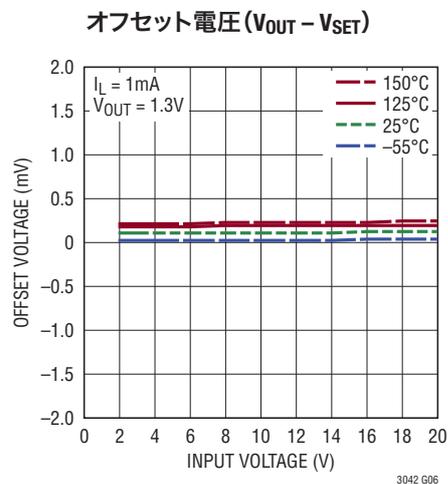
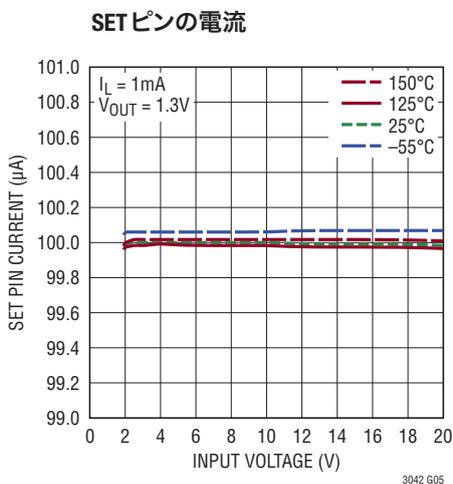
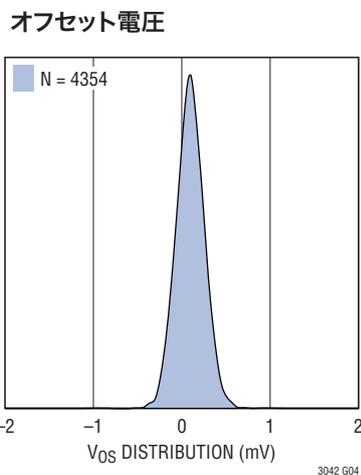
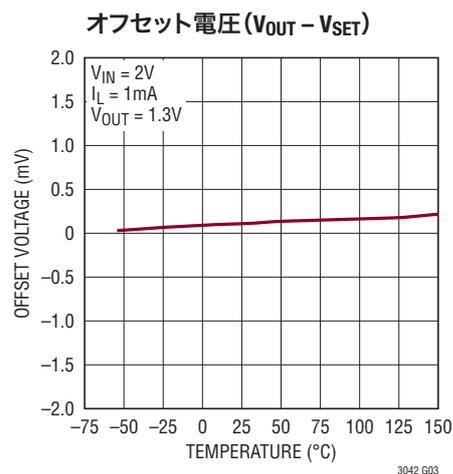
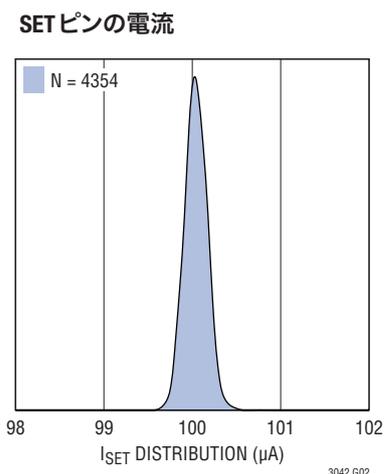
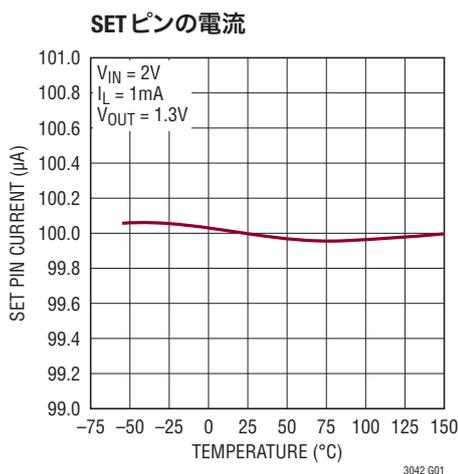
Note 12: 内部のバックアップ電流制限回路には、 $V_{IN} - V_{OUT} > 12V$ の場合に電流が減少するフォールドバック保護回路が組み込まれている。 $V_{IN} - V_{OUT}$ の全ての差動電圧で一定レベルの出力電流が供給される。電流制限と $V_{IN} - V_{OUT}$ の関係については、代表的な性能特性のグラフを参照。

Note 13: 出力電圧が1V未満の場合、LT3042は安定性確保のため10 μ Aの最小負荷電流が必要。

Note 14: OUT-OUTS間の最大電圧差は設計で確認されている。

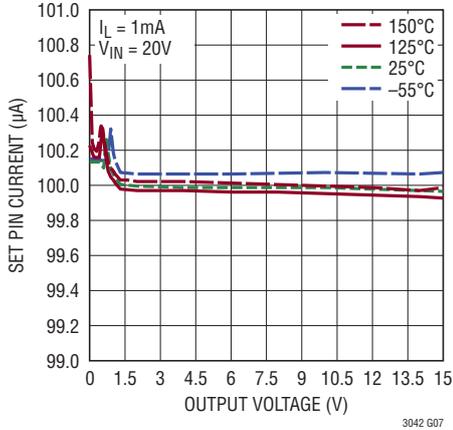
Note 15: 120HzでのPSRRは、設計、特性評価および統計学的なプロセス・コントロールとの相関で確認されている。

代表的な性能特性 注記がない限り、 $T_J = 25^\circ\text{C}$ 。

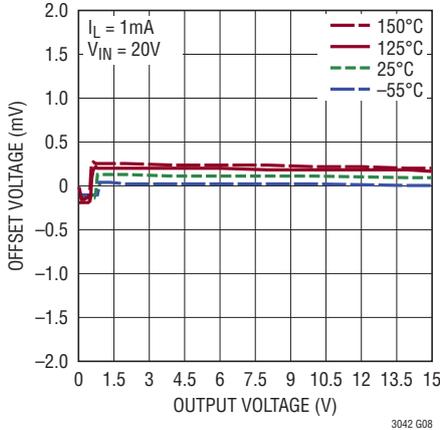


代表的な性能特性 注記がない限り、 $T_J = 25^\circ\text{C}$ 。

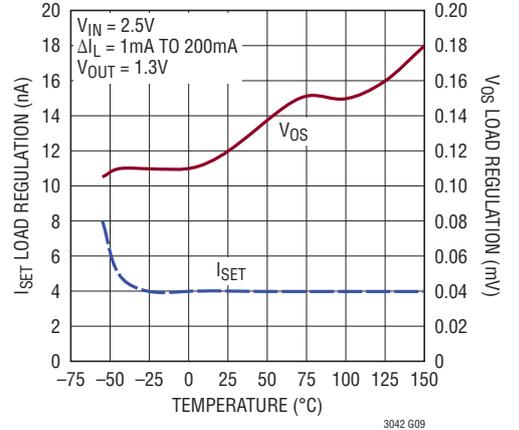
SETピンの電流



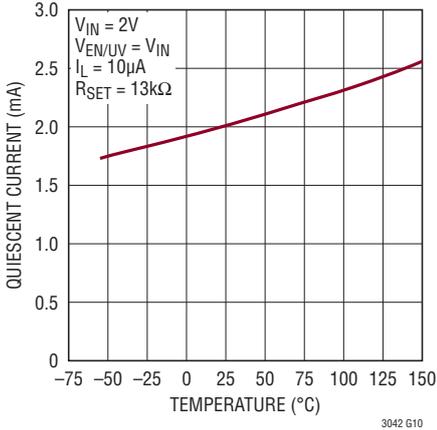
オフセット電圧 ($V_{OUT} - V_{SET}$)



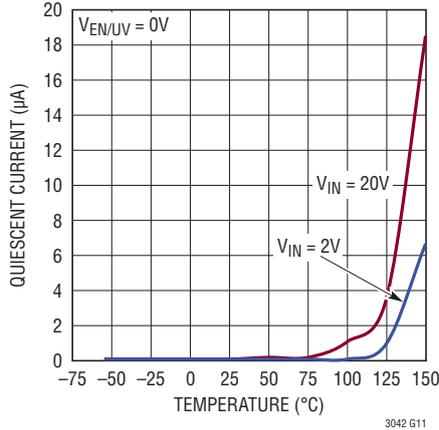
負荷レギュレーション



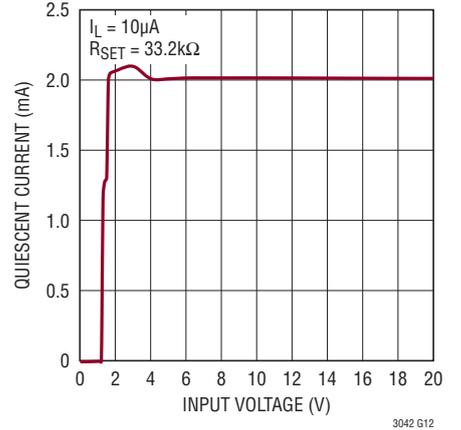
静止電流



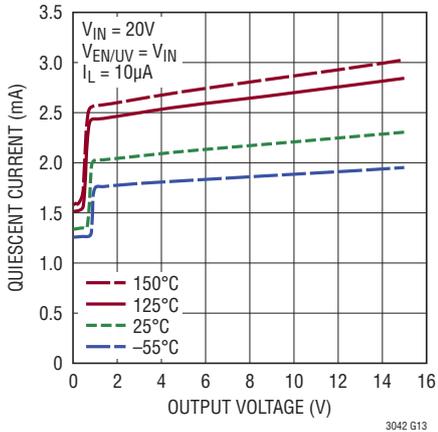
シャットダウン時の静止電流



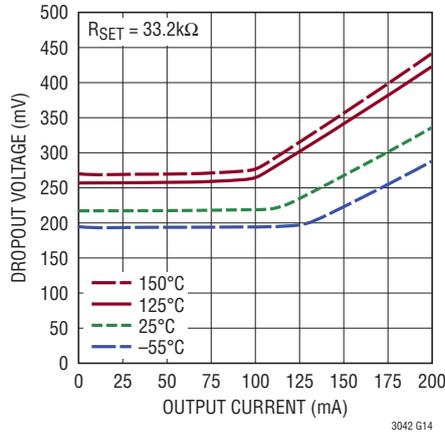
静止電流



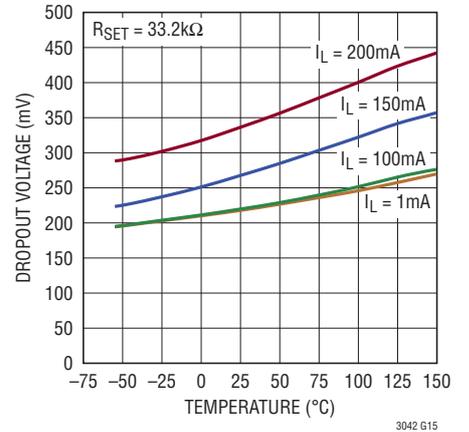
静止電流



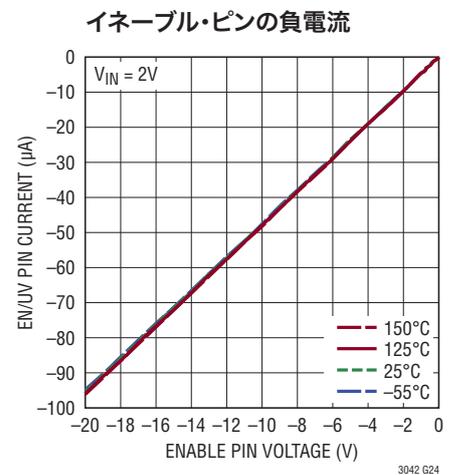
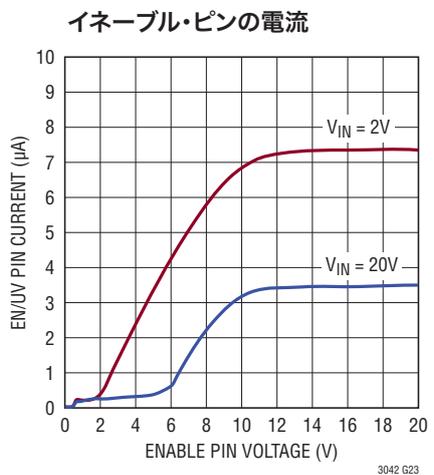
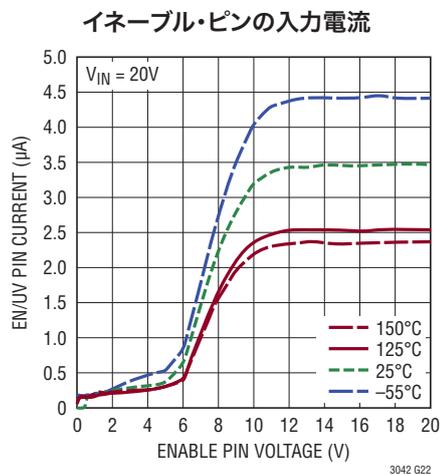
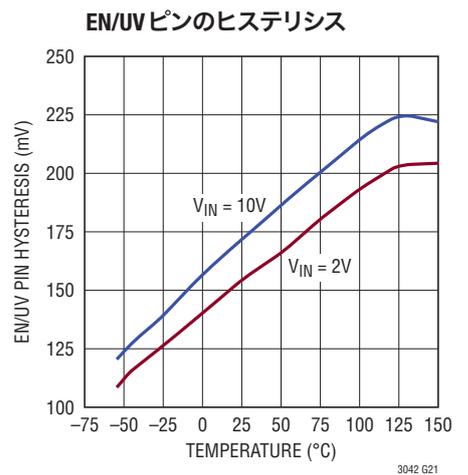
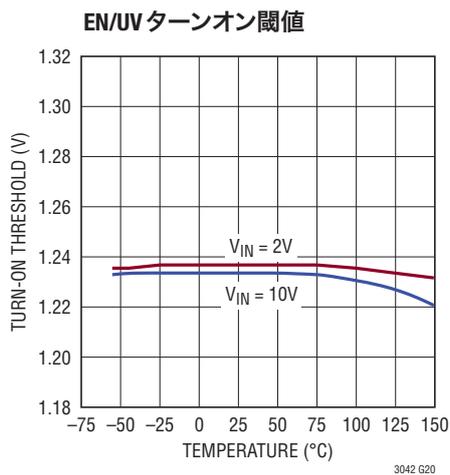
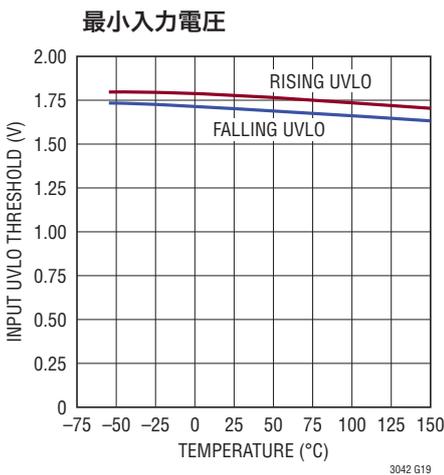
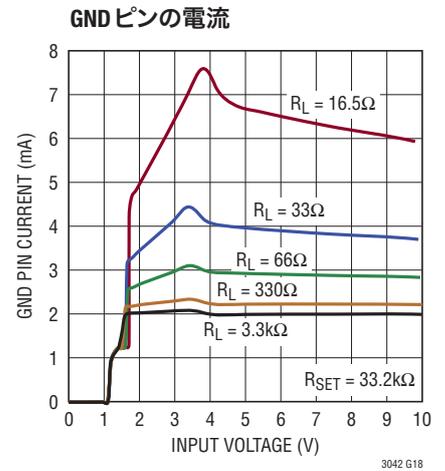
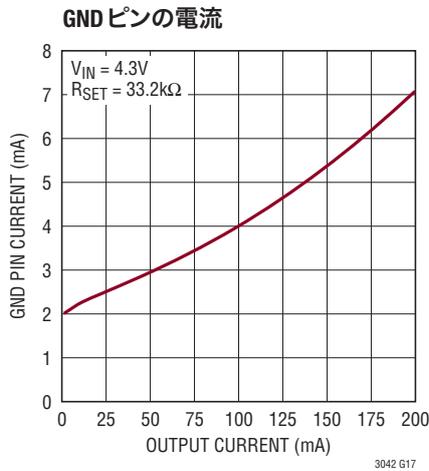
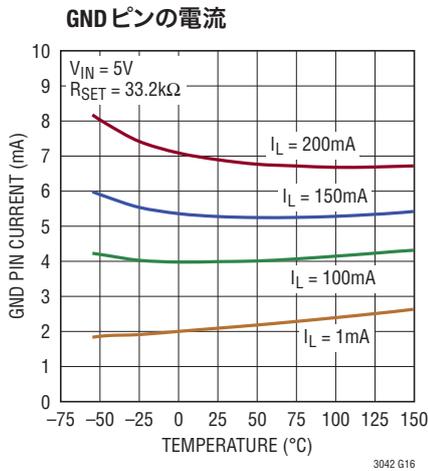
標準的ドロップアウト電圧



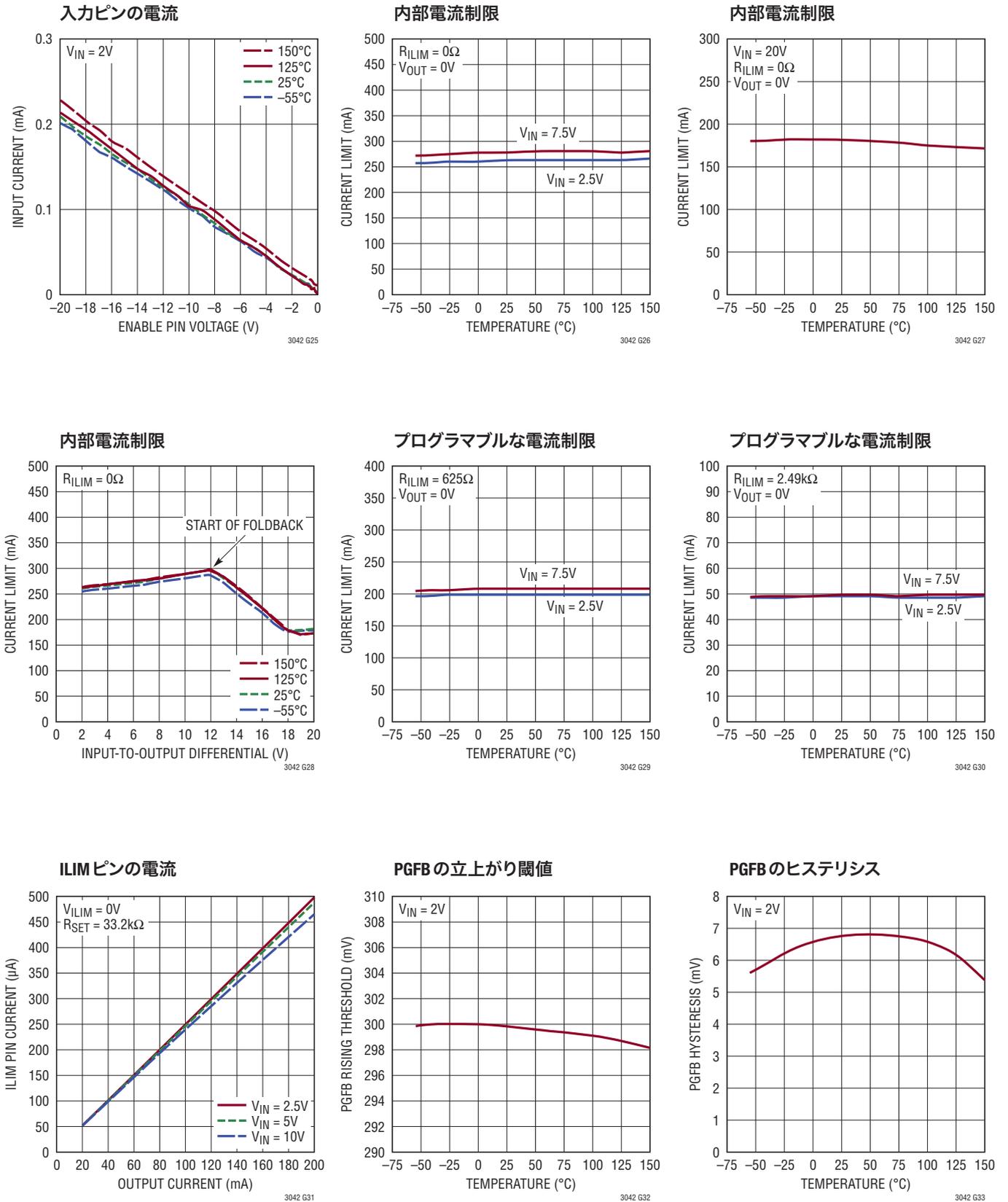
ドロップアウト電圧



代表的な性能特性 注記がない限り、 $T_J = 25^\circ\text{C}$ 。

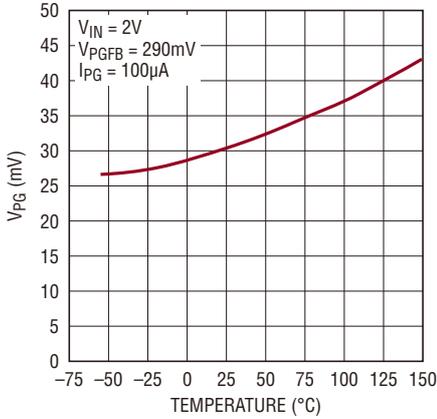


代表的な性能特性 注記がない限り、 $T_J = 25^\circ\text{C}$ 。



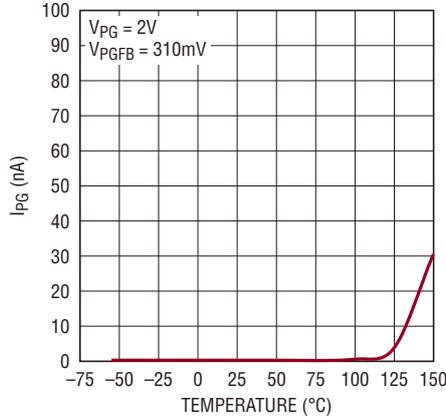
代表的な性能特性 注記がない限り、 $T_J = 25^\circ\text{C}$ 。

PG 出力ロー電圧



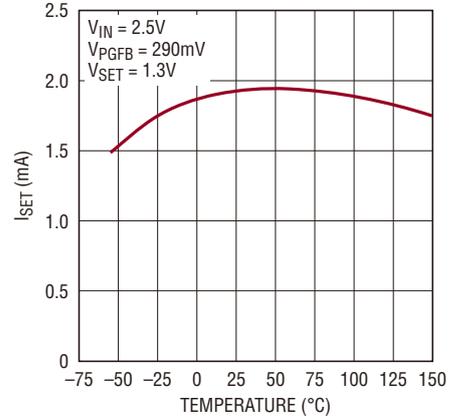
3042 G34

PGピンのリーク電流



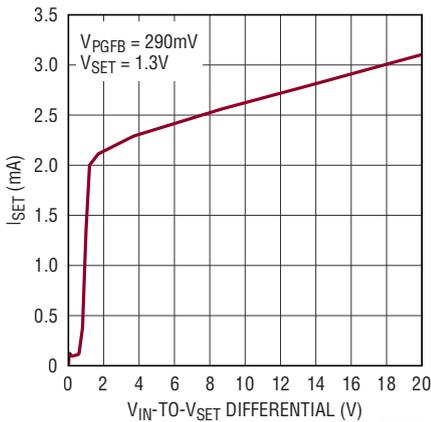
3042 G35

高速起動機能をイネーブルした場合の起動時の ISET



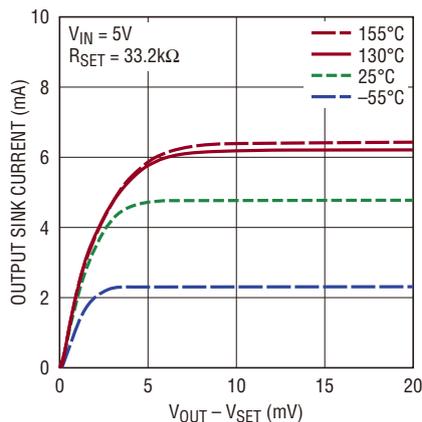
3042 G36

高速起動機能をイネーブルした場合の起動時の ISET



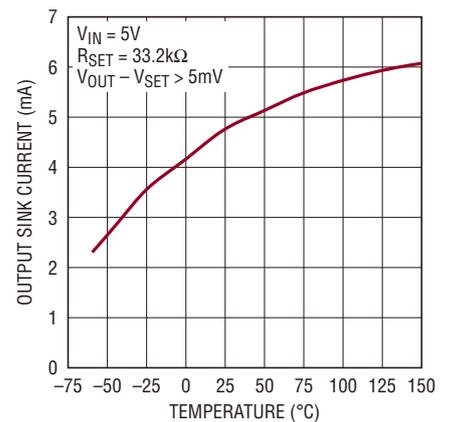
3042 G37

出力オーバーシュートからの回復電流シンク回路



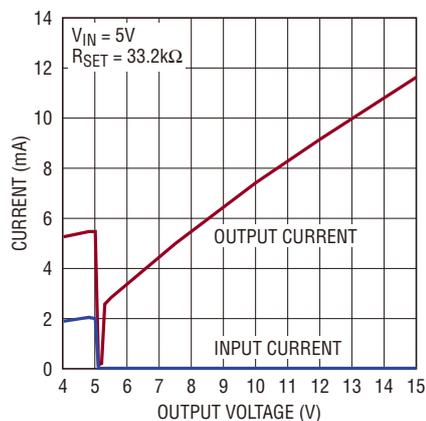
3042 G38

出力オーバーシュートからの回復電流シンク回路



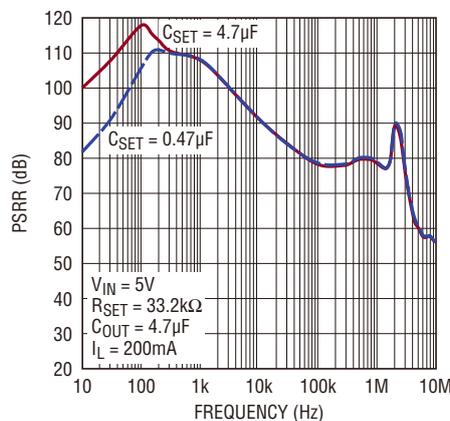
3042 G39

VOUT(NOMINAL) を超える電圧を強制された場合の VOUT



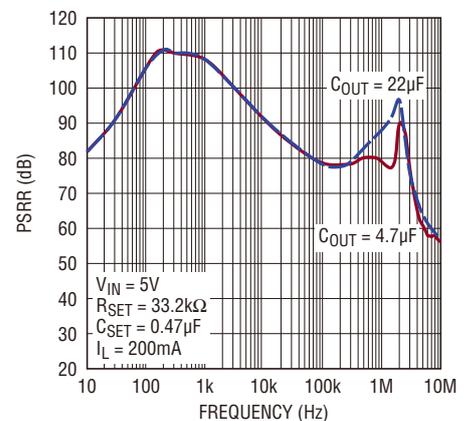
3042 G40

電源リップル除去比



3042 G41

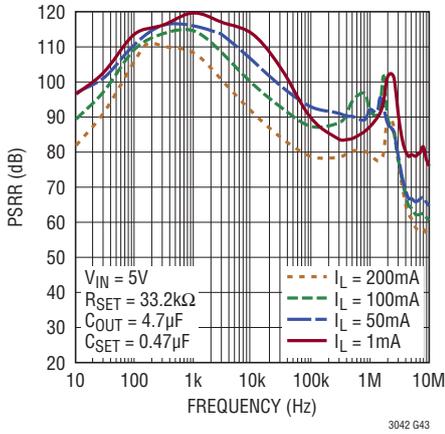
電源リップル除去比



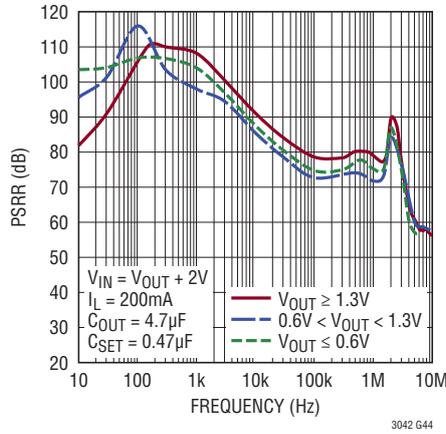
3042 G42

代表的な性能特性 注記がない限り、 $T_J = 25^\circ\text{C}$ 。

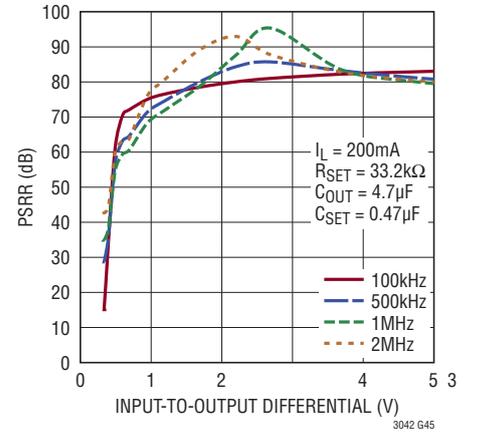
電源リップル除去比



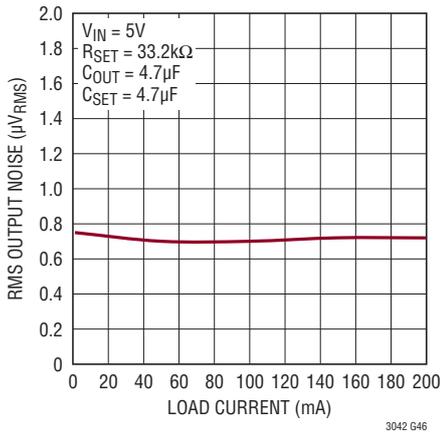
エラーアンプ入力対の関数としての電源リップル除去比



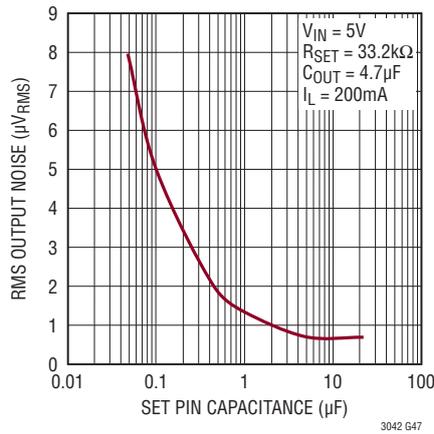
電源リップル除去比



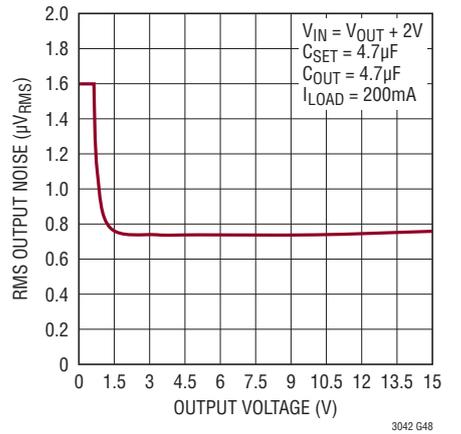
積分RMS出力ノイズ (10Hz~100kHz)



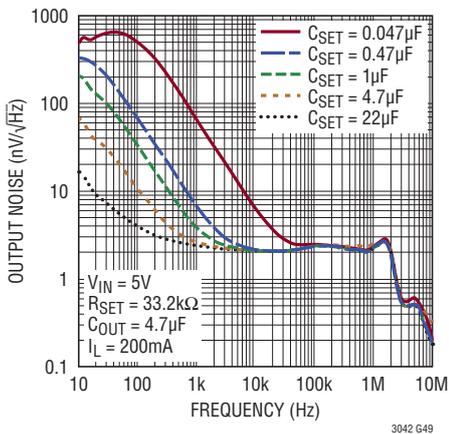
積分RMS出力ノイズ (10Hz~100kHz)



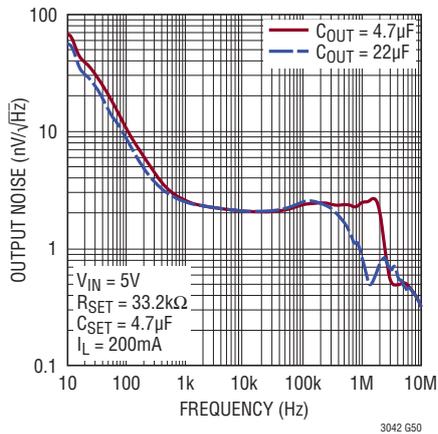
積分RMS出力ノイズ (10Hz~100kHz)



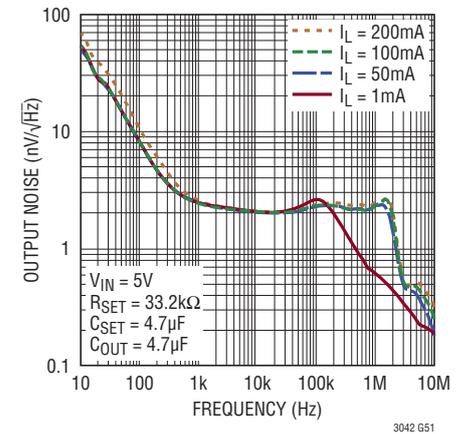
ノイズ・スペクトル密度



ノイズ・スペクトル密度

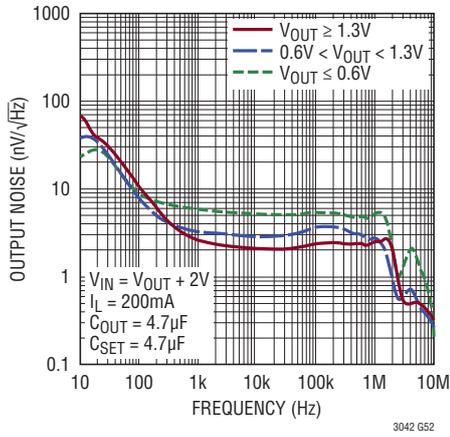


ノイズ・スペクトル密度

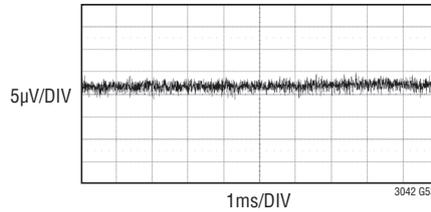


代表的な性能特性 注記がない限り、 $T_J = 25^\circ\text{C}$ 。

エラーアンプ入力対の関数としての
ノイズ・スペクトル密度

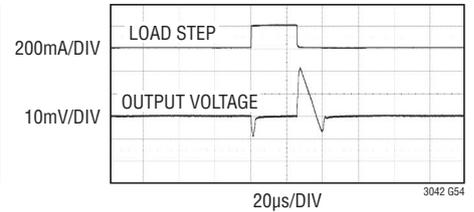


出力ノイズ: 10Hz~100kHz



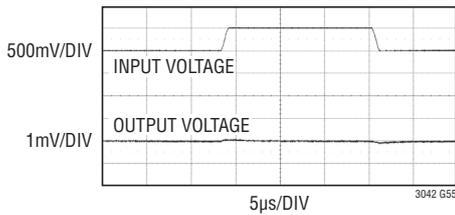
$V_{IN} = 5\text{V}$
 $R_{SET} = 33.2\text{k}\Omega$
 $C_{OUT} = 4.7\mu\text{F}$
 $C_{SET} = 4.7\mu\text{F}$
 $I_L = 200\text{mA}$

負荷過渡応答



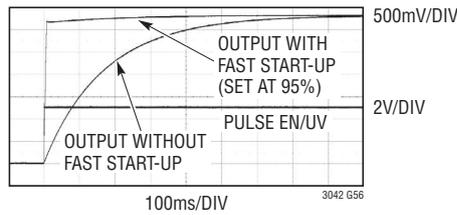
$V_{IN} = 5\text{V}$
 $R_{SET} = 33.2\text{k}\Omega$
 $C_{OUT} = 4.7\mu\text{F}$
 $C_{SET} = 0.47\mu\text{F}$
 $I_L = 200\text{mA}$
 LOAD STEP = 10mA TO 200mA

入力過渡応答



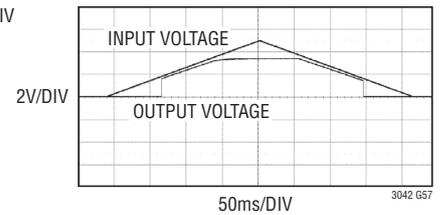
$V_{IN} = 4\text{V TO } 4.5\text{V}$
 $R_{SET} = 33.2\text{k}\Omega$
 $C_{OUT} = 4.7\mu\text{F}$
 $C_{SET} = 0.47\mu\text{F}$
 $I_L = 200\text{mA}$

C_{SET} が大容量のとき、高速起動
回路がある場合とない場合での
起動時間



$V_{IN} = 5\text{V}$
 $R_{SET} = 33.2\text{k}\Omega$
 $C_{OUT} = 4.7\mu\text{F}$
 $C_{SET} = 4.7\mu\text{F}$
 $R_L = 16.5\Omega$

入力電源のランプアップと
ランプダウン



$V_{IN} = 0\text{V TO } 5\text{V}$
 $R_{SET} = 33.2\text{k}\Omega$
 $C_{OUT} = 4.7\mu\text{F}$
 $C_{SET} = 0.47\mu\text{F}$
 $R_L = 16.5\Omega$

ピン機能

IN (1, 2番ピン) : 入力。これらのピンはレギュレータに電力を供給します。LT3042はINピンにバイパス・コンデンサが必要です。一般に、バッテリーの出力インピーダンスは周波数と共に上昇するので、バッテリー電源アプリケーションにはバイパス・コンデンサを実装します。通常は4.7 μ Fの入力バイパス・コンデンサで十分ですが、負荷過渡応答が大きいアプリケーションでは、入力電源電圧の低下を防ぐために、更に大きな入力容量が必要になる場合があります。入力コンデンサの正しい使用法と回路性能、特にPSRRへの影響については、[アプリケーション情報](#)のセクションを参照してください。LT3042は、GND、OUTS、OUTの電圧を基準にしたINの逆電圧に耐えられます。バッテリーを逆に差し込むと生じる逆入力の場合には、LT3042はダイオードが入力に直列に接続されているかのように動作します。したがって、逆電流がLT3042に流れ込むことも、負電圧が負荷に現れることもありません。このデバイスはデバイス自体と負荷を保護します。

EN/UV (3番ピン) : イネーブル/UVLO。LT3042のEN/UVピンをローにすると、デバイスはシャットダウン状態になります。シャットダウン時の静止電流は1 μ A未満まで低下し、出力電圧はオフします。または、IN、EN/UV、GNDの間に接続した抵抗分圧器を使用して、EN/UVピンで入力電源の低電圧ロックアウト (UVLO) 閾値を設定できます。LT3042は通常、EN/UVの電圧が立上がりエッジで1.24Vを超えるとオンし、立下がりエッジには170mVのヒステリシスがあります。EN/UVピンは入力電圧より高い電圧に駆動することが可能であり、正常な機能を維持することができます。使用しない場合、EN/UVはINに接続します。EN/UVピンはフロート状態にしないでください。

PG (4番ピン) : パワーグッド。PGは出力電圧レギュレーションを示すオープンコレクタ・フラグです。PGがローになるのは、PGFBが300mV未満である場合です。パワーグッド機能が必要でない場合は、PGピンをフロート状態にします。LT3042のPGピンとGNDピンの間には寄生の基板ダイオードが存在します。通常動作時またはフォルト状態時に、PGピンをGNDの電圧より0.3Vを超えて低い電圧に駆動しないようにする必要があります。

ILIM (5番ピン) : 電流制限の設定ピン。ILIMとGNDの間に抵抗を接続することにより、電流制限値を設定します。最高の精度を得るには、この抵抗をLT3042のGNDピンに直接ケルビン接続します。設定倍率は、公称125mA \cdot k Ω です。ILIMピンからは出力電流に比例した電流 (1:400) が供給されるので、このピンは0V~300mVの範囲の電流モニタ・ピ

ンとしても機能します。プログラマブルな電流制限機能が必要ない場合は、ILIMをGNDに接続します。LT3042のILIMピンとGNDピンの間には寄生の基板ダイオードが存在します。通常動作時またはフォルト状態時に、ILIMピンをGNDの電圧より0.3Vを超えて低い電圧に駆動しないようにする必要があります。

PGFB (6番ピン) : パワーグッドのフィードバック。立上がりエッジの場合はPGFBの電圧が300mVより高くなった場合、立下がりエッジの場合はその値に7mVのヒステリシスが加わった電圧より高くなった場合、PGピンはハイになります。OUT、PGFB、およびGNDの間に外付け抵抗分圧器を接続すると、伝達関数 $0.3V \cdot (1 + R_{PG2}/R_{PG1})$ により、プログラマブルなパワーグッド閾値が設定されます。アプリケーション情報のセクションで説明したように、PGFBも高速起動回路を作動させます。パワーグッド機能と高速起動機能が必要ない場合は、PGFBをINに接続します。また、逆入力保護を追加する必要がある場合は、1N4148ダイオードのアノードをINに接続して、カソードをPGFBに接続します。詳細については、標準的応用例のセクションを参照してください。LT3042のPGFBピンとGNDピンの間には寄生の基板ダイオードが存在します。通常動作時またはフォルト状態時に、PGFBピンをGNDの電圧より0.3Vを超えて低い電圧に駆動しないようにする必要があります。

SET (7番ピン) : 設定ピン。このピンは、エラーアンプへの反転入力であり、LT3042のレギュレーション設定点です。SETは高精度の100 μ A電流を供給し、この電流はSETとGNDの間に接続した外付け抵抗を流れます。LT3042の出力電圧は $V_{SET} = I_{SET} \cdot R_{SET}$ によって決まります。出力電圧範囲は0~15Vです。SETとGNDの間にコンデンサを追加すると、ノイズ、PSRR、および過渡応答が向上しますが、代償として起動時間が長くなります。負荷レギュレーションを最適化するため、SETピンの抵抗のグラウンド側を負荷に直接ケルビン接続します。LT3042のSETピンとGNDピンの間には寄生の基板ダイオードが存在します。通常動作時またはフォルト状態時に、SETピンをGNDの電圧より0.3Vを超えて低い電圧に駆動しないようにする必要があります。

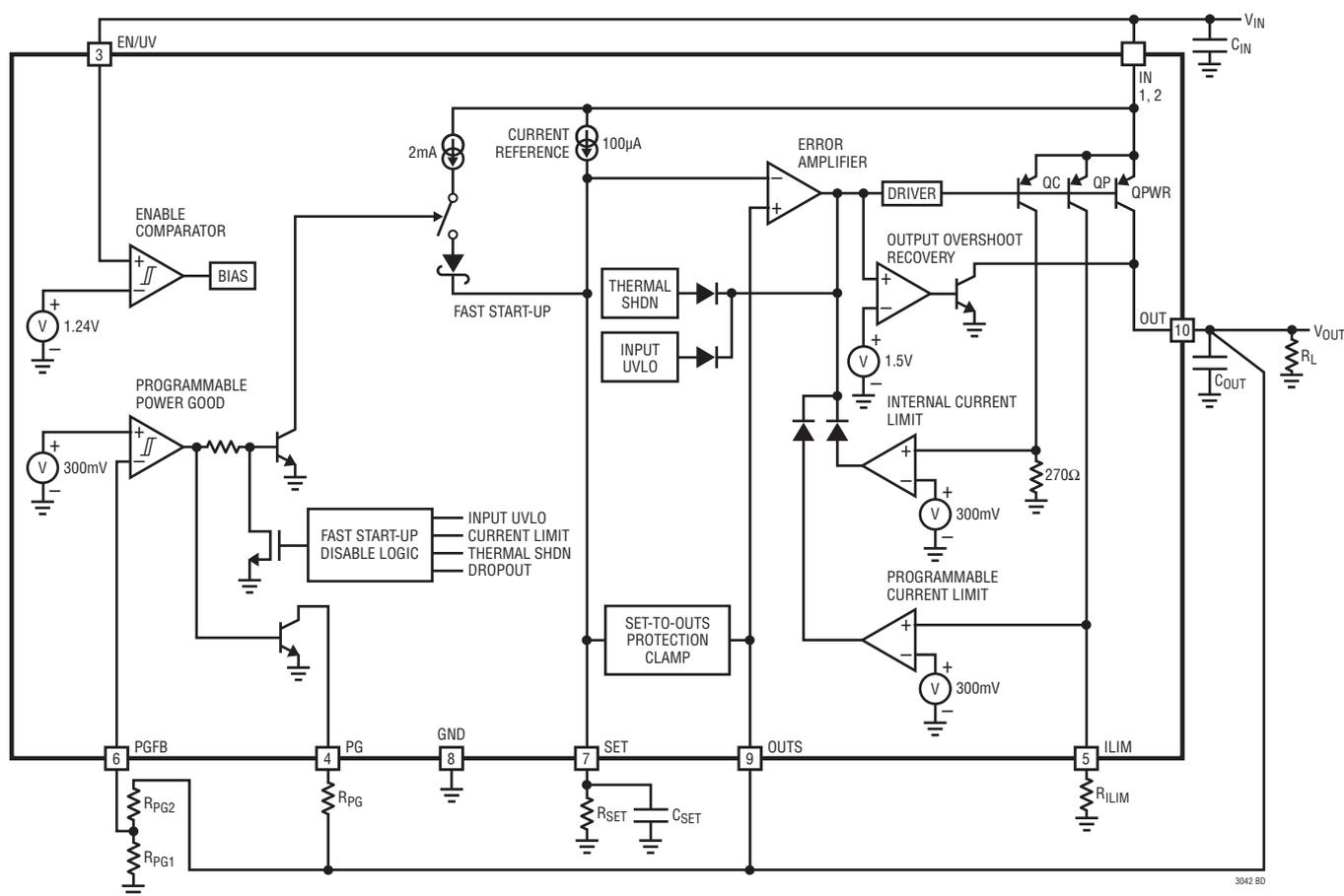
GND (8番ピン、露出パッド・11番ピン) : グラウンド。露出した裏面は、GNDへの電氣的接続箇所になっています。適正な電氣的性能および熱性能を確保するため、露出した裏面をPCBグラウンドにハンダ付けて、それをGNDピンに直接接続します。

ピン機能

OUTS (9番ピン) : 出力検出。このピンはエラーアンプの非反転入力です。最適なトランジェント性能および負荷レギュレーションを得るため、OUTSは出力コンデンサと負荷に直接ケルビン接続します。また、出力コンデンサおよびSETピン・コンデンサのGND接続箇所も互いに直接接続します。更に、入力コンデンサと出力コンデンサ(およびそれらのGND接続箇所)を互いに非常に近づけて配置します。LT3042のOUTSピンとGNDピンの間には寄生の基板ダイオードが存在します。通常動作時またはフォルト状態時に、OUTSピンをGNDの電圧より0.3Vを超えて低い電圧に駆動しないようにする必要があります。

OUT (10番ピン) : 出力。このピンは負荷に電力を供給します。安定性を確保するため、ESRが50mΩ未満でESLが2nHより小さい4.7μF以上の出力コンデンサを使用します。負荷過渡応答が大きい場合は、電圧トランジェントのピーク値を制限するために大きな値の出力容量が必要です。出力容量の詳細については、アプリケーション情報のセクションを参照してください。LT3042のOUTピンとGNDピンの間には寄生の基板ダイオードが存在します。通常動作時またはフォルト状態時に、OUTピンをGNDの電圧より0.3Vを超えて低い電圧に駆動しないようにする必要があります。

ブロック図



アプリケーション情報

LT3042は高性能の低ドロップアウト・リニア電圧レギュレータで、アナログ・デバイセズの超低ノイズ($2\text{nV}/\sqrt{\text{Hz}}$ 、 10kHz 時)および超高PSRR(79dB、 1MHz 時)アーキテクチャを特長としており、ノイズの影響を受けやすいアプリケーションの電力供給に対応します。後段に高性能のレールtoレール電圧バッファがある高精度電流源として設計されているので、LT3042は並列接続が容易であり、ノイズの低減、出力電流の増大、PCB上での熱放散を更に向上することができます。このデバイスは更に、プログラマブルな電流制限、高速起動機能、およびプログラマブルなパワーグッドといった特長も備えています。

LT3042は使いやすく、高性能レギュレータに求められる保護機能を全て備えています。その他に、短絡保護回路、安全動作領域保護回路、逆バッテリー保護回路、逆電流保護回路、およびヒステリシスのあるサーマル・シャットダウン回路を内蔵しています。

出力電圧

LT3042はSETピンから流れ出す高精度の $100\mu\text{A}$ 電流源を内蔵しており、この電流源はエラーアンプの反転入力にも接続されています。図1は、SETとグラウンドの間に抵抗を接続することでエラーアンプのリファレンス電圧が発生することを示しています。このリファレンス電圧は、単にSETピンの電流とSETピンの抵抗の積です。エラーアンプのユニティ・ゲイン構成により、この電圧を低インピーダンス化した電圧が非反転入力(つまりOUTSピン)で生成されます。また、OUTSピンは外部でOUTピンに接続されます。

LT3042のレールtoレール・エラーアンプと電流リファレンスにより、(抵抗が 0Ω の場合) 0V から(V_{IN} - ドロップアウト)までの広い出力電圧範囲(最大 15V)が可能です。PNPベースの入力対は出力電圧が 0V ~ 0.6V のときにアクティブにな

り、NPNベースの入力対は出力電圧が 1.3V より大きいときにアクティブになり、2つの入力対の出力電圧が 0.6V ~ 1.3V の範囲内で滑らかに遷移します。NPNベースの入力対は、最善の総合性能が得られるように設計されています。エラーアンプ入力対でのオフセット電圧、SETピン電流、出力ノイズ、およびPSRRのばらつきの詳細については、電気的特性の表を参照してください。複数の一般的な出力電圧と、それに対応する1%精度の R_{SET} 抵抗を表1に示します。

表1. 一般的な出力電圧の1%抵抗

V_{OUT} (V)	R_{SET} (k Ω)
2.5	24.9
3.3	33.2
5	49.9
12	121
15	150

電流リファレンスを使用する利点は、従来のレギュレータで使用されている電圧リファレンスと比較すると、レギュレータが設定出力電圧と関係なく、常にユニティ・ゲイン構成で動作することです。これによって、LT3042のループ利得、周波数応答、および帯域幅を出力電圧から独立させることができます。その結果、ノイズ、PSRR、およびトランジェント性能が出力電圧によって変化しません。更に、SETピンの電圧を高い出力電圧に増幅するのにエラーアンプの利得が必要ないので、出力負荷レギュレーションは出力電圧の固定パーセント値としてではなく、数百 μV レンジで厳しく規定しています。

温度係数ゼロの電流源は非常に正確なので、SETピンの抵抗が、高精度の実現を制限する要因になることがあります。そのため、これには高精度の抵抗を選びます。更に、SETピンに流出または流入するリーク電流の経路が存在する場合は、出力電圧に誤差が生じます。必要に応じて、高品質の絶縁材料(例えば、テフロン、Kel-F)を使用し、全ての絶縁表面を洗浄し、フラックスなどの残留物を除去します。高温湿度の環境では、SETピンの表面をコーティングして、防湿層を形成することが必要になる場合があります。

SETピンに近い電位で動作するガード・リングを使用してSETピンを囲み、基板のリーク電流を最小限に抑えます。できれば、ガード・リングをOUTピンに接続します。回路基板の両側をガードすることを推奨します。バルク・リーク電流の減少はガード・リングの幅に依存します。SETピンから流れ

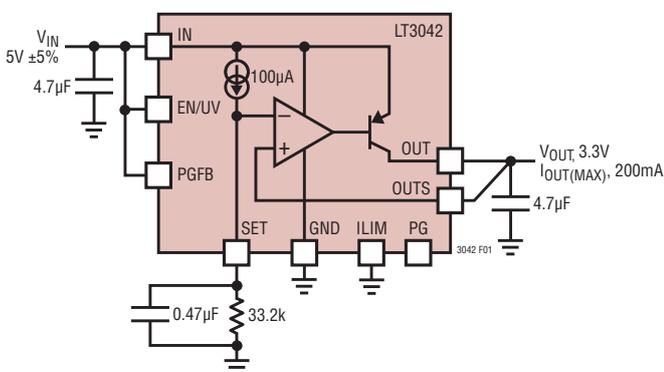


図1. 基本的な可変レギュレータ

アプリケーション情報

る、またはSETピンに流れるリーク電流が100nAの場合、リファレンス電圧の誤差は0.1%になります。この大きさのリーク電流は、他のリーク電流源が加わって、特に動作温度範囲が広い場合に、出力電圧に著しい誤差を引き起こす場合があります。図2に、代表的なガード・リング・レイアウト技法を示します。

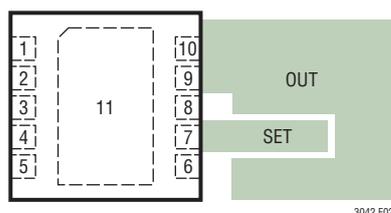


図2. ガード・リングのレイアウト

SETピンは高インピーダンス・ノードなので、不要な信号がSETピンに結合して不安定動作を引き起こす可能性があります。これは、最小の出力コンデンサを使用して重負荷電流で動作する場合に、最も顕著になります。小容量でSETピンをグラウンドにバイパスすれば、この問題は解決します。10nFで十分です。

より高い精度または可変出力電圧が必要なアプリケーションでは、100 μ Aのシンク電流を供給できる外部電圧源により、SETピンをアクティブに駆動できます。高精度電圧リファレンスをSETピンに接続すると、リファレンス電流と抵抗の許容誤差に起因し、出力電圧に存在する誤差を全て取り除くことができます。

出力検出と安定性

LT3042のOUTSピンは、出力へのケルビン検出接続機能を果たします。SETピンの抵抗のGND側が負荷のGND側のケルビン検出接続箇所になります。

更に、超高PSRRを得るため、LT3042の帯域幅は極めて高い値(約1MHz)になっているので、標準的な4.7 μ F(1206ケース・サイズ)のセラミック出力コンデンサの自己共振周波数(約2.3MHz)に近い値になります。したがって、帰還ループの外側に余計なインピーダンス(ESRおよびESL)が加わらないようにすることが非常に重要です。そのため、図3に示すように、OUTSピンをC_{OUT}に直接接続し、C_{SET}のGND側をC_{OUT}のGND側に直接接続すると共に、C_{IN}とC_{OUT}のGND側を適度に近づけることで、PCBパターンとハンダのインダクタンスの影響を最小限に抑えます。これらの条件を満たす推奨レイアウトの詳細については、LT3042評価用ボー

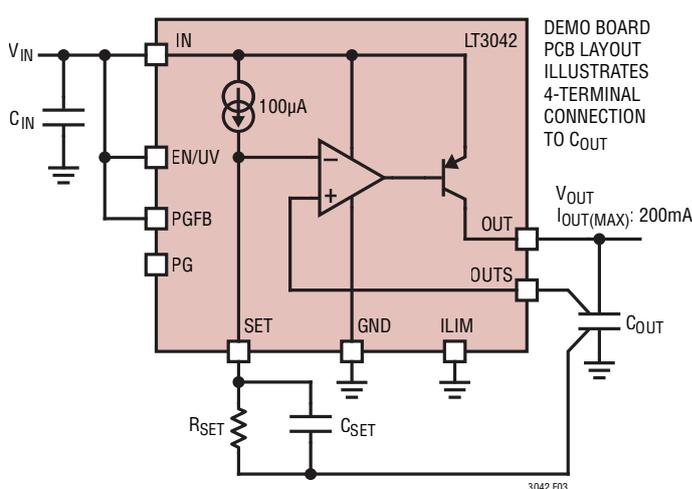


図3. 安定性確保のためのC_{OUT}とC_{SET}の接続

ドのマニュアルを参照してください。推奨レイアウトに従わない場合でもLT3042は十分に堅牢なので発振しませんが、実際のレイアウトによっては、位相/利得の余裕、ノイズ、およびPSRR性能が低下することがあります。

安定性と出力容量

LT3042は、安定性確保のため出力コンデンサが必要です。帯域幅が広いことを考慮すると、アナログ・デバイセズは低ESRで低ESLのセラミック・コンデンサを推奨します。安定性を確保するには、ESRが50m Ω 未満でESLが2nHより小さい4.7 μ F以上の出力コンデンサが必要です。

4.7 μ Fのセラミック出力コンデンサ1個を使用して得られる高PSRR性能および低ノイズ性能を考慮すると、出力コンデンサの値を大きくしても性能の向上はごくわずかです。このレギュレータの帯域幅は出力容量が増大するにつれて減少するからです。そのため、4.7 μ Fの最小出力コンデンサより容量の大きなコンデンサを使用しても得られるものはほとんどありません。とはいえ、出力容量の値を大きくすると、負荷過渡応答時のピーク出力のずれは確実に減少します。LT3042が電力を供給する個々の部品のデカップリングに使用されるバイパス・コンデンサによって、出力コンデンサの実効値が増加することに注意してください。

使用するセラミック・コンデンサの種類には、特に注意が必要です。セラミック・コンデンサはさまざまな誘電体を使用して製造されており、それぞれ温度や印加される電圧によって動作が異なります。最も広く使われている誘電体は、Z5U、Y5V、X5RおよびX7RのEIA温度特性コードによって

アプリケーション情報

規定されています。Z5UとY5Vの誘電体は小型パッケージで大容量を実現するには適していますが、[図4](#)および[図5](#)に示すように、電圧係数と温度係数が大きくなる傾向があります。5Vのレギュレータに使用する場合、16V 10 μ FのY5Vコンデンサは、印加されたDCバイアス電圧と動作温度範囲で1 μ F \sim 2 μ Fの小さな実効値になる可能性があります。

X5RとX7Rの誘電体を使用すると更に安定した特性が得られるので、これらの方がLT3042に対する適性が高くなっています。X7Rの誘電体は全温度範囲にわたって安定性が優れており、X5Rは安価で大きな値のものが入手可能です。それでも、X5RおよびX7Rコンデンサを使用する場合、注意する必要があります。X5RとX7Rのコードは、動作温度範囲と全温度範囲での最大容量変化のみを規定します。X5RとX7RのDCバイアスによる容量変化はY5VやZ5Uの誘電体に比べると小さいですが、それでも容量が十分なレベルを下回るほど変化することがあります。[図6](#)に示すように、コンデンサのDCバイアス特性は部品のケース・サイズが大きいほど向上する傾向がありますが、**動作電圧に必要な容量を検証することを強く推奨します。**

高振動環境

電圧係数と温度係数だけが問題の原因ではありません。セラミック・コンデンサの中には圧電応答を示すものがあります。圧電素子は、圧電マイクロフォンの動作原理と同様に、機械的応力が加わると端子間に電圧が発生します。セラミック・コンデンサの場合は、システム内の機械的振動、または熱トランジェントによってこの応力が誘起されることがあります。

高振動環境でのLT3042アプリケーションには、3つの特異な圧電ノイズ発生源(入力と出力のセラミック・コンデンサ、SETピンのコンデンサ)があります。ただし、LT3042は広い周波数範囲にわたって出力インピーダンスが非常に小さいので、セラミック出力コンデンサを使用することで発生する出力ノイズは無視できます。同様に、LT3042はPSRRが非常に高いので、セラミック入力コンデンサを使用することで発生する出力ノイズも無視できます。それにもかかわらず、SETピンのインピーダンスが高いことを考慮した場合、SETピンのセラミック・コンデンサからの圧電応答があると、大きな出力ノイズ(ピークtoピークで数百 μ V)が発生します。ただし、SETピンのコンデンサはESRとESLの許容範囲が広いので、

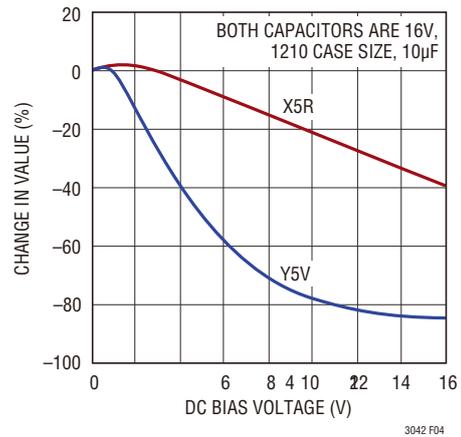


図4. セラミック・コンデンサのDCバイアス特性

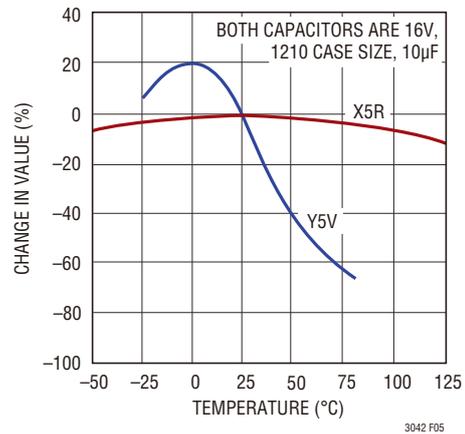


図5. セラミック・コンデンサの温度特性

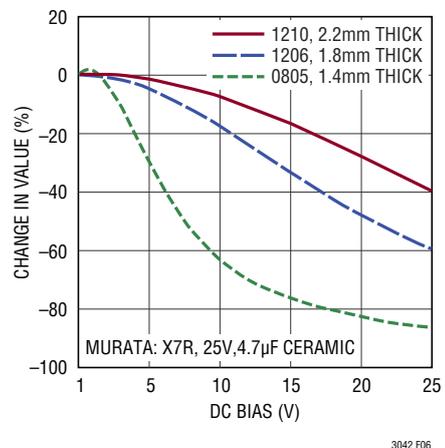


図6. 各種ケース・サイズでのコンデンサ電圧係数

アプリケーション情報

非圧電応答性の(タンタル、電解、またはフィルム)コンデンサをSETピンに使用してもかまいません。とはいえ、電解コンデンサは1/fノイズが高くなる傾向があります。いずれの場合でも、表面実装コンデンサを使用することを強く推奨します。

安定性と入力容量

LT3042は、INピンに最小4.7 μ Fのコンデンサを接続すれば動作が安定します。アナログ・デバイスでは、低ESRのセラミック・コンデンサの使用を推奨します。電源からLT3042の入力端子およびグラウンド端子までの導線が長い場合は、使用する入力コンデンサの値が小さい上に負荷電流が大きいと、不安定になることがあります。この原因は、導線のインダクタンスと入力コンデンサによって形成される共振LCタンク回路であり、LT3042の不安定性が原因ではありません。

導線の自己インダクタンス(単独のインダクタンス)は、導線の長さに正比例します。ただし、導線の直径は、その自己インダクタンスにほとんど影響しません。たとえば、直径が0.26"のAWG2絶縁導線の自己インダクタンスは、直径が0.01"のAWG30導線のインダクタンスのおよそ半分です。1フィートのAWG30導線の自己インダクタンスは465nHです。

導線の自己インダクタンスを減らす方法はいくつか存在します。1つの方法は、LT3042に流れ込む電流を2つの並列な導体に分割することです。この場合、導線を更に離して配置すると、インダクタンスが減少します。たとえば、わずか数インチ離して配置するだけで最大50%減少します。導線を分割すると、2つの等しいインダクタを並列に接続したことになります。ただし、導線を互いにきわめて近い位置に配置すると、導線の全自己インダクタンスに相互インダクタンスが加わります。したがって、こうした場合に50%減少させることはできません。全インダクタンスを低減する第2のより効果的な技法は、順方向電流と戻り電流の導体(入力とグラウンドの導線)を近づけて配置することです。AWG30の導線2本を0.02"離れた場合、全インダクタンスは1本の導線の約1/5に減少します。

近くに装着したバッテリーでLT3042に電力を供給する場合は、4.7 μ Fの入力コンデンサで十分安定性を確保できます。ただし、遠く離れた電源からLT3042に電力を供給する場合には、より大きな値の入力コンデンサを使用します。おおまかな目安としては、(4.7 μ Fの最小値とは別に)導線の長さ8"につき1 μ Fを使用してください。また、アプリケーションを安定

化するために必要な最小入力容量も出力容量ならびに負荷電流によって変動します。LT3042の出力容量を増やすと効果的です。ただし、これには追加の入力バイパス容量と比較してかなりの大容量が必要です。また、電源とLT3042の入力の間直列抵抗を接続することもアプリケーションの安定化に役立ちます。わずか0.1 Ω ~0.5 Ω の小さな抵抗で十分です。このインピーダンスによってLCタンク回路の共振が減衰しますが、代償としてドロップアウト電圧が発生します。より優れた代替案としては、LT3042の入力に高ESRのタンタル・コンデンサまたは電解コンデンサを4.7 μ Fのセラミック・コンデンサと並列に使用する方法があります。

PSRRと入力容量

LT3042をスイッチング・コンバータのポスト・レギュレータとして使用するアプリケーションでは、LT3042の入力にコンデンサを直接接続すると、(スイッチング周波数の)AC電流がLT3042の近くを流れます。この比較的周波数の高いスイッチング電流により、LT3042の出力に結合する磁界が発生するので、その実効PSRRが低下します。特にPCB、スイッチング・プリレギュレータ、入力容量などの要因に大きく依存しますが、PSRRの低下は1MHzで30dBを容易に超えることがあります。この低下は、LT3042のハンダを基板から除去した場合でも残ります。プリント回路基板自体のPSRRが実質的に低下するからです。PSRRが低い従来のLDOでは無視できますが、超高PSRRのLT3042では、レギュレータが備えている最大限の性能を引き出すために、高次の寄生成分に注意する必要があります。

スイッチング・コンバータの出力コンデンサをLT3042から1インチより遠く離れて配置している限りは、LT3042の近くを流れる高周波のスイッチング電流を低減するために、LT3042の入力コンデンサを完全に取り除くことができます。距離が長くなるにつれて、磁気結合は急激に減少します。それでもやはり、スイッチング・プリレギュレータの場所がLT3042から離れすぎると(控えめに見て数インチより長い距離があると)、入力コンデンサがないことにより、他のレギュレータと同様に、LT3042は寄生LCの共振周波数で入力が発振します。その上、レギュレータの入力を一定の容量でバイパスすることは、たいていは一般的な(更には言えば望ましい)やり方です。したがって、このオプションは範囲が極めて限定されており、最善の解決策ではありません。

アプリケーション情報

そのため、アナログ・デバイスでは、実現できる最高レベルのPSRR性能が得られるように、LT3042デモ・ボード(DC2246B)のレイアウトを使用することを推奨します。LT3042デモ・ボードでは、磁界相殺の手法を利用して、この高周波電流によるPSRRの低下を防止しつつ、入力コンデンサを使用しています。

高周波スパイクのフィルタリング

LT3042をスイッチング・コンバータのポスト・レギュレータとして使用するアプリケーションでは、その高PSRRにより、スイッチャ(スイッチング・コンバータ)のスイッチング周波数(標準で100kHz~4MHz)に存在する「ノイズ」を実質的に抑えることができます。ただし、スイッチャのパワー・スイッチ遷移時間に対応した、LT3042の帯域幅を超える超高周波(数百MHz)「スパイク」は、LT3042をほぼそのまま通過します。出力コンデンサには、これらのスパイクを吸収する目的も多少ありますが、こうした周波数ではその能力がESLによって制限されます。フェライト・ビーズ、または短い(例:0.5インチ)PCBパターンに伴うインダクタンスがスイッチャの出力とLT3042の入力の間にあることで、これらの超高周波スパイクを抑えるLCフィルタとして機能できます。

出力ノイズ

LT3042は、ノイズ性能に関して多くのメリットを提供します。従来のリニア電圧レギュレータには、複数のノイズ発生源があります。従来のレギュレータの最も重要なノイズ発生源は、電圧リファレンス、エラーアンプ、および出力電圧設定用の抵抗分圧ネットワークから発生するノイズ、更にこの抵抗分圧器で設定されるノイズ利得です。多くの低ノイズ・レギュレータでは、電圧リファレンスをピンから出力しているため、リファレンス電圧をバイパスすることによってノイズを低減できます。

LT3042は大半のリニア電圧レギュレータとは異なり、電圧リファレンスを使用しませんが、代わりに100 μ Aの電流リファレンスを使用します。この電流リファレンスは、20pA/ $\sqrt{\text{Hz}}$ (10Hz~100kHzの帯域幅で6nA_{RMS})の標準ノイズ電流レベルで動作します。発生する電圧ノイズは電流ノイズと抵抗値の積に等しくなり、これがエラーアンプのノイズと抵抗自体のノイズである $\sqrt{4kTR}$ とRMSで合計されます。ここで、kはボルツマン定数(=1.38 \cdot 10⁻²³J/K)であり、Tは絶対温度です。

従来のリニア電圧レギュレータが直面する1つの問題は、抵抗分圧器が設定する出力電圧利得によって、リファレンス・ノイズが増加することです。対照的に、LT3042のユニティ・ゲイン・フォロワ・アーキテクチャでは、SETピンと出力の間に利得が存在しません。したがって、SETピンの抵抗をコンデ

ンサでバイパスすると、出力ノイズは設定出力電圧に依存しなくなります。その場合、発生する出力ノイズはエラーアンプのノイズだけで設定されます。これは、SETピンのコンデンサとして4.7 μ Fを使用した場合、10kHz~1MHzでは標準で2nV/ $\sqrt{\text{Hz}}$ となり、10Hz~100kHzの帯域幅では0.8 μ V_{RMS}となります。複数のLT3042を並列に接続すると、ノイズは更に \sqrt{N} (Nは並列レギュレータの数)だけ減少します。

ノイズ・スペクトル密度と、さまざまな負荷電流およびSETピン容量でのRMS積分ノイズについては、代表的な性能特性のセクションを参照してください。

SETピン(バイパス)の容量:ノイズ、PSRR、過渡応答、およびソフトスタート

SETピンにバイパス・コンデンサを使用すると、出力ノイズが低減するだけでなく、PSRRとトランジェントの性能も向上します。ただし、バイパス・コンデンサにリーク電流があるとLT3042のDCレギュレーションが低下するので注意してください。コンデンサに100nAのリーク電流があるだけで、0.1%のDC誤差が発生します。そのため、品質の良い低リーク電流のセラミック・コンデンサを使用することを推奨します。

また、SETピンのバイパス・コンデンサを使用すると、出力がソフトスタートして、突入電流が制限されます。SETピンの抵抗とコンデンサによって設定されるRC時定数によって、ソフトスタート時間を制御します。公称V_{OUT}の0~90%の上昇率は次の式で表されます。

$$t_{SS} \approx 2.3 \cdot R_{SET} \cdot C_{SET} \text{ (高速起動ディスエーブル時)}$$

高速起動

1/fノイズ(100Hz未満の周波数でのノイズ)を低く抑えることが必要な超低ノイズ・アプリケーションでは、SETピンのコンデンサの値を大きくすることが必要です(最大22 μ F)。こうすると、通常はレギュレータの起動時間が大幅に長くなりますが、LT3042は起動時にSETピンの電流を約2mAまで増やして高速起動回路を内蔵しています。

ブロック図に示すように、PGFBの電圧が300mVより低いときは2mAの電流源が作動状態を維持します。ただし、レギュレータが電流制限状態、ドロップアウト状態、サーマル・シャットダウン状態のいずれでもなく、入力電圧がV_{IN}の最小値より低くないことが前提です。

高速起動機能を使用しない場合は、PGFBをINまたはOUTに接続して、出力電圧を300mVより高くします。こうすると、パワーグッド機能もディスエーブルされることに注意してください。

アプリケーション情報

イネーブル/UVLO

EN/UVピンは、レギュレータをマイクロパワー・シャットダウン状態にするために使用します。LT3042のEN/UVピンのターンオン閾値は正確な1.24Vであり、170mVのヒステリシスがあります。この閾値を入力電源から接続されている抵抗分圧器と組み合わせて使うことで、レギュレータの低電圧ロックアウト(UVLO)の正確な閾値を定めることができます。抵抗分圧ネットワークの値を次のように計算する場合には、電気的特性の表から、閾値でのEN/UVピン電流(I_{EN})を考慮する必要があります。

$$V_{IN(UVLO)} = 1.24V \cdot \left(1 + \frac{R_{EN2}}{R_{EN1}} \right) + I_{EN} \cdot R_{EN2}$$

R_{EN1} が100kより小さい場合は、EN/UVピン電流(I_{EN})を無視できます。EN/UVピンを使用しない場合は、INに接続します。

プログラマブルなパワーグッド

ブロック図に示すように、パワーグッド閾値は、2つの外付け抵抗(R_{PG2} および R_{PG1})の比を使用してプログラムが可能です。

$$V_{OUT(PG_THRESHOLD)} = 0.3V \cdot \left(1 + \frac{R_{PG2}}{R_{PG1}} \right) + I_{PGFB} \cdot R_{PG2}$$

PGFBピンの電圧が300mVより高くなると、オープンコレクタのPGピンはデアサートされ、高インピーダンスになります。パワーグッド・コンパレータのヒステリシスは7mVであり、デグリッチ時間は5 μ sです。抵抗分圧ネットワークの値を決定する場合には、電気的特性の表からPGFBピン電流(I_{PGFB})を考慮する必要があります。 R_{PG1} が30kより小さい場合は、PGFBピン電流(I_{PGFB})を無視できます。パワーグッド機能を使用しない場合は、PGピンをフロート状態にします。出力電圧が300mVより低い場合、デバイスがシャットダウン状態である場合は、プログラマブルなパワーグッド機能および高速起動機能がディスエーブルされることに注意してください。

外部でプログラマブルな電流制限

ILIMピンの電流制限閾値は300mVです。ILIMとGNDの間に抵抗を接続すると、ILIMピンの外に流れ出す最大電流が設定され、LT3042の電流制限値が設定されます。125mA・k Ω の設定倍率を使用すると、電流制限値は次のように計算できます。

$$\text{Current Limit} = 125\text{mA} \cdot k\Omega / R_{ILIM}$$

例えば、1k Ω の抵抗を接続すると電流制限値は125mAに設定され、2k Ω の抵抗を接続すると電流制限値は62.5mAに設定されます。優れた精度を得るには、この抵抗をLT3042のGNDピンにケルビン接続します。

IN-OUT間の電圧差が12Vを超えた場合、LT3042のフォールドバック回路によって内部電流制限値は減少します。その結果、外部で設定された電流制限レベルよりも内部電流制限値が優先され、LT3042を安全動作領域(SOA)内に維持できます。代表的な性能特性のセクションの内部電流制限と入出力間電圧差のグラフを参照してください。

ブロック図に示すように、ILIMピンからは出力電流に比例した電流(1:400)が供給されるので、このピンは0V~300mVの範囲の電流モニタ・ピンとしても機能します。外部電流制限機能または電流モニタ機能を使用しない場合は、ILIMをGNDに接続します。

出力オーバーシュートからの回復

最大負荷から無負荷(または軽負荷)への負荷ステップ時には、レギュレータが応答してパワー・トランジスタをオフにする前に出力電圧がオーバーシュートします。出力の状態が無負荷(または非常に軽い負荷)であるとする、出力コンデンサを放電するのに長い時間がかかります。

ブロック図に示すように、LT3042は、OUTSの電圧がSETの電圧より高くなった場合に電流シンク回路をオンして出力コンデンサを放電するオーバーシュート回復回路を内蔵しています。この電流は標準で約4mAです。入力電圧が2.5Vより低い場合、または出力電圧が1.5Vより低い場合は、無負荷での回復はディスエーブルされます。

OUTSの電圧がSETの電圧より高い電圧に外部から保持されている場合は、電流シンク回路がオンして、OUTSの電圧をその設定電圧に戻そうとします。外部回路がOUTSを解放するまで、電流シンク回路はオンのままです。

直接の並列接続による大電流への対応

複数のLT3042を並列接続することによって、より大量の出力電流を供給できます。全てのSETピンを互いに接続し、全てのINピンを互いに接続します。少量のPCBパターンを使用してOUTピンを互いに接続し(バラスト抵抗として使用)、LT3042に流れる電流を均一にします。PCBパターンの抵抗をm Ω /インチ単位で表2に示します。

アプリケーション情報

表2. PC基板のパターン抵抗

重量(オンス)	幅10ミル	幅20ミル
1	54.3	27.1
2	27.1	13.6

パターン抵抗はmΩ/インチで測定

並列接続された各LT3042の最も厳しい条件のオフセットはわずか2mVなので、必要なバラスト抵抗の値は最小限に抑えられます。最大負荷のとき、精度が20%より高い出力電流分担を2つのLT3042で実現する例を図7に示します。各デバイスは、それぞれ50mΩのPCBパターンによるバラスト抵抗を使用します。2つの50mΩ外付け抵抗による出力レギュレーションの低下量は、400mAの最大電流時にわずか10mVです。3.3V出力の場合、これによってレギュレーション精度に加わる誤差はわずか0.3%です。前述したように、OUTSピンは出力コンデンサに直接接続します。

3つ以上のLT3042を並列接続することにより、更に出力電流を増やして出力ノイズを低減することができます。複数のLT3042を並列に接続すると、PCB上の熱を分散するのも役立ちます。入出力間電圧差が大きいアプリケーションでは、入力直列抵抗やLT3042と並列の抵抗を使用して、熱を分散させることもできます。

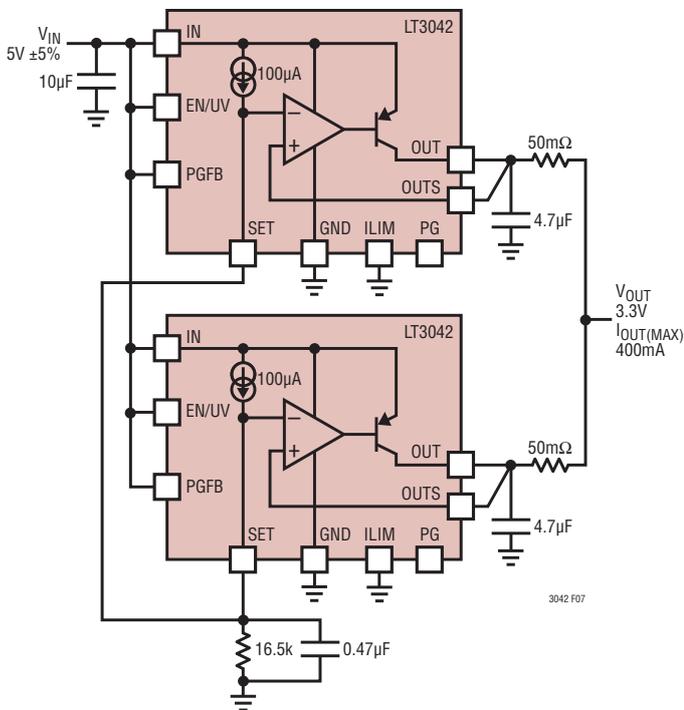


図7. デバイスの並列接続

PCBレイアウトに関する検討事項

LT3042の広い帯域幅と超高PSRRを考慮すると、デバイスの性能を最大限に発揮するにはPCBレイアウトに注意を払う必要があります。図8に、レギュレータの性能を最大限に引き出すレイアウト例を示します。詳細については、LT3042のDC2246B デモボード・マニュアルを参照してください。

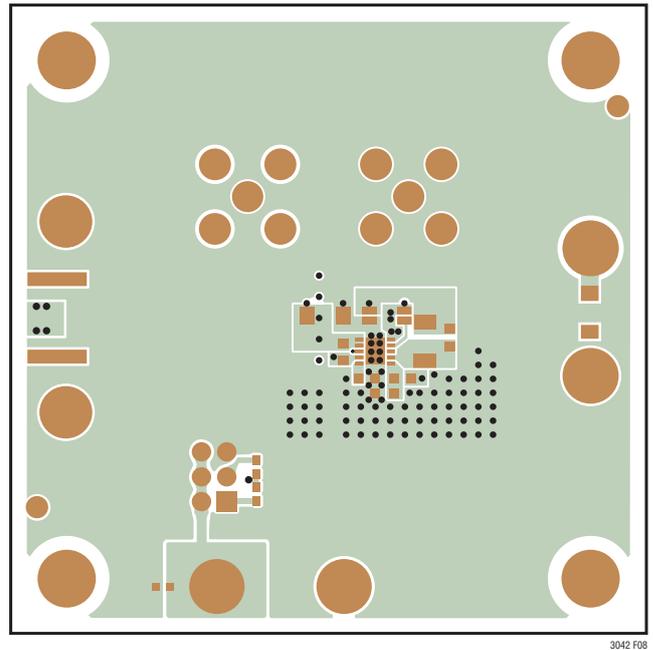


図8. DFNレイアウトの例

アプリケーション情報

熱に関する検討事項

LT3042は、過負荷状態でデバイスを保護する電力制限回路および熱制限回路を内蔵しています。サーマル・シャットダウン温度は公称 162°Cで、約8°Cのヒステリシスが組み込まれています。通常の連続負荷条件では、最大ジャンクション温度(Eグレード、Iグレードでは125°C、Hグレード、MPグレードでは150°C)を超えないようにしてください。接合部から周囲までの全ての熱抵抗源について検討することが重要です。熱抵抗源には、アプリケーションで規定されている、接合部-ケース間、ケース-ヒートシンク・インタフェース間、ヒートシンク抵抗、回路基板-周囲雰囲気間などがあります。更に、LT3042のごく近くの熱源をすべて検討します。

DFNパッケージとMSOPパッケージの下側には、露出した金属部分がリードフレームからダイ・アタッチにわたって存在します。これら2つのパッケージでは、ダイの接合部からPCBの金属部分に熱を直接伝達し、最大動作ジャンクション温度を制限できます。デュアルインラインのピン配置により、PCBの上面(部品側)にあるパッケージの端を超えて金属部分を伸ばすことができます。

表面実装デバイスの場合、PCBとその銅配線の熱分散能力を利用して放熱を実現します。レギュレータが発生する熱を分散するのに、銅ボード硬化材とメッキ・スルーホールを利用することもできます。

一定の基板寸法の銅箔面積に対する熱抵抗を表3と表4に示します。全ての測定は、静止空気中で、1オンスの切れ目のない内部プレーンと2オンスの上下プレーンを有し、合計基板厚が1.6mmの4層FR-4基板で行いました。4つの層にはサーマル・ビアが存在せず、電気的に絶縁されていました。PCBの層数、銅箔の重量、基板レイアウトおよびサーマル・ビアが熱抵抗の値に影響を与えます。熱抵抗と高熱伝導性テスト・ボードの詳細については、JEDEC規格JESD51、特にJESD51-7およびJESD51-12を参照してください。低い熱抵抗を実現するには、細部にわたって注意深くPCBレイアウトを設計する必要があります。

表3. DFNパッケージで測定された熱抵抗

銅箔面積		基板面積	熱抵抗
上面*	底面		
2500mm ²	2500mm ²	2500mm ²	34°C/W
1000mm ²	2500mm ²	2500mm ²	34°C/W
225mm ²	2500mm ²	2500mm ²	35°C/W
100mm ²	2500mm ²	2500mm ²	36°C/W

*デバイスは上面に実装。

表4. MSOPパッケージで測定された熱抵抗

銅箔面積		基板面積	熱抵抗
上面*	底面		
2500mm ²	2500mm ²	2500mm ²	33°C/W
1000mm ²	2500mm ²	2500mm ²	33°C/W
225mm ²	2500mm ²	2500mm ²	34°C/W
100mm ²	2500mm ²	2500mm ²	35°C/W

*デバイスは上面に実装。

ジャンクション温度の計算

例：出力電圧が2.5V、入力電圧が5V±5%、出力電流範囲が1mA～200mA、最大周囲温度が85°Cとすると、最大ジャンクション温度は何度でしょうか。

LT3042の電力損失は、次式で求められます。

$$I_{OUT(MAX)} \cdot (V_{IN(MAX)} - V_{OUT}) + I_{GND} \cdot V_{IN(MAX)}$$

ここで、

$$I_{OUT(MAX)} = 200\text{mA}$$

$$V_{IN(MAX)} = 5.25\text{V}$$

$$I_{GND} (I_{OUT} = 200\text{mA} \text{ および } V_{IN} = 5.25\text{V} \text{ 時}) = 7.2\text{mA}$$

したがって、次式が得られます。

$$P_{DISS} = 0.2\text{A} \cdot (5.25\text{V} - 2.5\text{V}) + 7.2\text{mA} \cdot 5.25\text{V} = 0.59\text{W}$$

DFNパッケージを使う場合、熱抵抗は銅の面積に応じて34°C/W～36°C/Wの範囲になります。したがって、周囲温度を超えるジャンクション温度の上昇分はおおよ次のようになります。

$$0.59\text{W} \cdot 35^\circ\text{C/W} = 20.7^\circ\text{C}$$

アプリケーション情報

最大ジャンクション温度は、最大周囲温度と周囲温度を超える接合部の最大上昇温度の和に等しく、次のようになります。

$$T_{JMAX} = 85^{\circ}\text{C} + 20.7^{\circ}\text{C} = 105.7^{\circ}\text{C}$$

過負荷状態からの回復

多くのICパワー・レギュレータと同様に、LT3042は安全動作領域(SOA)保護回路を内蔵しています。SOA保護回路は、入出力間電圧差が12Vを超えると作動します。SOA保護回路により、入出力間電圧差が増加するにつれて電流制限値が減少し、パワー・トランジスタは、入出力間電圧の全ての値についてLT3042の絶対最大定格まで安全動作領域内に保たれます。LT3042は、入出力間電圧差の全ての値について、一定の出力電流レベルを供給します。代表的な性能特性のセクションの電流制限の曲線を参照してください。電源が初めて投入されて入力電圧が上昇すると、出力は入力に追従して入出力間電圧差は小さい値に保たれるため、レギュレータは大量の出力電流を供給し、大電流負荷に対して起動できます。

ただし、電流制限フォールドバックにより、出力電圧が低く、負荷電流が大きい場合、高い入力電圧で問題が発生することがあります。このような状況が発生するのは、短絡状態が解消された後か、入力電圧が既に投入された後にEN/UVピンをハイにした場合です。このような場合の負荷曲線は出力電流のグラフと2点で交わります。このときには、レギュレータに2つの安定動作点が存在します。このように2つの交点があるので、出力を回復するには、入力電源を一旦0Vにしてから再度立ち上げることが必要な場合があります。フォールドバック電流制限保護回路を内蔵した他のリニア電圧レギュレータ(LT1965やLT1963Aなど)もこの現象を示すので、LT3042に特有の状況ではありません。

保護機能

LT3042は、バッテリー駆動アプリケーション向けにいくつかの保護機能を内蔵しています。高精度の電流制限機能および熱過負荷保護機能により、LT3042はその出力での過負荷状態およびフォルト状態に対して保護されます。通常動作では、ジャンクション温度が125°C(Eグレード、Iグレード)または150°C(Hグレード、MPグレード)を超えないようにしてください。

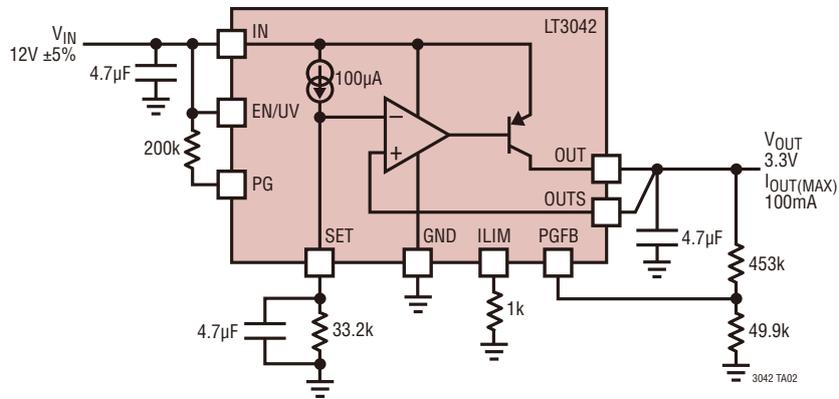
LT3042の低ノイズ・エラーアンプを保護するため、SET-OUTS間の保護クランプ回路は、クランプ回路を流れる最大DC電流を20mAに制限することにより、SETとOUTSの間の最大電圧を制限します。したがって、電源によってSETピンをアクティブに駆動するアプリケーションでは、電源の電流を20mA以下に制限する必要があります。更に、トランジェント・フォルト状態時にこれらのクランプ回路を流れる過渡電流を制限するには、SETピンのコンデンサ(C_{SET})の最大値を22μFに制限します。

LT3042は逆入力保護回路も内蔵しています。この回路により、INピンは入力電流を流すことも、またOUTピンに負電圧を発生させることなく、最大-20Vの逆電圧に耐えることができます。レギュレータは、逆向きに差し込まれたバッテリーからそれ自体と負荷を保護します。

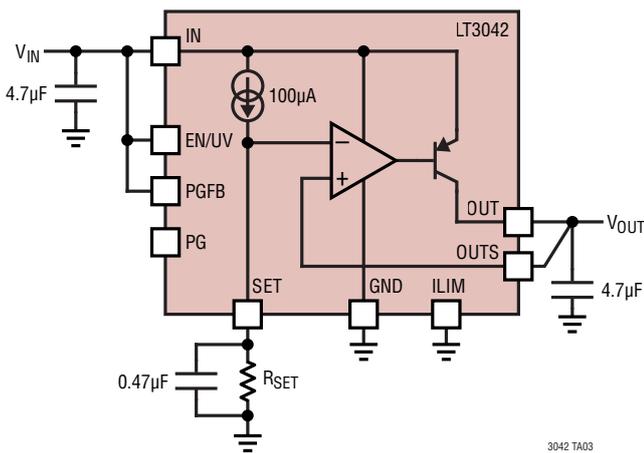
バックアップ・バッテリーが必要な回路では、さまざまな入力/出力状態が生じる可能性があります。入力をGND電位にするか、ほぼ中間の電圧にするか、または開放状態のままにしておく、その間は出力電圧を保持することができます。これら全ての場合で、逆電流保護回路は出力から入力に電流が流れないようにしています。それでも、OUTS-SET間クランプ回路により、SETピンがフロート状態でない限り、SETピンの抵抗を介してGNDに電流が流れ込むことがあるだけでなく、出力オーバーシュート回復回路を介してGNDに最大15mAが流れることがあります。出力オーバーシュート回復回路を流れるこの電流は、OUTSピンとSETピンの間にショットキー・ダイオードを配置し、ショットキー・ダイオードのアノードをOUTSピン側にするることによって大幅に低減することができます。

標準的応用例

12V 入力 / 3.3V 出力、積分ノイズ: 0.8μVRMS

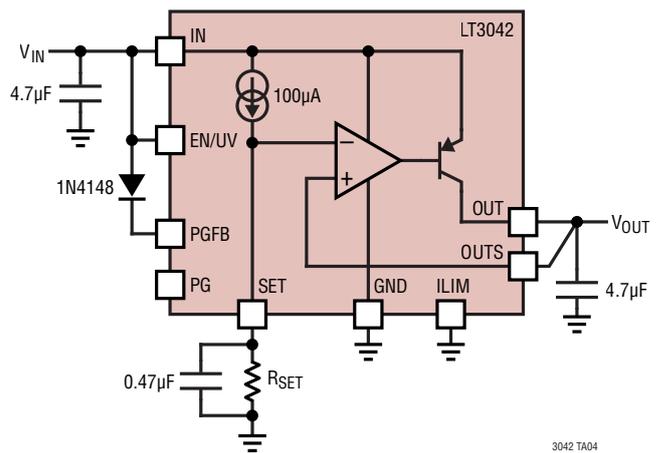


逆入力保護なしでPGFBをディスエーブル



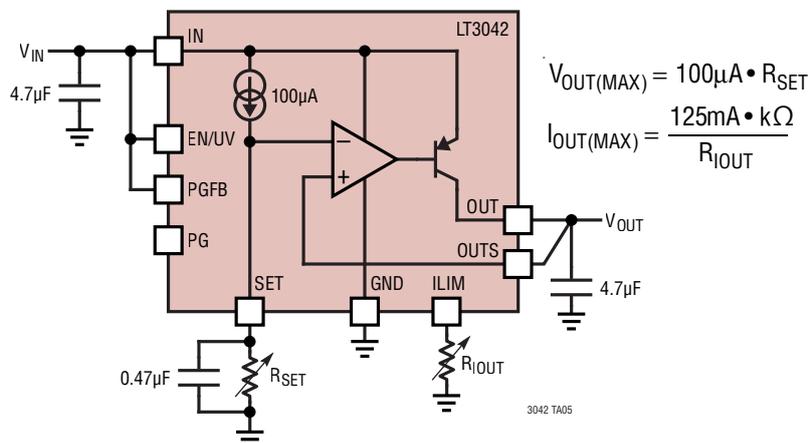
3042 TA03

逆入力保護ありでPGFBをディスエーブル



3042 TA04

低ノイズ CC/CV 実験室用電源



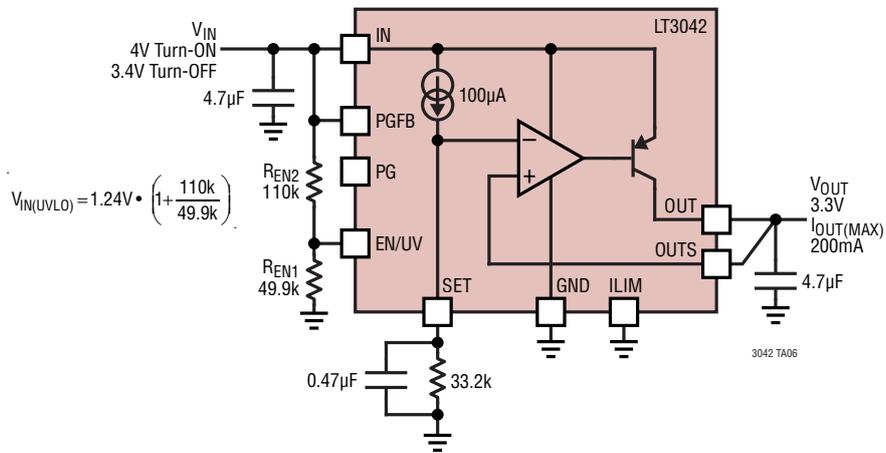
$$V_{OUT(MAX)} = 100\mu A \cdot R_{SET}$$

$$I_{OUT(MAX)} = \frac{125mA \cdot k\Omega}{R_{IOUT}}$$

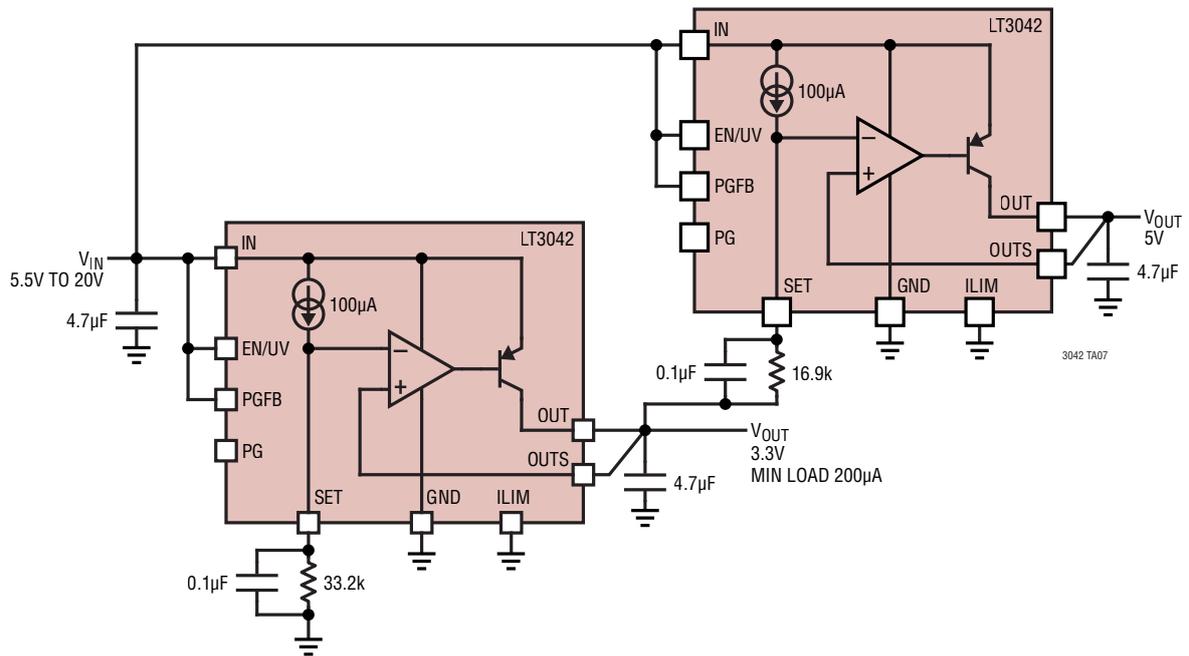
3042 TA05

標準的応用例

低電圧ロックアウトの設定

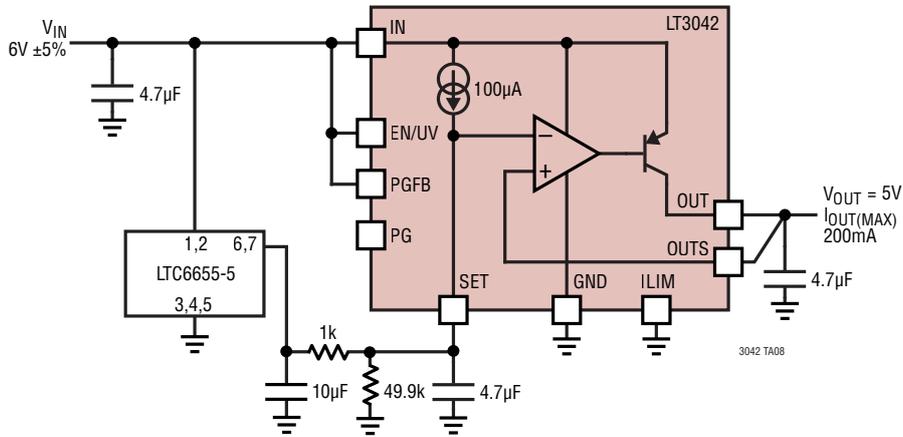


比例トラッキング

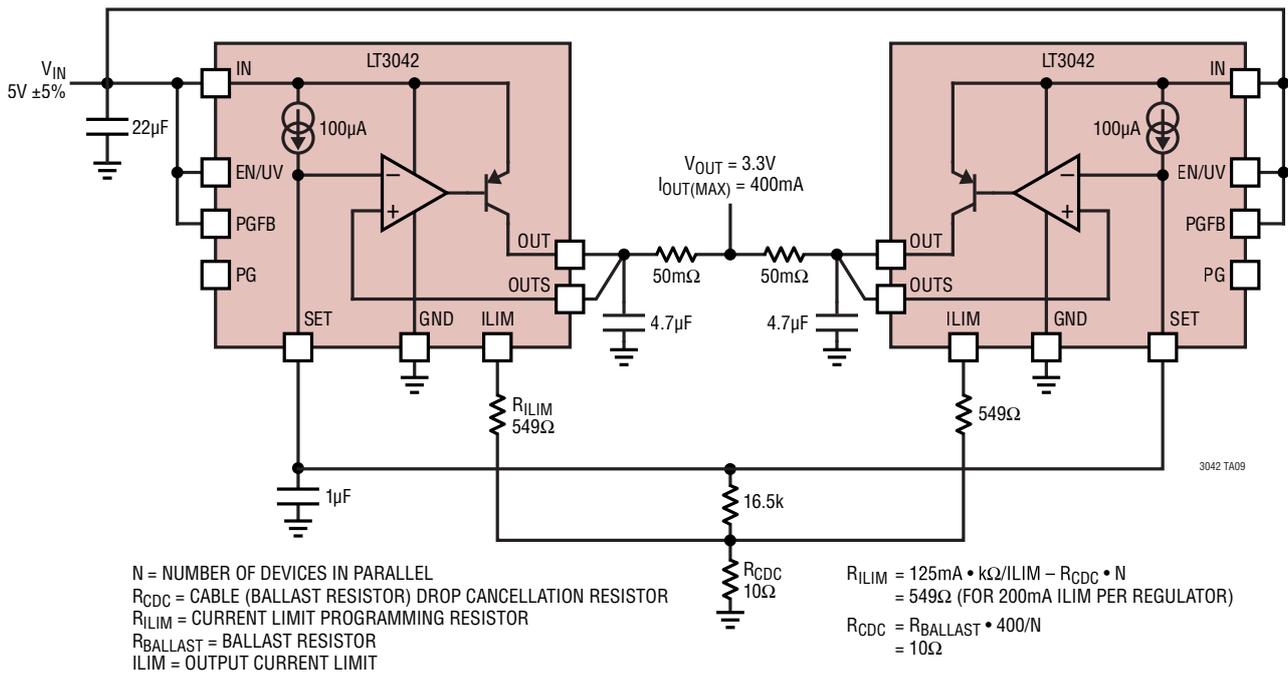


標準的応用例

超低 1/f ノイズのリファレンス・バッファ

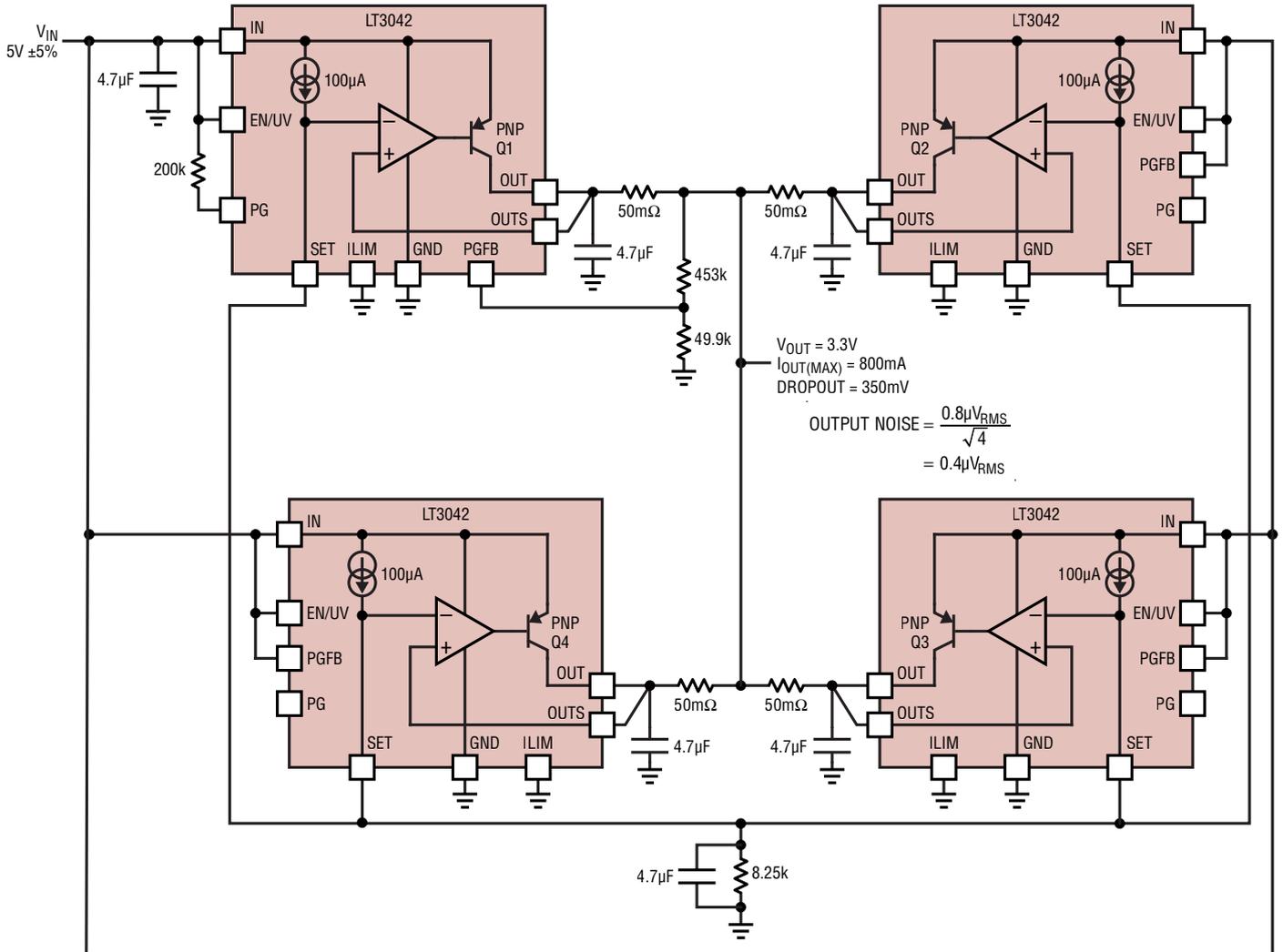


ILIM (電流モニタ) を使用した複数のデバイスの並列接続によりバラスト抵抗での電圧降下を相殺



標準的応用例

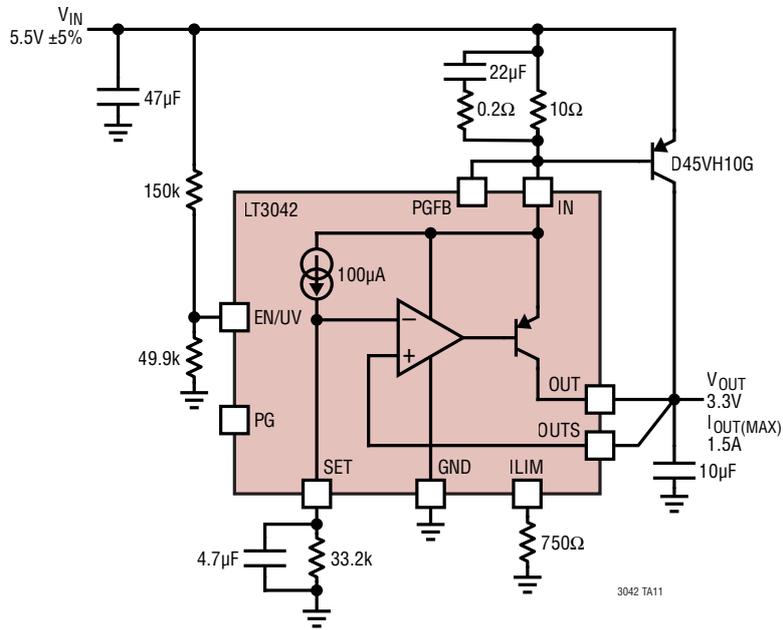
複数のLT3042の並列接続による大出力電流化



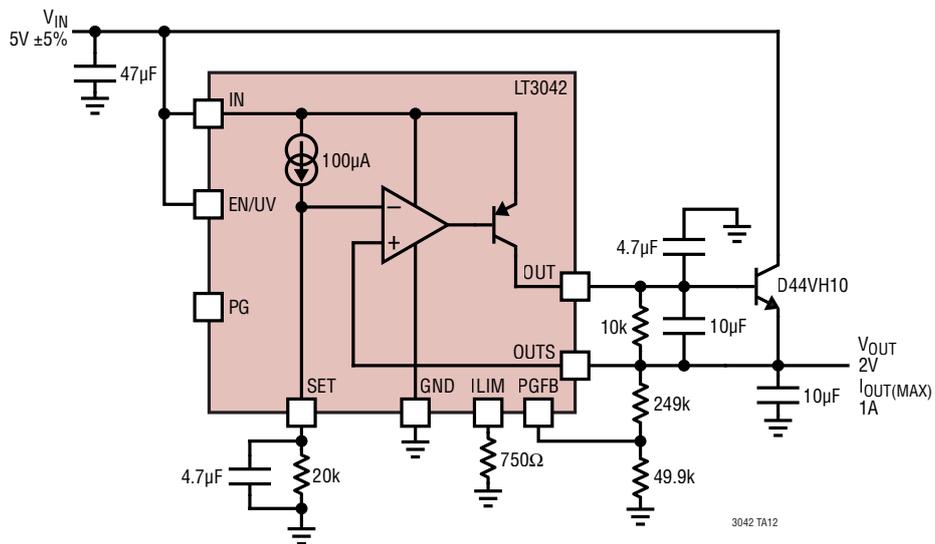
3042 TA10

標準的応用例

PNPを外付けした超低ノイズ大電流レギュレータ



NPNを外付けした超低ノイズ大電流レギュレータ

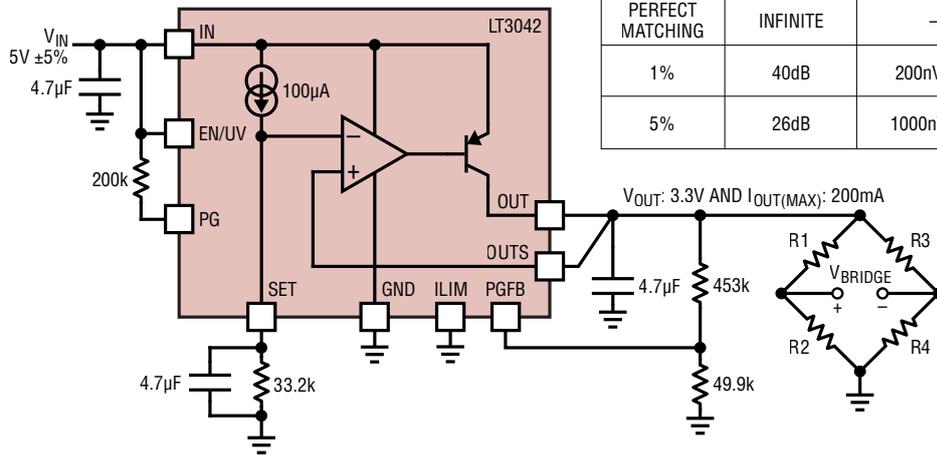


標準的応用例

低ノイズ・ホイートストン・ブリッジ電源

LT1763 NOISE: $20\mu\text{V}_{\text{RMS}}$ (10Hz TO 100kHz)
 LT3042 NOISE: $0.8\mu\text{V}_{\text{RMS}}$ (10Hz TO 100kHz)

RESISTOR TOLERANCE	BRIDGE PSRR	NOISE AT V_{BRIDGE} USING LT1763	NOISE AT V_{BRIDGE} USING LT3042
PERFECT MATCHING	INFINITE	-	-
1%	40dB	$200\text{nV}_{\text{RMS}}$	8nV_{RMS}
5%	26dB	$1000\text{nV}_{\text{RMS}}$	$42.5\text{nV}_{\text{RMS}}$

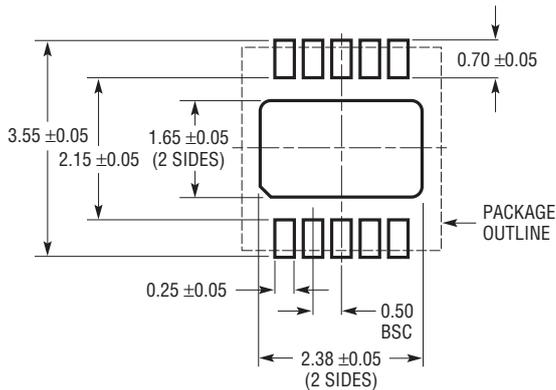


3042 TA13

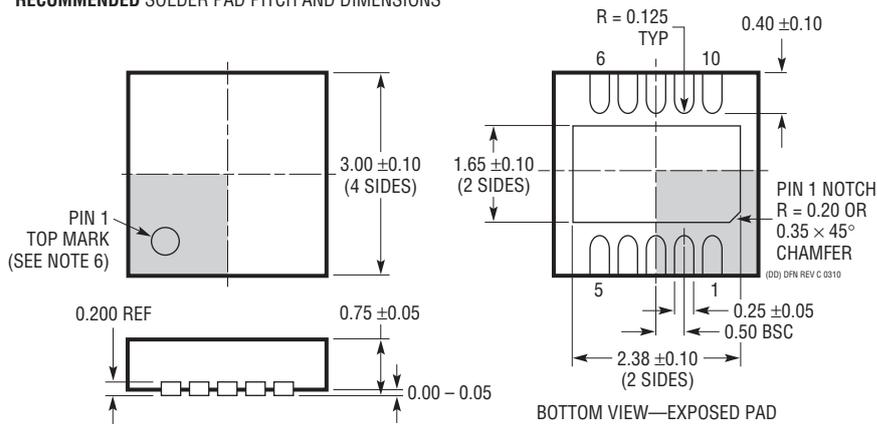
パッケージ

最新のパッケージ図は、<https://www.analog.com/jp/products/LT3042#packaging> を参照してください。

DD Package
10-Lead Plastic DFN (3mm×3mm)
 (Reference LTC DWG # 05-08-1699 Rev C)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS



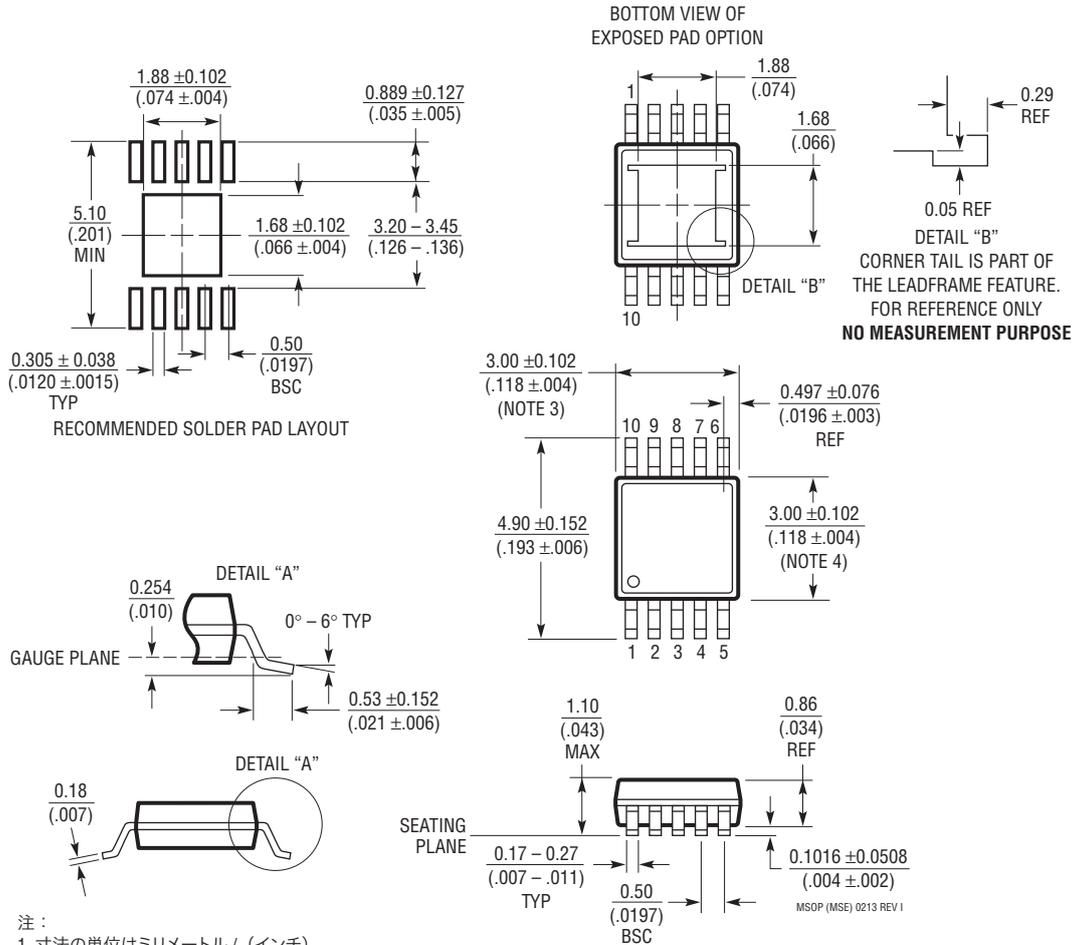
注：

1. 図は JEDEC のパッケージ外形 MO-229 のバリエーション (WEED-2) になる予定。バリエーションの指定の現状については弊社 Web サイトのデータシートを参照
2. 図は実寸とは異なる
3. 全ての寸法の単位はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。モールドのバリ (存在する場合) はどの側でも 0.15mm を超えない
5. 露出パッドはハンダ・メッキとする
6. 灰色の部分はパッケージの上面と底面の 1 番ピンの位置の参考にすぎない

パッケージ

最新のパッケージ図は、<https://www.analog.com/jp/products/LT3042#packaging> を参照してください。

MSE Package 10-Lead Plastic MSOP, Exposed Die Pad (Reference LTC DWG # 05-08-1664 Rev I)



注：

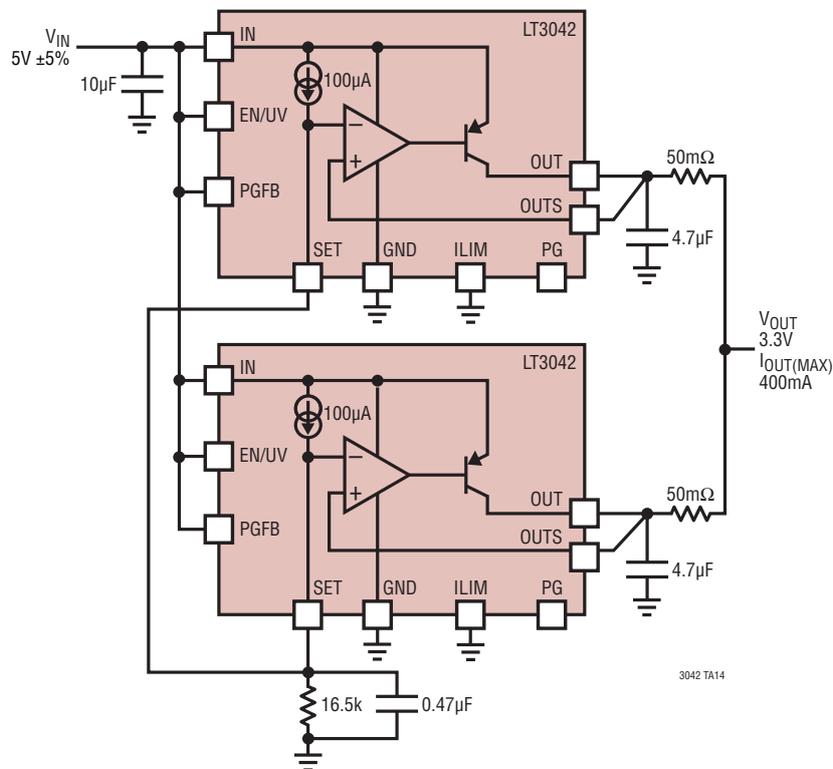
1. 寸法の単位はミリメートル / (インチ)
2. 図は実寸とは異なる
3. 寸法にはモールドのバリ、突出部、ゲートのバリを含まない。
モールドのバリ、突出部、ゲートのバリは片側で 0.152mm (0.006 インチ) を超えない
4. 寸法にはリード間のバリと突出部を含まない。
リード間のバリと突出部は片側で 0.152mm (0.006 インチ) を超えない
5. リードの平坦度 (整形後のリードの底面) は最大 0.102mm (0.004 インチ) である
6. 露出パッドの寸法にはモールドのバリを含む。
露出パッド上のモールドのバリは、各サイドで 0.254mm (0.010 インチ) を超えない

改訂履歴

REV	日付	説明	ページ番号
A	6/15	第2パラグラフのテキストを更新	1
		Line Reg ΔV_{OS} の仕様を更新、 V_{OS} 、Output Noise Spectral Density の仕様を変更	3
		高速起動テストの条件を明確にするテキストを更新	4
		Note 5、6、7を明確にするテキストを更新	4
		Note 10を明確にするテキストを更新	5
		グラフ10および12を更新	6
		グラフ18および24の条件を更新	7
		グラフ28の条件を更新	8
		グラフ40のタイトルを更新	9
		出力電圧のセクションを更新	14、15
		高速起動のセクションを更新	18
		直接の並列接続による大電流への対応のセクションを修正	19
		標準的応用例の回路 TA02 を更新	22
		標準的応用例の回路 TA03 に式のテキストを追加	22
		標準的応用例の回路 TA06 および TA13 を更新	24
		標準的応用例の回路 TA14 および TA07 に記載のテキストを更新	25
標準的応用例の回路 TA08 に記載のテキストを更新	26		
B	11/17	標準的応用例の回路図を修正	1
		電気的特性の表から Ripple Rejection の最小値の仕様を削除。	3
		電気的特性の表で Start-Up Time の条件を修正。	4
		グラフ37を改訂。	9
		グラフ55のスケールを変更。	11
		ピン機能のセクションの PGFB ピンの説明を改訂。	12
		図3、出力検出と安定性および安定性と出力容量のセクションを修正。	15
		高振動環境のセクションを追加。	16
		PSRR と入力容量のセクションを追加。	17
		外部でプログラマブルな電流制限のセクションを改訂。	19
図8を改訂。	20		
保護機能のセクションを修正。	22		

標準的応用例

並列デバイス



関連製品

製品番号	説明	注釈
LT1761	100mA、低ノイズLDO	ドロップアウト電圧:300mV、低ノイズ:20µVRMS、VIN = 1.8V~20V
LT1763	500mA、低ノイズLDO	ドロップアウト電圧:300mV、低ノイズ:20µVRMS、VIN = 1.8V~20V、SO-8パッケージ
LT3050	診断機能と高精度電流制限機能を備えた100mA LDO	ドロップアウト電圧:340mV、低ノイズ:30µVRMS、VIN = 1.8V~45V、3mm × 2mm DFNおよびMSOPパッケージ
LT3060	ソフトスタート機能付き100mA低ノイズLDO	ドロップアウト電圧:300mV、低ノイズ:30µVRMS、VIN = 1.8V~45V、2mm × 2mm DFNおよびThinSOTパッケージ
LT3080	1.1A、並列接続可能、低ノイズ、低ドロップアウトのリニア電圧レギュレータ	ドロップアウト電圧(2電源動作):300mV、低ノイズ:40µVRMS、VIN: 1.2V~36V、VOUT:0V~35.7V、電流ベースのリファレンス、1本の抵抗でVOUTを設定、直接並列接続可能(オペアンプ不要)、セラミック・コンデンサで安定、TO-220、DD-PAK、SOT-223、MSOPおよび3mm × 3mm DFN-8パッケージ、LT3080-1はバラスト抵抗を内蔵
LT3082	200mA、並列接続可能な低ノイズLDO	高出力電流または熱放散のために出力を並列接続可能、広い入力電圧範囲:1.2V~40V、値の低い入力/出力コンデンサが必要:2.2µF、1本の抵抗で出力電圧を設定、8ピンSOT-23、3ピンSOT-223および8ピン3mm × 3mm DFNパッケージ
LT3085	500mA、並列接続可能、低ノイズ、低ドロップアウトのリニア電圧レギュレータ	ドロップアウト電圧:275mV(2電源動作)、低ノイズ:40µVRMS、VIN: 1.2V~36V、VOUT:0V~35.7V、電流ベースのリファレンス、1本の抵抗でVOUTを設定、直接並列接続可能(オペアンプ不要)、セラミック・コンデンサで安定、MS8Eおよび2mm × 3mm DFN-6パッケージ