

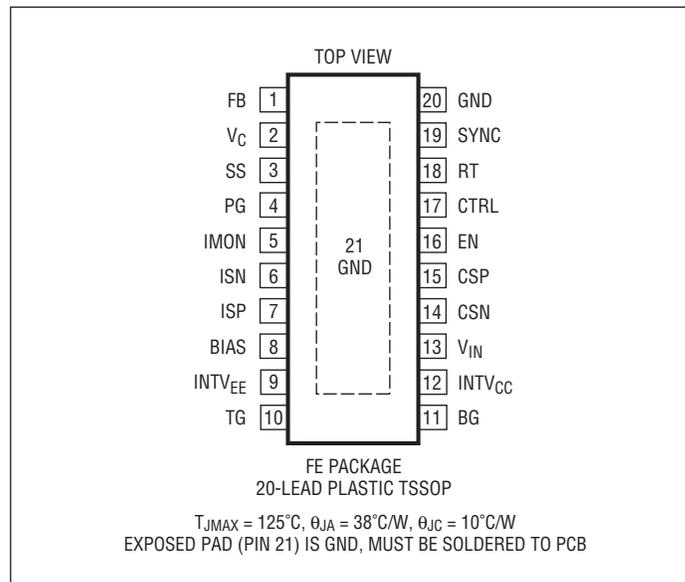
LT8714

絶対最大定格

(Note 1)

V_{IN} の電圧	-0.3V ~ 80V	CTRL の電圧	-0.3V ~ 5V
BIAS の電圧	-0.3V ~ 80V	INTV _{CC} の電圧	-0.3V ~ 7V
EN の電圧	-0.3V ~ 80V	INTV _{EE} の電圧	Note 5 参照
BG の電圧	Note 5 参照	CSP の電圧	-0.3V ~ 2V
TG の電圧	Note 5 参照	CSN の電圧	-0.3V ~ 2V
RT の電圧	-0.3V ~ 5V	ISP の電圧	ISN - 0.4V ~ ISN + 2V
SS の電圧	-0.3V ~ 3V	ISN の電圧	-0.3V ~ 80V
FB の電圧	-0.3V ~ 5V	IMON の電圧	-0.3V ~ 2.5V
V_C の電圧	-0.3V ~ 2V	動作接合部温度範囲	
SYNC の電圧	-0.3V ~ 5.5V	LT8714E	-40°C ~ 125°C
PG の電圧	-0.3V ~ 7V	LT8714I	-40°C ~ 125°C
PG の電流	±1mA	保存温度範囲	-65°C ~ 150°C

ピン配置



発注情報

鉛フリー仕様	テープ・アンド・リール	製品マーキング*	パッケージ	温度範囲
LT8714EFE#PBF	LT8714EFE#TRPBF	LT8714FE	20-Lead Plastic TSSOP Exposed Pad	-40°C to 125°C
LT8714IFE#PBF	LT8714IFE#TRPBF	LT8714FE	20-Lead Plastic TSSOP Exposed Pad	-40°C to 125°C

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度等級は出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

一部のパッケージは、指定販売チャンネルを通じて、末尾に#TRMPBFの付いた500単位のリールで提供されます。

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は各チャネル $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 12\text{V}$ 、 $V_{EN} = 12\text{V}$ 、 $V_{BIAS} = 12\text{V}$ (Note 2)。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Minimum Operating Input Voltage		●		4.25	4.5	V
Quiescent Current, I_{VIN}	Not Switching, $V_{BIAS} = 7.5\text{V}$			4	5.5	mA
Quiescent Current in Shutdown	$V_{EN} = 0\text{V}$			0	1	μA
EN Chip Enable Thresholds	EN Rising	●	1.22	1.3	1.38	V
	EN Falling	●	1.18	1.26	1.34	V
EN Chip Enable Hysteresis				44		mV
EN Input Voltage Low	Shutdown Mode	●			0.3	V
EN Pin Bias Current	$V_{EN} = 3\text{V}$			44	60	μA
	$V_{EN} = 1.3\text{V}$			12.7	15.2	μA
	$V_{EN} = 0\text{V}$			0	0.1	μA
SS Charge Current	$V_{SS} = 50\text{mV}$, Current Flowing Out of SS pin	●	7	10.1	13.8	μA
SS Low Detection Voltage	Part Exiting Undervoltage Lockout	●	18	50	82	mV
SS Voltage to Enable Switching	SS Rising		0.75	1.0	1.21	V
	SS Falling		0.65	0.92	1.15	V
SS Hysteresis				80		mV

低ドロップアウト・レギュレータ、 I_{INTVCC} および I_{INTVEE}

INTV _{CC} Voltage	$I_{INTVCC} = 10\text{mA}$	●	6.2	6.3	6.4	V
INTV _{CC} Undervoltage Lockout	INTV _{CC} Rising	●	3.88	4	4.12	V
	INTV _{CC} Falling	●	3.5	3.73	3.95	V
INTV _{CC} Undervoltage Lockout Hysteresis				270		mV
INTV _{CC} Dropout Voltage	$V_{IN} = 6\text{V}$, $I_{INTVCC} = 10\text{mA}$			255		mV
INTV _{CC} Load Regulation	$V_{IN} = 12\text{V}$, $I_{INTVCC} = 0\text{mA}$ to 80mA			-0.44	-2	%
INTV _{CC} Line Regulation	$10\text{V} \leq V_{IN} \leq 80\text{V}$, $I_{INTVCC} = 10\text{mA}$			-0.005	-0.03	%/V
INTV _{CC} Maximum External Load Current					5	mA
INTV _{EE} Voltage, $V_{BIAS} - V_{INTVEE}$	$I_{INTVEE} = 10\text{mA}$	●	6.03	6.18	6.33	V
INTV _{EE} Undervoltage Lockout, $V_{BIAS} - V_{INTVEE}$	$V_{BIAS} - V_{INTVEE}$ Rising	●	3.24	3.42	3.6	V
	$V_{BIAS} - V_{INTVEE}$ Falling	●	2.94	3.22	3.48	V
INTV _{EE} Undervoltage Lockout Hysteresis, $V_{BIAS} - V_{INTVEE}$				200		mV
I_{INTVEE} Dropout Voltage, V_{INTVEE}	$V_{BIAS} = 6\text{V}$, $I_{INTVEE} = 10\text{mA}$			0.75		V

制御ループ(アンプを探す場合はブロック図を参照)

Current Limit Voltage, $V_{CSP} - V_{CSN}$	$V_{FB} = 1.4\text{V}$, CTRL = 1.1V, Minimum Duty Cycle	●	60.5	66	71.5	mV
	$V_{FB} = 1.4\text{V}$, CTRL = 1.1V, Maximum Duty Cycle	●	40	47	56	mV
	$V_{FB} = 0.1\text{V}$, CTRL = 1.1V, Minimum Duty Cycle	●	-23	-32	-41	mV
	$V_{FB} = 0.1\text{V}$, CTRL = 1.1V, Maximum Duty Cycle	●	-38	-51	-65	mV
FB Regulation Voltage	CTRL = 1.1V	●	1.092	1.102	1.112	V
	CTRL = 0.1V	●	0.092	0.102	0.112	V
	CTRL = 0V	●	0	0.0167	0.033	V
FB Pin Bias Current at FB Regulation.(Note 6)	CTRL = 1.1V	●	66.4	68.3	70.2	μA
	CTRL = 0.1V	●	-67.7	-69.7	-71.7	μA
	CTRL = 0V	●	-77.6	-81.6	-85	μA

電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は各チャネル $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 12\text{V}$ 、 $V_{EN} = 12\text{V}$ 、 $V_{BIAS} = 12\text{V}$ (Note 2)。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
FB Internal Voltage, V1	$I_{FB} = 0.0\mu\text{A}$	●	0.597	0.6065	0.616	V
FB Internal Resistance, R1		●	7.1	7.25	7.4	$\text{k}\Omega$
FB Amp Transconductance, EA1	$\Delta I_{VC} = 2\mu\text{A}$			200		μmhos
FB Amp Voltage Gain, EA1				108		V/V
FB Line Regulation	$4.5\text{V} \leq V_{IN} \leq 80\text{V}$		-0.02	-0.001	0.02	%/V
Output Current Sense Regulation Voltage, $V_{ISP} - V_{ISN}$	$V_{ISN} = 80\text{V}$, $V_{FB} = 1.4\text{V}$, CTRL = 1.1V	●	46	50	54	mV
	$V_{ISN} = 5\text{V}$, $V_{FB} = 1.4\text{V}$, CTRL = 1.1V	●	46	50	54	mV
IMON Regulation Voltage, EA2	$V_{FB} = 1\text{V}$	●	1.184	1.208	1.233	V
Output Current Sense Amp Transconductance, A7	$\Delta I_{IMON} = 10\mu\text{A}$			1000		μmhos
Output Current Sense Amp Voltage Gain, A7				12.14		V/V
Output Current Sense Amp Input Dynamic Range, A7	Negative Input Range	●	-55.5	-49.5	-43.5	mV
	Positive Input Range		500			mV
IMON Amp Transconductance, EA2	$\Delta I_{VC} = 2\mu\text{A}$, $V_{FB} = 1.4\text{V}$, CTRL = 1.1V			160		μmhos
IMON Amp Voltage Gain, EA2	$V_{ISN} = 12\text{V}$, $V_{FB} = 1.4\text{V}$, CTRL = 1.1V			70		V/V
Valley Inductor Current Limit, $V_{ISP} - V_{ISN}$	$V_{ISN} = 80\text{V}$	●	-220	-300	-380	mV
	$V_{ISN} = 12\text{V}$	●	-220	-300	-380	mV

発振器

Switching Frequency, f_{osc}	$R_T = 46.4\text{k}$	●	640	750	860	kHz
	$R_T = 357\text{k}$	●	85	100	115	kHz
Switching Frequency Range	Free-Running or Synchronizing	●	100		750	kHz
SYNC High Level for Sync		●	1.5			V
SYNC Low Level for Sync		●			0.4	V
SYNC Clock Pulse Duty Cycle	$V_{SYNC} = 0\text{V}$ to 3V		20		80	%
Recommended Min SYNC Ratio f_{SYNC}/f_{OSC}				3/4		

ゲート・ドライバ、BGおよびTG

BG Rise Time	$C_{BG} = 3300\text{pF}$ (Note 3)			24		ns
BG Fall Time	$C_{BG} = 3300\text{pF}$ (Note 3)			21		ns
TG Rise Time	$C_{TG} = 3300\text{pF}$ (Note 3)			15		ns
TG Fall Time	$C_{TG} = 3300\text{pF}$ (Note 3)			16		ns
BG and TG Non-Overlap Time	TG Rising to BG Rising, $C_{BG} = C_{TG} = 3300\text{pF}$ (Note 3)		80	140	220	ns
	BG Falling to TG Falling, $C_{BG} = C_{TG} = 3300\text{pF}$ (Note 3)		45	90	150	ns
BG Minimum On-Time	$C_{BG} = C_{TG} = 3300\text{pF}$		150		420	ns
BG Minimum Off-Time	$C_{BG} = C_{TG} = 3300\text{pF}$		100		480	ns
TG Minimum On-Time	$C_{BG} = C_{TG} = 3300\text{pF}$		0		150	ns
TG Minimum Off-Time	$C_{BG} = C_{TG} = 3300\text{pF}$		290		770	ns

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は各チャネル $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 12\text{V}$ 、 $V_{EN} = 12\text{V}$ 、 $V_{BIAS} = 12\text{V}$ (Note 2)。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
パワーグッド・インジケータ、PG						
PG Overvoltage Threshold, $V_{FB} - CTRL$	V_{FB} Rising, $0.1\text{V} \leq CTRL \leq 1.1\text{V}$	●	75	114	155	mV
	V_{FB} Falling, $0.1\text{V} \leq CTRL \leq 1.1\text{V}$	●	20	60	100	mV
PG Undervoltage Threshold, $V_{FB} - CTRL$	V_{FB} Rising, $0.1\text{V} \leq CTRL \leq 1.1\text{V}$	●	-100	-60	-20	mV
	V_{FB} Falling, $0.1\text{V} \leq CTRL \leq 1.1\text{V}$	●	-155	-114	-75	mV
PG Power Good Hysteresis for Overvoltage or Undervoltage				54		mV
PG Output Voltage Low	100 μA into PG Pin, $V_{FB} = 1.4\text{V}$, $CTRL = 1.1\text{V}$	●		9	50	mV
PG Leakage Current	$V_{PG} = 7\text{V}$, $V_{FB} = 1.1\text{V}$, $CTRL = 1.1\text{V}$			0.01	1	μA

Note 1 : 絶対最大定格に記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2 : LT8714Eは、 $0^\circ\text{C} \sim 125^\circ\text{C}$ の接合部温度範囲で性能仕様に適合することが保証されている。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作温度範囲での仕様は設計、特性評価および統計的なプロセス・コントロールとの相関で確認されている。LT8714Iは、 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の全動作接合部温度範囲で保証されている。

Note 3 : 立ち上がり時間と立ち下がり時間は10%と90%のレベルを使って測定する。遅延時間は50%レベルを使って測定する。

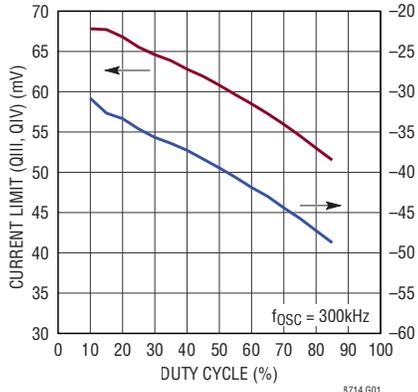
Note 4 : このデバイスは短時間の過負荷状態の間デバイスを保護するための過熱保護機能を備えている。過熱保護機能がアクティブなとき接合部温度は 125°C を超える。規定された最大動作接合部温度を超えた動作が継続すると、デバイスの信頼性を損なう恐れがある。

Note 5 : BGピン、TGピン、およびINTV_{EE}ピンには正または負の電圧源または電流源を印加してはならない。印加すると、永続的な損傷が生じる場合がある。

Note 6 : FBの負電流は、FBピンから流出する電流として定義される。FBの正電流は、FBピンに流入する電流として定義される。

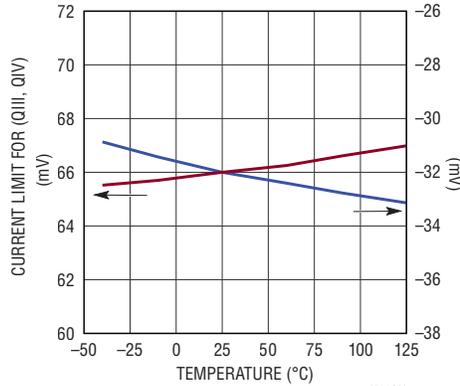
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

最大電流制限とデューティ・サイクル (CSP - CSN)



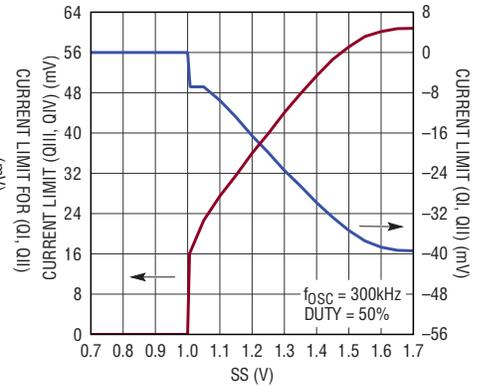
8714 G01

最大電流制限と温度 (CSP - CSN)



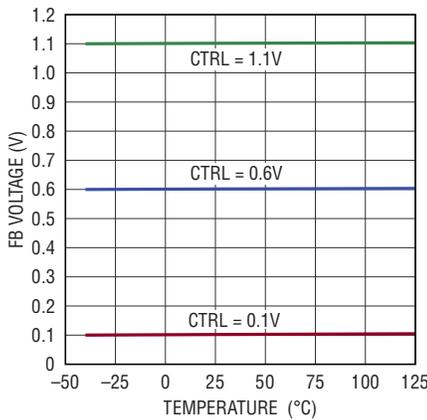
8714 G02

最大電流制限とソフトスタート (CSP - CSN)



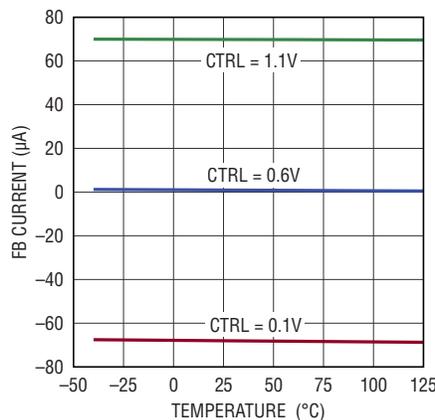
8714 G03

FBのレギュレーション電圧と温度



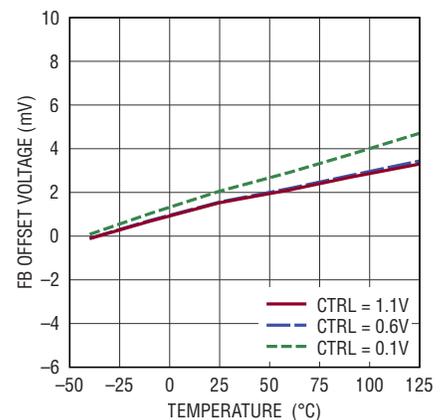
8714 G04

FBのレギュレーション電流と温度



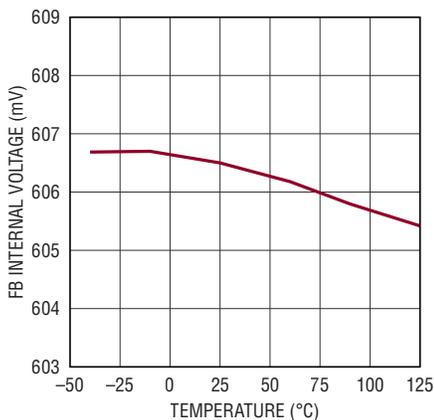
8714 G05

FBのオフセット電圧と温度 (V_{FB} - CTRL)



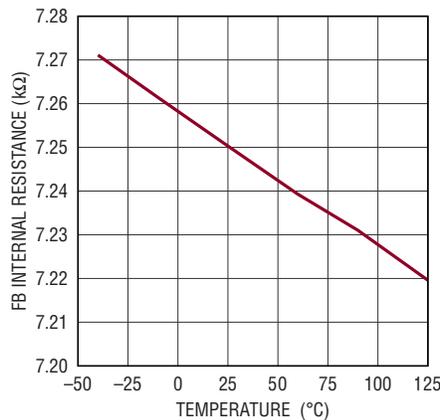
8714 G06

FBの内部電圧と温度



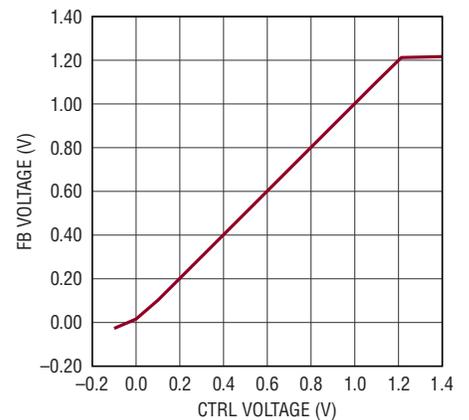
8714 G07

FBの内部抵抗と温度



8714 G08

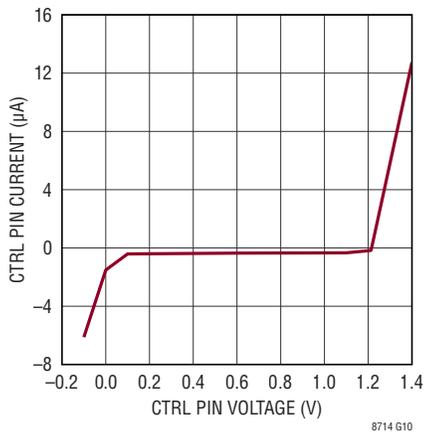
FBの電圧とCTRLの電圧



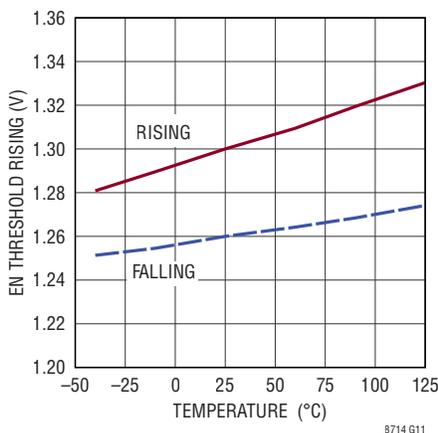
8714 G09

標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

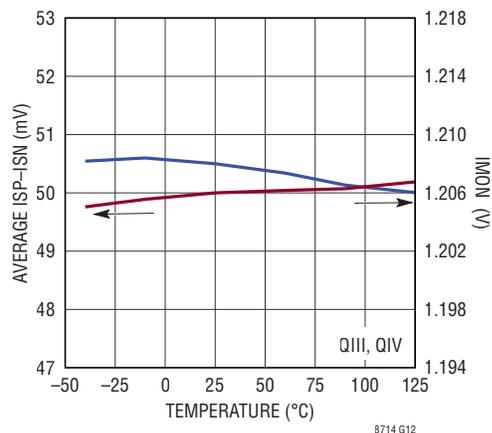
CTRLピン電流とCTRLピン電圧



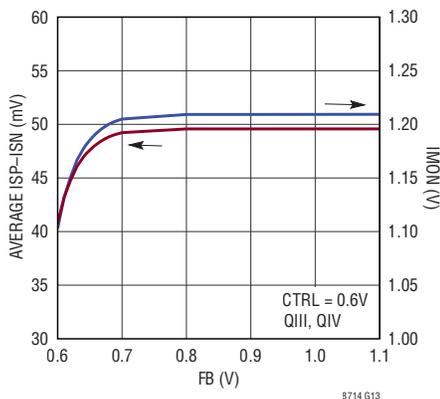
ENのしきい値と温度



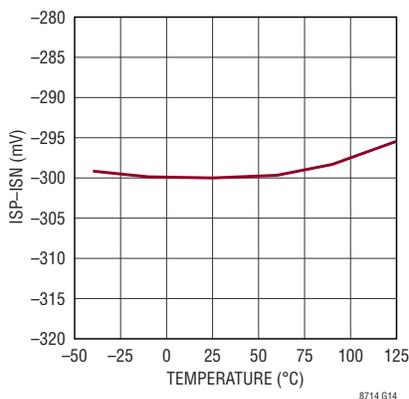
出力電流検出の安定化電圧 (ISP - ISNおよびIMON)



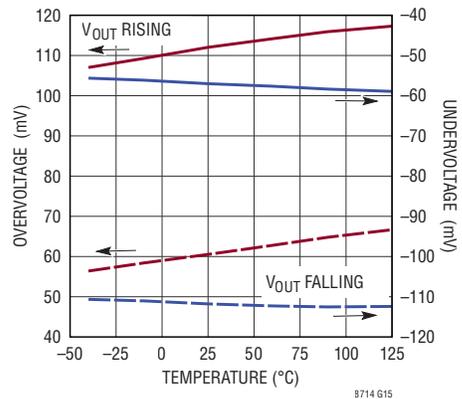
出力電流検出の安定化電圧とFB (ISP - ISNおよびIMON)



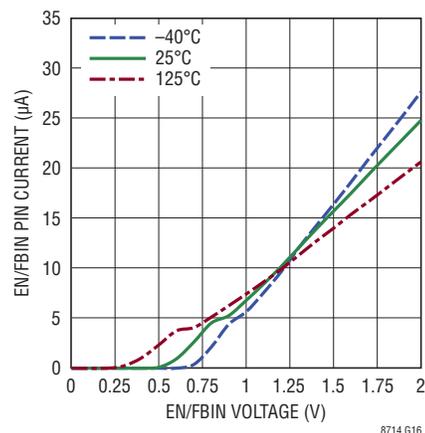
谷電流制限しきい値 (ISP - ISN)



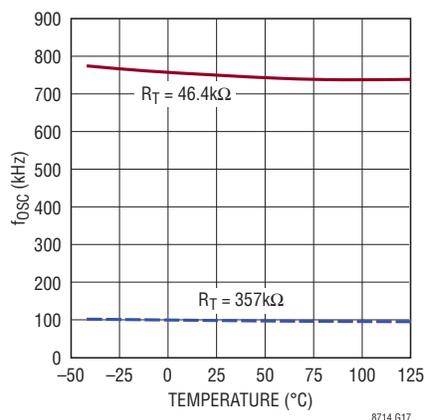
パワーグッドしきい値と温度 (VFB - CTRL)



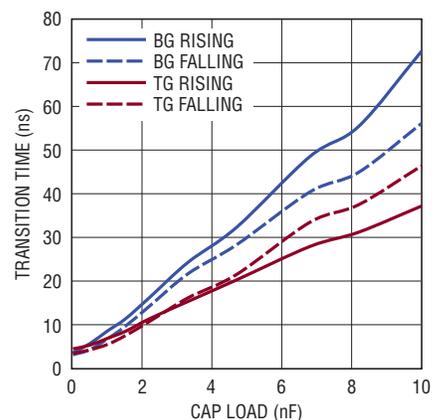
ENピンの電流 (0V ~ 2V) と温度



発振器周波数と温度



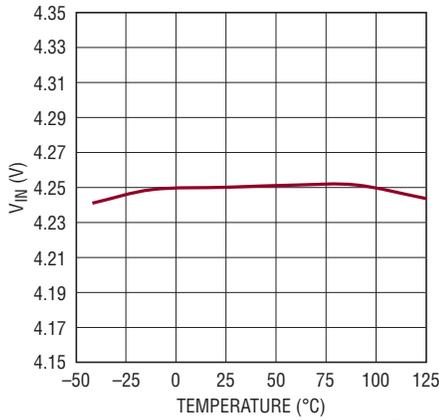
BGおよびTGの遷移時間



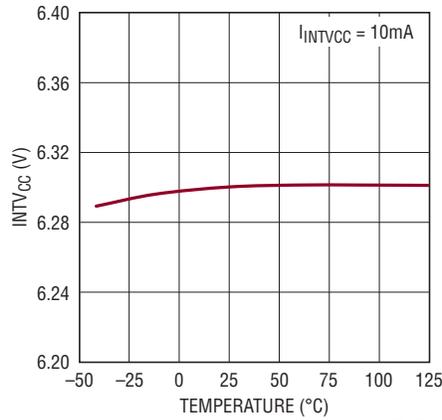
LT8714

標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

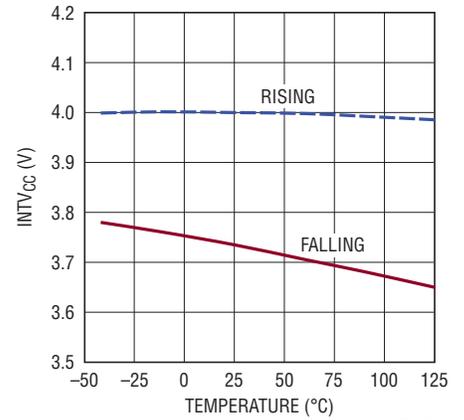
最小動作入力電圧



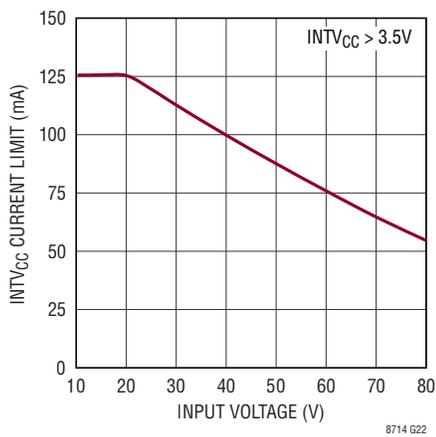
INTV_{CC}と温度



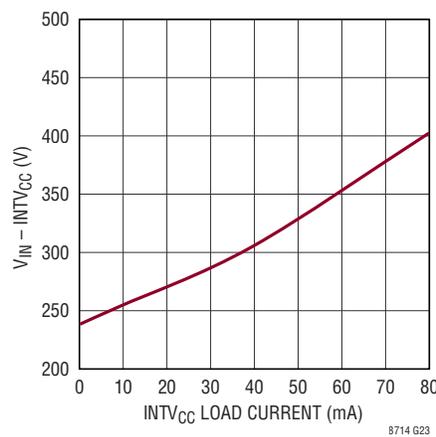
INTV_{CC} UVLOと温度



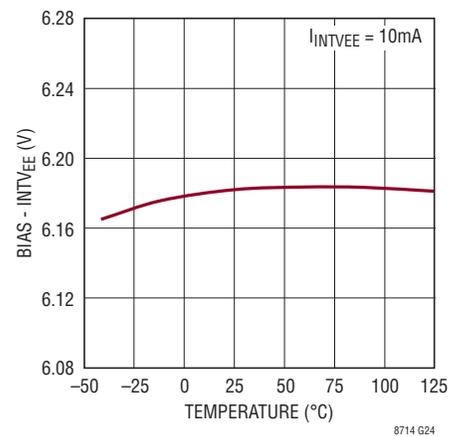
INTV_{CC}の電流制限とV_{IN}



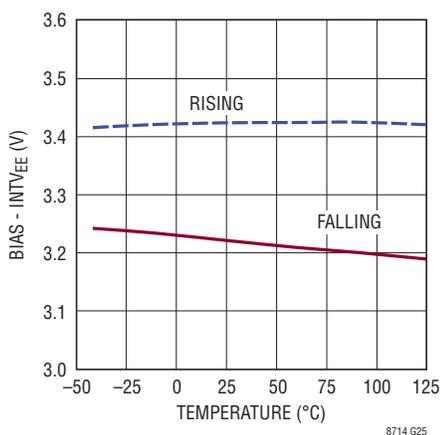
INTV_{CC}のドロップアウト



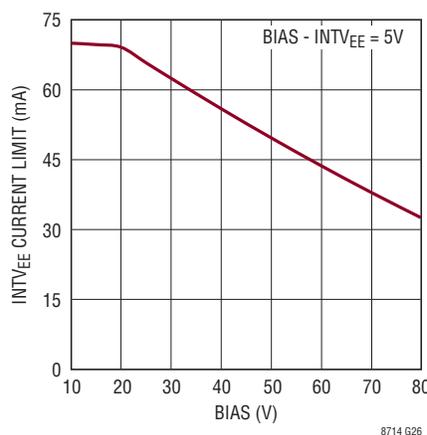
INTV_{EE}と温度



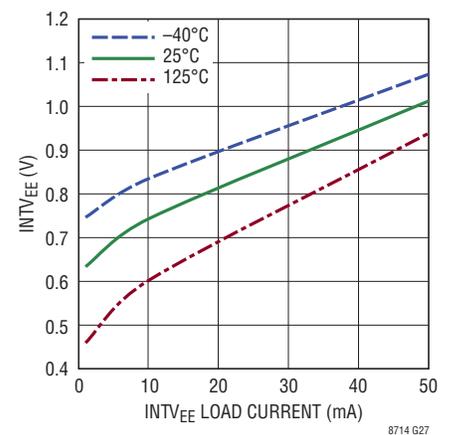
INTV_{EE} UVLOと温度



INTV_{EE}の電流制限とBIAS



INTV_{EE}のドロップアウト (BIAS = 6V)



ピン機能

FB (ピン1) : 帰還ピン。4象限コンバータでは、以下の式に従って抵抗をFBピンからV_{OUT}へ接続します。

$$R_{FB} = 7250\Omega \cdot \left(\frac{V_{OUT} - V_{CTRL}}{V_{CTRL} - 0.6065} \right)$$

V_C (ピン2) : エラーアンプの出力ピン。このピンには外付けの補償回路網を接続します。

SS (ピン3) : ソフトスタート・ピン。IMONコンデンサの5倍より大きいソフトスタート・コンデンサをここに接続します。起動すると、SSピンは(公称)260kの抵抗を介して約2.7Vに充電されます。過熱状態またはUVLO状態中、SSピンは素早く放電され、デバイスをリセットします。これらの状態が解除されると、デバイスは再起動を試みます。

PG (ピン4) : パワーグッド・ピン。PGピンは、アクティブ“H”のパワーグッド・ピンとして機能します。V_{FB}がV_{CTRL}の±60mVの範囲内にある場合、電力は良好です。この機能を使用するには、このピンにプルアップ抵抗または他の形式のプルアップ回路網を接続する必要があります。詳細については、「ブロック図」と「アプリケーション情報」のセクションを参照してください。

IMON (ピン5) : 出力電流センス・モニタの出力ピン。ISPピンとISNピンの間で検出された電圧に比例する電圧を出力します。

$$V_{IMON} = 12.14 \cdot (V_{ISP} - ISN + 49.9mV)$$

ISPピンとISNピン間の電圧はACであるため、ISPおよびISNの電圧を平均化するため、IMONピンにフィルタ・コンデンサを接続する必要があります。推奨するコンデンサの値は10nF～100nFです。アンプには49.9mVのオフセットが加算されるため、平均ISP - ISN電圧が0Vのとき、IMONピンの電圧は606mVになります。ISPピンとISNピン間の平均電圧が50mVのとき、IMONピンの出力は1.208Vになります。このピンに抵抗的に負荷を加えてはなりません。

ISNおよびISP (ピン6および7) : それぞれ正と負の出力電流検出入力ピン。ISNピンとISPピンをセンス抵抗にケルビン接続することで、出力電流を制限してください。指定されたNFETの電流が検出抵抗の両端の電圧差を50mV(標準)に制限します。

BIAS (ピン8) : 上側ゲート・ドライバ電源ピン。BIASピンにより、TGゲート・ドライバのトップ・レールが設定されます。このピンをコンバータの入力電圧源V_{IN}に接続してローカルにバイパスします。

INTV_{EE} (ピン9) : バイアスの6.18V下のレギュレータ・ピン。最低2.2μFの容量を使用してBIASにローカルにバイパスする必要があります。このピンにより、TGゲート・ドライバのボトム・レールが設定されます。BIAS - INTV_{EE}が3.42V(標準)を超えると、TGゲート・ドライバはスイッチングを開始できます。

TG (ピン10) : PFETゲート・ドライブ・ピン。“L”レベルはBIAS - INTV_{EE}で、“H”レベルはBIASです。

BG (ピン11) : NFETゲート・ドライブ・ピン。“L”レベルはGNDで、“H”レベルはINTV_{CC}です。

INTV_{CC} (ピン12) : 6.3Vの入力LDOレギュレータ・ピン。最低2.2μFの容量を使用してGNDにローカルにバイパスする必要があります。最大5mAの外部負荷をINTV_{CC}ピンに接続できます。INTV_{CC}における低電圧ロックアウトは4V(標準)です。INTV_{CC}が4V(標準)を超えると、ゲート・ドライバ(BG)はスイッチングを開始できます。

V_{IN} (ピン13) : 入力電源ピン。ローカルにバイパスする必要があります。デバイスが動作する最小電圧は4.5V(標準)です。

CSNおよびCSP (ピン14およびピン15) : それぞれ正と負のNFET電流検出入力ピン。これらのピンをセンス抵抗にケルビン接続することで、NFETスイッチ電流を制限してください。低デューティ・サイクル時の最大正検出電圧は66mV(標準)です。低デューティ・サイクル時の最大負検出電圧は-32mV(標準)です。

ピン機能

EN (ピン16) : イネーブル・ピン。UVLO (低電圧ロックアウト) 回路と組み合わせて、このピンを使ってチップをイネーブル/ディスエーブルし、ソフトスタート・シーケンスを再開します。チップをディスエーブルして超低静止電流にするには0.3Vより下にドライブします。チップをアクティブにしてソフトスタート・シーケンスを再開するには1.3V (標準)より上にドライブします。詳細については、「ブロック図」と「アプリケーション情報」のセクションを参照してください。このピンはフロート状態にしないでください。

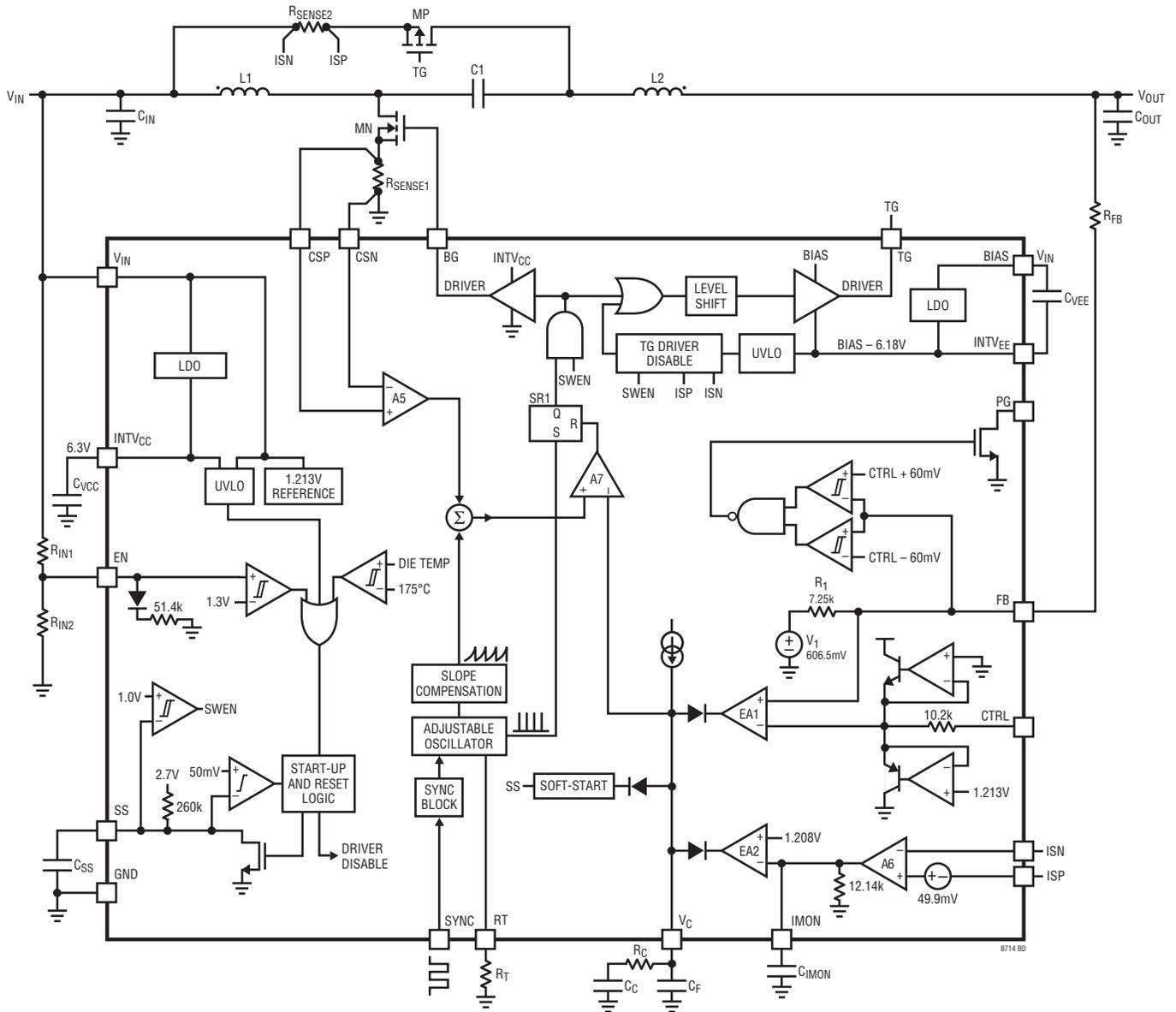
CTRL (ピン17) : 出力電圧制御ピン。CTRLピンは、 V_{FB} のレギュレーション電圧を設定します。CTRLピンは、0.1~1.1Vの電圧を受け取ります。CTRLピンを1.213Vより高く駆動した場合、FBの電圧が約1.213Vに安定化します。同様に、CTRLピンを0Vより低く駆動した場合、FBの電圧が約0Vに安定化します。

RT (ピン18) : タイミング抵抗ピン。LT8714のスイッチング周波数を調整します。このピンからグラウンドに抵抗を接続して、周波数を固定自走レベルに設定します。このピンはフロート状態にしないでください。

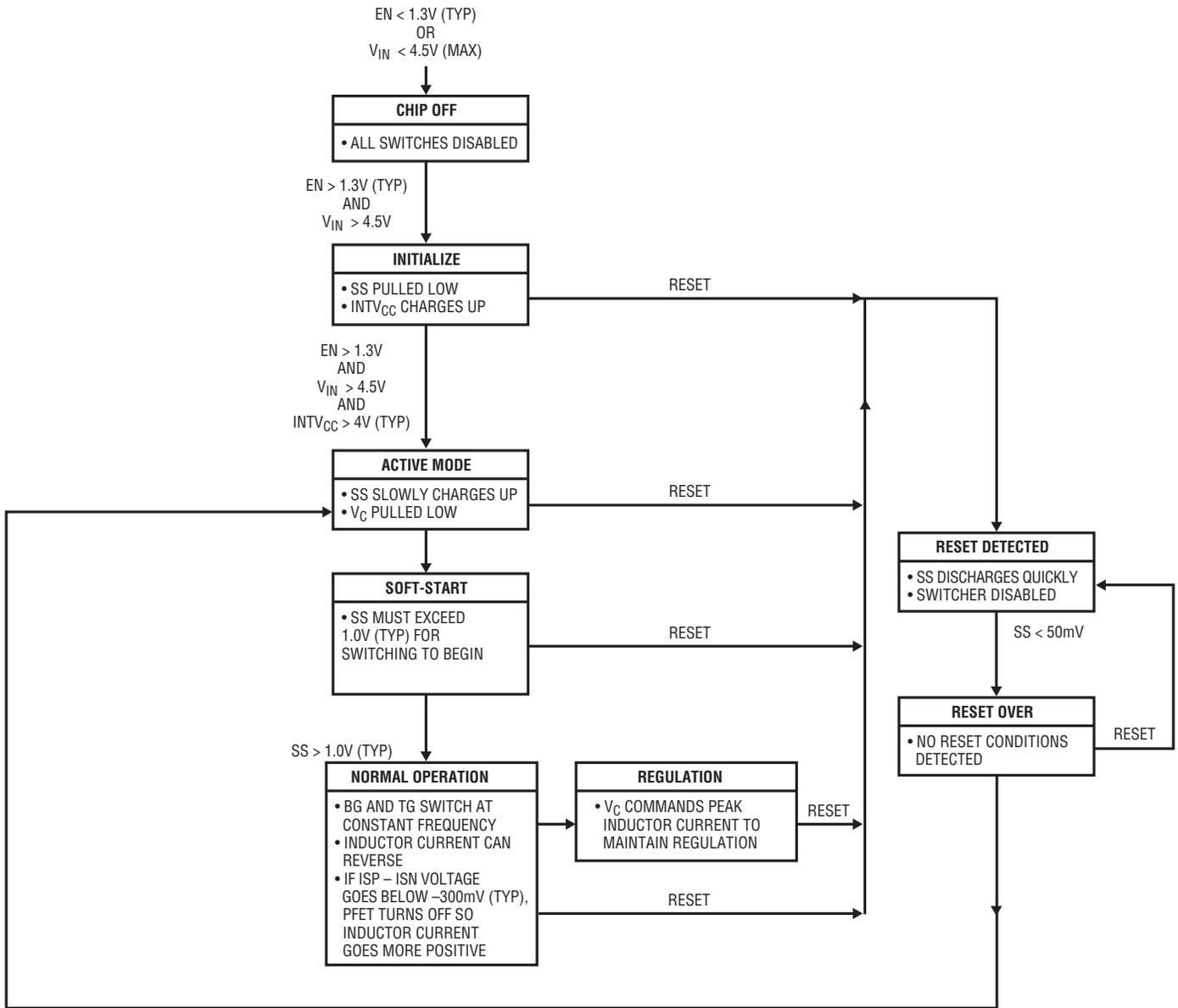
SYNC (ピン19) : スwitchング周波数を外部クロックに同期させるには、単にこのピンをクロックで駆動します。クロックの“H”電圧レベルは1.5V~5Vでなければならず、“L”電圧レベルは0.4Vより低くなければなりません。このピンを0.4V未満にドライブすると、内部自走クロックに戻ります。詳細については「アプリケーション情報」のセクションを参照してください。

GND (ピン20および露出パッドのピン21) : グラウンド・ピン。ローカルのグラウンド・プレーンに直接半田付けする必要があります。

ブロック図



状態図



8714 SD

REGULATION = OUTPUT VOLTAGE (FB)
OUTPUT CURRENT (ISP-ISN AND IMON)

RESET = UVLO ON VIN (< 4.5V (MAX))
UVLO ON INTVCC (< 4V (TYP))
EN < 1.3V (TYP)
OVERTEMPERATURE (T_J > 175°C (TYP))

動作

動作 - 4象限の概要

4象限動作とは、デバイスが電圧の極性とは無関係に電源および負荷として動作できることです。この概念を説明するために、図1および2を参照してください。

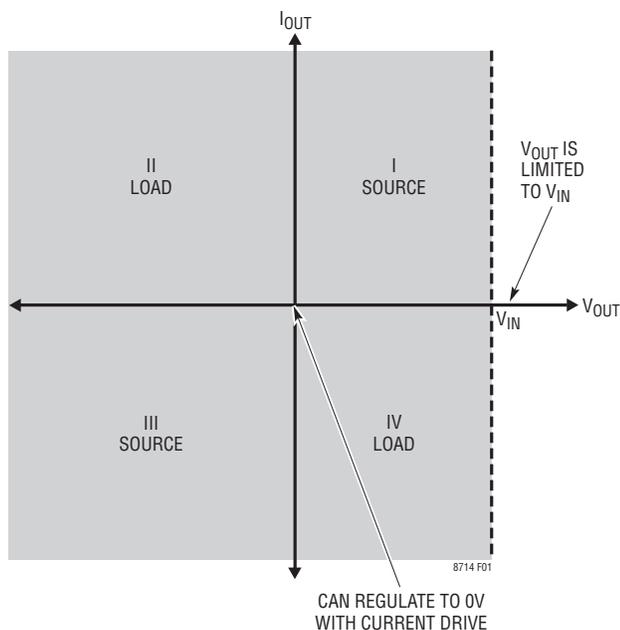


図1.4 象限動作の概要

グラフと電流の図は、正出力電圧と正出力電流、正出力電圧と負出力電流、負出力電圧と正出力電流、および負出力電圧と負出力電流を示しています。第I象限および第III象限は、電力を V_{IN} から V_{OUT} に伝送します。第II象限および第IV象限は、電力を V_{OUT} から V_{IN} に伝送して戻します。

4象限コンバータの最大正出力電圧は、 V_{IN} に制限されます。

動作 - LT8714の概要

LT8714は固定周波数の電流モード制御方式を使って、4象限コンバータの優れた入力レギュレーションと負荷レギュレーションを実現します。デバイスの低電圧ロックアウト(UVLO)機能とソフトスタートによって起動シーケンスを制御します。さらに同期スイッチングにより、高効率かつ高出力電流のアプリケーションに対応できます。デバイスの動作の以下の説明に関しては、「ブロック図」および「状態図」を参照してください。

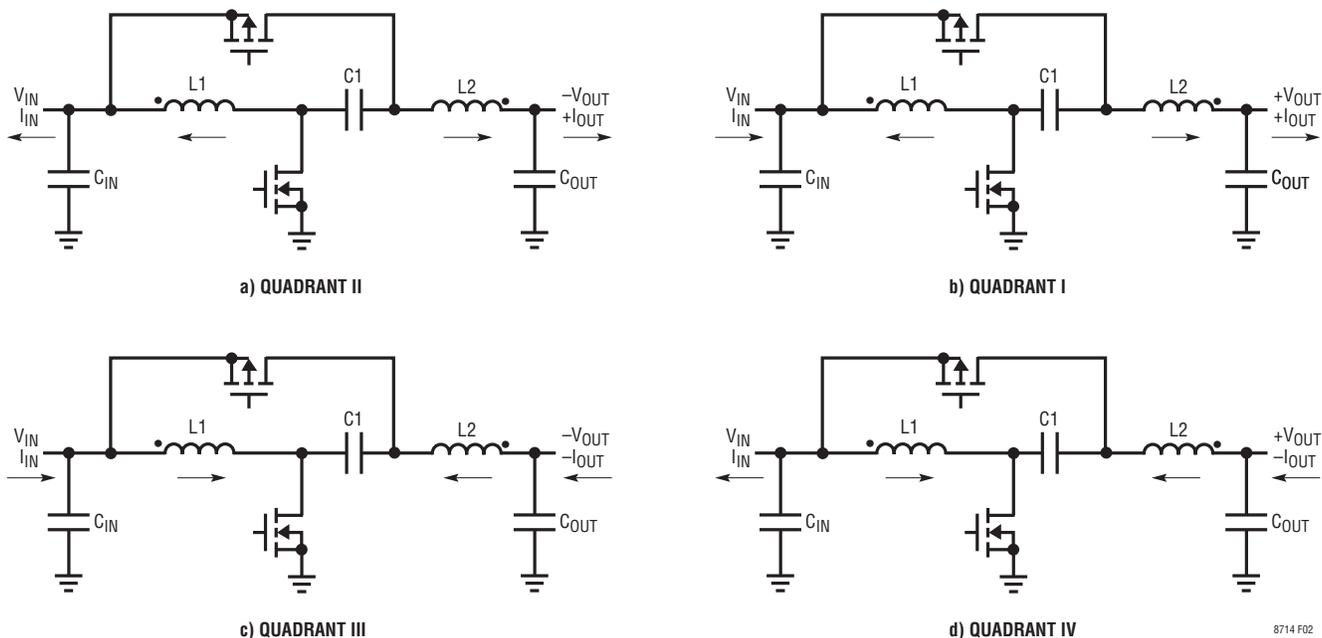


図2. 4象限トポロジーの電流

動作

動作 - 起動

LT8714には、非常にクリーンな起動を可能にするための機能がいくつか備わっています。

高精度のターンオン電圧

ENピンには、内部レールをイネーブルしてデバイスを動作させるための1つの電圧レベルがあります。ソフトスタート・サイクルを起動してスイッチングの開始を許可するには、ENピンを1.3V（標準）より上にします。このコンパレータには44mVのヒステリシスがあり、グリッチと低速ランプに対して保護します。ENピンを0.3Vより下にすると、デバイスがシャットダウンし、静止電流が非常に小さくなります。さまざまなENピン電圧での各種のデバイス・モードを示す以下の図3を参照してください。

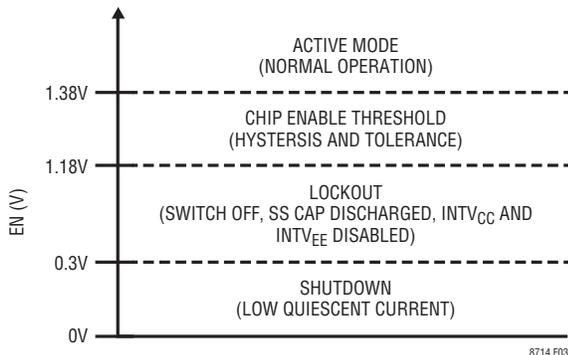


図3. デバイスのENのしきい値

低電圧ロックアウト (UVLO)

LT8714は、 V_{IN} が4.5V（最大）未満であるか、または $INTV_{CC}$ が4V（標準）未満であるときにデバイスをディスエーブルするUVLO回路を内蔵しています。ENピンを使って、設定可能なUVLOを構成することもできます。詳細については「アプリケーション情報」のセクションを参照してください。

スイッチ電流のソフトスタート

ソフトスタート回路はスイッチ電流を徐々にランプアップさせます（「標準的性能特性」の「制御されたスイッチ電流とSS」を参照）。デバイスがシャットダウン状態から回復すると、まず外付けSSコンデンサが放電します。それにより、デバイス内のロジック回路の状態がリセットされます。 $INTV_{CC}$ がUVLO状態を脱し（ $> 4V$ （標準））、かつデバイスがアクティブ・モードのとき、260kの内部抵抗がSSピンを約2.7Vに引き上げます。そ

のランプ・レートは、ピンに接続されている外付けコンデンサによって設定されます。ソフトスタート・コンデンサの標準値は100nF～1 μ Fの範囲です。また、起動の問題を回避するため、このソフトスタート・コンデンサは、IMONピンに接続されている外付けコンデンサより少なくとも5倍の大きさである必要があります。

動作 - レギュレーション

レギュレーション状態で動作しているLT8714の以下の説明を読み進む際、「ブロック図」を参照してください。LT8714は、2つのレギュレーション・モードを備えています。

1. 出力電圧 (FBピン経由)
2. 出力電流 (ISPピン、ISNピン、IMONピン経由)

これら2つのレギュレーション・ループは、外付けNFET、MNを通してピーク・コマンド電流を制御します。ただし、出力電流レギュレーション・ループは、第III象限および第IV象限でのNFETのピーク電流を安定化します。

発振器の各サイクルの開始時にSRラッチ (SR1) がセットされ、PFET、MPをオンした後、外付けNFET、MNをオンします。NFETのソース電流は外付けの電流検出抵抗 (R_{SENSE1}) を通って流れ、NFETのスイッチ電流に比例した電圧を発生させます。この電圧はA5によって増幅され、安定化ランプに加算されます。その和は、PWMコンパレータA7の正端子に与えられます。A7の正入力の電圧が負入力の電圧 (V_C ピン) を超えると、SRラッチがリセットされ、NFETがオフされた後、PFETがオンします。 V_C ピンの電圧は、1つまたは2つのレギュレーション・ループによって制御されます。簡単にするために、各レギュレーション・モードを個別に説明し、1つのレギュレーション・モードのみでLT8714を制御しているものとみなします。

出力電圧のレギュレーション

外付け抵抗を1つ使用して、目標とする出力電圧を設定します。希望の出力電圧を得るフィードバック抵抗を選択するには、「ピン機能」セクションを参照してください。 V_C ピンの電圧 (A7の負入力) はEA1によって設定されます。これは単にFBピンの電圧とCTRLピンの電圧の差を増幅したものです。このようにして、エラーアンプは正しいピーク電流レベルを設定し、出力電圧レギュレーションを保ちます。

動作

出力電流レギュレーション(第III象限および第IV象限)

ISPピンとISNピンの間に接続された外付け検出抵抗(R_{SENSE2})は、PFET(MP)のソースに配置されると、コンバータの最大シンク出力電流を設定します。49.9mVの内部オフセットが、 R_{SENSE2} の両端で検出された電圧に加算されます。その後、このオフセット電圧と検出電圧は増幅され、IMONピンに出力されます。IMONからグランドの間に外付けコンデンサを配置し、 R_{SENSE2} の両端で検出される、増幅およびチョッピングされた電圧をフィルタ処理する必要があります。IMONピンの電圧はIMONエラーアンプ(EA3)の負入力に与えられます。 V_C ピンの電圧がEA3によって設定されます。これは単にIMONピンの電圧と1.208Vのリファレンス電圧の差を増幅したものです。このようにして、IMONエラーアンプは正しいピーク電流レベルを設定し、出力シンク電流レギュレーションを保ちます。

動作 - リセット条件

LT8714がリセットされる状況は2つあります。デバイスがリセットされると、SSピンが“L”に引き下げられ、両方のパワー・スイッチが(MNおよびMP)が強制的にオフになります。すべてのリセット条件が解除されると、デバイスはソフトスタート・シーケンスを開始してスイッチングできるようになります。LT8714がリセットする可能性がある各イベントを次に示します。

1. UVLO
 - a. V_{IN} が4.5V(最大)未満になる
 - b. $INTV_{CC} < 4V$ (標準)
2. ダイ温度 $> 175^{\circ}C$

動作 - パワー・スイッチ制御

メイン・パワー・スイッチは、外付けNFET(ブロック図のMN)で、同期パワー・スイッチは外付けPFET(ブロック図のMP)です。立ち上がりエッジと立ち下がりエッジで、それぞれ約140nsおよび約90nsの非オーバーラップ時間が追加され(「電気的特性」を参照)、クロス導通を防ぎます。BGおよびTG(BIAS-TG)信号を図4に示します。

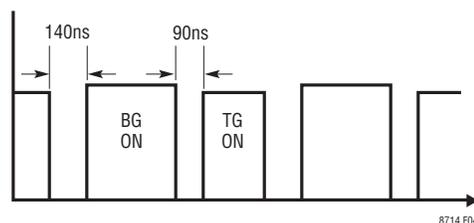


図4. 同期スイッチング

動作 - パワーグッド(PGピン)

PGピンは、アクティブ“H”のパワーグッド・ピンとして機能するオープンドレイン・ピンです。FBの電圧がCTRLピンの電圧の $\pm 60mV$ の範囲内にある場合、電力は良好です。PGコンパレータは、グリッチを拒否するために54mVのヒステリシスを持っています。

動作 - LDOレギュレータ($INTV_{CC}$ と $INTV_{EE}$)

$INTV_{CC}$ LDOは、6.3V(標準)に安定化されており、BGゲート・ドライバのトップ・レールとして使用されます。 $INTV_{CC}$ レギュレータは、内部のパス・デバイス内の電力損失を制限するとともに、ピンがグランドに短絡した場合に損傷を防ぐ安全機能も備えています。 $INTV_{CC}$ のUVLOしきい値は4V(標準)で、LDOがUVLO状態でなくなるまでLT8714はリセット状態になります。

$INTV_{EE}$ レギュレータは、BIASピンの電圧の6.18V(標準)下にレギュレーションされます。BIASの電圧はTGゲート・ドライバのトップ・レールに使用され、 $INTV_{EE}$ の電圧はTGゲート・ドライバのボトム・レールに使用されます。 $INTV_{CC}$ レギュレータと同じように、 $INTV_{EE}$ レギュレータは、内部パス・デバイス内の電力損失を制限する安全機能を備えています。

4象限コンバータの部品の選択

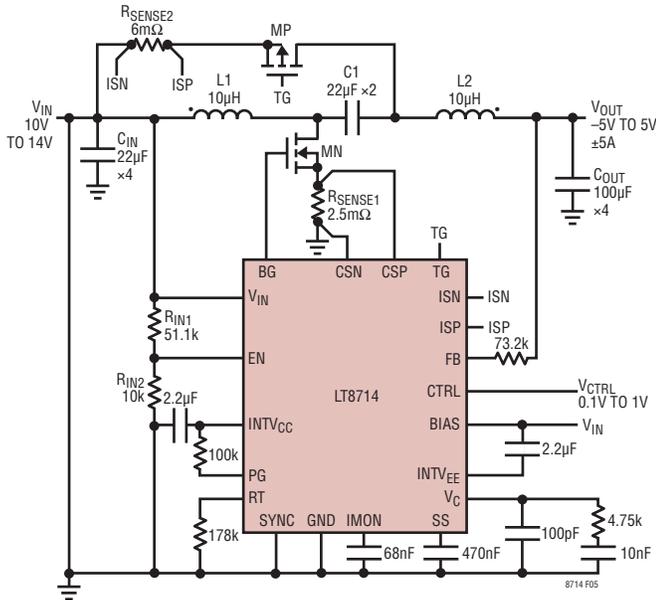


図5. 4象限コンバータ - 示された部品の値は、200kHz、10V～14V入力から-5V～5V/±5Aを出力する場合の標準値

指定する入力電圧範囲にわたって所望の出力電流および出力電圧を得るため、4象限電源として動作するLT8714の部品の値を計算する式の手順を表1に示します。表1に示す設計式の詳細については、「付録」セクションを参照してください。

変数の定義:

$V_{IN(MIN)}$ = 最小入力電圧

$V_{IN(MAX)}$ = 最大入力電圧

$V_{OUT(POS)}$ = 最大正出力電圧

$V_{OUT(NEG)}$ = 最大負出力電圧

I_{OUT} = コンバータの出力電流

f = スイッチング周波数

DC_{MAX} = $V_{IN(MIN)}$ および $V_{OUT(NEG)}$ でのデューティ・サイクル

DC_{MIN} = $V_{IN(MIN)}$ および $V_{OUT(POS)}$ でのデューティ・サイクル

V_{CSPN+} = DC_{MAX} での電流制限電圧

V_{CSPN-} = DC_{MIN} での電流制限電圧

表1.4象限コンバータの設計式

	パラメータ/式
ステップ1: 入力	V_{IN} 、 V_{OUT} 、 I_{OUT} 、 f を選び、以下の式を計算する。
ステップ2: DC_{MAX}	$DC_{MAX} = \frac{V_{IN(MIN)} - V_{OUT(NEG)}}{2V_{IN(MIN)} - V_{OUT(NEG)}}$, $DC_{MIN} = \frac{V_{IN(MIN)} - V_{OUT(POS)}}{2V_{IN(MIN)} - V_{OUT(POS)}}$
ステップ3: V_{CSPN}	DC_{MAX} 時の V_{CSPN} を求めるには、「標準的性能特性」の「最大電流制限とデューティ・サイクル」のプロットを参照。
ステップ4: R_{SENSE1}	$R_{SENSE1+} = 0.63 \cdot \frac{V_{CSPN+}}{I_{OUT}} \cdot (1 - DC_{MAX})$ $R_{SENSE1-} = 0.63 \cdot \frac{V_{CSPN-}}{I_{OUT}} \cdot (1 - DC_{MIN})$ $R_{SENSE1} = \text{MIN}(R_{SENSE1+}, R_{SENSE1-})$
ステップ5: R_{SENSE2}	$R_{SENSE2} = \frac{50\text{m}}{1.6 \cdot I_{OUT}}$
ステップ6: L	$L_{TYP} = \frac{R_{SENSE1} \cdot V_{IN(MIN)} \cdot DC_{MAX}}{12.5\text{m} \cdot f}$ (1) $L_{MIN} = -\frac{R_{SENSE1}}{40\text{m} \cdot f \cdot DC_{MAX}} \cdot V_{OUT(NEG)}$ (2) $L_{MAX} = \frac{R_{SENSE1} \cdot V_{IN(MIN)} \cdot DC_{MIN}}{3\text{m} \cdot f}$ (3)
	<ul style="list-style-type: none"> 式1～式3を解いてLの値の範囲を求める Lの値の範囲の最小値は L_{TYP} と L_{MIN} の大きい方。Lの値の範囲の最大値は L_{MAX}。 結合されたインダクタの場合、$L = L1 = L2$ とする。 結合されていないインダクタの場合、$L = L1 \parallel L2$ とする。
ステップ7: $C1$ (Note 2)	$C1 \geq \frac{I_{OUT}}{0.05 \cdot V_{IN(MIN)}} \cdot \frac{DC_{MAX}}{f} \cdot V_{RATING} > V_{IN} + V_{OUT} $
ステップ8: C_{OUT}	$C_{OUT} \geq \left(\frac{4 \cdot V_{IN(MAX)}}{8 \cdot L \cdot f^2 \cdot 0.005 \cdot V_{OUT(NEG)}} \right) \cdot \left(\frac{V_{IN(MAX)} - V_{OUT(NEG)}}{2 \cdot V_{IN(MAX)} - V_{OUT(NEG)}} \right)$
ステップ9: C_{IN}	$C_{IN} \geq \frac{I_{OUT}}{0.005 \cdot V_{IN(MIN)}} \cdot DC_{MAX}$
ステップ10: C_{IMON}	$C_{IMON} \geq \frac{100\mu\text{A} \cdot DC_{MAX}}{0.005 \cdot f}$
ステップ11: R_{FB}	$R_{FB} = 7250\Omega \cdot \frac{V_{OUT} - V_{CTRL}}{V_{CTRL} - 0.6065}$
ステップ12: R_T	$R_T = \frac{35,880}{f} - 1$; f in kHz and R_T in k Ω

NOTE 1: 特定のアプリケーションで望みの負荷トランジェント性能を得るため、 C_{OUT} と C_{IN} の最終値は上の式から外れてもかまわない。 C_{OUT} と C_{IN} の式は、ESRを0と仮定しているため、結合されたESRに基づいて、容量をその分増やすこと。

NOTE 2: 単一インダクタを使用する場合の $C1$ のサイズ決定については、「付録」のセクションを参照。

アプリケーション情報

出力電圧レギュレーションの設定

LT8714の出力電圧は、外付け抵抗 (R_{FB}) をコンバータの出力 (V_{OUT}) からFBピンに接続して設定します。 R_{FB} は次の式によって決まります。

$$R_{FB} = 7250\Omega \cdot \frac{V_{OUT} - V_{CTRL}}{V_{CTRL} - 0.6065}$$

$$V_{CTRL} = \frac{V_{OUT} + 83.7\mu A \cdot R_{FB}}{(1 + R_{FB}/7.25k)}$$

出力電圧を設定するには、以下の3つの手順をこの順序で行います。

1. アプリケーションで最大の V_{OUT} 電圧 (正または負) を選択します。
2. 最大の V_{OUT} 電圧を得るための目的のCTRLピンの電圧 (0.1V ~ 1.1V) を選択します。
3. 選択した V_{OUT} 電圧およびCTRLピンの電圧を上の式に代入して、 R_{FB} のサイズを決定します (なお、 R_{FB} の値が負の場合、選択したCTRLの電圧を減らす必要があります)。

例1: 10V ~ 14V 入力 → -5V ~ 5V 出力

1. $V_{OUT} = -5V$.
2. 負出力電圧の場合、CTRLは0.6065未満になります。CTRL = 0.1Vを選択します。
3. $R_{FB} = 7250\Omega \cdot \frac{-5V - 0.1V}{0.1V - 0.6065V} = 73k$; use 73.2k
4. $V_{CTRL} = \frac{5 + 83.7\mu A \cdot 73.2k}{(1 + 73.2k/7.25k)} = 1.003V$ for $V_{OUT} = 5V$

例2: 10V ~ 14V 入力 → -1V ~ 6V 出力

1. $V_{OUT} = 6V$.
2. 正出力電圧の場合、CTRLは0.6065を上回ります。CTRL = 1.1Vを選択します。
3. $R_{FB} = 7250\Omega \cdot \frac{6V - 1.1V}{1.1V - 0.6065V} = 72k$; use 73.2k
4. $V_{CTRL} = \frac{-1 + 83.7\mu A \cdot 73.2k}{(1 + 73.2k/7.25k)} = 0.462V$ for $V_{OUT} = -1V$

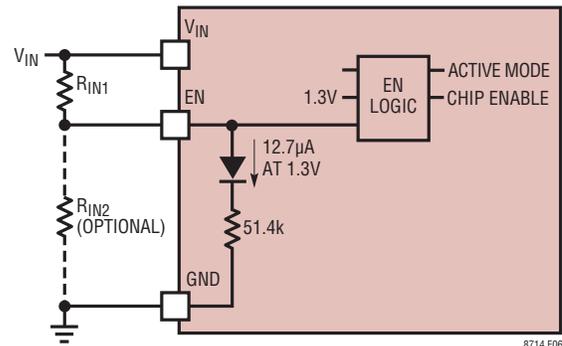


図6. イネーブルしきい値

最小起動電圧の設定

V_{IN} 、EN、およびGNDの間に抵抗分割器を接続することによって、最小入力起動電圧を設定できます。最小入力電圧を設定する場合、図6を参考にしてください。

抵抗 R_{IN2} は任意ですが、イネーブルしきい値の精度を上げるために推奨されます。精度を上げるには、 $R_{IN2} \leq 10k\Omega$ に設定します。目的の起動電圧を実現する R_{IN1} のサイズを決定するには、次式を用います。

$$V_{IN_START-UP} = 12.7\mu A \cdot R_{IN1} + 1.3V \left(1 + \frac{R_{IN1}}{R_{IN2}} \right)$$

出力電流のモニタおよび制限 (R_{SENSE2} 、ISP – ISNピン、IMONピン)

LT8714は出力電流モニタ回路を備えており、この回路を使用して、第三象限および第四象限 (第I象限または第II象限ではない) での出力電流をモニタしたり、制限することができます。電流モニタ回路は図7に示すように機能します。出力電流をモニタおよび制限する必要がない場合は、IMONピンを単にグラウンドに接続し、ISPおよびISNを V_{IN} に接続して、 R_{SENSE2} を削除してください。

R_{SENSE2} を流れる電流は、各クロック・サイクルでオン/オフするMPを通して電流を検出します。 R_{SENSE2} を流れる電流はチョッピングされているため、IMONピンからグラウンドの間にフィルタ・コンデンサを接続して、IMONピンの電圧をEA3に向ける前にフィルタリングする必要があります。要求されるIMONピン・コンデンサを計算する式を次に示します。

$$C_{IMON} > \frac{100\mu A \cdot DC}{5mV \cdot f}$$

アプリケーション情報

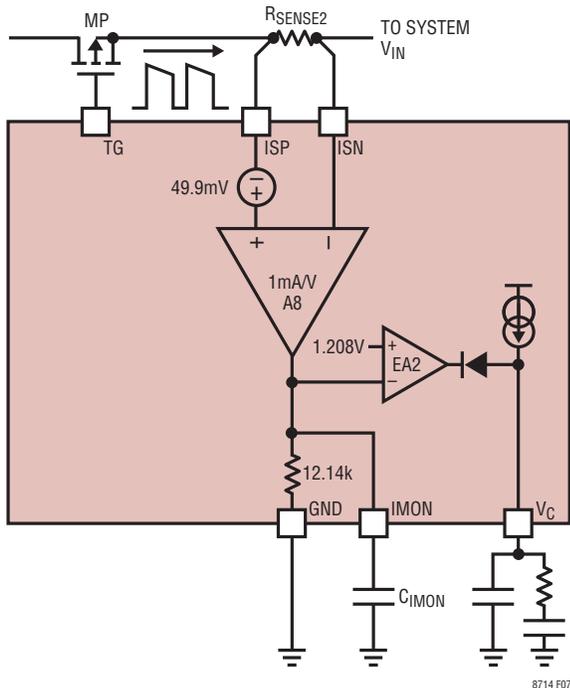


図7. 出力電流のモニタと制御

ここで、DCはコンバータのアプリケーションのデューティ・サイクルであり、fはスイッチング周波数です。起動時の問題を防ぐため、IMONコンデンサはSSコンデンサよりも早く充電される必要があります。SSコンデンサのサイズは、IMONコンデンサの少なくとも5倍より大きくすることを推奨します。

出力電流のモニタ

IMONピンの電圧は、ISPピンとISNピンの間で検出された電圧の増幅版です。RSENSE2の電流とIMONピンの電圧の関係式を次に示します。RSENSE2を流れる電流は定常状態で、その時間平均電流はコンバータのシンク出力電流とほぼ同じであると仮定します。

$$V_{IMON} = 12.14 \cdot (I_{RSENSE2(AVE)} \cdot R_{SENSE2} + 49.9mV)$$

$$I_{OUT} \approx I_{RSENSE2(AVE)} = \frac{V_{IMON} - 49.9mV}{12.14 \cdot R_{SENSE2}}$$

出力電流制限(第III象限および第IV象限)

図7に示すように、IMONの電圧が1.208V(標準)を超えるとVcの電圧が低下し、これによってインダクタ電流は制限されます。このIMONの電圧は、RSENSE2の両端の平均電圧50mVに対応しています。定常状態の第III象限および第IV象限でのシンク出力電流を制限するためのRSENSE2抵抗を求める式を次に示します。

$$R_{SENSE2} = \frac{50mV}{I_{OUT(LIMIT)}}$$

第III象限および第IV象限での出力電流を制限する必要がない場合、RSENSE2の大きさは、IOUT(LIMIT)をコンバータの最大出力電流より約60%大きい値に設定して決めてください。

スイッチ電流制限(RSENSE1およびCSP - CSNピン)

外付け電流検出抵抗(RSENSE1)は、外付けのNFETスイッチ(MN)を介して最大ピーク電流を設定します。RSENSE1の両端の最大電圧は66mV(標準)であり、極めて低いスイッチ・デューティ・サイクルでの最小電圧は-32mVです。内部スロープ補償を使用すると、デューティ・サイクルが増えるに従って電流制限が減少します(「標準的性能特性」の「最大電流制限とデューティ・サイクル(CSP - CSN)」のグラフを参照)。次の式は、指定されたデューティ・サイクルと電流検出抵抗における正および負のスイッチ電流制限を求めます(動作デューティ・サイクルにおけるVcSPN+およびVcSPN-は上記のグラフで調べます)。

$$I_{SW+} = \frac{V_{CSPN+}}{R_{SENSE1}}$$

$$I_{SW-} = \frac{V_{CSPN-}}{R_{SENSE1}}$$

アプリケーション情報

任意のアプリケーションで目標とする負荷電流を供給するには、 R_{SENSE1} のサイズを適切に決定する必要があります。スイッチ電流は、入力電圧がその範囲の中で最も低いときに最も大きくなります。4象限動作に対して R_{SENSE1} を計算する式を次に示します。

$$R_{SENSE1+} = \frac{0.74 \cdot V_{CSPN+} \cdot \left(1 - \frac{i_{RIPPLE}}{2}\right)}{\left(\frac{I_{OUT}}{1 - DC}\right) + \left(\frac{|V_{OUT} \cdot I_{OUT}|}{V_{IN}}\right) \cdot \left(\frac{1}{\eta} - 1\right)}$$

$$R_{SENSE1-} = \frac{0.74 \cdot V_{CSPN-} \cdot \left(1 - \frac{i_{RIPPLE}}{2}\right)}{\left(\frac{I_{OUT}}{1 - DC}\right) + \left(\frac{|V_{OUT} \cdot I_{OUT}|}{V_{IN}}\right) \cdot \left(\frac{1}{\eta} - 1\right)}$$

ここで、

η = コンバータの効率(第I象限および第IV象限では約90%、第II象限および第III象限では約80%を仮定します)

V_{CSPN+} = 最大正電流制限電圧(「標準的性能特性」の「最大電流制限とデューティ・サイクル(CSP - CSN)」のグラフを参照)。

V_{CSPN-} = 最大負電流制限電圧(「標準的性能特性」の「最大電流制限とデューティ・サイクル(CSP - CSN)」のグラフを参照)。

I_{OUT} = コンバータの出力電流

DC_{MAX} = 最小 V_{IN} および最も低い負の V_{OUT} でのスイッチング・デューティ・サイクル

DC_{MIN} = 最小 V_{IN} および最も高い正の V_{OUT} でのスイッチング・デューティ・サイクル

i_{RIPPLE} = 最小 V_{IN} 時のピーク・トゥ・ピーク・インダクタ・リップル電流のパーセント(25%を使用することを推奨)

電流検出のフィルタリング

特定のアプリケーションでは、 R_{SENSE1} または R_{SENSE2} もしくはその両方の両端に過剰なスイッチング・ノイズが現れる場合があるので、インダクタ電流検出信号のフィルタリングが必要ことがあります。高い動作電圧、高い R_{SENSE} 値、容量の大きなMOSFETは、どれもMOSFETの状態が変化したときに R_{SENSE} の両端に現れるノイズを増やす要因です。CSP/CSNまたはISP/ISNもしくはその両方での検出信号は、下の図8および9に示すRC回路網の一方を追加すればフィルタ処理

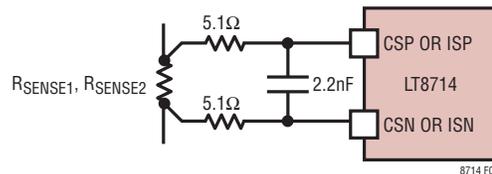


図8. CSP/CSNピンおよび/またはISP/ISNピンの差動RCフィルタ

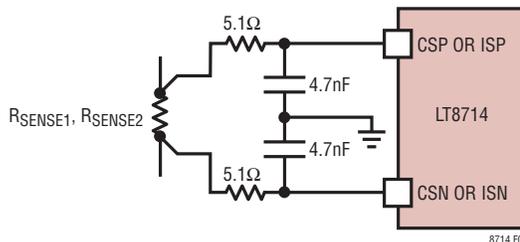


図9. CSP/CSNピンおよび/またはISP/ISNピンの差動および同相RCフィルタ

できます。図8に示すフィルタは差動ノイズをフィルタ処理します。一方、図9のフィルタは、追加のコンデンサと約2倍の容量値を使用して、差動ノイズと同相ノイズをフィルタ処理します。図9のフィルタを使用する場合、LT8714のパドルに直接ケルピンでグランド接続することを推奨します。このフィルタ回路網は、LT8714にできるだけ近づけて配置してください。CSP/CSNピンおよびISP/ISNピンでのオフセット電圧が高くなるので、抵抗値は10Ωより大きくしないでください。RCの積は30nsより短くなるようにしてください。これは、単に合計直列R(この場合は5.1Ω + 5.1Ω)に、検出ピン間で検出された等価容量(図8では2.2nF、図9では2.35nF)を掛けた値です。

スイッチング周波数

LT8714は100kHz ~ 750kHzの固定周波数アーキテクチャを採用しています。周波数は内部発振器を使用して設定するか、外部クロック信号源に同期させることができます。スイッチング周波数の選択には効率と部品サイズとの兼ね合いがあります。低周波数動作は、MOSFETのスイッチング損失を低減して効率を向上させますが、出力リップル電圧を低く保つには大きなインダクタンスや容量が必要になります。大電力アプリケーションでは、スイッチング損失によるMOSFETの発熱を最小限に抑えるため、低周波数での動作を検討してください。スイッチング周波数を設定するには、RTピンとグランドの間に適切な抵抗を配置して、SYNCピンを“L”に接続します。この周波数はSYNCピンを駆動する外部クロック信号源に同期させることもできます。以降のセクションでは詳細を説明します。

アプリケーション情報

発振器のタイミング抵抗 (R_T)

LT8714の動作周波数は内部自走発振器を使用して設定することができます。SYNCピンを“L” (< 0.4V)にドライブすると、動作周波数は、 R_T ピンからグラウンドに接続した抵抗によって設定されます。発振器周波数は次式を使って計算されます。

$$f = \frac{35,880}{(R_T + 1)}$$

ここで、 f の単位はkHz、 R_T の単位はk Ω です。逆に、 R_T (k Ω)は次式を使って目的の周波数 (kHz)から計算することができます。

$$R_T = \frac{35,880}{f} - 1$$

クロック同期

LT8714の動作周波数は、デジタル・クロック信号をSYNCピンに供給することで外部ソースで設定できます(その場合も R_T 抵抗は必要です)。LT8714はSYNCピンのクロック周波数で動作します。いくつかの自走クロック・サイクルの間SYNCピンを0.4V未満にドライブすると、LT8714は内部自走発振器クロックに戻ります。

SYNCを長時間“H”にドライブすると、動作中のクロックを実際上停止し、ラッチSR1がセットされるのを防ぎます(ブロック図を参照)。その結果、LT8714のスイッチング動作は停止します。

SYNC信号のデューティ・サイクルは、適切に動作させるには20%～80%でなければなりません。また、SYNC信号の周波数は、次の2つの条件を満たす必要があります。

1. SYNC信号は、0.4Vより下で停止して自走発振器をイネーブルする場合以外、100kHz～750kHzの周波数範囲外に切り替わることはできません。
2. SYNC周波数は(R_T 抵抗によって設定される)自走発振器の周波数 f_{osc} より常に高くすることができますが、 f_{osc} を25%下回る値より低くしてはなりません。

SYNCピンが切り替えを開始した後は、SYNCピンが切り替えを停止する前にスイッチング動作を停止しておくことを推奨します。LT8714が外部のSYNCクロック信号源から内部の自走発振器クロックに移行したときにSYNCが切り替えを停止すると、過剰な負のインダクタ電流が発生することがあります。スイッチング動作はENピンを“L”にすれば停止できます。

LDOレギュレータ

LT8714は、BGゲート・ドライバとTGゲート・ドライバを駆動するために、2つのリニア・レギュレータを備えています。INTV_{CC}LDOは、グラウンドより6.3V (標準)上にレギュレーションし、INTV_{EE}レギュレータはBIASピンの6.18V (標準)下にレギュレーションします。

INTV_{CC} LDOレギュレータ

INTV_{CC}LDOは、BGゲート・ドライバのトップ・レールとして使用されます。2.2 μ Fより大きい外付けコンデンサをINTV_{CC}ピンからグラウンドの間に接続する必要があります。INTV_{CC}のUVLOしきい値は4V (標準)で、LDOがUVLO状態でなくなるまでLT8714はリセット状態になります。

過電流保護回路は、LDOから流れる最大電流を標準で125mAまでに制限します。起動時または過負荷状態でINTV_{CC}が約3.5Vより低い場合、標準的な電流制限値は25mAに減少します。選択された V_{IN} が20V (標準)より大きい場合、LDOの電流制限は V_{IN} に比例して減少し、INTV_{CC}パス・デバイスの最大電力を制限します。「標準的性能特性」の「INTV_{CC}電流制限と V_{IN} 」のグラフを参照してください。ダイ温度が175°C (標準)を超えた場合、LDOの電流制限は0に低下します。

INTV_{CC}LDOでの電力損失を最小限に抑えて効率を改善し、LT8714の過熱を防止する必要があります。入力電圧回路の電流制限の減少は、デバイスの過熱を防ぎますが、これらのガイドラインに従う必要があります。INTV_{CC}のLDOに流れる電流は、以下の条件で最大になります。

1. 大きな(容量性の)MOSFETを高周波で駆動する。
2. コンバータのスイッチ電圧($2 \cdot V_{IN} - V_{OUT}$)が高いので、MOSFETのゲートをオン/オフするのに多くの電荷を必要とする。

一般に、高電圧のアプリケーションでは、適切なサイズのMOSFETを使用して、スイッチング周波数を低くして、INTV_{CC}電流を最小限に保ちます。

アプリケーション情報

INTV_{EE} LDOレギュレータ

BIASの電圧はTGゲート・ドライバのトップ・レールに使用され、INTV_{EE}の電圧はTGゲート・ドライバのボトム・レールに使用されます。2.2μFより大きい外付けコンデンサをBIASピンとINTV_{EE}ピンの間に接続する必要があります。INTV_{EE}レギュレータがUVLO状態を脱すると、TGピンはスイッチングを開始できます。過電流保護回路は、レギュレータから流れる最大電流を標準で65mAまでに制限します。BIASの電圧が20V（標準）より大きい場合、レギュレータの電流制限はBIASの電圧に比例して減少し、INTV_{EE}パス・デバイスの最大電力を制限します。「標準的性能特性」の「INTV_{EE}電流制限とBIAS」のグラフを参照してください。

「INTV_{CC} LDOレギュレータ」セクションに記載されている熱に関するガイドラインが、INTV_{EE}レギュレータにも適用されます。

4象限コンバータのレイアウトのガイドライン

一般的なレイアウトのガイドライン

- 熱性能を改善するには、LT8714の露出パッドをグランド・プレーンに半田付けし、多数のビアをパッドの周囲に置いて追加のグランド・プレーンに接続します。
- 高速スイッチング経路（詳細については以下の個々のトポロジーを参照）はできるだけ短くする必要があります。
- FB、V_C、IMON、およびR_Tに関連する部品はできるだけLT8714に近づけ、スイッチング・ノードからできるだけ離して配置します。これらの部品のグランドはスイッチ電流の経路から離します。
- V_{IN}ピンとBIASピンのバイパス・コンデンサ（C_{VIN}およびC_{BIAS}）は、できるだけLT8714に近づけて配置します。
- INTV_{CC}ピンとINTV_{EE}ピンのバイパス・コンデンサ（C_{VCC}およびC_{VEE}）は、できるだけLT8714に近づけて配置します。
- 最高の負荷レギュレーションを実現するため、負荷は出力コンデンサの正端子および負端子に直接接続します。

4象限トポロジーに固有のレイアウトのガイドライン

C_{IN}、R_{SENSE1}、MN、C1、MP、R_{SENSE2}、グランド・リターンを制御する高速スイッチング経路をできるだけ短くして、スイッチング時のスイッチ・ノードの寄生誘導性スパイクを最小限に抑えます。

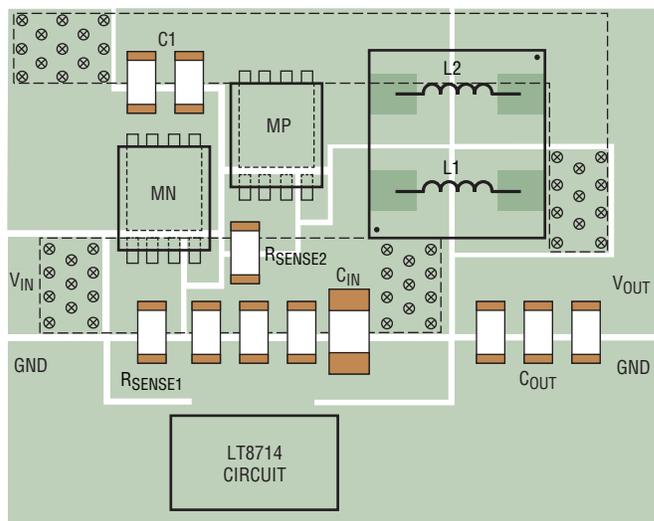


図10. 4象限コンバータの推奨部品配置

電流検出抵抗のレイアウトのガイドライン

- 図11に示すように、CSP/CSNラインとISP/ISNラインを別々に（近づけて）デバイスから電流検出抵抗へ配線します。
- 最高の精度の電流検出を実現するために、ケルビン接続によってCSP – CSNピンまたはISP – ISNピンに追加オフセットが発生しないように、検出抵抗の実装面積の内部に切り欠きを作成します。

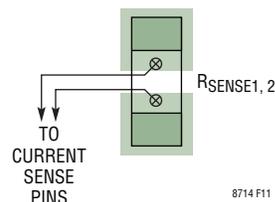


図11. CSP/CSNおよびISP/ISNラインの推奨配線および接続

アプリケーション情報

熱に関する検討事項

概要

基板の中で最も電力消費が大きく、最も熱を発生する主な部品は、パワー・スイッチ(MNおよびMP)、パワー・インダクタ、検出抵抗、およびLT8714デバイスです。これらの部品がパッケージ内部で発生した熱を放散するには、十分な熱経路を与えることが不可欠です。これは、パッケージ底部のサーマル・パッドの利点を利用して実現することができます。プリント回路基板のビアを多数使って、できるだけ面積の大きな銅プレーンに各部品からの熱を逃がすことを推奨します。パワー・スイッチの場合、基板の周囲にノイズを放射できるEMI表面を大きくするため、ドレイン接続の銅の面積は大きすぎではありません。

パワー MOSFET の損失および熱の計算

LT8714は2つの外付けパワー MOSFETを必要とします。BG ゲート・ドライバ用のNFETスイッチと、TGゲート・ドライバ用のPFETスイッチです。MOSFET内の電力損失を推定するのに重要なパラメータは、次のとおりです。

1. オン抵抗 ($R_{DS(on)}$)
2. ゲート・ドレイン間の電荷 (Q_{GD})
3. ボディー・ダイオードの順方向電圧 (V_{BD})
4. FETの「オフ時間」中の V_{DS}
5. スイッチ電流 (I_{SW})
6. スイッチング周波数 (f)

各パワー・スイッチ内の電力損失には、DC項とAC項があります。DC項は、パワー・スイッチが完全にオンのときで、AC項はパワー・スイッチがオンからオフ、またはオフからオンへ遷移しているときです。

次の内容は、NFETとPFETの両方のパワー・スイッチに該当します。4象限トポロジーの場合、オン時間の間に各MOSFETに流れる平均電流 (I_{SW}) は次式で得られます。

$$I_{SW} \approx \frac{I_{OUT}}{(1-DC)} + \frac{|V_{OUT} \cdot I_{OUT}|}{4V_{IN}}$$

オフ時間中の $|V_{DS}|$ 電圧は $2V_{IN} - V_{OUT}$ にほぼ等しくなります。ゲート・ドライバの非オーバーラップ時間の間、 I_{OUT} の極性に応じて、NFETまたはPFETのいずれかのボディー・ダイオードにインダクタ電流が流れます。MNおよびMPにおける電力損失の式を次に示します。

第I象限および第II象限の場合:

$$\begin{aligned} P_{MOSFET} &= P_{I^2R} + P_{SWITCHING} \\ P_{MP} &= I_P^2 \cdot R_{DS(on)} + V_{DS} \cdot I_P \cdot f \cdot t_{RF} \\ P_{MN} &= I_N^2 \cdot R_{DS(on)} + V_{BD} \cdot \left(\frac{I_{PK}}{1.6} + I_{VY} \right) \cdot f \cdot 140ns \\ I_{PK} &= I_{SW} + \frac{i_{RIPPLE}}{2}; \quad I_{VY} = I_{SW} - \frac{i_{RIPPLE}}{2} \\ I_N &= \sqrt{DC \cdot \left(I_{SW}^2 + \frac{i_{RIPPLE}^2}{12} \right)} \\ I_P &= \sqrt{(1-DC) \cdot \left(I_{SW}^2 + \frac{i_{RIPPLE}^2}{12} \right)} \\ P_{RR-N} &\approx V_{DS} \cdot Q_{RR-N} \cdot f \end{aligned}$$

第III象限および第IV象限の場合:

$$\begin{aligned} P_{MOSFET} &= P_{I^2R} + P_{SWITCHING} \\ P_{MN} &= I_N^2 \cdot R_{DS(on)} + V_{DS} \cdot I_N \cdot f \cdot t_{RF} \\ P_{MP} &= I_P^2 \cdot R_{DS(on)} + V_{BD} \cdot \left(\frac{I_{PK}}{1.6} + I_{VY} \right) \cdot f \cdot 140ns \\ I_{PK} &= I_{SW} + \frac{i_{RIPPLE}}{2}; \quad I_{VY} = I_{SW} - \frac{i_{RIPPLE}}{2} \\ I_N &= \sqrt{DC \cdot \left(I_{SW}^2 + \frac{i_{RIPPLE}^2}{12} \right)} \\ I_P &= \sqrt{(1-DC) \cdot \left(I_{SW}^2 + \frac{i_{RIPPLE}^2}{12} \right)} \\ P_{RR-P} &\approx V_{DS} \cdot Q_{RR-P} \cdot f \end{aligned}$$

ここで、

- f = スイッチング周波数
- I_N = NFETのRMS電流
- I_P = PFETのRMS電流
- t_{RF} = NFETのドレイン電圧の立ち上がり時間と立ち下がり時間の平均
- I_{PK} = ピーク・インダクタ電流
- I_{VY} = インダクタの谷電流
- i_{RIPPLE} = インダクタのリプル電流

アプリケーション情報

- DC = スイッチのデューティ・サイクル(「付録」の「パワー・スイッチのデューティ・サイクル」のセクションを参照)
- V_{BD} = NFETまたはPFETのボディー・ダイオードの順方向電圧
- I_{SW} = NFETまたはPFETのスイッチ電流
- P_{RR-N} = NFET ボディー・ダイオードの逆回復電力損失
- P_{RR-P} = PFET ボディー・ダイオードの逆回復電力損失
- Q_{RR-N} = NFET ボディ・ダイオードの接合容量に蓄積される逆回復電荷
- Q_{RR-P} = PFET ボディ・ダイオードの接合容量に蓄積される逆回復電荷

t_{RF} の標準的な値はMOSFETの容量とドレイン電圧に応じて10～40nsです。一般的に、MOSFETの Q_{GD} が低いほど、そのドレイン電圧の立ち上がり時間と立ち下がり時間は早くなります。最善の計算を行うために、アプリケーションの立ち上がり時間と立ち下がり時間を測定します。

ボディー・ダイオードの逆回復電力損失は、多くの要因に依存しており、アプリケーションで定量化するのは困難です。一般に、この電力損失は、NFETとPFETの間で一定の比率で分割され、 V_{DS} またはスイッチング周波数が高くなる(あるいは、その両方が高くなる)に従って増加します。

デバイスの電力と熱の計算

LT8714デバイスの電力損失は、3つの主要なソースから発生します。BGピンとTGピンにゲート駆動を提供するINTV_{CC} LDOとINTV_{EE} LDO、そして追加の入力静止電流です。各LDOを流れる平均電流は、パワー・スイッチ(MNおよびMP)のゲート電荷およびスイッチング周波数によって決まります。デバイスの電力損失を計算するための式と例を次に示します。4象限コンバータの場合、BIASが必ず V_{IN} に接続されるため、デバイスの全ての電力は V_{IN} から供給されます。 V_{IN} は、主にデバイスの静止電流、およびBGゲート・ドライバとTGゲート・ドライバの両方の電力を供給します。4象限コンバータにおける、デバイスの電力式を次に示します。

$$P_{VCC} = 1.04 \cdot Q_{MN} \cdot f \cdot V_{IN}$$

$$P_{VEE1} = Q_{MP} \cdot f \cdot V_{IN}$$

$$P_{VEE2} = 3.15\text{mA} \cdot (1 - DC) \cdot V_{IN}$$

$$P_Q = 4\text{mA} \cdot V_{IN}$$

ここで、

- f = スwitchング周波数
- DC = スイッチのデューティ・サイクル(「付録」の「パワー・スイッチのデューティ・サイクル」のセクションを参照)
- Q_{MN} = 6.3V_{GS}におけるNFETパワー・スイッチ(MN)の合計ゲート電荷
- Q_{MP} = 6.18V_{SG}におけるPFETパワー・スイッチ(MP)の合計ゲート電荷

チップ電力の計算例

表2は、200kHz、10V～14Vから±5V/±5Aのアプリケーションにおける、 $V_{IN} = 12\text{V}$ のときのLT8714の電力損失を計算したものです。表2の P_{CHIP} から、ダイの接合部温度は、適切な熱抵抗とワーストケースの周囲温度を使って次のように計算できます。

$$T_J = T_A + \theta_{JA} \cdot P_{CHIP}$$

ここで、 T_J = ダイの接合部温度、 T_A = 周囲温度、 θ_{JA} はシリコンの接合部から周囲の空気までの熱抵抗です。

θ_{JA} の公表値は、TSSOP露出パッド・パッケージで38°C/Wです。実際には、(基板のヒートシンク特性を考慮に入れた)適切な接地および「レイアウトのガイドライン」のセクションに示されているその他の検討事項に従って基板レイアウトを行うと、 θ_{JA} の値はさらに小さくなります。たとえば、基板のレイアウトが「レイアウトのガイドライン」のセクションで推奨されているように最適化されていると、約22°C/Wの θ_{JA} が確実に実現されます。

過熱ロックアウト

ダイ温度が約175°Cを超えるとフォルト状態が生じ、デバイスはリセット状態になり、パワー・スイッチがオフし、ソフトスタート・コンデンサが放電されます。ダイ温度が5°C(標準)低下すると、LT8714のリセット状態が解除されます。

アプリケーション情報

表 2.200kHz、10V～14Vから±5V/±5Aを出力する場合の電力の計算例 ($V_{IN} = 12V$ 、 $V_{OUT} = -5V$ 、 $MN = BSC093N04LSG$ 、および $MP = STL60P4LLF6 \times 2$)

変数の定義	式	設計例	値
DC = スイッチのデューティ・サイクル	$DC \equiv \frac{V_{IN} - V_{OUT}}{2V_{IN} - V_{OUT}}$	$DC \equiv \frac{12V - (-5V)}{2 \cdot 12V - (-5V)}$	DC \approx 58.6%
P_{VCC} = BGゲート・ドライバをドライブするINTV _{CC} LDOの電力 Q_{MN} = 合計ゲート電荷 ($V_{GS} = 6.3V$ のとき) f = スイッチング周波数	$P_{VCC} = 1.04 \cdot Q_{MN} \cdot f \cdot V_{IN}$	$P_{VCC} = 1.04 \cdot 12nC \cdot 200kHz \cdot 12V$	$P_{VCC} = 30mW$
P_{VEE1} = TGゲート・ドライバをドライブするINTV _{EE} LDOの電力 Q_{MP} = PFETの合計ゲート電荷 ($V_{SG} = 6.18V$ のとき)	$P_{VEE1} = Q_{MP} \cdot f \cdot V_{IN}$	$P_{VEE1} = 2 \cdot 44nC \cdot 200kHz \cdot 12V$	$P_{VEE1} = 211.2mW$
P_{VEE2} = 追加TGゲート・ドライバの電力損失	$P_{VEE2} = 3.15mA \cdot (1 - DC) \cdot V_{IN}$	$P_{VEE2} = 3.15mA \cdot (1 - 0.586) \cdot 12V$	$P_{VEE2} = 15.65mW$
P_Q = デバイスのバイアス損失	$P_Q = 4mA \cdot V_{IN}$	$P_Q = 4mA \cdot 12V$	$P_Q = 48mW$
			$P_{CHIP} = 304.85mW$

付録

パワー・スイッチのデューティ・サイクル

ループの安定性を維持し、適切な電流を負荷に供給するため、外付けのパワーNFET(「ブロック図」のMN)は各クロック・サイクルの100%の間「オン」または「オフ」に留まることはできません。

第I象限および第II象限の場合、最大許容デューティ・サイクルは次式で与えられます。

$$DC_{MAX} = \frac{T_P - \text{MinOnTime}_{TG}}{T_P} \cdot 100\%$$

ここで、 T_P はクロック周期、「電気的特性」に示されている MinOnTime_{TG} は最長150nsです。

最小デューティ・サイクルは次式で与えられます。

$$DC_{MIN} = \frac{\text{MinOffTime}_{TG}}{T_P} \cdot 100\%$$

ここで、 $\text{MinOffTime}_{TG} = 770\text{ns}$ です。

第III象限および第IV象限の場合、最大許容デューティ・サイクルは次式で与えられます。

$$DC_{MAX} = \frac{T_P - \text{MinOffTime}_{BG}}{T_P} \cdot 100\%$$

ここで、 T_P はクロック周期、「電気的特性」に示されている MinOffTime_{BG} は最長480nsです。

最小デューティ・サイクルは次式で与えられます。

$$DC_{MIN} = \frac{\text{MinOnTime}_{BG}}{T_P} \cdot 100\%$$

ここで、 T_P はクロック周期、「電気的特性」に示されている MinOnTime_{BG} は最長420nsです。

正出力電圧と負出力電圧の両方で、動作デューティ・サイクルが DC_{MIN} と DC_{MAX} の間になるようにアプリケーションを設計します。

4象限コンバータのデューティ・サイクルの式を以下に示します。ここで、 V_{ON_MP} は外付けパワーPFET(MP)が「オン」のときのその両端の電圧降下、 V_{ON_MN} は外付けパワーNFET(MN)が「オン」のときのその両端の電圧降下です。

4象限コンバータのデューティ・サイクル:

$$DC \cong \frac{V_{IN} - V_{OUT} + V_{ON_MP}}{2V_{IN} - V_{OUT} + V_{ON_MP} - V_{ON_MN}}$$

インダクタの選択

高効率を実現するには、フェライトなどの高周波用コア材のインダクタを選択して、コア損失を減らします。また、効率を改善するため、与えられたインダクタンスに対してサイズの大きなインダクタを選択します。 I^2R 損失を減らすため、インダクタはDCR(銅線抵抗)が小さく、飽和せずにピーク・インダクタ電流を流すことができるものにします。モールドチョークまたはチップ・インダクタのコア面積は一般に5A~15Aの範囲のピーク・インダクタ電流をサポートするのに十分ではありません。放射ノイズを抑えるには、トロイダルまたはシールドされたインダクタを使用します。インダクタのメーカーについては表3を参照してください。

表3. インダクタ・メーカー

Coilcraft	MSS1278, XAL1010, MSD1583 and MSD1278 Series	www.coilcraft.com
Cooper Bussmann	DR127, DRQ127, and HCM1104 Series	www.cooperbussmann.com
Vishay	IHLP Series	www.vishay.com
Würth	WE-DCT Series WE-CFWI Series 6.8μH, 74485540680 8.2μH, 74485540820 10μH, 74485540101	www.we-online.com

最小インダクタンス

効率とサイズの間でトレードオフになる可能性があります。多くの場合、小さなインダクタを選択して基板スペースを最小限に抑えることを推奨します。インダクタを選択する際には、最小インダクタンスを制限する3つの条件があります。それらは、(1)適切な負荷電流の供給、(2)低調波発振の防止、(3)電流コンパレータの誤ったトリップを防ぐための最小リップル電流の供給です。

付録

適切な負荷電流

インダクタの値を小さくするとリップル電流が増加するので、ピーク・スイッチ電流が制限されることにより、負荷に供給できる平均電流が減少します。適切な負荷電流を供給するため、Lは少なくとも次のようにします。

$$L \geq \frac{V_{IN} \cdot DC}{2 \cdot f \cdot \left(\frac{V_{CSPN}}{R_{SENSE1}} - \frac{I_{OUT}}{(1-DC)} - \frac{|V_{OUT} \cdot I_{OUT}|}{4V_{IN}} \right)}$$

ここで、

L = 結合されたインダクタの場合、 $L_1 = L_2$ とする。

L = 結合されていないインダクタの場合、 $L_1 \parallel L_2$ とする。

DC = スイッチのデューティ・サイクル
(前のセクションを参照)

V_{CSPN} = 動作スイッチ・デューティ・サイクルにおける電流制限電圧(「標準的性能特性」の「最大電流制限とデューティ・サイクル(CSP - CSN)」のグラフを参照)

R_{SENSE1} = CSP - CSN ピン間に接続された電流検出抵抗(「ブロック図」を参照)

f = スイッチング周波数

I_{OUT} = 最大出力電流

Lが負の値の場合、出力負荷電流(I_{OUT})がコンバータのスイッチ電流制限能力を超えていることを示しています。 R_{SENSE1} を小さくして、スイッチ電流制限を上昇させてください。

低調波発振の防止

LT8714の内部スローブ補償回路は、インダクタンスが最小値を超えていれば、デューティ・サイクルが50%を超えると発生する可能性のある低調波発振を防止します。50%を超えるデューティ・サイクルで動作するアプリケーションでは、インダクタンスは少なくとも次の値でなければなりません。

$$L_{MIN} \geq -\frac{R_{SENSE1}}{40m \cdot f \cdot DC} \cdot V_{OUT}$$

ここで、

結合されたインダクタの場合、 $L_{MIN} = L_1 = L_2$

結合されていないインダクタの場合、 $L_{MIN} = L_1 \parallel L_2$

最大インダクタンス

インダクタンスが大きすぎると、電流コンパレータ(「ブロック」図のA5)がピーク電流を容易に区別するのが困難なレベルにまでリップル電流が減少する可能性があります。これにより、デューティ・サイクルのジッタが生じたり、レギュレーションが不十分になったりします。最大インダクタンスは次式で計算することができます。

$$L_{MAX} \leq \frac{V_{IN} \cdot R_{SENSE1} \cdot DC}{3m \cdot f}$$

ここで、

結合されたインダクタの場合、 $L_{MAX} = L_1 = L_2$

結合されていないインダクタの場合、 $L_{MAX} = L_1 \parallel L_2$

インダクタ電流定格

効率の損失を招くインダクタの飽和を防ぐため、インダクタの定格はピーク動作電流より大きくする必要があります。最大インダクタ電流は(起動および定常状態の各条件を考慮して)次式で与えられます。

$$I_{L_PK_POS} = \frac{66mV - 16mV \cdot DC^2}{R_{SENSE1}} + \frac{V_{IN} \cdot 100ns}{L}$$

$$I_{L_VY_NEG} = \frac{-32mV - 16mV \cdot DC^2}{R_{SENSE1}} + \frac{V_{IN} \cdot 190ns}{L} - \frac{V_{IN} \cdot DC}{L \cdot f}$$

$$I_{L1MAX} = I_{L_MAX} - I_{L2MAX}$$

$$I_{L2MAX} = I_{L_MAX} \cdot (1-DC)$$

ここで、

$I_{L_PK_POS}$ = 第III象限および第IV象限のピーク・インダクタ電流の合計

$I_{L_VY_NEG}$ = 第I象限および第II象限のピーク・インダクタ電流の合計

I_{L_MAX} = $L_1 + L_2$ のピーク電流または谷電流

付録

I_{L1_MAX} = L1のピーク電流または谷電流

I_{L2_MAX} = L2のピーク電流または谷電流

これらの式は必要なインダクタ電流定格の控えめな値を与えることに注意してください。SSのコンデンサのサイズを適切に定めて起動時のインダクタ電流を制限すれば、軽負荷なアプリケーションの電流定格を下げるすることができます。

緊密に結合されたインダクタ使用時の結合ネットワーク

2つのインダクタの巻線間に接続されたコンデンサC1は、DCリンクまたはフライング・コンデンサと呼ばれます。このコンデンサの目的は、コンバータの入力側と出力側を実質的に接続するフロート電圧源として機能することです。

C1の最も最適な値は、次式で得られます。

$$C1 \geq \frac{I_{OUT}}{0.05 \cdot V_{IN(MIN)}} \cdot \frac{DC_{MAX}}{f}$$

C1の両端にRC減衰ネットワークは不要です。

シングル・インダクタ使用時の結合ネットワーク

結合されたインダクタの代わりに、図12に示す2つのディスクリートのインダクタを、いくつかの条件付きで使用することができます。

1. 次式に従ってフライング・コンデンサC1のサイズを決定する。

$$C1 \geq \frac{I_{OUT}}{0.25 \cdot V_{IN(MIN)}} \cdot \frac{DC_{MAX}}{f}$$

2. 次式に従ってC_{DAMP}を計算する。

$$C_{DAMP} > 2 \cdot C1$$

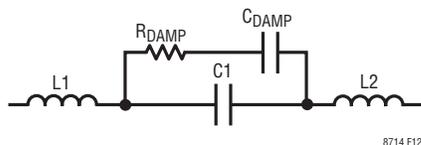


図12. ディスクリートのインダクタ使用時のRC減衰ネットワーク

3. 次式に従ってR_{DAMP}を計算する。

$$R_{DAMP} \approx \sqrt{\frac{L1+L2}{C1}}$$

C1の計算された値が開始点であることに注意してください。C1の値は、過渡安定度と、R_{DAMP}の電力損失との間のトレードオフになります。C1が増加するに従ってR_{DAMP}での電力損失が減少しますが、過渡性能が低下する可能性があります。最適な性能を実現するには、アプリケーションを評価して、C1を調整することが必要になる場合があります。

緩く結合されたインダクタ使用時の結合ネットワーク

結合されたインダクタを使用する場合でも、L1とL2の漏れインダクタンスおよびコンデンサC1間の共振を減衰するために、RC減衰ネットワークが必要になることがあります。

その場合、前にシングル・インダクタに対して計算したのと同様に、C_{DAMP}を計算します。R_{DAMP}を計算するには、L1およびL2を、L_{LK1}およびL_{LK2}に置き換えます。これらの値については、メーカーのデータシートを参照するか、インダクタのメーカーに問い合わせてください。

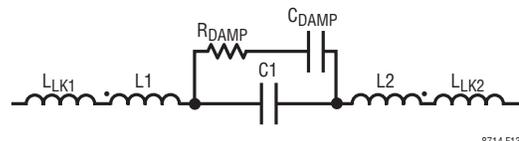


図13. 結合されたインダクタ使用時のRC減衰ネットワーク

1. 次式に従ってフライング・コンデンサC1のサイズを決定する。

$$C1 \geq \frac{I_{OUT}}{0.25 \cdot V_{IN(MIN)}} \cdot \frac{DC_{MAX}}{f}$$

2. 次式に従ってC_{DAMP}を計算する。

$$C_{DAMP} > 2 \cdot C1$$

3. 次式に従ってR_{DAMP}を計算する。

$$R_{DAMP} \approx \sqrt{\frac{L_{LK1}+L_{LK2}}{C1}}$$

付録

C1の計算された値が開始点であることに注意してください。C1の値は、過渡安定度と、R_{DAMP}の電力損失との間のトレードオフになります。C1が増加するに従ってR_{DAMP}での電力損失が減少しますが、過渡性能が低下する可能性があります。最適な性能を実現するには、アプリケーションを評価して、C1を調整することが必要になる場合があります。

入力コンデンサと出力コンデンサの選択

入力容量と出力容量は、レギュレータとの間を出入りする不連続な電流によって生じる電圧リップルを抑えるために必要です。通常はコンデンサを並列に組み合わせて使用することで大容量と低ESR(等価直列抵抗)を実現します。タンタル、特殊ポリマー、アルミ電解およびセラミックの各コンデンサはすべて表面実装パッケージで入手できます。OS-CONやPOSCAPなど、低ESRで高リップル電流定格のコンデンサも入手できます。

セラミック・コンデンサをレギュレータの入力と出力の近くに配置して、高周波のスイッチング・ノイズを抑えてください。1μF以上のセラミック・コンデンサもLT8714のピンにできるだけ近づけてV_{IN}からGNDおよびBIASからGNDの間に配置してください。セラミック・コンデンサは優れた低ESR特性を備えているので、リップル電圧を大幅に低減することが可能であり、ESRの高いバルク・コンデンサでの電力損失を抑えるのに役立ちます。X5RやX7Rの誘電体材料は広い電圧範囲と温度範囲にわたって容量を保持するので推奨されます。多くのセラミック・コンデンサ(特にケース・サイズが0805または0603のもの)は、目的の動作電圧での容量が大きく減少します。

入力コンデンサC_{IN}の選択

入力コンデンサ(C_{IN})には高周波数のチョッピングされた電流が流れます。このコンデンサのサイズは、適切に決定する必要があります。入力電圧リップルを0.5%にするC_{IN}の容量を計算する式を次に示します。

$$C_{IN} \geq \frac{I_{OUT}}{0.005 \cdot V_{IN} \cdot f} \cdot DC$$

ここで、

DC = スイッチのデューティ・サイクル
(「パワー・スイッチのデューティ・サイクル」セクションを参照)

f = スwitchング周波数

入力コンデンサのワーストケース(最大容量の要求)は、デューティ・サイクルが最高レベルにあることによって入力電圧が最低レベルにあるときに発生します。入力コンデンサの電圧定格は、最大入力電圧より大きい必要があることを考慮してください。この式は、定常状態動作中の容量値を計算するもので、必要なトランジェント応答に応じて調整が必要な場合があります。また、ESRはゼロと仮定しているため、入力コンデンサの等価ESRによっては、より大きな入力容量が必要になる場合があります。

出力コンデンサC_{OUT}

出力コンデンサ(C_{OUT})には、インダクタのリップル電流が発生します。出力電圧リップルを0.5%にするC_{OUT}の容量を計算する式を次に示します。

$$C_{OUT} \geq \frac{V_{IN} \cdot DC}{8 \cdot L \cdot f^2 \cdot 0.005 \cdot V_{OUT}}$$

ここで、

DC = スイッチのデューティ・サイクル
(「パワー・スイッチのデューティ・サイクル」セクションを参照)

L = インダクタンス値

f = スwitchング周波数

出力コンデンサのワーストケース(最大容量の要求)は、出力レギュレーション電圧が最も低い負の値のときに発生します。この式は、定常状態動作中の容量値を計算するもので、必要なトランジェント応答に応じて調整が必要な場合があります。また、ESRはゼロと仮定しているため、出力コンデンサの等価ESRによっては、より大きな出力容量が必要になる場合があります。セラミック・コンデンサのメーカーの一覧を表4に示します。

表4. セラミック・コンデンサのメーカー

TDK	www.tdk.com
Murata	www.murata.com
Taiyo Yuden	www.t-yuden.com

付録

パワー MOSFET の選択

LT8714は2つの外付けパワー MOSFETを必要とします。BG ゲート・ドライバ用のNFETスイッチと、TGゲート・ドライバ用のPFETスイッチです。効率を最適化するためにMOSFETの選択は重要です。NFETとPFETを選択するときの重要なデバイス・パラメータは次のとおりです。

1. ブレークダウン電圧 (BV_{DSS})
2. ゲートしきい値電圧 (V_{GS(TH)})
3. オン抵抗 (R_{DS(ON)})
4. 合計ゲート電荷 (Q_G)
5. ターンオフ遅延時間 (t_{D(OFF)})
6. パッケージが露出パドルを備えている

NFETとPFETパワー MOSFETのドレイン・ソース間のブレークダウン電圧は、次を上回る必要があります。

$$BV_{DSS} > 2V_{IN} - V_{OUT}$$

MOSFETのBV_{DSS}定格近傍で動作させる場合、漏れがコンバータの効率を低下させることがあるため、MOSFETの漏れ仕様を確認してください。

ゲートおよびソース間の電圧は、FETのオン抵抗と合計ゲート電荷に影響を与えます。一般に、パワー MOSFETのオン抵抗と合計ゲート電荷は密接に関連しており、標準で互いに反比例します。つまり、オン抵抗が小さいほど、合計ゲート電荷量が増加します。ピーク電流における電圧低下が300mV未満になるようなオン抵抗を持つMOSFETを選択します。同時に、合計ゲート電荷が低いMOSFETを選択し、LT8714の電力損失とMOSFETのスイッチング損失を抑えます。

高い入力電圧から出力電圧を生成するアプリケーションの場合、LT8714の4象限動作のため、逆回復損失が、両方のFETの顕著な電力損失項になる可能性があることに注意してください。このようなアプリケーションでは、ショットキ・ダイオードを両方のFETと並列に挿入して内部ボディ・ダイオードを分流すると、効果的な場合があります。ショットキ・ダイオードの順方向電圧降下は、ボディ・ダイオードの順方向電圧よりも小さくする必要があるということに注意してください。

市販のNFETのターンオフ遅延時間(t_{D(OFF)})は、市販のPFETのターンオフ遅延時間よりも短いのが一般的です。ただし、LT8714の4象限動作のため、特定のアプリケーションについては、両方のFETの遅延時間を確認する必要があります。PFETのターンオフ遅延時間は、このデータシートで規定されているように、約140ns未満である必要があります。NFETのターンオフ遅延時間は、このデータシートで規定されているように、約90ns未満である必要があります。このデータシートで規定されている両方のFETのターンオフ遅延時間が各非オーバーラップ時間より長い場合でも、それらのFETを問題なく使用できます。確認するには、両方のFETのゲート・ピンでNFETおよびPFETのターンオフ遅延時間を直接測定します。

NFETおよびPFETのゲート・ソース間駆動は、それぞれ約6.3Vおよび6.18Vです。そのため、ロジック・レベルのMOSFETが要求されます。INTV_{CC}の電圧が約4Vを超えると、BGゲート・ドライバはスイッチングを開始できます。NFETで生じる可能性のある損傷を防ぐために、選択したNFETが、4Vのゲート・ソース駆動電圧で、トライオード動作領域内に必ずあるようにします。TGゲート・ドライバは、BIAS-INTV_{EE}電圧が約3.45Vを上回るとスイッチングを開始できます。そのため、PFETが3.45Vのゲート・ソース駆動でリニア動作モードにあることが最適です。

最後に、NFETとPFET両方のパワー MOSFETは、ドレイン接続が熱を放散できるよう、露出パドルを持つパッケージに収容されている必要があります。MOSFETのオン抵抗は温度に比例するため、MOSFETが露出パドルの力で低温で動作できる方が、効率が向上します。パワー MOSFETメーカーの一覧については表5を、推奨されるPFETの一覧については表6を参照してください。

表5. パワー MOSFET (NFET および PFET) のメーカー

Fairchild Semiconductor	www.fairchildsemi.com
On-Semiconductor	www.onsemi.com
Vishay	www.vishay.com
Diodes Inc.	www.diodes.com
Infineon	www.infineon.com
ST Microelectronics	www.st.com

付録

表6. 推奨PFET

20V	SI7635DP, SI7633DP	www.vishay.com
30V	SI7101DN, SI7143DP	www.vishay.com
40V	FDD4141, SI7463ADP, SIS443DN, SI7611DN STL604PLLF6	www.fairchildsemi.com, www.vishay.com www.st.com
60V	SI7465DP, SUD19P06-60, SUD50P06-15 STL42P6LLF6	www.vishay.com www.st.com
100V	FDMC86139P, SI7113DN	www.fairchildsemi.com, www.vishay.com

補償 - 調整

LT8714の帰還ループを補償するには、 V_C ピンからGNDに、抵抗とコンデンサの直列ネットワークを1個のオプションのコンデンサと並列に接続する必要があります。ほとんどのアプリケーションでは、 $1\text{nF} \sim 10\text{nF}$ の直列コンデンサを選択します(4.7nF が出発点として最適な値)。オプションの並列コンデンサの値は $47\text{pF} \sim 220\text{pF}$ にします(100pF が出发点として最適な値)。通常、補償抵抗 R_C は $5\text{k}\Omega \sim 50\text{k}\Omega$ の範囲です。新しいアプリケーションを補償する最適な手法では、直列抵抗 R_C の代わりに $100\text{k}\Omega$ のポテンショメータを使用します。それぞれ 4.7nF と 100pF の直列コンデンサと並列コンデンサを使って、過渡応答を観察しながらポテンショメータを調節し、 R_C の最適値を見つけることができます。直列コンデンサを 4.7nF より小さくしてコンバータを高速化したり、または 4.7nF より大きくして低速化したりすることができます。図5の回路では、 10nF の直列コンデンサが使用されています。入力電圧を 10V とし、負荷電流を 1A と 3.5A の間でステップ変化させたときの図5の回路の R_C を調整する過程を図14～図16に示します。 R_C が $1.04\text{k}\Omega$ に等しいときのトランジェント応答を図14に示します。出力電圧とインダクタ電流のトランジェントのリングングから明らかなように、位相マージンが良くありません。図15では、 R_C の値を $2.74\text{k}\Omega$ まで大きくしているため、より減衰した応答になっています。 R_C をさらに $4.75\text{k}\Omega$ にまで大きくしたときの結果を図16に示します。トランジェント応答が十分減衰し、補償の手順は完了です。

示されている負荷トランジェントのグラフは、第I象限の場合です。4象限全ての安定性を確保するために、 R_C の値を調整してバランスを取ることが必要になる場合があります。

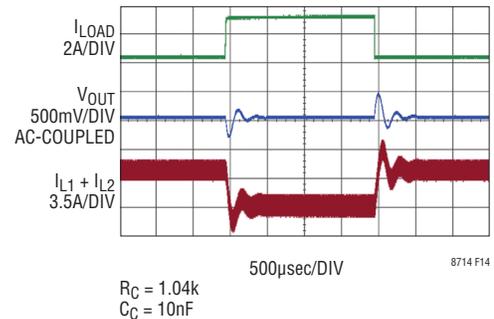


図14: 過度のリングングを示すトランジェント応答

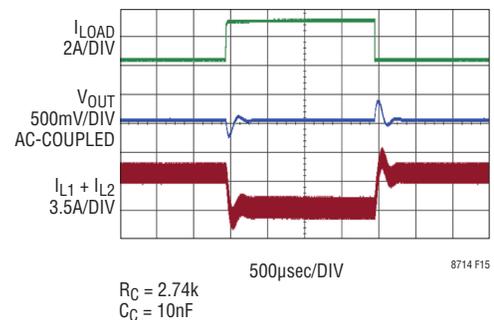


図15: 改善されたトランジェント応答

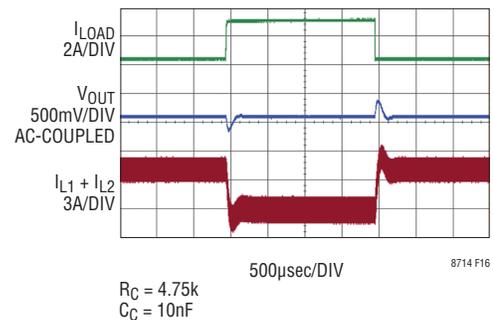
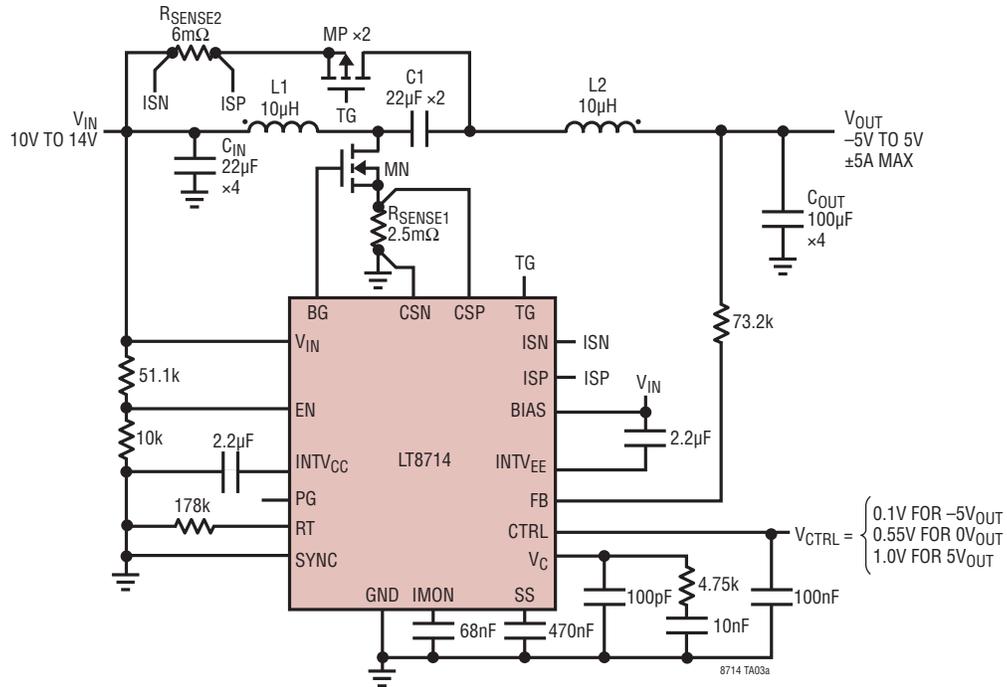


図16: 十分減衰した過渡応答

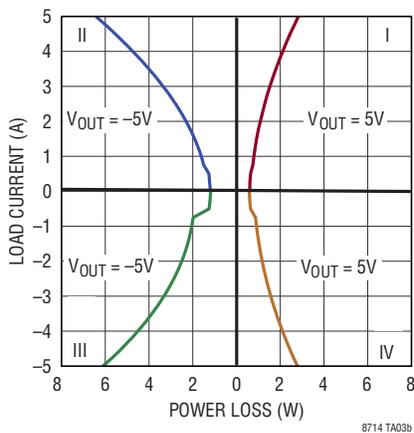
標準的応用例

200kHz、10V～14V入力から-5V～5V出力を生成し、-5A～5Aの出力電流を供給

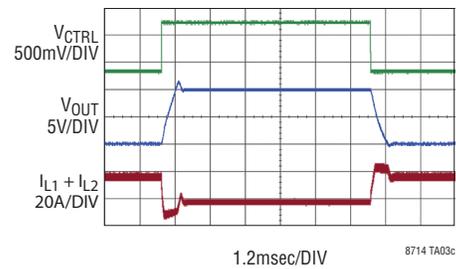


L1, L2: WURTH 10µH WE-CFWI 74485540101
 MN: INFINEON BSC093N04LSG
 MP: STMICRO STL60P4LLF6
 C_{IN}, C1: 22µF, 25V, 1812, X7R
 C_{OUT}: 100µF, 16V, 1210, X5R
 R_{SENSE1}: 2.5mΩ, 2512
 R_{SENSE2}: 6mΩ, 2512

各象限での電力損失 (V_{IN} = 12V)

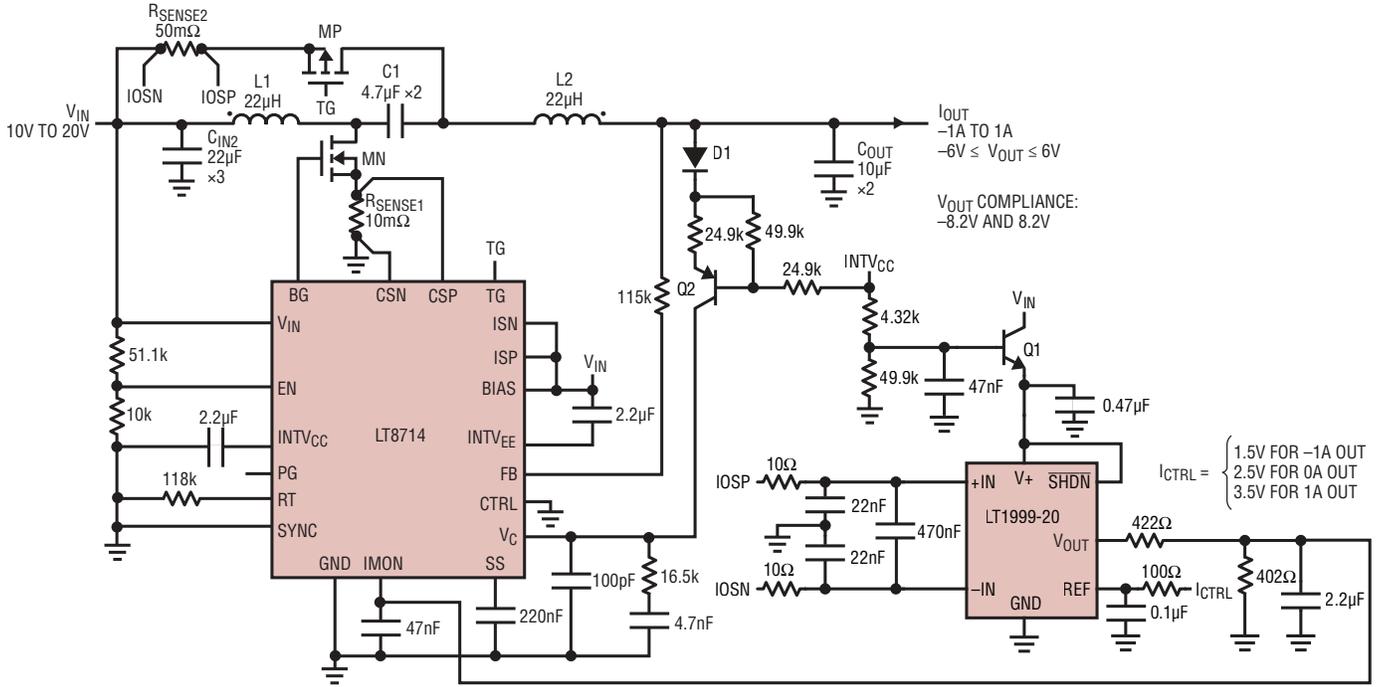


0.1Vから1Vへ、および1Vから0.1VへのV_{CTRL}のステップ (R_{LOAD} = 1Ω)



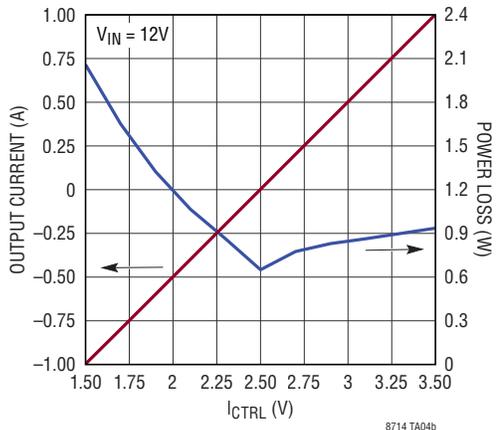
標準的応用例

300kHz、1Aの双方向電流源

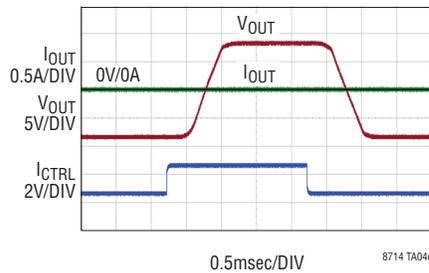


- L1, L2: COILCRAFT 22μH MSD1278-223ML
- MN: FAIRCHILD FDMC86570L
- MP: STMICRO STL42P6LLF6
- Q1: CENTRAL SEMI CMST3904
- Q2: CENTRAL SEMI CMST3906
- D1: CENTRAL SEMI CMDD4448
- C_{IN}: 22μF 25V, 1812, X7R
- C1: 4.7μF 50V, 1210, X7R
- C_{OUT}: 10μF 16V, 1210, X7R
- R_{SENSE1}: 10mΩ, 1206
- R_{SENSE2}: 50mΩ, 2512

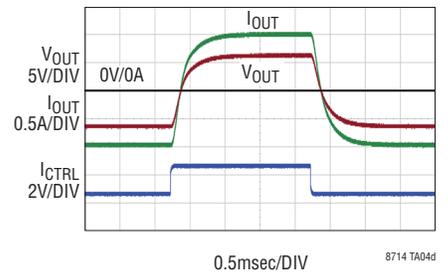
出力電流および電力損失と I_{CTRL} (R_{LOAD} = 6Ω)



V_{IN} = 12Vでの1.5Vから3.5Vへ、および3.5Vから1.5VへのI_{CTRL}のステップ(無負荷)

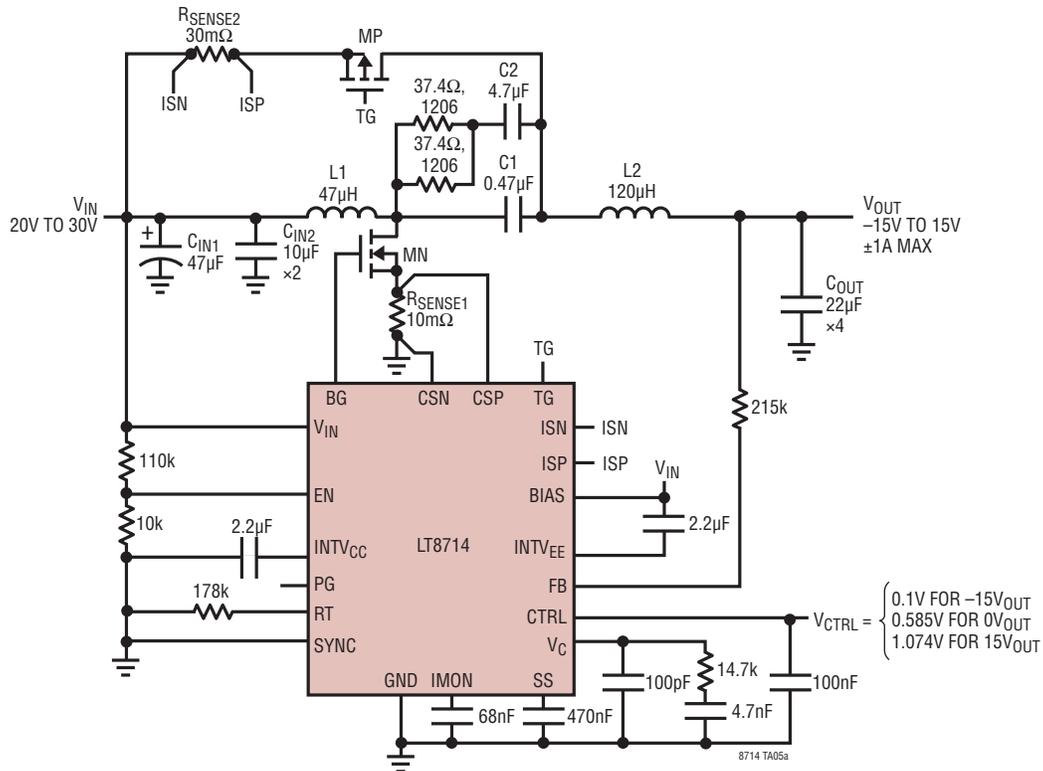


V_{IN} = 12Vでの1.5Vから3.5Vへ、および3.5Vから1.5VへのI_{CTRL}のステップ(R_{LOAD} = 6Ω)



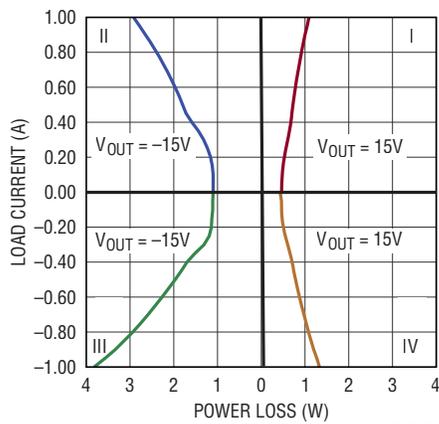
標準的応用例

200kHz、20V～30V入力から-15V～15V出力を生成し、-1A～1Aの出力電流を供給

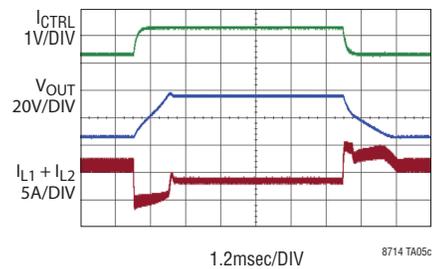


- L1: COILCRAFT 47µH MSS1278T-473KL
- L2: COILCRAFT 120µH MSS1278T-124KL
- MN: FAIRCHILD FDMC86102
- MP: FAIRCHILD FDMC86139P
- CIN1: 47µF 50V AVX TCJE476M035R0055
- CIN2: 10µF 50V, 1210, X7S
- C1: 0.47µF, 100V, 1812, X7R
- C2: 4.7µF, 100V, 1812, X7R
- COUT: 22µF 25V, 1812, X7R
- RSENSE1: 10mΩ, 2512
- RSENSE2: 30mΩ, 2512

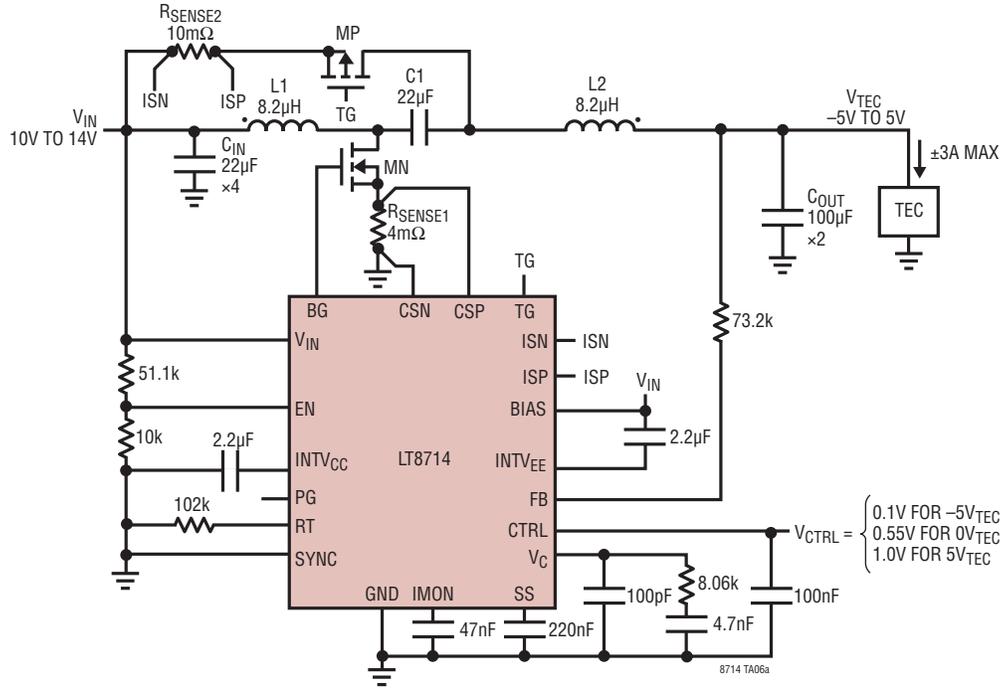
各象限での電力損失 (VIN = 24V)



VIN = 24Vでの0.1Vから1Vへ、および1Vから0.1VへのVCTRLのステップ (RLoad = 20Ω)

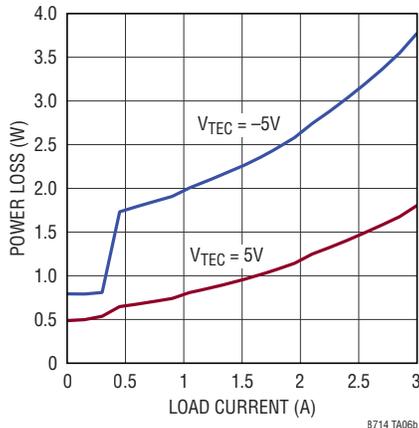


10V~14V 入力から 3A TEC を駆動する 350kHz 象限コンバータ

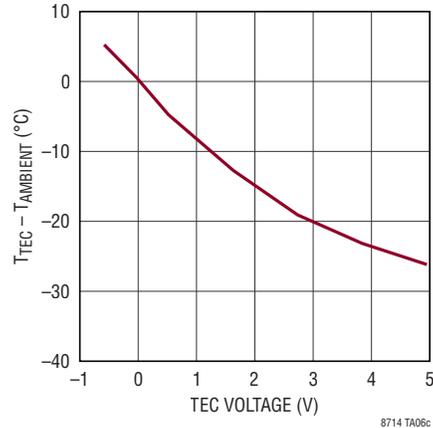


L1, L2: WURTH 8.2μH WE-CFWI 74485540820
 MN: INFINEON BSC093N04LSG
 MP: STMICRO STL60P4LLF6
 CIN, C1: 22μF, 25V, 1812, X7R
 COUT: 100μF, 6.3V, 1812, X5R
 RSENSE1: 4mΩ, 2012
 RSENSE2: 10mΩ, 2512

電力損失と負荷電流
(VIN = 12V)



TEC 温度と TEC 電圧
(VIN = 12V) *

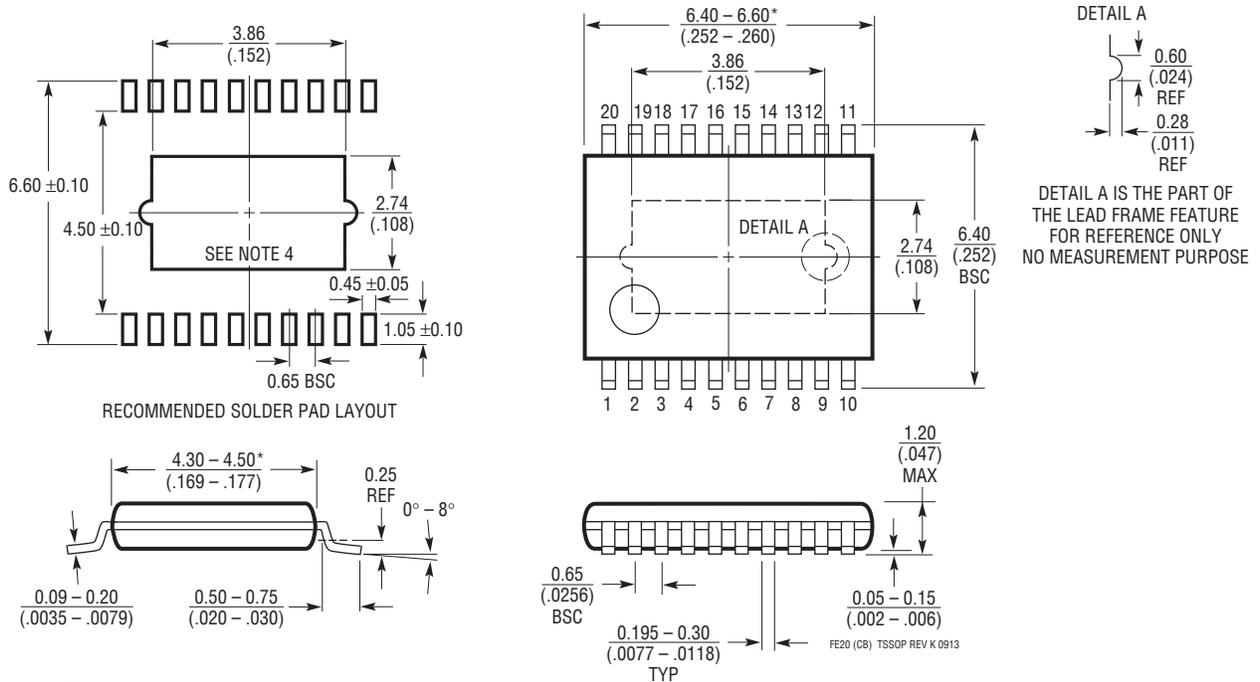


*TEC = LAIRD DA-011-05-02-00-00
FAN DRIVE TO 5V

パッケージの寸法

最新のパッケージ図面については、<http://www.linear-tech.co.jp/product/LT8714#packaging> を参照してください。

FE Package
20-Lead Plastic TSSOP (4.4mm)
 (Reference LTC DWG # 05-08-1663 Rev K)
Exposed Pad Variation CB



注記:

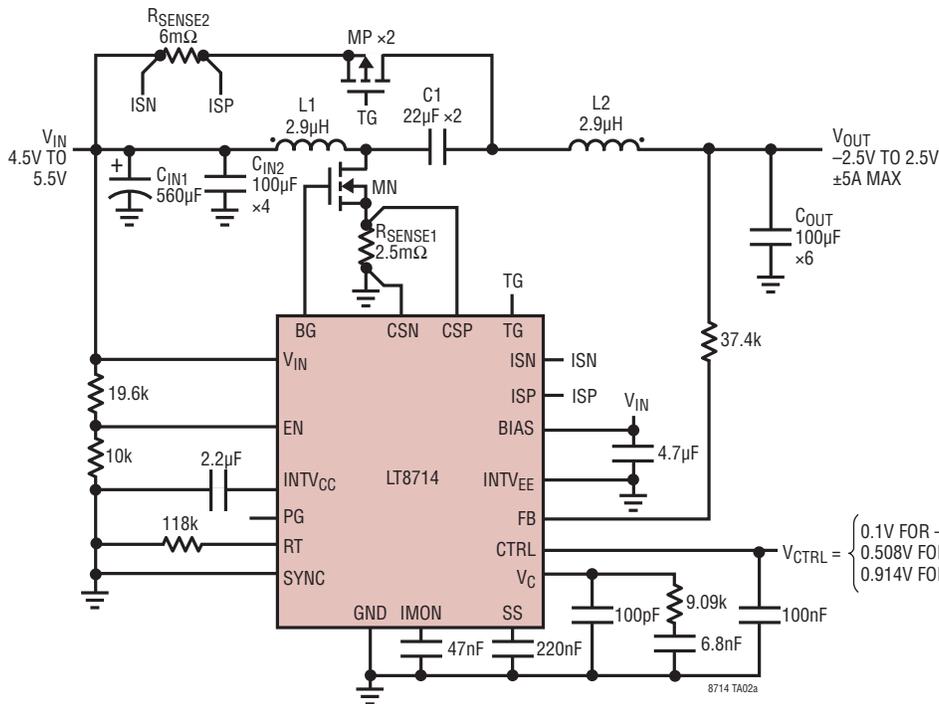
1. 標準寸法: ミリメートル
2. 寸法は $\frac{\text{ミリメートル}}{\text{(インチ)}}$
3. 図は実寸とは異なる

4. 露出パッド接着のための推奨最小 PCB メタルサイズ
 * 寸法にはモールドのバリを含まない。モールドのバリは各サイドで 0.150mm ($0.006''$) を超えないこと

LT8714

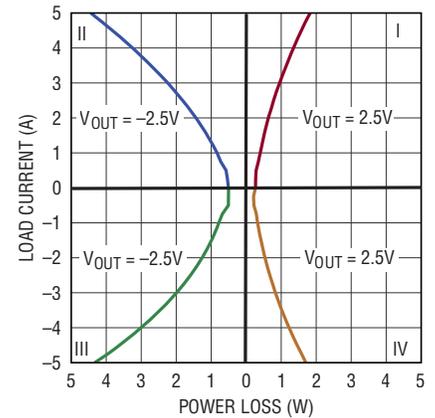
標準的応用例

300kHz、5V入力から-2.5V～2.5V出力を生成し、-5A～5Aの出力電流を供給

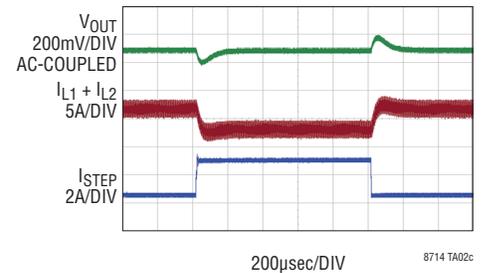


L1, L2: WURTH 2.9µH WE-CFVI 74485540290
 MN: VISHAY SIRA12DP
 MP: VISHAY SI7625DN
 CIN1: OSCON 560µF, 10V 10SEQP560M
 CIN2, COUT: 100µF, 6.3V, 1812, X5R
 C1: 22µF, 25V, 1812, X7R
 RSENSE1: 2.5mΩ, 2512
 RSENSE2: 6mΩ, 2512

各象限での電力損失と負荷電流 (VIN = 5V)



1.5Aから4Aの負荷ステップ (Q1, VOUT = 2.5V)



関連製品

製品番号	説明	注釈
LT3757A	昇圧、フライバック、SEPICおよび反転コントローラ	$2.9V \leq V_{IN} \leq 40V$ 、設定可能な動作周波数: 100kHz～1MHz、3mm×3mm DFN-10およびMSOP-10Eパッケージ
LT3758A	昇圧、フライバック、SEPICおよび反転コントローラ	$5.5V \leq V_{IN} \leq 100V$ 、設定可能な動作周波数: 100kHz～1MHz、3mm×3mm DFN-10およびMSOP-10Eパッケージ
LT3957A	昇圧、フライバック、SEPICおよび反転コンバータ、5A/40Vスイッチ付き	$3V \leq V_{IN} \leq 40V$ 、設定可能な動作周波数: 100kHz～1MHz、5mm×6mm QFNパッケージ
LT3958	昇圧、フライバック、SEPICおよび反転コンバータ、3.3A/84Vスイッチ付き	$5V \leq V_{IN} \leq 80V$ 、設定可能な動作周波数: 100kHz～1MHz、5mm×6mm QFNパッケージ
LT8705	VINとVOUTが80Vの同期式4スイッチ昇降圧DC/DCコントローラ	$2.8V \leq V_{IN} \leq 80V$ 、設定可能な動作周波数: 100kHz～400kHz、5mm×7mm QFN-38およびTSSOP-38パッケージ
LT8709	負電圧入力、同期整流式マルチトポロジーDC/DCコントローラ	$-80V \leq V_{IN} \leq -4.5V$ 、最大400kHzの設定可能な動作周波数、TSSOP-20パッケージ
LT8710	出力電流制御回路を内蔵した同期整流式SEPIC/反転/昇圧コントローラ	$4.5V \leq V_{IN} \leq 80V$ 、設定可能な動作周波数: 100kHz～1MHz、TSSOP-20パッケージ