

遠隔測定インタフェースを備えた 2.5Aモノリシック・アクティブ・セル・バランス

特長

- アクティブ・セルの放電電流: 2.5A (標準)
- 6A/50Vのパワー・スイッチを内蔵
- LTC680xファミリと継ぎ目なく統合:
追加のソフトウェア不要
- 電流モニタと温度モニタを選択可能
- シャットダウン時の超低静止電流
- ISO 26262準拠システムに対応した設計
- 絶縁型バランス調整:
 - スタックの最上層に電荷を戻すことが可能
 - スタック内でのセルの任意の組み合わせに電荷を戻すことが可能
 - 12Vバッテリーに電荷を戻すことでオルタネータの置き換えが可能
- 並列接続による放電能力の向上が可能
- 動作時の全静止電流をローカル・セルから供給
- 16ピンTSSOPパッケージ

アプリケーション

- バッテリー・スタックのアクティブなバランス調整
- 電気自動車およびハイブリッド車
- フェイルセーフ電源
- エネルギー貯蔵システム

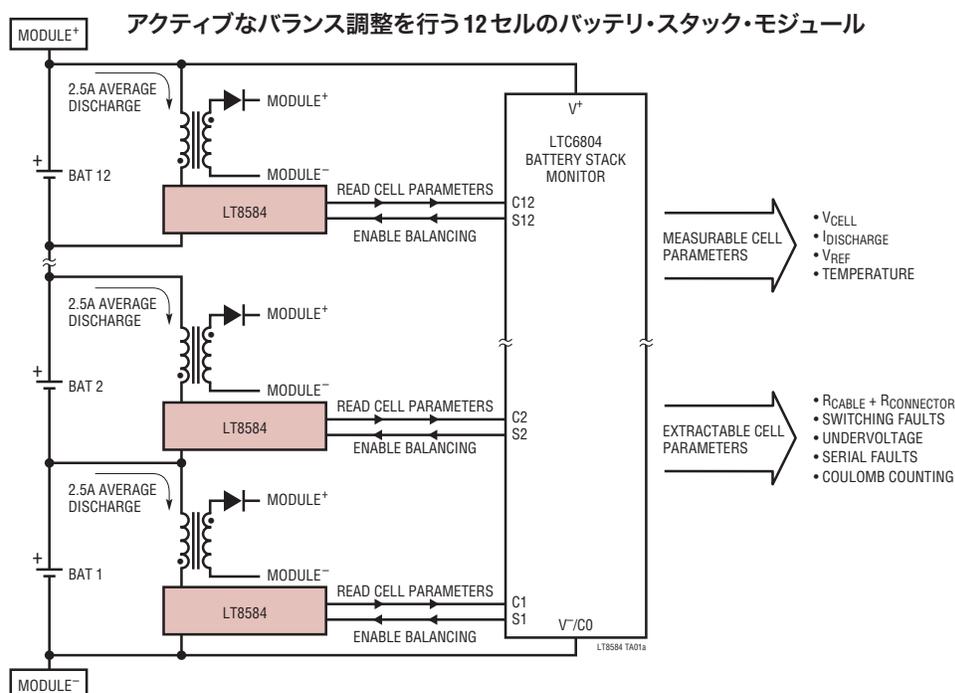
概要

LT[®]8584は、高電圧のバッテリー・スタックのバランスをアクティブに調整するために設計されたモノリシックのフライバックDC/DCコンバータです。スイッチング・レギュレータの効率が非常に高いので、実現可能なバランス調整電流を大幅に増加しつつ、熱の発生を抑えることができます。アクティブ方式のバランス調整では、容量が不揃いのバッテリー・スタックでの容量回復にも対応できます。これはパッシブ方式のバランス・システムでは達成できない離れ業です。標準的なシステムでは、全バッテリー容量の99%以上を回復できます。

LT8584は6A/50Vのパワー・スイッチを内蔵しているため、アプリケーション回路の設計上の複雑さを軽減します。このデバイスは、放電しているセルで完全に動作するので、外付けのパワー・スイッチでは通常必要となる複雑なバイアス設定の必要がなくなります。デバイスのイネーブル・ピン(D_{IN})は、バッテリー・スタック電圧モニタICのLTC680xファミリと継ぎ目なく連動するように設計されています。LT8584は、LTC680xファミリのデバイスと組み合わせて使用した場合、電流モニタや温度モニタなどのシステム遠隔測定機能も実現します。LT8584がデイスレーブル状態のとき、バッテリーから消費される全静止電流は標準で20nA未満です。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。Hot Swap、およびisoSPIはリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。6518733および6636021を含む米国特許によって保護されています。

標準的応用例



8584fb

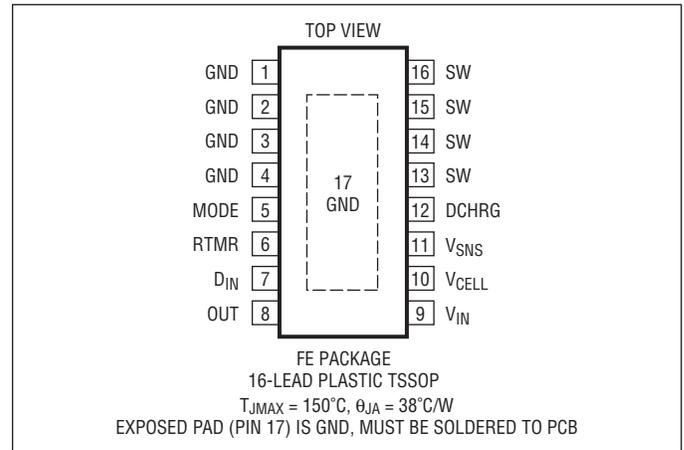
LT8584

絶対最大定格

(Note 1)

D_{IN} – GND 間の電圧.....	$\pm 10V$
V_{IN} 、 V_{CELL} 、 V_{SNS} 、MODE、OUT、 DCHRG の電圧	$-0.3V \sim 9V$
RTMR の電圧	(Note 2)
SW の電圧 (Note 3)	$-0.4V \sim 50V$
$V_{IN} - V_{CELL}$ 間の電圧	$\pm 200mV$
$V_{IN} - V_{SNS}$ 間の電圧	$\pm 200mV$
MODE – V_{IN} 間の電圧	$200mV$
V_{SNS} 、MODE ピンの電流.....	$\pm 1mA$
V_{CELL} 、OUT ピンの電流.....	$\pm 10mA$
SW ピンの負電流.....	$-2A$
動作接合部温度範囲 (Note 4)	
LT8584E.....	$-40^{\circ}C \sim 125^{\circ}C$
LT8584I	$-40^{\circ}C \sim 125^{\circ}C$
LT8584H.....	$-40^{\circ}C \sim 150^{\circ}C$
保存温度範囲.....	$-65^{\circ}C \sim 150^{\circ}C$
リード温度 (半田付け、10 秒).....	$300^{\circ}C$

ピン配置



発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LT8584EFE#PBF	LT8584EFE#TRPBF	8584FE	16-Lead Plastic TSSOP	$-40^{\circ}C$ to $125^{\circ}C$
LT8584IFE#PBF	LT8584IFE#TRPBF	8584FE	16-Lead Plastic TSSOP	$-40^{\circ}C$ to $125^{\circ}C$
LT8584HFE#PBF	LT8584HFE#TRPBF	8584FE	16-Lead Plastic TSSOP	$-40^{\circ}C$ to $150^{\circ}C$

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープ・アンド・リールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 4.2\text{V}$ 、 $D_{IN} = \text{GND}$ 。
 (Note 4)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN} Recommended Voltage Range	Switching	●	2.5		5.3	V
	Nonswitching	●	2.45		5.3	
V_{IN} Quiescent Current	Switching	●		45		mA
	Nonswitching	●		2.5	3	mA
	In Shutdown, $D_{IN} = \text{OUT}$	●		1	90	nA
	In Shutdown, $D_{IN} = \text{OUT}$	●			1	μA
V_{IN} UVLO		●	2.1		2.45	V
Switch DC Current Limit		●	6	6.3	6.8	A
Current Limit Blanking Time				450		ns
Switch V_{CESAT}	$I_{SW} = 4\text{A}$			200		mV
Switch Leakage Current	$V_{SW} = 4.2\text{V}$ $V_{SW} = 4.2\text{V}$			5	70	nA
		●			4	μA
Switch Maximum On Time		●	30	50	70	μs
Switch Short Detection Timeout	Note 5	●	0.5	0.85	1.2	μs
Switch Clamp Voltage	$I_{SW} = 2\text{mA}$ $I_{SW} = 6\text{A}$		42	45	48	V
				50		V
Switch Clamp Blanking Time	Note 6		80	200	360	ns
DCM Comparator Trip Voltage	$V_{SW} - V_{VIN}$	●	40	95	150	mV
DCM Comparator Propagation Delay	200mV Overdrive	●		100	180	ns
DCM Blanking Time				230		ns
MODE Threshold				1.7		V
D_{IN} Shutdown Threshold	High \rightarrow Low, Referred to GND	●	1	1.2	1.4	V
D_{IN} Shutdown Threshold Hysteresis				100		mV
D_{IN} Data Threshold	High \rightarrow Low, $V_{TH} = V_{OUT} - V_{DIN}$, MODE = 0V	●	0.3	0.7	0.9	V
D_{IN} Data Threshold Hysteresis	$V_{TH} = V_{OUT} - V_{DIN}$, MODE = 0V	●	20	80	160	mV
D_{IN} Pin Current	$V_{DIN} = 0\text{V}$ $V_{DIN} = -1\text{V}$	●	-6	-3	-1	μA
			-18	-14	-6	μA
DCHRG Threshold	MODE Tied to V_{IN}	●	0.5	0.8	1.1	V
DCHRG Hysteresis	MODE Tied to V_{IN}			100		mV
DCHRG Pull-down Current	Pin Voltage = 0.4V	●	220	300		μA
DCHRG Pull-up Current	Pin Voltage = $V_{IN} - 0.4\text{V}$	●	220	300		μA
RMTR Pin High Voltage	$R_{RTMR} = 50\text{k}\Omega$			1.22		V
RMTR Pin Low Voltage	$R_{RTMR} = 50\text{k}\Omega$			0		V
V_{CELL} Switch $R_{DS(on)}$				55		Ω
V_{SNS} Dynamic Input Range	Gain Error $\leq 8\%$	●	-30		70	mV
V_{SNS} Average Input Range	Gain Error $\leq 3\%$	●	15		45	mV
V_{SNS} Amplifier Input Referred Offset	$V_{CELL} - V_{SNS} = 40\text{mV}$	●	-1.1		1.1	mV
V_{SNS} Amplifier Gain	Over V_{SNS} Average Input Range	●	18.7	19	19.3	V/V
Handshake Voltage Error	Measured \pm with Respect to: $V_{MODE1} = 0.2\text{V}$ $V_{MODE2} = 0.4\text{V}$ $V_{MODE3} = 0.6\text{V}$ $V_{MODE4} = 0.8\text{V}$ $V_{SW,ERR} = 1.2\text{V}$ $V_{FAULT} = 1.4\text{V}$ $V_{FAULT} = 1.4\text{V}$	●	-13		13	mV
		●	-14		14	mV
		●	-18		18	mV
		●	-22		22	mV
		●	-31		31	mV
		●	-35		35	mV
		●	-28		28	mV
Handshake Voltage Line Regulation	From $V_{VIN} = 2.5\text{V}$ to $V_{VIN} = 4.2\text{V}$			0.2	0.75	%/V

LT8584

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{IN} = 4.2\text{V}$ 、 $D_{IN} = \text{GND}$ 。
(Note 4)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{TEMP} Temperature Coefficient (TC)	Note 7, $^\circ\text{K} = (V_{CELL} - V_{TEMP})/TC$		2		mV/ $^\circ\text{K}$
V_{TEMP}	$V_{TEMP} = V_{IN} - V_{OUT}$, $T_J = 25^\circ\text{C}$		0.658		V
OUT Pin Clamp Voltage	10mA Sourced from Pin	● 1.53	1.6		V
OUT Pin Amplifier Load Regulation	$I_{OUT} = 10\mu\text{A}$ to 1mA	● 0	0.2	0.4	%/mA

タイミング特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ 、 $\text{MODE} = 0\text{V}$ での値。
パラメータの定義についてはタイミング図を参照。(Note 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_W	Decode Window Duration	$R_{RTMR} = 10\text{k}\Omega$	● 1.76	1.86	1.96	ms
		$R_{RTMR} = 50\text{k}\Omega$	● 8	8.4	8.8	ms
		$R_{RTMR} = 100\text{k}\Omega$	● 15.6	16.4	17.2	ms
		$R_{RTMR} = 200\text{k}\Omega$	● 29.3	31.5	33.7	ms
	Decode Window Range		● 1.76		33.7	ms
t_{RST}	D_{IN} Serial Communication Reset Time		● 10			μs
t_1	RTMR Start-Up Time	$R_{RTMR} = 10\text{k}\Omega$	●	1.8	5	μs
t_2	D_{IN} Hold-Off Time		● 50			μs
t_3	D_{IN} High Time		● 50			μs
t_4	D_{IN} Low Time		● 50			μs
t_5	Discharger Activation Time	$R_{RTMR} = 10\text{k}\Omega$		900		ns
t_6	Discharger Deactivation Time			2.1		μs
SR	D_{IN} Slew Rate		● 9			V/ms

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: RTMRピンには正または負の電圧源または電流源を印加してはならない。印加すると永続的損傷が生じる場合がある。

Note 3: 絶対最大定格はDC + AC漏れ電流スパイクの最大値を指す。どのSWピンも40V_{DC}を超えてはならない。

Note 4: LT8584Eは、0°C ~ 125°Cの接合部温度で性能仕様に適合することが保証されている。-40°C ~ 125°Cの動作接合部温度範囲での仕様は、設計、特性評価および統計学的なプロセス・コントロールとの相関で確認されている。LT8584Iは、-40°C ~ 125°Cの全動作接合部温度範囲で動作することが保証されている。LT8584Hは、-40°C ~ 150°Cの全動作接合部温度範囲で動作することが保証されている。

Note 5: これはスイッチ・オンの開始から短絡保護回路がディスエーブルされるまでの時間の評価基準である。この時間内に電流コンバータが作動した場合は、スイッチ・エラー・ラッチがセットされる。これはトランスの1次側への接続点が短絡した可能性が最も高いことを示している。

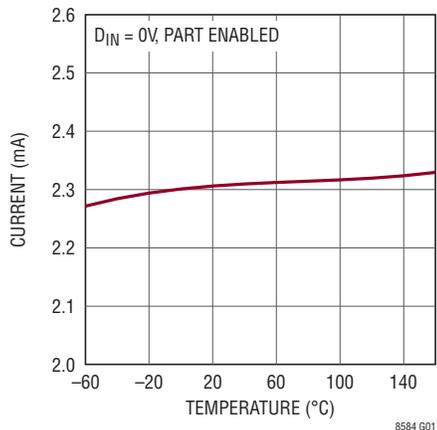
Note 6: これはスイッチ・エラー・ラッチがセットされずにスイッチ・クランプが継続的に動作する時間の評価基準である。スイッチ・クランプがスイッチ・クランプのブランキング時間より長く固定され続けると、スイッチ・エラー・ラッチがセットされ、スイッチングはディスエーブルされる。

Note 7: 温度に比例する電圧 (V_{TEMP}) は、アナログ・マルチプレクサがMODE 3またはMODE 4のときにOUTピンで測定される。 V_{TEMP} はアナログ・マルチプレクサがMODE 1のときに測定された V_{CELL} の電圧から引き算する必要がある。どちらの測定も互いの測定から100ms以内に、絶対温度計算での誤差を低減する必要がある。

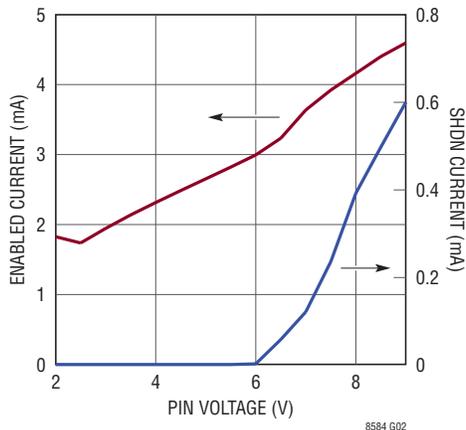
標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = V_{CELL} = V_{SNS} = 4.2\text{V}$ 。

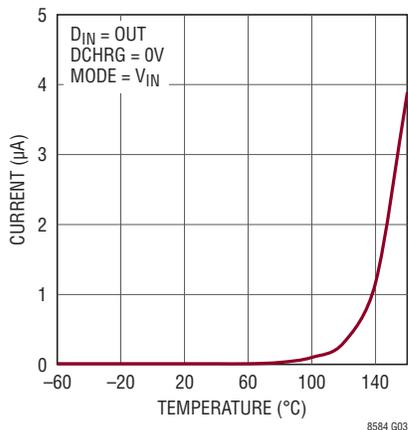
**V_{IN} ピンの電流(スイッチングの
ディスエーブル時)**



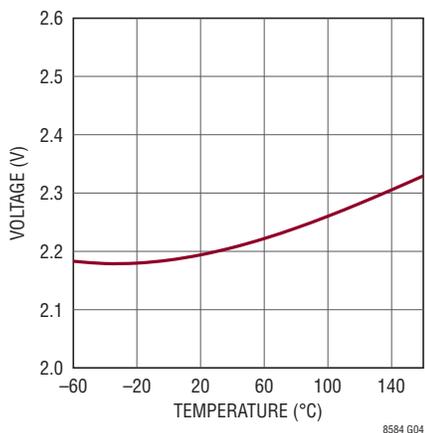
V_{IN} ピンの電流



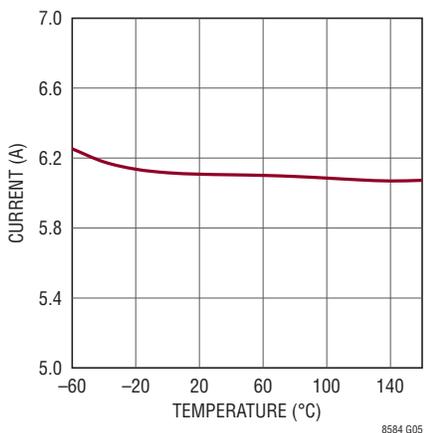
**全入力漏れ電流
 $I_{VIN} + I_{VCELL} + I_{VSNS} + I_{SW}$**



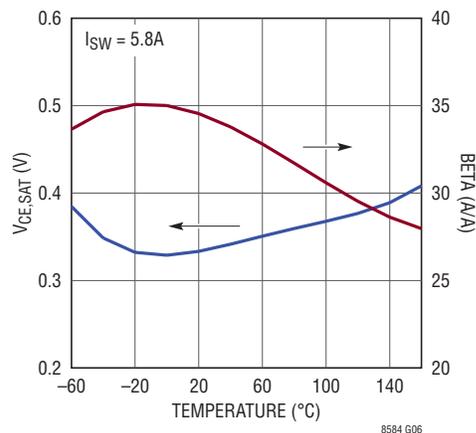
V_{IN} の内部 UVLO 特性



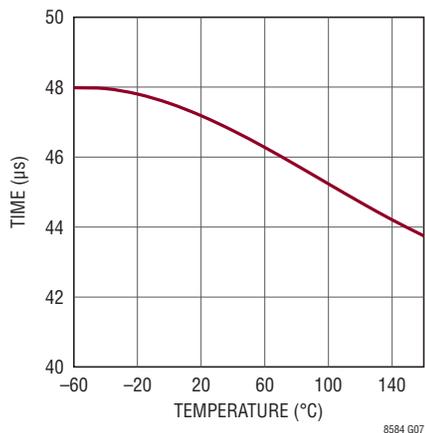
スイッチ電流制限



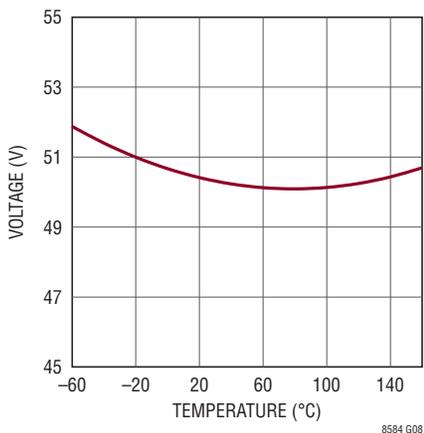
スイッチ特性



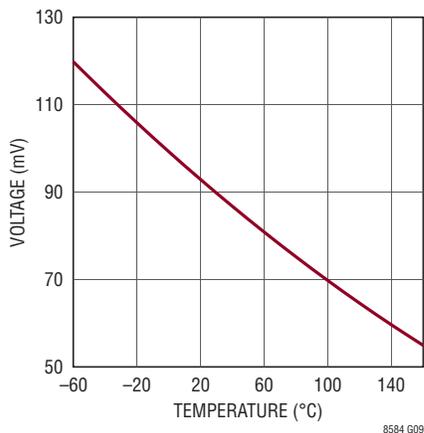
スイッチの最大オン時間



**スイッチのクランプ電圧
($I_{SW} = 6\text{A}$)**



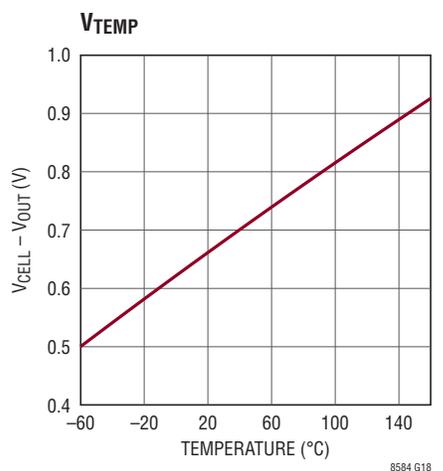
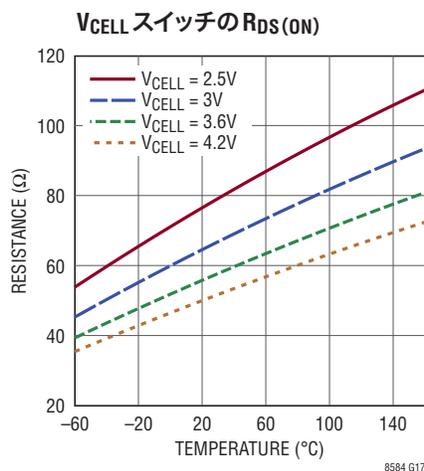
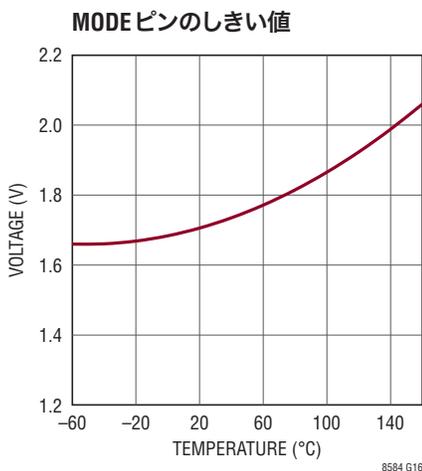
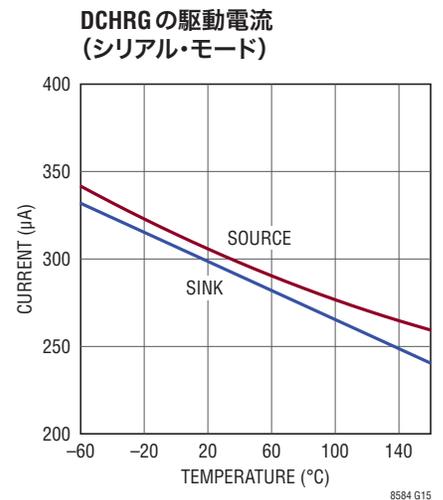
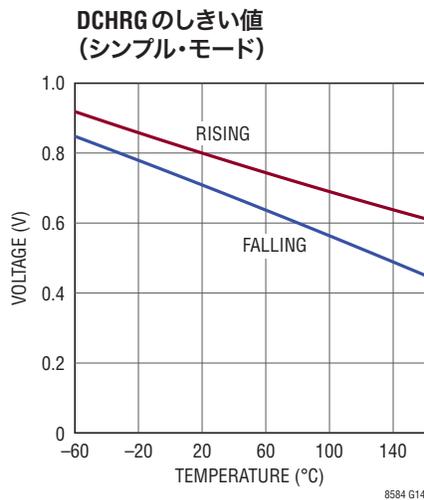
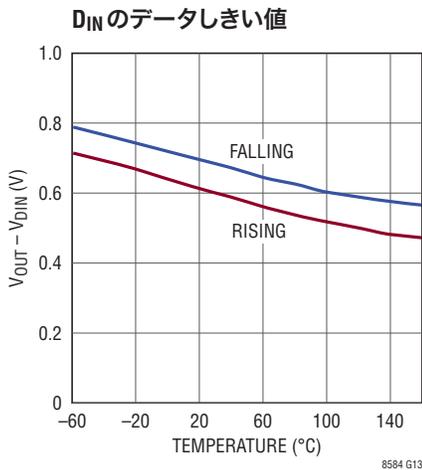
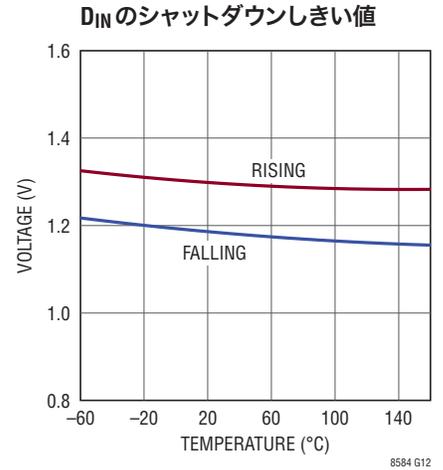
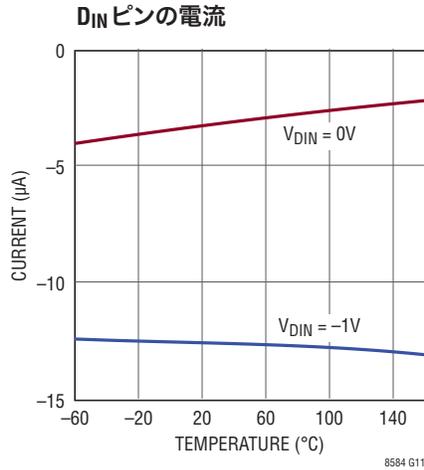
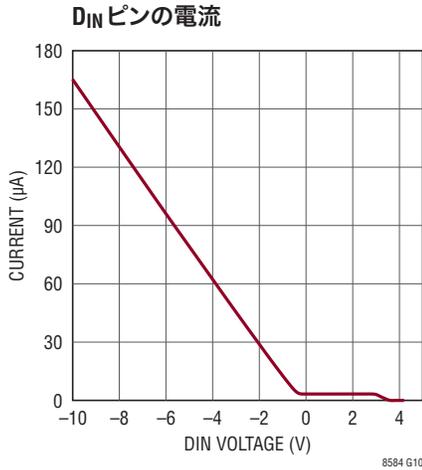
DCM コンパレータのしきい値



LT8584

標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = V_{CELL} = V_{SNS} = 4.2\text{V}$ 。

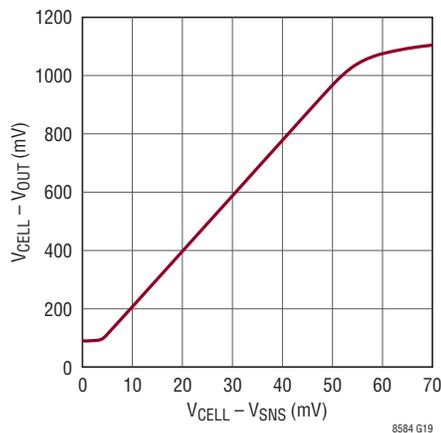


8584fb

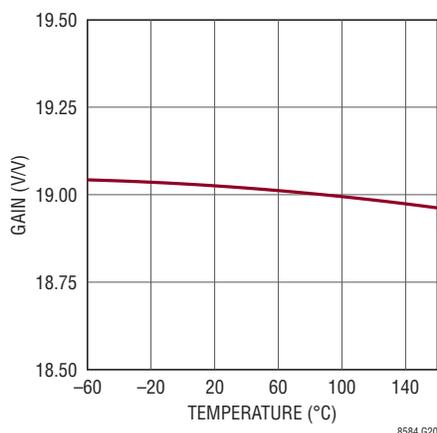
標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = V_{CELL} = V_{SNS} = 4.2\text{V}$ 。

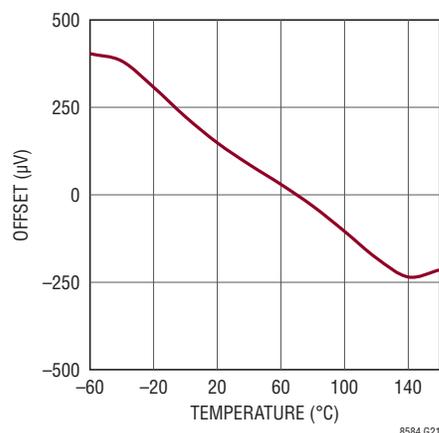
V_{SNS} 伝達関数



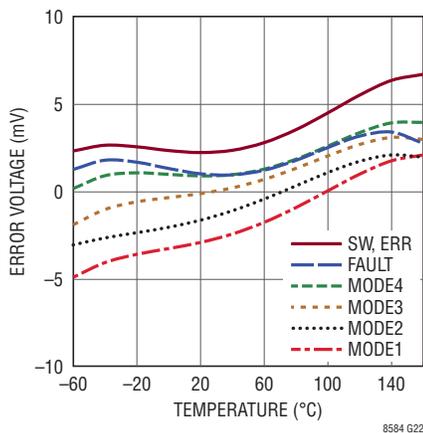
V_{SNS} アンプの利得



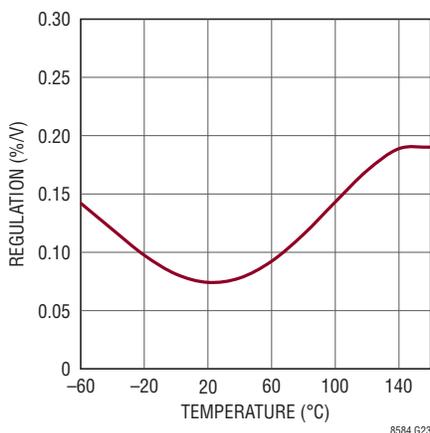
V_{SNS} アンプ
入力換算オフセット



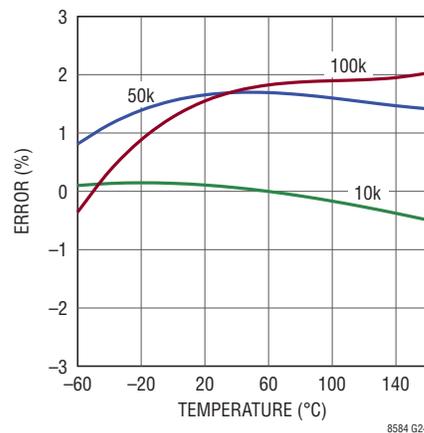
ハンドシェイク電圧
エラー



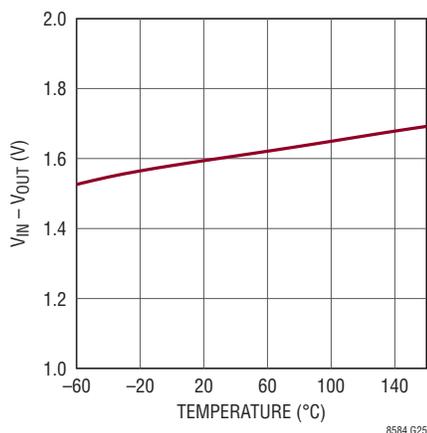
ハンドシェイク電圧
入力レギュレーション



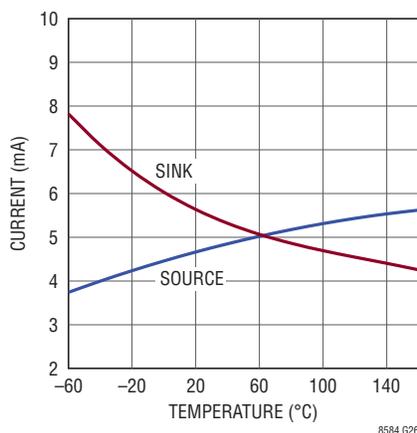
デコード期間の誤差



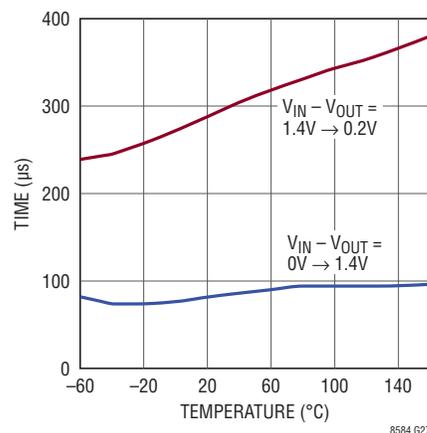
OUTピンのクランプ電圧
 $I_{OUT} = 10\text{mA}$



OUTピンのアンプ駆動電流



OUTピンのアンプ
1%のセトリング時間、 $C_{OUT} = 220\text{nF}$

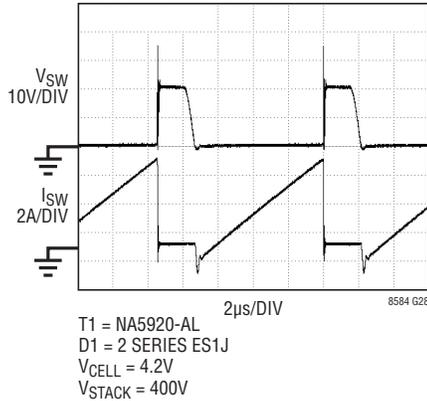


LT8584

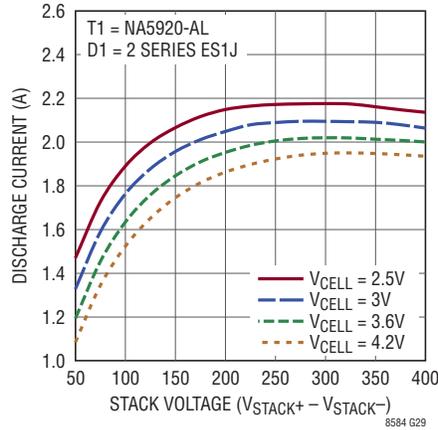
標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = V_{CELL} = V_{SNS} = 4.2\text{V}$ 。

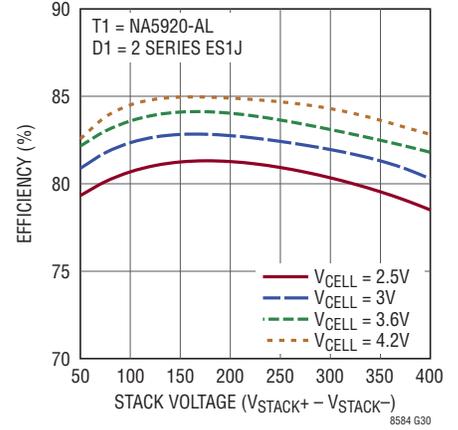
スイッチング波形



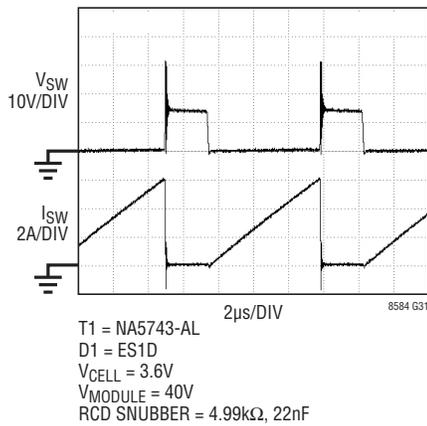
平均放電電流



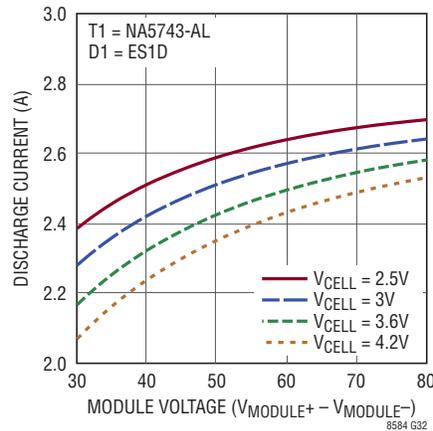
変換効率



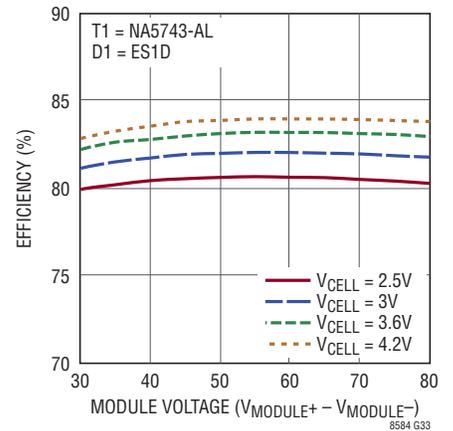
スイッチング波形



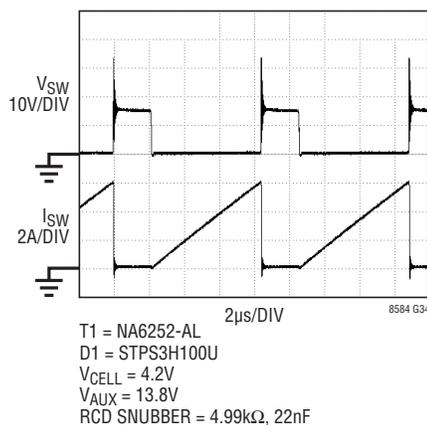
平均放電電流



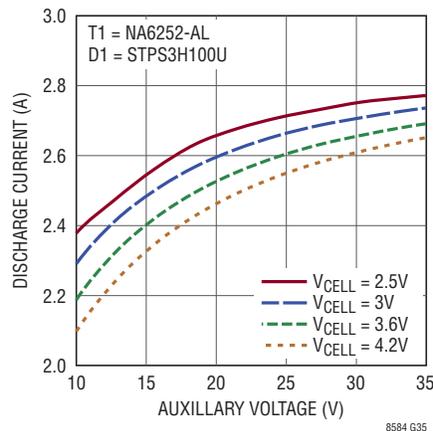
変換効率



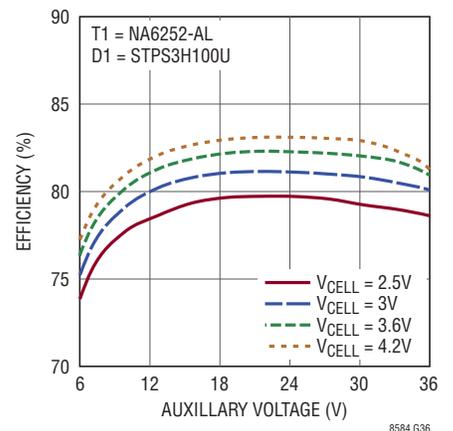
スイッチング波形



平均放電電流



変換効率



ピン機能

GND (ピン1、ピン2、ピン3、ピン4、ピン17) : デバイス近くのグラウンド・プレーンに直接半田付けする必要があります。

MODE (ピン5) : シリアル・イネーブル・ピン。アナログ・マルチプレクサ制御のシリアル・インタフェースをイネーブルするには、このピンをグラウンドに接続します。アナログ・マルチプレクサをディスエーブルするには、このピンを V_{IN} に接続します。アナログ・マルチプレクサがディスエーブル状態のとき、OUTピンはデフォルトで V_{TEMP} の測定結果を出力します。このピンはフロート状態にしないでください。

RTMR (ピン6) : シリアル・インタフェースのタイマ・ピン。このピンとグラウンドの間に抵抗を接続して、シリアル・カウント期間 t_W を設定します。適切な抵抗の選択方法については、「アプリケーション情報」のセクションを参照してください。

D_{IN} (ピン7) : データ入力ピン。MODEピンを V_{IN} に接続している場合はスイッチングを開始するために、また、MODEピンをグラウンドに接続している場合は所望のアナログ・マルチプレクサ状態を選択するために、このピンをグラウンドに接続してください。このピンはLTC680xファミリのSピンで直接駆動するように設計されています。

OUT (ピン8) : アナログ出力ピン。このピンは高精度電圧モニタに接続します。MODEピンを V_{IN} に接続している場合はデバイスの内部温度に比例した電圧 V_{TEMP} を測定し、MODEピンをグラウンドに接続している場合は内部アナログ・マルチプレクサの出力を測定します。アナログ・マルチプレクサ・モードでは、OUTピンを使用して V_{CELL} ピン、 V_{SNS} ピン、または V_{TEMP} の電圧モニタが可能です。このピンはLTC680xファミリのCピンに直接接続するように設計されています。このピンには補償コンデンサを接続する必要があります。コンデンサのサイズ決めと配置の適切な方法については、「アプリケーション情報」のセクションを参照してください。

V_{IN} (ピン9) : 電源ピン。このピンはバッテリー・セルの正端子に直接接続します。高グレード (X5R 以上) のセラミック・コンデンサをトランスの1次巻線接続点の近くに配置してバイパスする必要があります。

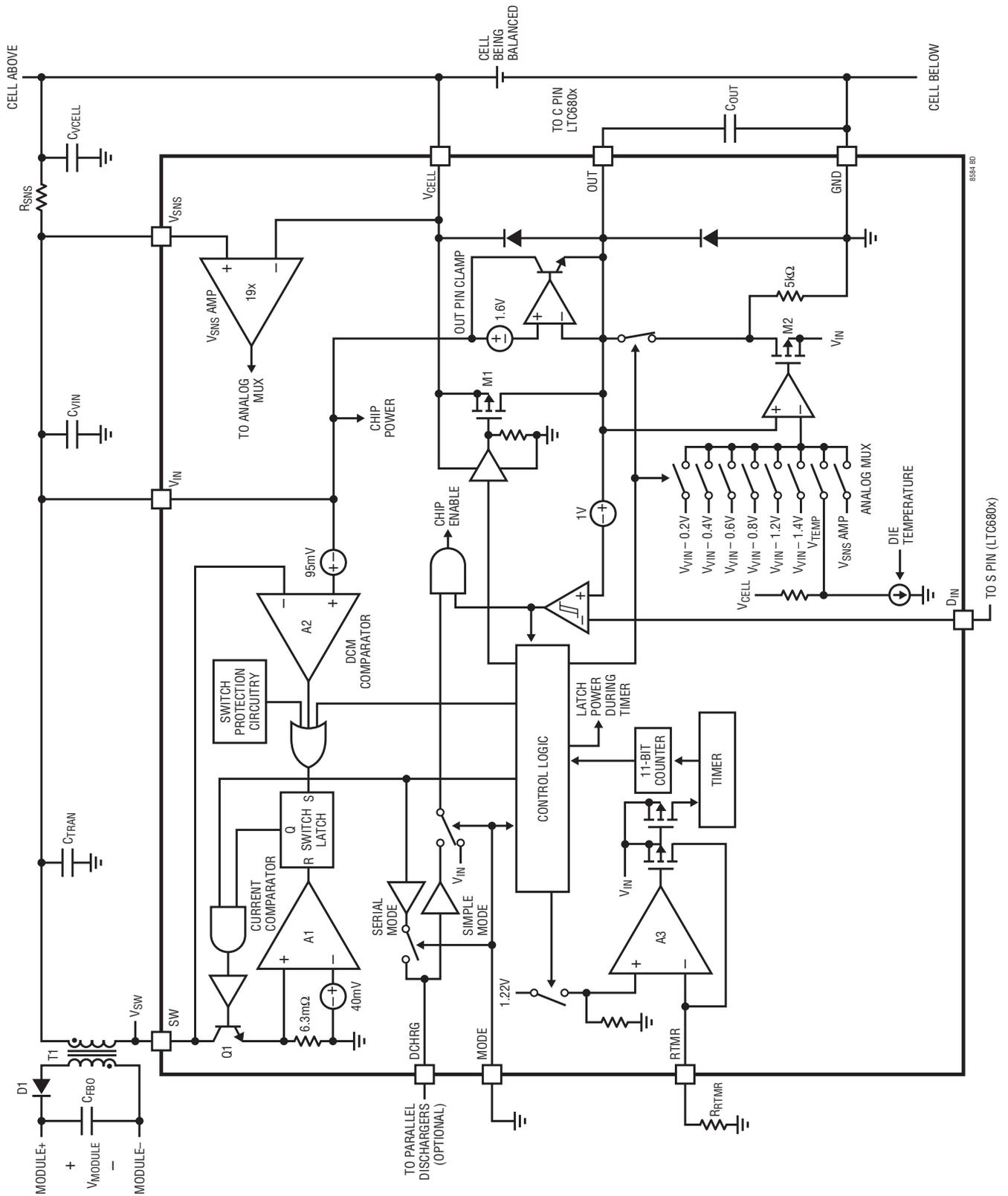
V_{CELL} (ピン10) : セル電圧のモニタ・ピン。このピンは、高精度電圧モニタを実現するためのバッテリー・セルへのケルビン接続点になります。このピンはバッテリー・セルの正端子に直接接続します。推奨のセル電圧範囲は2.5V ~ 5.3Vです。

V_{SNS} (ピン11) : 電圧検出ピン。このピンは、トランスの1次側に接続した電流検出抵抗に接続します。このピンを使用して、バッテリー・セルから放電される平均電流を測定します(「ブロック図」参照)。MODEピンはグラウンドに接続する必要があり、内部アナログ・マルチプレクサは V_{SNS} ピンを選択してこの機能を使用する必要があります。入力電流は $(V_{VCELL} - V_{VSNS})/R_{SNS}$ で求められます。

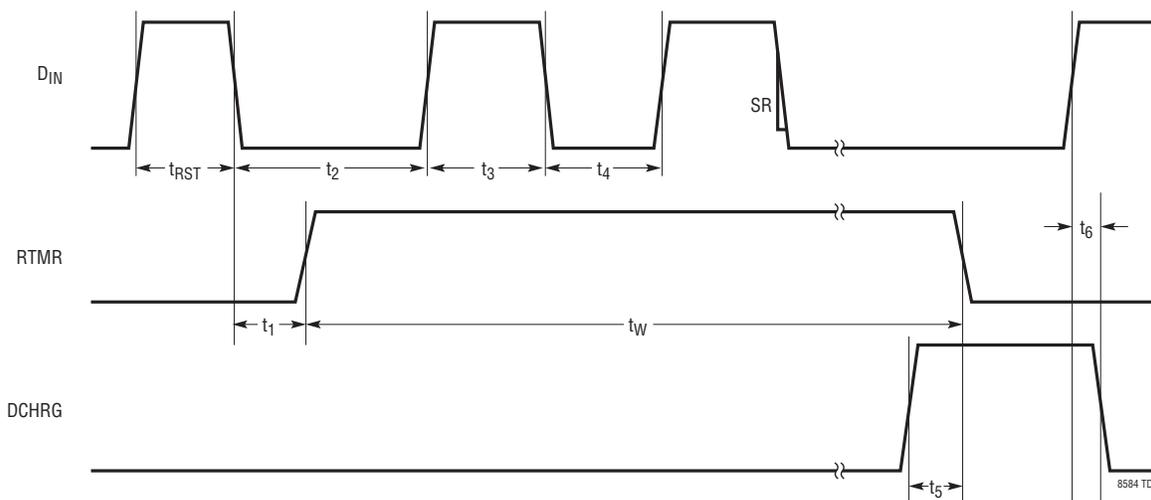
DCHRG (ピン12) : 放電ピン。放電ピンは入力ピンまたは出力ピンとして構成できます。DCHRGを出力ピンとして構成するには、MODEピンをグラウンドに接続します。この場合、DCHRGの電圧はスイッチング時には V_{IN} になり、スイッチングが停止するとグラウンド電位になります。出力構成を使用すると、複数のLT8584またはその他のスイッチング・レギュレータを並列に駆動して放電能力を増強することができます。DCHRGを入力として構成するには、MODEピンを“H”に接続します。入力ピンとして構成した場合は、DCHRGピンの電圧を V_{IN} にしてスイッチングをイネーブルします。このモードではシリアル通信がディスエーブルされているので、D_{IN}ピンを接地してスイッチングを開始する必要があることに注意してください。

SW (ピン13、ピン14、ピン15、ピン16) : スイッチ・ピン。これは、内部の6A NPNパワー・スイッチのコレクタです。このピンに接続されるメタル・トレースの面積を小さくしてEMIを最小限に抑えます。1次側トランスの下側(低電位側)をこのピンに接続します。

ブロック図



タイミング図



動作

大半のシステムでは、直列に接続した複数のバッテリー・セルを使用して、使用可能な容量および電圧を増やしています。このようなシステムでは、個々のバッテリー・セルを常時モニタして、これらのセルが制御された範囲内で動作していることを保証しなければなりません。そうでない場合は、バッテリーの容量と寿命が損なわれる恐れがあります。リニアテクノロジーでは、LTC680x ファミリー・シリーズのマルチセル・バッテリー・スタック・モニタ (BSM) を供給して、この課題を遂行しています。

LTC680x はスタック内の個々のセルをモニタして、この情報を独自のシリアル・バスを介して中央演算処理装置に通信します。あるセルの電圧が許容電圧限度に近づき始めると、LTC680x にコマンドが送出され、該当セルのパッシブ (受動) 分路を導通させ、該当セルへの充電電流をバイパスして、その電流を引き続き残りのセルに供給できるようにします。このパッシブ分路電流または電源能力あるいはその両方がバッテリー・スタックの最大充電電流を制限します。パッシブ分路の使用は非効率的でもあり、充電電流が多いときは分路電流によってかなりの熱が発生します。

LT8584 は、充電電流をアクティブ (能動的) に分岐し、エネルギーをバッテリー・スタックに戻すことによってパッシブ分路バランスの2つの制限事項を解決します。エネルギーを発熱で失う代わりに再利用し、スタック内の残りのバッテリーを充電します。LT8584 のアーキテクチャは、スタック全体としては容量が残っているうちにスタック内の1つ以上のセルが安全電圧の下限しきい値に達した場合、動作時間が減少する問題も解決します。強いセル (電圧の高いセル) から電荷を再分布して弱

いセルを充電できるのは、アクティブ方式のバランス調整だけです。この方式では弱いセルが引き続き負荷電流を供給可能であり、全スタック容量の96%を超える容量を取り出すことができます。これに対して、パッシブ方式のバランス調整で取り出せるのはわずか80%にすぎません

LT8584 は境界モードのフライバック・コンバータとして動作するように設計された6Aスイッチを内蔵しており、2.5Aの平均放電電流を供給します。複数のLT8584を使用して各セルのバランスを調整することにより、平均放電電流も調整可能です。スタック内の各バッテリーにはLT8584アクティブ・セル・バランスが1つずつ必要です。

LT8584のフライバック構成により、バッテリー・スタック内の任意の2点間に電荷を戻すことができます。大半のアプリケーションでは、モジュール・アプローチを採用しており、12チャンネルのBSM ICによってモニタされる12本組の直列接続ローカル・セルに電荷を戻します。この場合には、フライバック・コンバータの出力を V_{MODULE} と呼びます。バッテリー・スタック全体は、直列に接続されたいくつかの12セル・モジュールを使用して構成されます。2番目のアプローチは、バッテリー・スタック全体に電荷を戻す手法で、この場合にはフライバックの出力を V_{STACK} と呼びます。最後のオプションは、 V_{AUX} と呼ばれる補助電源レールに電荷を戻す方法です。

LT8584には、LTC680x やその他のバッテリー・スタック・システムと継ぎ目なく結合できる2つの動作モード (MODEピンで選択可能) があります。シンプル・モードでは、LT8584のデイス

動作

チャージャはロジック入力ピンを使用してオン/オフを切り替えます。シリアル・モードでは、LT8584を使用してセル電圧のほかに放電電流とダイ温度を測定できます。

一般的なフライバック動作

LT8584がセルの放電コマンドを受けてから約2 μ s後に最初のサイクルが始まります。LT8584は境界モード(連続動作の端)で動作するフライバック・コンバータとして構成されており、基本的な状態が3つあります(図1参照)。

1. 1次側の充電

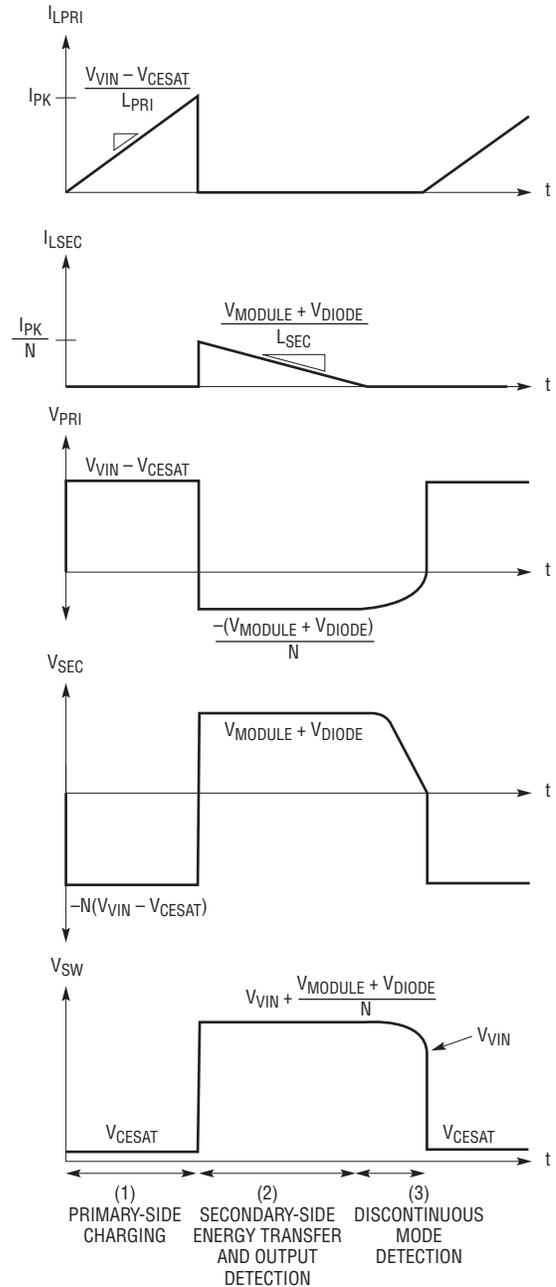
スイッチ・ラッチがセットされると、内部のNPNスイッチがオンし、1次巻線の両端に($V_{VIN} - V_{CESAT}$)が強制的に印加されます。その結果、1次コイルの電流は($V_{VIN} - V_{CESAT}$)/ L_{PRI} のレートで直線的に増加します。入力電圧は $-N \cdot (V_{VIN} - V_{CESAT})$ として2次巻線に反射され、この電圧が2次側の直列ダイオードを逆バイアスすることにより、2次巻線に電流が流れるのを防止します。したがって、エネルギーはトランスのコアに蓄積します。

2. 2次側のエネルギー伝達

電流制限値に達すると、電流制限コンパレータがスイッチ・ラッチをリセットし、デバイスは動作の第2段階である2次側のエネルギー伝達に移行します。トランスのコアに蓄積されたエネルギーは直列ダイオードを順方向バイアスし、出力コンデンサまたはバッテリーあるいはその両方に電流が流れます。この間、出力電圧とダイオード電圧降下の和が1次側コイルに反射されて戻ります。

3. 不連続モードの検出

2次側のエネルギーが出力コンデンサに伝達されている間、1次巻線の両端には($V_{MODULE} + V_{DIODE}$)/ N が生じます。エネルギーが蓄積されていないトランスではDC電圧を支えることができないので、1次巻線両端の電圧は減衰して0になります。言い換えると、内部NPN、SWピンの電圧は $V_{VIN} + (V_{MODULE} + V_{DIODE})/N$ から V_{VIN} に低下します。SWピンの電圧が $V_{VIN} + 95mV$ より低くなると、DCMコンパレータがスイッチ・ラッチをセットし、新しいスイッチ・サイクルが始まります。1~3の状態はデバイスがデイスエーブルされるまで続きます。



8584 F01

図1. 簡略化した放電波形

動作

スイッチ保護

内部パワーNPNスイッチが永久的に損傷する可能性を低減するため、いくつかの保護機能が組み込まれています。それは、短絡検出器、高インピーダンス検出器、スイッチの過電圧保護(OVP)、および内部低電圧ロックアウト(UVLO)です。フォルトが原因で放電コンバータの完全性が損なわれた場合は、これらの機能によってユーザへの警告も行われます。スイッチングはフォルト状態の間はディスエーブルされます。

短絡検出器

短絡検出器は、1次側巻線の短絡が原因でパワーNPNスイッチのオフが早まるのを検出します。850nsの短絡検出タイムアウトより前に電流コンパレータが作動すると、スイッチ・エラー・ラッチが作動します。スイッチ・エラーの発生時に、OUTピンの電圧は $V_{VIN} - 1.2V (V_{SW,ERR})$ になります。スイッチ・エラー・フォルトを解消するには、デバイスをリセットする必要があります。

高インピーダンス検出器

高インピーダンス検出器は、パワーNPNスイッチがオンしている時間をモニタします。スイッチがオンの状態が $50\mu s$ (スイッチの最大オン時間)より長くなると、スイッチ・エラー・ラッチがセットされ、OUTピンの電圧は $V_{VIN} - 1.2V (V_{SW,ERR})$ になります。スイッチ・エラー・フォルトを解消するには、デバイスをリセットする必要があります。

過電圧保護(OVP)

OVP回路は、NPNコレクタのSWピンを50Vに動的にクランプします。この回路は、内部パワー・スイッチがブレイクダウン領域に入って永久的な損傷を生じないように保護します。このクランプは、漏れインダクタンス・エネルギーを吸収する1次側のスナバ回路としても使用されます。200nsのスイッチ・クランプ・ブランキング時間により、クランプが漏れインダクタンスによるスパイクを吸収しているか、トランスの2次側が開放状態のときスイッチがオフになっているかどうかを判別します。スイッチ・クランプがオンの時間が約200nsを超えると、スイッチ・エラー・ラッチがセットされます。スイッチ・エラー・フォルトを解消するには、デバイスをリセットする必要があります。

内部低電圧ロックアウト(UVLO)

LT8584は、スイッチングをディスエーブルすることにより、UVLO状態時にデバイス自体を保護します。UVLO状態時に、OUTピンの電圧は $V_{VIN} - 1.4V (V_{FAULT})$ になります。UVLOフォルトは非ラッチ状態であり、スイッチ・フォルトよりも優先されます(シリアル・モードでは V_{IN} を2Vより高い電圧に保持して、UVLOフォルトを非ラッチ状態にする必要があります)。いったんUVLO状態が解消されると、OUTピンは通常動作に戻り、スイッチングが再開されます。UVLO状態になる前にスイッチ・フォルト・ラッチが作動していると、OUTピンはUVLO状態が解消された後のみスイッチ・フォルト($V_{SW,ERR}$)を示し、スイッチングはディスエーブルされたままになります。

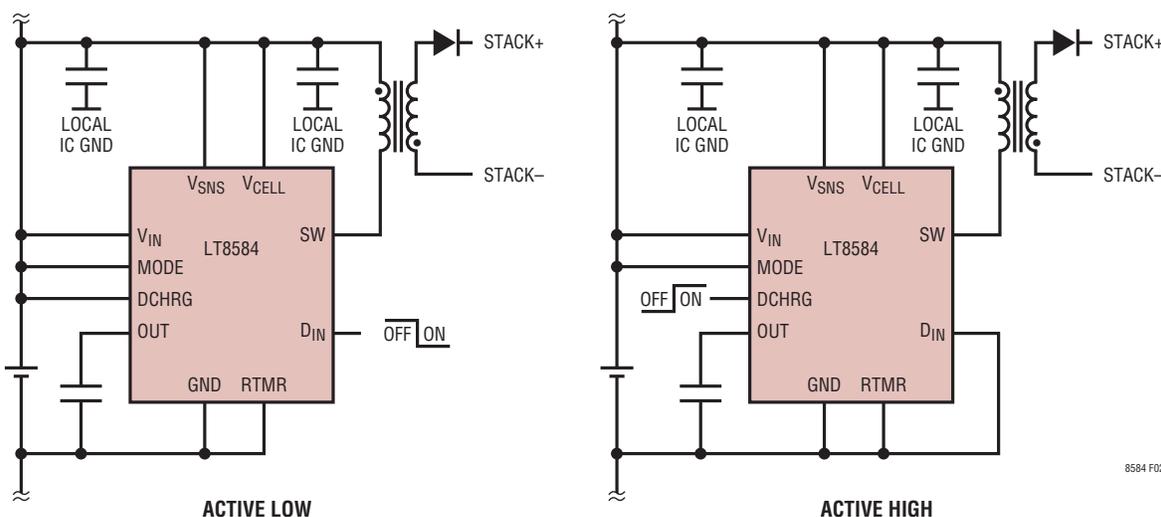


図2. シンプル・モード構成

動作

シンプル・モード動作

MODEピンをVINピンに接続すると、LT8584は、単純なオン/オフ・シャットダウン・ピンを備えたシンプルなディスチャージャとして構成されます。アクティブ“H”入力(DCHRG)またはアクティブ“L”入力(DIN)を処理する2つのシャットダウン・オプションが用意されています。図2を参照してください。DINをグラウンドに接続してDCHRGピンをアクティブ“H”入力として使用するか、DCHRGをVINに接続してDINをアクティブ“L”入力として使用します。DINピンが“L”になり、DCHRGが“H”になると、デバイスはスイッチングを開始します。イネーブル・ロジック機能を図3に示します。アクティブ“H”のシンプル・モードで動作しているときは、DINをデバイス近くのグラウンドより0.4Vを超えて低い電圧に決してしないでください。



図3. シンプル・モードのイネーブル・ロジック

シンプル・モード時のOUTピン

OUTピンの電圧は、デフォルトではVTEMP(ダイ温度に比例した電圧)になり、 $V_{TEMP} = V_{VCELL} - V_{OUT}$ となるセル電圧を基準にして測定されます。これは、システム診断用に内部ダイ温度をモニタするときで使用できます。OUTピンは、内部UVLO状態の場合は $V_{VIN} - 1.4V$ (VFAULT)、スイッチ・エラーの場合は $V_{VIN} - 1.2V$ (VSW,ERR)という2つの異なる指示電圧レベルも出力します。VTEMPが1V(180°Cに相当)¹を超えることはできません。このため、フォルト電圧とスイッチ・エラー電圧は両方とも確定します。スイッチ・エラー・ラッチがセットされるのは、パワーNPNスイッチがフォルトを検出したときです(詳細については、「スイッチ保護」のセクションを参照)。

¹ 量産テスト時には検査されません。

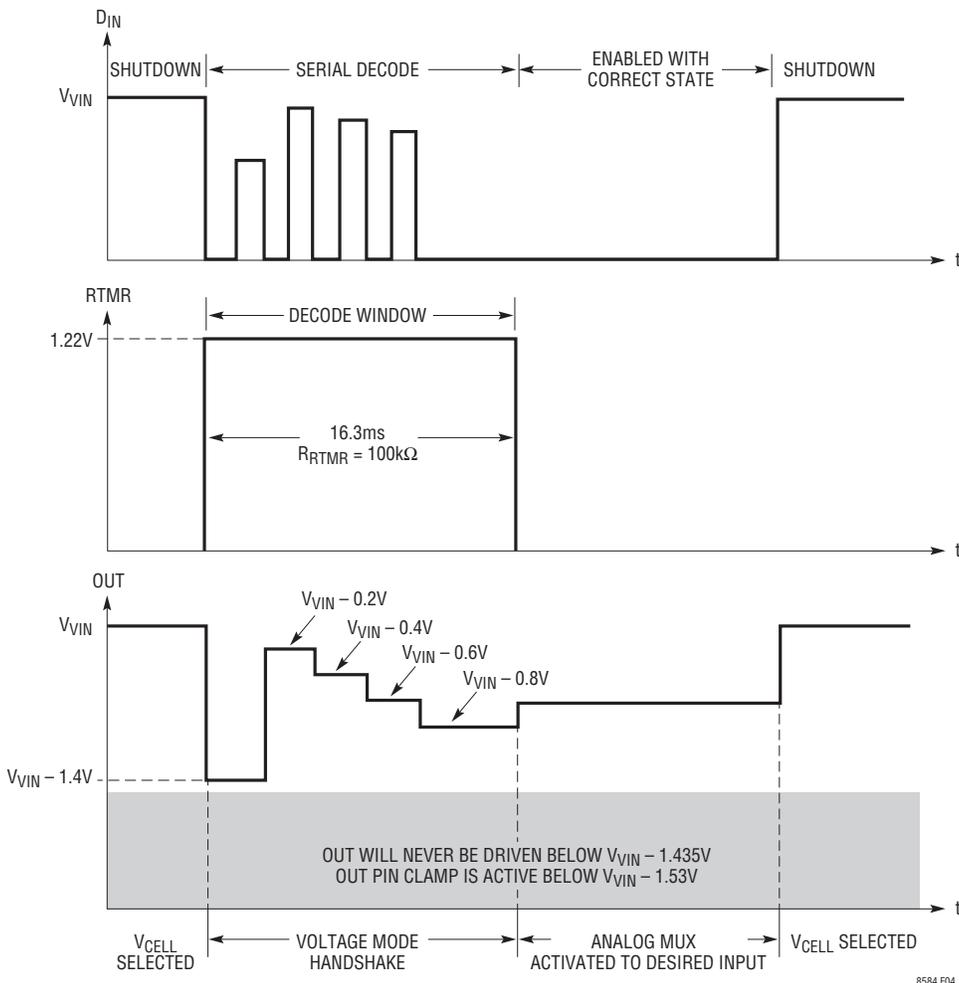


図4. シリアル通信でのデコード

8584 F04

動作

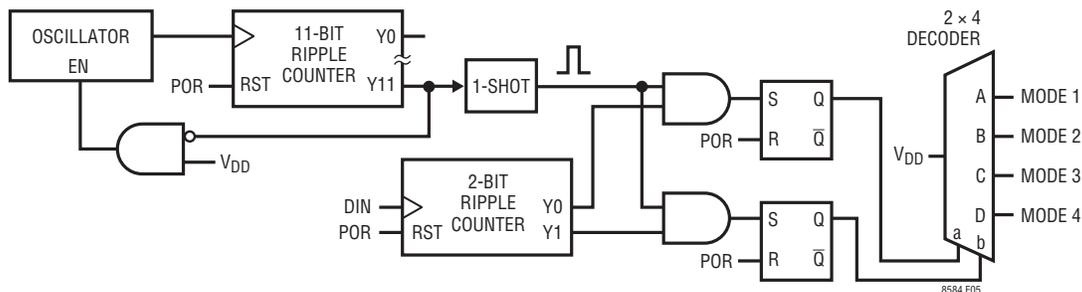


図5. シリアル通信アーキテクチャ

シリアル・モード動作

放電電流あるいはダイ温度のモニタが必要な場合は、シリアル・モードを使用します。MODEピンをGNDに接続すると、シリアル通信がイネーブルされます。D_{IN}ピンは、カスタムのシリアル・バスを介してシリアル・データを入力するときに使用します(図4および図5を参照)。

シリアル・モードの安全機能

LT8584は、数レベルの安全機能および検証機能をユーザに提供します。LT8584は、1次側の開放または短絡、2次側の開放または短絡、1次側または2次側での過電圧のいずれかが発生したときに電力の供給を検出して停止するスイッチ保護回路を内蔵しています。LT8584は、バッテリー・スタック・モニタ(BSM)で読み出すことができるV_{SW,ERR}ハンドシェイクを出力します。

LT8584は、D_{IN}パルス数が多すぎたり少なすぎたりする状態やUVLO状態などの通信エラーも検出します。LT8584は、BSMで読み出すことができるV_{FAULT}ハンドシェイクを出力します。

LT8584は、温度、放電電流、セル電圧、セルと接続点のDC抵抗などの重要なセル・パラメータも与えます。これらのパラメータは、すべてBSMによって読み出されます。セルは経年変化するにつれてインピーダンスが大きくなります。これにより、ユーザは予防保守を行ってシステムのダウンタイムを最小限に抑えることができます。

最後に、LT8584のハンドシェイク電圧は±3%精度の独立したリファレンスであり、これを使用してBSM内のすべてのチャネルが正しく測定していることを検査できます。

シリアル・アーキテクチャ

デバイスへの電源はD_{IN}信号の最初の負エッジでラッチされ、デコード期間t_W中はラッチされたままです。これにより、デバイスをリセットせずにD_{IN}ピンをシリアル・データの通信用に切り替えることができます。

LT8584は、D_{IN}ピンで見られる負エッジの数をカウントします。最初のエッジは、シリアル通信を開始してデバイスをラッチしますが、カウントされません。表1に示すように、ユーザが選択できるアクティブ・モードは4つあります。ハンドシェイク動作はOUTピンのアナログ電圧を読み取ることによって行われます。ハンドシェイク電圧はD_{IN}信号の負エッジにアサートされ、シリアル・デコード・カウントに対応します。

デコード期間が経過してRTMRピンの電圧がグラウンドに戻ると、次の3つの動作が開始されます。OUTピンのアナログ・マルチプレクサが所望の測定に切り替わり、表1の選択モードに応じてディスチャージャがオンし、入力電源のラッチがディスエーブルされます。LT8584をディスエーブルできるのはデコード期間の経過後で、かつD_{IN}ピンが“H”になった後だけであることに注意してください。

表1. シリアル・モードの状態

パルス数	モード	ディスチャージャの状態	マルチプレクサ出力	ハンドシェイク電圧 (V _{VIN} - V _{OUT})
デバイスがディスエーブル状態	0	ディスエーブル	V _{CELL}	N/A
0	フォルト	ディスエーブル	V _{FAULT}	1.4
1	1	イネーブル	V _{CELL}	0.2
2	2	イネーブル	V _{SNS}	0.4
3	3	イネーブル	V _{TEMP}	0.6
4	4	ディスエーブル	V _{TEMP}	0.8
5以上	フォルト	ディスエーブル	V _{FAULT}	1.4

動作

シリアル・タイムのデコード期間

タイムはD_{IN}ピンの最初の負エッジで始動します。RTMRピンは、シリアル入力カウンタのデコード期間を意味するタイム期間の間、“H”のままです。RTMRピンとグラウンドの間に抵抗を接続することにより、デコード期間が設定されます。デコード期間は1.9ms (R_{RTMR} = 10k)から31ms (R_{RTMR} = 200k)まで正確に設定できます。タイムをこの範囲外に設定することは可能ですが、精度は低下します。RTMRピンが“L”になると、シリアル入力カウンタは計数を停止してデータをラッチします。OUTピンのアンプ入力マルチプレクサが目的の測定値を選択後、ディスチャージャは正しい状態に設定されます。

シリアル通信のフォルト・モード

シリアル・インタフェースは、通信エラーによって望ましくないモードに入るのを防ぐフォルト・モニタをいくつか備えています。LT8584がフォルト状態であることを示す場合、OUTピンはV_{VIN} - 1.4Vに設定されます。RTMRが“H”になった直後から最初のカウントが検出されるまで、デバイスはフォルト状態に留まります。デコード期間中にシリアル入力カウンタがカウントを検出できなかった場合、フォルトはラッチされます。シリアル入力カウンタが負エッジを5回以上カウントすると、フォルト・ラッチがセットされます。

デコード期間中に内部低電圧ロックアウト(UVLO)が検出されると、第3のラッチ・フォルトが発生します。これにより、データ・ラッチまたはシリアル入力カウンタがリセットされた場合でも、望ましくない動作から保護されます。デバイスはD_{IN}を“H”にしてフォルトを解消することによってリセットする必要があります。

D_{IN}ピンとシリアル・バスのタイミング

注入されたシステム・ノイズによってシリアル通信が破壊されないように、データ・バスには内部パッシブ・フィルタがいくつか追加されています。これらのフィルタには、シリアル通信のタイミング要件に制約を加える時定数があります(「タイミング図」を参照)。LT8584は、D_{IN}ピンに生じた最大4μsのグリッチを両方向で除去できます。パワー・ラッチ・フィルタもD_{IN}での最大4μsのグリッチを除去できます。

D_{IN}ピンには約100mVのヒステリシスが組み込まれています。これにより、シリアル入力カウンタは低速エッジと高速エッジの両方を誤動作を生じることなく認識できます。ディスチャージャの動作時間または不動作時間は標準では3μs未満であり、スイッチのイネーブル・ラッチ状態を直接示すものです。

OUTピンのアナログ・マルチプレクサ

内部のマルチプレクサ(MUX)は、表1に示すシリアル・モードのうち、選択されたモードに基づいて、V_{CELL}とOUTピンのアンプの中から入力を選択します。OUTピンのアンプには5kΩの内部負荷があり、以下のようないくつかの入力を備えています。それは、V_{TEMP}、19•V_{SNS}アンプ、および6つのハンドシェイク電圧です。内部マルチプレクサは(処理中に電力を消費しない)シャットダウン時にデフォルトでV_{CELL}に接続されており、V_{CELL}ピンとOUTピンの間の抵抗値は公称で55Ωになります。OUTピンからBSMまでの接続と内部アナログMUXを図6に示します。

LT8584とデコード期間の両方が動作状態になると、MUXはいずれかのハンドシェイク電圧レベルに切り替わります。OUTピンのアンプは、シリアル入力カウンタがD_{IN}での最初の負エッジを認識するまで、起動時にフォルトを示します。それ以降D_{IN}に現れる負エッジにより、MUXはカウントされたエッジの数に対応するハンドシェイク電圧を選択します。これらの電圧レベルにより、シリアル・インタフェースが正しいカウントを認識した場合、検証の手段が与えられます。OUTピンのアンプの1%セトリング時間は、220nFの負荷容量を駆動する場合、約200μsであることに注意してください。

RTMRピンが“L”になると、MUXはシリアル入力カウント数に対応するOUTピンのモードを選択します(可能なモードについては表1を参照)。RTMRピンが“L”でデコード期間が経過している場合は、デバイスをシャットダウン状態にしておくこともできます。

V_{CELL}の測定

デバイスがディスエーブル状態(ディスチャージャがオフ)でもMODE 1のイネーブル状態(ディスチャージャがオン)でも、OUTピンの電圧を測定すればセル電圧を測定できます。表1を参照してください。LT8584は、R_{DS(on)} = 55Ωの内部PMOSスイッチを使用して、V_{CELL}をOUTピンに接続します。OUTピンでの流入電流または流出電流が原因で、スイッチ両端のIR電圧降下による測定誤差が発生するので注意してください。

V_{SNS}の19倍アンプ

ディスチャージャ電流をモニタできるアンプが用意されています。この測定を実行できるのは、ディスチャージャがオンのとき(MODE 2)だけです。V_{CELL}とV_{SNS}の間の差動電圧は19倍に増幅されます。これにより、OUTピンに接続されている測定回路の入力オフセットによる誤差が減少します。値の小さい抵抗を使用することもできるので、全体の効率も高くなります。

動作

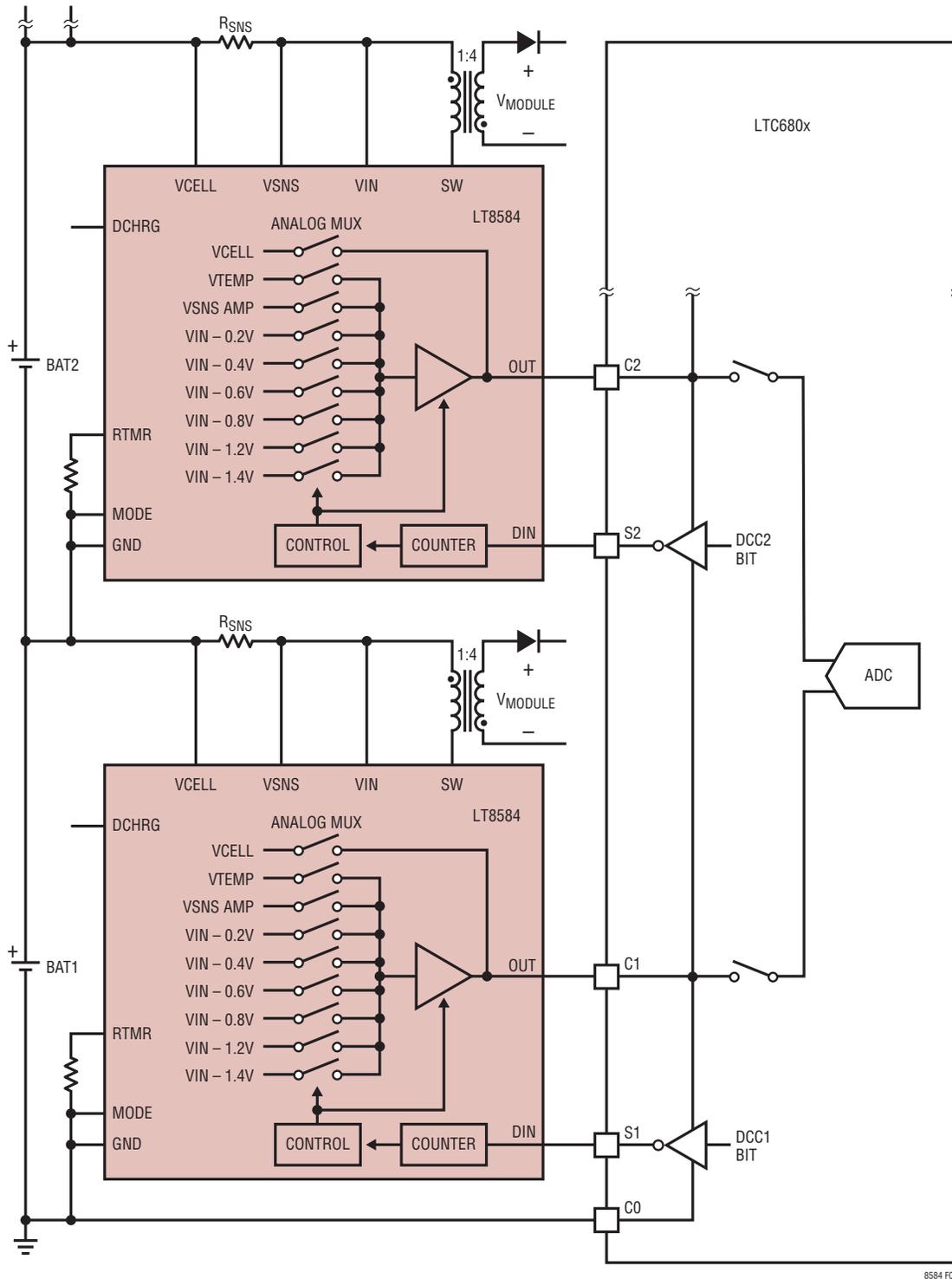


図6. シリアル・モードのアナログ・マルチプレクサ接続

動作

精度を確保するため、 V_{IN} ピンを V_{SNS} ピンに接続して LT8584 のバイアス電流と内部 NPN のベース駆動電流の両方を含める必要があります。 V_{IN} ピンを V_{SNS} ピンに接続すると、全体の利得は 20 倍に変わります。 V_{IN} ピンを V_{CELL} ピンに接続するとトランスの電流が測定され、全体の利得は 19 倍のままです。

V_{SNS} アンプの入力ダイナミックレンジは $-30\text{mV} \sim 70\text{mV}$ です。内部のフィルタリングおよび回路アーキテクチャにより、入力電流に負の成分が含まれる場合でも正確な測定が可能です。 V_{SNS} アンプでは、平均入力電流を正に維持することが要求されます。 V_{FAULT} と $V_{SW,ERR}$ の両方が確定することを保証するため、 V_{SNS} の測定時に $V_{VIN} - V_{OUT}$ が 1V を超えることはできません。これにより、平均入力範囲の最大値 ($V_{VCELL} - V_{VSENS}$) は 50mV に設定されます。

ダイ温度出力

MODE 3 (ディスチャージャはイネーブル状態) または MODE 4 (ディスチャージャはディスエーブル状態) を選択することにより、ダイ温度をモニタすることもできます。 $V_{VCELL} - V_{OUT}$ の電圧 (V_{TEMP}) は、絶対温度 (K) に比例します。このため、2 つの測定値を使ってダイ温度を計算する必要があります。温度データは、ディスチャージャがオンしているかどうかを確認する第 2 の方法となるだけでなく、環境条件をモニタする方法にもなります。 V_{FAULT} と $V_{SW,ERR}$ の両方を確定させるため、 V_{TEMP} が 1V (180°C に相当)¹ を超えることはできません。

次の式は内部のダイ温度を摂氏温度で求めるときに使用します。

$$T_J(^{\circ}\text{C}) = \frac{V_{TEMP} - 0.609}{0.00197}$$

ここで、 $V_{TEMP} = V_{VCELL} - V_{OUT}$ であり、ボルト (V) で表されます。絶対ダイ温度は上式から $\pm 25^\circ\text{C}$ ずれることがあります。が、 V_{TEMP} とダイ温度の変化の関係は明確に定められています。オフセット誤差は、LTC680x ファミリー・デバイスに内蔵されているような高精度システム温度モニタを使用して校正できます。 V_{TEMP} にもわずかな V_{VCELL} 依存性がありますが、次式を使用して補正できます。

$$T_{J,CORR} (^{\circ}\text{C}) = T_{J,CAL} + (4.2\text{V} - V_{CELL}) \cdot 2^{\circ}\text{C}$$

ここで、 $T_{J,CORR}$ は補正後のダイ温度であり、 $T_{J,CAL}$ は前述の式で計算したダイ温度です。

シリアル・モードでの差動測定

ハンドシェイク電圧 V_{SNS} や V_{TEMP} を含むすべてのパラメータ

は、測定を 2 回連続して行い、引き算を行うことにより差動的に抽出されます。強調表示された LT8584 から任意のパラメータ V_{PAR} を抽出する方法を図 7 に示します。測定中の LT8584 の直下にある LT8584 では、 V_{CELL} (MODE 0) が強制的に選択されている必要があり、連続 2 回の測定で 2 回とも負のリファレンスになります。

表 2. 差動測定時のモード選択

目的のパラメータ	シリアル・モード状態	
	1 回目の測定	2 回目の測定
ハンドシェイク電圧	MODE 0	デコード期間中
V_{SNS}	MODE 1	MODE 2
V_{TEMP} 、バランスはイネーブル状態	MODE 1	MODE 3
V_{TEMP} 、バランスはディスエーブル状態	MODE 0	MODE 4

1 回目の測定での V_{CELL} の選択は、MODE 0 (バランスがディスエーブル状態) または MODE 1 (バランスがイネーブル状態) に入ることによって行われます。表 2 を使用して、どちらの V_{CELL} で所定のパラメータを参照するかを決定します。注記のない限り、すべての測定はデコード期間の経過後に行います。

$$V_{PAR} = 1 \text{ 回目の測定値} - (2 \text{ 回目の測定値}) \\ = V_{CELL} - (V_{CELL} - V_{PAR})$$

LTC6803 の測定中のチャンネルの上のチャンネルの電圧は、標準セルの電圧より高くなります ($V_{CELL} + V_{PAR}$)。図 7 を参照してください。LT8584 は、LTC6803 の A/D コンバータ入力を保護し、A/D コンバータの入力に絶対最大定格を超えるストレスが決して印加されないことを保証できるように設計されています。

DCHRG 出力

DCHRG ピンを使用すると、LT8584 でいくつかのディスチャージャを並列に動作させることができます。スイッチのイネーブル・ラッチがセットされると、DCHRG ピンは“H”になります。DCHRG ピンを使用することにより、シンプル・モード (MODE ピンを V_{IN} に接続) に構成された別の LT8584 の DCHRG ピンを直接駆動することや、別のパワー・コンバータのシャットダウン・ピンを直接駆動することができます。このピンのシンク電流またはソース電流能力は最大 $300\mu\text{A}$ です。

¹ 量産テスト時には検査されません。

動作

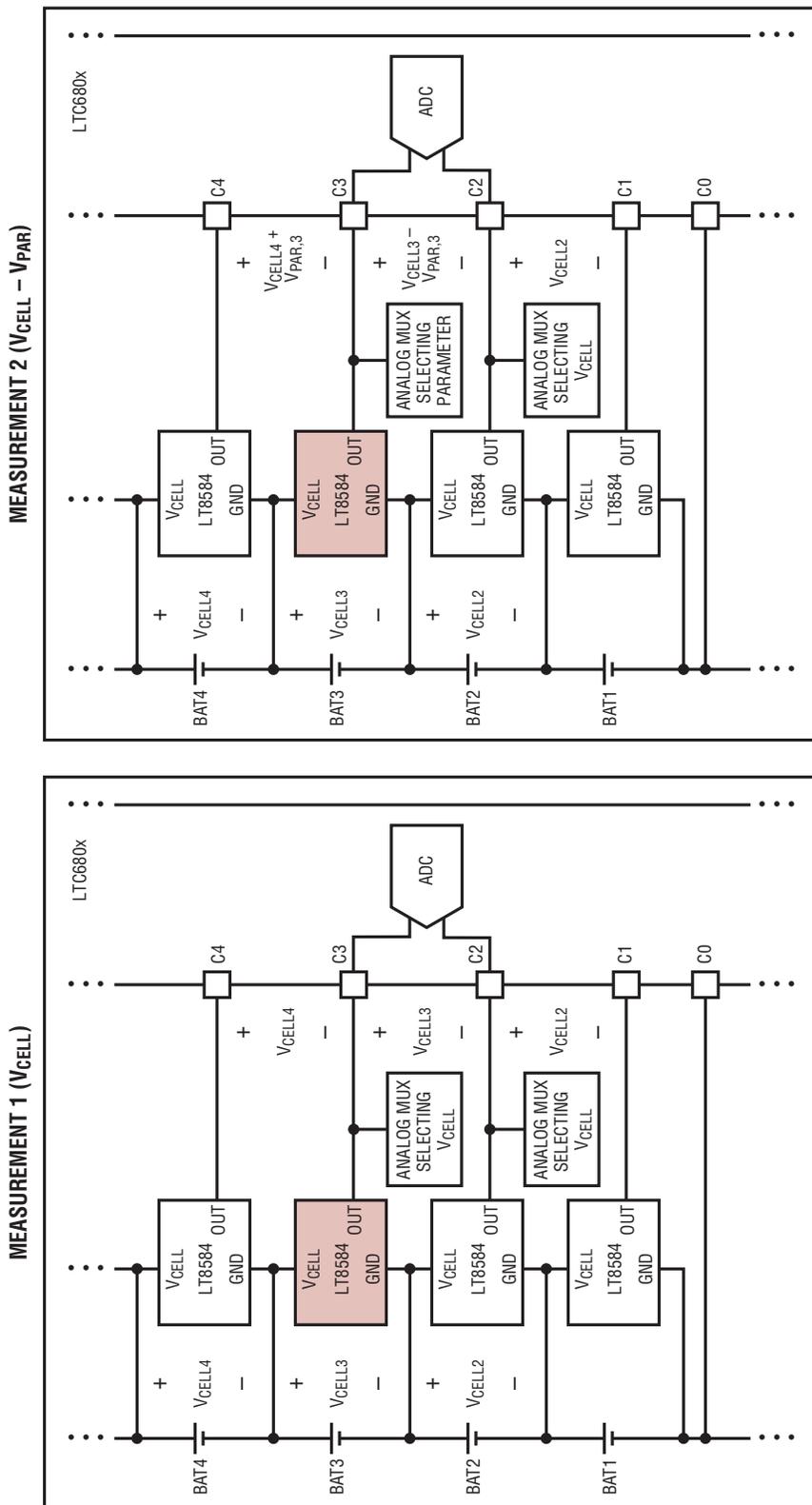


図7. シリアル・モードでの差動測定

アプリケーション情報

LT8584は、バッテリー・スタック・システムまたはスーパーキャパシタ・スタック・システムで電荷のバランスを調整するデイスチャージャとして使用できます。ユーザはシンプル・モードまたはシリアル・モードを選択できます。LTC680xのようなLT8584は任意のバッテリー・スタック・モニタで駆動できます。シンプル・モードはアクティブ“H”またはアクティブ“L”ロジックを使用し採用でき、そのインタフェースの柔軟性を向上できます。

部品の選択

バランス調整を実現するには、数個の外付け部品が必要です。外付け部品は、トランス、出力ダイオード、 V_{IN} のバイパス・コンデンサ、 R_{SNS} 抵抗(放電電流を測定する場合)、 R_{RTMR} 抵抗(シリアル・モードの場合)だけであり、場合によってはRCDスナバ回路が追加されます。

「動作」セクションで説明したモジュール・ベースのアプローチについて式を示します。電荷をスタック電圧全体に戻すアプリケーションでは、すべての式で V_{MODULE} が V_{STACK} になり、電荷を補助電源レールに戻すすべてのアプリケーションでは、 V_{MODULE} が V_{AUX} になります。

トランスの設計

トランスの設計により、コンバータ全体の効率が80%より高くなるようにします。これにより熱放散が減少するので、コンバータのPCB実装面積が小さくて済みます。トランスを適切に設計することにより、コア損失と巻線損失のバランスをうまく調整できます。LT8584コンバータは、トランスでの磁束振動が最大になるDCMで動作します。これにより、熱損失の大半は巻線損失からコア損失にシフトします。空隙の透磁率を低くすることにより、トランス・コアの磁束振動を低減します。透磁率

が低いと、1次側インダクタンスを目的の値にするのに巻数を増やすことが必要です。そのため、コア損失と巻線損失の間でバランスを調整することができます。効率とサイズが最適化されている推奨のトランスを表3に示します。新しいトランスを設計する場合は、以下のガイドラインに従います。

境界モードの動作周波数を100kHz～150kHzの間に設計することにより、トランスのサイズを小さくします。1次電流のピーク値をチップごとに6Aに固定します。コンバータの入力RMS電流、つまりバッテリーの放電電流を最適化することにより、トランスの巻数比Nを選択します。RMS入力電流は次のように概算できます。

$$I_{RMS,IN} = I_{PK} \cdot \sqrt{\frac{f_{BM} \cdot t_{ON}}{3}}$$

スイッチ電流が負になると、境界モードの周波数 f_{BM} が実質的に減少するので、RMS入力電流が減少することに注意してください(図8参照)。出力ダイオードとトランスの巻線間寄生容量を減らすことにより、SWノードの全反射容量を減少させます。

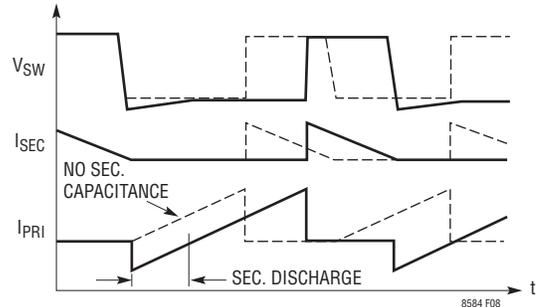


図8. 2次巻線容量の影響

表3. 推奨トランス

メーカー	製品番号	推奨出力電圧範囲 (V)	RCDスナバ回路の必要性	サイズ: W×L×H (mm)	L_{PRI} (μH)	巻数比(1次側:2次側)
Coilcraft www.coilcraft.com	NA6252-AL	10 to 35	要	15.24×12.7×11.43	4	11:15
	NA5743-AL	30 to 80	要	15.24×12.7×11.43	4	1:4
	NA5920-AL*	100 to 400	不要	15.24×12.7×11.43	4	1:24
Cooper Bussmann www.cooperindustries.com	CTX02-19175-R	10 to 35	要	15×13×12	4	3:4
	CTX02-19174-R	30 to 80	要	15×13×12	4	1:4
	CTX02-19176-R*	100 to 400	不要	15×13×12	4	1:24
Würth www.we-online.com	750314019_R01	10 to 35	要	15.24×13.34×11.43	4	3:4
	750314018_R02	30 to 80	要	15.24×13.34×11.43	4	1:4
	750314020_R01*	100 to 400	不要	15.24×13.34×11.43	4	1:24

* 推奨出力電圧範囲より低い電圧で開始するとスイッチ・エラー・ラッチが作動する可能性があります。

アプリケーション情報

RMS入力電流を増加するには、スイッチの有効なオン時間 t_{ON} とオフ時間 t_{OFF} の比を大きくします。このオフ時間比率はトランスの巻数比 N で設定されます。次式では、スイッチのオフ時間がスイッチのオン時間の約 1/3 に設定され、電力伝達および電力効率が最適化されます。

$$N = \frac{\text{Secondary Turns}}{\text{Primary Turns}} = \frac{V_{\text{MODULE}}}{3 \cdot V_{\text{IN}}}$$

オフ時間比率を 1/5 より大幅に低い値にはしないでください。大幅に低くすると、2次側のエネルギー伝達時間が短くなりすぎて、コンバータの効率が低下します。アプリケーションによっては、充電または熱放散上の制限により、低RMS電流が要求されることがあります。両方とも巻数比 N を増やすことで減らすことができます。次の式を使用してトランスの1次側インダクタンスの大きさを決定します。

$$L_{\text{PRI}} = \frac{1}{I_{\text{PK}} \cdot f_{\text{BM}} \cdot \left(\frac{1}{V_{\text{IN}}} + \frac{N}{V_{\text{MODULE}}} \right)}$$

1次側インダクタンスは 2.2 μ H ~ 10 μ H の範囲に収まるようにします。下限値により、トランスの2次側で開放回路が適切に検出されることが保証されます。上限値により、高インピーダンスの検出器が通常動作時に誤ったスイッチ・エラーが有効にならないことが保証されます。

漏れインダクタンス

漏れインダクタンスは、内蔵のパワーNPNのコレクタに加わる電圧ストレスが増加する原因になります。LT8584は、内蔵のツェナー・ダイオード・クランプを使用してこの漏れスパイク・エネルギーを吸収し、スイッチ・ノードの電圧を 50V にクランプします。漏れスパイク・エネルギーを制限して効率を向上する必要があります。内蔵NPNスイッチの波形を図9に示します。

漏れインダクタンスが最小になるようにトランスを設計します。トランスの巻線は両方ともコアの空隙の周りにぎつ巻きつけるようにしてください。バイファイラ巻きを使用すると、つまり2次巻線を1次巻線で挟むように巻くと、漏れインダクタンスが減少します。巻線間容量の増加は、低漏れインダクタンスとは両立しないことに注意してください。トランスの設計を最適化するには、試行を何回か繰り返すことが必要な場合があります。

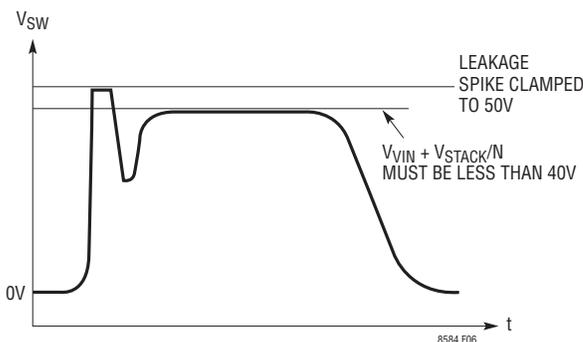


図9. 内蔵スイッチの電圧波形

トランスの巻数比を大きくすると、漏れスパイクを吸収するのに役立つ反射容量が大きくなるという利点があります。巻数比 N が 8 未満の場合は、この1次側漏れスパイクをクランプしてコンバータの効率を高める支援のため、通常はRCDスナバ回路が必要です。抵抗とコンデンサの好適値は、それぞれ 4.99k Ω と 22nF です。

出力ダイオード

出力ダイオードは、最大繰り返し逆電圧 (V_{RRM}) と平均順方向電流 ($I_{\text{F(AVG)}}$) に基づいて選択します。出力ダイオードの V_{RRM} は、最低でも $V_{\text{MODULE}} + N \cdot V_{\text{VIN}}$ を超える必要があります。LT8584の内部過電圧保護回路は 50V で作動するので、 V_{RRM} は $N \cdot (50 + V_{\text{VIN}})$ より高くして、過電圧状態時に出力ダイオードの損傷を防止する必要があります。漏れスパイクがあると、通常は1次側での公称反射電圧よりおよそ 10% 低い電圧で過電圧保護回路が作動するので注意してください。出力ダイオードの $I_{\text{F(AVG)}}$ は $I_{\text{PK}}/2N$ (平均短絡電流) を超える必要があります。また、平均ダイオード電流は出力電圧の関数です。

$$I_{\text{F(AVG)}} = \frac{I_{\text{PK}} \cdot V_{\text{VIN}}}{2 \cdot (V_{\text{MODULE}} + N \cdot V_{\text{VIN}})}$$

平均ダイオード電流は、出力電圧が低いときに最大になり、出力電圧が高くなるにつれて減少します。逆方向回復時間、逆バイアス漏れ電流、および接合容量も考慮する必要があります。総合的な充電効率にはすべてが影響します。ダイオードの逆方向回復時間が長過ぎると、出力スタック放電が顕著になるので、電荷の回復が減少します。逆方向回復時間が 75ns 未満のダイオードを選択してください。逆バイアス電圧が高い状態でダイオードに漏れ電流があると、出力バッテリー/コンデ

アプリケーション情報

ンサ・スタックの電荷が流れ出します。逆バイアス漏れ電流が最小のダイオードを選択してください。ダイオードの接合容量は1次側に反射され、エネルギーはNPNのコレクタが負に導通している間に失われます。接合容量が最小のダイオードを選択してください。表4では、逆方向回復時間が適切でさまざまな出力電圧向けのいくつかの出力ダイオードを推奨しています。

フライバック出力コンデンサ

すべてのバランスのフライバック出力には、セラミック・コンデンサが必要です。出力コンデンサはデバイス近くの低インピーダンス帰路として機能します。接続障害時にも役立ち、過電圧保護回路が開放を検出するための電荷蓄積量を増やします。コンデンサのサイズは、出力をグランド電位から公称出力電圧 ($V_{\text{OUTPUT,NOM}}$) まで充電する場合におよそ10回のスイッチ・サイクルが可能になるように選択してください。次式を使用して出力コンデンサのサイズを決定します。

$$C_{\text{FBO}} \geq \frac{400 \cdot L_{\text{PRIMARY}}}{V_{\text{OUTPUT,NOM}}^2}$$

電圧サージ定格は $50 \cdot N$ を超える必要があります。電圧サージ定格は、通常は最大動作電圧の複数倍として規定されます。コンデンサの最大動作電圧が100Vより低い場合、サージ定格は2.5倍です。動作電圧範囲が100V～630Vの場合、サ-

ージ定格は通常1.5倍であり、動作電圧が1000Vより高い場合、サージ定格は1.2倍です。

バイパス・コンデンサ

LT8584は、グレードの高い(X5R以上)3つのセラミック・コンデンサ (C_{VIN} 、 C_{VCELL} 、および C_{TRAN}) を使用してバイパスする必要があります(「ブロック図」参照)。 C_{VIN} は V_{IN} ピンの近くに配置し、容量の範囲を $1\mu\text{F}$ ～ $4.7\mu\text{F}$ にする必要があります。 C_{TRAN} はトランスの1次巻線接続点とデバイス付近のグランドに近づけて配置する必要があります。容量は $47\mu\text{F}$ ～ $100\mu\text{F}$ の範囲内にしてください。シンプル・モードでは V_{SNS} 、 V_{CELL} 、および D_{CHRG} を V_{IN} に短絡します。これにより、トランスの1次側と1個のバイパス・コンデンサの両方にとって優れたランドを形成できます(「推奨レイアウト」のセクションを参照)。シンプル・モードでは、 C_{VIN} を省略できます。 C_{TRAN} のコンデンサを V_{IN} ピンのすぐ近くに配置することが前提です。 C_{VCELL} はバルク容量として使用し、バッテリー入力接続点に近づけて配置してください。セラミック・コンデンサは密度が適度で、内部直列インピーダンスが小さく、漏れ電流が非常に少ないので、バイパス用途に適しています。任意の動作電圧でのコンデンサの漏れ電流は、コンデンサの電圧定格が高くなるにつれて少なくなることに注意してください。セラミック・コンデンサは漏れ電流が最も少ないのに対して、大半の電解コンデンサは漏れ電流がかなり多くなっています。

表4. 推奨の出力ダイオード

メーカー	推奨のトランス巻数比(N)範囲	製品番号	$I_{\text{F(AVG)}} (A)$	$V_{\text{RRM}} (V)$	$t_{\text{rr}} (ns)$	接合容量 (μF)	パッケージ
STMicroelectronics	1～2	STPS3H100U	3	100	N/A	90	SMB
		STPS2H100AY*	2	100	N/A	50	SMA
	2～4	STTH102AY*	1	200	20	12	SMA
	10～24	STTH112A	1	1200	75		SMA
Fairchild Semiconductor www.fairchildsemi.com	1～2	ES2B	2	100	20	18	SMB
	2～4	ES1D	1	200	15	7	SMA
	4～8	ES1G	1	400	35	10	SMA
	6～12	ES1J	1	600	35	8	SMA
Vishay www.vishay.com	1～2	SS2H10*	2	100	N/A	70	SMB
		U2B	2	100	20	16	SMB
	2～4	ES1D	1	200	15	10	SMA
		ES07D-M*	1.2	200	25	5	SMF
	10～20	US1M	1	1000	50	10	SMA

*AEC-Q101 規格認定

アプリケーション情報

放電電流の検出抵抗

放電電流の検出抵抗 R_{SNS} は、シリアル・モードでのみ使用します。シンプル・モードでは、この抵抗を省略し、 V_{SNS} と V_{CELL} を V_{IN} に短絡してください。 V_{VSNS} と V_{VCELL} の間の最大検出電圧は 50mV です。公称の検出電圧が 30mV になるよう設計することを推奨します。公称の検出電圧が 20mV より低くなるよう設計するのは推奨しません。差動アンプの入力オフセット電圧が低電圧範囲で誤差を大きくする要因となるからです。

$$R_{SNS} = \frac{V_{VCELL} - V_{VSNS}}{I_{DIS,AV}} = \frac{30mV}{2.5A} = 12m\Omega$$

V_{IN} を V_{SNS} に接続した場合、内部アンプは V_{VSNS} と V_{VCELL} の電圧差を 20 倍に増幅します。この電圧は、次式が成立するように V_{CELL} が基準になります。

$$V_{VCELL} - V_{OUT} = 20 \cdot (R_{SNS} \cdot I_{DIS,AV})$$

測定値は平均放電電流 $I_{DIS,AV}$ であり、RMS 値ではありません。出力 $V_{VIN} - V_{OUT}$ は最大 1V にクランプされます。

デコード期間抵抗、 R_{RTMR}

$RTMR$ ピンはデコード期間を設定するときに使用し、 $RTMR$ と GND の間に接続する抵抗の値を選択することによって設定します。このピンはシリアル・モードでのみ使用します。シンプル・モードを使用する場合は、このピンを接地してください。デコード期間は 1.9ms ~ 31ms の範囲で設定できます。LT8584 を $MODE$ 4 に設定してハンドシェイク電圧を読み出すために必要な時間より 30% 長いデコード期間を設定します。これにより、通信エラーがあるかどうかをシステムが検出できます。次式に基づいて R_{RTMR} を設定します。

$$R_{RTMR} (k\Omega) = 0.015 \cdot t_w^2 + 5.9 \cdot t_w - 1.1$$

ここで、 R_{RTMR} の単位は $k\Omega$ であり、 t_w の単位は ms です。

$RTMR$ ピンの電圧は、デバイスが最初にイネーブルされてから約 2 μ s 後に 1.22V になります。これはデコード期間がアクティブであることを示しています。 $RTMR$ ピンはデコード期間が経過すると“L”になります。内部デコーダの状態は $RTMR$ の立ち下がりエッジでラッチされます(図4参照)。その後、 OUT ピンのマルチプレクサが設定モードに対応する正しい入力を選択します(表1参照)。

OUTピンの補償およびフィルタリング

OUT ピンには、シリアル・モードとシンプル・モードを含むすべてのアプリケーションで外付けの補償コンデンサ C_{OUT} が必要です。また、外付けコンデンサは入力と BSM の間で必要なフィルタリングを実現します。 OUT ピンのアンプは 20nF ~ 220nF の範囲の容量を処理するため、内部で補償されています。1% のセトリング時間を約 100 μ s にするため、大半のアプリケーションでは 47nF を使用してください。外付けのフィルタ・コンデンサと直列に抵抗を接続してゼロを追加すれば、アンプの応答を高速化することができます。100 μ s より短いセトリング時間を達成するには、4.7nF のコンデンサと 60 Ω の抵抗を直列に接続して使用します。シリアル・モードでは、LT8584 の隣接する OUT ピン間にコンデンサが配置されます。このため、実質的な補償容量は使用したコンデンサの 2 倍になります。また、電源ラインに存在する可能性がある大信号ステップやスパイクを処理することと $PSRR$ を改善する目的で、 OUT ピンのアンプはフィルタリング回路を内蔵しています。

ノイズの多い環境では、追加のフィルタリングが必要なことがあります。LT8584 がシリアル・モードで動作している 2 ポール・フィルタを図 10 に示します。 BSM に流れ込む入力電流による誤差を最小限に抑えるため、抵抗は小さな値にとどめる必要があります。LTC6804 の入力バイアス電流は、測定中 2 μ A 以下であることが保証されています。どの測定経路にも 2 つの抵抗があります。したがって、50 Ω の直列抵抗によって最大 200 μ V の誤差が生じます。また、 D_{IN} ピンに流れる電流により、特定の LT8584 をイネーブルするときに誤差が発生しますが、この誤差項は差動測定時に相殺されます。

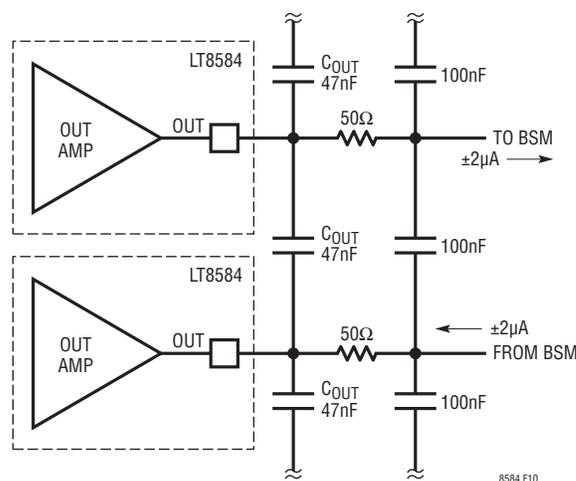


図 10. オプションの OUT ピン・フィルタリング

アプリケーション情報

Hot Swap™保護

LT8584アプリケーションでバッテリーの活線挿抜を行うと、大容量の入力バルク容量とバッテリーの低ESRが相まって、大電流が流れます。ほとんどの場合、大量の突入電流に続くオーバーシュート電圧をLT8584が処理することは問題ありません。ただし、活線挿抜から保護するための手順や回路の追加が必要な損傷が下流のBSMに発生する可能性があります。いくつかの解決策では、抵抗性の事前充電経路と分岐経路を組み込んだ2経路方式を採用しています(図11参照)。

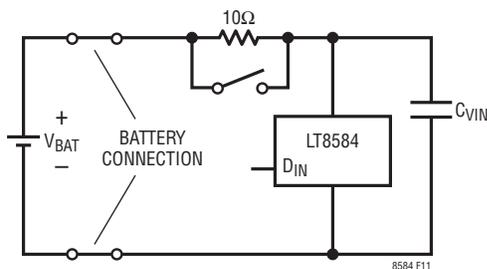


図11. 2経路の活線挿抜解決策

大半のアプリケーションでは、図12の「Active Solution 1」として示された推奨の活線挿抜解決策を使用します。この他に、代替的または補助的な手段として、機械的な解決策、アクティブ方式の解決策、組み立て順序の解決策がいくつかあります。

アクティブ方式の解決策

アクティブ方式の解決策には、自動的な活線挿抜保護というさらなる利点があります。バッテリーの接続時に手順を追加する必要はありません。2つの入力保護解決策を示し、最初の解決策ではTVSダイオードだけを使用します。D1は6V前後で作動すること、接続時の入力パルスを直接受けることを踏まえて選択します。低電圧TVSでは、逆バイアス漏れ電流がより重要です。電流と電圧の特性が適正である一方で、逆バイアス漏れ電流を最小限に抑えるD1用のいくつかのダイオードを表5に示します。D2はBSM入力を二次的に保護します。LT8584のOUTピンが電流を制限するので、D2はD1より小型にします。D2に最適ないくつかのダイオードを表6に示します。

第2のアクティブ方式解決策では、ヒューズF1と事前充電MOSFET回路による過電圧保護を追加しています。この方法

には、低効率と高コストという短所があります。図12のM1としては、コンバータの効率を最大限に高めるため $R_{DS,ON}$ が小さく、かつ V_{GS} しきい値が1.25V未満のFETを使用します。M1用の推奨FETを表7にいくつか示します。C1には、その容量が $C1 \geq C_{VIN}/500$ となるようなものを選択します。

第3のアクティブ方式解決策では、フライバック出力コンデンサを保護します。フライバック出力はすべて1つにまとめられ、D13を流れます。Hot Swap状態時は、D13が逆バイアスされるので、大量の突入電流がフライバック出力コンデンサに流れることはありません。繰り返し逆電圧のピーク値 V_{RRM} は、最大モジュール電圧 V_{MODULE} を超えます。D13の推奨ダイオードを表8にいくつか示します。

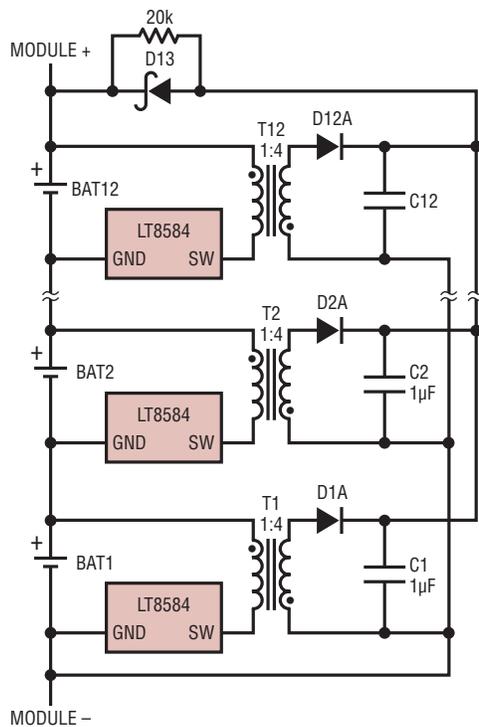
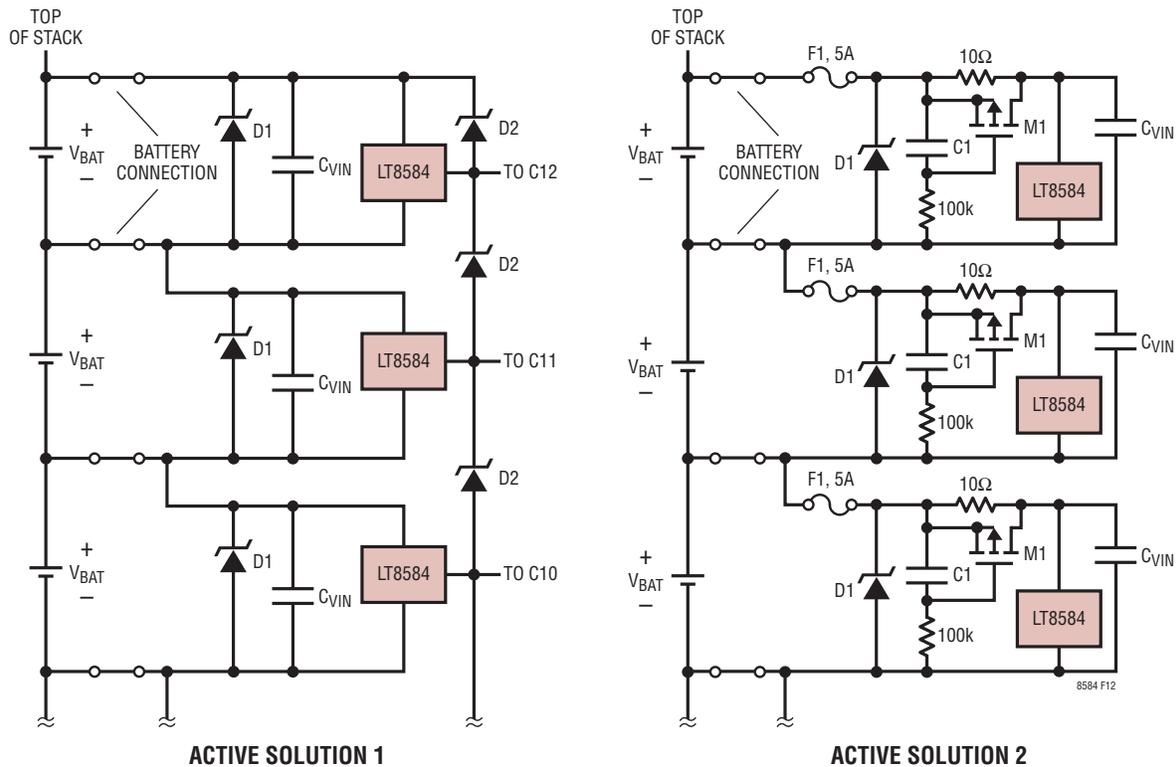
機械的解決策

機械的なアプローチは、費用対効果が最も高い解決策になります。10Ωの抵抗を使用して C_{VIN} コンデンサをバッテリー電圧まで事前充電し、突入電流を制限します。 C_{VIN} コンデンサを充電後、抵抗の両端を機械的な短絡路で接続し、通常動作中はそのままにします。機械的な短絡の推奨解決策は以下の3つです。1.) 定格が3A超のジャンパを使用する 2.) 機械的スイッチを使用する 3.) 時差接触ピン・バッテリー・コネクタを使用する。時差接触ピン・コネクタには、10Ωの抵抗を介してLT8584に接続する長いピンがあります。短いピンはLT8584に直接接続され、10Ωの抵抗は短絡されます。通常の挿入では、回路に長いピンが接続されてから短いピンが接続されるまでにミリ秒程度の遅延が生じるので、機械的短絡が行われる前に電流制限抵抗によって C_{VIN} が充電されます。

組み立て順序

バッテリー・スタック、LT8584 バランサ、およびBSMの組み立て順序も活線挿抜の問題を軽減できます。LT8584 バランサとBSMの基板を別個にすることを推奨します。こうすると、バッテリー・スタックの組み立て中にLT8584 バランサを作成して接続することができます。最終手順として、バッテリー・スタックとLT8584 アセンブリをBSM基板とはめ合わせることが必要です。また、BSMの入力にフィルタを追加すると、最終組み立て時に可能性のある問題が減少します。「OUTピンの補償およびフィルタリング」のセクションを参照してください。

アプリケーション情報



FLYBACK OUTPUT HOT SWAP PROTECTION

図12. アクティブ方式の活線挿抜解決策

アプリケーション情報

表5. 図12のD1の推奨トランジエント電圧サプレッサ(TVS)

メーカー	製品番号	逆バイアス漏れ電流(μA)	I _{p-p} でのV _{p-p}	パッケージ
STMicroelectronics	SM2T6V8A	50(5V時)	9.2V(19.6A時)	DO-216AA
	SM4T6V7AY*	20(5V時)	9.2V(43.5A時)	SMA
	SMA6T6V7AY*	20(5V時)	9.1V(68A時)	SMA
Vishay	VESD05A1-02V	1(5V時)	12V(16A時)	SOD-523
	GSOT05*	10(5V時)	12(30A時)	SOT-23
NXP	PESD5V0S1UA	4(5V時)	13.5V(25A時)	SOD-323
Infineon	ESD5V0S1U-03W	20(5V時)	14V(40A時)	SOD323

*AEC-Q101規格認定

表6. 図12のD2の推奨トランジエント電圧サプレッサ(TVS)

メーカー	製品番号	逆バイアス漏れ電流(μA)	I _{p-p} でのV _{p-p}	パッケージ
STMicroelectronics	ESDALC6V1-1M2	0.1(3V時)	9.2V(6A時)	SOD882
Vishay	VBUS051BD-HD1	0.1(5V時)	16V(3A時)	LLP1006-2L
	VESD05-02V	0.1(5V時)	20V(6A時)	SOD-523
Diodes Inc	T5V0S5-7	0.05(5V時)	15V(5A時)	SOD-523
NXP	PESD9X5.0L*	0.2(5V時)	10V(1A時)	SOD-882

*AEC-Q101規格認定

表7. 図12のM1の推奨FET

メーカー	製品番号	V _{GS} = 2.5VでのR _{DS,ON} (mΩ)	I _{DS,MAX} (A)	パッケージ
Fairchild Semiconductor www.fairchildsemi.com	FDS4465	10.5	13.5	SO-8
	FDS6576	20	11	SO-8
	FDMA905P	21	10	MicroFET 2x2
	FDMA910PZ	24	9.4	MicroFET 2x2
Vishay www.vishay.com	Si7623DN	9	35	PowerPAK 1212-8
	Si7615ADN	9.8	35	PowerPAK 1212-8
	SiS407DN	13.8	25	PowerPAK 1212-8
	SiA447DJ	19.4	12	PowerPAK SC-70

表8. 図12のD13の推奨ダイオード

メーカー	製品番号	I _{F(AVG)} (A)	V _{RRM} (V)	パッケージ
Diodes, Inc. www.diodes.com	SBR8U60P5	8	60	POWERDI5
	PDS760-13	7	60	POWERDI5
Vishay www.vishay.com	V8P10-M3	8	100	TO-277A
	SS10P6	7	60	TO-277A

アプリケーション情報

並列接続したLT8584の動作

放電電流を増やすことが必要な場合は、複数のLT8584を使用できます。バッテリー・スタック・モニタ(LTC6804を推奨)に接続されたLT8584は、マスタ・バランサになります。MODEピンをグラウンドに接続します。並列のスレーブ・バランサの最大数を20に制限します。これにより、最大放電電流は50Aになります。LT3751(V_{IN} を高電位のセルに接続する必要あり)やLT3750など、他のコンバータをスレーブに使用することもできます。すべてのスレーブのMODEピンを V_{IN} に接続します。これにより、スレーブ・デバイスは強制的にシンプル・モードになり、そのDCHRGピンは入力ピンになります。すべてのスレーブ

のDCHRGピン(他のコンバータを使用する場合はSHDNピン)をマスタのDCHRGピンに接続します。2つのLT8584を使用した5A ディスチャージャ回路を図13に示します。

各デバイスは他のデバイスとは非同期で動作します。それぞれのLT8584 バランサごとに別個のトランスを使用してください。

スレーブ・バランサが動作するのは、マスタ・バランサが動作しているときだけです。マスタ・バランサにフォルトが発生すると、すべてのスレーブ・バランサがオフになります。スレーブ・バランサのいずれかにフォルトが発生しても、他のバランサはオフになりません。平均電流が予想値になっているかどうかを調べるには、外付けの検出抵抗 R_{SNS} と V_{SNS} ピンを使用します。

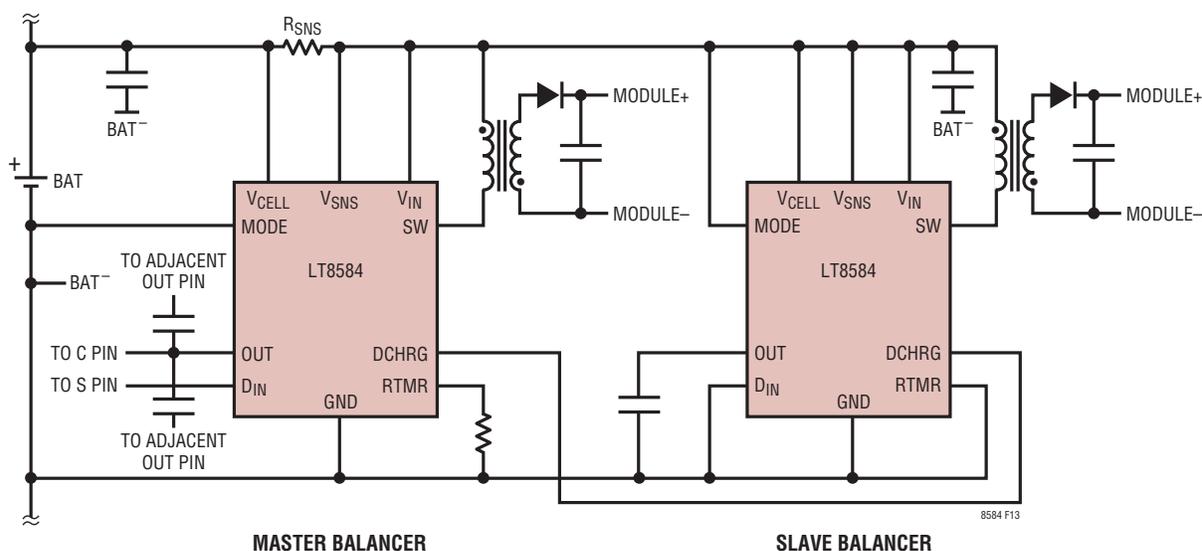


図13. LT8584 並列動作

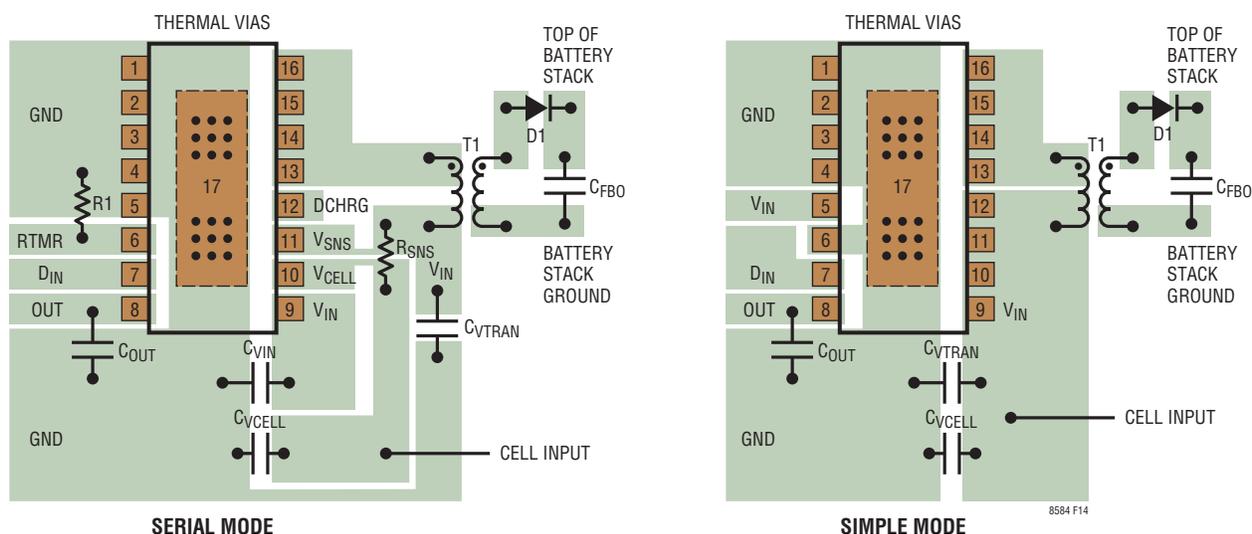


図14. LT8584の推奨レイアウト

アプリケーション情報

推奨レイアウト

LT8584が高電圧動作をする可能性がある場合は、基板レイアウトに注意が必要であり、以下の点を順守します。

1. 2次巻線の高電圧端の基板トレース面積を最小限に抑えます。
2. CVTRAN、T1の1次巻線、SWノード、およびグランドによって形成される電気経路をできるだけ短く保ちます。この経路が長くなるとT1の漏れインダクタンスが実質的に増加するので、内蔵のツェナー・ダイオード・クランプまたはRCDスナバ回路でのエネルギー損失が過剰になります。
3. デバイスの露出パッド(ピン17)の下にサーマル・ビアを追加して、LT8584の熱性能を向上させます。サーマル・ビアは、最小面積が 650mm^2 のローカル・グランド・プレーンに直結させる必要があります。
4. LT8584をシリアル・モードで使用する場合は、 V_{SNS} 、 V_{CELL} 、および R_{SNS} をバッテリー・セルにケルビン接続します。バッテリー接続点でのIR電圧降下をソフトウェア・アルゴリズムを使用して校正できます。応用技術部門にお問い合わせください。
5. V_{CELL} 、 V_{SNS} 、および V_{IN} の接続点に配線するときは注意が必要です。図15の R_{TRACE} を最小限に抑えて効率を高めます。 R_{TRACE} が $19 \cdot R_{\text{SNS}}$ を決して超えないようにしてください。こうすることで、OUTピンのアンプのヘッドルームは、 V_{SNS} アンプ出力を通知するのに十分な大きさになります。
6. バッテリー端子からLT8584の V_{CELL} ピンおよびGNDピンまでの全接続抵抗を最小限に抑えます。全抵抗を $60\text{m}\Omega$ 未満に維持して、コンバータの効率を向上させることを推奨します。PCBトレースまたはコネクタ端子でのIR電圧降下が過大になると、LT8584がUVLO状態になるのが早まる原因にもなります。

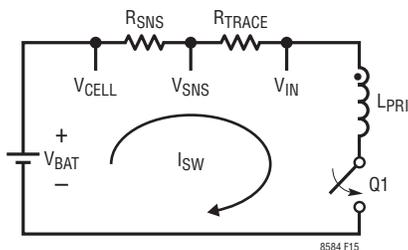


図15. R_{TRACE} の最小化

バッテリー・スタック・モニタへの接続

LT8584 バランサからバッテリー・スタック・モニタ(BSM)までの接続に使用する方法は、単線式と2線式の2種類があります。どちらの方法にも利点と欠点があります。どちらの方法も、接続点からバッテリー・スタックまでのIR電圧降下の大きさに応じて、BSM電源レールのケルビン接続が必要なことがあります。ほとんどの場合は、個々の接続抵抗を $60\text{m}\Omega$ 未満に抑えることにより、BSM電源レールをRW0およびRW12を通る帰路と共用できます。図16を参照してください。

導線の接続インピーダンスを測定系で完全に可視化できるため、単線式の接続を推奨します。単線式は導線の接続点が少ないので、より低コストで信頼性も高くなります。単線モードのLT8584隣接チャンネル間で適切なケルビン接続を行うには、「標準的応用例」のセクションを参照してください。

2線接続方式では、導線インピーダンスの計算時にグランドの接続インピーダンスを求めることができず、測定系では可視化できないので注意してください。その一方で、2線式接続インピーダンスを計算し、放電時の V_{CELL} を逆算するアルゴリズムは、より直接的です。また、接続が開放状態になったときに、単線方式では2つのセルの可視性が失われるのに対して、2線方式で失われるのは1つのセルの可視性だけという利点もあります。

LTC680xファミリとの一体化

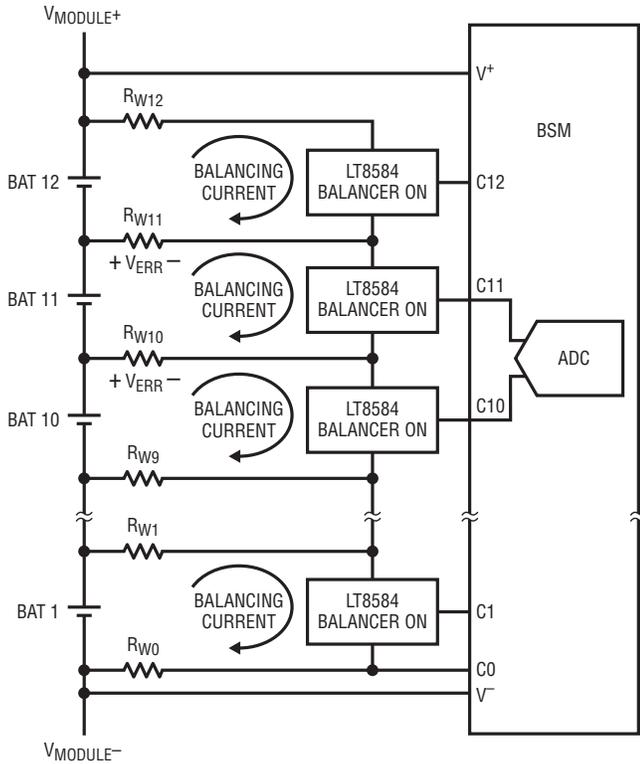
LTC680x デバイス・ファミリは、このデータシートの「動作」セクションで説明したマルチセル・バッテリー・スタック・モニタです。詳細については、LTC680xのデータシートを参照してください。表9に示す動作上の固有の違いがある数種類のデバイスが供給されています。

表9. LTC680xの特長の相違点

デバイス名	通信方式	互換モード
LTC6802-1	デジチェーン接続 シリアル方式	シンプル・モード専用
LTC6802-2	アドレス指定可能な パラレル方式	シンプル・モード専用
LTC6804-1/LTC6803-1/ LTC6803-3	デジチェーン接続 シリアル方式	シリアル・モード/ シンプル・モード
LTC6804-2/LTC6803-2/ LTC6803-4	アドレス指定可能な パラレル方式	シリアル・モード/ シンプル・モード

アプリケーション情報

SINGLE-WIRE BATTERY CONNECTION



TWO-WIRE BATTERY CONNECTION

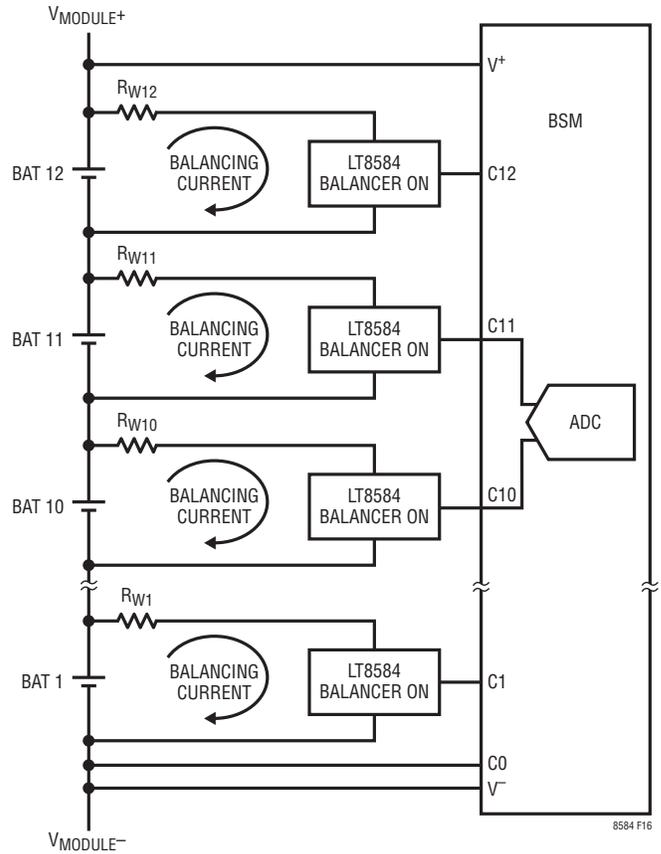


図 16. LT8584 のバッテリー接続

LTC6803およびLTC6804はSピンでの静止電流がわずか3μAなので、顕著な測定誤差なしにLT8584をイネーブリングすることができます。LTC6804は変換時間を約1/10に短縮し、測定誤差を1.2mV未満に低減することにより、A/Dコンバータの性能をLTC6803より改善しています。また、LTC6804はRFの影響を受けにくいisoSPIを活用しています。

シンプル・モード時のバランス調整のイネーブル

LTC680xの構成レジスタの対応するDCCxビットに‘1’を書き込みます。これにより、Sピンは‘L’になり、LT8584を起動します。1つのバランスをオンするための所要時間を表10に示します。ここで、N=システム内にあるLTC680xの数であり、f=SCKIクロックの周波数です。

表 10. 1つのLT8584をイネーブリングするための概算時間

ステップ	時間(秒)	
	LTC6802-1/LTC6802-3 LTC6803-1/LTC6803-3	LTC6802-2/LTC6802-4 LTC6803-2/LTC6803-4
WRCFGコマンドの送信、‘1’の書き込みによるバランスのイネーブル	$\frac{(16+56 \cdot N)}{f}$	$\frac{72}{f}$

マルチチップ・システムで単一チャンネルに書き込む場合は、アドレス指定可能なシリアル・インタフェースの方がはるかに高速であることに注意してください。

アプリケーション情報

シリアル・モード時のバランス調整のイネーブル

シリアル・モードでは、構成レジスタへの書き込みを数回行ってDCCxビットを切り替え、データをシリアル・バスに渡す必要があります。それに応じてRTMRレジスタを設定し、4つのシリアル・モードのいずれかに移行して、OUTピンのハンドシェイク電圧を読み出すのに十分な時間が割り当てられることを保証する必要があります。情報をLT8584に送る場合には、速度の限界があります(「タイミング図」を参照)。表11を使用して、タイミング要件全体を確認してください。

表11. MODE 4でのLT8584の起動

DCCxの状態	時間(秒)	
	LTC6803-1/ LTC6803-2	LTC6803-2/ LTC6803-4
1-D _{IN} "L"	$\frac{(16+56 \cdot N)}{f}$	$\frac{72}{f}$
0-D _{IN} "H"		
1-D _{IN} "L" (MODE 1)		
0-D _{IN} "H"		
1-D _{IN} "L" (MODE 2)		
0-D _{IN} "H"		
1-D _{IN} "L" (MODE 3)		
0-D _{IN} "H"		
1-D _{IN} "L" (MODE 4)		
合計		

フィルタリングとA/Dコンバータの測定

LTC680xは、連続した各Cピン対間の電圧を測定するマルチチャネル差動A/Dコンバータを内蔵しています。C(N)とC(N+1)に接続され、隣接する2つのLT8584のOUTピン間の差を測定するA/Dコンバータを図17に示します。ほとんどのパラメータは2回の測定が必要です。1回は上側のLT8584がV_{CELL}を選択している場合であり、もう1回は上側のLT8584が目的のパラメータを選択している場合です。これら2回の測定結果の差が目的のパラメータ値になります。この作業が必要なのは、LTC680xがバッテリー・セルに直接接続していないからです。詳細については「シリアル・モードでの差動測定」のセクションを参照してください。

隣接するCピン間にフィルタ・コンデンサ(標準47nF)を配置して、必要な16kHzのローパス・フィルタをA/Dコンバータの入力経路に設ける必要があります。これにより、ノイズが30dB減少します。V_{CELL}からOUTまでの内部インピーダンスは約

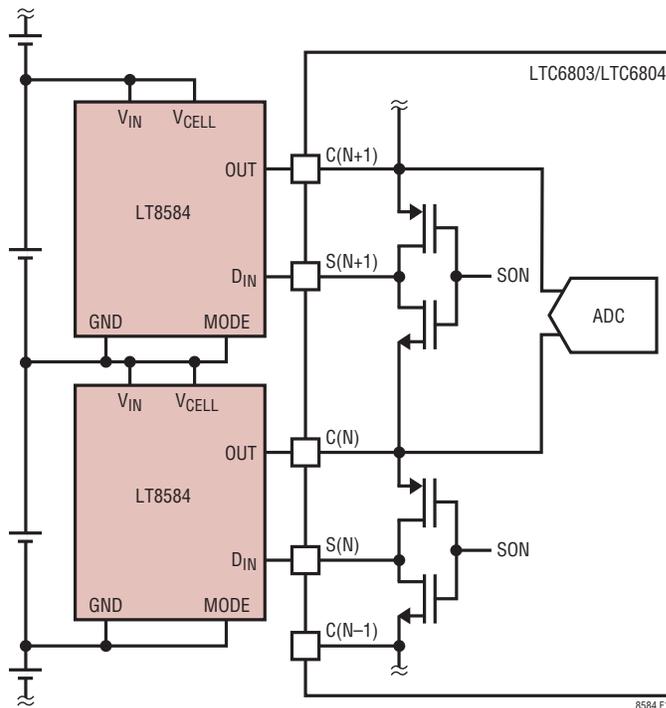


図17. LTC6803/LTC6804の簡略接続図

55Ωなので、外付けのフィルタ抵抗は必要ありません。OUTピンの実効容量は2×47nFつまり94nFになることに注意してください。図17では、表記を簡単にするため、これらのコンデンサが省略されています(フィルタ・コンデンサの適切な接続法については、「標準的応用例」を参照)。

各LT8584のV_{IN}とグラウンドの間に適切なバイパス・コンデンサを接続して、高周波スイッチング・ノイズの低インピーダンス経路を設ける必要があります。この用途にはセラミック・コンデンサが適しています。

D_{IN}ピンに生じた期間が最大4μsのグリッチを除去するため、LT8584にはいくつかのパッシブ・フィルタが内蔵されています。

テスト回路

BSMを使用せずにシリアル・モードのLT8584をテストするには、図18の回路を使用します。LT8584を直接駆動するインバータはLT8584の近くに配置し、V_{GS}しきい値は1V未満のものにします。100kΩのタイマ抵抗と2msのデータ周期を使用する標準的なシリアル通信波形を図19に示します。

アプリケーション情報

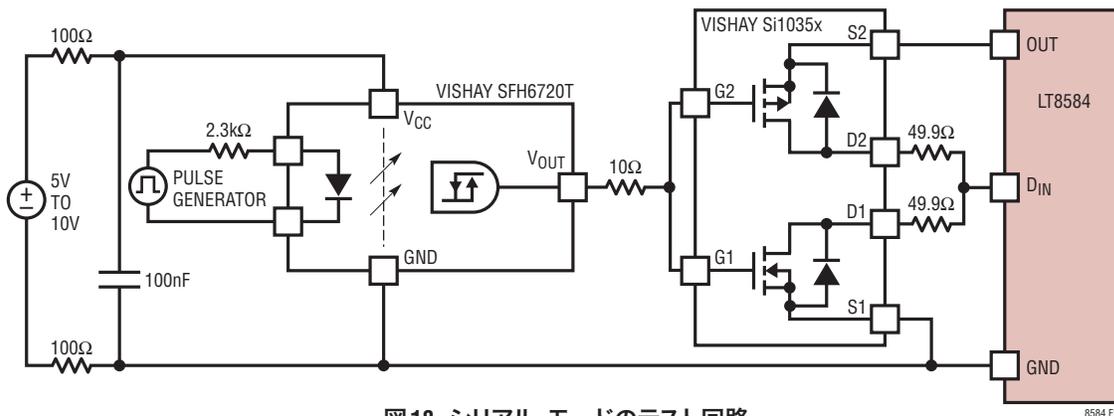


図 18. シリアル・モードのテスト回路

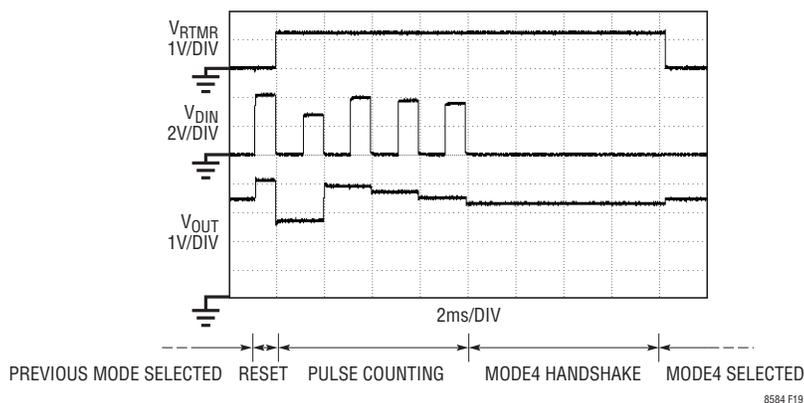
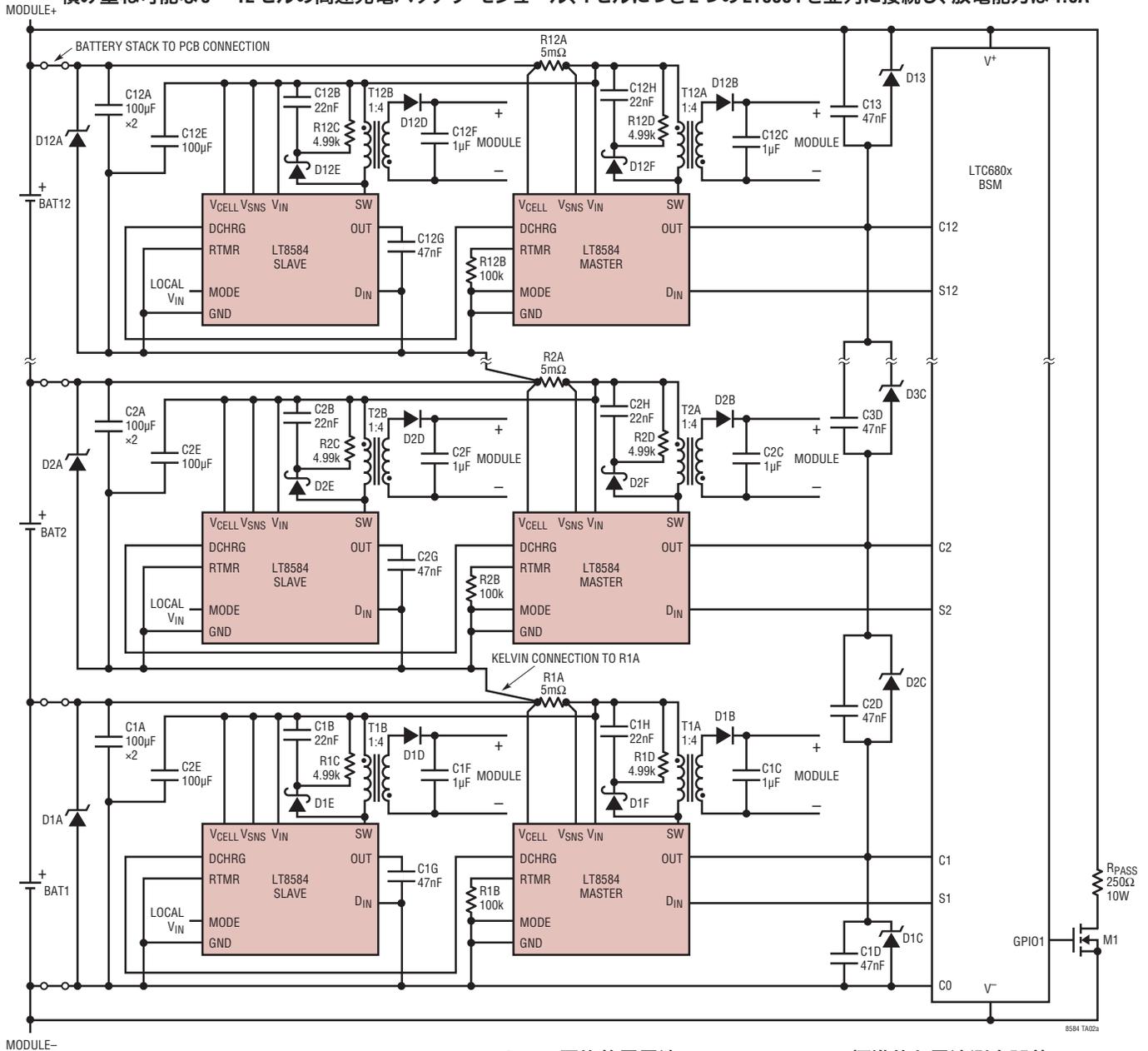


図 19. 標準的なシリアル・モードの通信波形

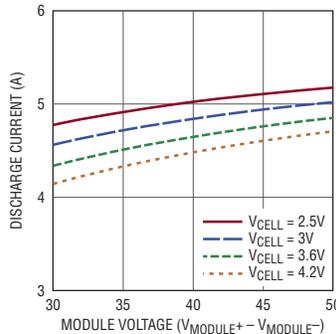
標準的応用例

積み重ね可能な8~12セルの高速充電バッテリー・モジュール、1セルにつき2つのLT8584を並列に接続し、放電能力は4.6A

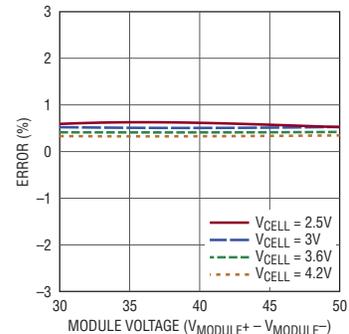


- C1A-C12A: 6.3V X5R OR X7R CERAMIC CAPACITOR
- C1B-C12B, C1H-C12H: 50V X5R OR X7R CERAMIC CAPACITOR
- C1C-C12C: 100V X5R OR X7R CERAMIC CAPACITOR
- C1D-C12D, C13: 50V NPO CERAMIC CAPACITOR
- C1E-C12E: 6.3V X5R OR X7R CERAMIC CAPACITOR
- C1F-C12F: 100V X5R OR X7R CERAMIC CAPACITOR
- C1G-C12G: 6.3V X5R OR X7R CERAMIC CAPACITOR
- D1A-D12A: STMICROELECTRONICS SMA6T6V7AY TVS DIODE
- D1B-D12B: FAIRCHILD ES1D 200V, 1A ULTRAFASCT RECTIFIER
- D1C-D12C, D13: STMICROELECTRONICS ESDALC6V1-1M2 TVS
- D1D-D12D: FAIRCHILD ES1D 200V, 1A ULTRAFASCT RECTIFIER
- D1E-D12E, D1F-D12F: FAIRCHILD SS16 60V, 1A
- M1: FAIRCHILD FDMC86102L 100V, 5.5A
- R1A-R12A: USE 1% 1206 RESISTORS
- R1B-R12B, R1C-R12C, R1D-R12D: USE 1% 0603 RESISTORS
- RPASS: 10W WIREWOUND
- T1A-T12A, T1B-T12B: COILCRAFT NA5743-AL
- U1: LINEAR TECHNOLOGY LTC680x FAMILY INCLUDING BUT NOT LIMITED TO LTC6802, LTC6803, LTC6804

セルの平均放電電流



標準的な電流測定誤差



標準的応用例

積み重ね可能な8～12セルの 高速充電バッテリー・モジュールのアプリケーション・ノート

1. 分かりやすくするため、チャンネル3～11は省略します。これらのチャンネルはチャンネル2と同様に組み込む必要がありません。LTC680xに必要な部品がすべて示されているとは限りません。推奨部品やその接続については、LTC680xのデータシートを参照してください。
2. 最大20個のLT8584 バランサを並列に接続して、放電電流をさらに増やすことができます。DCHRGピンは、LT3750 コンデンサ・チャージャのような別個のDC/DCコンバータのイネーブル・ピンを駆動することもできます。
3. 複数のモジュールを直列に積み重ねて、より大型のバッテリー・スタックを実現できます。各モジュールには、スタック内にあるセル数合計の整数倍を収容する必要があります。たとえば、80セルのスタックは、各モジュールに10セルずつ入れた8モジュールで構成します。1モジュールに実装するチャンネル数が12より少ない場合は、BSMチャンネル1を先頭とする連続BSMチャンネルを使用します。LTC680xの未使用のCピンはすべてMODULE+に接続します。
4. マスタのLT8584のトランス1次側の近くにCnEコンデンサを配置し、スレーブのLT8584のトランス1次側の近くに別のCnEコンデンサを配置します。記号「n」は範囲が1～12の特定のチャンネルを表します。
5. DnF、DnE、RnC、RnD、CnB、CnHで構成されるRCDスナバ回路を、それぞれのトランスの1次側にできるだけ近づけて配置します。記号「n」は範囲が1～12の特定のチャンネルを表します。
6. スタック内で使用するモジュールが1つだけのアプリケーションでは、R_{PASS}とM1を省略することができます。
7. 適度な放熱を確保するため、LT8584の各チャンネルのPCBパッド占有面積は650mm²以上にしてください。
8. LTC680xファミリ・デバイスとの適切な通信やセル・パラメータを抽出する適切なアルゴリズムについては、応用技術部門にお問い合わせください。
9. 2.5V～5.3Vの範囲内で動作するセルを推奨します。

積み重ね可能な8～12セルのバッテリー・モジュールの アプリケーション・ノート

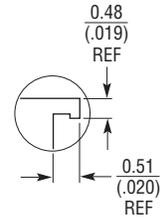
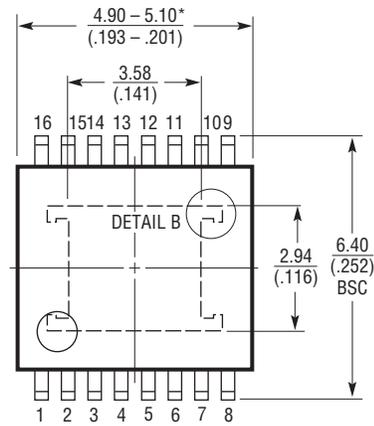
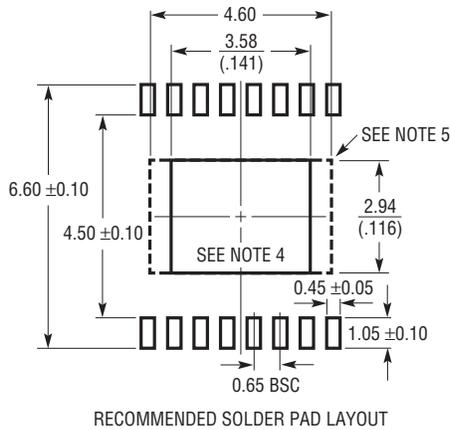
最終ページの「標準的応用例」を参照してください。

1. 分かりやすくするため、チャンネル4～11は省略します。これらのチャンネルはチャンネル2と同様に組み込む必要がありません。LTC680xに必要な部品がすべて示されているとは限りません。推奨部品やその接続については、LTC680xのデータシートを参照してください。
2. 複数のモジュールを直列に積み重ねて、より大型のバッテリー・スタックを実現できます。各モジュールには、スタック内にあるセル数合計の整数倍を収容する必要があります。たとえば、80セルのスタックは、各モジュールに10セルずつ入れた8モジュールで構成します。1モジュールに実装するチャンネル数が12より少ない場合は、BSMチャンネル1を先頭とする連続BSMチャンネルを使用します。LTC680xの未使用のCピンはすべてMODULE+に接続します。
3. LT8584のトランス1次側の近くにCnBコンデンサを配置します。CnE、RnC、およびDnDで構成されるRCDスナバ回路もLT8584のトランス1次側の近くに配置します。記号「n」は範囲が1～12の特定のチャンネルを表します。
4. 各バッテリーの接続点のPCBトレース抵抗、導線抵抗、および相互接続抵抗の総和が60mΩ未満である限り、BSMのV⁺ピンはセル12の正のバッテリー接続点を共用でき、BSMのV⁻ピンはセル0の負のバッテリー接続点を共用できます。
5. スタック内で使用するモジュールが1つだけのアプリケーションでは、R_{PASS}とM1を省略することができます。
6. 適度な放熱を確保するため、LT8584の各チャンネルのPCBパッド占有面積は650mm²以上にしてください。
7. LTC680xファミリ・デバイスとの適切な通信やセル・パラメータを抽出する適切なアルゴリズムについては、応用技術部門にお問い合わせください。
8. 2.5V～5.3Vの範囲内で動作するセルを推奨します。

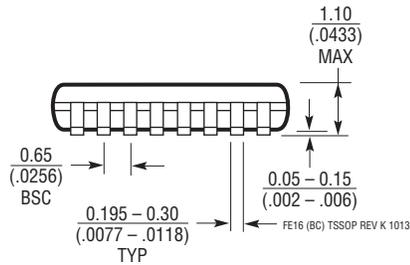
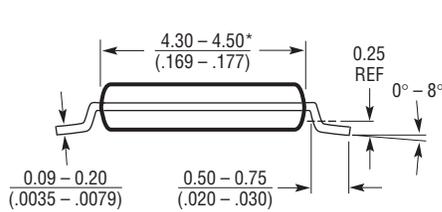
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

FE Package 16-Lead Plastic TSSOP (4.4mm) (Reference LTC DWG # 05-08-1663 Rev K) Exposed Pad Variation BC



DETAIL B IS THE PART OF THE LEAD FRAME FEATURE FOR REFERENCE ONLY
NO MEASUREMENT PURPOSE



注記:

1. 標準寸法: ミリメートル
 2. 寸法は $\frac{\text{ミリメートル}}{\text{インチ}}$
 3. 図は実寸とは異なる
 4. 露出パッド接着のための推奨最小 PCB メタルサイズ
 5. 露出パッド底面のこの部分には金属の突出部があってもよい PCB レイアウト上この部分には配線やビアを配置しないこと
- * 寸法にはモールドのバリを含まない
モールドのバリは各サイドで 0.150mm (0.006") を超えないこと

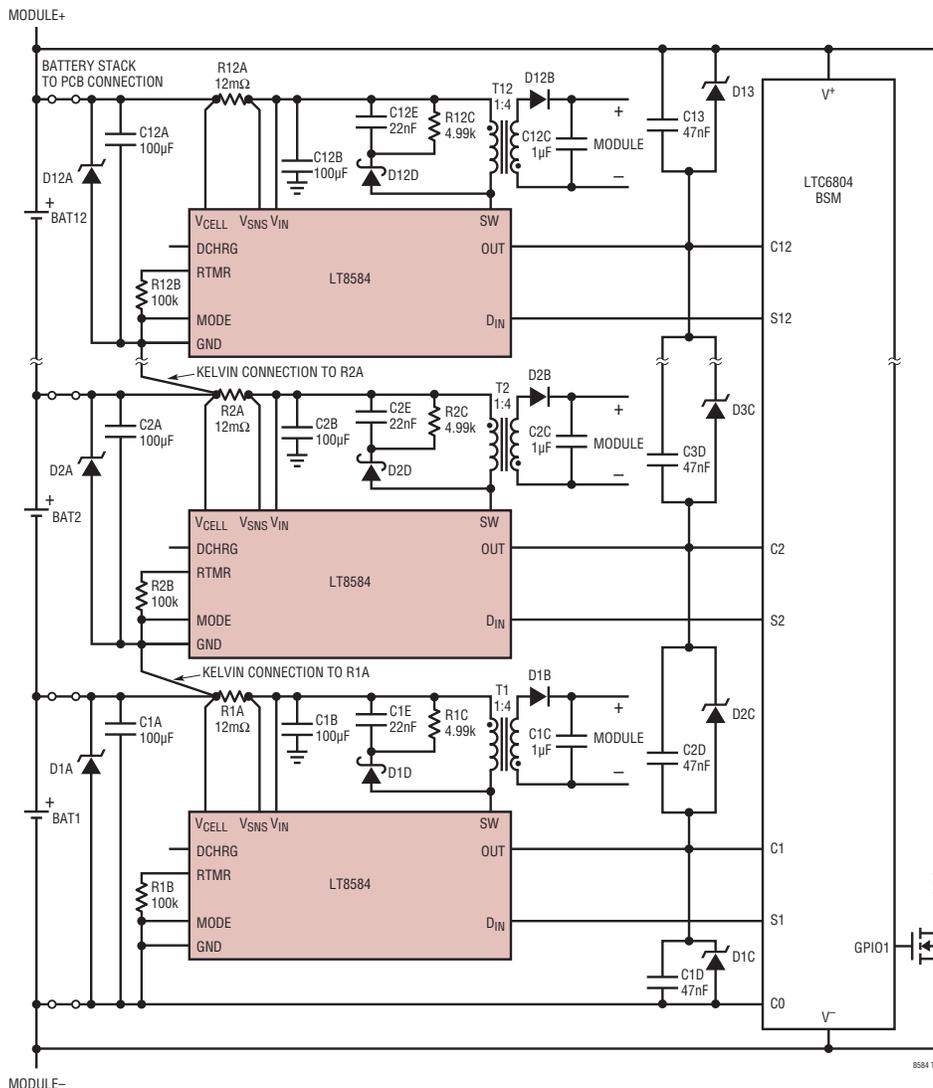
改訂履歴

Rev	日付	概要	ページ番号
A	5/14	「特長」を明確化。	1
		「電気的特性」を明確化。	3
		データしきい値のグラフを明確化。	6
		OUTピンのアンプのグラフを明確化。	7
		「動作」の説明を明確化。	11
		「動作」の説明を明確化。	15
		「アプリケーション情報」を明確化。 図17、18を明確化。	20、24、30 30、31
B	8/14	「絶対最大定格」を明確化。	2
		Handshake Voltage Errorの条件を明確化。	3
		「ピン機能」のDINを明確化。	9
		「ブロック図」を明確化。	10
		図1を明確化。	12
		検出抵抗の式を明確化。	23
		「アプリケーション情報」の図16を明確化。	29

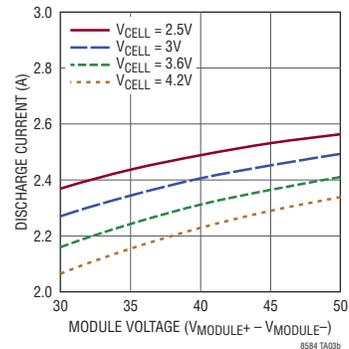
LT8584

標準的応用例

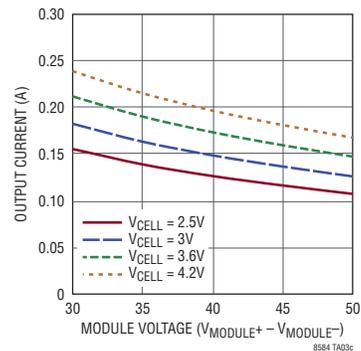
積み重ね可能な8~12セルのバッテリー・モジュール、LT8584はシリアル・モード、単線式構成



セルの平均放電電流



フライバック出力の平均電流



C1A-C12A: 6.3V X5R OR X7R CERAMIC CAPACITOR
 C1B-C12B: 6.3V X5R OR X7R CERAMIC CAPACITOR
 C1C-C12C: 100V X5R OR X7R CERAMIC CAPACITOR
 C1D-C12D, C1E-C12E, C13: 50V NPO CERAMIC CAPACITOR
 D1A-D12A: SEMICONDUCTOR ELECTRONICS SMA616V7AY TVS DIODE
 D1B-D12B: FAIRCHILD ESD 200V ULTRAFAST RECTIFIER
 D1C-D12C, D13: SEMICONDUCTOR ELECTRONICS ESDAL68V1-1M2 TVS
 D1D-D12D: FAIRCHILD SS16 60V, 1A SCHOTTKY
 M1: FAIRCHILD FDMC86102L 100V 5.5A
 R1A-R12A: USE 1% 1206 RESISTORS
 R1B-R12B, R1C-R12C: USE 1% 0603 RESISTORS
 R_PASS: 2 PARALLEL 2.5W WIREWOUND
 T1-T12: COILCRAFT NA5743-AL
 U1: LINEAR TECHNOLOGY LTC680x FAMILY INCLUDING BUT NOT LIMITED TO LTC6802, LTC6803, LTC6804

関連製品

製品番号	説明	注釈
LTC3300-1	高効率の双方向マルチセル・バラクタ	同期整流式フライバック、直列接続のセルを最大6個、48ピンQFN
LTC6803	マルチセル・バッテリー・スタック・モニタ	直列接続のリチウムイオン・セルを最大12個測定、SSOP-44
LTC6804	マルチセル・バッテリー・スタック・モニタ	直列接続のリチウムイオン・セルを最大12個測定、isoSPI™内蔵、SSOP-48

8584fb

36

リニアテクノロジー株式会社

〒102-0094 東京都千代田区紀尾井町3-6紀尾井町パークビル8F

TEL 03-5226-7291 • FAX 03-5226-0268 • www.linear-tech.co.jp/LT8584

LT 0814 REV B • PRINTED IN JAPAN

LINEAR TECHNOLOGY

© LINEAR TECHNOLOGY CORPORATION 2013