

スペクトラム拡散機能付き 60V同期整流式4スイッチ昇降圧コントローラ

特長

- 4スイッチのシングル・インダクタ・アーキテクチャにより、出力電圧より高い、低い、または等しい入力電圧が可能
- 同期スイッチング: 最大98%の効率
- 独自のピーク降圧ピーク昇圧電流モード
- 広い V_{IN} の範囲: 4V ~ 60V
- $\pm 1.5\%$ の出力電圧精度: ($1V \leq V_{OUT} \leq 60V$)
- モニタ付き入力電流または出力電流の精度: $\pm 3\%$
- 低EMIを実現するスペクトラム拡散変調
- 高電位側PMOS負荷スイッチ・ドライバ
- ブートストラップ・ダイオードを内蔵
- 降圧または昇圧動作時に上側MOSFETのリフレッシュ・ノイズなし
- 調整可能および同期可能な周波数: 150kHz ~ 650kHz
- シャットダウン時に V_{IN} から V_{OUT} を切断
- 露出パッド付き28ピンTSSOPパッケージおよび28ピンQFNパッケージ(4mm×5mm)で供給

アプリケーション

- 自動車用、産業用、通信システム
- 大電力バッテリー駆動システム

概要

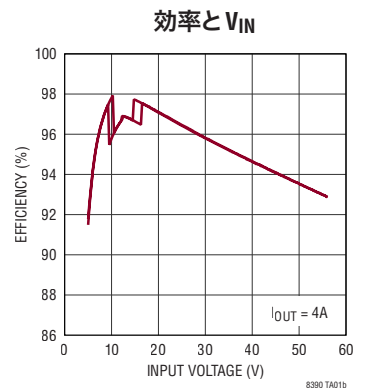
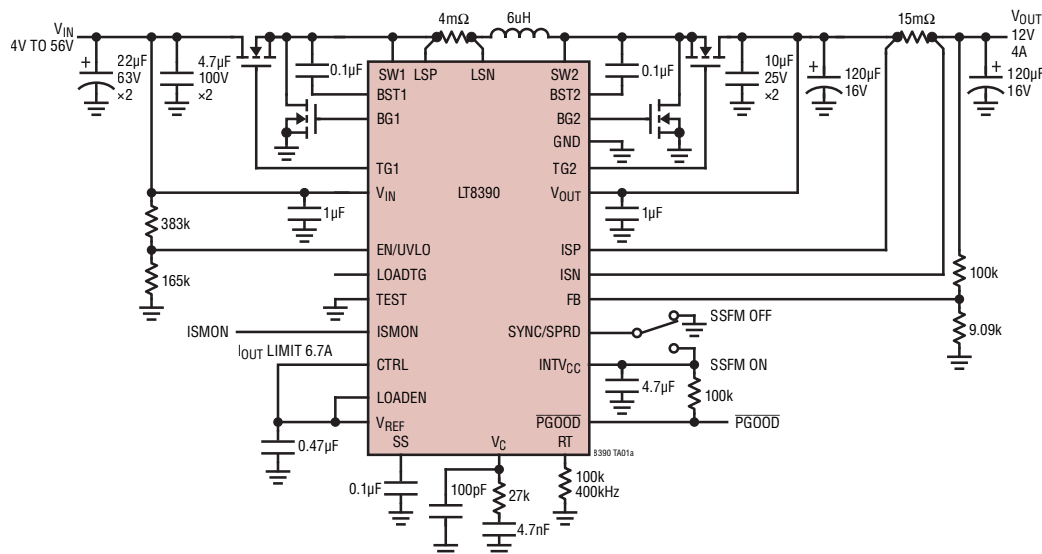
LT[®]8390は、出力電圧より高い、低い、または等しい入力電圧から出力電圧、入力電流、または出力電流を安定化する同期整流式4スイッチ昇降圧DC/DCコントローラです。独自のピーク降圧/ピーク昇圧電流モード制御方式により、調整可能および同期可能な150kHz ~ 650kHzの固定周波数動作を可能にし、内蔵された $\pm 15\%$ のトライアングル・スペクトラム拡散周波数変調機能により低EMIを実現します。4V ~ 60Vの入力電圧範囲および0V ~ 60Vの出力電圧が可能であり、動作領域間を継ぎ目なく低ノイズで遷移できるので、LT8390は自動車、産業用、通信、さらにはバッテリー駆動システムでの電圧レギュレータ、バッテリー、およびスーパーキャパシタ・チャージャ・アプリケーションに最適です。

LT8390は、入力または出力電流モニタおよびパワーグッド・フラグを提供します。出力短絡状態を検出するためのフォルト保護も提供されており、出力短絡状態の発生時に、LT8390はリトライするか、ラッチオフするか、動作を維持します。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴは、リニアテクノロジー社の登録商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

効率98%の48W(12V 4A)小型昇降圧電圧レギュレータ



LT8390

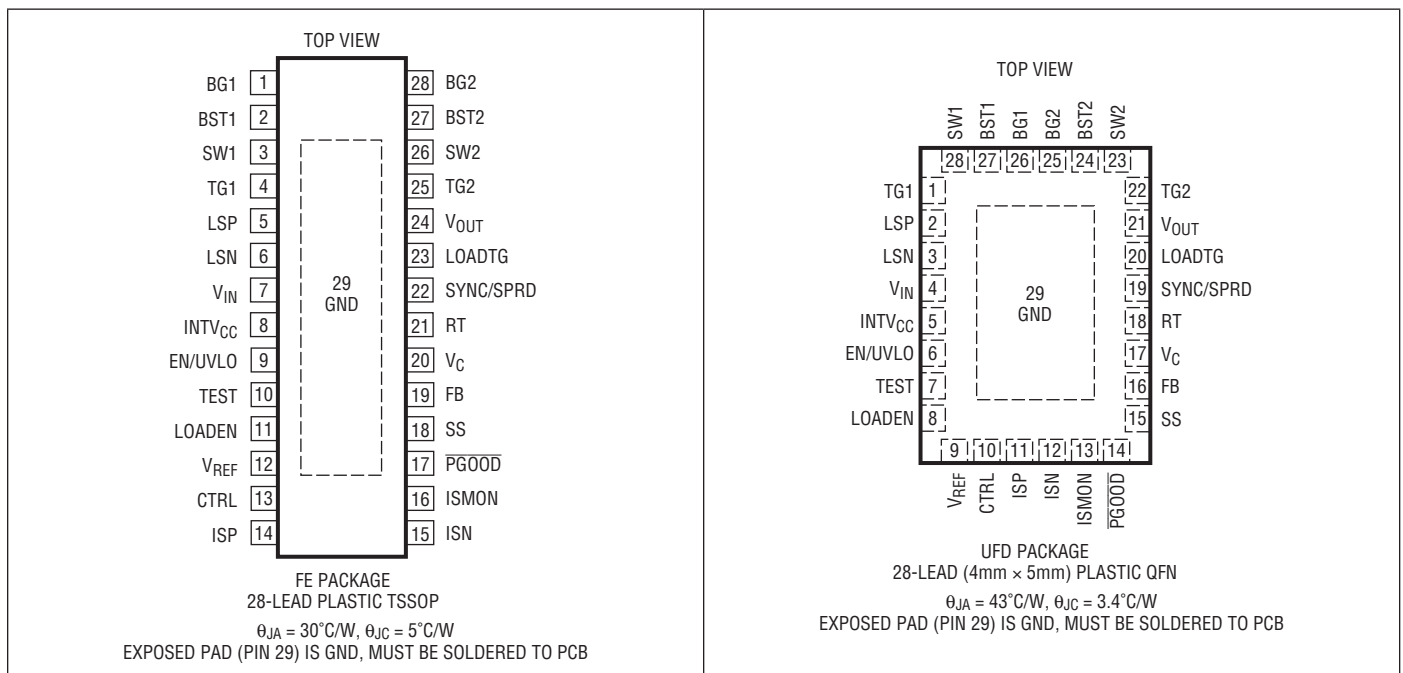
絶対最大定格 (Note 1)

V_{IN} , EN/UVLO, V_{OUT} , ISP, ISN ピンの電圧	60V
(ISP-ISN)	-1V ~ 1V
BST1, BST2	66V
SW1, SW2, LSP, LSN	-6V ~ 60V
INTV _{CC} , (BST1-SW1), (BST2-SW2)	6V
(BST1-LSP), (BST1-LSN)	6V
FB, LOADEN, SYNC/SPRD, CTRL, PGOOD	6V

動作接合部温度範囲 (Notes 2, 3)

LT8390E	-40°C ~ 125°C
LT8390I	-40°C ~ 125°C
保存温度範囲	-65°C ~ 150°C

ピン配置



発注情報 <http://www.linear-tech.co.jp/product/LT8390#orderinfo>

無鉛仕上げ	テープ・アンド・リール	製品マーキング*	パッケージ	温度範囲
LT8390EFE#PBF	LT8390EFE#TRPBF	LT8390FE	28-Lead Plastic TSSOP	-40°C to 125°C
LT8390IFE#PBF	LT8390IFE#TRPBF	LT8390FE	28-Lead Plastic TSSOP	-40°C to 125°C
LT8390EUF#PBF	LT8390EUF#TRPBF	8390	28-Lead (4mmx5mm) Plastic QFN	-40°C to 125°C
LT8390IUF#PBF	LT8390IUF#TRPBF	8390	28-Lead (4mmx5mm) Plastic QFN	-40°C to 125°C

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープ・アンド・リールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

一部のパッケージは、指定販売チャンネルを通じて、#TRMPBFの接尾辞付きで500単位のリールで供給されます。

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 2)。注記がない限り、 $V_{IN} = 12\text{V}$ 、 $V_{EN/UVLO} = 1.5\text{V}$ 。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
電源						
V_{IN} Operating Voltage Range		●	4		60	V
V_{IN} Quiescent Current	$V_{EN/UVLO} = 0.3\text{V}$ $V_{EN/UVLO} = 1.1\text{V}$ Not Switching			1 270 2.1	2 2.8	μA μA mA
V_{OUT} Voltage Range		●	0		60	V
V_{OUT} Quiescent Current	$V_{EN/UVLO} = 0.3\text{V}$, $V_{OUT} = 12\text{V}$ $V_{EN/UVLO} = 1.1\text{V}$, $V_{OUT} = 12\text{V}$ Not Switching, $V_{OUT} = 12\text{V}$		20	0.1 40	0.5 60	μA μA μA
リニア・レギュレータ						
I_{INTVCC} Regulation Voltage	$I_{INTVCC} = 20\text{mA}$		4.85	5.0	5.15	V
I_{INTVCC} Load Regulation	$I_{INTVCC} = 0\text{mA}$ to 80mA			1	4	%
I_{INTVCC} Line Regulation	$I_{INTVCC} = 20\text{mA}$, $V_{IN} = 6\text{V}$ to 60V			1	4	%
I_{INTVCC} Current Limit	$V_{INTVCC} = 4.5\text{V}$		80	110	160	mA
I_{INTVCC} Dropout Voltage ($V_{IN} - I_{INTVCC}$)	$I_{INTVCC} = 20\text{mA}$, $V_{IN} = 4\text{V}$			160		mV
I_{INTVCC} Undervoltage Lockout Threshold	Falling		3.44	3.54	3.64	V
I_{INTVCC} Undervoltage Lockout Hysteresis				0.24		V
V_{REF} Regulation Voltage	$I_{VREF} = 100\mu\text{A}$	●	1.97	2.00	2.03	V
V_{REF} Load Regulation	$I_{VREF} = 0\text{mA}$ to 1mA			0.4	1	%
V_{REF} Line Regulation	$I_{VREF} = 100\mu\text{A}$, $V_{IN} = 4\text{V}$ to 60V			0.1	0.2	%
V_{REF} Current Limit	$V_{REF} = 1.8\text{V}$		2	2.5	3.2	mA
V_{REF} Undervoltage Lockout Threshold	Falling		1.78	1.84	1.90	V
V_{REF} Undervoltage Lockout Hysteresis				50		mV
制御入力/出力						
EN/UVLO Shutdown Threshold		●	0.3	0.6	1.0	V
EN/UVLO Enable Threshold	Falling	●	1.196	1.220	1.244	V
EN/UVLO Enable Hysteresis				13		mV
EN/UVLO Hysteresis Current	$V_{EN/UVLO} = 0.3\text{V}$ $V_{EN/UVLO} = 1.1\text{V}$ $V_{EN/UVLO} = 1.3\text{V}$		-0.1 2.2 -0.1	0 2.5 0	0.1 2.8 0.1	μA μA μA
CTRL Input Bias Current	$V_{CTRL} = 0.75\text{V}$, Current Out of Pin		0	20	50	nA
CTRL Latch-Off Threshold	Falling	●	285	300	315	mV
CTRL Latch-Off Hysteresis				25		mV
負荷スイッチ・ドライバ						
LOADEN Threshold	Rising	●	1.3	1.4	1.5	V
LOADEN Hysteresis				220		mV
Minimum V_{OUT} for LOADTG to be On	$V_{LOADEN} = 5\text{V}$			2.4	3	V
LOADTG On Voltage $V_{(V_{OUT}-LOADTG)}$	$V_{OUT} = 12\text{V}$		4.6	5	5.4	V
LOADTG Off Voltage $V_{(V_{OUT}-LOADTG)}$	$V_{OUT} = 12\text{V}$		-0.1	0	0.1	V
LOADEN to LOADTG Turn On Propagation Delay	$C_{LOADTG} = 3.3\text{nF}$ to V_{OUT} , 50% to 50%			90		ns
LOADEN to LOADTG Turn Off Propagation Delay	$C_{LOADTG} = 3.3\text{nF}$ to V_{OUT} , 50% to 50%			40		ns
LOADTG Turn On Fall Time	$C_{LOADTG} = 3.3\text{nF}$ to V_{OUT} , 10% to 90% C_{LOADTG}			300		ns
LOADTG Turn Off Rise Time	$C_{LOADTG} = 3.3\text{nF}$ to V_{OUT} , 90% to 10%			10		ns

LT8390

電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 2)。注記がない限り、 $V_{IN} = 12\text{V}$ 、 $V_{EN/UVLO} = 1.5\text{V}$ 。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS	
エラーアンプ							
Full Scale Current Regulation $V_{(ISP-ISN)}$	$V_{CTRL} = 2\text{V}$, $V_{ISP} = 12\text{V}$	●	97	100	103	mV	
	$V_{CTRL} = 2\text{V}$, $V_{ISP} = 0\text{V}$	●	97	100	103	mV	
1/10th Current Regulation $V_{(ISP-ISN)}$	$V_{CTRL} = 0.35\text{V}$, $V_{ISP} = 12\text{V}$	●	8	10	12	mV	
	$V_{CTRL} = 0.35\text{V}$, $V_{ISP} = 0\text{V}$	●	8	10	12	mV	
ISMON Monitor Output V_{ISMON}	$V_{(ISP-ISN)} = 100\text{mV}$, $V_{ISP} = 12\text{V}/0\text{V}$	●	1.20	1.25	1.30	0.40	V
	$V_{(ISP-ISN)} = 10\text{mV}$, $V_{ISP} = 12\text{V}/0\text{V}$	●	0.30	0.35	0.30		V
	$V_{(ISP-ISN)} = 0\text{mV}$, $V_{ISP} = 12\text{V}/0\text{V}$	●	0.20	0.25			V
ISP/ISN Input Common Mode Range		●	0		60	V	
ISP/ISN Low Side to High Side Switchover Voltage	$V_{ISP} = V_{ISN}$			1.8		V	
ISP/ISN High Side to Low Side Switchover Voltage	$V_{ISP} = V_{ISN}$			1.7		V	
ISP Input Bias Current	$V_{LOADEN} = 5\text{V}$, $V_{ISP} = V_{ISN} = 12\text{V}$			23		μA	
	$V_{LOADEN} = 5\text{V}$, $V_{ISP} = V_{ISN} = 0\text{V}$			-10		μA	
	$V_{EN/UVLO} = 0\text{V}$, $V_{ISP} = V_{ISN} = 12\text{V}$ or 0V			0		μA	
ISN Input Bias Current	$V_{LOADEN} = 5\text{V}$, $V_{ISP} = V_{ISN} = 12\text{V}$			23		μA	
	$V_{LOADEN} = 5\text{V}$, $V_{ISP} = V_{ISN} = 0\text{V}$			-10		μA	
	$V_{EN/UVLO} = 0\text{V}$, $V_{ISP} = V_{ISN} = 12\text{V}$ or 0V			0		μA	
ISP/ISN Current Regulation Amplifier g_m				2000		μs	
FB Regulation Voltage	$V_C = 1.2\text{V}$	●	0.985	1.00	1.015	V	
FB Line Regulation	$V_{IN} = 4\text{V}$ to 60V			0.2	0.5	%	
FB Load Regulation				0.2	0.8	%	
FB Voltage Regulation Amplifier g_m				660		μS	
FB Input Bias Current	FB in Regulation, Current Out of Pin			10	40	nA	
V_C Output Impedance				10		$\text{M}\Omega$	
V_C Standby Leakage Current	$V_C = 1.2\text{V}$, $V_{LOADEN} = 0\text{V}$		-10	0	10	nA	
電流コンパレータ							
Maximum Current Sense Threshold $V_{(LSP-LSN)}$	Buck, $V_{FB} = 0.8\text{V}$	●	35	50	65	mV	
	Boost, $V_{FB} = 0.8\text{V}$	●	40	50	60	mV	
Reverse Current Sense Threshold $V_{(LSP-LSN)}$	Buck, $V_{FB} = 0.8\text{V}$			1		mV	
	Boost, $V_{FB} = 0.8\text{V}$			1		mV	
LSP Pin Bias Current	$V_{LSP} = V_{LSN} = 12\text{V}$			60		μA	
LSN Pin Bias Current	$V_{LSP} = V_{LSN} = 12\text{V}$			60		μA	
フォルト							
FB Overvoltage Threshold (V_{FB})	Rising	●	1.08	1.1	1.12	V	
FB Overvoltage Hysteresis		●	35	50	65	mV	
FB Short Threshold (V_{FB})	Falling	●	0.24	0.25	0.26	V	
FB Short Hysteresis	Hysteresis	●	35	50	65	mV	
ISP/ISN Over Current Threshold $V_{(ISP-ISN)}$	$V_{ISP} = 12\text{V}$			750		mV	
PGOOD Upper Threshold Offset from V_{FB}	Rising	●	8	10	12	%	
PGOOD Lower Threshold Offset from V_{FB}	Falling	●	-12	-10	-8	%	
PGOOD Pull-Down Resistance				100	200	Ω	
SS Hard Pull-Down Resistance	$V_{EN/UVLO} = 1.1\text{V}$			100	200	Ω	
SS Pull-Up Current	$V_{FB} = 0.4\text{V}$, $V_{SS} = 0\text{V}$		10.5	12.5	14.5	μA	
SS Pull-Down Current	$V_{FB} = 0.1\text{V}$, $V_{SS} = 2\text{V}$		1.05	1.25	1.45	μA	

8390f

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 2)。注記がない限り、 $V_{IN} = 12\text{V}$ 、 $V_{EN}/UVLO = 1.5\text{V}$ 。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SS Fault Latch-Off Threshold			1.7		V
SS Fault Reset Threshold			0.2		V

発振器

RT Pin Voltage	$R_T = 100\text{k}\Omega$		1.00		V	
Switching Frequency	$V_{\text{SYNC/SPRD}} = 0\text{V}$, $R_T = 226\text{k}\Omega$	●	190	200	210	kHz
	$V_{\text{SYNC/SPRD}} = 0\text{V}$, $R_T = 100\text{k}\Omega$	●	380	400	420	kHz
	$V_{\text{SYNC/SPRD}} = 0\text{V}$, $R_T = 59.0\text{k}\Omega$	●	570	600	630	kHz
SYNC Frequency			150		650	kHz
SYNC/SPRD Input Bias Current	$V_{\text{SYNC/SPRD}} = 5\text{V}$		-0.1	0	0.1	μA
SYNC/SPRD Threshold Voltage			0.4		1.5	V
Highest Spread Spectrum Above Oscillator Frequency	$V_{\text{SYNC/SPRD}} = 5\text{V}$		12.5	14.5	16.5	%
Lowest Spread Spectrum Below Oscillator Frequency	$V_{\text{SYNC/SPRD}} = 5\text{V}$		-17.7	-15.7	-13.7	%

領域遷移

Buck-Boost to Boost (V_{IN}/V_{OUT})			0.73	0.75	0.77	
Boost to Buck-Boost (V_{IN}/V_{OUT})			0.83	0.85	0.87	
Buck to Buck-Boost (V_{IN}/V_{OUT})			1.16	1.18	1.20	
Buck-Boost to Buck (V_{IN}/V_{OUT})			1.31	1.33	1.35	
Peak-Buck to Peak-Boost (V_{IN}/V_{OUT})			0.96	0.98	1.00	
Peak-Boost to Peak-Buck (V_{IN}/V_{OUT})			1.00	1.02	1.04	

NMOSドライバ

TG1, TG2 Gate Driver On-Resistance Gate Pull-Up Gate Pull-Down	$V_{\text{(BST-SW)}} = 5\text{V}$			2.6		Ω
				1.4		Ω
BG1, BG2 Gate Driver On-Resistance Gate Pull-Up Gate Pull-Down	$V_{\text{INTVCC}} = 5\text{V}$			3.2		Ω
				1.2		Ω
TG1, TG2 Rise Time	$C_L = 3.3\text{nF}$, 10% to 90%			25		ns
TG1, TG2 Fall Time	$C_L = 3.3\text{nF}$, 90% to 10%			20		ns
BG1, BG2 Rise Time	$C_L = 3.3\text{nF}$, 10% to 90%			25		ns
BG1, BG2 Fall Time	$C_L = 3.3\text{nF}$, 90% to 10%			20		ns
TG Off to BG On Delay	$C_L = 3.3\text{nF}$			60		ns
BG Off to TG On Delay	$C_L = 3.3\text{nF}$			60		ns
TG1 Minimum Duty Cycle in Buck Region	Peak-Buck Current Mode			10		%
TG1 Maximum Duty Cycle in Buck Region	Peak-Buck Current Mode			95		%
TG1 Fixed Duty Cycle in Buck-Boost Region	Peak-Boost Current Mode			85		%
BG2 Fixed Duty Cycle in Buck-Boost Region	Peak-Buck Current Mode			15		%
BG2 Minimum Duty Cycle in Boost Region	Peak-Boost Current Mode			10		%
BG2 Maximum Duty Cycle in Boost Region	Peak-Boost Current Mode			95		%

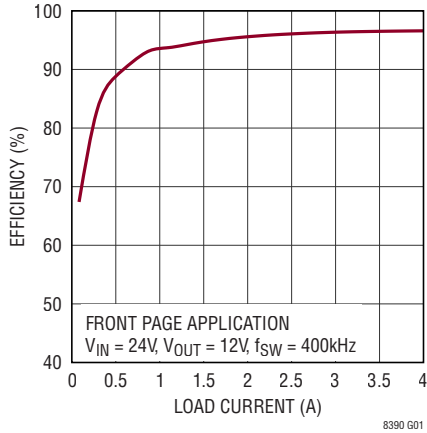
Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2: LT8390Eは $0^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度で性能仕様に適合することが保証されている。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度範囲での仕様は、設計、特性評価および統計学的なプロセス・コントロールとの相関で確認されている。LT8390Iは $-40^\circ\text{C} \sim 125^\circ\text{C}$ の動作接合部温度範囲で動作することが保証されている。接合部温度が高いと、動作寿命は短くなる。 125°C を超える接合部温度では動作寿命がディレーティングされる。

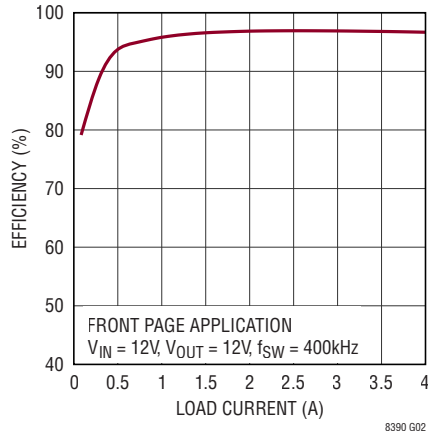
Note 3: LT8390には、瞬間的な過負荷状態時にデバイスを保護するための過熱保護機能が備わっている。過熱保護機能がアクティブなとき接合部温度は 150°C を超える。規定された絶対最大動作接合部温度を超えた動作が継続すると、デバイスの信頼性を損なう恐れがある。

標準的性能特性 注記がない限り、TA = 25°C。

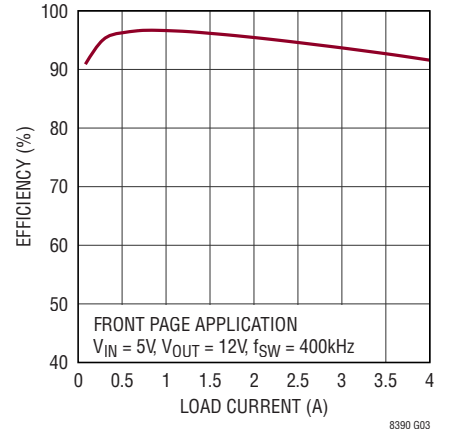
効率と負荷電流
(降圧領域)



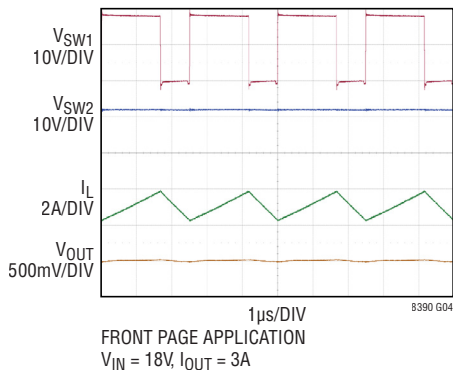
効率と負荷電流
(昇降圧領域)



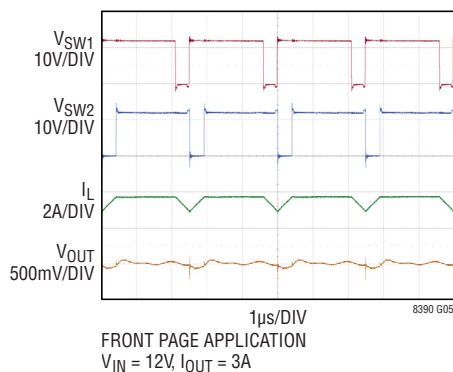
効率と負荷電流
(昇圧領域)



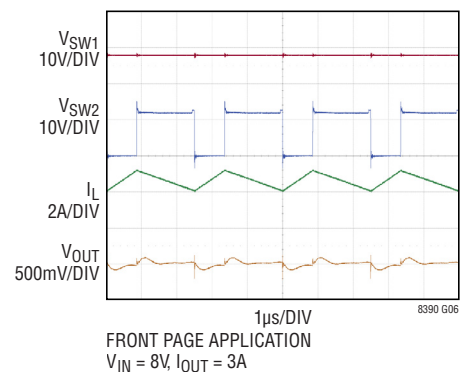
スイッチング波形
(降圧領域)



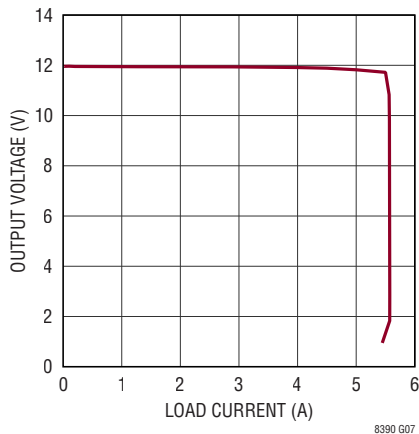
スイッチング波形
(昇降圧領域)



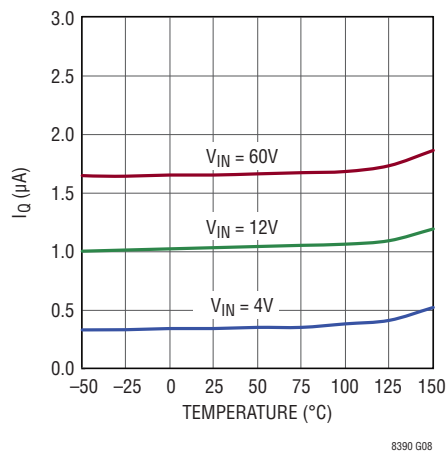
スイッチング波形
(昇圧領域)



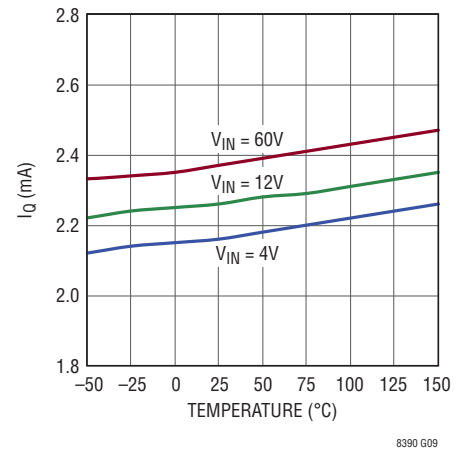
V_{OUT} と I_{OUT} (CV/CC)



V_{IN} のシャットダウン電流

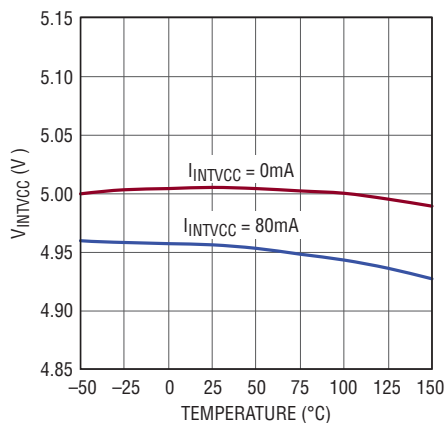


V_{IN} の静止電流



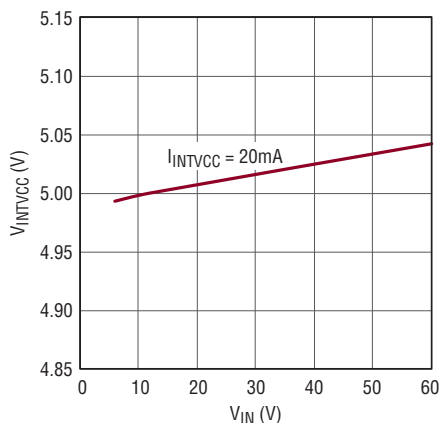
標準的性能特性 注記がない限り、TA = 25°C。

INTV_{CC}の電圧と温度



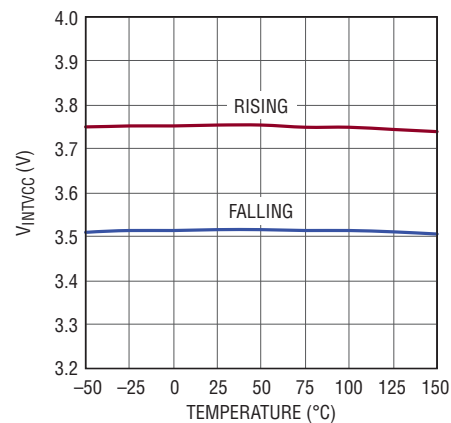
8390 G10

INTV_{CC}電圧とV_{IN}



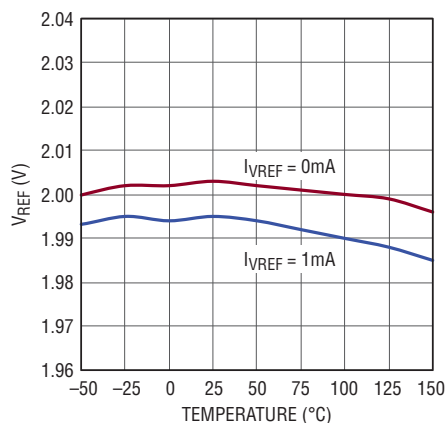
8390 G11

INTV_{CC}のUVLOしきい値



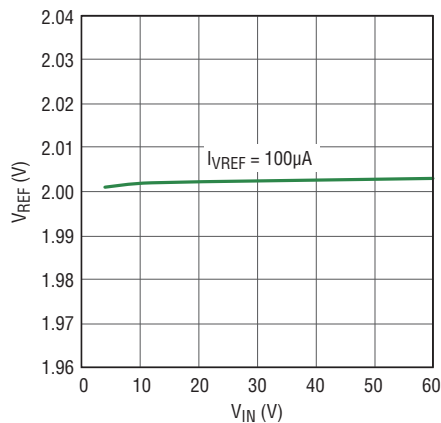
8390 G12

V_{REF}の電圧と温度



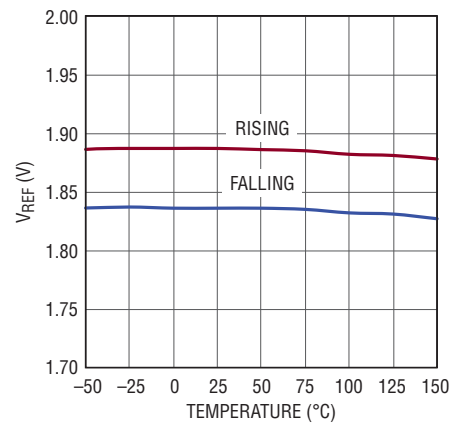
8390 G13

V_{REF}の電圧とV_{IN}



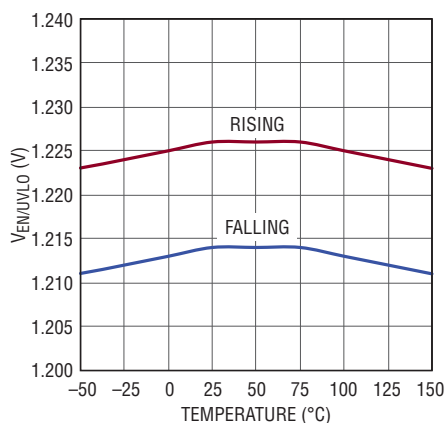
8390 G14

V_{REF}のUVLOしきい値



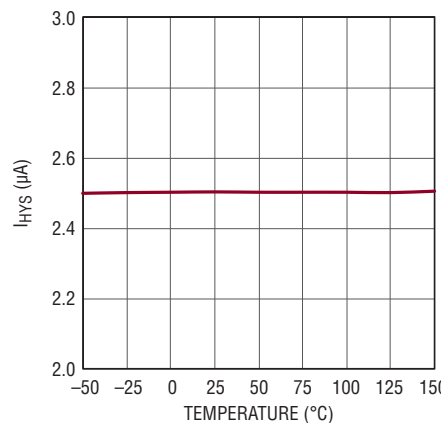
8390 G15

EN/UVLOのイネーブルしきい値



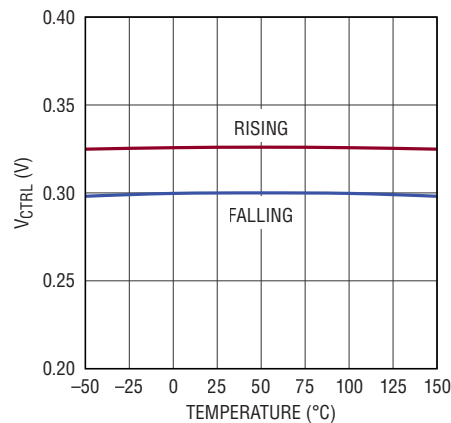
8390 G16

EN/UVLOのヒステリシス電流



8390 G17

CTRL Latch-Off Threshold

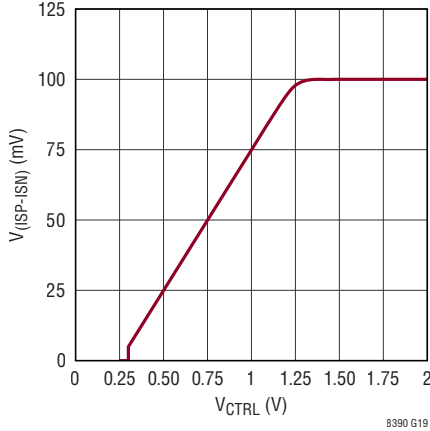


8390 G18

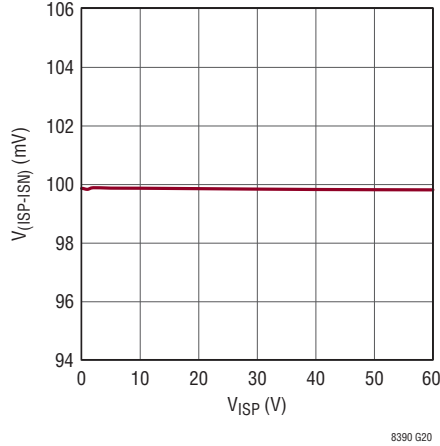
LT8390

標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

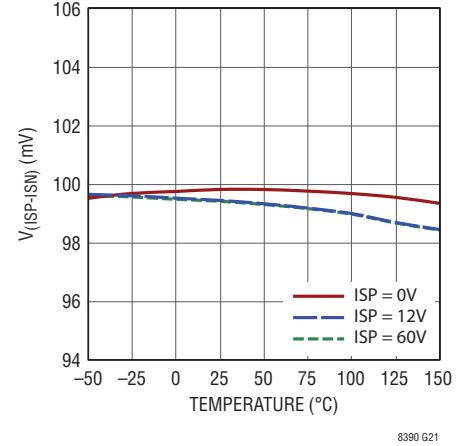
$V_{(ISP-ISN)}$ のレギュレーションと V_{CTRL}



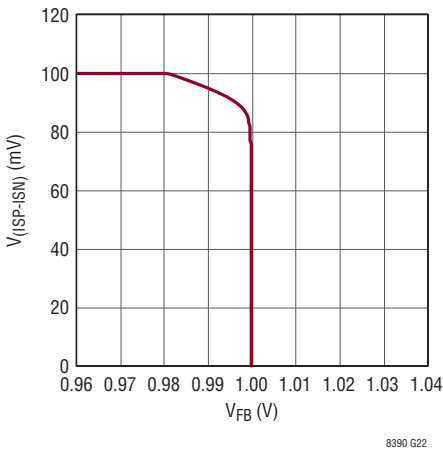
$V_{(ISP-ISN)}$ のレギュレーションと V_{ISP}



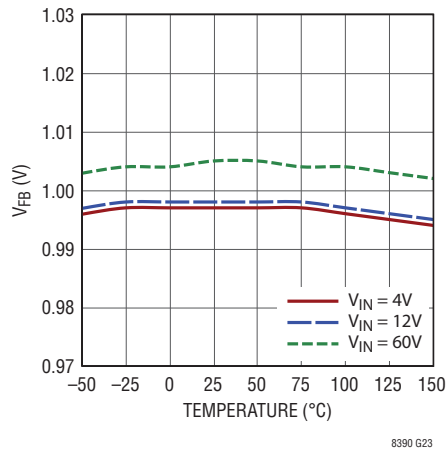
$V_{(ISP-ISN)}$ のレギュレーションと 温度



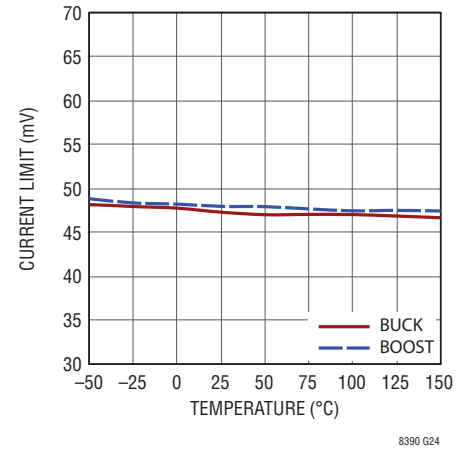
$V_{(ISP-ISN)}$ のレギュレーションと V_{FB}



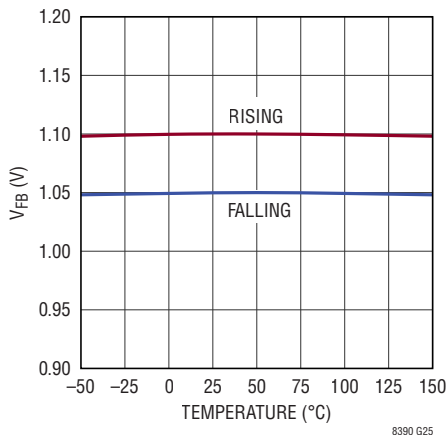
FBのレギュレーションと 温度



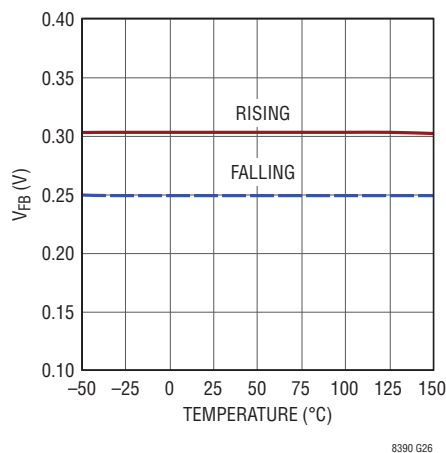
最大電流検出と 温度



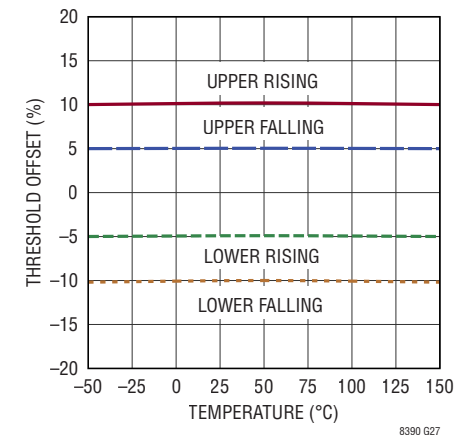
FBの過電圧しきい値



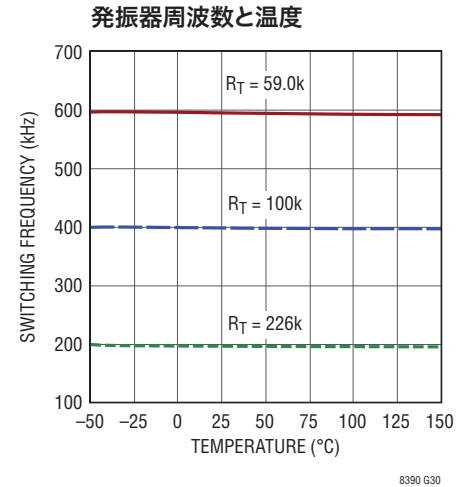
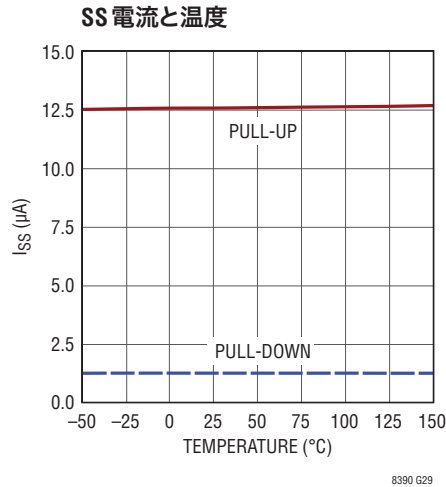
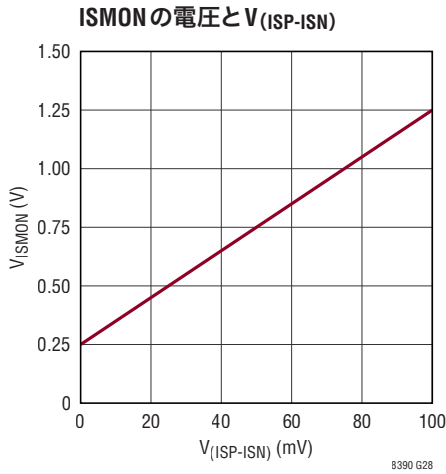
FBの短絡しきい値



PGOODのしきい値



標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。



ピン機能

BG1 : 降圧側の下側ゲート・ドライバ。電圧がグラウンドと $INTV_{CC}$ の間で振幅して、降圧側の下側NチャネルMOSFEのゲートを駆動します。

BST1 : 降圧側のブートストラップ・フローティング・ドライバの電源。BST1ピンには、 $INTV_{CC}$ ピンからのブートストラップ・ショットキダイオードが内蔵されており、このピンとSW1ピンの間に外付けブートストラップ・コンデンサを接続する必要があります。BST1ピンの振幅は、 $INTV_{CC}$ よりダイオードの電圧降下分だけ低い電圧から ($V_{IN} + INTV_{CC}$) までの電圧です。

SW1 : 降圧側スイッチ・ノード。SW1ピンの電圧は、グラウンドよりショットキ・ダイオードの電圧降下分だけ低い電位から V_{IN} まで振幅します。

TG1 : 降圧側の上側ゲート・ドライバ。電圧がSW1とBST1の間で振幅して、降圧側の上側NチャネルMOSFEのゲートを駆動します。

LSP : 降圧側のインダクタ電流検出抵抗 (R_{SENSE}) の正端子。ケルビン接続を使って、電流が正確に検出されるようにします。

LSN : 降圧側のインダクタ電流検出抵抗 (R_{SENSE}) の負端子。ケルビン接続を使って、電流が正確に検出されるようにします。

V_{IN} : 入力電源。降圧動作領域、昇降圧動作領域、または昇圧動作領域を決定するために、 V_{IN} ピンを電源入力に接続する必要があります。このピンは $1\mu\text{F}$ 以上のセラミック・コンデンサでデバイス近くのグラウンドにバイパスします。

$INTV_{CC}$: 内蔵の5Vリニア・レギュレータの出力。 $INTV_{CC}$ リニア・レギュレータは V_{IN} ピンから電源供給を受けており、内部制御回路およびゲート・ドライバに電力を供給します。このピンは $4.7\mu\text{F}$ 以上のセラミック・コンデンサでデバイス近くのグラウンドにバイパスします。

EN/UVLO : イネーブルおよび低電圧ロックアウト。このピンを強制的に 0.3V 未満にすると、デバイスがシャットダウンして V_{IN} の静止電流が $2\mu\text{A}$ 未満に減少します。通常動作の場合は、このピンの電圧を強制的に 1.233V より高くします。高精度の 1.220V の下降しきい値を使用して、 V_{IN} からグラウンドに接続した抵抗分割器を使用することで、低電圧ロックアウト (UVLO) しきい値を設定できます。高精度な $2.5\mu\text{A}$ のプルダウン電流を使用して、 V_{IN} の UVLO ヒステリシスを設定できます。どちらの機能も使用しない場合、このピンは V_{IN} に直接接続します。

TEST : 工場テスト。このピンはテストのためにだけ使用されず。デバイスを正常に動作させるためには、グラウンドに直接接続する必要があります。

LOADEN : 負荷スイッチ・イネーブル入力。LOADENピンは、高電位側PMOS負荷スイッチのオン/オフの制御に使用されます。負荷スイッチ制御を使用しない場合は、このピンを V_{REF} または $INTV_{CC}$ に接続します。このピンを強制的に“L”にすると、TG1およびTG2をオフにし、BG1およびBG2をオンにして、 V_C ピンを全ての内部負荷から切り離し、LOADTGをオフにします。

V_{REF} : 電圧リファレンス出力。 V_{REF} ピンは、 1mA の電流を供給できる高精度の 2V リファレンスを提供します。このピンは $0.47\mu\text{F}$ のセラミック・コンデンサでデバイス近くのグラウンドにバイパスします。

ピン機能

CTRL : ISP/ISN 電流検出しきい値の制御入力。CTRL ピンは、ISP/ISN 電流制限の設定に使用します。

$$I_{IS(MAX)} = \frac{\text{Min}(V_{CTRL} - 0.25V, 1V)}{10 \cdot R_{IS}}$$

V_{CTRL} は、外部電圧リファレンス、または V_{REF} とグラウンドの間に接続した抵抗分割器によって設定できます。 $0.3V \leq V_{CTRL} \leq 1.15V$ の場合、電流検出しきい値は $5mV$ から $90mV$ まで直線的に上昇します。 $V_{CTRL} \geq 1.35V$ の場合、電流検出しきい値は、 $100mV$ のフルスケール値で一定になります。 $1.15V \leq V_{CTRL} \leq 1.35V$ の場合、電流検出しきい値は V_{CTRL} の線形関数から $100mV$ の一定値まで滑らかに遷移します。フルスケールしきい値である $100mV$ にする場合は、CTRL ピンを V_{REF} ピンに接続します。このピンを強制的に $0.3V$ 未満にすると、スイッチング動作が停止します。

ISP : ISP/ISN 電流検出抵抗 (R_{IS}) の正端子。ケルビン接続を使って、電流が正確に検出されるようにします。

ISN : ISP/ISN 電流検出抵抗 (R_{IS}) の負端子。ケルビン接続を使って、電流が正確に検出されるようにします。

ISMON : ISP/ISN 電流検出モニタ出力。ISMON ピンは、 $V_{(ISP-ISN)}$ を 10 倍にして $0.25V$ のオフセット電圧を加えた値に等しい電圧を生成します。並列アプリケーションの場合は、マスタ LT8390 の ISMON ピンをスレーブ LT8390 の CTRL ピンに接続します。

PGOOD : パワーグッド・オープンドレイン出力。FB ピンの電圧が最終的なレギュレーション電圧の $\pm 10\%$ 以内にある場合、PGOOD ピンは“L”に引き下げられます。このピンを機能させるには、外付けのプルアップ抵抗が必要です。

SS : ソフトスタート・タイマ設定。SS ピンは、コンデンサをグラウンドに接続することで、ソフトスタート・タイマの設定に使用します。外付け SS コンデンサを充電する内部 $12.5\mu A$ プルアップ電流が、FB レギュレーション電圧を徐々にランプアップします。このピンには $0.1\mu F$ のコンデンサを推奨します。UVLO またはサーマル・シャットダウンが発生すると、SS ピンが直ちにグラウンドに引き下げられ、スイッチング動作が停止します。SS ピンと V_{REF} ピンの間に 1 つの抵抗を接続して、LT8390 を、出力短絡状態発生時の 3 種類のフォルト保護モード (一時中断 (抵抗なし)、ラッチオフ ($499k\Omega$)、および動作維持 ($100k\Omega$)) に設定できます。詳細については、「アプリケーション情報」のセクションを参照してください。

FB : 電圧ループの帰還入力。FB ピンは定電圧レギュレーションおよび出力フォルト保護のために使用します。出力が V_C となる内部エラーアンプが、 V_{FB} を DC/DC コンバータを介して $1.00V$ に安定化します。出力短絡 ($V_{FB} < 0.25V$) 状態の発生時に、顧客の設定に従って、デバイスはいずれかのフォルト・モードに移行します。過電圧 ($V_{FB} > 1.1V$) 状態の発生時に、

デバイスは TG1、BG1、TG2、BG2、および LOADTG を全てオフにします。

V_C : インダクタ電流コンパレータのしきい値を設定するエラーアンプ出力。 V_C ピンは、外部 RC 回路網によって制御ループを補償するために使用します。LOADEN が“L”状態である間、電圧情報を保存するために、 V_C ピンが全ての内部負荷から切り離されます。

RT : スwitching 周波数設定。このピンとグラウンドの間に抵抗を接続して、 $150kHz \sim 650kHz$ の範囲で内部発振器周波数を設定します。

SYNC/SPRD : スwitching 周波数同期またはスペクトラム拡散。内部発振器周波数でスitching を行う場合、このピンを接地します。外部周波数同期を行う場合は、クロック信号をこのピンに供給します。INTV_{CC} に接続すると、内部発振器周波数を中心にして $\pm 15\%$ のトライアングル・スペクトラム拡散が得られます。

LOADTG : 高電位側 PMOS 負荷スイッチの上側ゲート・ドライバ。LOADEN 入力信号のバッファ付きおよびインバータ付きバージョン。LOADTG ピンは、電圧が ($V_{OUT} - 5V$) および $1.2V$ の高い方の電圧から V_{OUT} まで振幅して、外部高電位側 PMOS 負荷スイッチを駆動します。このピンは、使用しない場合、未接続のままにしておきます。

V_{OUT} : 出力電源。降圧動作領域、昇降圧動作領域、または昇圧動作領域を決定するために、 V_{OUT} ピンを電力出力に接続する必要があります。 V_{OUT} ピンは、LOADTG 駆動用の正レールとしても機能します。このピンは $1\mu F$ 以上のセラミック・コンデンサでデバイス近くのグラウンドにバイパスします。

TG2 : 昇圧側のゲート・ドライバ。電圧が SW2 と BST2 の間で振幅して、昇圧側のゲート N チャネル MOSFET のゲートを駆動します。

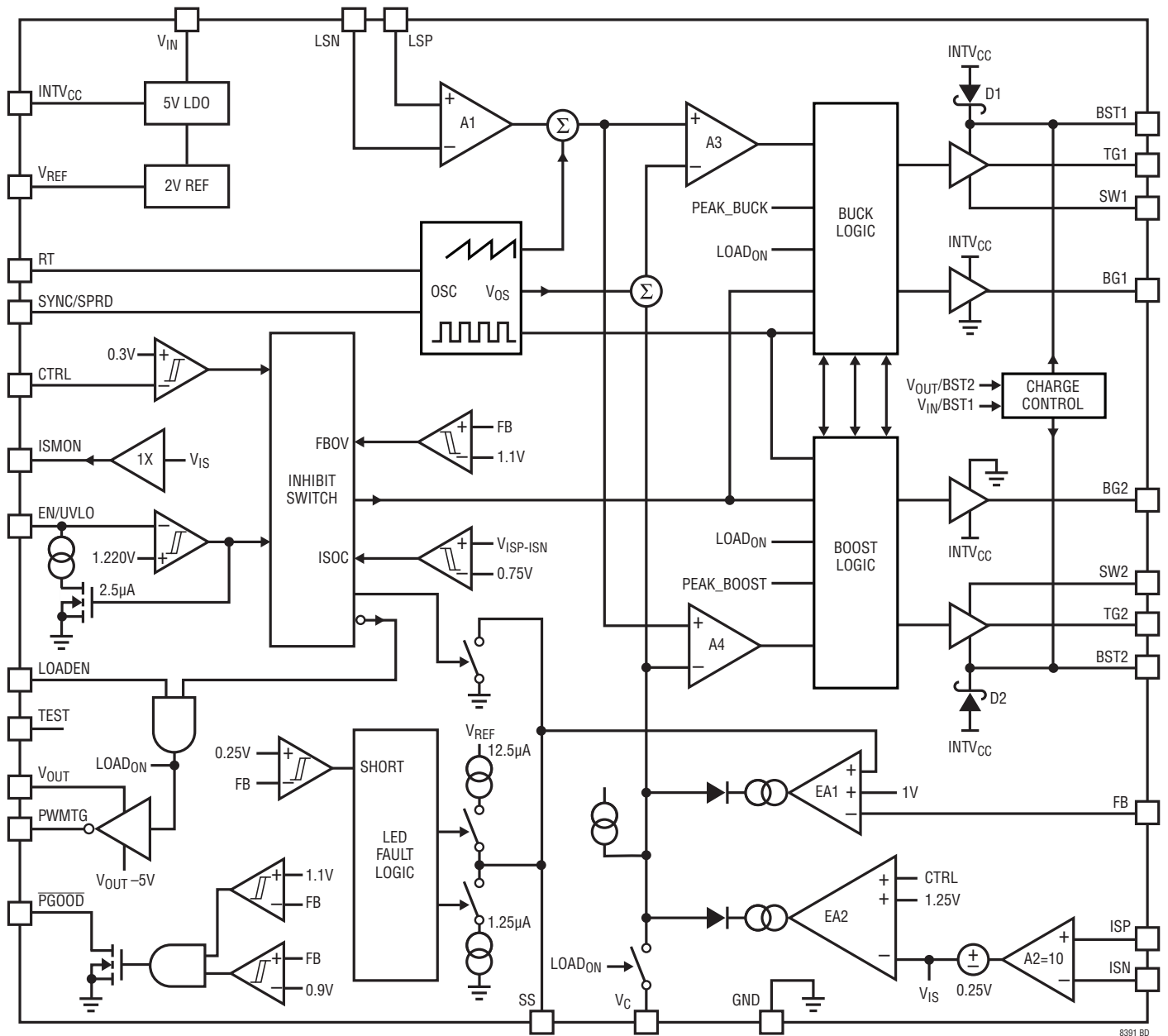
SW2 : 昇圧側スイッチ・ノード。SW2 ピンの電圧は、グラウンドよりショットキ・ダイオードの電圧降下分だけ低い電位から V_{OUT} まで振幅します。

BST2 : 昇圧側のブートストラップ・フローティング・ドライバの電源。BST2 ピンには、INTV_{CC} ピンからのブートストラップ・ショットキ ダイオードが内蔵されており、このピンと SW2 ピンの間に外付けブートストラップ・コンデンサを接続する必要があります。BST2 ピンの振幅は、INTV_{CC} よりダイオードの電圧降下分だけ低い電圧から ($V_{OUT} + INTV_{CC}$) までの電圧です。

BG2 : 昇圧側のゲート・ドライバ。電圧がグラウンドと INTV_{CC} の間で振幅して、昇圧側のゲート N チャネル MOSFET のゲートを駆動します。

GND (露出パッド) : グラウンド・ピン。この露出パッドは、直接グラウンド・プレーンに半田付けしてください。

ブロック図



8391 B0

動作

LT8390は、出力電圧より高い、低い、または等しい入力電圧から出力電圧、入力電流、または出力電流を安定化できる電流モードDC/DCコントローラです。リニアテクノロジー独自のピーク降圧ピーク昇圧電流モード制御方式では、1つのインダクタ電流検出抵抗を使用して、降圧領域、昇降圧領域、および昇圧領域の間で滑らかな遷移を実現します。その動作は、ブロック図を参照するとよく理解できます。

パワー・スイッチの制御:

図1の簡略図で、4つのパワー・スイッチA、B、C、およびDをインダクタL、電流検出抵抗 R_{SENSE} 、電源入力 V_{IN} 、電力出力 V_{OUT} 、およびグランドに接続する方法を示します。LSPピンおよびLSNピンに接続された電流検出抵抗 R_{SENSE} は、降圧領域、昇降圧領域、および昇圧領域でのピーク電流モード制御および逆電流検出の両方に関するインダクタ電流情報を提供します。図2に、電流モード制御を V_{IN}/V_{OUT} の比の関数として示し、図3に、動作領域を V_{IN}/V_{OUT} の比の関数として示します。パワー・スイッチが適切に制御されて、モード間および領域間で滑らかに遷移します。モード間および領域間でのチャタリングを防ぐために、ヒステリシスが追加されています。

全部で次の4つの状態があります。(1)降圧領域でのピーク降圧電流モード制御、(2)昇降圧領域でのピーク降圧電流モード制御、(3)昇降圧領域でのピーク昇圧電流モード制御、(4)昇圧領域でのピーク昇圧電流モード制御。以下のセクションでは、波形を用いて各状態について詳細に説明します。説明を簡単にするために、スイッチAとBの間、スイッチCとDの間のシャートスルー保護のデッドタイムは無視されます。

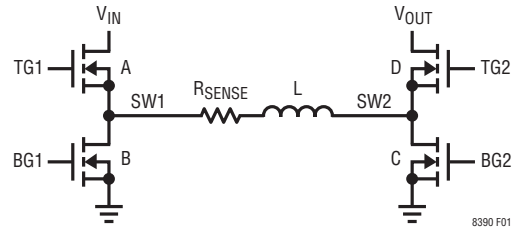


図1. パワー・スイッチの簡略図

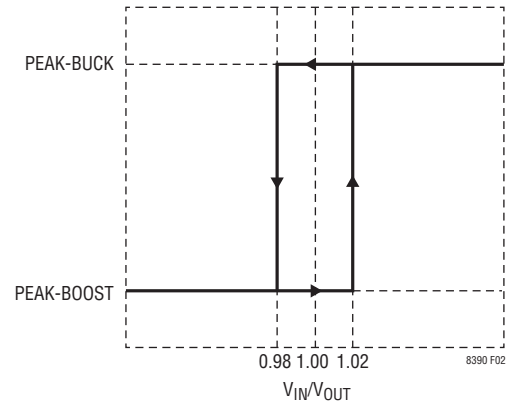


図2. 電流モードと V_{IN}/V_{OUT} の比

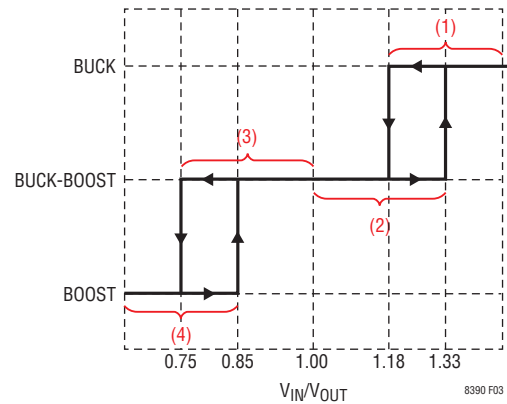


図3. 動作領域と V_{IN}/V_{OUT} の比

動作

(1) 降圧領域でのピーク降圧 (V_{IN} が V_{OUT} より非常に高い)

V_{IN} が V_{OUT} よりも非常に高い場合、LT8390は降圧領域でピーク降圧電流モード制御を使用します(図4)。スイッチCが常にオフになり、スイッチDが常にオンになります。各サイクルの開始時に、スイッチAがオンになり、インダクタ電流がランプアップします。インダクタ電流が、(A+D)フェーズの間に、降圧電流コンパレータA3で V_C 電圧によって指定されたピーク降圧電流しきい値に達すると、サイクルの残りの間、スイッチAがオフになり、スイッチBがオンになります。スイッチAとスイッチBは交互に動作し、典型的な同期整流式降圧レギュレータと同様に動作します。

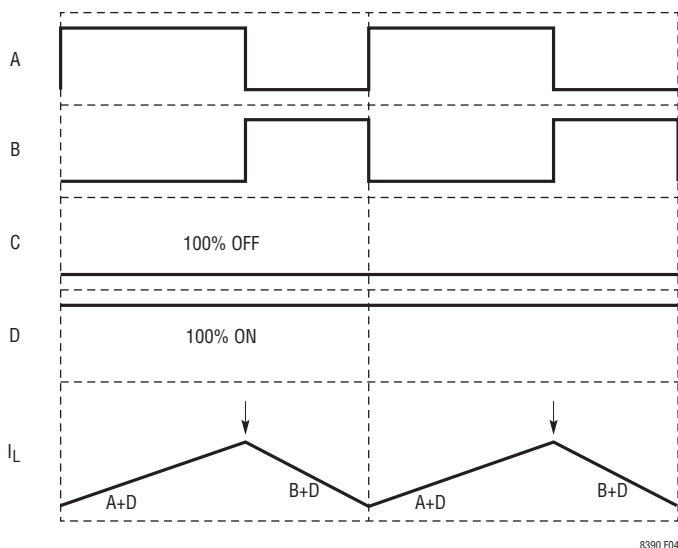


図4. 降圧領域でのピーク降圧 (V_{IN} が V_{OUT} より非常に高い)

(2) 昇降圧領域でのピーク降圧 (V_{IN} が V_{OUT} よりわずかに高い)

V_{IN} が V_{OUT} よりもわずかに高い場合、LT8390は昇降圧領域でピーク降圧電流モード制御を使用します(図5)。サイクルの最初の15%の間、スイッチCが常にオンになり、サイクルの残りの85%の間、スイッチDが常にオンになります。各サイクルの開始時に、スイッチAおよびCがオンになり、インダクタ電流がランプアップします。サイクルの15%の経過後に、スイッチCがオフになり、スイッチDがオンになり、インダクタがランプアップを維持します。インダクタ電流が、(A+D)フェーズの間に、降圧電流コンパレータA3で V_C 電圧によって指定されたピーク降圧電流しきい値に達すると、サイクルの残りの間、スイッチAがオフになり、スイッチBがオンになります。

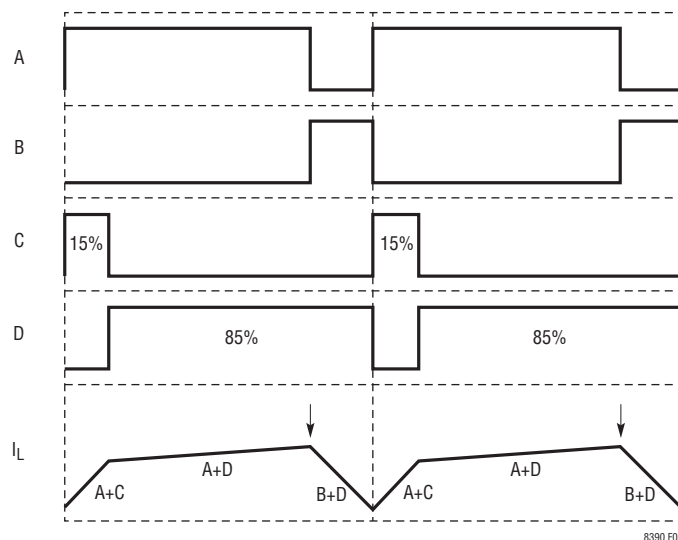


図5. 昇降圧領域でのピーク降圧 (V_{IN} が V_{OUT} よりわずかに高い)

動作

(3) 昇降圧領域でのピーク昇圧 (V_{IN} が V_{OUT} よりわずかに低い)

V_{IN} が V_{OUT} よりもわずかに低い場合、LT8390は昇降圧領域でピーク昇圧電流モード制御を使用します(図6)。サイクルの最初の85%の間、スイッチAが常にオンになり、サイクルの残りの15%の間、スイッチBが常にオンになります。各サイクルの開始時に、スイッチAおよびCがオンになり、インダクタ電流がランプアップします。インダクタ電流が、(A+C)フェーズの間に、昇圧電流コンパレータA4で V_C 電圧によって指定されたピーク昇圧電流しきい値に達すると、サイクルの残りの間、スイッチCがオフになり、スイッチDがオンになります。サイクルの85%の経過後に、サイクルの残りの間、スイッチAがオフになり、スイッチBがオンになります。

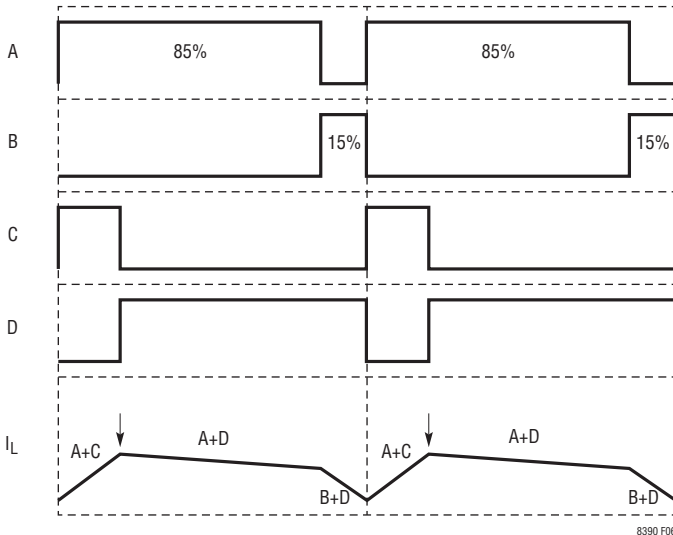


図6. 昇降圧領域でのピーク昇圧 (V_{IN} が V_{OUT} よりわずかに低い)

(4) 昇圧領域でのピーク昇圧 (V_{IN} が V_{OUT} より非常に低い)

V_{IN} が V_{OUT} よりも非常に低い場合、LT8390は昇圧領域でピーク昇圧電流モード制御を使用します(図7)。スイッチAが常にオンになり、スイッチBが常にオフになります。各サイクルの開始時に、スイッチCがオンになり、インダクタ電流がランプアップします。インダクタ電流が、(A+C)フェーズの間に、昇圧電流コンパレータA4で V_C 電圧によって指定されたピーク昇圧電流しきい値に達すると、サイクルの残りの間、スイッチCがオフになり、スイッチDがオンになります。スイッチCとスイッチDは交互に動作し、典型的な同期整流式昇圧レギュレータと同様に動作します。

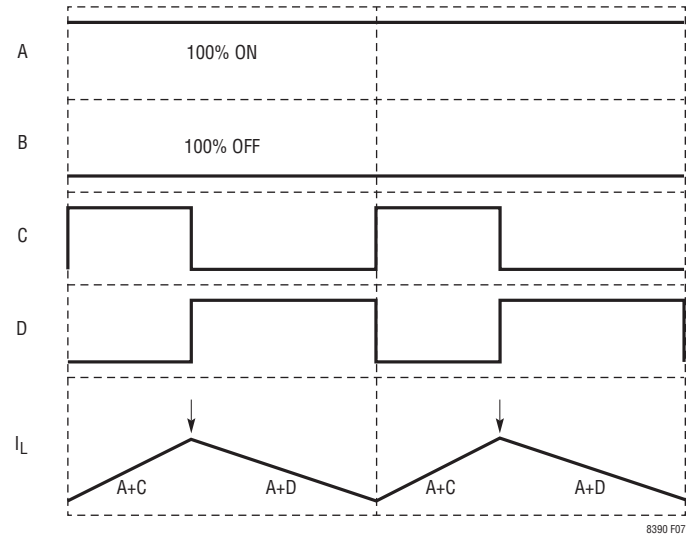


図7. 昇圧領域でのピーク昇圧 (V_{IN} が V_{OUT} より非常に低い)

動作

メイン制御ループ

LT8390は固定周波数の電流モードコントローラです。インダクタ電流は、LSPピンとLSNピンの間のインダクタ検出抵抗を介して検出されます。電流検出電圧は、アンプA1によって増幅されて、内部発振器からのスロープ補償ランプ信号に加えられます。その後、この加算信号が降圧電流コンパレータA3および昇圧電流コンパレータA4の正端子に供給されます。A3およびA4の負端子は、エラーアンプEA1およびEA2のダイオードOR出力であるV_Cピンの電圧によって制御されます。

ピーク降圧ピーク昇圧電流モード制御の状態に応じて、降圧ロジックまたは昇圧ロジックのどちらかが、4つのパワー・スイッチを制御します。それによって、通常動作時に、FB電圧が1Vに安定化されるか、またはISPピンとISNピンの間の電流検出電圧がCTRLピンによって安定化されます。同じ補償回路網を使用して定電圧動作と定電流動作の間で滑らかに遷移するように、EA1およびEA2の利得のバランスが調整されます。

軽負荷電流動作

軽負荷では、LT8390は、最大スイッチング周波数不連続導通モードまたはパルススキップ・モードのいずれかで動作します。その場合、レギュレーションを維持して効率を改善するために、複数サイクルの間、各スイッチがオフに保たれます（つまり、パルスをスキップします）。逆インダクタ電流が流れないように、降圧時および昇圧時の両方の逆電流検出しきい値は、1mV（標準）に設定されます。このような出力から入力への逆方向インダクタ電流が流れないことは、特定のアプリケーションでは非常に望ましい場合があります。

降圧領域において、(B+D)フェーズの間に降圧時逆電流しきい値がトリガされると、スイッチBが常にオフになります。昇圧領域において、(A+D)フェーズの間に昇圧時逆電流しきい値がトリガされると、スイッチDが常にオフになります。昇降圧領域において、(A+D)フェーズの間に昇圧時逆電流しきい値がトリガされると、スイッチDが常にオフになり、(B+D)フェーズの間に降圧時逆電流しきい値がトリガされると、スイッチBおよびDの両方が常にオフになります。

内部充電経路

2つの上側MOSFETドライバのそれぞれが、フロート・ブートストラップ・コンデンサからバイアスされます。このコンデンサは、通常、上側MOSFETがオフになったときに、内蔵ブートストラップ・ダイオードD1またはD2を介してINTV_{CC}によって再充電されます。LT8390が降圧領域または昇圧領域限定で動作する場合、一方の上側MOSFETが常時オンになります。V_{OUT}およびBST2からBST1へ、またはV_{IN}およびBST1からBST2への内部充電経路によって、ブートストラップ・コンデンサが4.6Vに充電され、その結果、上側MOSFETをオンに維持できます。

シャットダウンおよびパワーオン・リセット

EN/UVLOピンがシャットダウンしきい値（最小0.3V）を下回ると、LT8390はシャットダウン・モードに移行し、静止電流が2μA未満になります。EN/UVLOピンがシャットダウンしきい値（最大1V）を超えると、LT8390は起動回路を起動し、バンドギャップ・リファレンスを生成し、内部INTV_{CC} LDOをパワーアップします。INTV_{CC} LDOは、内部制御回路およびゲート・ドライバに電力を供給します。ここで、ヒステリシス電流（標準で2.5μA）がEN/UVLOピンに流れて、LT8390は低電圧ロックアウト（UVLO）モードに移行します。INTV_{CC}ピンが上昇時UVLOしきい値（標準で3.78V）を超えて充電され、EN/UVLOピンが上昇時イネーブルしきい値（標準で1.233V）を超え、接合部温度がサーマル・シャットダウン（標準で165°C）未満になると、LT8390はイネーブル・モードに移行し、EN/UVLOヒステリシス電流がオフになり、電圧リファレンスV_{REF}がグランドから充電されます。イネーブル・モードに移行してから、V_{REF}が上昇時UVLOしきい値（標準で1.89V）を超えるまで、LT8390はパワーオン・リセット（POR）を通過して、内部制御回路全体を起動し、適切な初期状態にセトリングします。PORの後に、LT8390は準備が完了し、CTRLピンおよびLOADENピンで信号を待機して、スイッチング動作を開始します。

動作

起動およびフォルト保護

図8に、LT8390の起動およびフォルトのシーケンスを示します。POR状態の間、SSピンはグラウンドに接続された100Ωの抵抗によって強くプルダウンされます。プリバイアスされた状態では、INIT状態に移行するために、SSピンを0.2V未満に引き下げる必要があります。INIT状態で、LT8390は、SSピンが完全にグラウンドに放電できるように10μs待機します。10μs後に、LOADON信号が“H”になると、LT8390はUP/PRE状態に移行します。LOADON信号が“H”になるのは、CTRLピンの電圧が上昇時ラッチオフしきい値(標準で0.325V)を超えて、LOADENが“H”になったときです。

UP/PRE状態のとき、スイッチング動作がディスエーブルされてLOADTGがオフになっている間、SSピンが12.5μAのプルアップ電流によって充電されます。SSピンが0.25Vを超えて充電されると、LT8390はUP/TRY状態に移行します。この状態では、スイッチング動作がまだディスエーブルされている間、LOADTGが最初にオンになります。過剰な電流が電流検出抵抗に流れてISP/ISN過電流(ISOC)信号をトリガすると、LT8390がリセットされてPOR状態に戻ります。ISOC信号をトリガしないで、UP/TRY状態で10μs経過した後に、LT8390はUP/RUN状態に移行します。

UP/RUN状態の間、スイッチング動作がイネーブルされ、出力電圧V_{OUT}の起動がSSピンの電圧によって制御されます。SSピンの電圧が1V未満になると、LT8390はFBピンの電圧を1Vのリファレンス電圧ではなく、SSピンの電圧に安定化します。このため、外付けコンデンサをSSピンからGNDに接続することにより、SSピンを使ってソフトスタートを設定することができます。12.5μAの内部プルアップ電流がこのコンデンサを充電して、SSピンに電圧ランプを生成します。SSピンの電圧が0.25Vから1V(さらにそれより上)に直線的に上昇するにつれて、出力電圧V_{OUT}が、その最終的なレギュレーション電圧に滑らかに上昇します。

SSピンが1.75Vを超えて充電されると、LT8390はOK/RUN状態に移行します。この状態では、出力短絡検出がアクティブになります。出力短絡とは、V_{FB}が0.25V未満になることです。出力短絡が発生すると、LT8390はFAULT/RUN状態に移行します。この状態では、1.25μAのプルダウン電流がSSピンをゆっくりと放電し、その他の条件はOK/RUN状態と同じです。SSピンが1.7V未満に放電されると、LT8390はDOWN/STOP状態に移行します。この状態では、スイッチング動作がディスエーブルされ、前のフォルトがラッチされて短絡検出が非アクティブになります。SSピンが0.2V未満に放電されてLOADON信号が“H”のままになると、LT8390はUP/RUN状態に戻ります。

出力短絡状態では、SSピンとV_{REF}ピンの間に抵抗を接続して、LT8390を、一時中断、ラッチオフ、または動作維持のいずれかのフォルト保護モードに設定することができます。この抵抗を使用しない場合、LT8390は0.2V～1.75Vの間で一時中断モードで動作し、フォルト状態が解消されるまで、UP/RUN状態、OK/RUN状態、FAULT/RUN状態、およびDOWN/STOP状態を循環します。499kΩの抵抗を使用すると、LT8390はEN/UVLOがトグルされるまでラッチオフします。100kΩの抵抗を使用すると、LT8390は、フォルトに関わらず動作を維持します。

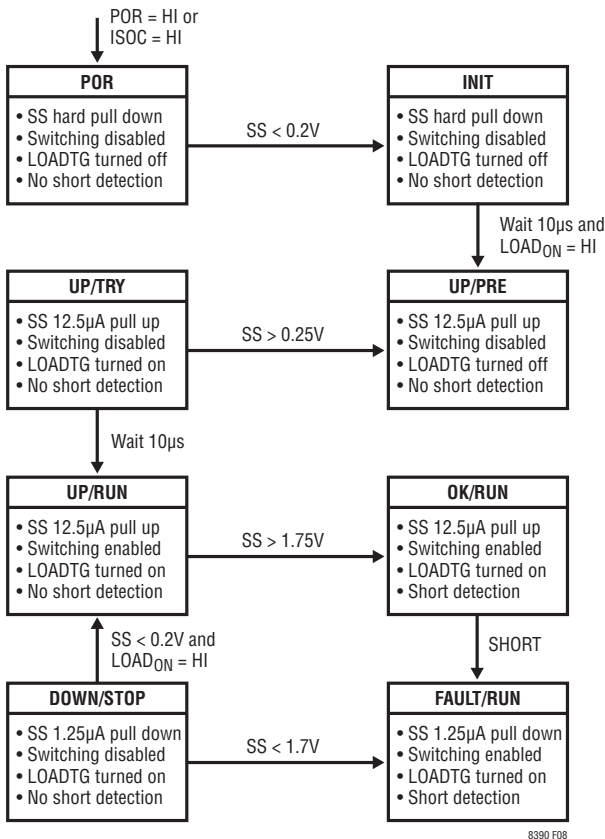


図8. 起動シーケンスとフォルト・シーケンス

アプリケーション情報

LT8390の標準的なアプリケーション回路を最初のページに示します。この「アプリケーション情報」セクションは、標準的なアプリケーションで外付け部品を選択する場合のガイドラインとして役立ちます。このセクション内の例および式は、特に規定されない限り、連続導通モードを前提としています。

スイッチング周波数の選択

LT8390は150kHz～650kHzの固定周波数制御方式を採用しています。スイッチング周波数の選択は効率と部品サイズ間のトレードオフになります。低周波数動作ではMOSFETのスイッチング損失が減ることで効率が高まりますが、大きいインダクタ値およびコンデンサ値が必要になります。大電力アプリケーションでは、スイッチング損失によるMOSFETの発熱を最小限に抑えるため、低周波数での動作を検討してください。低消費電力アプリケーションでは、ソリューション・サイズ全体を最小限に抑えるため、より高い周波数での動作を検討してください。

加えて、スイッチング周波数の選択に際しては、特定のアプリケーションも重要な役割を果たします。ノイズに敏感なシステムでは、通常は、スイッチング・ノイズが敏感な周波数帯の内側にこないようにスイッチング周波数を選択します。

スイッチング周波数の設定

LT8390のスイッチング周波数は内部発振器を使用して設定することができます。SYNC/SPRDピンをグランドに引き下げると、スイッチング周波数は、RTピンからグランドに接続した抵抗によって設定されます。よく使われるスイッチング周波数に対応する R_T 抵抗の値を表1に示します。

表1. スwitchング周波数と R_T の値(1%精度の抵抗)

fosc (kHz)	R_T (k)
150	309
200	226
300	140
400	100
500	75
600	59
650	51.1

スペクトラム拡散周波数変調

スイッチング・レギュレータは、電磁干渉(EMI)が懸念されるアプリケーションで特に手間がかかることがあります。EMI性能を改善するため、LT8390にはトライアングル・スペクトラム拡散周波数変調方式が実装されています。SYNC/SPRDピンをINTV_{CC}に接続すると、LT8390は、そのスイッチング周波数を、内部発振器周波数を中心にして±15%の範囲に拡散し始めます。図9および図10に、最初のページのアプリケーションでスペクトラム拡散がイネーブルされた場合とディスエーブルされた場合について、ノイズ・スペクトラムの比較を示します。

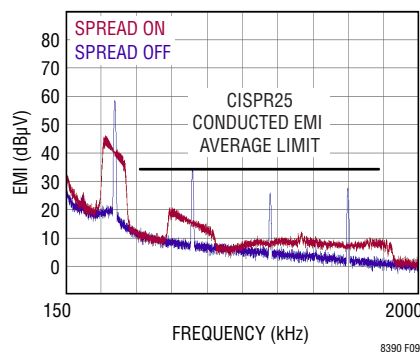


図9. 伝導EMIの平均値の比較

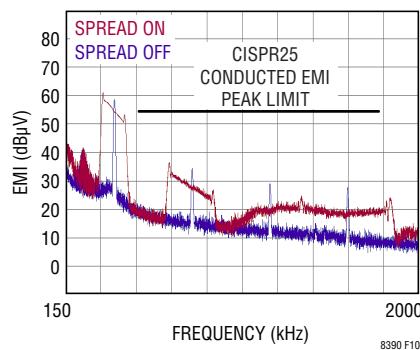


図10. 伝導EMIのピーク値の比較

アプリケーション情報

周波数同期

LT8390のスイッチング周波数は、SYNC/SPRDピンを使用して外部クロックに同期させることができます。SYNC/SPRDピンを50%のデューティ・サイクル波形でドライブするのは常に良い選択ですが、それ以外の場合はデューティ・サイクルを10%から90%の間に保ってください。内部でフェーズロック・ループ(PLL)を使用しているため、同期周波数と内部発振器周波数の間に制限はありません。同期クロックの立ち上がりエッジは、スイッチング・サイクルの開始、スイッチAおよびCのオン、またはスイッチAおよびDのオンを表します。

インダクタの選択

スイッチング周波数が高いほど小さい値のインダクタとコンデンサを使用できるという意味で、スイッチング周波数とインダクタの選択には相関関係があります。インダクタの値はリップル電流に直接影響を与えます。最大電流リップル $\Delta I_L\%$ は、降圧領域において $V_{IN(MAX)}$ で発生し、最小電流リップル $\Delta I_L\%$ は、昇圧領域において $V_{IN(MIN)}$ で発生します。顧客が設定した特定のリップル許容量に対して、最小インダクタンスを次のように計算できます。

$$L_{BUCK} > \frac{V_{OUT} \cdot (V_{IN(MAX)} - V_{OUT})}{f \cdot I_{OUT(MAX)} \cdot \Delta I_L \% \cdot V_{IN(MAX)}}$$

$$L_{BOOST} > \frac{V_{IN(MIN)}^2 \cdot (V_{OUT} - V_{IN(MIN)})}{f \cdot I_{OUT(MAX)} \cdot \Delta I_L \% \cdot V_{OUT}^2}$$

ここで、

$$\Delta I_L \% = \frac{\Delta I_L}{I_{L(AVG)}}$$

fはスイッチング周波数

$V_{IN(MIN)}$ は最小入力電圧

$V_{IN(MAX)}$ は最大入力電圧

V_{OUT} は出力電圧

$I_{OUT(MAX)}$ は最大出力電流

スロープ補償を行うと、特定のデューティ・サイクルでの低調波発振を防止することにより、固定周波数電流モード制御での安定性が得られます。デューティ・サイクルが50%より大きい場合の安定性に必要な最小インダクタンスは、次のように計算できます。

$$L > \frac{10 \cdot V_{OUT} \cdot R_{SENSE}}{f}$$

高効率を実現するには、フェライトなど、コア損失の小さなインダクタを選択します。また、 I^2R 損失を減らすため、インダクタはDC抵抗が低く、飽和せずにピーク・インダクタ電流を扱えるものにします。放射ノイズを抑えるには、シールドされたインダクタを使用します。

R_{SENSE} の選択と最大出力電流

R_{SENSE} は必要な出力電流に基づいて選択します。デューティ・サイクルに依存しない最大電流検出しきい値(ピーク降圧で50mV、ピーク昇圧で50mV)は、降圧領域、昇降圧領域、および昇圧領域での最大インダクタ・ピーク電流を設定します。

昇圧領域での最低の最大平均負荷電流は $V_{IN(MIN)}$ で発生し、次のように計算できます。

$$I_{OUT(MAX_BOOST)} = \left(\frac{50\text{mV}}{R_{SENSE}} - \frac{\Delta I_L(BOOST)}{2} \right) \cdot \frac{V_{IN(MIN)}}{V_{OUT}}$$

ここで、 $\Delta I_L(BOOST)$ は昇圧領域でのピーク・トゥ・ピーク・インダクタ・リップル電流であり、次のように計算できます。

$$\Delta I_L(BOOST) = \frac{V_{IN(MIN)} \cdot (V_{OUT} - V_{IN(MIN)})}{f \cdot L \cdot V_{OUT}}$$

降圧領域での最低の最大平均負荷電流は $V_{IN(MAX)}$ で発生し、次のように計算できます。

$$I_{OUT(MAX_BUCK)} = \left(\frac{50\text{mV}}{R_{SENSE}} - \frac{\Delta I_L(BUCK)}{2} \right)$$

ここで、 $\Delta I_L(BUCK)$ は降圧領域でのピーク・トゥ・ピーク・インダクタ・リップル電流であり、次のように計算できます。

$$\Delta I_L(BUCK) = \frac{V_{OUT} \cdot (V_{IN(MAX)} - V_{OUT})}{f \cdot L \cdot V_{IN(MAX)}}$$

アプリケーション情報

昇圧領域での最大電流検出 R_{SENSE} は、次のように計算できます。

$$R_{SENSE(BOOST)} = \frac{2 \cdot 50\text{mV} \cdot V_{IN(MIN)}}{2 \cdot I_{OUT(MAX)} \cdot V_{OUT} + \Delta I_L(BOOST) \cdot V_{IN(MIN)}}$$

降圧領域での最大電流検出 R_{SENSE} は、次のように計算できます。

$$R_{SENSE(BUCK)} = \frac{2 \cdot 50\text{mV}}{2 \cdot I_{OUT(MAX)} + \Delta I_L(BUCK)}$$

最終的な R_{SENSE} の値は、降圧領域と昇圧領域の両方で、算出された R_{SENSE} よりも小さくなる必要があります。通常は 20% ~ 30% のマージンを推奨します。低 ESL 電流検出抵抗を必ず選択します。

パワー MOSFET の選択

LT8390 には外付けの N チャネル・パワー MOSFET が 4 つ必要です。内訳は上側スイッチが 2 つ (図 1 に示すスイッチ A および D) と下側スイッチが 2 つ (図 1 に示すスイッチ B および C) です。パワー MOSFET の重要なパラメータは、ブレイクダウン電圧 $V_{BR(DSS)}$ 、しきい値電圧 $V_{GS(TH)}$ 、オン抵抗 $R_{DS(ON)}$ 、逆伝達容量 C_{RSS} 、および最大電流 $I_{DS(MAX)}$ です。

駆動電圧は 5V の $INTV_{CC}$ 電源によって設定されます。したがって、LT8390 のアプリケーションでは、ロジック・レベルのしきい値を持つ MOSFET を使用する必要があります。

パワー MOSFET を選択するには、デバイスによって消費される電力を知る必要があります。スイッチ A の場合、最大電力損失は (スイッチ A が常にオン状態に留まる) 昇圧領域で生じます。最大出力電流での最大電力損失は次式で与えられます。

$$P_{A(BOOST)} = \left(\frac{I_{OUT(MAX)} \cdot V_{OUT}}{V_{IN}} \right)^2 \cdot \rho_T \cdot R_{DS(ON)}$$

ρ_T は正規化係数 (25°C で 1) で、温度によるオン抵抗の大きな変化を表し、図 11 に示されているように標準で 0.4%/°C です。125°C の最大接合部温度の場合は、 $\rho_T = 1.5$ の値を使うのが妥当です。

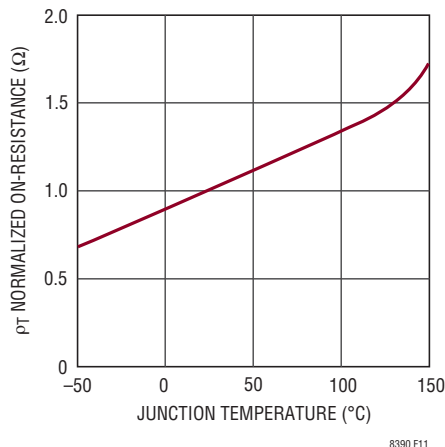


図 11. 正規化された $R_{DS(ON)}$ と温度

スイッチ B は、降圧領域において同期整流器として動作します。最大出力電流での電力損失は次式で与えられます。

$$P_{B(BUCK)} = \frac{V_{IN} - V_{OUT}}{V_{IN}} \cdot I_{OUT(MAX)}^2 \cdot \rho_T \cdot R_{DS(ON)}$$

スイッチ C は、昇圧領域において制御スイッチとして動作します。最大電流での電力損失は次式で与えられます。

$$P_{C(BOOST)} = \frac{(V_{OUT} - V_{IN}) \cdot V_{OUT}}{V_{IN}^2} \cdot I_{OUT(MAX)}^2 \cdot \rho_T \cdot R_{DS(ON)} + k \cdot V_{OUT}^3 \cdot \frac{I_{OUT(MAX)}}{V_{IN}} \cdot C_{RSS} \cdot f$$

ここで、 C_{RSS} は通常 MOSFET の製造メーカーにより規定されています。逆回復電流によって生じる損失を反映する定数 k は、ゲート・ドライブ電流に反比例し、その経験値は 1.7 です。

スイッチ D の場合、最大電力損失は昇圧領域で生じ、そのときのデューティ・サイクルは 50% を超えます。最大出力電流での最大電力損失は次式で与えられます。

$$P_{D(BOOST)} = \frac{V_{OUT}}{V_{IN}} \cdot I_{OUT(MAX)}^2 \cdot \rho_T \cdot R_{DS(ON)}$$

同じ出力電圧と出力電流では、出力に短絡が生じない限り、スイッチ A の電力損失が最大になり、スイッチ B の電力損失が最小になります。

アプリケーション情報

パワー MOSFET で消費される既知の電力から、次式を使って接合部温度を求めることができます。

$$T_J = T_A + P \cdot R_{TH(JA)}$$

接合部-周囲雰囲気間の熱抵抗 $R_{TH(JA)}$ には、接合部-ケース間の熱抵抗 $R_{TH(JC)}$ およびケース-周囲雰囲気間の熱抵抗 $R_{TH(CA)}$ が含まれています。次に、 T_J のこの値を、反復計算に使用された元の仮定値と比べることができます。

オプションのショットキ・ダイオード (D_B 、 D_D) の選択

オプションのショットキ・ダイオード D_B (スイッチ B と並列) および D_D (スイッチ D と並列) は、パワー MOSFET スwitch の導通間のデッドタイム中に導通します。これらは、デッドタイム中に同期スイッチ B と D のボディ・ダイオードがオンして電荷を蓄積するのを防ぐためのものです。具体的には、 D_B が、スイッチ B のオフとスイッチ A のオンの間の逆回復電流を大幅に低減し、 D_D が、スイッチ D のオフとスイッチ C のオンの間の逆回復電流を大幅に低減します。これらによって、コンバータの効率を向上し、スイッチ電圧ストレスを低減します。このダイオードが効果を発揮するには、このダイオードと同期スイッチの間のインダクタンスをできるだけ小さくする必要がありますので、これらの部品は必ず隣接させて配置します。

C_{IN} と C_{OUT} の選択

入力容量と出力容量は、レギュレータとの間を出入りする不連続な電流によって生じる電圧リップルを抑えるために必要です。通常はコンデンサを並列に組み合わせて使用することで大容量と低等価直列抵抗 (ESR) を実現します。乾式タンタル、特殊ポリマー、アルミ電解およびセラミックの各コンデンサは、全て表面実装パッケージで入手できます。OS-CON や POSCAP など、低 ESR で高リップル電流定格のコンデンサも入手できます。

セラミック・コンデンサをレギュレータの入力と出力の近くに配置して、高周波のスイッチング・スパイクを抑えてください。1 μ F 以上のセラミック・コンデンサも LT8390 のピンにできるだけ近づけて V_{IN} と GND の間および V_{OUT} と GND の間に配置してください。セラミック・コンデンサは優れた低 ESR 特性を備えているので、入力リップル電圧を大幅に低減することが可能であり、ESR の高いバルク・コンデンサでの電力損失を抑えるのに役立ちます。X5R や X7R の誘電体材料は広い電圧範囲と温度範囲にわたって容量を保持するので推奨されます。多くのセラミック・コンデンサ (特にケース・サイズが 0805 または 0603 のもの) は、目的の動作電圧での容量が大きく減少します。

入力容量 C_{IN} : スイッチ A のオンとオフが切り替わるのが原因で、降圧領域では不連続な入力電流が最も大きくなります。 C_{IN} コンデンサ回路網の ESR が十分に低く、最大 RMS 電流を扱うのに十分な大きさであることを確認してください。降圧領域では、入力 RMS 電流は次式で与えられます。

$$I_{RMS} \approx I_{OUT(MAX)} \cdot \frac{V_{OUT}}{V_{IN}} \cdot \sqrt{\frac{V_{IN}}{V_{OUT}} - 1}$$

この式は $V_{IN} = 2V_{OUT}$ のときに最大になります。ここで、 $I_{RMS} = I_{OUT(MAX)}/2$ です。設計では多くの場合、この単純なワーストケース条件が使用されます。条件を大きく振っても値は改善されないからです。

出力容量 C_{OUT} : 昇圧領域では、不連続電流が入力から出力にシフトします。 C_{OUT} コンデンサ回路網が出力電圧リップルを低減できることを確認してください。与えられた出力リップル電圧に対する適切なコンデンサを選択するには、ESR とバルク容量の影響について検討する必要があります。バルク容量の充放電による定常状態の最大リップルは次式で与えられます。

$$\Delta V_{CAP(BOOST)} = \frac{I_{OUT(MAX)} \cdot (V_{OUT} - V_{IN(MIN)})}{C_{OUT} \cdot V_{OUT} \cdot f}$$

$$\Delta V_{CAP(BUCK)} = \frac{V_{OUT} \cdot \left(1 - \frac{V_{OUT}}{V_{IN(MAX)}}\right)}{8 \cdot L \cdot f^2 \cdot C_{OUT}}$$

ESR 両端の電圧降下による最大定常リップルは次式で与えられます。

$$\Delta V_{ESR(BOOST)} = \frac{V_{OUT} \cdot I_{OUT(MAX)} \cdot ESR}{V_{IN(MIN)}}$$

$$\Delta V_{ESR(BUCK)} = \frac{V_{OUT} \cdot \left(1 - \frac{V_{OUT}}{V_{IN(MAX)}}\right) \cdot ESR}{L \cdot f}$$

アプリケーション情報

INTV_{CC}レギュレータ

内部Pチャンネル低損失レギュレータは、V_{IN}電源ピンからINTV_{CC}ピンに5Vを発生します。INTV_{CC}は、LT8390の内部回路およびゲート・ドライバに電力を供給します。INTV_{CC}レギュレータは110mAのピーク電流を供給可能であり、4.7μF以上のセラミック・コンデンサでグラウンドにバイパスする必要があります。MOSFETゲート・ドライバが必要とする大きなトランジェント電流を供給するには、デバイスの近くで適切にバイパスする必要があります。

大きなMOSFETが高いスイッチング周波数でドライブされる高入力電圧アプリケーションでは、LT8390の最大接合部温度定格を超えるおそれがあります。システムの電源電流は、通常、ゲート充電電流によって支配されます。電力損失を計算する際には、INTV_{CC}の追加的な外付け負荷も考慮に入れる必要があります。この場合のLT8390の合計電力損失はV_{IN}・I_{INTVCC}で、全体的な効率低下します。接合部温度は次の式を使って推算することができます。

$$T_J = T_A + P_D \cdot \theta_{JA}$$

ここで、θ_{JA}(°C/W)はパッケージの熱抵抗です。

最大接合部温度を超えないようにするには、連続モード動作時の入力電源電流を最大V_{IN}で検査する必要があります。

上側ゲート MOSFET ドライバ電源 (C_{BST1}、C_{BST2})

上側MOSFETドライバ(TG1およびTG2)は、それぞれのSWピンの電圧とBSTピンの電圧の間で駆動されます。昇圧電圧はフロート状態のブートストラップ・コンデンサC_{BST1}およびC_{BST2}によってバイアスされますが、これらは通常、それぞれの上側MOSFETがオフすると、内部ブートストラップ・ダイオードD1およびD2を介して再充電されます。両方のコンデンサは、INTV_{CC}電圧と同じ電圧に充電されます。ブートストラップ・コンデンサC_{BST1}およびC_{BST2}は、上側スイッチAおよびDが必要とするゲート電荷の約100倍の電荷を蓄積する必要があります。ほとんどのアプリケーションでは、0.1μF～0.47μFのX5RまたはX7R誘電体コンデンサが適切です。

V_{IN} UVLOの設定

V_{IN}ピンからEN/UVLOピンに抵抗分割器を接続することによって、V_{IN}の低電圧ロックアウト(UVLO)が実現されます。EN/UVLOのイネーブル立ち下がりしきい値は1.214Vに設定されており、13mVのヒステリシスがあります。また、EN/UVLOピンの電圧が1.214Vより低いと、このピンに2.5μAのシンク電流が流れます。この電流は、R1の値に基づいてユーザーが設定可能なヒステリシスを与えます。設定可能なUVLOしきい値は次のようになります。

$$V_{IN(UVLO+)} = 1.233V \cdot \frac{R1+R2}{R2} + 2.5\mu A \cdot R1$$

$$V_{IN(UVLO-)} = 1.220V \cdot \frac{R1+R2}{R2}$$

図12では、UVLO機能を使って外部シャットダウン制御を行う回路も示しています。NMOSをオンするとEN/UVLOピンが接地され、LT8390は静止電流が2μA未満のシャットダウン状態になります。

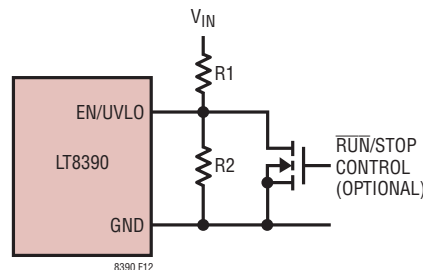


図12. V_{IN}の低電圧ロックアウト(UVLO)

入力または出力電流制限の設定

入力電流制限または出力電流制限は、適切な値の電流検出抵抗(R_{IS})を入力電力経路または出力電力経路に配置することによって設定できます。R_{IS}による電圧降下は、ISPピンとISNピンによって(ケルビン)検出します。センス抵抗両端で100mV(標準)のフルスケールしきい値を得るには、CTRLピンを1.35Vより高い電圧に接続します。CTRLピンは電流しきい値を0に減らすために使用できますが、検出しきい値が減少するにつれて相対精度は低下します。CTRLピンの電圧が0.3V～1.15Vの間にある場合、電流制限は次のようになります。

$$I_{S(MAX)} = \frac{V_{CTRL} - 0.25V}{10 \cdot R_{IS}}$$

アプリケーション情報

V_{CTRL} の電圧が1.15V～1.35Vの間にある場合、電流制限は V_{CTRL} とともに変化しますが、上の式から離れて、 V_{CTRL} の増加とともにその値を増していきます。最終的に V_{CTRL} が1.35Vよりも大きくなると、電流制限は変化しなくなります。標準的な $V_{(ISP-ISN)}$ しきい値と V_{CTRL} の関係を表2に示します。

表2. $V_{(ISP-ISN)}$ のしきい値と V_{CTRL}

V_{CTRL} (V)	$V_{(ISP-ISN)}$ (mV)
1.15	90
1.20	94.5
1.25	98
1.30	99.5
1.35	100

V_{CTRL} が1.35Vより高い場合、電流しきい値は次式の値に安定化されます。

$$I_{IS(MAX)} = \frac{100mV}{R_{IS}}$$

CTRLピンは開放のままにしないでください(使用しない場合は V_{REF} に接続してください)。CTRLピンはサーミスタと組み合わせることで出力負荷の過熱保護を実現したり、 V_{IN} との間に抵抗分圧器を接続して、 V_{IN} の電圧が低いときに出力電力およびスイッチング電流を減らすことができます。

ISPピンとISNピンの間に、スイッチング周波数で時間とともに変化する差動電圧リップル信号が生じることが予想されます。電流検出抵抗 R_{IS} が電源入力と入力バルク・コンデンサの間(図13a)、または出力バルク・コンデンサとシステム出力の間(図14a)に配置された場合、フィルタは通常必要ありません。 R_{IS} が入力バルク・コンデンサと入力デカップリング・コンデンサの間(図13b)、または出力デカップリング・コンデンサと出力バルク・コンデンサの間(図14b)に配置された場合、 R_F および C_F によって形成されるローパス・フィルタを使用して、電流リップルを低減し、電流ループを安定化することが推奨されます。ISPピンおよびISNピンのバイアス電流が一致しているため、 R_F によってオフセットは導入されません。入力電流制限も出力電流制限も使用しない場合は、ISPピンおよびISNピンを V_{IN} 、 V_{OUT} 、またはグラウンドに短絡する必要があります。

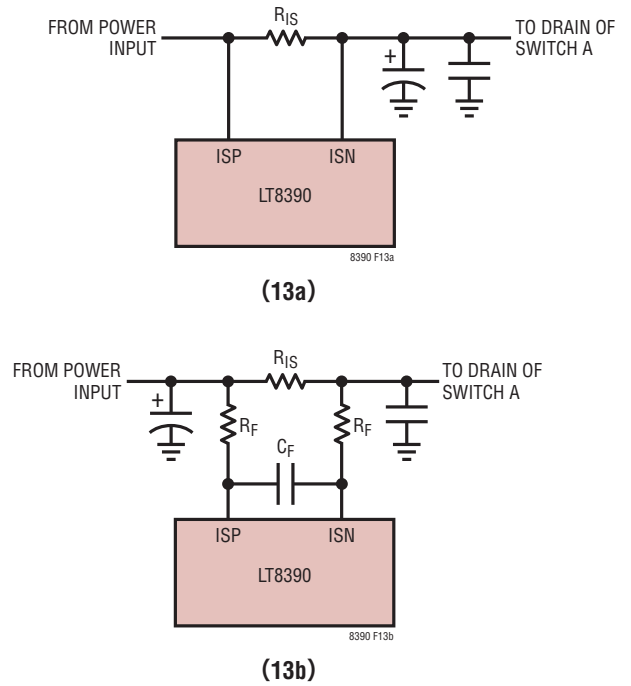


図13. 入力電流制限の設定

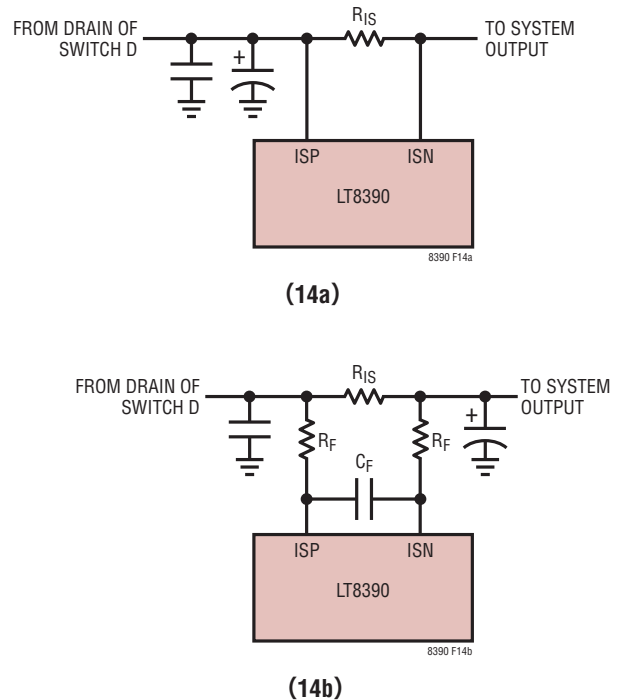


図14. 出力電流制限の設定

アプリケーション情報

ISMON 電流モニタ

ISMONピンは、ISP/ISN電流検出抵抗(R_{IS})を流れる電流のバッファ付きモニタ出力を提供します。 V_{ISMON} 電圧は、 $V_{(ISP-ISN)} \cdot 10 + 0.25V$ として計算されます。ISMONピンにはCTRLピンと同じ0.25Vのオフセットがあるため、並列アプリケーションでは、マスタLT8390のISMONピンをスレーブLT8390のCTRLピンに直接接続して、等しい電流分担を実現できます。

負荷スイッチの制御

LOADENピンおよびLOADTGピンは、高電位側PMOS負荷スイッチ制御を提供します。LOADENピンは、ロジック・レベルのオン/オフ信号を受け取ってから、LOADTGピンを駆動して、高電位側PMOS負荷スイッチをオンまたはオフにします。それによって、LT8390の電力出力を、システムの出力に接続したり、切り離したりします。LOADENピンを強制的に“L”にすると、LT8390はTG1およびTG2をオフにし、BG1およびBG2をオンにして、 V_C ピンを全ての内部負荷から切り離し、LOADTGをオフにします。LOADENピンは開放のままにしないでください(使用しない場合はINTV_{CC}またはV_{REF}に接続してください)。

高電位側PMOS負荷スイッチの選択

負荷スイッチ制御を必要とする一部のLT8390アプリケーションでは、高電位側PMOS負荷スイッチが推奨されます。通常、高電位側PMOS負荷スイッチは、ドレイン-ソース電圧 V_{DS} 、ゲート-ソースしきい値電圧 $V_{GS(TH)}$ 、連続ドレイン電流 I_D に対して選択されます。適切な動作を実現するには、 V_{DS} の定格が、FBピンによって設定される出力レギュレーション電圧を超える必要があり、 $V_{GS(TH)}$ の絶対値が3V未満になる必要があり、 I_D の定格が $I_{OUT(MAX)}$ を超える必要があります。

出力電圧およびしきい値の設定

LT8390には、定電圧出力をプログラムするために使用できる電圧帰還ピンFBがあります。出力電圧は、次式に従ってR3とR4の値を選択すれば設定できます(図15)。

$$V_{OUT} = 1V \cdot \frac{R3+R4}{R4}$$

加えて、FBピンは、出力過電圧しきい値、PGOODの上側および下側しきい値、出力短絡しきい値も設定します。小さい出力コンデンサを備えるアプリケーションの場合、負荷トランジェントの発生時に、出力電圧が大きくオーバーシュートするこ

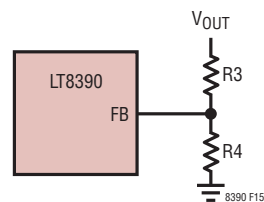


図15. 帰還抵抗の接続

とがあります。FBピンが1.1Vの過電圧しきい値に達すると、LT8390はTG1、BG1、TG2、およびBG2をオフにすることによってスイッチング動作を停止し、LOADTGもオフにして、保護するために出力負荷を切り離します。出力過電圧しきい値は、次のように設定できます。

$$V_{OUT(OVP)} = 1.1V \cdot \frac{R3+R4}{R4}$$

出力短絡の検出および保護を提供するために、出力短絡しきい値を次のように設定できます。

$$V_{OUT(SHORT)} = 0.25V \cdot \frac{R3+R4}{R4}$$

パワーグッド(PGOOD)ピン

LT8390は、オープンドレイン状態ピン(PGOOD)を備えています。このピンは、 V_{FB} が1.00Vのレギュレーション電圧の $\pm 10\%$ の範囲内にある場合、“L”に引き下げられます。PGOODピンは、外付け抵抗によって、INTV_{CC}または最大6Vの外部電源にプルアップさせることができます。

ソフトスタートおよび短絡保護

図8に示され、「動作」セクションで説明されているように、SSピンを使用し、外付けコンデンサをSSピンからグラウンドに接続することによって、出力電圧のソフトスタートを設定できます。12.5 μA の内部プルアップ電流がこのコンデンサを充電して、SSピンに電圧ランプを生成します。SSピンの電圧が0.25Vから1V(さらにそれより上)に直線的に上昇するにつれて、出力電圧がその最終的なレギュレーション電圧に滑らかに上昇します。ソフトスタート時間は次のように計算できます。

$$t_{SS} = 1V \cdot \frac{C_{SS}}{12.5\mu A}$$

アプリケーション情報

十分制御された出力電圧のソフトスタートを実現するために、 C_{SS} を、必ず V_C ピンの補償コンデンサの5～10倍以上にしてください。セラミック・コンデンサの値として、0.1 μ Fから始めるのが適切です。

SSピンはフォルト・タイマとしても使われます。出力短絡フォルトが検出されると、1.25 μ Aのプルダウン電流源がアクティブになります。SSピンと V_{REF} ピンの間に1つの抵抗を接続して、LT8390を3種類のフォルト保護モード(一時中断(抵抗なし)、ラッチオフ(499k Ω)、および動作維持(100k Ω))に設定できます。

動作維持モードで100k Ω 抵抗を使用すると、LT8390は正常にスイッチング動作を継続し、電流をグラウンドに安定化します。ラッチオフ・モードで499k Ω 抵抗を使用すると、LT8390は、EN/UVLOピンが“L”になってから“H”になり、再起動するまで、スイッチング動作を停止します。一時中断モードで抵抗を使用しない場合、LT8390は低デューティ・サイクルの自動リトライ動作に移行します。1.25 μ Aプルダウン電流がSSピンを0.2Vに放電し、その後12.5 μ Aのプルアップ電流がSSピンを充電します。SSが1.75Vに達したときに出力短絡状態が解消されていない場合、1.25 μ Aのプルダウン電流が再びオンして新しい一時中断サイクルを開始します。これは、フォルト状態が解消されるまで続きます。出力短絡状態が解消されると、ソフトスタートによって出力が短絡から滑らかに回復します。

ループ補償

LT8390は内蔵のトランスコンダクタンス・エラーアンプを使用し、その出力(V_C)によって制御ループが補償されます。外部インダクタ、出力コンデンサ、および補償抵抗とコンデンサにより、ループの安定性が決まります。

インダクタと出力コンデンサは、性能、サイズおよびコストに基づいて選択します。 V_C ピンの補償抵抗とコンデンサは、制御ループの応答性と安定性を最適化するように設定されます。標準的な電圧レギュレータ・アプリケーションでは、 V_C ピンに10nFの補償コンデンサを使用すれば十分で、 V_C ピンのスループートを大きくして、コンバータの入力電源の高速トランジェント時に出力電圧レギュレーションをより正確に行うために、常に直列抵抗を使用します。

効率に関する検討事項

スイッチング・レギュレータの電力効率は、出力電力を入力電力で割って100%を掛けた値に等しくなります。個々の損失を解析して、効率を制限する要素がどれであり、また何が変われば効率が最も改善されるかを判断できる場合がよくあります。回路内の全ての電力消費要素で損失が生じますが、LT8390の回路の損失の大部分は4つの主な損失要因によって生じます。

1. DCの I^2R 損失。これは、MOSFET、センス抵抗、インダクタおよびPC基板のトレースの各抵抗成分から生じ、大きな出力電流で効率を低下させます。
2. 遷移損失。この損失は、スイッチ・ノードが遷移するとき、スイッチAまたはスイッチCが短時間飽和領域に留まることから生じます。これは、入力電圧、負荷電流、ドライブ強度、MOSFET容量などの要因に依存します。
3. INT V_{CC} 電流。これはMOSFETドライブ電流と制御電流の和です。
4. C_{IN} と C_{OUT} の損失。入力コンデンサは、降圧領域でレギュレータに流れる大きなRMS入力電流をフィルタリングするという困難な役目を担っています。出力コンデンサも、昇圧領域で大きなRMS出力電流をフィルタリングするという困難な役目を担っています。 C_{IN} と C_{OUT} は両方とも、ACの I^2R 損失を最小にするためにESRを小さくして、RMS電流が上流でヒューズやバッテリー内の追加損失を生じないように十分な容量にすることが必要です。
5. 他の損失。ショットキ・ダイオード D_B と D_D により、デッドタイムと軽負荷導通期間に導通損失が生じます。インダクタのコア損失は主に軽負荷で生じます。降圧領域ではスイッチAによって逆回復電流損失が発生し、昇圧領域ではスイッチCによって逆回復電流損失が発生します。

効率を改善するための調整を行う場合、入力電流は効率の変化を示す最良の指標です。変更を加えて入力電流が減少すれば、効率は向上しています。入力電流に変化がなければ効率にも変化はありません。

アプリケーション情報

PC基板レイアウトのチェックリスト

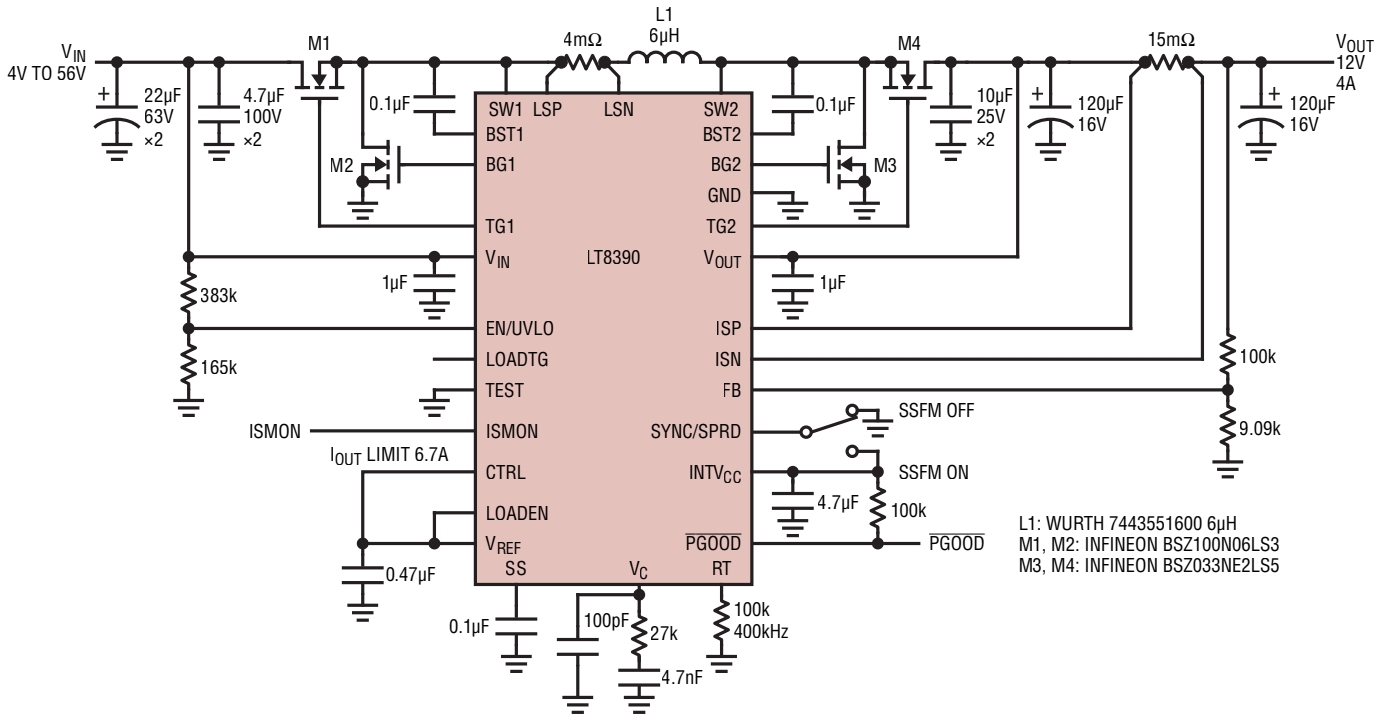
基本的なPC基板のレイアウトには専用のグランド・プレーン層が必要です。また、大電流では、多層基板がパワー部品を放熱する役割を果たします。

- グランド・プレーン層にはトレースがあってはならず、パワーMOSFETの置かれている層にできるだけ近くします。
- C_{IN} 、スイッチA、スイッチB、および D_B を一箇所に密集させて配置します。 C_{OUT} 、スイッチC、スイッチD、および D_D を一箇所に密集させて配置します。レイアウトの一例を図15に示します。
- すぐ近くでビアを使用して、各部品をグランド・プレーンに接続します。各パワー部品には大きなビアを複数使います。
- 十分な電圧フィルタリングを維持し、電力損失を低く抑えるため、 V_{IN} と V_{OUT} にはプレーンを使用します。
- 全ての層の全ての未使用領域を銅で覆います。銅箔で覆うことにより、電源部品の温度上昇を抑えることができます。これらの銅領域は D_C ネットのどれか(V_{IN} またはGND)に接続します。
- 信号グランドと電源グランドを分離します。全ての小信号部品は底面から露出GNDパッドに戻します。その後、スイッチBとスイッチCのソースに近づけてパワーGNDに接続します。
- スイッチAとスイッチCはできるだけコントローラに近づけて配置し、PGND、BG、およびSWのトレースを短くします。
- dV/dT の高いSW1、SW2、BST1、BST2、TG1、およびTG2の各ノードは敏感な小信号ノードから離します。
- スイッチA、スイッチB、 D_B 、および C_{IN} コンデンサで形成される経路はリードとPCBトレースを短くします。スイッチC、スイッチD、 D_D 、および C_{OUT} コンデンサで形成される経路も、リードとPCBトレースを短くします。
- 出力コンデンサの(-)端子は入力コンデンサの(-)端子にできるだけ近づけて接続します。
- 上側ドライバの昇圧コンデンサ C_{BST1} は、BST1ピンとSW1ピンに近づけて接続します。上側ドライバの昇圧コンデンサ C_{BST2} は、BST2ピンとSW2ピンに近づけて接続します。
- 入力コンデンサ C_{IN} と出力コンデンサ C_{OUT} はパワーMOSFETに近づけて接続します。これらのコンデンサはMOSFETのAC電流を供給します。
- LSPとLSNのトレースは最小PCBトレース間隔で一緒に配線します。検出ラインが、スイッチ・ノードなどのノイズの大きい領域を通過しないようにしてください。LSPとLSNの間のフィルタ・コンデンサは、できるだけデバイスに近づけて配置します。 R_{SENSE} 抵抗にはケルビン接続を使って精密な電流検出を確実にを行います。
- V_C ピンの補償ネットワークはデバイスに近づけて、 V_C ピンと信号グランド・ピンの間に接続します。コンデンサはPCBノイズと出力電圧リップルの影響を補償ループから除去するのに役立ちます。
- $INTV_{CC}$ のバイパス・コンデンサ(C_{INTVCC})はデバイスの近くで $INTV_{CC}$ ピンと電源グランド・ピンの間に接続します。このコンデンサはMOSFETドライバのピーク電流を供給します。1 μ Fセラミック・コンデンサを1個、 $INTV_{CC}$ ピンと電源グランドのすぐ隣に追加すると、ノイズ性能を大幅に改善できます。

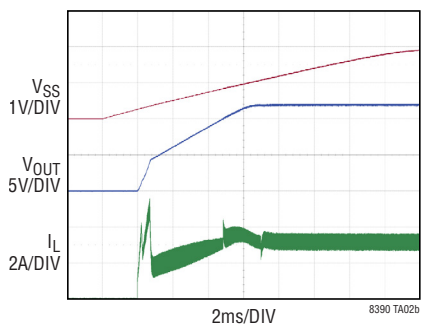
LT8390

標準的応用例

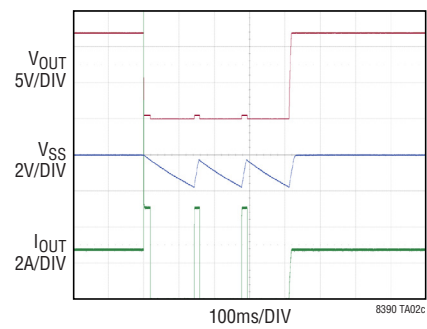
効率98%の48W (12V 4A)小型昇降圧電圧レギュレータ



ソフトスタート ($V_{IN} = 12V$, $I_{OUT} = 3A$)

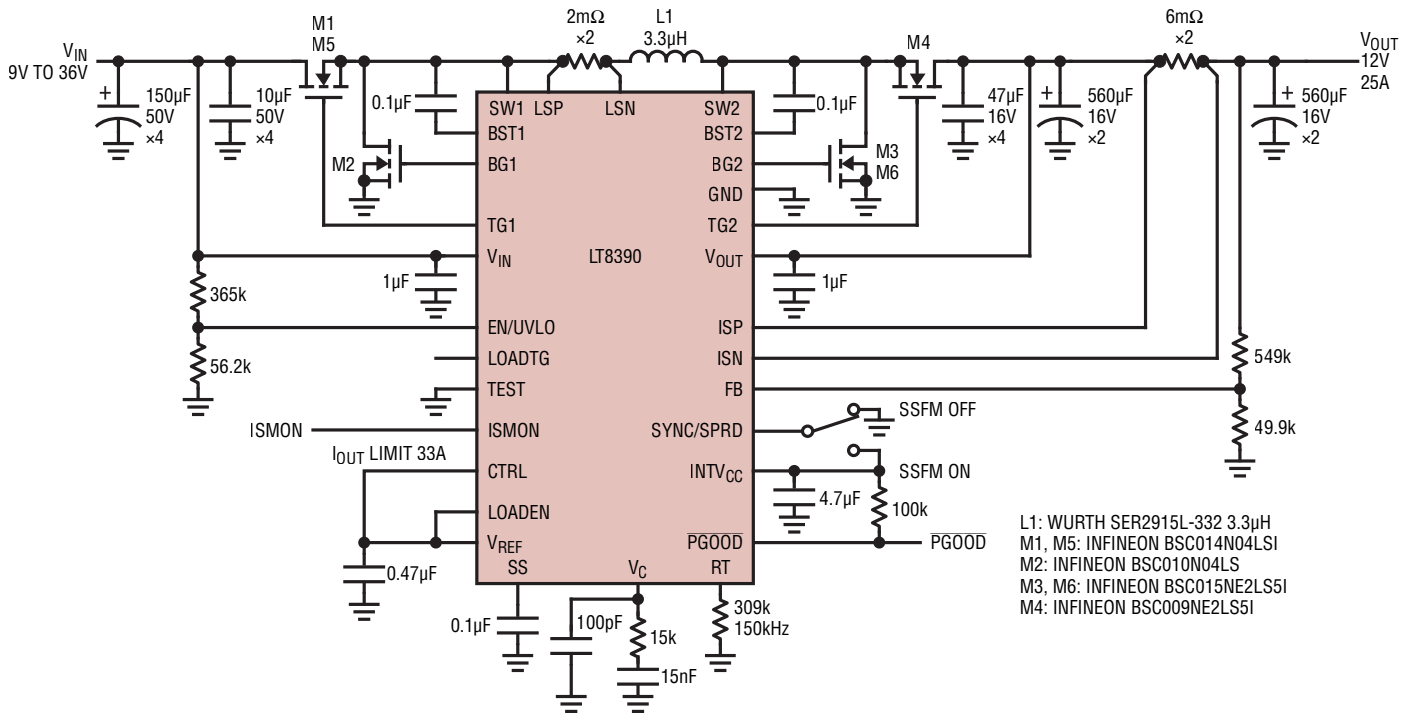


出力短絡保護 ($V_{IN} = 12V$, $I_{OUT} = 3A$)



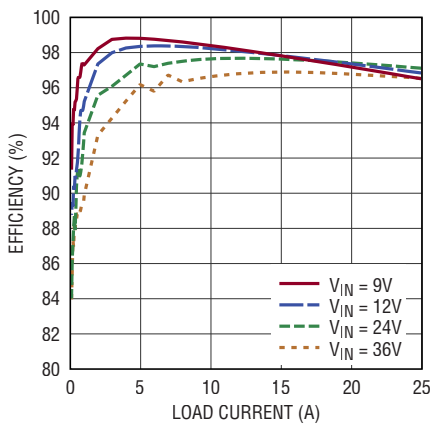
標準的応用例

効率98%の300W(12V 25A)昇降圧電圧レギュレータ

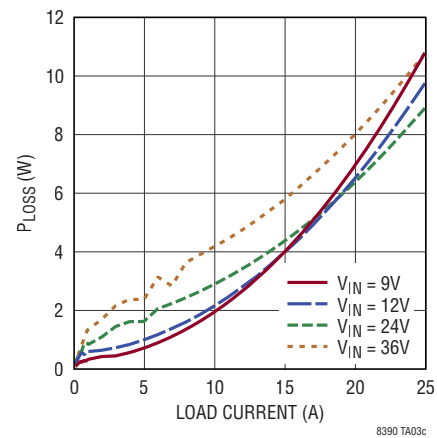


8390 TA03a

効率と負荷電流



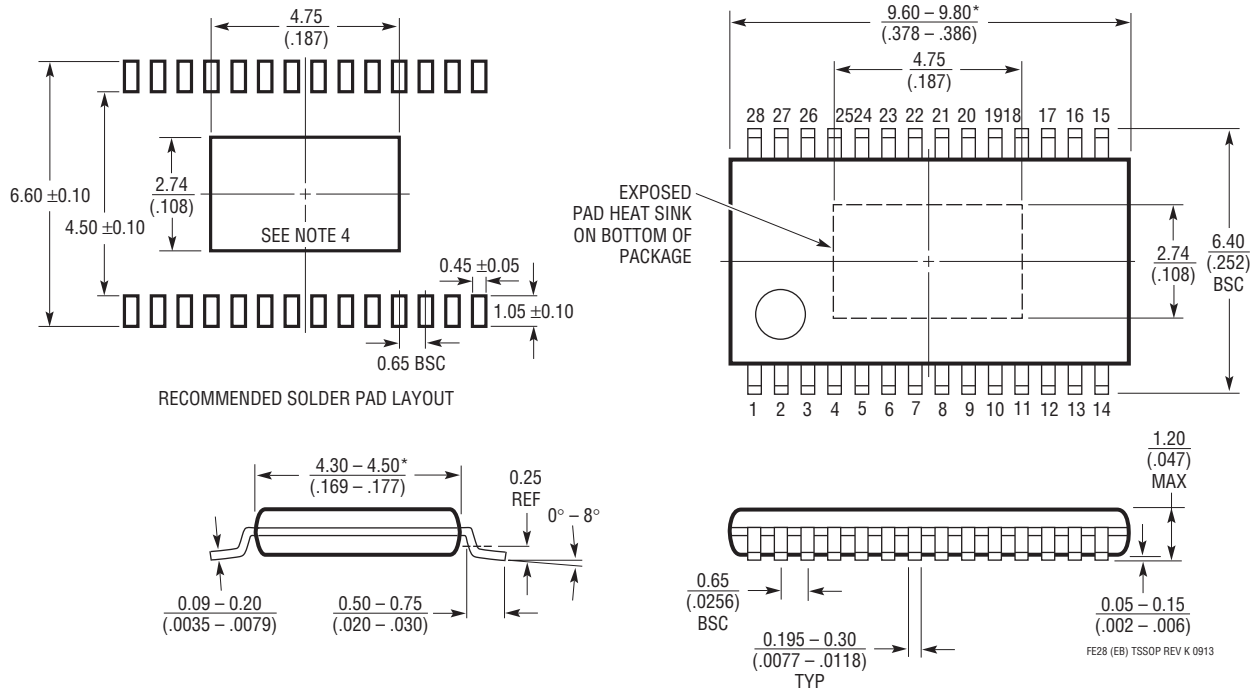
電力損失と負荷電流



パッケージの寸法

最新のパッケージ図面については、<http://www.linear-tech.co.jp/product/LT8390#packaging> を参照してください。

FE Package
28-Lead Plastic TSSOP (4.4mm)
 (Reference LTC DWG # 05-08-1663 Rev K)
Exposed Pad Variation EB



- 注記:
1. 標準寸法: ミリメートル
 2. 寸法は $\frac{\text{ミリメートル}}{\text{(インチ)}}$
 3. 図は実寸とは異なる

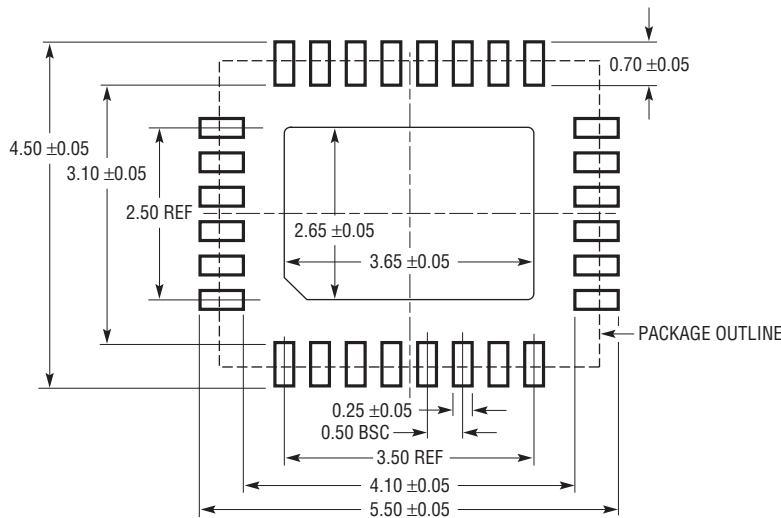
4. 露出パッド接着のための推奨最小 PCB メタルサイズ
 * 寸法にはモールドのバリを含まない
 モールドのバリは各サイドで 0.150mm (0.006^*) を超えないこと

FE28 (EB) TSSOP REV K 0913

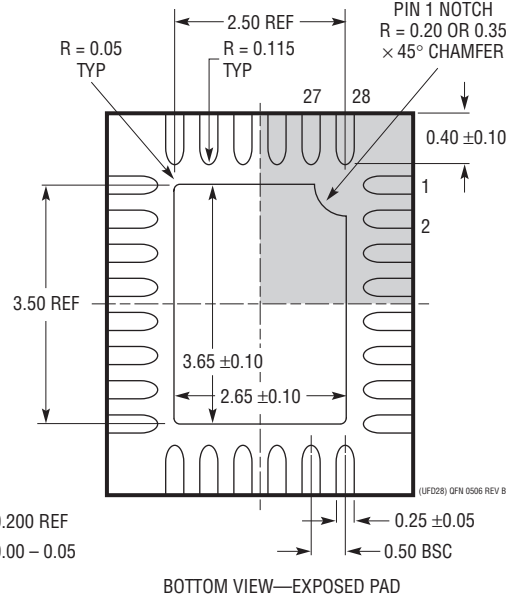
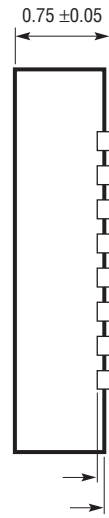
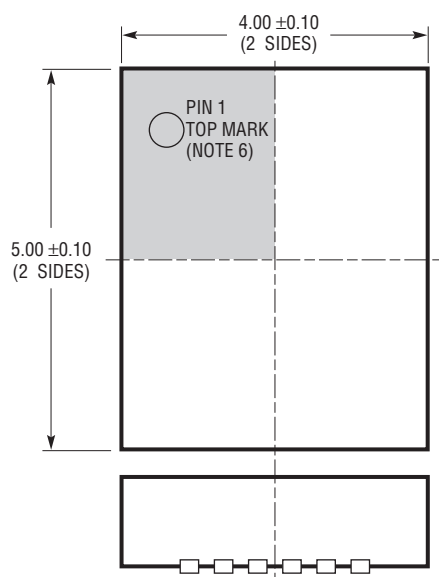
パッケージの寸法

最新のパッケージ図面については、<http://www.linear-tech.co.jp/product/LT8390#packaging> を参照してください。

UFD Package
28-Lead Plastic QFN (4mm × 5mm)
 (Reference LTC DWG # 05-08-1712 Rev B)



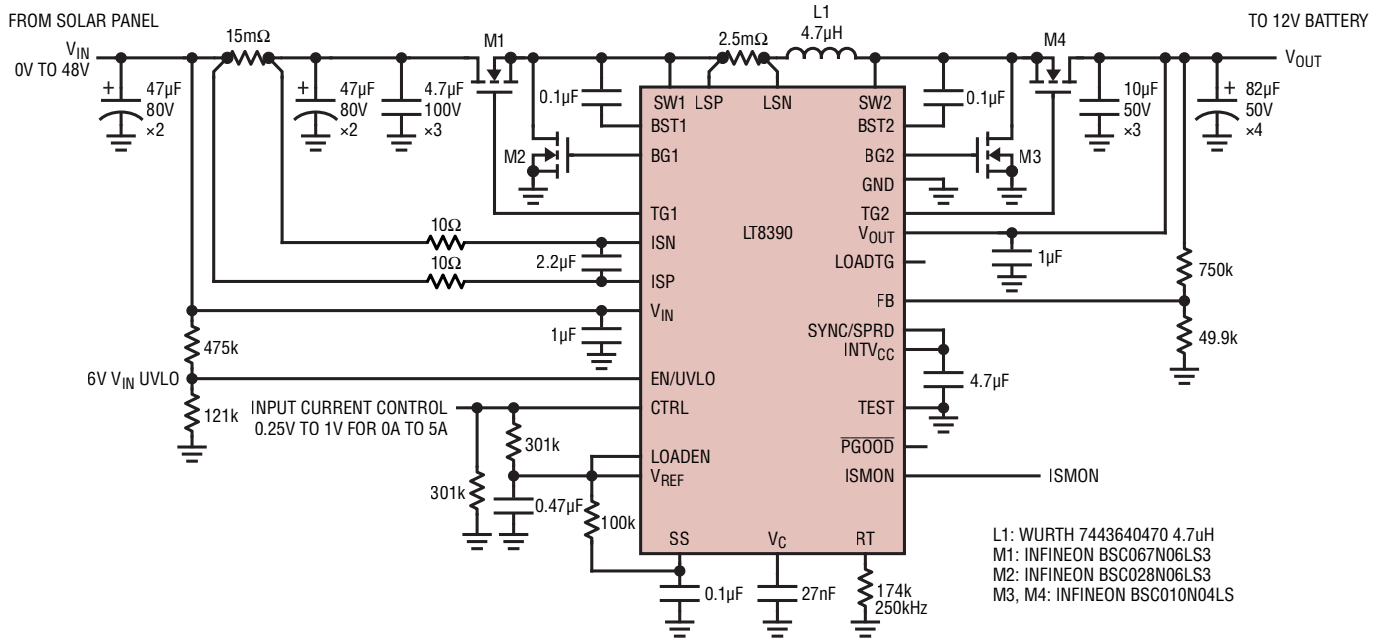
RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



- 注記:
1. 図は JEDEC パッケージ外形 MO-220 のバリエーション (WXXX-X) にするよう提案されている
 2. 図は実寸とは異なる
 3. 全ての寸法はミリメートル
 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは(もしあれば)各サイドで 0.15mm を超えないこと
 5. 露出パッドは半田メッキとする
 6. 灰色の部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

標準的応用例

125W (25V 5A) 太陽電池パネルから12Vを出力するバッテリー・チャージャ



8390 TA0-

関連製品

製品番号	DESCRIPTION	注釈
LT8391	スペクトラム拡散機能を備える60V同期整流式4スイッチ昇降圧LEDコントローラ	V_{IN} : 4V ~ 60V, V_{OUT} : 0V ~ 60V, $\pm 3\%$ の電流精度、内部および外部PWM調光、TSSOP-28および4mm×5mm QFN-28パッケージ
LT3790	60V同期整流式4スイッチ昇降圧コントローラ	V_{IN} : 4.7V ~ 60V, V_{OUT} : 1.2V ~ 60V, V_{OUT} , I_{OUT} , I_{IN} を安定化、TSSOP-38パッケージ
LT8705	入力電圧と出力電圧が80Vの同期式4スイッチ昇降圧DC/DCコントローラ	V_{IN} : 2.8V ~ 80V, V_{OUT} : 1.3V ~ 80V, V_{OUT} , I_{OUT} , V_{IN} , I_{IN} を安定化、5mm×7mmのQFN-38パッケージ、高電圧用に変更されたTSSOP-38パッケージ
LTC®3789	高効率、同期整流式4スイッチ昇降圧コントローラ	V_{IN} : 4V ~ 38V, 出力電圧: 0.8V ~ 38V, V_{OUT} , I_{OUT} , または I_{IN} を安定化、5mm×5mmのQFN-32およびSSOP-24パッケージ
LTC3780	高効率、同期整流式4スイッチ昇降圧コントローラ	V_{IN} : 4V ~ 36V, V_{OUT} : 0.8V ~ 30V, V_{OUT} を安定化、4mm×5mmのQFN-28およびSSOP-28パッケージ
LT3741/LT3741-1	高電力、定電流、定電圧、降圧コントローラ	V_{IN} : 6V ~ 36V, 4mm×4mmのQFN-20およびTSSOP-20パッケージ
LT3763	60V大電流降圧LEDドライバ・コントローラ	V_{IN} : 6V ~ 60V, 4mm×4mmのQFN-20およびTSSOP-20パッケージ
LT3757/LT3757A	昇圧、フライバック、SEPICおよび反転コントローラ	V_{IN} : 2.9V ~ 40V, 正または負の V_{OUT} , 3mm×3mmのDFN-10, MSOP-10
LT3758	高入力電圧の昇圧、フライバック、SEPICおよび反転コントローラ	V_{IN} : 5.5V ~ 100V, 正または負の V_{OUT} , 3mm×3mmのDFN-10, MSOP-10
LT8710	出力電流制御回路を内蔵した同期整流式SEPIC/反転/昇圧コントローラ	V_{IN} : 4.5V ~ 80V, レール・トゥ・レール出力電流のモニタおよび制御、TSSOP-28パッケージ

8390f