

105V、2.3A、低EMI同期整流式降圧
レギュレータ

特長

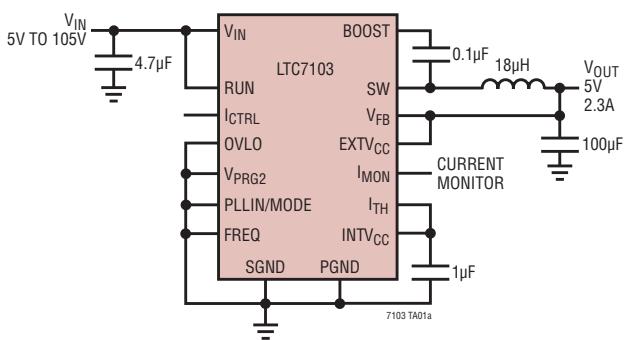
- 広い入力電圧範囲: 4.4V~105V (絶対最大定格: 110V)
- 超低EMI/EMC放射: CISPR 25準拠
- 48V入力から3.3V出力を安定化する場合の I_Q : 2 μ A
- 外付けRSENSE不要の素早く正確な出力電流プログラミングおよびモニタリング
- 垂下型の電流制限特性
- 短い最小オン時間: 40ns
- 広い出力電圧範囲: 1V~ V_{IN}
- 100%の最大デューティ・サイクル動作
- プログラム可能な固定周波数: 200kHz~2MHz
- ピンで選択可能な8種類の固定出力電圧 (1.2V~15V) または可変出力電圧
- 軽負荷時にパルス・スキップ動作、低リップルBurst Mode®動作のいずれかを選択可能
- 外部クロックへのPLL同期
- EXTV_{CC} LDOが V_{OUT} = 3.3V~40Vの範囲でデバイスに電力を供給
- OPTI-LOOP®補償または固定の内部補償
- 入力および出力過電圧保護
- 熱特性が改善された(5mm × 6mm) QFNパッケージ

アプリケーション

- バッテリ・チャージャおよびCC/CV電源
- 自動車用および軍用システム
- 産業用機器、航空電子工学機器、および重機
- 医療機器および通信システム

標準的応用例

5V~105V入力、5V/2.3A出力の降圧レギュレータ



概要

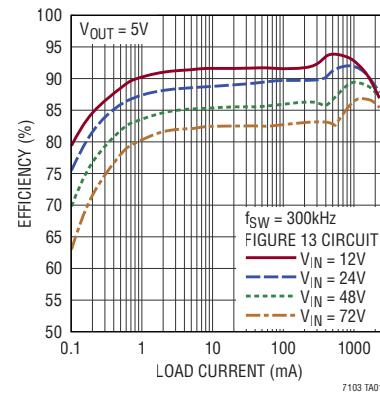
LTC[®]7103は、固定周波数の平均電流モード制御アーキテクチャを使用する、効率の高いモノリシック同期整流式降圧DC/DCコンバータです。4.4V~105Vの入力電圧範囲で動作し、1V~ V_{IN} の可変安定化出力電圧を実現しつつ、最大2.3Aの出力電流を供給します。

LTC7103の特長は高周波動作と短い最小オン時間であり、これによってインダクタを小型化することや、降圧比が非常に高い場合でも固定周波数動作が可能になります。更に、LTC7103は、100%の最大デューティ・サイクル動作により、可能な最小のドロップアウト電圧を実現します。軽負荷での動作中、コンバータの効率と出力リップルは、Burst Mode動作またはパルス・スキップ動作を選択することによって最適化されます。

LTC7103は高精度の高速平均電流プログラミングおよびモニタリング回路を内蔵しており、外付け検出抵抗は必要ありません。そのほかの機能としては、効率を最大限に高めるバイパスLDO、固定または可変出力電圧とループ補償、信頼性を高める幅広い保護機能があります。

LTC、LT、LTC、LTM、Linear Technology、Burst Mode、OPTI-LOOP、およびLinearのロゴは、Analog・デバイセズの登録商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。

効率と負荷電流



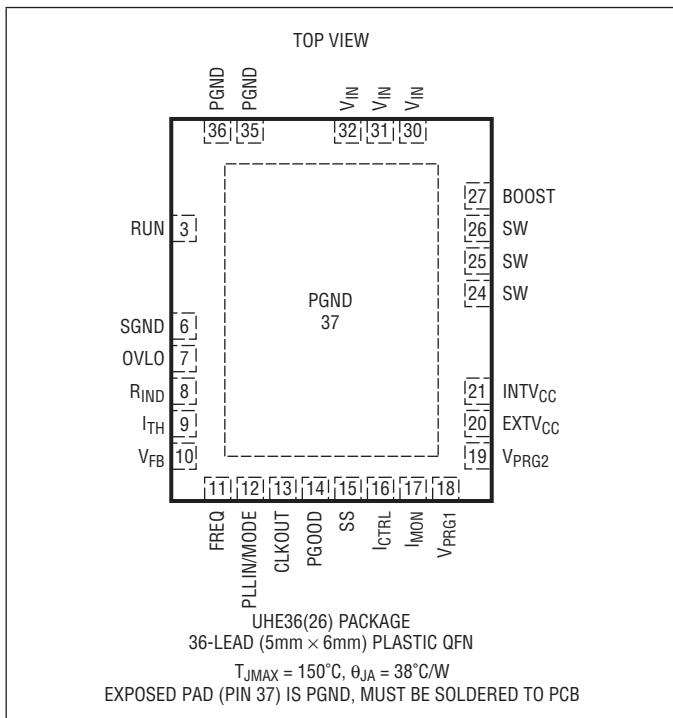
絶対最大定格

(Note 1)

V_{IN} 電源電圧	-0.3V~110V
INTV _{CC} 、(BOOST-SW)の電圧	-0.3V~6V
BOOSTの電圧	-0.3V~110V
RUNの電圧	-0.3V~110V
V_{FB} 、PGOODの電圧	-0.3V~16V
EXTV _{CC} の電圧	-0.3V~41V
R_{IND} 、 V_{PRG1} 、 V_{PRG2} の電圧	-0.3V~INTV _{CC}

I_{CTRL} 、SSの電圧	-0.3V~INTV _{CC}
FREQ、 I_{TH} 、PLLIN/MODE、OVLOの電圧	-0.3V~6V
動作接合部温度範囲 (Note 2, 3, 4)	
LTC7103E, LTC7103I	-40°C~125°C
LTC7103H	-40°C~150°C
LTC7103MP	-55°C~150°C
保存温度範囲	-65°C~150°C

ピン配置



発注情報

(<http://www.linear-tech.co.jp/product/LTC7103#orderinfo>)

無鉛仕上げ	テープ・アンド・リール	製品マーキング*	パッケージ	温度範囲
LTC7103EUHE#PBF	LTC7103EUHE#TRPBF	7103	36-Lead (5mm x 6mm) Plastic QFN	-40°C~125°C
LTC7103IUHE#PBF	LTC7103IUHE#TRPBF	7103	36-Lead (5mm x 6mm) Plastic QFN	-40°C~125°C
LTC7103HUHE#PBF	LTC7103HUHE#TRPBF	7103	36-Lead (5mm x 6mm) Plastic QFN	-40°C~150°C
LTC7103MPUHE#PBF	LTC7103MPUHE#TRPBF	7103	36-Lead (5mm x 6mm) Plastic QFN	-55°C~150°C

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/>をご覧ください。

テープ・アンド・リールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreel/>をご覧ください。

一部のパッケージは、#TRPBF接尾部を付けることにより、指定の販売経路を通じて500個入りのリールで供給可能です。

電氣的特性

- は規定動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値(Note 2)。注記がない限り、 $V_{IN} = 12\text{V}$ 。

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
メイン・レギュレータと電圧ループ							
V_{IN}	Operating Input Voltage Range		4.4	105		V	
$V_{IN(UVLO)}$	V_{IN} Undervoltage Lockout	V_{IN} Rising V_{IN} Falling	● ●	4.36 4.11	4.50 4.25	4.64 4.39	
V_{OUT}	Operating Output Voltage Range		1.0	105		V	
I_Q	V_{IN} Input DC Supply Current	(Note 8)					
	Pulse-Skipping Mode	$V_{FB} = 1.04V$, $EXTV_{CC} = 3.3V$ $V_{FB} = 1.04V$, $EXTV_{CC} = 0V$		200 4.4		μA mA	
	Sleep Mode	$V_{FB} = 1.04V$, $EXTV_{CC} = 3.3V$ $V_{FB} = 1.04V$, $EXTV_{CC} = 0V$		1.0 9.0		μA μA	
	Shutdown	RUN = 0V		0.7	8.0	μA	
	V_{IN} Input Current In Regulation	Figure 13 Circuit, $V_{IN} = 48V$, $I_{OUT} = 500\mu A$ Figure 15 Circuit, $V_{IN} = 48V$, $I_{OUT} = 0\mu A$		64 2	75	μA μA	
V_{FB}	Regulated Feedback Voltage	(Note 5) I_{TH} Voltage = 0.5V to 1.2V, V_{IN} = 4.5V to 105V $V_{PRG1} = V_{PRG2} = FLOAT$ $V_{PRG1} = V_{PRG2} = INTV_{CC}$ $V_{PRG1} = FLOAT$, $V_{PRG2} = INTV_{CC}$ $V_{PRG1} = V_{PRG2} = SGND$ $V_{PRG1} = SGND$, $V_{PRG2} = FLOAT$ $V_{PRG1} = SGND$, $V_{PRG2} = INTV_{CC}$ $V_{PRG1} = FLOAT$, $V_{PRG2} = SGND$ $V_{PRG1} = INTV_{CC}$, $V_{PRG2} = FLOAT$ $V_{PRG1} = INTV_{CC}$, $V_{PRG2} = SGND$	● ● ● ● ● ● ● ● ● ●	0.990 1.182 1.770 2.455 3.234 3.528 4.900 11.75 14.70	1.000 1.200 1.800 2.500 3.300 3.600 5.000 12.00 15.00	1.010 1.218 1.827 2.537 3.350 3.654 5.075 12.24 15.30	V
	Feedback Input Bias Current	$V_{PRG1} = V_{PRG2} = FLOAT$ V_{PRG1} or V_{PRG2} Tied to SGND or INTV _{CC}		± 2 1.25	± 10 1.6	nA μA	
g_m	Error Amplifier g_m	$I_{TH} = 1V$, Sink/Source = 5 μA (Note 5)		1.52		mS	
$t_{ON,MIN}$	Minimum Controllable ON-Time	(Note 7)	●	40	60	ns	
$R_{DS(ON)TOP}$	Top Switch On-Resistance			265		$m\Omega$	
$R_{DS(ON)BOT}$	Bottom Switch On-Resistance			142		$m\Omega$	
電流制御とモニタリング							
$I_{LIM(AVG)}$	Average Output Current Limit	(Note 6) $I_{CTRL} = 1.3V$ $I_{CTRL} = 0.58V$		2.25 0.36	2.50 0.5	2.75 0.64	A A
I_{PK}	Top Switch Peak Current Limit	$I_{CTRL} = 1.3V$ $I_{CTRL} = 0.58V$		3.32 1.56	3.70 1.70	4.30 2.09	A A
V_{IMON}	Current Monitor Output Voltage	(Note 6) $I_{SW} = 2A$ $I_{SW} = 0.5A$		1.04 0.54	1.12 0.58	1.19 0.63	V V
	I_{CTRL} Pin Pull-Up Current	$V_{CTRL} = 0.5V$	●	18	20	22	μA
起動とシャットダウン							
I_{SS}	Soft-Start Charge Current	SS = 0V	●	8	11	14	μA
$t_{SS(INT)}$	Internal Soft-Start Ramp Time	SS = FLOAT		1.2			ms
$V_{FB(OV)}$	Feedback Overvoltage Protection	Relative to Regulated V_{FB}		7	10	13	%
$V_{RUN(ON)}$	RUN Pin ON Threshold	V_{RUN} Rising	●	1.16	1.21	1.26	V
	RUN Pin Hysteresis			100			mV
	RUN Pin Leakage Current	RUN = 1.5V		-10	0	10	nA

電気的特性

●は規定動作接合部温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 2)。注記がない限り、 $V_{IN} = 12\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$V_{OV(R)}$	OVLO Pin Rising Threshold	V_{OVLO} Rising	● 1.16	1.21	1.26	V	
	OVLO Pin Hysteresis			65		mV	
	OVLO Pin Leakage Current	$OVLO = 1.5\text{V}$		-10	0	10	nA

バイアス・レギュレータとハウスキーピング

	INTV _{CC} Undervoltage Lockout	INTV _{CC} Rising INTV _{CC} Falling		3.00 2.80		V V	
V_{EXTVCC}	EXTV _{CC} Switchover Voltage	EXTV _{CC} Rising EXTV _{CC} Falling	● 3.04 ● 2.95	3.10 3.00	3.17 3.07	V V	
	Regulated INTV _{CC} Voltage from V_{IN}			3.37	3.5	3.6	V
	Regulated INTV _{CC} Voltage from EXTV _{CC}			3.37	3.5	3.6	V

発振器とフェーズロック・ループ

	Programmable Frequency Accuracy	$V_{FREQ} = 12.5\text{k}$ (200kHz) to 57.5k (2MHz) PLLIN/MODE = 0V	●	-15	15	%	
f_{LOW}	Low Preset Frequency	$V_{FREQ} = 0\text{V}$ PLLIN/MODE = 0V	●	270	300	330	kHz
f_{HIGH}	High Preset Frequency	$V_{FREQ} = INTV_{CC}$ PLLIN/MODE = 0V	●	0.9	1.0	1.1	MHz
	Synchronizable Frequency	PLLIN/MODE = External Clock	●	200		2000	kHz
	PLLIN/MODE Input High Level for Clocking	PLLIN/MODE = External Clock	●	2.0			V
	PLLIN/MODE Input Low Level for Clocking	PLLIN/MODE = External Clock	●			0.8	V

PGOOD出力

	PGOOD Voltage Low	$I_{PGOOD} = 1\text{mA}$		0.3	0.5	V	
	PGOOD Leakage Current	$V_{PGOOD} = 12\text{V}$		-1	1	μA	
	PGOOD Trip Level	V_{FB} with Respect to Set Regulated Voltage					
		V_{FB} Ramping Positive		7	10	13	%
		Hysteresis			2.5		%
		V_{FB} Ramping Negative		-13	-10	-7	%
		Hysteresis			2.5		%
T_{PG}	Delay for Reporting a Fault				24	μs	

Note 1:「絶対最大定格」のセクションに記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2: LTC7103E は 0°C ～ 85°C の温度範囲で仕様に適合することが保証されている。 -40°C ～ 125°C の動作接合部温度範囲での仕様は設計、特性評価および統計的なプロセス・コントロールとの相関で確認されている。LTC7103I は -40°C ～ 125°C の動作接合部温度範囲で保証されており、LTC7103H は -40°C ～ 150°C の動作接合部温度範囲で保証されている。接合部温度が高いと動作寿命が短くなる。125°C を超える接合部温度では動作寿命はディレーティングされる。これらの仕様を満たす最大周囲温度は、基板レイアウト、パッケージの定格熱インピーダンスおよび他の環境要因と関連した特定の動作条件によって決まるに注意。

Note 3: T_J は周囲温度 T_A および電力損失 P_D から次式に従って計算される。

$$T_J = T_A + (P_D \cdot \theta_{JA})^\circ\text{C/W}$$

Note 4: このデバイスには、短時間の過負荷状態の間デバイスを保護するための過熱保護機能が備わっている。この保護がアクティブなときは、最大定格接合部温度を超えることができる。規定された絶対最高動作接合部温度を超えた動作が継続すると、デバイスの信頼性を損なうか、またはデバイスに永続的損傷を与える恐れがある。過熱保護レベルは製造時にはテストされない。

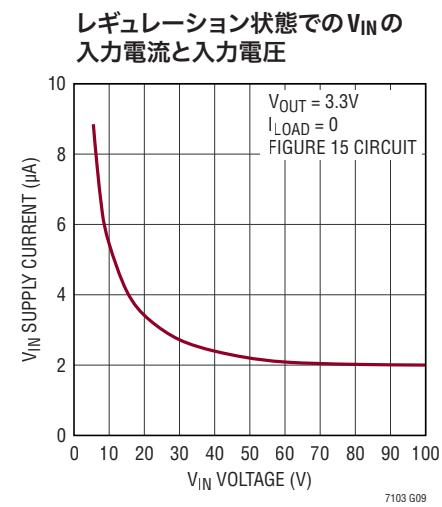
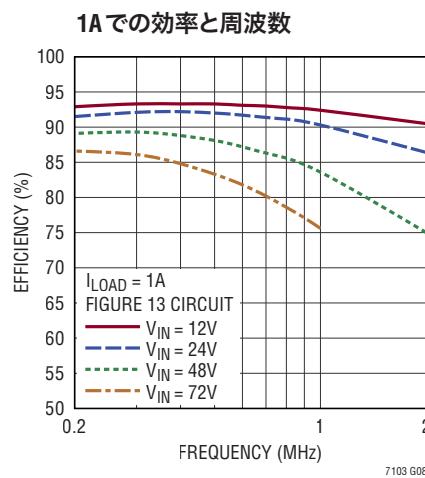
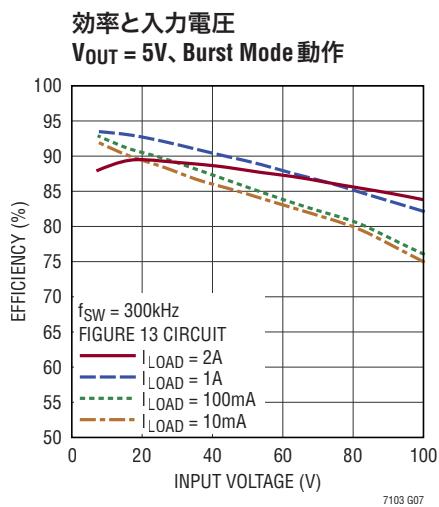
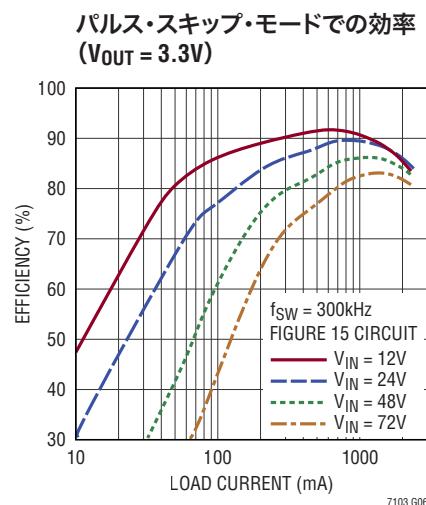
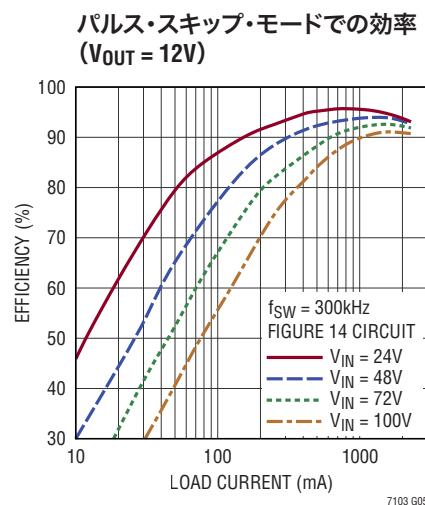
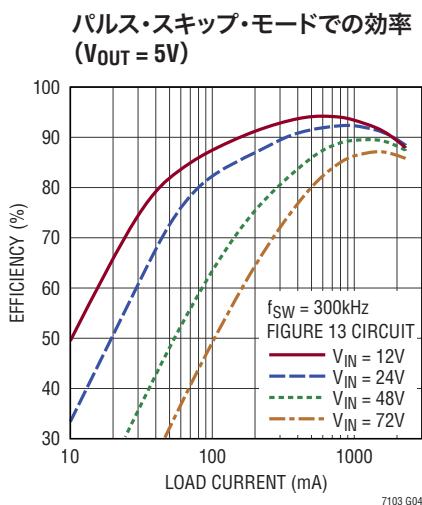
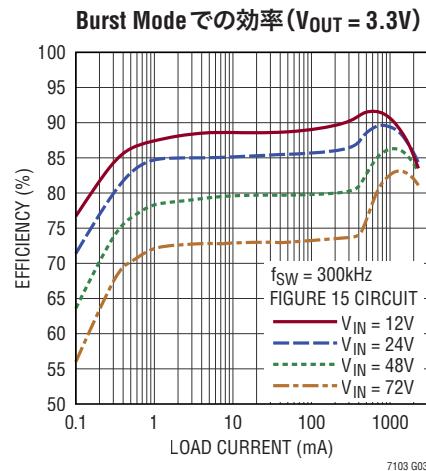
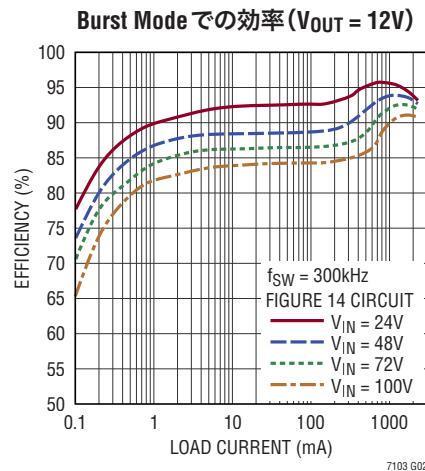
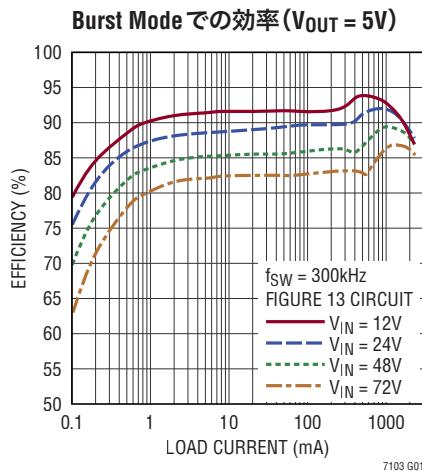
Note 5: LTC7103 は、 V_{FB} を内部リファレンス電圧近くの電圧にサーボ制御して I_{TH} の規定電圧を得る帰還ループでテストされる。

Note 6: Average Output Current Limit (平均出力電流の制限値)、Top Switch Peak Current Limit (上側スイッチのピーク電流制限値)、および Current Monitor Output Voltage (電流モニタ出力電圧) は、標準的応用例での動作をシミュレートするテスト回路で測定される。

Note 7: 制御可能な最小オン時間はテスト・モードで測定される。(「アプリケーション情報」セクションの「最小オン時間に関する検討事項」を参照。)

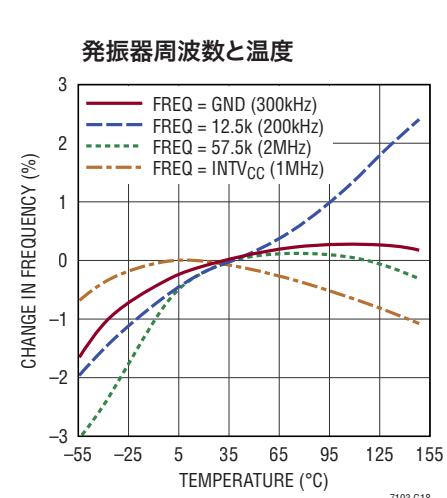
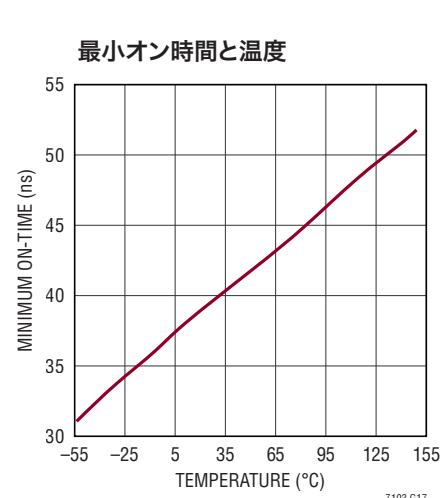
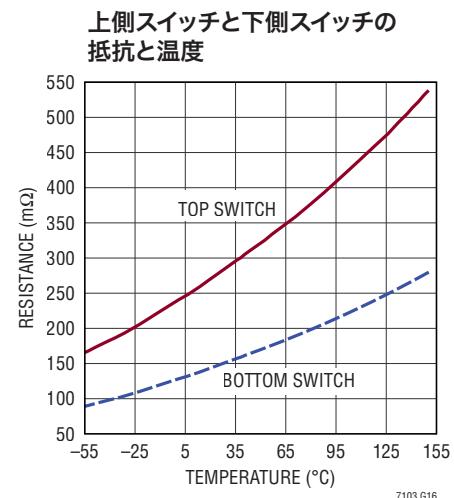
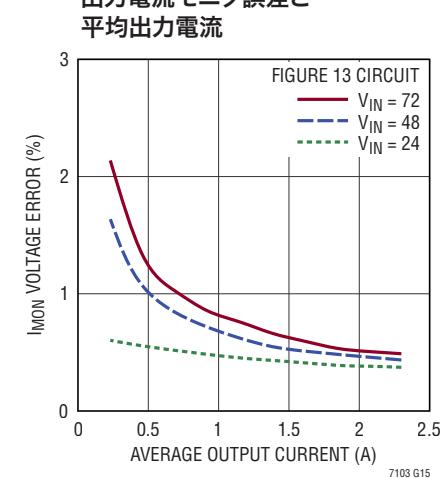
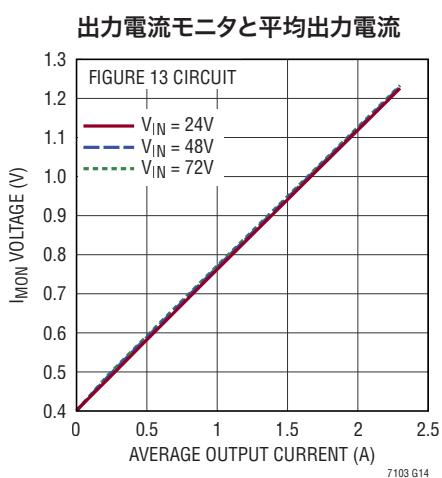
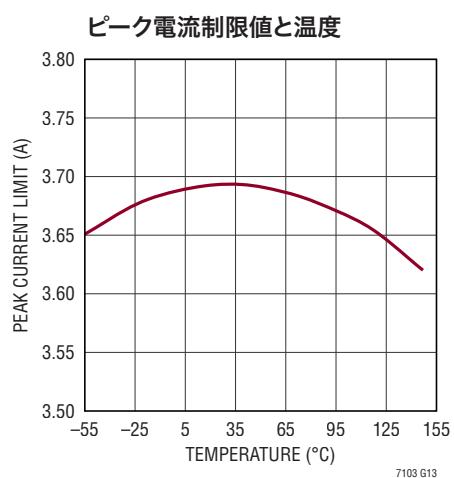
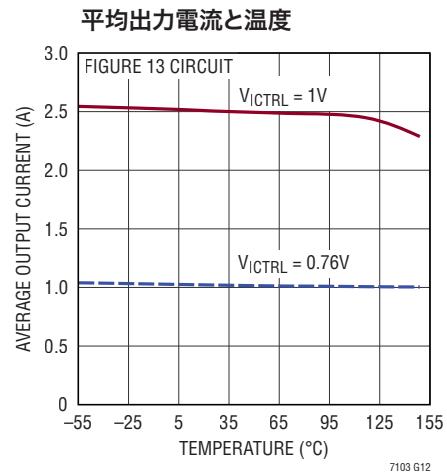
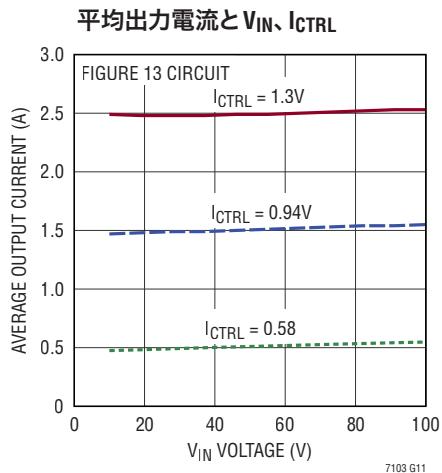
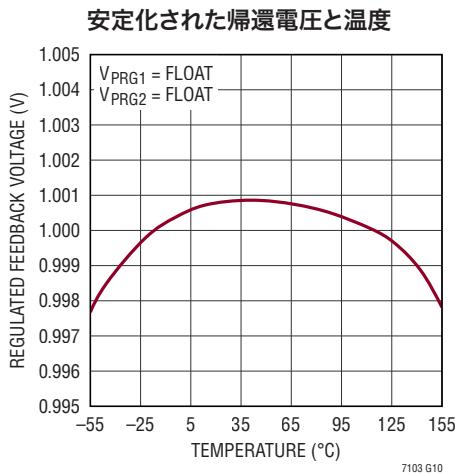
Note 8: スイッチング周波数で供給される内部のゲート電荷により動的電源電流は増加する。

標準的性能特性

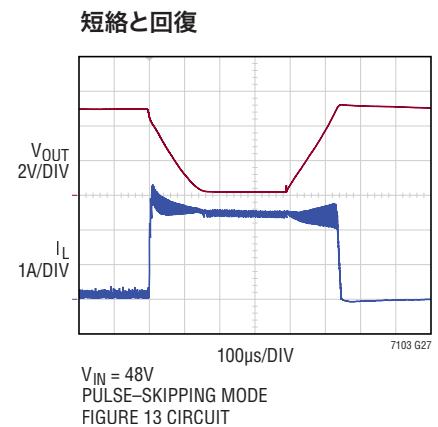
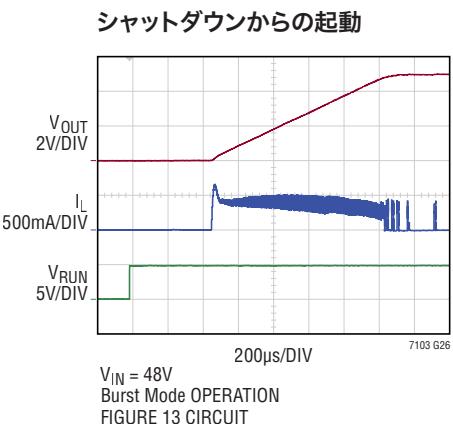
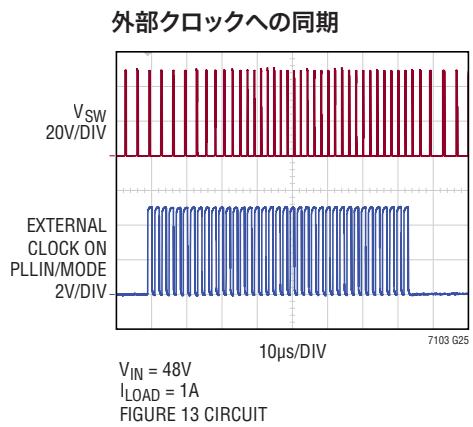
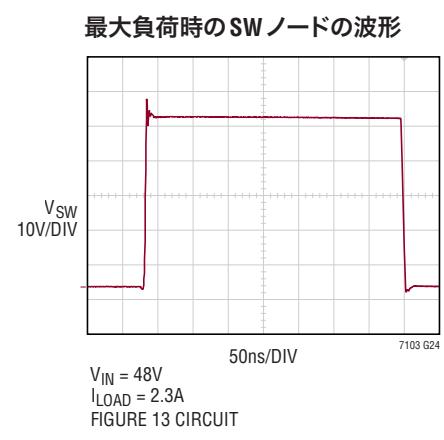
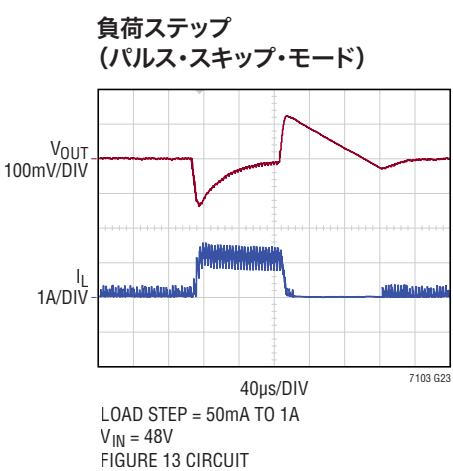
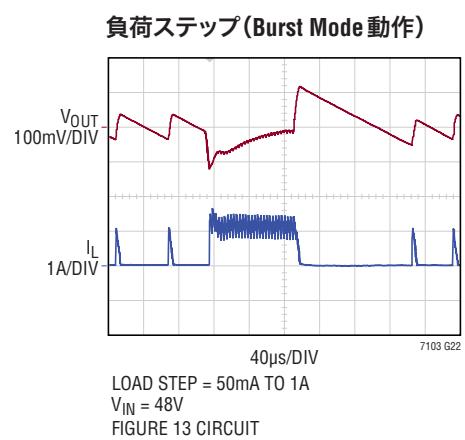
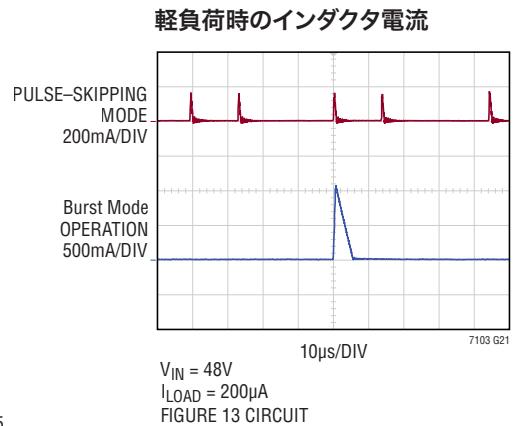
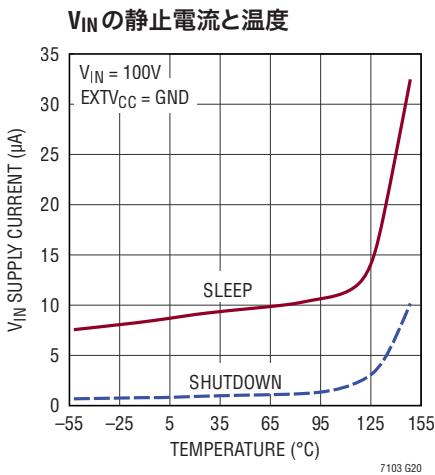
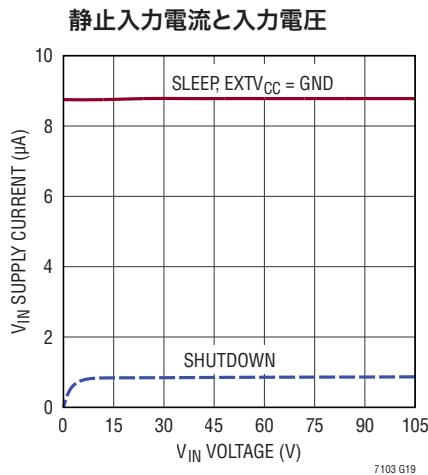
注記がない限り、 $T_A = 25^\circ\text{C}$ 。

標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 。

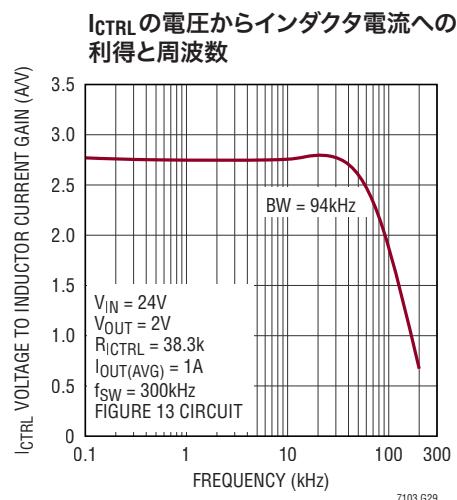
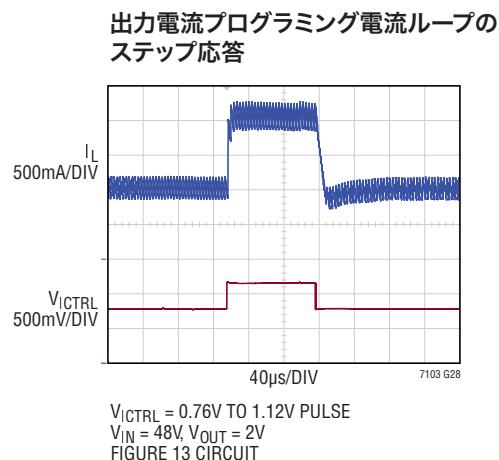


標準的性能特性

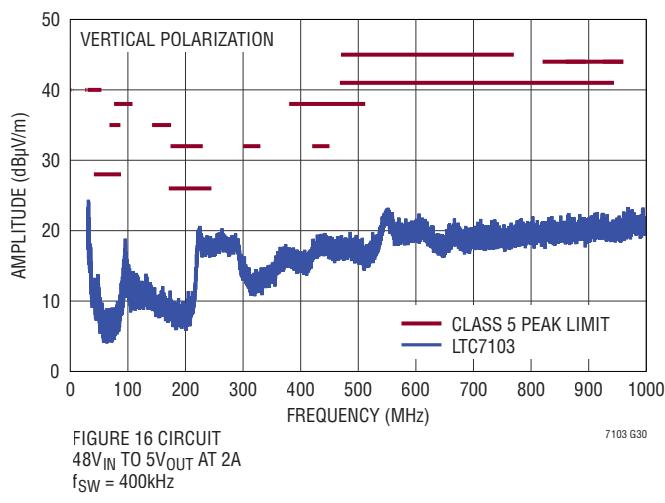
注記がない限り、 $T_A = 25^\circ\text{C}$ 。

標準的性能特性

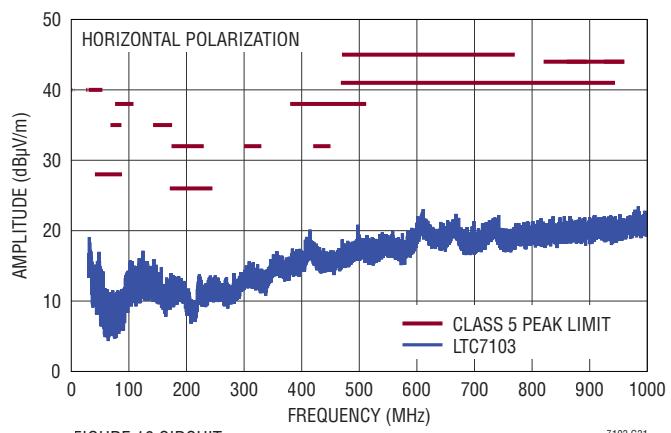
注記がない限り、 $T_A = 25^\circ\text{C}$ 。



EMI 放射性能(クラス5ピーク限度値での CISPR25 放射エミッション・テスト)



EMI 放射性能(クラス5ピーク限度値での CISPR25 放射エミッション・テスト)



ピン機能

RUN (ピン3) : 実行制御入力。このピンを1.1Vより低い電圧に維持すると、スイッチング・レギュレータは停止します。このピンを0.7Vより低い電圧に維持すると、静止電流は約0.7 μ Aまで減少します。低電圧ロックアウトとして使用する場合は、V_{IN}とこのピンの間に抵抗分割器を接続します。このピンをV_{IN}に接続すると、LTC7103は常時イネーブル状態になります。

SGND (ピン6) : 信号グランド。

OVLO (ピン7) : 過電圧シャットダウンの入力。このピンの電圧が1.21Vを超えると、スイッチング・レギュレータはシャットダウンして、SSピンは内部でグランドに接続されます。このピンをSGNDに接続した場合は、V_{IN}を最大105Vにして動作させることができます。

R_{IND} (ピン8) : 低デューティ・サイクル動作に対応するため、上り勾配のインダクタ電流を複製して内部ランプ電圧を発生するのに使用する電流を設定します。このピンでは、スイッチング周波数に応じて変化する電圧が発生します。値が $1/(7.5 \cdot L)$ に等しい抵抗をこのピンとSGNDの間に接続して、内部ランプ電流を設定します。V_{PRG1}ピンとV_{PRG2}ピンを使用して固定出力電圧モードを選択する場合は、このピンをフロートのままにしてかまいません。V_{PRG1}とV_{PRG2}を両方ともフロートにする場合は、R_{IND}とSGNDの間に抵抗を接続する必要があります。

I_{TH} (ピン9) : エラーアンプの出力およびスイッチング・レギュレータの補償点。I_{TH}ピンとSGNDの間に補償部品を配置します。固定の内部補償回路を選択する場合は、このピンをINTV_{CC}に接続します。

V_{FB} (ピン10) : レギュレータの帰還入力。可変モードに設定する場合は、レギュレータの出力とV_{FB}ピンの間に外付けの抵抗分割器を使用します。固定出力電圧モードの場合は、V_{FB}をレギュレータの出力に直接接続します。

FREQ (ピン11) : 内部VCOの周波数制御ピン。動作周波数を300kHzにする場合は、このピンをSGNDに接続します。動作周波数を1MHzにする場合は、このピンをINTV_{CC}に接続します。動作周波数を200kHz～2MHzの範囲内に設定する場合は、抵抗をSGNDとこのピンの間に接続します。Burst Mode動作を使用する場合は、このピンに接続する容量を最小限に抑えます。このピンからは40 μ Aの電流が流れ出します。

PLLIN/MODE (ピン12) : 位相検出器の外部同期入力およびBurst Mode制御入力。このピンに外部クロックを入力すると、

フェーズロック・ループがSW信号の立ち上がりエッジを外部クロックの立ち上がりエッジに強制的に同期させ、LTC7103はパルス・スキップ・モードで動作します。外部クロックに同期させない場合は、この入力によってLTC7103の軽負荷時の動作が決まります。このピンをSGNDに接続するか、フロート状態にすると、Burst Mode動作が選択されます。このピンを100kの抵抗を介してINTV_{CC}に接続すると、パルス・スキップ動作が選択されます。このピンはSGND～10 μ Aの電流を吸い込みます。このピンはINTV_{CC}に直接接続しないでください。

CLKOUT (ピン13) : 並列動作用の追加レギュレータを同期する目的で利用できる出力クロック信号。CLKOUTの立ち上がりエッジは、SWピンの立ち上がりエッジに対して位相が180°ずれています。出力レベルの振幅はSGNDからINTV_{CC}までです。

PGOOD (ピン14) : オープンドレインのパワーグッド出力。V_{FB}ピンはモニタされ、出力がレギュレーション状態になっていることが確認されます。出力がレギュレーション状態になっていない場合、PGOODピンは“L”になります。

SS (ピン15) : ソフトスタートおよびレギュレータ・タイムアウトの入力。SSピンの電圧は、1Vより低くなると、安定化出力電圧を制限します。このピンには10 μ Aの内部プルアップ電流源が接続されています。このピンとグランドの間に接続したコンデンサにより、最終的な安定化出力電圧までのランプ時間が設定されます。1.2msの内部ソフトスタート・ランプ時間を使用する場合は、このピンをフロートのままにします。また、SSピンは、EXTV_{CC}の電圧が低すぎる場合にスイッチングをディスエーブルするタイムアウトとしての機能も果たします。レギュレータのタイムアウト機能をディスエーブルするには、SSとINTV_{CC}の間に75kの抵抗を接続します。「アプリケーション情報」セクションの「ソフトスタートとLDOレギュレータのタイムアウト」を参照してください。

I_{CTRL} (ピン16) : 定電流モードでの平均出力電流を設定します。このピンの電圧によってI_{TH}の最大電圧が決まり、その結果として定電流モードでの平均出力電流が設定されます。ピーク電流制限値は、平均電流制限値の設定点より1.2A高い値を追跡します。平均出力電流の値を0A～2.5Aの範囲内に設定するには、このピンを0.4V～1.3Vの電圧に接続します。このピンには20 μ Aの内部プルアップ電流が流れるので、SGNDとの間に1本の抵抗を接続すれば電圧を設定することができます。

ピン機能

I_{MON} (ピン17) : 平均出力電流モニタ。このピンは、0A～2.5Aの平均出力電流に対応する0.4V～1.3Vの電圧を生成します。

V_{PRG1}, V_{PRG2} (ピン18, 19) : 出力電圧のプログラミング・ピン。これらのピンは、レギュレータを可変出力モードまたは固定出力モードに設定します。両方のピンをフロート状態になると、 V_{FB} ピンに外付け抵抗を接続することによって出力を設定することができます。その場合、 V_{FB} の電圧は1Vのリファレンス電圧に安定化されます。これらのピンの一方をSGNDまたはINTV_{CC}に接続すると同時に、もう一方をSGNDまたはINTV_{CC}に接続するかフロート状態になると、出力は8種類の固定出力電圧のいずれかに設定されます。「アプリケーション情報」セクションの「出力電圧のプログラミング」を参照してください。

EXTV_{CC} (ピン20) : INTV_{CC}を生成する内部LDOへの外部電源入力。EXTV_{CC}が3.1V～40Vの範囲内にある場合は、このLDOがEXTV_{CC}からINTV_{CC}電源に電力を供給し、 V_{IN} から電力を供給される内部LDOを迂回します。EXTV_{CC}を使用しない場合は、SSとINTV_{CC}の間に75kの抵抗を接続して、レギュレータのタイムアウト機能をディスエーブルする必要があります。「アプリケーション情報」セクションの「INTV_{CC}のレギュレーション」を参照してください。

INTV_{CC} (ピン21) : 内部LDOレギュレータの出力。ドライバと制御回路にはこの電圧源から電力が供給されます。1μF～4.7μFのセラミック・コンデンサを使用して、このピンをPGNDにデカップリングする必要があります。

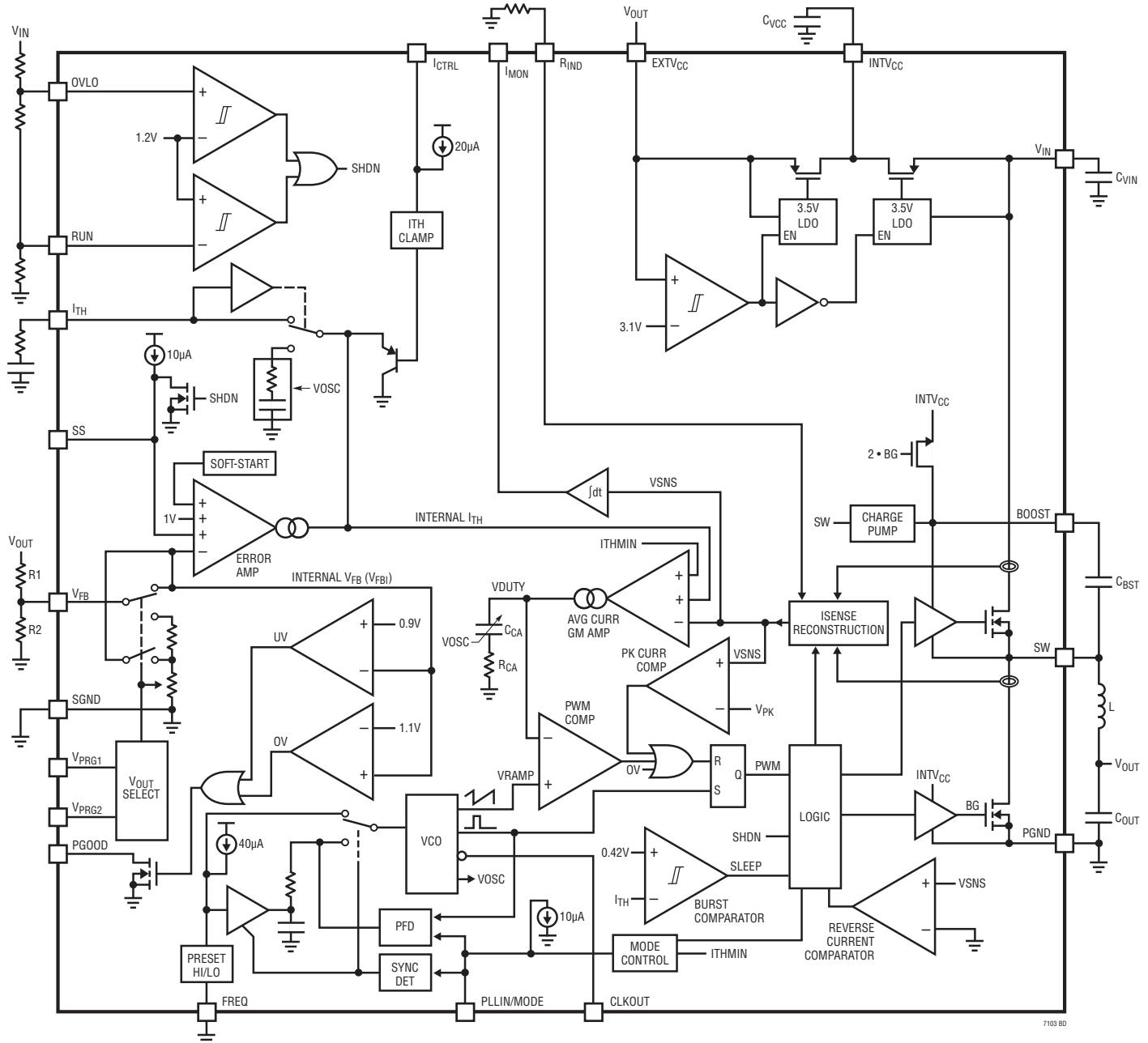
SW (ピン24, 25, 26) : 内部MOSFETパワー・スイッチと出力インダクタの間にあるSWノード接続点。

BOOST (ピン27) : ハイサイドのフローティング・ゲート・ドライバに電力を供給するブーストストラップ電源。BOOSTピンとSWピンの間に0.1μFのセラミック・コンデンサを接続します。

V_{IN} (ピン30, 31, 32) : 入力電源。これは、内蔵のハイサイドMOSFETスイッチへの電源入力、ならびにINTV_{CC}の電圧を生成する内部LDOへの入力です。このピンはコンデンサを使用してPGNDにデカップリングします。

PGND/露出パッド (ピン35, 36, 37) : 電源グランド。電源グランド・プレーンに接続します。定格の電気的性能および熱性能を得るため、露出パッドはPCBのグランドに接続する必要があります。

機能図



7103 BD

動作

メイン制御ループ

LTC7103は、固定周波数の平均電流モード制御アーキテクチャを使用する、効率の高いモノリシック同期整流式降圧DC/DCコンバータです。平均電流モード制御により、外付けの検出抵抗や電流検出アンプの必要なく、出力電流を素早く正確に制御することができます。代わりに、上側と下側のパワー・スイッチ電流を損失なくモニタすることにより、インダクタ電流を内部で検出します。また、LTC7103は、上側のスイッチが導通した直後にインダクタ電流を複製し、検出したスイッチ電流と合成してインダクタ電流信号を内部で完全に復元する独自の回路を内蔵しています。この技法により、平均出力電流の直接制御やモニタリングが可能となるだけでなく、デューティ・サイクルが非常に低いときのきれいな動作にも対応します。

通常動作時は、内部の上側パワー・スイッチ(NチャネルMOSFET)が各クロック・サイクルの最初にオンするので、インダクタ電流が増加します。検出されたインダクタ電流は平均電流アンプに送られ、その出力(VDUTY)が鋸歯状のランプ電圧(VRAMP)と比較されます。VRAMPの電圧がVDUTYの電圧を超えると、PWMコンパレータが作動して上側のパワーMOSFETをオフします。

上側のパワーMOSFETがオフすると、同期パワー・スイッチ(NチャネルMOSFET)がオンして、インダクタ電流が減少します。下側スイッチは、逆電流制限(0A)に達するか、逆電流コンパレータが作動しない限り、次のクロック・サイクルが始まるまでオフのままでです。

閉ループ動作では、平均電流アンプにより、検出された電流信号の平均値が I_{TH} の内部電圧と等しくなるよう動作する平均電流ループが発生します。この平均電流ループのDC利得と補償レベルは自動的に調整され、最適な電流ループ応答が維持されることに注意してください。エラーアンプは、分圧後の出力電圧(V_{FB1})を1.0Vのリファレンス電圧と比較することによって I_{TH} の電圧を調整します。負荷電流が変化すると、エラーアンプは必要に応じて平均インダクタ電流を調整して、出力電圧をレギュレーション状態に維持します。

LTC7103は、可能な最高速の平均電流ループを実現できるよう最適化されています。これを達成するには、平均電流アンプの出力にフィルタ(C_{CA} 、 R_{CA})を設定して、(積分器のコンデンサ C_{CA} によって得られる)高いDC利得を確保しつつ、イン

ダクタ電流信号がフィルタ処理されずに通過できるようにします。これは抵抗 R_{CA} によって実現できます。この抵抗により、スイッチング周波数より十分に低い周波数のゼロが得られます。結果として得られる代表的なPWMコンパレータ波形を図1に示します。VDUTY信号はインダクタ電流信号の反射を反転したものあり、高速の平均電流ループを得るには不可欠であることに注意してください。

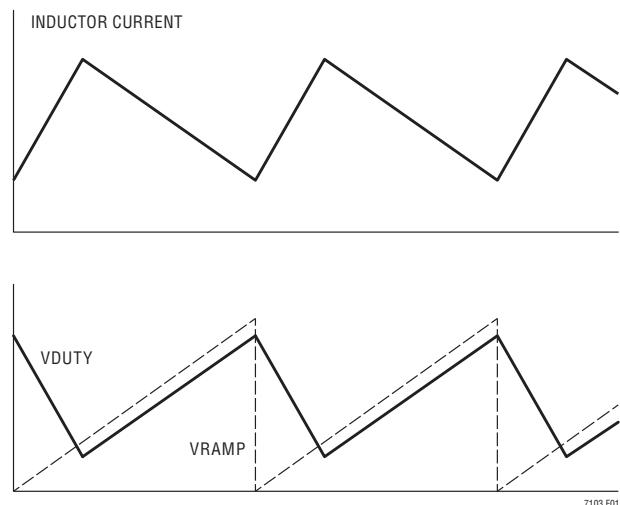


図1. 電流ループの標準的な動作波形

電圧ループ補償は I_{TH} ピンを使用して外部で設定できるので、OPTI-LOOP補償を利用してループ応答を最適化することができます。電圧ループの補償は、ピーク電流モード制御の場合と基本的に同じです。あるいは、 I_{TH} ピンを $INTV_{CC}$ に接続して、内部の電圧ループ補償を選択することもできます。内部の電圧ループ補償を選択した場合、LTC7103はスイッチング周波数に基づいて内部補償レベルを自動的に調整し、高速で安定した電圧ループを維持します。

電源およびバイアス電源(V_{IN} 、 SW 、 $BOOST$ 、 $INTV_{CC}$ 、 $EXTV_{CC}$ ピン)

LTC7103の V_{IN} ピンは、内部のハイサイドNチャネルMOSFETのドレイン端子に電圧を供給する目的で使用されます。また、これらのピンは、 $INTV_{CC}$ で3.5Vを生成する内部LDOレギュレータ(V_{IN} LDO)のバイアス電圧も供給します。同様に、 $INTV_{CC}$ の電圧をデバイス内部のバイアスとして使用し、更には下側パワーMOSFETのゲート駆動電圧として使用します。上側パワーMOSFETのゲート駆動電圧は、 $BOOST$ ピンと

動作

SWピンの間のフロート電源(C_{BST})によって供給されます。これは内部の同期ダイオードによってINTV_{CC}から充電されます。更に、内部チャージポンプは、上側のMOSFETが常にオンしている場合、BOOSTとSWの間の電圧を維持することにより、デューティ・サイクル100%での動作に対応します。

効率を向上して V_{IN} LDOレギュレータの電力損失を制限するため、2番目のLDOレギュレータ(EXTV_{CC} LDO)は、INTV_{CC}の電圧をそれより電圧の低いEXTV_{CC}ピンから得ることができます。ほとんどのアプリケーションでは、EXTV_{CC}ピンをDC/DCコンバータの安定化出力電圧に直接接続して、効率の高いブーストランプ構成での動作を実現します。内部の V_{IN} LDOでの電力損失を安全なレベルに確実に制限するため、LTC7103は特別なレギュレータのタイムアウト機能をソフトスタート・ピンに組み込んでいます。

起動とシャットダウン(RUN、SS、OVLOピン)

RUNピンの電圧が0.7Vより低いと、LTC7103は低電流のシャットダウン状態になり、DC電源電流は0.7 μ Aまで減少します。RUNピンの電圧が0.7Vより高くなり、 V_{IN} ピンの電圧が4.55Vの内部低電圧しきい値($V_{IN(UVLO)}$)より高くなると、INTV_{CC} LDOレギュレータがイネーブルされます。ただし、RUNピンの電圧が $V_{RUN(ON)} = 1.21V$ を超えるまでスイッチングは抑止されます。これにより、RUNピンを使用して V_{IN} の低電圧ロックアウト機能を実装し、ユーザーが調整可能なレベルより低い電圧では電源が動作しないようにすることができます。更に、OVLOピンの電圧が $V_{OV(R)} = 1.21V$ を超えた場合にもスイッチングは抑止されます。この機能を使用して入力過電圧ロックアウト機能を実装し、入力電源が過電圧の状態では電源が動作しないようにすることができます。

V_{IN} 、RUN、およびOVLOピンに加わる電圧が適切な場合、LTC7103はスイッチングを開始して出力電圧のソフトスタート・ランプ動作を開始します。1.2msの内部ソフトスタート・ランプ時間により、出力電圧のランプ速度が制限され、起動時の過剰な入力電流が防止されます。ランプ時間を長くする必要がある場合は、SSピンとグランドの間にコンデンサを接続することができます。SSピンから流れ出る10 μ Aの電流により、コンデンサに滑らかな電圧ランプが発生します。この外部ランプ速度が1.2msの内部ソフトスタート時間より遅い場合、出力電圧は代わりにSSピンのランプ速度によって制限されるようになります。外部および内部のソフトスタート・ランプ電圧が両

方とも1Vを超えると、出力電圧はレギュレーション状態になります。内部および外部のソフトスタート機能は、最初の起動時と、入力電源に低電圧状態または過電圧状態が発生した後にリセットされます。

ソフトスタート・ピンはレギュレータのタイムアウト機能を実装する場合にも使用します。この機能は、EXTV_{CC}の電圧が加わっていない場合、タイムアウト後に上側と下側のパワーMOSFETをディスエーブルすることにより、内部の V_{IN} LDOレギュレータでの電力損失によるダイ温度の上昇を制限します。これが役立つのは、例えばEXTV_{CC}をDC/DCコンバータの出力に接続しているが、コンバータの出力がグランドに短絡した場合です。起動時に、内部と外部のソフトスタート・ランプ電圧が両方とも1Vを超えた後、EXTV_{CC}が3Vより低いと、レギュレータのタイムアウトが始まります。この状態が一定の時間(通常のソフトスタート時間の約1.4倍)続くと、レギュレータのタイムアウトが生じて、全てのスイッチングが停止します。長時間の再起動遅延時間(通常のソフトスタート時間の約46倍)後、再起動が始まります。レギュレータのタイムアウト機能が必要ない場合は、SSピンを75kの抵抗を介してINTV_{CC}に接続してください。詳細については、「アプリケーション情報」セクションの「ソフトスタートとLDOレギュレータのタイムアウト」を参照してください。

出力電圧のプログラミング(V_{PRG1} 、 V_{PRG2} 、 V_{FB} ピン)

V_{PRG1} ピンと V_{PRG2} ピンにより、電源の出力電圧をプログラミングするときの自由度が高まります。これらのピンを両方ともフロート状態にすると、可変 V_{OUT} モードが選択されます。このモードでは、出力は V_{FB} ピンの外付け抵抗を使用して設定され、 V_{FB} の電圧は1Vのリファレンス電圧に安定化されます。いずれか一方のピンをSGNDまたはINTV_{CC}に接続すると、固定出力電圧モードが選択されます。このモードでは、高精度の内部抵抗分割器を使用して、出力電圧を8種類の固定電圧レベルのいずれかに設定します。「アプリケーション情報」セクションの「出力電圧のプログラミング」を参照してください。

インダクタ電流の複製(R_{IND} ピン)

LTC7103は、上側のスイッチが導通した直後にインダクタ電流を複製し、検出したスイッチ電流と合成してインダクタ電流信号を内部で完全に復元する独自の回路を内蔵しています。

動作

この技法により、平均出力電流の直接制御やモニタリングが可能となるだけでなく、上側スイッチのオン時間が非常に短いときのきれいな動作にも対応します。インダクタ電流を複製するために、LTC7103はインダクタの概算値を知る必要があります。これを実現するには、値が $1/(7.5 \cdot L)$ に等しい抵抗を R_{IND} ピンに接続します。LTC7103は、抵抗 R_{IND} を流れる電流と V_{IN} ピンおよび SW ピンの電圧を組み合わせて、複製インダクタ電流信号を発生させます。更に、 R_{IND} ピンの電流も V_{IN} および SW ピンの電圧と組み合わせて、平均電流アンプのDC利得を設定します。こうするのは、最適な電流ループ性能を全ての動作条件で維持するためです。

V_{PRG1} ピンと V_{PRG2} ピンを使用して固定出力電圧モードを選択している場合は、 R_{IND} ピンをフロート状態のままにしてかまいません。この場合、LTC7103は、出力電圧とスイッチング周波数に基づいて特定のインダクタ値を仮定します。「アプリケーション情報」セクションの「インダクタ値と R_{IND} 抵抗の選択」を参照してください。

軽負荷時の動作：Burst Mode とパルス・スキップ・モード（PLLIN/MODE ピン）

LTC7103は、低負荷電流時に、高効率のBurst Mode動作または固定周波数のパルス・スキップ・モードになるよう設定することができます。Burst Mode動作を選択するには、PLLIN/MODEピンをグランドに接続します。パルス・スキップ・モードを選択するには、PLLIN/MODEピンを100kの抵抗を介して $INTV_{CC}$ に接続します。

LTC7103がBurst Mode動作に設定されているときは、 I_{TH} ピンの電圧が低い値を示している場合でも、最小出力電流は約200mAに設定されます。平均インダクタ電流が負荷電流より大きい場合、エラーアンプは I_{TH} ピンの電圧を低下させます。 I_{TH} の電圧が0.4Vより低くなると、内部のスリープ信号が“H”になります（スリープ・モードがイネーブルされ）、両方のMOSFETがオフします。すると、 I_{TH} ピンはエラーアンプの出力から切断され、0.43Vに保持されます。

スリープ・モードでは、内部回路の大半がオフになり、LTC7103に流れる全静止電流は9μAまで減少します。 $EXTV_{CC}$ が加わっている場合、この静止電流の大部分(8μA)

は $EXTV_{CC}$ 電源から流れ、 V_{IN} 電源から流れるのはわずか1μAです。これにより、 $EXTV_{CC}$ を V_{OUT} に接続していて V_{IN} が V_{OUT} よりはるかに大きいブーストstrap・アプリケーションでは、スリープ・モードでの V_{IN} の電源電流が劇的に減少します。スリープ・モードでは、負荷電流が出力コンデンサから供給されます。出力電圧 V_{OUT} が低下するにつれて、エラーアンプの出力は上昇し始めます。 V_{OUT} の電圧が十分低下すると、 I_{TH} ピンはエラーアンプの出力に再度接続され、スリープ信号は“L”になります、内部発振器の次のサイクルで上側のMOSFETをオンすることにより通常動作が再開されます。

LTC7103がBurst Mode動作になるように設定されている場合、インダクタ電流は反転することができません。インダクタ電流がゼロに達する直前に、逆電流コンパレータが外付けの下側MOSFETをオフにして、インダクタ電流が反転して負になるのを防ぎます。したがって、コンバータは不連続なインダクタ電流(DCM)によって動作します。

パルス・スキップ・モードになるようにPLLIN/MODEピンを接続すると、LTC7103は軽負荷時にPWMパルス・スキップ・モードで動作します。このモードでは、出力電流が最大設計値の約1%になるまで固定周波数動作が維持されます。非常に軽い負荷では、PWMコンパレータは数サイクルにわたって作動したままになることがあります、上側MOSFETを同じサイクル数だけ強制的にオフのままにする（つまり、パルスをスキップする）ことがあります。インダクタ電流は反転することができません（不連続動作）。このモードは、Burst Mode動作と比較して出力リップルが少ないだけでなく、RF干渉も少くなります。

Burst Modeまたはパルス・スキップ・モード時に不連続なインダクタ電流(DCM)を使用して動作している場合、LTC7103は平均電流制御からピーク電流制御へ滑らかに遷移します。この機能を使用すると、平均電流ループに関連したポールを取り除くことにより、軽負荷のDCM動作時の電圧ループの補償が簡単になります。

動作モード中のスプリアス変動を防ぐため、LTC7103は、あるモードから別のモードに変わる前に20μsの遅延時間を組み込んでいます。これは特に役立ちます。PLLIN/MODEピンは最初に動作モードを選択する目的に使用し、その後同期用の外部クロックを受け取る目的に使用できるからです。20μs

動作

の遅延により、同期信号を認識している間にモードが変更されずに済みます。同期中、LTC7103はパルス・スキップ・モードで動作します。

周波数の選択とフェーズロック・ループ (FREQピン、PLLIN/MODEピン)

LTC7103のスイッチング周波数は、FREQピンを使用して選択することができます。FREQピンをSGNDまたはINTV_{CC}に接続するか、外付け抵抗を接続してスイッチング周波数を設定することもできます。FREQをSGNDに接続すると300kHzが選択されるのに対して、FREQをINTV_{CC}に接続すると1MHzが選択されます。FREQとSGNDの間に抵抗を接続すると、FREQピンの電圧が電圧制御発振器(VCO)の入力に送られ、周波数を200kHz～2MHzの範囲内に設定することができます。

LTC7103はフェーズロック・ループ(PLL)を内蔵しており、PLLIN/MODEピンに接続された外部クロック信号源に内部発振器を同期させることができます。LTC7103の位相検出器(PFD)とローパス・フィルタは、VCO入力の電圧を調整して、上側MOSFETがオンするタイミングを同期信号の立ち上がりエッジに揃えます。

外部クロックが検出されると、PFDローパス・フィルタは素早くプリバイアスされ、PLLがVCOを引き継ぐことが可能になる前に、FREQピンで設定した動作周波数になります。外部クロックの周波数の近くにプリバイアスしておくと、PLLループは、外部クロックの立ち上がりエッジを上側MOSFETのターンオンに同期させるのに、VCO入力をわずかに変化させるだけで済みます。ループ・フィルタをプリバイアスする機能により、PLLは目的の周波数から大きくずれることなく迅速に同期することができます。

フェーズロック・ループの標準的なキャプチャ・レンジは約160kHz～2.3MHzで、製造上の全てのばらつきを含めて200kHz～2MHzの範囲内になることが保証されています。言い換えると、LTC7103のPLLは、周波数範囲が200kHz～2MHzの外部クロック信号源に同期することが保証されています。

PLLが外部クロックに同期後、外部クロックが停止すると、LTC7103はこの状態を直ちに検出してPFDがループを調整するのを防ぐので、内部発振器は外部クロックの周波数で動作を継続します。約9μs後、LTC7103はSYNC信号が失われたことを検出し、発振器の動作周波数はFREQピンで設定したレベルに戻ります。この機能により、外部クロックの停止時に発振器周波数が一瞬低下することがなくなり、同期への遷移と同期からの遷移を滑らかにすることができます。

PLLIN/MODEピンの標準的な入力クロックしきい値は上昇時が1.5Vで下降時が1.1Vであり、この入力はTTL互換です。

CLKOUTピンからは、ほかのスイッチング回路をLTC7103のスイッチング周波数に同期させるのに役立つリラクション・クロックが出力されます。この信号の出力“H”レベルはINTV_{CC}(標準3.5V)と等しく、CLKOUT信号の立ち上がりエッジは上側MOSFETのターンオンに対して位相が180°ずれています。これにより、2つのLTC7103を同期させ、位相をずらして動作させて入力電流を最小限に抑えることや、2つのLTC7103と一緒に使用して大電流の2相コンバータにすることが容易になります。「アプリケーション情報」セクションの「2相動作」を参照してください。

出力電流の設定とモニタ(I_{CTRL}ピン、I_{MON}ピン)

LTC7103は平均電流モード制御を利用してお、この制御ではI_{TH}の電圧が平均出力電流に比例するので、平均出力電流の設定およびモニタは単純明快です。

平均出力電流の制限値はI_{CTRL}ピンを使用して設定しますが、この電圧はI_{TH}の電圧を最大レベルまで直接クランプします。平均出力電流の値を0A～2.5Aの範囲内に設定するには、このピンを0.4V～1.3Vの電圧に接続します。このピンには20μAの内部プルアップ電流が流れるので、SGNDとの間に1本の抵抗を接続すれば電圧を設定することができます。

高速で最適化された電流ループを全ての動作条件にわたって維持することにより、LTC7103は、I_{CTRL}ピンの電圧の変化に最大限の速度で応答します。これは、競合するほとんどのソリューションより数倍高速です。競合の場合は、低速の平

動作

均電流ループが電圧レギュレーション・ループの外側に置かれているからです。平均電流ループを電圧レギュレーション・ループの内側に置くことにより、LTC7103ではほぼ1サイクル単位での電流プログラミングが可能です。

平均出力電流はIMONピンでモニタすることができます。復元されたインダクタ電流信号(V_{SNS})は、ローパス・フィルタ(f_c = 10kHz)を通過してバッファ処理された後、IMONピンに送られます。IMONの電圧は、通常は0.4V~1.3Vの範囲内で変化し、0A~2.5Aの平均出力電流に対応します。IMONの電圧は一瞬の間0.4Vより低くなったり1.3Vより高くなったりすることがあります、最終的には平均電流ループによってこれらのレベルに制限されます。スリープ時には、このピンは0.4Vに保持されます。

短絡保護と最小オン時間

LTC7103のアーキテクチャは、短絡状態に対する固有の保護回路を備えており、出力電流と発振器周波数をどちらも折り返す必要がありません。これが可能なのは、PWMコンパレータがインダクタ電流の情報を平均電流アンプから絶え間なく受け取っているからです。これにより、上側スイッチの最小オン時間が長すぎてスイッチング周波数が最大のときにインダクタ電流の制御を維持できない場合、短絡状態ではサイクルが自動的にスキップされます。所定のスイッチング・サイクルがスキップされるのは、高速平均電流ループの要件を満たす必要がある場合に限るので、これにより、V_{OUT} = 0Vまでの動作にフォールドバックも一時中断状態も現れない、垂下型の電流制限特性が得られます。この垂下型電流制限の標準的な動作を図2に示します。

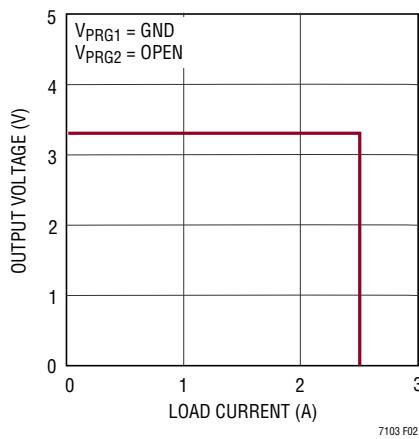


図2. 標準的な電流制限動作

平均電流ループはきわめて高速ではあるものの、インダクタ電流が安全なレベルを一瞬でも超えることができないように、フェイルセーフのピーク電流制限(I_{PK})コンパレータも組み込まれています。ピーク電流制限値は、平均電流制限値よりも1.2A高い値に内部設定されており、ICTRLピンの電圧によって設定される平均電流制限値に追従します。実際には、このピーク電流制限コンパレータが必要なのは、平均電流アンプの出力フィルタに異常電圧があり、同時に短絡が発生している場合だけです。この場合には、平均電流アンプ・フィルタが安定状態になる間の数サイクルにピーク電流制限コンパレータが必要になる可能性があります。

V_{IN}からV_{OUT}への降圧比が高い条件で動作する場合は、最小オン時間での動作を回避するのに十分な低いスイッチング周波数を選択することに注意してください。ただし、降圧比を高くするのに最小オン時間を超えることが必要になる場合、LTC7103アーキテクチャは出力過電圧に対する固有の保護機能を備えています。この場合も、PWMコンパレータは、出力電圧のレギュレーションを維持するため、必要に応じてサイクルのスキップを自動的に発生させます。これによって出力過電圧は回避できますが、インダクタ電流のリップルが大きくなるので、このモードでの動作は望ましくありません。

この固有の保護動作に加えて、別の出力過電圧コンパレータがV_{FB}の電圧をモニタして、過電圧状態が発生した場合(V_{FB}がV_{FB(OV)}を超えた場合)に上側MOSFETがオンしないよう動作します。

昇圧電源とドロップアウト動作

内部チャージポンプを使用することにより、LTC7103はデューティ・サイクル100%での動作に対応できるので、できるだけ低いドロップアウト電圧を実現して、ドロップアウト時のスイッチング・ノイズをゼロにすることができます。このチャージポンプは、ドロップアウト状態で動作する場合、上側MOSFETスイッチの静的なゲート電圧を維持するのに必要な少量の電流を供給します。ドロップアウト状態で動作しない場合、上側MOSFETスイッチをスイッチングするのに必要なゲート駆動電圧は、BOOSTのコンデンサ(C_{BOOST})、下側MOSFETスイッチ、およびINTVCCとBOOSTの間の内部スイッチによって形成されるチャージポンプから供給されます。ドロップアウト状態に近づくと、BOOSTとSWの間のフローティング・ゲート・ドライバに対して適切な電源を維持するため、下側MOSFETスイッチのオン時間は必要に応じて長くなります。

動作

パワーグッド(PGOODピン)

PGOODピンは、内部NチャネルMOSFETのオープン・ドレンに接続されています。内部帰還電圧(V_{FB1})が1Vのリファレンス電圧の $\pm 10\%$ 以内に入らないと、MOSFETがオンしてPGOODピンは“L”になります。また、PGOODピンはRUNピンが“L”(シャットダウン状態)になったときも“L”になります。 V_{FB1} が $\pm 10\%$ の要件を満たすと、MOSFETはオフするので、外付け抵抗によってこのピンを16V以下の電源にプルアップすることができます。 V_{FB1} の電圧が $\pm 10\%$ の範囲から外れるのに応じてPGOODピンが“L”になるまでに、20 μ sの遅延時間(T_{PG})があります。

過熱保護と過電圧保護

OVLOピンは V_{IN} の過電圧に対してユーザーが調整可能な保護機能を実現しますが、このほかに、LTC7103は V_{IN} 過電圧シャットダウン機能を内蔵しています。 V_{IN} ピンの電圧が上昇時に118.5V(下降時は112V)を超えると、上側と下側のMOSFETはオフ状態に維持され、全てのスイッチングが停止します。同様に、内部のダイ温度が上昇時は171°C(下降時は155°C)を超えると、LTC7103は温度が低下するまでスイッチングと共にLDOレギュレータをディスエーブルします。内部過電圧保護機能および過熱保護機能は絶対最大定格の範囲外で作動するので、運用上、依存しないように注意してください。これらの機能は、システム全体の信頼性および安全性を向上する2次的なフェイルセーフとしての目的に限定されています。

アプリケーション情報

LTC7103の一般的なアプリケーション回路は、このデータシートの最初のページに記載されています。外付け部品の選択は主に負荷要件によって決まり、まず動作周波数と軽負荷時の動作モードの選択から始めます。次に、インダクタを選択します。これにより、抵抗 R_{IND} の値も決まります。インダクタを選択したら、入力コンデンサ C_{IN} 、出力コンデンサ C_{OUT} 、内部レギュレータのコンデンサ C_{VCC} 、および昇圧コンデンサ C_{BST} を選択することができます。次に、固定出力電圧または帰還抵抗を選択して、目的の出力電圧を設定します。最後に、 V_{IN} の低電圧/過電圧ロックアウト、外部ソフトスタート、LDO レギュレータのタイムアウト、外部ループ補償、平均出力電流のモニタと制限、PGOODなどの機能を対象に、残っているオプションの外付け部品を選択することができます。

動作周波数の設定

動作周波数の選択は、効率と部品サイズの間の兼ね合いによって決まります。動作周波数が高いと、小型のインダクタと値の小さいコンデンサを使用することができます。低い周波数で動作させると内部ゲート電荷と遷移損失が減るので効率が改善されますが、出力リップル電圧を低く維持するには、インダクタンスの値または容量あるいはその両方を大きくする必要があります。

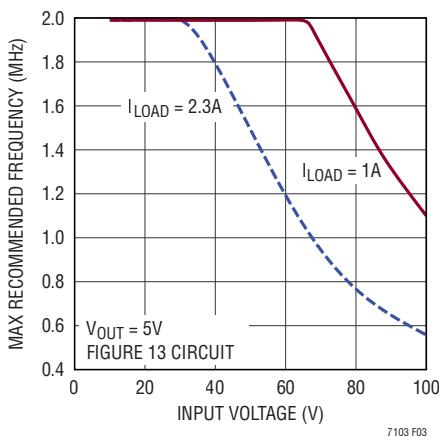


図3. 最大推奨周波数と入力電圧

LTC7103のほとんどのアプリケーションでは、300kHz～750kHzのスイッチング周波数により、サイズと効率のバランスをうまくとることができます。最大2MHzの高いスイッチング周波数で動作させるのは容易ですが、通常はスイッチング損失によって入力電圧がより低いレベルに制限されます。この

内容を図3に示します。ここでは、図13のアプリケーション回路での推奨の最大スイッチング周波数に対する1A負荷および2.3A負荷時の入力電圧を示しています。これらの線は LTC7103 内部での2.5Wの電力損失に対応しており、これにより、接合部温度は空気流がない場合で約85°C上昇します。電力損失および温度上昇の計算の詳細については、「効率に関する検討事項」と「熱に関する検討事項」のセクションを参照してください。

動作周波数に関するそのほかの制約事項は、LTC7103の制御可能な最小オン時間です。LTC7103のアーキテクチャは、最小オン時間を超えた場合でも本質的に出力電圧レギュレーションを維持しますが、一方でサイクルのスキップによりインダクタ電流のリップルが大きくなります。これを回避するには、次式が成り立つようにスイッチング周波数を選択します。

$$f < \frac{V_{OUT}}{V_{IN(MAX)} \cdot t_{ON(MIN)}}$$

表1に示すように、スイッチング周波数はFREQピンまたはPLLIN/MODEピンあるいはその両方を使用して設定します。

表1. 周波数の設定

FREQピン	PLLIN/MODEピン	周波数(F)
SGND	DC電圧	300kHz
INTV _{CC}	DC電圧	1MHz
$R = (f/40 + 7.5k)$ ～SGND	DC電圧	200kHz～2MHz
上記のいずれか	外部クロック (200kHz～2MHz)に 位同期	

FREQピンをSGNDに接続すると300kHzが選択されるのに対して、FREQをINTV_{CC}に接続すると1MHzが選択されます。FREQピンからは40μAが流れ出るので、FREQとSGNDの間に抵抗を接続することにより、周波数を200kHz～2MHzの任意の値に設定することができます。次式が成り立つようにFREQピンの抵抗を選択します。

$$R_{FREQ} = \frac{f}{40} + 7.5k$$

また、LTC7103はフェーズロック・ループ(PLL)を内蔵しており、PLLIN/MODEピンに接続された外部クロック信号源に内部発振器を同期させることができます。いったん同期すると、上側MOSFETのターンオンは同期信号の立ち上がりエッジ

アプリケーション情報

に抑えられます。詳細については、「フェーズロック・ループと周波数同期」セクションを参照してください。

軽負荷時動作モードの設定

LTC7103は、軽負荷電流時に、高効率のBurst Mode動作または固定周波数のパルス・スキップ・モードになるよう設定することができます。Burst Mode動作を選択するには、PLLIN/MODEピンをグランドに接続します。パルス・スキップ・モードを選択するには、PLLIN/MODEピンを100kの抵抗を介してINTV_{CC}に接続します。同期中、LTC7103はパルス・スキップ・モードで動作します。PLLIN/MODEピンを使用した軽負荷時動作モードの選択を表2に示します。

表2. モード選択

PLLIN/MODEピン	軽負荷時動作モード
SGND	Burst Mode Operation
R = 100k to INTV _{CC}	Pulse-Skipping Mode
External Clock	Pulse-Skipping Mode

一般に、各アプリケーションの要件は、軽負荷時動作モードに対する適切な選択肢を示します。

Burst Mode動作では、インダクタ電流が反転することはできません。インダクタ電流がゼロに達する直前に、逆電流コンパレータが外付けの下側MOSFETをオフにして、インダクタ電流が反転して負になるのを防ぎます。したがって、コンバータは不連続動作状態で動作します。更に、平均出力電流が約200mAより減少すると、スイッチング周波数より低い周波数でインダクタ電流がバースト動作を開始し、スイッチングが停止しているときは低消費電流のスリープ・モードに入ります。結果として、軽負荷時に効率が最も高い可能性があるのはBurst Mode動作です。

パルス・スキップ・モードでは、出力電流が設計上の最大値の約1%に低下するまで固定周波数動作が維持されます。非常に軽い負荷では、PWMコンパレータは数サイクルにわたって作動したままになることがあります、上側MOSFETを同じサイクル数だけ強制的にオフのままにする(つまり、パルスをスキップする)ことがあります。インダクタ電流は反転することができません(不連続動作)。このモードは、Burst Mode動作と比較して出力リップルが少ないだけでなく、RF干渉も少くなります。したがって、パルス・スキップ・モードは軽負荷時の効率、出力リップル、EMI間の妥協点を示しています。

アプリケーションによっては、システム内に存在する条件に応じて軽負荷時動作モードを変更するのが望ましいことがあります。例えば、システムが不動作状態の場合は、PLLIN/MODEピンを0Vに維持することによって、高効率のBurst Mode動作を選択することが考えられます。システムが起動したら、外部クロックをPLLIN/MODEに送ってパルス・スキップ・モードに切り替えることになります。このように実行中にモード変更を行うと、個々のアプリケーションがそれぞれの軽負荷時動作モードの利点を得ることができます。

インダクタ値の選択

入力電圧と出力電圧が与えられている場合は、インダクタの値と動作周波数によってインダクタのリップル電流が決まります。より具体的には、インダクタのリップル電流は、インダクタ値が高くなるか動作周波数が高くなると次式に従って減少します。

$$\Delta I_L = \left(\frac{V_{OUT}}{f \cdot L} \right) \left(1 - \frac{V_{OUT}}{V_{IN}} \right)$$

この式から、部品サイズ、効率、および動作周波数の間に交換条件があることが分かります。 ΔI_L の値が大きてもかまわない場合は値の小さいインダクタを使用できますが、インダクタでのコア損失が大きくなり、出力コンデンサでのESR損失が大きくなつて、出力リップルが大きくなります。一般に、動作周波数が低くリップル電流が小さいと、効率が最高の動作が得られます。

リップル電流を設定するための妥当な出発点は、およそ0.75A_{P-P}です。V_{IN}が最大のときに最大リップル電流が生じることに注意してください。リップル電流が規定の最大値を超えないことを保証するには、次式に従ってインダクタンスを選択します。

$$L = \left(\frac{V_{OUT}}{f \cdot \Delta I_L(\text{MAX})} \right) \left(1 - \frac{V_{OUT}}{V_{IN}(\text{MAX})} \right)$$

LTC7103は、DC出力電流をI_{CTRL}ピンの電圧によって決まる値に制限する高速の平均電流制限ループを内蔵しています。(詳細については、「平均出力電流の制限およびモニタ」のセクションを参照してください。)ただし、アプリケーションによってはインダクタに電流トランジエントが生じる場合があります。このトランジエントは、平均電流制限の設定値より公称で1.2A高い値を追跡するピーク電流制限コンパレータによって

アプリケーション情報

制限されます。飽和を防止するには、飽和電流 I_{SAT} が次式を満たすインダクタを選択します。

$$I_{SAT} > \frac{V_{ICTRL} - 0.4}{0.36} + 1.5A$$

これにより、所定のアプリケーションの要求に適合する電流定格のインダクタを使用することができます。平均出力電流の制限値をデフォルト値の 2.5A に設定した場合は、 $I_{SAT} > 4A$ のインダクタが必要です。ただし、平均電流の制限値を 1.5A に設定した場合は、 $I_{SAT} > 3A$ のインダクタを使用してかまいません。 I_{CTRL} ピンに可変電圧が存在する場合、必要なインダクタ飽和電流を計算するときは、常に I_{CTRL} に生じる最大値を使用してください。

V_{PRG1} ピンと V_{PRG2} ピンを使用して固定出力電圧 (V_{OUT}) 動作を選択した場合は、 R_{IND} ピンをフロート状態のままにしてもかまいませんが、それは表 3 に従ってインダクタンス値を選択した場合に限ります。 R_{IND} ピンの抵抗は、使用しているインダクタンス値を示すので、このピンをフロート状態のままにしておくと、LTC7103 は自動的に表 3 に示すようなインダクタンス値であるとみなします。これらのインダクタンス値では、最大負荷電流のおよそ 30%~40% となるインダクタ・リップル電流が得られます。使用したインダクタンスの公称値が表 3 に規定されている値と 10% 以上異なる場合は、 R_{IND} ピンに抵抗を接続してこの値を示す必要があります。

表 3. R_{IND} ピンをフロート状態にした場合の必要なインダクタの値

V_{OUT} の固定値	必要なインダクタンスの値 ($R_{IND} = \text{フロート}$)		
	$f = 300\text{kHz}$	$f = 1\text{MHz}$	$f = \text{ADJ}$
1.2V	3.9 μH	1.2 μH	$L = 1.1/f$
1.8V	5.6 μH	1.8 μH	$L = 1.7/f$
2.5V	8.2 μH	2.5 μH	$L = 2.5/f$
3.3V	12 μH	3.3 μH	$L = 3.6/f$
3.6V	12 μH	3.3 μH	$L = 3.6/f$
5V	18 μH	5.6 μH	$L = 5.4/f$
12V	47 μH	15 μH	$L = 14/f$
15V	47 μH	15 μH	$L = 14/f$

インダクタのコアの選択

L の値が求められたら、インダクタの種類を選択する必要があります。インダクタ値が固定の場合、実際のコア損失はコア・サイズに無関係ですが、選択したインダクタンスに大きく依存します。インダクタンスが大きいほどコア損失が減少します。残念ながら、インダクタンスを大きくするにはワイヤの巻数を増やす必要があるため、銅損失の増加を招きます。

フェライトを使用した設計が示すコア損失はきわめて小さく、高いスイッチング周波数に適しているため、銅損失と飽和を防ぐことに設計目標を集中することができます。フェライト・コアの材質は急激に飽和します。つまり、ピーク設計電流を超えるとインダクタンスは急に減少します。この急激な減少により、インダクタのリップル電流が突然増加するため、コアが飽和しないよう確認することが重要です。

R_{IND} 抵抗の選択

R_{IND} ピンの抵抗を使用する目的は、使用するインダクタンスの値を LTC7103 に示すことです。これが必要なのは、インダクタ電流の波形をデバイス内部で復元するためと、電流ループの DC 利得を設定するためです。インダクタの値を選択したら、次式に従って R_{IND} ピンの抵抗を選択します。

$$R_{IND} = \frac{1}{7.5 \cdot L}$$

V_{PRG1} ピンと V_{PRG2} ピンを使用して固定出力電圧 (V_{OUT}) 動作を選択した場合は、 R_{IND} ピンをフロート状態のままにしてもかまいませんが、それは表 3 に従ってインダクタンス値を選択した場合に限ります。可変 V_{OUT} モードを選択している場合は、 R_{IND} ピンをフロート状態のままにしないでください。 R_{IND} ピンをフロート状態のままにして可変 V_{OUT} モードを選択すると (V_{PRG1} と V_{PRG2} を両方ともフロート状態にすると)、LTC7103 はこれをフォルト状態として検出して動作しなくなります。

R_{IND} ピンで許容される電流範囲は 8 μA ~220 μA であり、この意味は次のとおりです。

$$1.1 \leq f \cdot L \leq 30$$

実際には、たいていの場合、上記の制約がインダクタ値の選択に影響することはありません。

アプリケーション情報

C_{IN}の選択

入力容量C_{IN}が必要なのは、上側パワーMOSFETのドレインで台形波電流を除去するためです。C_{IN}の容量は、この目的を果たした上で、入力電圧が大きく変動しないで済む値にします。更に、入力コンデンサはESRが非常に低いもので、かつ最悪の場合のRMS入力電流(次式)に対応できる定格のものにする必要があります。

$$I_{RMS} = \frac{I_{OUT(MAX)}}{2}$$

多くの場合、コンデンサ・メーカーはリップル電流定格をわずか2000時間の寿命時間によって規定しています。このため、コンデンサをさらにディレーティングする、つまり要件よりも高い温度定格のコンデンサを選択するようしてください。設計でのサイズまたは高さの要件に適合させるため、複数のコンデンサを並列に接続できます。LTC7103は動作周波数が高いため、C_{IN}にセラミック・コンデンサを使用することもできます。多くのアプリケーションでは、4.7 μF以上のX7R型コンデンサが適しています。疑問点については必ずメーカーにお問い合わせください。

入力コンデンサC_{IN}はV_{IN}ピンのできるだけ近くに配置し、デバイスのPGND(パドル)に低インダクタンスで接続します。大型のバルク・コンデンサのほかに、小型ケース・サイズ(0603または0805)のセラミック・デカップリング・コンデンサをV_{IN}ピンの近くに配置して、EMIを低減することができます。

LC入力フィルタの使用

高電圧アプリケーションでは、必要なRMS入力電流に対応できる定格を備えたバルク容量を使用すると費用がかかることがあります。しかも、簡素なコンデンサを使用してAC入力電流をフィルタ除去する場合、電源が大型システム内に置かれていると、このAC電流がどこに流れているか特定するのは困難です。これらの問題を回避するため、図4に示すように電源入力にLCフィルタを使用することができます。これにより、RMS電流定格が適切であることが分かっている比較的小型で安価なコンデンサ(C_F)に大きなAC電流を封じ込めるすることができます。LCフィルタは次式が成り立つように選択します。

$$\frac{1}{2\pi\sqrt{L_F C_F}} < \frac{f}{5}$$

ここで、fはスイッチング周波数です。これにより、RMS入力電流は約5分の1に減衰するので、容量の大きいバルク・コンデンサC_{BULK}のRMS入力要件が大幅に緩和されます。フィルタ・インダクタLFの飽和電流は、少なくとも次式が成り立つようにします。

$$I_{SAT(LF)} \geq 1.3 \cdot \frac{V_{OUT} I_{OUT(MAX)}}{V_{IN(MIN)}}$$

フィルタ出力でのリップル電圧を適度なレベルに抑えるには、次式も満足するL_FとC_Fの値を選択します。

$$\sqrt{\frac{L_F}{C_F}} < 2.9 \cdot \left(\frac{V_{RIPPLE}}{I_{OUT(MAX)}} + \frac{R_{ESR}}{2} \right)$$

ここで、V_{RIPPLE}は入力フィルタの出力における望ましいリップル電圧であり、R_{ESR}はコンデンサC_FのESRです。V_{RIPPLE}の適切な目標は、V_{IN}の公称値の3%です。

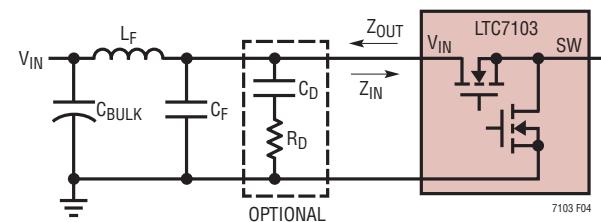


図4. 入力フィルタとオプションの減衰回路網

LC入力フィルタを使用する場合は、LCフィルタの出力インピーダンス(Z_{OUT})の大きさがDC/DCコンバータのパワーフィードへの入力インピーダンス(Z_{IN})より大きくならないようにする必要があります。これが必要なのは、リギングと、発生の可能性がある電圧ループの不安定性を回避するためです。多くのアプリケーションでは、この条件は必然的に満たされます。バルク入力容量C_{BULK}のESRは、LC入力フィルタのQ値を低下させるのに十分なほど高いからです。状況によっては、図4に示すように直列の減衰回路網を追加する必要があります。臨界減衰を得るには、次式に従ってC_DおよびR_Dを選択します。

$$C_D \approx 4 \cdot C_F$$

$$R_D = \sqrt{\frac{L_F}{C_F}}$$

アプリケーション情報

C_{OUT} の選択

C_{OUT} は、等価直列抵抗(ESR)に基づいて選択します。一般に、ESRの要件が満たされていれば、その容量はフィルタリング機能にも十分です。出力リップル(ΔV_{OUT})は次式で近似されます。

$$\Delta V_{OUT} \approx \Delta I_L \left(ESR + \frac{1}{8 \cdot f \cdot C_{OUT}} \right)$$

ここで、 f は動作周波数、 C_{OUT} は出力容量、 ΔI_L はインダクタのリップル電流です。 ΔI_L は入力電圧に応じて増加するので、出力リップルは入力電圧が最大のとき最大になります。

内部電圧ループ補償を選択している場合は、安定性を確保するために必要な最小限のバルク出力容量で済みます。ループの安定性は、負荷トランジエント応答を観察することによってチェックすることができます。「アプリケーション情報」セクションの「内部/外部ループ補償」を参照してください。

セラミックの入力コンデンサおよび出力コンデンサの使用

値の大きな低価格のセラミック・コンデンサが今では小さなケース・サイズで入手できるようになりました。これらは電圧定格が高く、ESRが小さいので、スイッチング・レギュレータのアプリケーションに最適です。ただし、セラミック・コンデンサの種類によっては、その自己共振特性や高いQ特性が原因で、入力および出力に使用する場合には注意する必要があります。セラミック・コンデンサを入力に使い、ACアダプタで長いコードを通して電源を供給すると、出力の負荷ステップによって V_{IN} 入力にリングングが誘起されることがあります。最善の場合でも、このリングングが出力に結合して、ループの不安定性と誤認されることがあります。最悪の場合、長いコードを通して電流が急に突入すると、 V_{IN} に電圧スパイクが生じてデバイスを損傷するのに十分な大きさになる恐れがあります。詳細な説明については、「アプリケーションノート88」を参照してください。

入力と出力にセラミック・コンデンサを選択する場合は、X5RやX7Rの誘電体を配合したものを選択します。これらの誘電体は、ある特定の値とサイズに対して最良の温度特性と電圧特性を実現します。更に、値とケース・サイズを選択するときには、セラミック・コンデンサの電圧係数を考慮するよう注意してください。ほとんどのセラミック・コンデンサは、定格電圧の近くで使用すると定格値の50%以上を失います。

INTV_{CC}レギュレータ

LTC7103は異なる2つの低ドロップアウト・リニア・レギュレータ(LDO)を内蔵しており、EXTV_{CC}ピンの電圧が利用可能かどうかによって、 V_{IN} ピンとEXTV_{CC}ピンのいずれかからINTV_{CC}ピンに電力を供給します。INTV_{CC}は内部MOSFETのゲートと内部回路のほとんどに電力を供給します。 V_{IN} LDOとEXTV_{CC} LDOは、それぞれINTV_{CC}を3.5Vに安定化します。

INTV_{CC}ピンは、1 μ F以上のセラミック・コンデンサをINTV_{CC}ピンのできるだけ近くに配置してグランドにバイパスする必要があります。INTV_{CC}電源のノイズおよびリップルを最小限に抑えるため、BOOSTとSWの間にあるコンデンサ C_{BST} より容量が10倍以上大きいコンデンサ C_{VCC} をINTV_{CC}に必ず接続します。

$$C_{VCC} > 10 \cdot C_{BST}$$

値とケース・サイズを選択するときには、セラミック・コンデンサの電圧係数を考慮するよう注意してください。多くのセラミック・コンデンサは、定格電圧の近くで使用すると定格値の50%以上を失います。

V_{IN} の高いアプリケーションでは、EXTV_{CC}を V_{OUT} に接続すると便利です(ブートストラップ接続)。こうすると効率が向上して、 V_{IN} LDOでの電力損失が減少するからです。これは、 V_{OUT} を3.3V~40Vの任意の電圧範囲にすれば実現できます。あるいは、必要なINTV_{CC}バイアス電流を供給可能で電圧範囲が3.3V~40Vの任意のDC電圧にEXTV_{CC}ピンを接続することもできます。必要なバイアス電流はスイッチング周波数と動作モードによって変わります。最大負荷動作(最悪の場合)では、INTV_{CC}バイアス電流は次式により与えられます。

$$I_{INTVCC} = 4mA + 1nC \left(8 + \frac{V_{IN}}{20} \right) \cdot f$$

EXTV_{CC}が加わっていない場合、 V_{IN} LDOの電力損失による接合部温度の上昇は、LDOのタイムアウト機能によって制限されます。詳細については、「ソフトスタートとLDOレギュレータのタイムアウト」のセクションを参照してください。

以下にEXTV_{CC}の4つの可能な接続方法を示します。

1. EXT_{VCC}を開放のままにします(または接地します)。こうすると、 V_{IN} LDOからINTV_{CC}に電力が供給されるため、入力電圧が高いときに効率が低下します。

アプリケーション情報

- EXTVCCを出力電圧V_{OUT}に直接接続します。これは3.3V～40Vのレギュレータでは通常の接続であり、効率が最も高くなります。
- EXTVCCを外部電源に接続します。電圧範囲が3.3V～40Vの外部電源を利用できる場合は、この電源がINTVCCの必要な電流を供給できることを条件に、これを使用してEXTVCCに電力を供給することができます。電圧がV_{IN}より高いEXTVCCを使用した動作が可能です。
- 出力を電源とする昇圧回路網またはチャージポンプ回路網にEXTVCCを接続します。2.5Vレギュレータなどの低電圧降圧レギュレータでは、出力から得られ、3.05Vより高い電圧に昇圧された電圧にEXTVCCを接続すれば効率を向上することができます。

ほとんどのアプリケーションでは、EXTVCCをV_{OUT}にそのまま接続して、効率の高いブーストストラップ接続に対応します。この構成では、Burst Mode動作を選択することにより、レギュレーション状態での無負荷時V_{IN}電流を次式を使用して計算することができます。

$$I_{V_{IN}} = 1\mu A + \frac{V_{OUT}}{0.8 \cdot V_{IN}} \cdot \left(\frac{V_{OUT}}{R_D} + \frac{V_{OUT}}{6M\Omega} + 8\mu A \right)$$

ここで、R_DはV_{OUT}とGNDの間に接続した帰還抵抗分割器の全抵抗です。固定出力電圧モードでは、V_{PRG1}とV_{PRG2}を使用してV_{OUT}を設定するので、R_D = V_{OUT}/1.25μAを使用します。可変V_{OUT}モード(図5)では、R_D = R₁ + R₂を使用します。

上側MOSFETドライバの電源(C_{BST})

「機能図」に示す昇圧コンデンサ(C_{BST})は、与えられた入力電圧V_{IN}より高い電圧レールを発生させるのに使用します。具体的には、下側のパワーMOSFETがオンするたびに、昇圧コンデンサを内部MOSFETスイッチを介してINTVCCとほぼ等しい電圧まで充電します。このコンデンサの電荷は、必要な電流を残りのスイッチング・サイクルの間に供給するために使用されます。上側のMOSFETがオンすると、BOOSTピンの電圧はV_{IN} + 3.5Vにほぼ等しくなります。ほとんどのアプリケーションでは、0.1μFのX7Rセラミック・コンデンサを接続すれば十分な性能が得られます。

また、LTC7103は、少量の電流をBOOSTピンに供給してデューティ・サイクル100%での連続動作を可能にする、内部チャージポンプを内蔵しています。このチャージポンプは、内部バイアスの要求をサポートして、上側MOSFETを完全に導通した状態に保つのに適しています。BOOSTピンでの(C_{BST}コンデンサの漏れ電流を含む)外部漏れ電流の合計値を4μA未満に抑えて、デューティ・サイクル100%での連続動作を確実にする必要があることに注意してください。

出力電圧のプログラミング

V_{PRG1}ピンとV_{PRG2}ピンにより、電源の出力電圧をプログラミングするときの自由度が高まります。これらのピンを両方ともフロート状態にすると、可変V_{OUT}モードが選択されます。このモードでは、図5に示すように、出力はV_{FB}ピンの外付け抵抗を使用して設定されます。安定化出力電圧は次式により求められます。

$$V_{OUT} = 1V \left(1 + \frac{R1}{R2} \right)$$

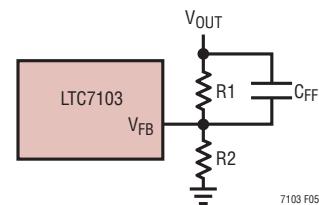


図5. 出力電圧の設定

抵抗R₁およびR₂をV_{FB}ピンのすぐ近くに配置して、PCBのトレース長とノイズを最小限に抑えます。V_{FB}のトレースは、インダクタやSWのトレースなどのノイズ源から離して配線するよう十分注意してください。周波数応答を改善するには、フィードフォワード・コンデンサ(C_{FF})を使用することができます。

V_{PRG1}とV_{PRG2}のいずれかをSGNDまたはINTVCCに接続すると、固定出力電圧モードが選択されます。このモードでは、表4に示すように、高精度の内部抵抗分割器を使用して、出力電圧を8種類の固定電圧レベルのいずれかに設定します。

アプリケーション情報

表4. 出力電圧のプログラミング

V _{PRG1}	V _{PRG2}	V _{OUT}
INTV _{CC}	INTV _{CC}	1.2V
OPEN	INTV _{CC}	1.8V
SGND	SGND	2.5V
SGND	OPEN	3.3V
SGND	INTV _{CC}	3.6V
OPEN	SGND	5V
INTV _{CC}	OPEN	12V
INTV _{CC}	SGND	15V
OPEN	OPEN	Adjustable 1V to V _{IN}

出力電圧の高いアプリケーション($V_{OUT} \geq 15V$)でR1の値が大きくなり過ぎないようにするために、外付け抵抗と内部抵抗を組み合わせて使用し、出力電圧を設定することができます。外付けの抵抗分割器でV_{FB}ピンを15V固定出力用に設定して高い出力電圧を発生するLTC7103を図6に示します。内部の12M抵抗がR2と並列になっていることが分かるので、それに従ってR2の値を調整する必要があります。LTC7103の内部抵抗の許容差に起因する出力電圧のばらつきを1%未満に保つため、R2には400kより小さい値を選択してください。

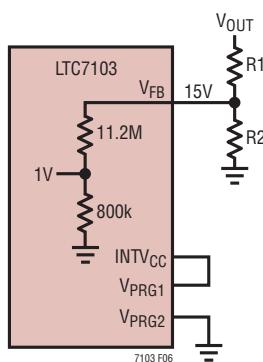


図6. 外付け抵抗と内部抵抗による出力電圧の設定

RUNピンと過電圧/低電圧ロックアウト

LTC7103は、RUNピンによって制御する低消費電力シャットダウン・モードを備えています。RUNピンの電圧を0.7Vより低くすると、LTC7103は低静止電流($I_Q = 0.7\mu A$)のシャットダウン・モードになります。RUNピンの電圧を $V_{RUN(ON)} = 1.21V$ より高くすると、スイッチングがイネーブルされます。RUNピンをロジック回路で駆動する構成の例を図7に示します。

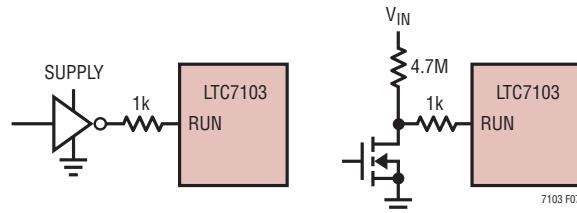


図7. ロジックに対するRUNピンのインターフェース

この代わりに、V_{IN}とグランドの間に抵抗分割器を接続することによって、RUNピンとOVLOピンをV_{IN}電源の高精度な低電圧ロックアウト(UVLO)および過電圧ロックアウト(OVLO)として構成できます。図8に示すように単純な抵抗分割器を使用することにより、特定のV_{IN}電圧要件を満たすことができます。

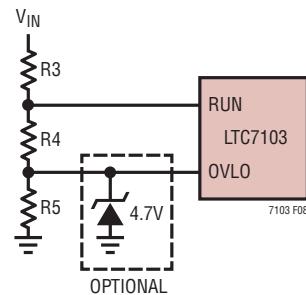


図8. 調整可能なUVおよびOVロックアウト

R3-R4-R5の分割器を流れる電流はLTC7103のシャットダウン時電流、スリープ時電流およびアクティブ時電流にそのまま追加されるので、この電流がアプリケーション回路全体の効率に与える影響を最小限に抑えるように注意してください。静止シャットダウン時電流とスリープ時電流に対する影響を低く抑えるために、MΩ単位の抵抗値が必要になります。抵抗値を選択するには、まず、V_{IN}から供給できる許容DC電流に基づいて、 $R_3 + R_4 + R_5$ (R_{TOTAL})の合計値を選択します。次に、以下の式より、R3、R4、およびR5の個々の値を計算できます。

$$R_5 = R_{TOTAL} \cdot \frac{1.21V}{\text{RISING } V_{IN} \text{ OVLO THRESHOLD}}$$

$$R_4 = R_{TOTAL} \cdot \frac{1.21V}{\text{RISING } V_{IN} \text{ UVLO THRESHOLD}} - R_5$$

$$R_3 = R_{TOTAL} - R_5 - R_4$$

アプリケーション情報

高精度な外部OVLOが不要なアプリケーションの場合、OVLOピンを直接グランドに接続します。このタイプのアプリケーションでは、R5を0Ωにして前述の式を使用し、RUNピンを外部UVLOとして使用できます。

同様に、高精度なUVLOが不要なアプリケーションの場合、RUNピンをV_{IN}に接続できます。この構成では、「電気的特性」の表に示すように、UVLOのしきい値は内部のV_{IN} UVLOしきい値に制限されます。OVLOの抵抗値は、R3を0Ωにして前述の式を使用することで計算できます。OVLOピンの電圧は絶対最大定格である6Vを超えてはならないことに注意してください。OVLOピンの電圧が6Vを超えないようにするには、次の関係を満たす必要があります。

$$V_{IN(MAX)} \cdot \left(\frac{R5}{R3+R4+R5} \right) < 6V$$

アプリケーションでこの式を満たすことができない場合は、図8に示すようにOVLOピンとグランドの間に4.7Vのツェナー・ダイオードを接続してOVLOピンの電圧をクランプしてください。

ソフトスタートとLDOレギュレータのタイムアウト

1.2msの内部ソフトスタート・ランプ時間により、出力電圧のランプ速度が制限され、起動時の過剰な入力電流が防止されます。ランプ時間を長くする必要がある場合は、SSピンとグランドの間にコンデンサを接続することができます。目的のソフトスタート時間(t_{SS})を得るために必要なソフトスタート・コンデンサの値は、次式により計算することができます。

$$C_{SS} = t_{SS} \cdot 10\mu A$$

C_{SS}の値は12nFより大きくして、t_{SS(INT)}の内部でフォルト値である1.2msより長いソフトスタート時間にする必要があるので注意してください。

LTC7103は、V_{IN} LDOでの電力損失に起因するダイ温度の上昇を制限するために不可欠なLDOレギュレータのタイムアウト機能も内蔵しています。これが役立つののは、V_{IN}が高い(EXTV_{CC}をV_{OUT}に接続した)アプリケーションで、V_{OUT}がグランドに短絡した場合です。この状況が発生すると、V_{IN} LDOがINTV_{CC}電流を引き継ぐので、V_{IN} LDOのパス・デバイスに大きな電力損失(>1W)が生じる可能性があります。こ

の状態が持続すると、LDOタイムアウトが発生して、上側と下側のMOSFETのスイッチングがディスエーブルされます。スイッチングがディスエーブルされると、INTV_{CC}のバイアス電流が約4mAまで減少するので、LDOでの電力損失が少なくなります。長時間の再起動遅延後、ソフトスタートが再開されます。

LDOレギュレータのタイムアウトおよび再起動時間は、選択したソフトスタート時間の長さt_{SS}に依存します。この値はデフォルトの1.2msになるか、外部で設定されます。ソフトスタートの完了後に、次式によって与えられる時間にわたってEXTV_{CC}が3Vより低くなると、タイムアウトが発生します。

$$t_{TIMEOUT} = 1.4 \cdot t_{SS}$$

この時点でスイッチングは停止し、再起動遅延タイマが作動します。再起動するのは、次式によって与えられる遅延時間の経過後です。

$$t_{RESTART} = 46 \cdot t_{SS}$$

この状態(EXTV_{CC} < 3V)が持続する限り、LTC7103は一時中断再起動モードで動作を続行します。これにより、V_{IN} LDOでの電力損失の実質的なデューティ・サイクルは約2%となり、ダイ温度が大幅に上昇するのが防止されます。ただし、LDOレギュレータのタイムアウト機能により、EXTV_{CC}をV_{OUT}に接続してV_{OUT} < 3Vとなるアプリケーションでは、出力定電流モードでの動作が回避されます。

LDOレギュレータのタイムアウト機能が必要ない場合は、SSピンを75kの抵抗を介してINTV_{CC}に接続してしません。こうするとLDOのタイムアウトが発生しないので、EXTV_{CC} = 0Vの場合でも連続動作が可能です。外付けコンデンサを使用する場合には、この抵抗の追加もソフトスタート時間に影響します(1.2msの内部ソフトスタートには影響しません)。75kを介してSSをINTV_{CC}に接続した場合、目的のソフトスタート時間(t_{SS})を得るために必要なソフトスタート・コンデンサの値は、次式により計算することができます。

$$C_{SS(75k)} = t_{SS} \cdot 51\mu A$$

LDOレギュレータのタイムアウト機能を無効にする場合は、最大接合部温度を超えないように注意する必要があります。詳細については「熱に関する検討事項」のセクションを参照してください。

アプリケーション情報

フェーズロック・ループと周波数同期

LTC7103はフェーズロック・ループ(PLL)を内蔵しており、PLLIN/MODEピンに接続された外部クロック信号源に内部発振器を同期させることができます。いったん同期すると、上側MOSFETのターンオンは同期信号の立ち上がりエッジに揃えられます。

PLLの標準的なキャプチャレンジは160kHz～2.3MHzで、製造上の全てのばらつきを含めて200kHz～2MHzの範囲内になることが保証されています。PLLIN/MODEピンの標準的な入力クロックしきい値は上昇時が1.5Vで下降時が1.1Vであり、この入力はTTL互換です。

FREQピンを使って自走周波数を必要な同期周波数の近くに設定することにより、高速フェーズロックを実現することができます。同期の前に、VCOのフィルタ電圧は、FREQピンによって設定された周波数に対応するレベルにプリバイアスされます。その結果、PLLはわずかな調整を行うだけで位相同期と同期を実現することができます。自走周波数を外部クロック周波数に近づける必要はありませんが、そうすると動作周波数がPLL同期範囲として広範囲の周波数を通過しなくて済みます。

PLLが外部クロックに同期後、外部クロックが停止すると、LTC7103はこの状態を直ちに検出してPLLがループを調整するのを即座に防ぐので、内部発振器は外部クロックの周波数で動作を継続します。約9μs後、LTC7103はSYNC信号が失われたことを検出し、発振器周波数はFREQピンで設定したレベルに戻ります。この機能により、同期への遷移と同期からの遷移が滑らかになります。

CLKOUTピンからは、ほかのスイッチング回路をLTC7103のスイッチング周波数に同期させるのに役立つリファレンス・クロックが出力されます。この信号の出力“H”レベルはINTV_{CC}（標準3.5V）と等しく、CLKOUT信号の立ち上がりエッジは上側MOSFETのターンオンに対して位相が180°ずれています。これにより、2つのLTC7103を同期させ、位相をずらして動作させて入力電流を最小限に抑えることや、2つのLTC7103と一緒に使用して大電流の2相コンバータにすることが容易になります。「2相動作」のセクションを参照してください。

最小オン時間に関する検討事項

最小オン時間t_{ON(MIN)}は、LTC7103が上側MOSFETをオンすることができる最小時間です。この時間は内部のタイミング遅延によって決まります。低デューティ・サイクルのアプリケーションでは、この最小オン時間の制限値に接近する可能性があるので、これを回避するため、十分に低いスイッチング周波数で動作させるように注意が必要です。「動作周波数の設定」のセクションを参照してください。

デューティ・サイクルが最小オン時間で吸収できるレベルより低くなると、LTC7103は動作モード(Burst Modeおよびパルス・スキップ・モード)に関係なくサイクルをスキップし始めます。出力電圧は引き続き安定化されますが、リップル電圧とリップル電流は増加します。

LTC7103の最小オン時間は約40nsです。この状況でデューティ・サイクルが最小オン時間の限度より低くなると、サイクル・スキップが発生し、それに応じて電流リップルと電圧リップルが大きくなる可能性があります。

内部/外部ループ補償

LTC7103には、固定の内部ループ補償回路網を使用して、必要な外付け部品点数と設計時間を両方とも削減するためのオプションがあります。この内部ループ補償回路網は、I_{TH}ピンをINTV_{CC}ピンに接続することによって選択できます。内部補償は200kHz～2MHzの範囲の任意のスイッチング周波数で使用することができます。LTC7103は、スイッチング周波数に基づいて内部補償を自動的に調整し、最適なトランジエント応答を維持します。内部補償を使用する場合、安定性を確保するために必要となる最小出力容量の妥当な出発点は、4.7μFあるいは次式で得られるC_{OUT}のいずれか大きい方となります。

$$C_{OUT} \approx \frac{80}{f \cdot V_{OUT}}$$

ここで、C_{OUT}は電圧がV_{OUT}のときの容量値であり、大半のセラミック・コンデンサは、定格電圧で使用した場合、定格値の50%またはそれ以上を失うことに注意してください。

アプリケーション情報

あるいは、特定の外部ループ補償部品を選択して、メイン制御ループのトランジエント応答を必要に応じて最適化してもかまいません。外部ループ補償は、目的の回路網を I_{TH} ピンに接続するだけで選択されます。

補償部品の標準値を図9に示します。500kHzのアプリケーションでは、例えば2.2nFと10k Ω のR-C(図9のR_{COMP}とC_{BYP})回路網が出発点として適しています。ループの帯域幅はCが小さくなるにつれて大きくなります。Rの増加率をCの減少率と同じにするとゼロの周波数が同じ値に保たれるので、帰還ループの最も重要な周波数範囲では位相が同じ状態に保たれます。 I_{TH} ピンに10pFのバイパス・コンデンサ(図9のC_{BYP})を接続して、基板の浮遊容量に起因する高周波結合を除去することを推奨します。更に、フィードフォワード・コンデンサC_{FF}を追加すると、前に図5で示したように、高周波応答を改善することができます。コンデンサC_{FF}は、R1との組み合わせで高周波のゼロを発生することにより位相進みを得ることができます。位相余裕が改善されます。

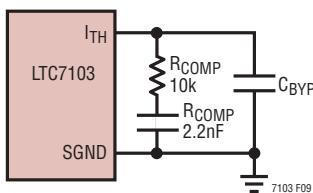


図9. 補償部品

トランジエント応答の確認

レギュレータのループ応答は負荷ステップに対するシステムの応答を観察すれば確認できます。外部補償に合わせて構成した場合は、 I_{TH} ピンを使用することで制御ループの動作を最適化できるだけでなく、このピンをDC結合してACフィルタを通した閉ループ応答テスト・ポイントとして使用することもできます。このテスト・ポイントでのDCステップ、立ち上がり時間、およびセトリング動作は、システムの閉ループ応答を反映します。2次特性が支配的なシステムを想定すれば、このピンで見られるオーバーシュートのパーセンテージを高インピーダンスの低容量プローブを使って観察することにより、位相余裕や減衰係数を推定することができます。

図9に示す I_{TH} ピンの外付け部品は、ほとんどのアプリケーションにとって妥当な出発点となります。直列R-Cフィルタに

より、ポール-ゼロのループ補償が設定されます。これらの値は、PCBレイアウトを完了し、特定の出力コンデンサの種類と容量値を決定したら、トランジエント応答を最適化するために変更することができます。さまざまな種類と値によってループ帰還係数、利得、位相が決まるので、特定の出力コンデンサを選択する必要があります。立ち上がり時間が1 μ s～10 μ sで、最大負荷電流の20%～100%の出力電流パルスによって発生する出力電圧波形と I_{TH} ピンの波形により、帰還ループを開くことなく全体的なループの安定性を判断することができます。

負荷ステップに対する V_{OUT} の応答を観察するとき、初期出力電圧ステップが帰還ループの帯域幅内にないことがあります。そのため、標準的な2次オーバーシュート/DC比を使って位相余裕を推定することができません。出力電圧のセトリングの様子は閉ループ・システムの安定性に関係し、電源全体の実際の性能を表します。制御ループ理論の要点を含む補償部品の最適化の詳細については、弊社の「アプリケーションノート76」を参照してください。

アプリケーションによっては、大容量(>1 μ F)の電源バイパス・コンデンサを接続した負荷でのスイッチングによって、極端なトランジエントが発生することがあります。放電した入力コンデンサが実質的にC_{OUT}と並列接続された状態になるため、 V_{OUT} の急激な低下を引き起こします。負荷に接続しているスイッチの抵抗が低く、急速に駆動された場合、この出力電圧低下を防止するのに十分な電流を供給できるレギュレータはありません。解決策は負荷スイッチのドライバがオンになる速度を制限することです。Hot SwapTMコントローラは特にこの目的のために設計されており、通常は電流制限、短絡保護、およびソフトスタート機能が組み込まれています。

平均出力電流の制限およびモニタ

LTC7103は、外部での制御およびモニタが可能な高速かつ高精度の平均電流制限回路を内蔵しています。この高速電流ループは、バッテリやコンデンサの充電、あるいはLEDやレーザー・ダイオードでの電流プログラミングなどのアプリケーションで役立ちます。平均出力電流の制限値は、I_{CTRL}ピンを使用して設定します。I_{CTRL}ピンの電圧により、平均出力電流の制限値が次式に従って設定されます。

$$I_{LIM(AVG)} = \frac{V_{ICTRL} - 0.4}{0.36}$$

アプリケーション情報

このことから、 I_{CTRL} の電圧を0.4V～1.3Vに調整すれば、平均電流の制限値を0A～2.5Aの範囲内の任意の値に設定することができます。 I_{CTRL} の電圧が0.4Vより低い場合は内部で0.4Vに制限されるので、平均出力電流を負の値に設定することはできません。

このピンには20 μ Aの内部プルアップ電流が流れるので、SGNDとの間に1本の抵抗を接続すれば電圧を設定することができます。平均出力電流の特定の固定制限値 $I_{LIM(AVG)}$ を設定するには、次式に従って抵抗を選択します。

$$R_{ICTRL} = \frac{0.36 \cdot I_{LIM(AVG)} + 0.4}{20\mu A}$$

LTC7103は高速の内部電流ループを備えた平均電流モード制御を使用するので、定電流モードで動作する場合、安定性に関する懸念はありません。更に、LTC7103は、スイッチング周波数と動作条件に基づいて電流ループを自動的に最適化します。平均電流ループの単位利得帯域幅は、スイッチング周波数の約1/3に維持されます。これにより、LTC7103は I_{TH} ピンの電圧の変動に対してほぼ1サイクル単位で応答することができます。これは、競合するソリューションより数倍高速です。競合の場合は、低速の平均電流ループが電圧レギュレーション・ループの外側に置かれているからです。

定電流モードで動作しているときに I_{CTRL} の電圧が低いと、インダクタ電流が不連続になります。この状況で、LTC7103 平均電流ループは優れた出力電流プログラミング精度を無負荷まで維持します。

平均出力電流は I_{MON} ピンでモニタすることができます。このピンでは、内部で検出したインダクタ電流をフィルタに通したもの($f_C = 10\text{kHz}$)を表す電圧を発生します。 I_{MON} のDC電圧は、通常は次式に従って $0.4\text{V} \sim 1.3\text{V}$ の範囲内で変化し、 $0\text{A} \sim 2.5\text{A}$ の平均出力電流に対応します。

$$V_{IMON} = 0.36 \cdot I_{OUT(AVG)} + 0.4$$

I_{MON} の電圧は一瞬の間0.4Vより低くなったり1.3Vより高くなったりすることがあります。最終的には平均電流ループによってこれらのレベルに制限されます。スリープ時には、このピンは0.4Vに保持されます。内部の I_{MON} バッファの安定性を確保するため、2k以上の抵抗と100pFより大きい容量性負荷を直列に接続します。

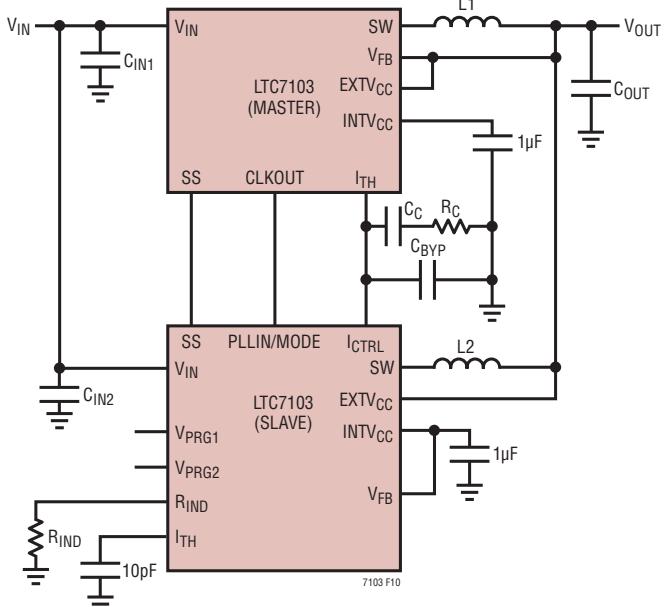


図10. 2相動作対応の接続

2相動作

LTC7103は、出力電流を増大するために並列動作をサポートします。2相動作を実装するのは、図10に示すように簡単です。この図では、上段のLTC7103はマスタとして動作し、電圧レギュレーションを処理します。下段(スレーブ)のLTC7103は電流源として動作します。電流の値はマスタの平均電流ループの要求によって決まります。スレーブはマスタに対して位相が180°ずれて同期するので、入力電流のリップルが激減します。SSピンを互いに接続することで、両デバイスの起動とシャットダウンのタイミングが一致することが保証されます。V_{PRG1}とV_{PRG2}をフロート状態にしているときにスレーブのV_{FB}ピンをINTV_{CC}に接続すると、スレーブ・モードが起動します。これにより、I_{CTRL}ピンの20 μ A プルアップ電流が流れなくなり、スレーブのI_{TH}電圧はI_{CTRL}ピンの電圧を追跡するようになります。スレーブ・モードで動作している場合は、使用するインダクタの値を示すため、R_{IND}ピンの抵抗が常に必要です。スレーブのI_{TH}とGNDの間に10pFのコンデンサを接続して、高周波ノイズを取り除きます。

効率に関する検討事項

スイッチング・レギュレータのパーセント表示の効率は、出力電力を入力電力で割って100%を掛けた値です。個々の損失

アプリケーション情報

を解析して、どのような要素が効率を制限し、何を変更すれば最も効率が改善されるかを判断できる場合が少なくありません。パーセント表示の効率は、次式で表すことができます。

$$\% \text{効率} = 100\% - (L1 + L2 + L3 + \dots)$$

ここで、L1、L2などは入力電力に対するパーセンテージで表した個々の損失項です。

回路内の電力を消費する全ての要素で損失が生じますが、LTC7103の損失の大部分は3つの主な損失要因によって生じます。それは、1) I^2R 損失、2) INTVCCレギュレータの電流、3) 遷移損失やそのほかのシステム損失です。

1. I^2R 損失は内部スイッチのDC抵抗 R_{SW} と外部インダクタの抵抗 R_L から計算されます。連続電流モードでは、平均出力電流はインダクタ L を流れますが、内部の上側パワーMOSFETと下側パワーMOSFETの間でこま切れにされます。したがって、SWピンを見たときの直列抵抗は、次式のように、上側MOSFETおよび下側MOSFETの両方の $R_{DS(ON)}$ とデューティ・サイクル(DC)の関数になります。

$$R_{SW} = (R_{DS(ON)TOP}) \cdot (DC) + (R_{DS(ON)BOT}) \cdot (1 - DC)$$

上側MOSFETと下側MOSFETの $R_{DS(ON)}$ は、両方とも「標準的性能特性」のグラフから求めることができます。したがって、 I^2R 損失は次式で求められます。

$$I^2R \text{ Loss} = I_{OUT}^2 \cdot (R_{SW} + R_L)$$

2. 内蔵のLDOはINTVCCレールに電力を供給します。この場合の全電力損失は、ゲート駆動損失と、制御回路からの静止電流損失の合計です。パワーMOSFETのゲートが“L”から“H”に切り替わり、更に再び“L”に切り替わるたびに、一定量の電荷 dQ が V_{IN} からグランドに移動します。そのときの dQ/dt はINTVCCから流出する電流であり、一般にはDC制御バイアス電流よりはるかに大きくなります。連続電流モードでは、 $I_{GATECHG} = f(Q_T + Q_B)$ です。ここで、 Q_T および Q_B は内蔵の上側および下側パワーMOSFETのゲート電荷であり、 f はスイッチング周波数です。概算のため、LTC7103の $(Q_T + Q_B)$ は約8nCですが、この値は V_{IN} の電圧に応じて変化します。LDO負荷による全電力損失を計算するには、次式に示すように、ゲート電荷電流と静止電流を単純に加え、それに電圧を掛けます。

$$P_{LDO} = \left[4mA + 1nC \left(8 + \frac{V_{IN}}{20} \right) \cdot f \right] \cdot V_X$$

ここで、 V_{IN} LDOが動作している場合は $V_X = V_{IN}$ であり、EXTVCC LDOが動作している場合は $V_X = EXTVC$ です。出力から得られる電力源からEXTVCCを介してINTVCCに電力を供給すると、ゲート駆動回路および制御回路に必要な V_{IN} 電流は、(デューティ・サイクル)/(効率)に比例して減少します。例えば、48Vから5Vへの降圧アプリケーションでは、INTVCC電流が10mAの場合、 V_{IN} 電流は約1.2mAになります。これにより、中間電流損失は10%以上から2%未満に減少します。

3. 遷移損失は上側のMOSFETにのみ当てはまり、高入力電圧(通常40V以上)かつ高周波で動作する場合には大きくなることがあります。遷移損失は次式から概算できます。

$$\text{Transition Loss} = (72pF) \cdot V_{IN}^2 \cdot (I_{OUT} + 2.5) \cdot f$$

銅トレースの抵抗や内部バッテリ抵抗などの隠れた損失は、電源システム全体での更なる効率低下の原因になる可能性があります。その他の損失(デッドタイム中のダイオードの導通損失やインダクタのコア損失など)は、一般には追加される全損失の2%未満にしかなりません。

フォルト状態:短絡保護

LTC7103のアーキテクチャは、短絡状態に対する固有の保護回路を備えており、出力電流と発振器周波数をどちらも折り返す必要がありません。所定のスイッチング・サイクルがスキップされるのは、高速平均電流ループの要件を満たす必要がある場合に限るので、垂下型の電流制限特性となり、 $V_{OUT} = 0V$ までの動作にはフォールドバックも一時中断も発生しません。ただし、LDOのタイムアウト機能が原因で一時中断後の再起動が起こります。EXTVCC > 3Vの場合や、SSピンを75kの抵抗を介してINTVCCに接続してこの機能をディスエーブルしている場合は該当しません。

平均電流ループはきわめて高速ではあるものの、インダクタ電流が安全なレベルを一瞬でも超えることができないように、フェイルセーフのピーク電流制限(I_{PK})コンパレータも組み込まれています。実際には、ピーク電流制限コンパレータが必要なのは、平均電流アンプの出力フィルタに異常電圧があり、短絡が発生している場合だけです。この場合には、平均電流アンプ・フィルタが安定状態になる間の数サイクルにピーク電流制限コンパレータが必要になる可能性があります。

アプリケーション情報

フォルト状態:過熱保護

高温時、または内部電力損失によりチップが過度に自己発熱した場合は、過熱シャットダウン回路がLTC7103をシャットダウンします。接合部温度が約171°Cを超えると、過熱保護回路がINTV_{CC} LDOレギュレータならびに全てのスイッチングをディスエーブルして内部の電力損失をなくします。接合部温度が低下して約155°Cまで戻ると、LTC7103はオン状態に戻り、再度起動を開始します。オーバーストレス($T_J > 150^{\circ}\text{C}$)が長期的に加わるとデバイスの性能が低下したり寿命が短くなる恐れがあるので、避けてください。

熱に関する検討事項

LTC7103では、露出したパッケージのバックプレーン金属板(PGND)をプリント回路基板に十分半田付けして、電気的接触と熱接触の両方を確保することが必要です。これにより、QFNパッケージは、同様なサイズのほかのパッケージと比較して、並外れた熱特性が得られます。LTC7103は効率が高くパッケージのバックプレーンの熱抵抗が小さいので、多くのアプリケーションでは大量に発熱することはありません。ただし、周囲温度が高く、かつ入力電圧が高いかスイッチング周波数が高い条件でLTC7103が動作するアプリケーションでは、発熱がデバイスの最大接合部温度を超えることがあります。接合部温度が約171°Cに達すると、2つのパワー・スイッチは両方ともオフし、温度が約16°C低下するまで復帰しません。

ユーザーは必ず熱解析を行い、LTC7103が最大接合部温度を超えないようにします。

温度上昇は次式で与えられます。

$$T_{RISE} = P_D \cdot \theta_{JA}$$

ここで、 P_D は I_C での電力損失であり、 θ_{JA} はダイの接合部から周囲環境までの熱抵抗です。LTC7103が $I_{OUT} = 2\text{A}$ 、 $V_{IN} = 50\text{V}$ 、 $f = 500\text{kHz}$ 、 $V_{OUT} = \text{EXTV}_{CC} = 5\text{V}$ 、周囲温度が70°Cで動作している例について検討します。「標準的性能特性」のセクションから、上側スイッチの $R_{DS(ON)}$ がこの温度では公称335mΩ、下側スイッチの $R_{DS(ON)}$ が公称180mΩであることが分かるので、パワーMOSFETの等価抵抗 R_{SW} は次のようにになります。

$$R_{SW} = (335\text{m}\Omega)(0.1) + (180\text{m}\Omega)(0.9) = 196\text{m}\Omega$$

前のセクションから、 I^2R 損失は $(2^2)(0.196) = 780\text{mW}$ です。INTV_{CC}の電力損失は次のようにになります。

$$P_{LDO} = \left[4\text{mA} + 1\text{nC} \left(8 + \frac{50}{20} \right) \cdot 500\text{k} \right] \cdot 5 = 46\text{mW}$$

遷移損失はほぼ次のとおりです。

$$(72\text{pF}) \cdot 50^2 \cdot (2 + 2) \cdot 500\text{kHz} = 360\text{mW}$$

したがって、全電力損失は約1.2Wです。5mm × 6mmのQFNパッケージの接合部-周囲間熱抵抗 θ_{JA} は約38°C/Wです。したがって、70°Cの周囲温度で動作しているレギュレータの接合部温度は、およそ次のとおりです。

$$T_J = 1.2\text{W} \cdot 38^{\circ}\text{C/W} + 70^{\circ}\text{C} = 116^{\circ}\text{C}$$

これは最大接合部温度である150°Cより低い温度です。

設計例

設計例として、以下の仕様のアプリケーションにLTC7103を使用する場合を考えます。 $V_{IN} = 36\text{V} \sim 72\text{V}$ 、 $V_{OUT} = 12\text{V}$ 、 $I_{OUT(\text{MAX})} = 2\text{A}$ 、 $I_{OUT(\text{MIN})} = 20\text{mA}$ 、スイッチングをイネーブルするのは V_{IN} が30V～90Vの範囲です。

まず、高負荷電流と低負荷電流の両方で効率が重要なので、500kHzでのBurst Mode動作を選択します。スイッチング周波数を500kHzにするための R_{FREQ} 抵抗は、 $R_{FREQ} = f/40 + 7.5\text{k} = 20\text{k}$ を使用して計算します。更に、PLLIN/MODEピンをグランドに接続してBurst Mode動作を選択します。

次に、出力電圧は設定値($V_{PRG1} = \text{INTV}_{CC}$ および $V_{PRG2} = \text{開放}$)として得られるので、 R_{IND} ピンはフロート状態のままにして、インダクタの値は表3に従って28μHを選択します。公称値が27μHで $I_{SAT} \geq 4\text{A}$ の適当なインダクタは複数のメーカーから供給されているので、 $L = 27\mu\text{H}$ の値を選択します。

次に、内部電圧ループ補償と出力リップルに必要な最小値に基づいて、 $C_{OUT} = 22\mu\text{F}$ を選択します。 C_{IN} は、リップル電流 $I_{RMS} = I_{OUT}/2 = 1\text{A}$ に対応できる容量を選択します。低ESR、100V、4.7μFのセラミック・コンデンサを選択します。INTV_{CC}のデカップリング・コンデンサは1μFを選択し、BOOSTのコンデンサは0.1μFを選択します。EXTV_{CC}は V_{OUT} に接続して、INTV_{CC} LDOでの損失を最小限に抑えます。

アプリケーション情報

V_{IN} の低電圧ロックアウトと過電圧ロックアウトの要件を満たすには、 V_{IN} ピンとRUNピンおよびOVLOピンの間に抵抗分割器を接続します(図8参照)。 $R3+R4+R5 = 2.5\text{M}\Omega$ を選択して、 V_{IN} の負荷を最小限に抑えます。R3、R4、およびR5を、以下の式に従って計算します。

$$R5 = \frac{1.21V \cdot 2.5\text{M}\Omega}{90V} = 33.6\text{k}$$

$$R4 = \frac{1.21V \cdot 2.5\text{M}\Omega}{30V} - R5 = 67.2\text{k}$$

$$R3 = 2.5\text{M}\Omega - R5 - R4 = 2.4\text{M}\Omega$$

$\text{M}\Omega$ レンジの特定の値の抵抗は一般に入手しにくいため、R3、R4、およびR5の大きさは、R3の標準値に合わせて決めることが必要になる場合があります。この例の場合、 $R3 = 2.2\text{M}\Omega$ を選択してから、R4とR5の値を $2.2\text{M}/2.4\text{M}$ の比率で変更します。その結果、 $R4 = 61.6\text{k}$ 、 $R5 = 30.8\text{k}$ となります。 $R3 = 2.2\text{M}$ 、 $R4 = 62\text{k}$ 、および $R5 = 30.9\text{k}$ の標準値を選択します。UVLOとOVLOの降下時しきい値は、上昇時しきい値よりも8%および5%低い(つまり、それぞれ27.6Vと85.5Vである)ことに注意してください。

I_{TH} ピンを INTV_{CC} に接続することによって内部補償を選択します。 I_{CTRL} ピンをフロート状態のままにして 2.5A の電流制限値を選択し、SSピンもフロート状態のままにして 1.2ms の内部ソフトスタート・ランプ時間を選択します。この設計例の完全な回路図を図11に示します。

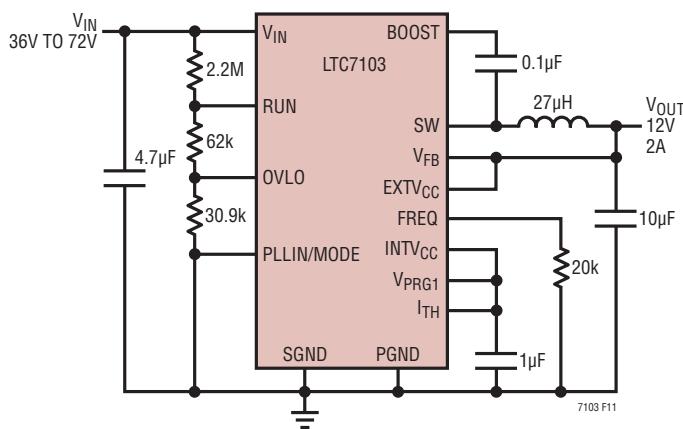


図11. 36V～72V入力、12V出力の2Aレギュレータ

EMIを低く抑えるPCBレイアウト

LTC7103は、内部パワー・スイッチに付随する寄生インダクタンスを低減することにより、主にEMI/EMCエミッションを最小限に抑える目的で設計されています。最適な性能を得るために、LTC7103では V_{IN} のバイパス・コンデンサが2個必要です。図12に示すように、小型の $0.1\mu\text{F}$ コンデンサ(C_{IN1} 、0805ケース)と、 C_{IN1} より若干大きい $4.7\mu\text{F}$ 以上のコンデンサ(C_{IN2} 、1210ケース)をLTC7103のできるだけ近くに配置します。

EMI/EMCエミッションをできるだけ低く抑えるため、入力フィルタが必要です。例については図16を参照し、そのほかの詳細やPCB設計ファイルについてはLTC7103のデモボード・ガイドを参照してください。

プリント回路基板をレイアウトするときは、以下のチェックリストを使用して、LTC7103が正しく動作するようにしてください(図12参照)。

1. 入力コンデンサ、インダクタ、および出力コンデンサを回路基板の同じ側に配置して、可能な場合はこれらが配置されている層で接続するようにします。表面層に最も近い層のアプリケーション回路の下には、デバイス付近にある切れ目のないグランド・プレーンを配置します。
2. コンデンサ C_{IN1} は V_{IN} ピンと PGND ピンにできるだけ近づけて接続します。このコンデンサは内部パワーMOSFETにAC電流を供給します。 C_{IN1} の(-)電極は PGND と C_{OUT} の(-)電極に近づけて接続します。
3. 可変 V_{OUT} モードを使用する場合は、抵抗分割器($R1$ および $R2$)を、 C_{OUT} の(+)電極と SGND の近くに終端しているグランド・ラインとの間に接続する必要があります。これらの抵抗はICの近くに配置し、 V_{FB} のトレースは短くして、 SW または BOOST のいずれかから離します。
4. (RUN、OVLO、 R_{IND} 、 I_{TH} 、 V_{FB} 、 FREQ 、 I_{MON} 、および I_{CTRL} に接続されている)敏感な部品を SW ピンと BOOST ピンから離します。 SW ノードと BOOST ノードはできるだけ小さくします。
5. グランド・プレーンを1つにするか、信号グランドと電源グランドを2つのグランド・プレーンに分離して、低抵抗の1本のトレースを介して共通の基準点に(通常は露出パッドで)接続します。
6. LTC7103の温度上昇を低減するため、全ての層の未使用領域は銅で覆い、露出パッドに接続します。

アプリケーション情報

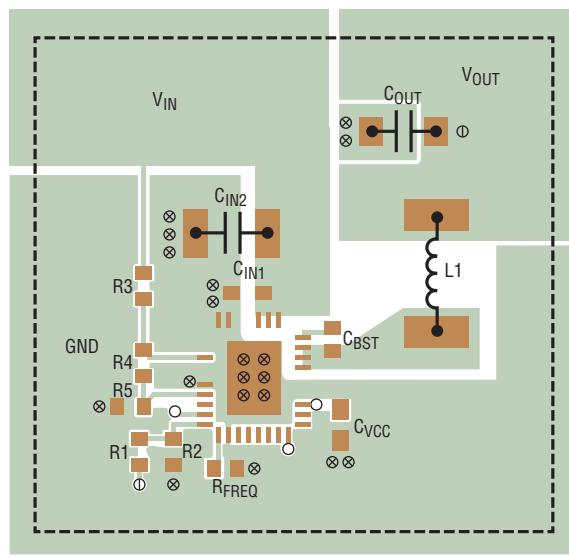
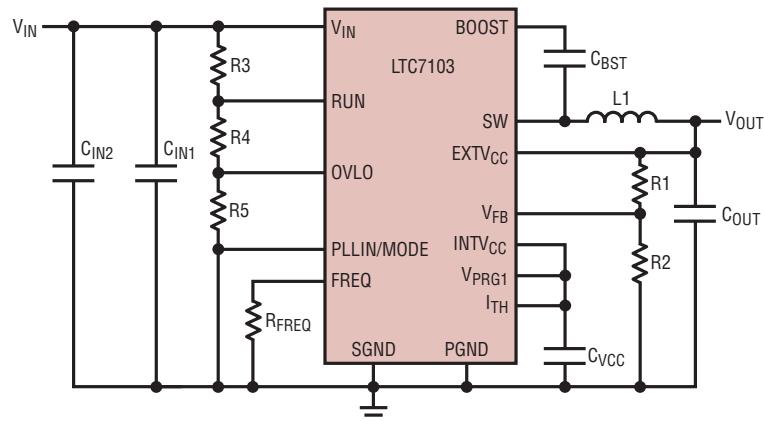


図12. プリント回路基板レイアウトの例

7103 F12

標準的応用例

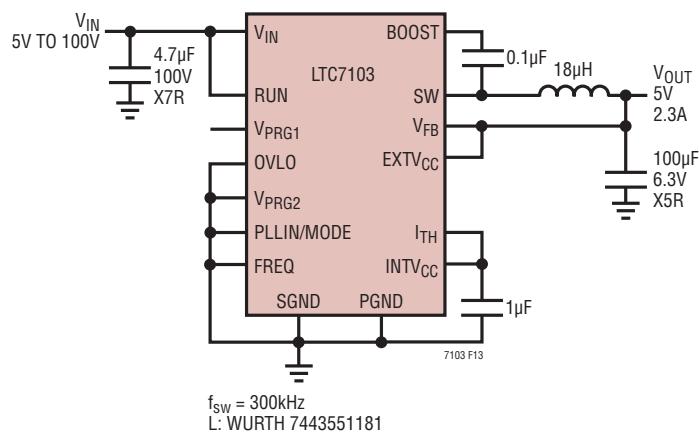


図13. 効率の高い5V～100V入力、5V/2.3A出力の降圧レギュレータ

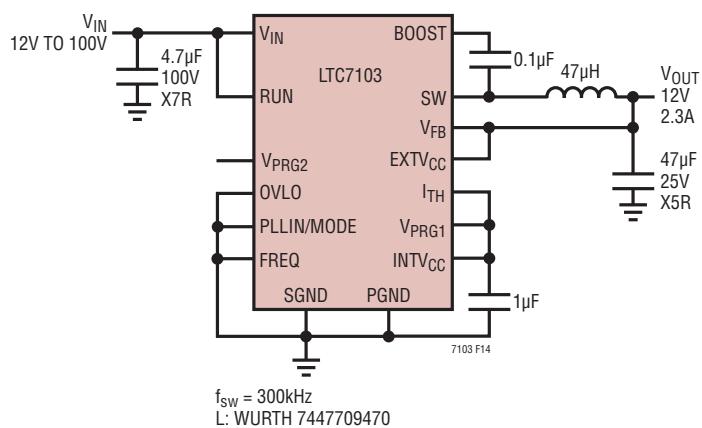


図14. 効率の高い12V～100V入力、12V/2.3A出力の降圧レギュレータ

標準的応用例

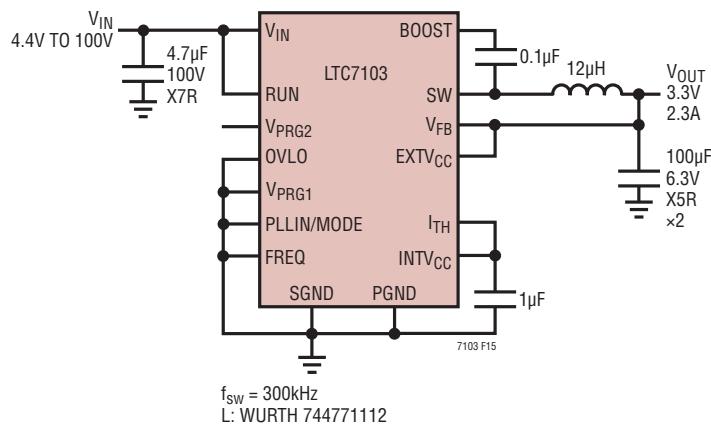


図15. 効率の高い4.4V～100V入力、3.3V/2.3A出力の降圧レギュレータ

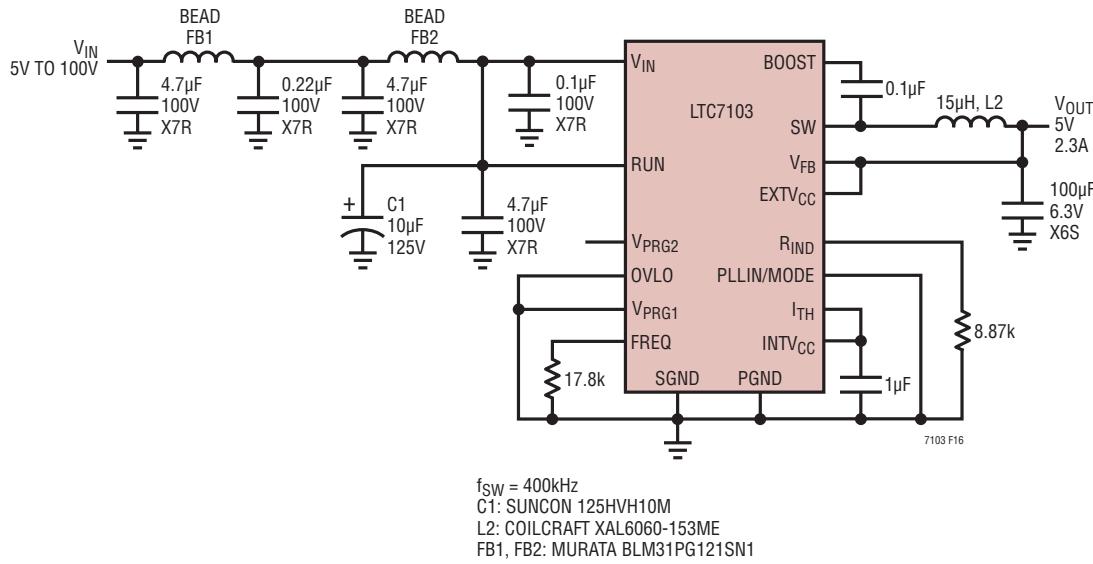
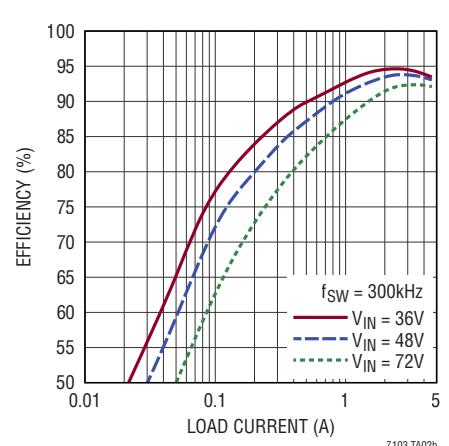
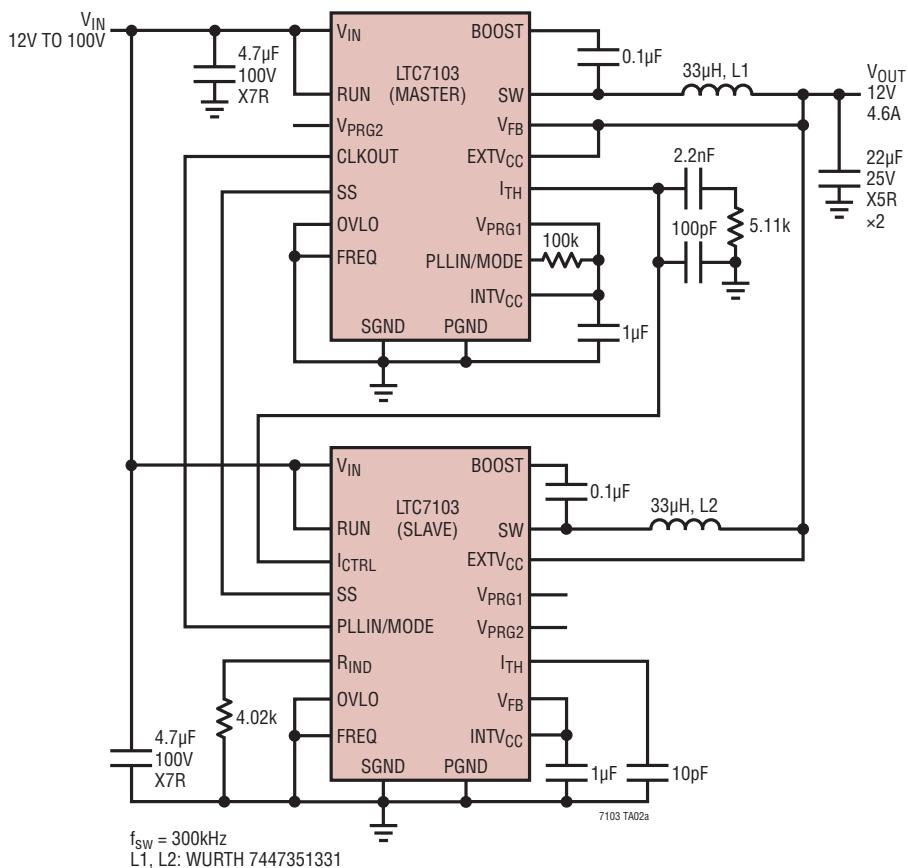


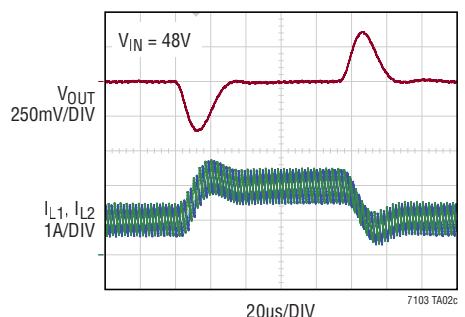
図16. 低EMI、5V～100V入力、5V/2.3A出力の降圧レギュレータ

標準的應用例

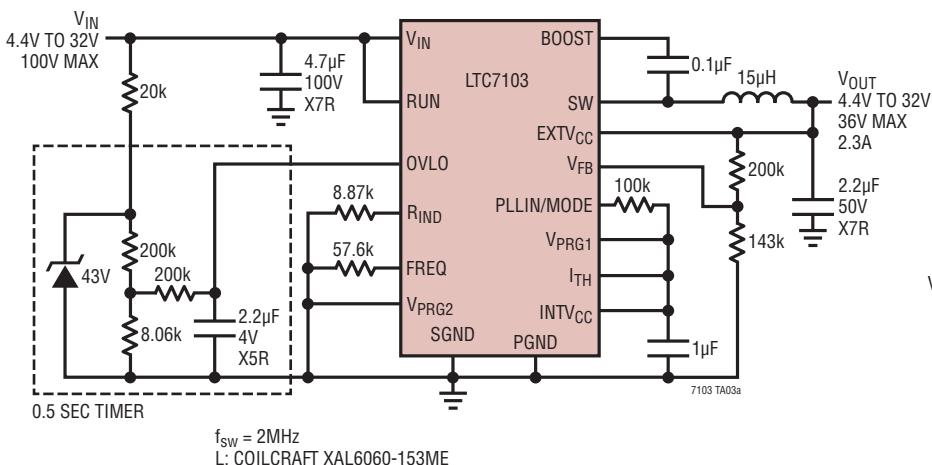
2相、12V～100V入力、12V/4.6A出力のレギュレータ



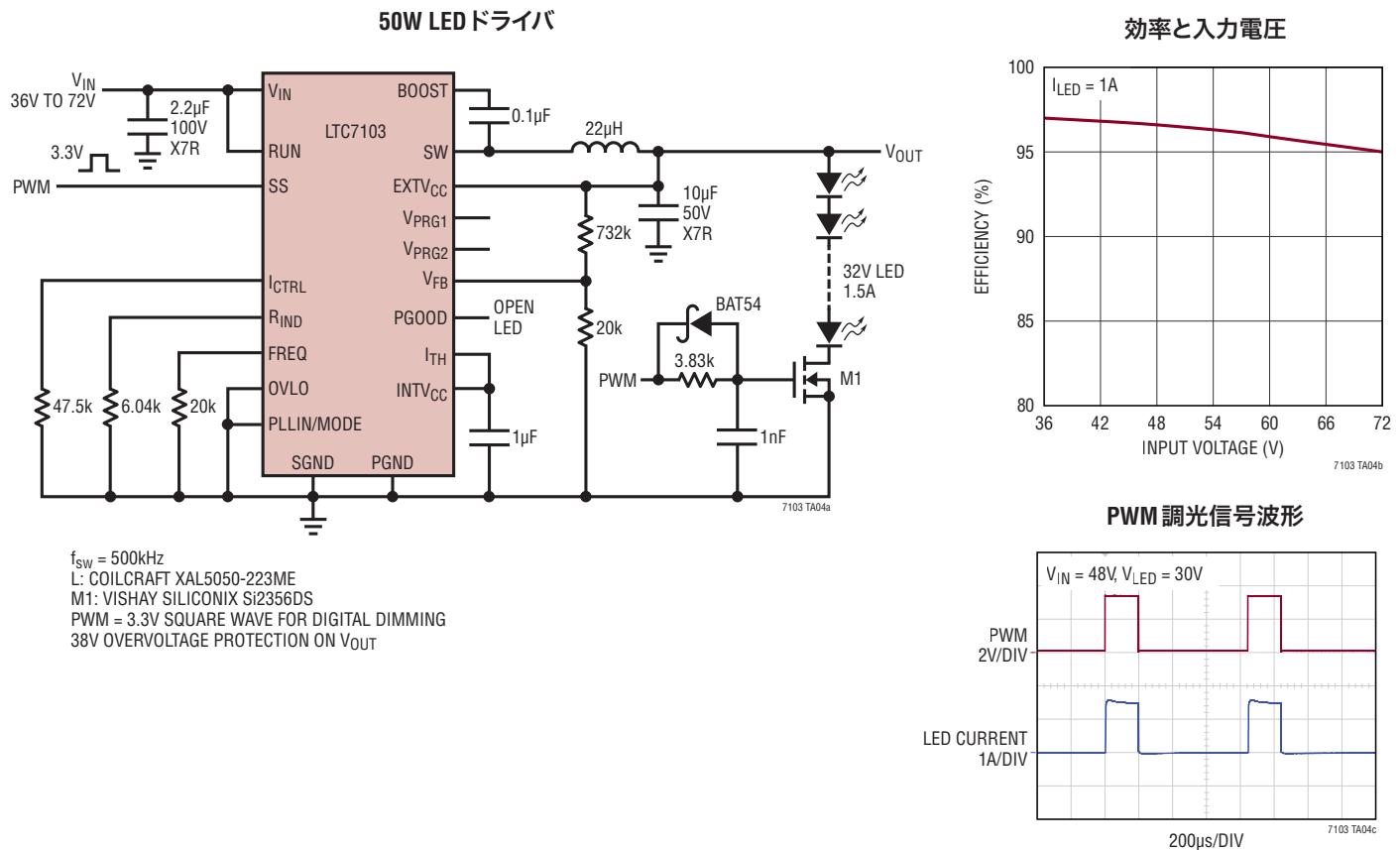
負荷トランジエント



100Vの入力サージ時にも動作し、0.5秒のフォルト・タイマを備えた12V/24V入力、12V/24V出力(2.3A)の自動車用スイッチング・サージ・ストッパー



標準的応用例



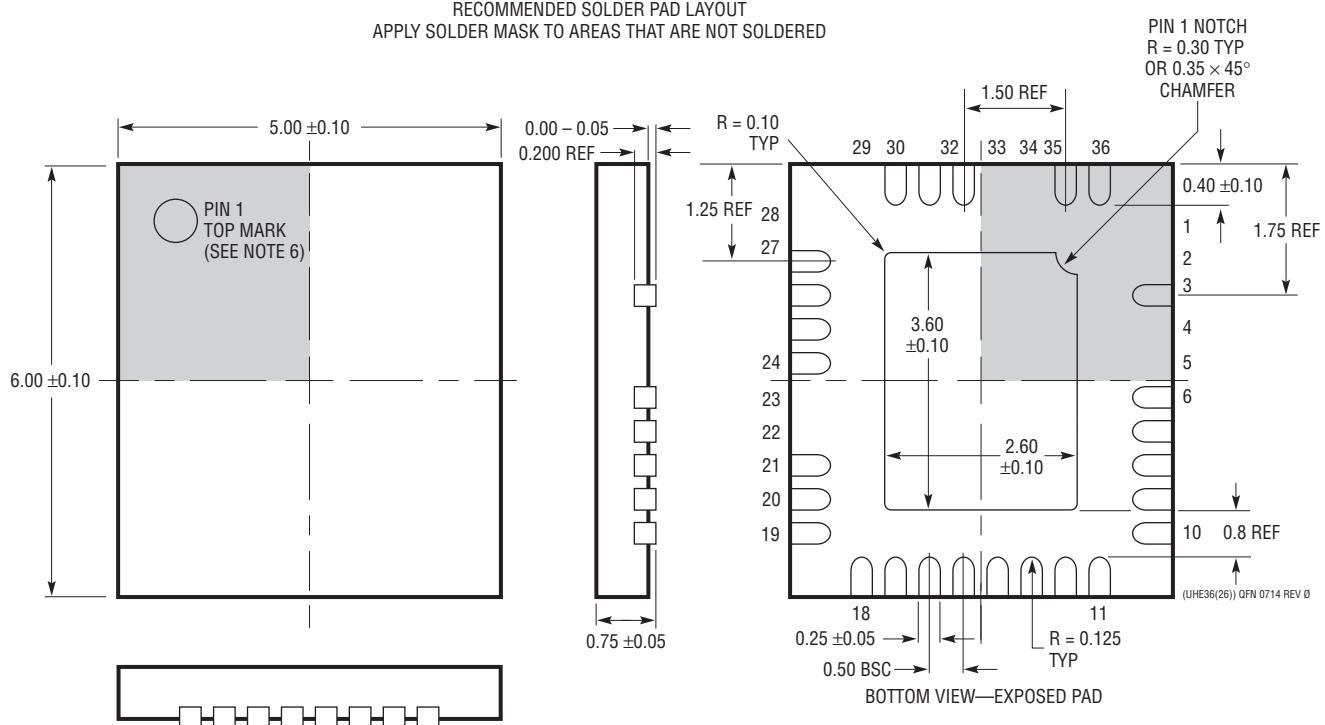
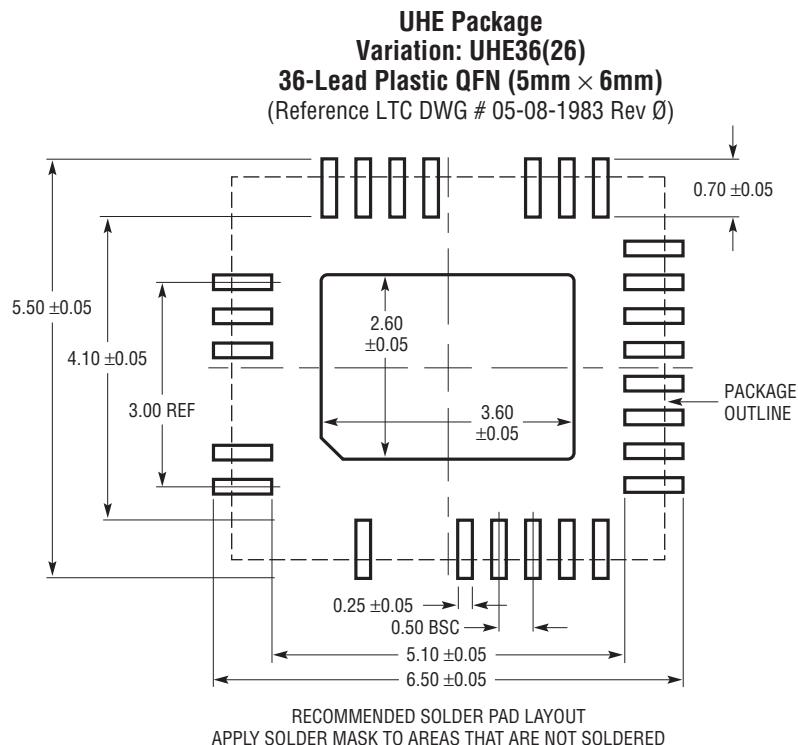
$f_{SW} = 500\text{kHz}$
L: COILCRAFT XAL5050-223ME

$$R1 = \frac{125k (I_{TERM} + 1.38)}{2.17 - I_{TERM}}$$

2.5A CHARGING CURRENT
14.3V TOPPING CHARGE VOLTAGE WITH 0.3A TERMINATION
13.4V FLOAT VOLTAGE

パッケージ

最新のパッケージ図は、<http://www.linear-tech.co.jp/product/LTC7103#packaging> を参照してください。



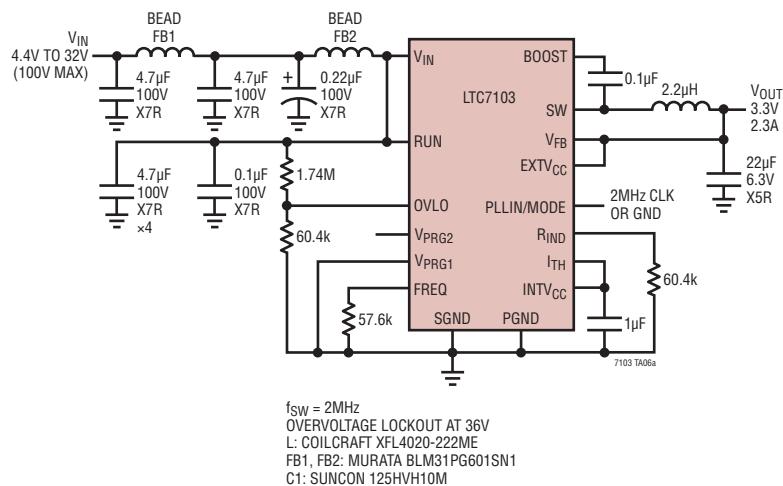
注記

- 注記

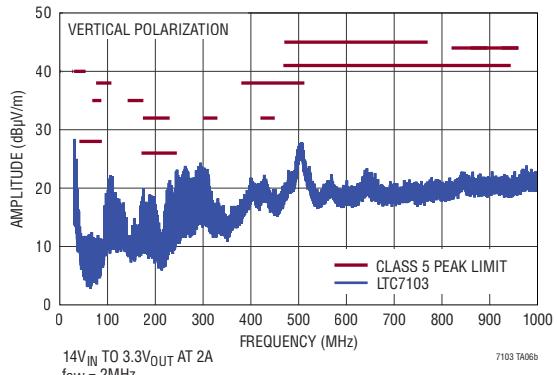
 - 1. 図は JEDEC のパッケージ外形ではない
 - 2. 図は実寸とは異なる
 - 3. 全ての寸法はミリメートル
 - 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。モールドのバリは(もしされば)各サイドで 0.20mm を超えないこと
 - 5. 露出パッドは半田メキシとする
 - 6. 灰色の部分はパッケージの上面と底面のビン 1 の位置の参考に過ぎない。

標準的応用例

過電圧ロックアウト機能を備え 100V 入力に耐えられる
4.4V~32V 入力、3.3V/2.3A 出力、2MHz の自動車用電源



EMI 放射性能(CISPR25) クラス 5 ピーク制限値での
放射エミッション・テスト



関連製品

製品番号	説明	注釈
LTC7801	低静止電流の150V、同期整流式降圧DC/DCコントローラ	4V ≤ V _{IN} ≤ 140V、絶対最大定格: 150V、0.8V ≤ V _{OUT} ≤ 60V、I _Q = 40μA、PLL 固定周波数: 320kHz~2.25MHz
LTC7138	高効率、140V、400mA 降圧レギュレータ	V _{IN} : 4V~140V、V _{OUT(MIN)} = 0.8V、I _Q = 12μA、I _{SD} < 1.4μA、MSE パッケージ
LTC3637	76V、1A 高効率降圧DC/DCレギュレータ	V _{IN} : 4V~76V、V _{OUT(MIN)} = 0.8V、I _Q = 12μA、I _{SD} = 3μA、3mm × 5mm DFN-16 および MSOP-16E パッケージ
LTC3630A	76V、500mA 同期整流式降圧DC/DCレギュレータ	V _{IN} : 4V~76V、V _{OUT(MIN)} = 0.8V、I _Q = 12μA、I _{SD} = 5μA、3mm × 5mm DFN16 および MSOP-16E パッケージ
LT8631	100V、1A 同期整流式マイクロパワー降圧レギュレータ	V _{IN} : 3V~100V、V _{OUT(MIN)} = 0.8V、I _Q = 7μA、I _{SD} < 5μA、HV TSSOP-20E パッケージ
LT8630	100V、0.6A 同期整流式マイクロパワー降圧レギュレータ	V _{IN} : 3V~100V、V _{OUT(MIN)} = 0.8V、I _Q = 7μA、I _{SD} < 5μA、HV TSSOP-20E パッケージ
LTC7800	低静止電流の60V高周波同期整流式降圧DC/DCコントローラ	4V ≤ V _{IN} ≤ 60V、0.8V ≤ V _{OUT} ≤ 24V、I _Q = 50μA、PLL 固定周波数: 320kHz~2.25MHz
LTC3891	60V 同期整流式降圧DC/DCコントローラ、Burst Mode動作付き	V _{IN} : 4V~60V、V _{OUT(MIN)} = 0.8V、I _Q = 50μA、I _{SD} = 14μA、3mm × 4mm QFN-20 および TSSOP-20E パッケージ
LTC3892/LTC3892-1	デューティ・サイクル99%の60V、低静止電流、デュアル2相同期整流式降圧DC/DCコントローラ	V _{IN} : 4V~60V、V _{OUT(MIN)} = 0.8V、I _Q = 29μA、I _{SD} = 14μA、5mm × 5mm QFN-32 および TSSOP-28E パッケージ
LTC3895	低静止電流の150V、同期整流式降圧DC/DCコントローラ	PLL 固定周波数: 50kHz~900kHz、4V ≤ V _{IN} ≤ 140V、0.8V ≤ V _{OUT} ≤ 60V、I _Q = 40μA
LTC4366-1/LTC4366-2	高電圧サージ・ストップー	V _{IN} : 9V~500V 超、V _{OUT(MIN)} = 0.8V、I _Q = 50μA、I _{SD} = 14μA、2mm × 3mm DFN-8 および TSOT-8 パッケージ
LTC3649	出力をレール・トゥ・レールでプログラム可能な60V、4A 同期整流式降圧レギュレータ	V _{IN} : 3.1V~60V、V _{OUT(MIN)} = 0V、電流モニタ機能を備え出力電流をプログラム可能、4mm × 5mm QFN および TSSOP パッケージ