

## 特長

- 遅延範囲: 1μs~33.6秒
- 1~3本の抵抗で設定可能
- 遅延の最大誤差:
  - 512μs を超える遅延で2.3%未満
  - 8μs~512μsの遅延で3.4%未満
  - 1μs~8μsの遅延で5.1%未満
- 立ち上がりエッジ/立ち下がりエッジの一方または両方に遅延を付加
- 2.25V~5.5Vの単一電源動作
- 電源電流: 10μsの遅延で70μA
- 起動時間: 500μs
- 20mA をソース/シンクするCMOS出力ドライバ
- 動作温度範囲: -55°C~125°C
- 高さの低い(1mm) SOT-23 (ThinSOT™) および2mm × 3mm DFNパッケージ

## アプリケーション

- ノイズ・ディスクリミネータ/パルス・クオリファイヤ
- 遅延整合
- スイッチのデバウンシング
- 高振動、高加速環境
- バッテリ駆動の携帯機器

LT, LT, LTC, LTM, Linear Technology, TimerBloxおよびLinearのロゴはリアテクノロジー社の登録商標です。ThinSOTはリアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

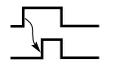
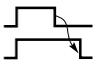
## 概要

LTC®6994は、遅延を1μs~33.6秒の範囲で設定可能な遅延ブロックです。LTC6994はTimerBlox®汎用シリコン・タイミン  
グ・デバイス・ファミリの製品です。

1本の抵抗 (R<sub>SET</sub>) で内部のマスター発振器の周波数が設定され、LTC6994のタイムベースが設定されます。入力/出力間の遅延は、このマスター発振器と、1から2<sup>21</sup>までの8つの分周比 (N<sub>DIV</sub>) に設定可能な内部クロック分周器によって決まります。

$$t_{\text{DELAY}} = \frac{N_{\text{DIV}} \cdot R_{\text{SET}}}{50\text{k}\Omega} \cdot 1\mu\text{s}, N_{\text{DIV}} = 1, 8, 64, \dots, 2^{21}$$

出力 (OUT) は入力 (IN) に追従しますが、立ち上がり遷移/立ち下がり遷移の一方あるいは両方を遅らせませす。LTC6994-1は立ち上がりエッジまたは立ち下がりエッジを遅らせませす。LTC6994-2は両方の遷移を遅らせ、出力を反転させるオプションが追加されています。

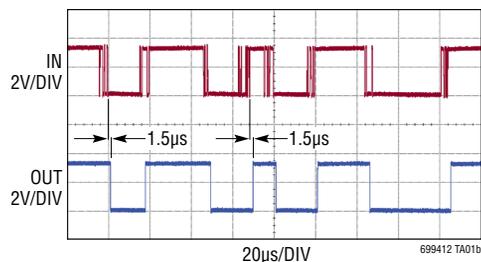
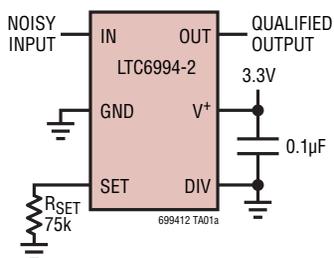
DEVICE	DELAY FUNCTION
LTC6994-1	 or 
LTC6994-2	 or 

また、LTC6994は、独立した制御電圧によって遅延時間を動的に調整することもできます。

LTC6994を容易に設定するには、[www.linear-tech.co.jp/timerblox](http://www.linear-tech.co.jp/timerblox) から「TimerBlox Designer」ツールをダウンロードしてください。

## 標準的応用例

### ノイズ・ディスクリミネータ



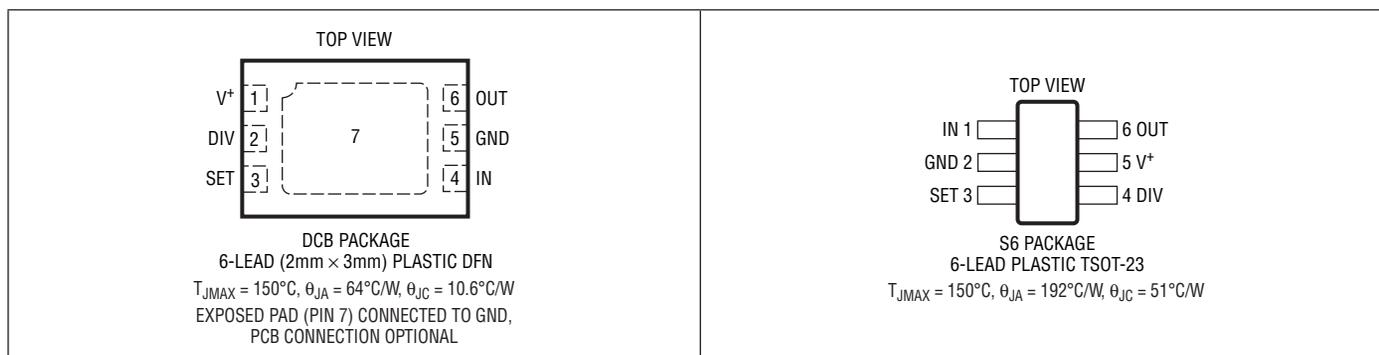
# LTC6994-1/LTC6994-2

## 絶対最大定格 (Note 1)

電源電圧 (V<sup>+</sup>) から GND ..... 6V  
 すべてのピンの最大電圧  
 ..... (GND - 0.3V) ≤ V<sub>PIN</sub> ≤ (V<sup>+</sup> + 0.3V)  
 動作温度範囲 (Note 2)  
 LTC6994C ..... -40°C ~ 85°C  
 LTC6994I ..... -40°C ~ 85°C  
 LTC6994H ..... -40°C ~ 125°C  
 LTC6994MP ..... -55°C ~ 125°C

規定温度範囲 (Note 3)  
 LTC6994C ..... 0°C ~ 70°C  
 LTC6994I ..... -40°C ~ 85°C  
 LTC6994H ..... -40°C ~ 125°C  
 LTC6994MP ..... -55°C ~ 125°C  
 接合部温度 ..... 150°C  
 保存温度範囲 ..... -65°C ~ 150°C  
 リード温度 (半田付け, 10秒)  
 S6パッケージ ..... 300°C

## ピン配置



## 発注情報

### 無鉛仕上げ

テープアンドリール(ミニ)	テープアンドリール	製品マーキング*	パッケージ	規定温度範囲
LTC6994CDCB-1#TRMPBF	LTC6994CDCB-1#TRPBF	LFCT	6-Lead (2mm × 3mm) Plastic DFN	0°C to 70°C
LTC6994IDCB-1#TRMPBF	LTC6994IDCB-1#TRPBF	LFCT	6-Lead (2mm × 3mm) Plastic DFN	-40°C to 85°C
LTC6994HDCB-1#TRMPBF	LTC6994HDCB-1#TRPBF	LFCT	6-Lead (2mm × 3mm) Plastic DFN	-40°C to 125°C
LTC6994CDCB-2#TRMPBF	LTC6994CDCB-2#TRPBF	LFCW	6-Lead (2mm × 3mm) Plastic DFN	0°C to 70°C
LTC6994IDCB-2#TRMPBF	LTC6994IDCB-2#TRPBF	LFCW	6-Lead (2mm × 3mm) Plastic DFN	-40°C to 85°C
LTC6994HDCB-2#TRMPBF	LTC6994HDCB-2#TRPBF	LFCW	6-Lead (2mm × 3mm) Plastic DFN	-40°C to 125°C
LTC6994CS6-1#TRMPBF	LTC6994CS6-1#TRPBF	LTFCV	6-Lead Plastic TSOT-23	0°C to 70°C
LTC6994IS6-1#TRMPBF	LTC6994IS6-1#TRPBF	LTFCV	6-Lead Plastic TSOT-23	-40°C to 85°C
LTC6994HS6-1#TRMPBF	LTC6994HS6-1#TRPBF	LTFCV	6-Lead Plastic TSOT-23	-40°C to 125°C
LTC6994MPS6-1#TRMPBF	LTC6994MPS6-1#TRPBF	LTFCV	6-Lead Plastic TSOT-23	-55°C to 125°C
LTC6994CS6-2#TRMPBF	LTC6994CS6-2#TRPBF	LTFCX	6-Lead Plastic TSOT-23	0°C to 70°C
LTC6994IS6-2#TRMPBF	LTC6994IS6-2#TRPBF	LTFCX	6-Lead Plastic TSOT-23	-40°C to 85°C
LTC6994HS6-2#TRMPBF	LTC6994HS6-2#TRPBF	LTFCX	6-Lead Plastic TSOT-23	-40°C to 125°C
LTC6994MPS6-2#TRMPBF	LTC6994MPS6-2#TRPBF	LTFCX	6-Lead Plastic TSOT-23	-55°C to 125°C

TRM=500個 \*温度グレードは出荷時のコンテナのラベルで識別されます。

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/>をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/>をご覧ください。

699412fb

## 電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 2.25\text{V} \sim 5.5\text{V}$ 、 $I_N = 0\text{V}$ 、 $\text{DIVCODE} = 0 \sim 15$  ( $N_{\text{DIV}} = 1 \sim 2^{21}$ )、 $R_{\text{SET}} = 50\text{k} \sim 800\text{k}$ 、 $R_{\text{LOAD}} = 5\text{k}$ 、 $C_{\text{LOAD}} = 5\text{pF}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$t_{\text{DELAY}}$	Delay Time		1 $\mu$		33.55	sec	
$\Delta t_{\text{DELAY}}$	Delay Accuracy (Note 4)	$N_{\text{DIV}} \geq 512$	●	$\pm 1.7$	$\pm 2.3$ $\pm 3.0$	% %	
		$8 \leq N_{\text{DIV}} \leq 64$	●	$\pm 2.4$	$\pm 3.4$ $\pm 4.4$	% %	
		$N_{\text{DIV}} = 1$	●	$\pm 3.8$	$\pm 5.1$ $\pm 6.2$	% %	
$\Delta t_{\text{DELAY}}/\Delta T$	Delay Drift Over Temperature	$N_{\text{DIV}} \geq 512$	●	$\pm 0.006$		%/ $^\circ\text{C}$	
		$N_{\text{DIV}} \leq 64$	●	$\pm 0.008$		%/ $^\circ\text{C}$	
	Delay Change With Supply	$N_{\text{DIV}} \geq 512$	$V^+ = 4.5\text{V to } 5.5\text{V}$	●	-0.6	-0.2	%
			$V^+ = 2.25\text{V to } 4.5\text{V}$	●	-0.4	-0.1	%
		$8 \leq N_{\text{DIV}} \leq 64$	$V^+ = 4.5\text{V to } 5.5\text{V}$	●	-0.9	-0.2	%
			$V^+ = 2.7\text{V to } 4.5\text{V}$ $V^+ = 2.25\text{V to } 2.7\text{V}$	● ●	-0.7 -1.1	-0.2 -0.1	0.4 0.9
	Delay Jitter (Note 10)	$N_{\text{DIV}} = 1$	$V^+ = 5.5\text{V}$		1.0	%P-P	
			$V^+ = 2.25\text{V}$		0.5	%P-P	
		$N_{\text{DIV}} = 8$		0.20	%P-P		
		$N_{\text{DIV}} = 64$		0.05	%P-P		
		$N_{\text{DIV}} = 512$		0.20	%P-P		
	$N_{\text{DIV}} = 4096$		0.03	%P-P			
$t_{\text{S}}$	Delay Change Settling Time (Note 9)	$t_{\text{MASTER}} = t_{\text{DELAY}}/N_{\text{DIV}}$		$6 \cdot t_{\text{MASTER}}$		$\mu\text{S}$	

## 電源

$V^+$	Operating Supply Voltage Range		●	2.25	5.5	V	
	Power-On Reset Voltage		●		1.95	V	
$I_{\text{S}}(\text{IDLE})$	Supply Current (Idle)	$R_{\text{L}} = \infty$ , $R_{\text{SET}} = 50\text{k}$ , $N_{\text{DIV}} \leq 64$	$V^+ = 5.5\text{V}$	●	165	200	$\mu\text{A}$
			$V^+ = 2.25\text{V}$	●	125	160	$\mu\text{A}$
		$R_{\text{L}} = \infty$ , $R_{\text{SET}} = 50\text{k}$ , $N_{\text{DIV}} \geq 512$	$V^+ = 5.5\text{V}$	●	135	175	$\mu\text{A}$
			$V^+ = 2.25\text{V}$	●	105	140	$\mu\text{A}$
$R_{\text{L}} = \infty$ , $R_{\text{SET}} = 800\text{k}$ , $N_{\text{DIV}} \leq 64$	$V^+ = 5.5\text{V}$	●	70	110	$\mu\text{A}$		
	$V^+ = 2.25\text{V}$	●	60	95	$\mu\text{A}$		
$R_{\text{L}} = \infty$ , $R_{\text{SET}} = 800\text{k}$ , $N_{\text{DIV}} \geq 512$	$V^+ = 5.5\text{V}$	●	65	100	$\mu\text{A}$		
	$V^+ = 2.25\text{V}$	●	55	90	$\mu\text{A}$		

## アナログ入力

$V_{\text{SET}}$	Voltage at SET Pin		●	0.97	1.00	1.03	V
$\Delta V_{\text{SET}}/\Delta T$	$V_{\text{SET}}$ Drift Over Temperature		●	$\pm 75$			$\mu\text{V}/^\circ\text{C}$
$R_{\text{SET}}$	Frequency-Setting Resistor		●	50	800		$\text{k}\Omega$
$V_{\text{DIV}}$	DIV Pin Voltage		●	0	$V^+$		V
$\Delta V_{\text{DIV}}/\Delta V^+$	DIV Pin Valid Code Range (Note 5)	Deviation from Ideal $V_{\text{DIV}}/V^+ = (\text{DIVCODE} + 0.5)/16$	●		$\pm 1.5$		%
		DIV Pin Input Current	●		$\pm 10$		nA

# LTC6994-1/LTC6994-2

## 電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 2.25\text{V} \sim 5.5\text{V}$ 、 $I_N = 0\text{V}$ 、 $\text{DIVCODE} = 0 \sim 15$  ( $N_{\text{DIV}} = 1 \sim 2^{21}$ )、 $R_{\text{SET}} = 50\text{k} \sim 800\text{k}$ 、 $R_{\text{LOAD}} = \infty$ 、 $C_{\text{LOAD}} = 5\text{pF}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
デジタルI/O							
	IN Pin Input Capacitance			2.5		pF	
	IN Pin Input Current	$I_N = 0\text{V}$ to $V^+$			$\pm 10$	nA	
$V_{\text{IH}}$	High Level IN Pin Input Voltage	(Note 6)	●	$0.7 \cdot V^+$		V	
$V_{\text{IL}}$	Low Level IN Pin Input Voltage	(Note 6)	●		$0.3 \cdot V^+$	V	
$I_{\text{OUT(MAX)}}$	Output Current	$V^+ = 2.7\text{V}$ to $5.5\text{V}$		$\pm 20$		mA	
$V_{\text{OH}}$	High Level Output Voltage (Note 7)	$V^+ = 5.5\text{V}$ $I_{\text{OUT}} = -1\text{mA}$ $I_{\text{OUT}} = -16\text{mA}$	● ●	5.45 4.84	5.48 5.15	V V	
		$V^+ = 3.3\text{V}$ $I_{\text{OUT}} = -1\text{mA}$ $I_{\text{OUT}} = -10\text{mA}$	● ●	3.24 2.75	3.27 2.99	V V	
		$V^+ = 2.25\text{V}$ $I_{\text{OUT}} = -1\text{mA}$ $I_{\text{OUT}} = -8\text{mA}$	● ●	2.17 1.58	2.21 1.88	V V	
$V_{\text{OL}}$	Low Level Output Voltage (Note 7)	$V^+ = 5.5\text{V}$ $I_{\text{OUT}} = 1\text{mA}$ $I_{\text{OUT}} = 16\text{mA}$	● ●		0.02 0.26	0.04 0.54	V V
		$V^+ = 3.3\text{V}$ $I_{\text{OUT}} = 1\text{mA}$ $I_{\text{OUT}} = 10\text{mA}$	● ●		0.03 0.22	0.05 0.46	V V
		$V^+ = 2.25\text{V}$ $I_{\text{OUT}} = 1\text{mA}$ $I_{\text{OUT}} = 8\text{mA}$	● ●		0.03 0.26	0.07 0.54	V V
$t_{\text{PD}}$	Propagation Delay	$V^+ = 5.5\text{V}$		10		ns	
		$V^+ = 3.3\text{V}$		14		ns	
		$V^+ = 2.25\text{V}$		24		ns	
$t_{\text{WIDTH}}$	Minimum Recognized Input Pulse Width	$V^+ = 3.3\text{V}$		5		ns	
$t_{\text{r}}$	Output Rise Time (Note 8)	$V^+ = 5.5\text{V}$		1.1		ns	
		$V^+ = 3.3\text{V}$		1.7		ns	
		$V^+ = 2.25\text{V}$		2.7		ns	
$t_{\text{f}}$	Output Fall Time (Note 8)	$V^+ = 5.5\text{V}$		1.0		ns	
		$V^+ = 3.3\text{V}$		1.6		ns	
		$V^+ = 2.25\text{V}$		2.4		ns	

**Note 1:** 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

**Note 2:** LTC6994Cは $-40^\circ\text{C} \sim 85^\circ\text{C}$ の動作温度範囲で動作することが保証されている。

**Note 3:** LTC6994Cは $0^\circ\text{C} \sim 70^\circ\text{C}$ の温度範囲で性能仕様に適合することが保証されている。LTC6994Cは $-40^\circ\text{C} \sim 85^\circ\text{C}$ の温度範囲で性能仕様に適合するように設計され、特性が評価されており、性能仕様に適合すると予想されるが、これらの温度ではテストされないし、QAサンプリングも行われぬ。LTC6994Iは $-40^\circ\text{C} \sim 85^\circ\text{C}$ の温度範囲で性能仕様に適合することが保証されている。LTC6994Hは $-40^\circ\text{C} \sim 125^\circ\text{C}$ の温度範囲で性能仕様に適合することが保証されている。LTC6994MPは $-55^\circ\text{C} \sim 125^\circ\text{C}$ で性能仕様に適合することが保証されている。

**Note 4:** 遅延の精度は、 $R_{\text{SET}}$ を使って遅延を設定すると仮定して、 $t_{\text{DELAY}}$ の式からの偏差として定義されている。

**Note 5:** DIVピンの電圧によってDIVCODEの値を選択する方法の詳細については、「動作」のセクションの表1および図2を参照。

**Note 6:** INピンは、ゆっくり変化する立ち上がり信号または立ち下がり信号に対応するためにヒステリシスを備えている。スレッシュホールド電圧は $V^+$ に比例する。標準値は次式を使用することにより、あらゆる電源電圧で推定可能である。

$$V_{\text{IN (RISING)}} \approx 0.55 \cdot V^+ + 185\text{mV} \text{ および } V_{\text{IN (FALLING)}} \approx 0.48 \cdot V^+ - 155\text{mV}$$

**Note 7:** ロジックICの標準規格に準拠して、ピンから流れ出す電流には任意に負の値が与えられている。

**Note 8:** 出力の立ち上がり時間と立ち下がり時間は、5pFの出力負荷で電源レベル10%~90%の間で測定される。これらの仕様は特性評価に基づいている。

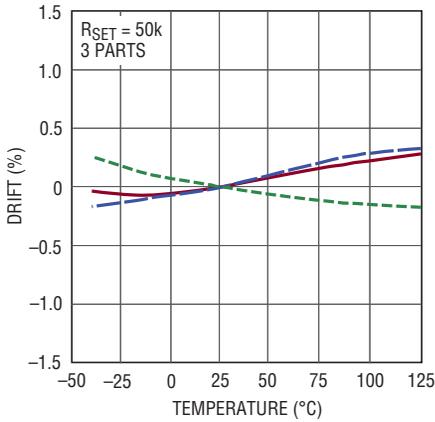
**Note 9:** セトリング時間は、 $I_{\text{SET}}$ が0.5倍または2倍に変化した後に最終遅延の $\pm 1\%$ 以内に出力がセトリングするのに要する時間。

**Note 10:** ジッタは設定された遅延の偏差の平均遅延に対する比。この仕様は特性評価に基づいており、全数テストは行われぬ。

標準的性能特性

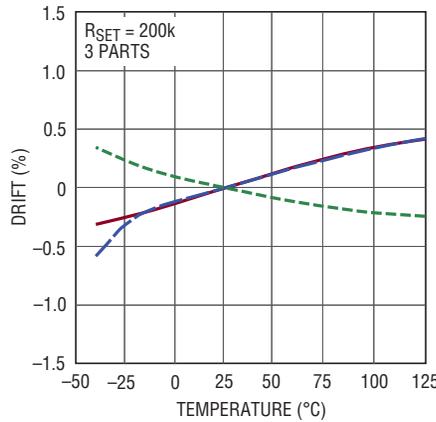
注記がない限り、 $V^+ = 3.3V$ 、 $R_{SET} = 200k$ 、 $T_A = 25^\circ C$ 。

遅延ドリフトと温度 ( $N_{DIV} \leq 64$ )



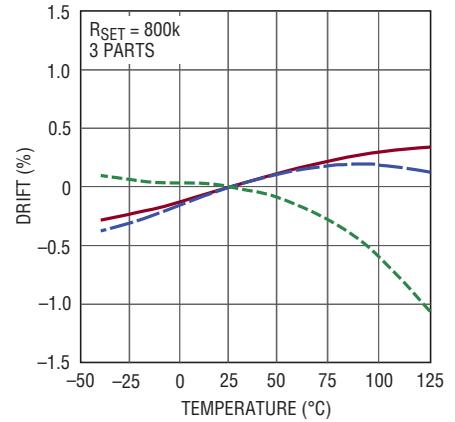
699412 G01

遅延ドリフトと温度 ( $N_{DIV} \leq 64$ )



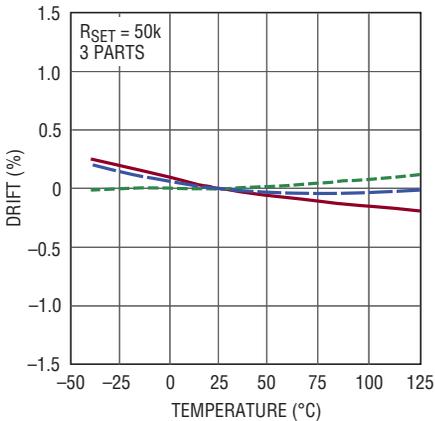
699412 G02

遅延ドリフトと温度 ( $N_{DIV} \leq 64$ )



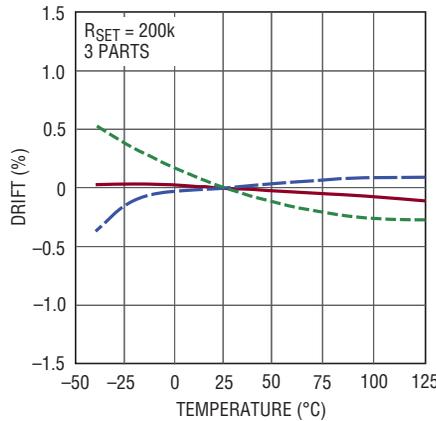
699412 G03

遅延ドリフトと温度 ( $N_{DIV} \geq 512$ )



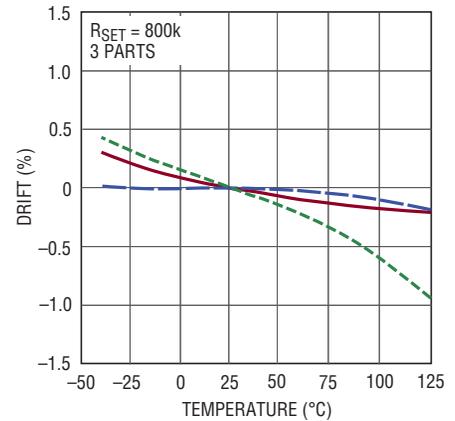
699412 G04

遅延ドリフトと温度 ( $N_{DIV} \geq 512$ )



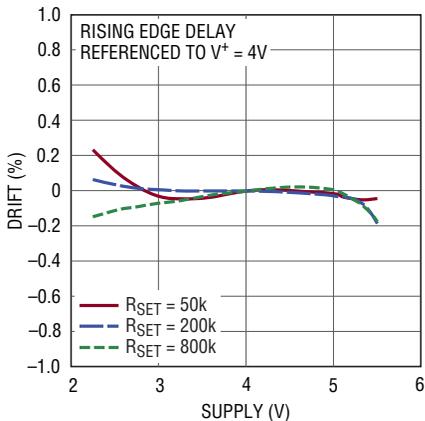
699412 G05

遅延ドリフトと温度 ( $N_{DIV} \geq 512$ )



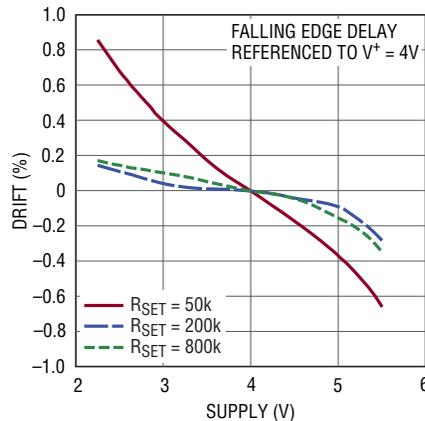
699412 G06

遅延ドリフトと電源電圧 ( $N_{DIV} > 1$ )



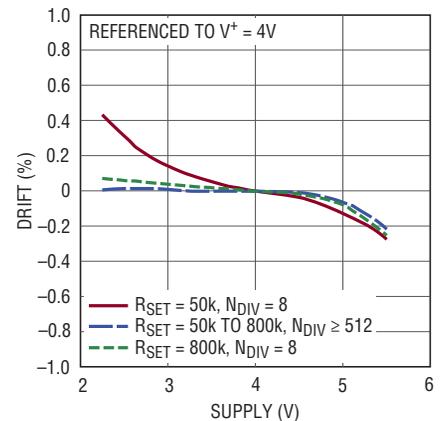
699412 G07

遅延ドリフトと電源電圧 ( $N_{DIV} > 1$ )



699412 G08

遅延ドリフトと電源電圧 ( $N_{DIV} > 1$ )



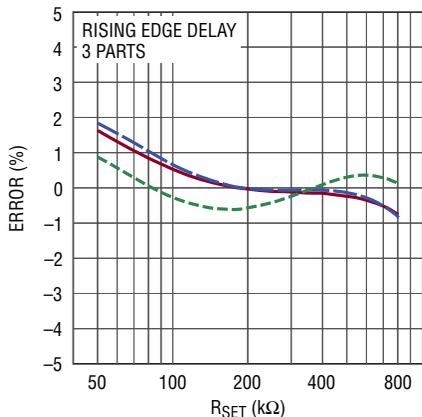
699412 G09  
699412fb

# LTC6994-1/LTC6994-2

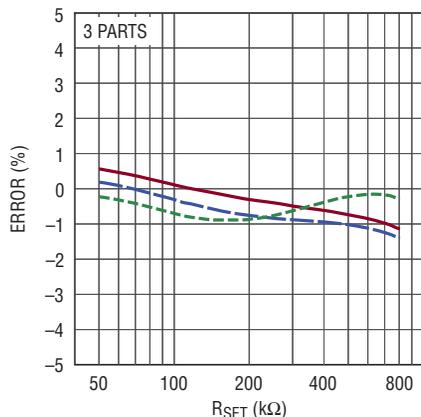
## 標準的性能特性

注記がない限り、 $V^+ = 3.3V$ 、 $R_{SET} = 200k$ 、 $T_A = 25^\circ C$ 。

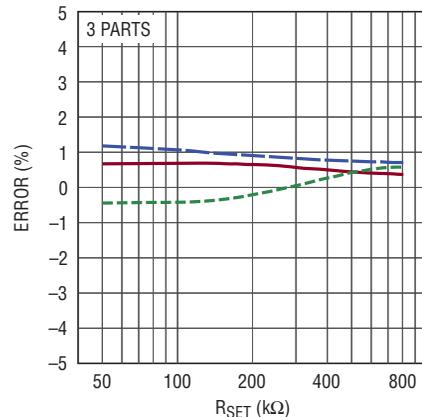
遅延誤差と $R_{SET}$  ( $N_{DIV} = 1$ )



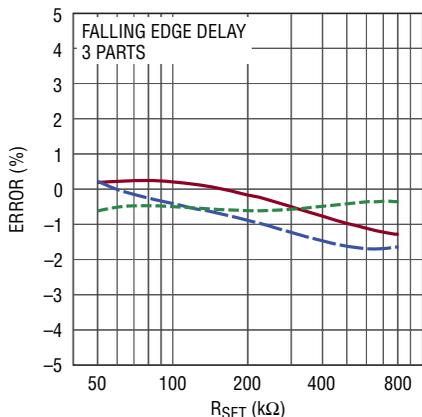
遅延誤差と $R_{SET}$  ( $8 \leq N_{DIV} \leq 64$ )



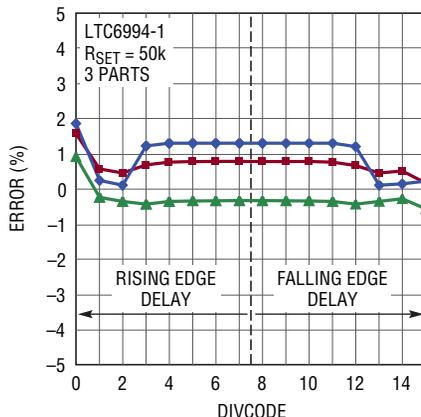
遅延誤差と $R_{SET}$  ( $N_{DIV} \geq 512$ )



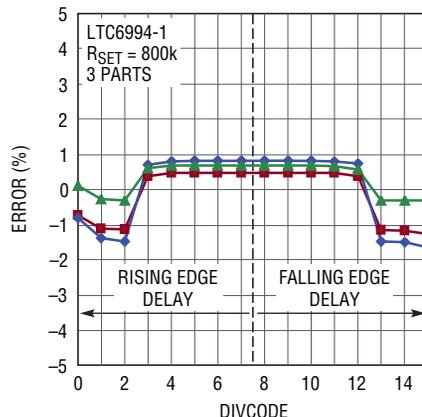
遅延誤差と $R_{SET}$  ( $N_{DIV} = 1$ )



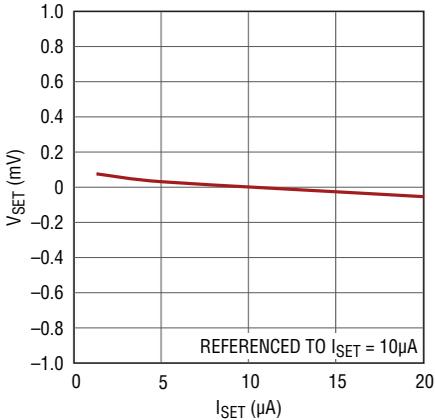
遅延誤差とDIVCODE



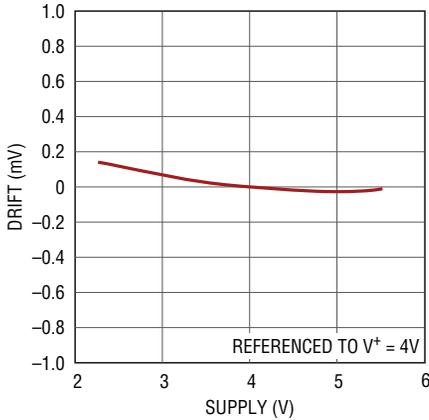
遅延誤差とDIVCODE



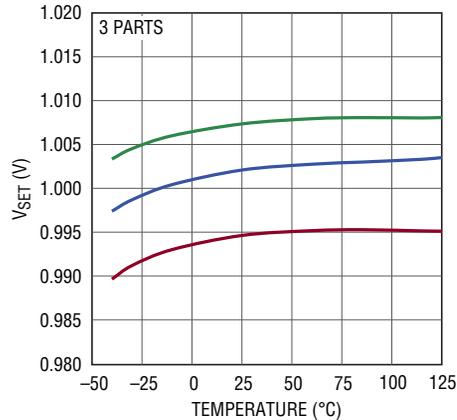
$V_{SET}$ のドリフトと $I_{SET}$



$V_{SET}$ のドリフトと電源電圧



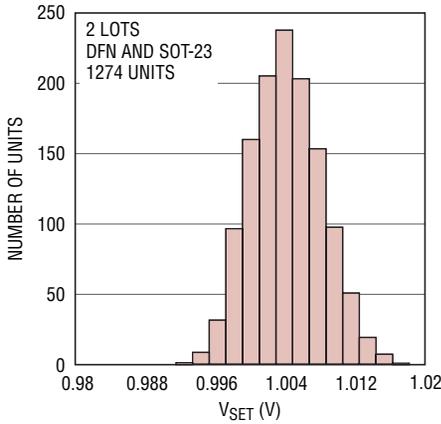
$V_{SET}$ と温度



標準的性能特性

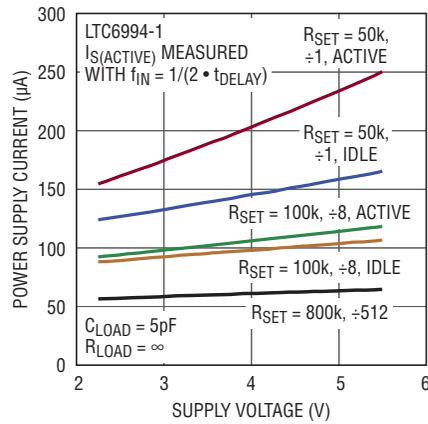
注記がない限り、 $V^+ = 3.3V$ 、 $R_{SET} = 200k$ 、 $T_A = 25^\circ C$ 。

標準的な $V_{SET}$ の分布



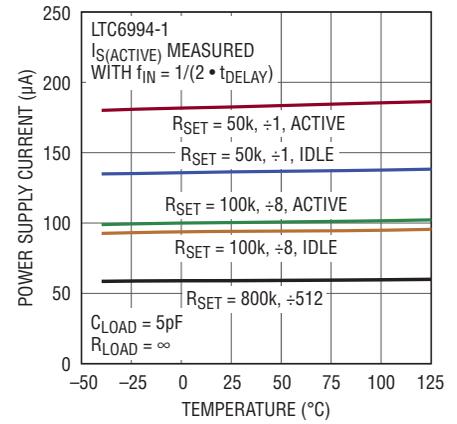
699412 G19

電源電流と電源電圧



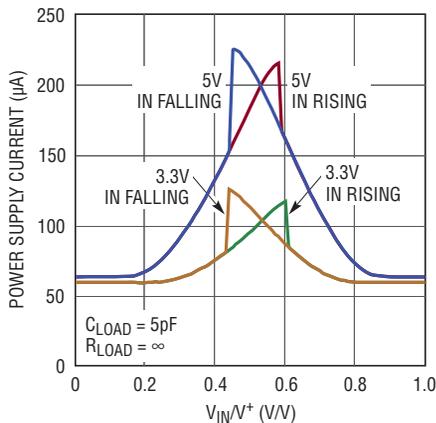
699412 G20

電源電流と温度



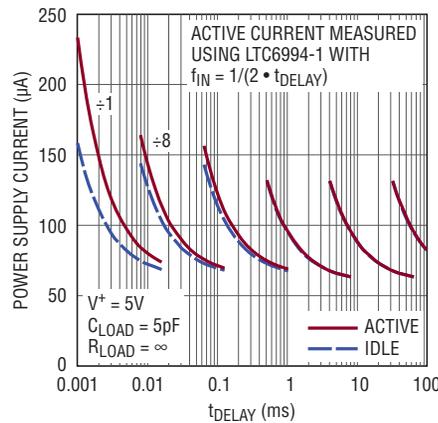
699412 G21

電源電流とINピンの電圧



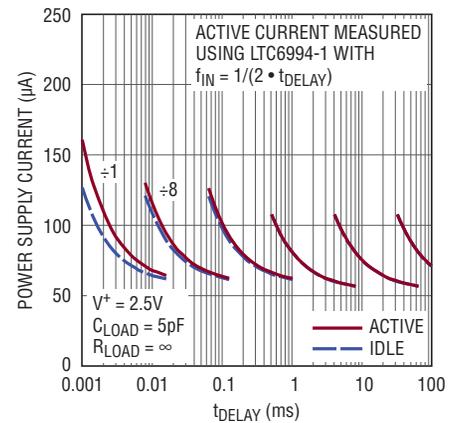
699412 G22

電源電流と $t_{DELAY}$  (5V)



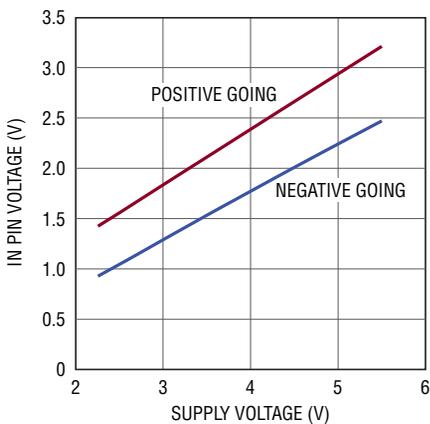
699412 G23

電源電流と $t_{DELAY}$  (2.5V)



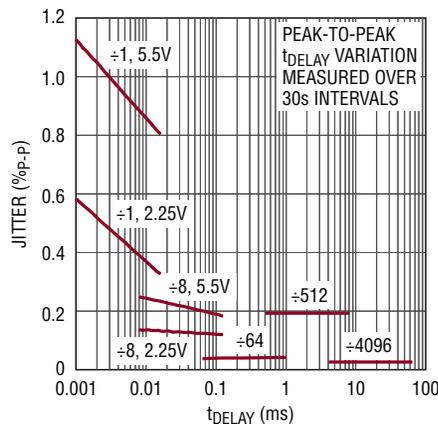
699412 G24

INのスレッシュホールド電圧と電源電圧



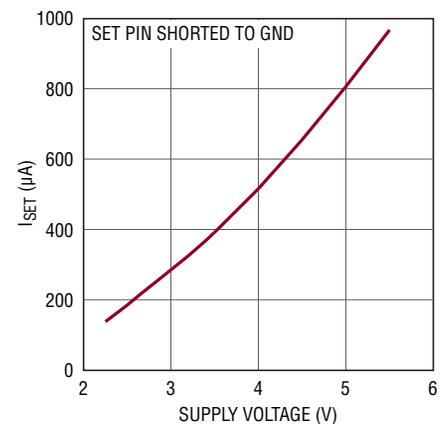
699412 G25

ピーク・トゥ・ピーク・ジッタと $t_{DELAY}$



699412 G26

標準的な $I_{SET}$ の電流制限と $V^+$



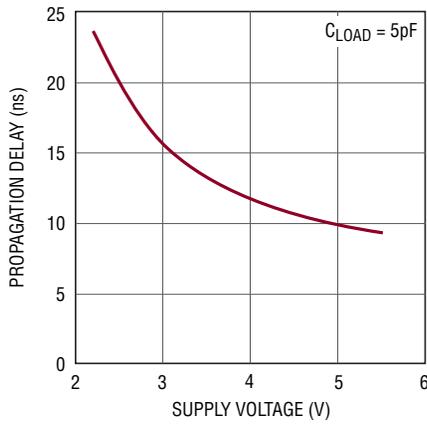
699412 G27

# LTC6994-1 / LTC6994-2

## 標準的性能特性

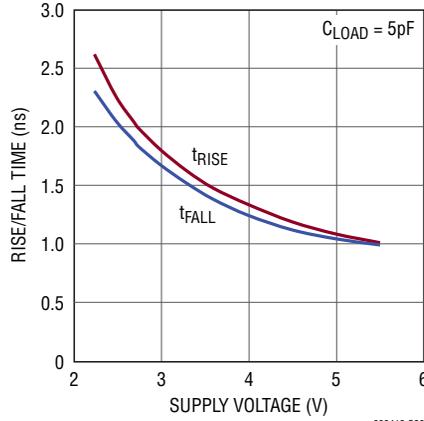
注記がない限り、 $V^+ = 3.3V$ 、 $R_{SET} = 200k$ 、 $T_A = 25^\circ C$ 。

入力伝播遅延 ( $t_{PD}$ ) と電源電圧



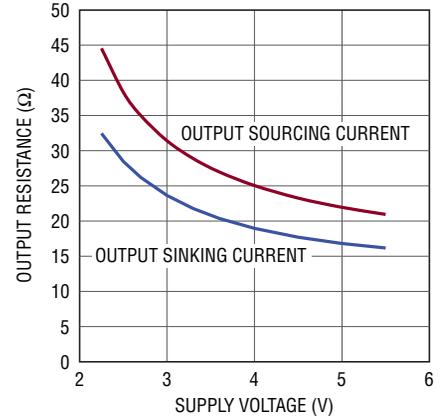
699412 G28

立ち上がり時間および立ち下がり時間と電源電圧



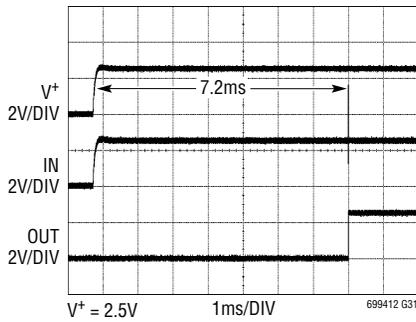
699412 G29

出力抵抗と電源電圧



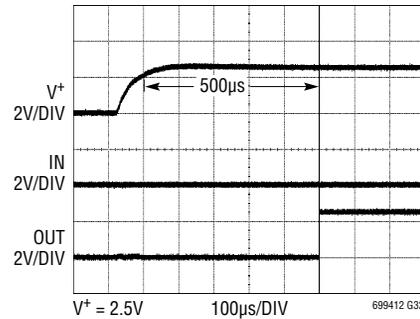
699412 G30

起動、 $R_{SET} = 800k$   
(LTC6994-1)



699412 G31

起動、 $R_{SET} = 50k$   
(LTC6994-2, POL = 1)



699412 G32

## ピン機能 (DCB/S6)

**V<sup>+</sup> (ピン1/ピン5)**: 電源電圧 (2.25V~5.5V)。この電源電圧はノイズやリップルを含まないようにする必要があります。このピンは0.1μFのコンデンサでGNDに直接バイパスします。

**DIV (ピン2/ピン4)**: プログラム可能な分周器と極性指定の入力。DIVピンの電圧 (V<sub>DIV</sub>) は、内部で4ビットのコード (DIVCODE) に変換されます。V<sub>DIV</sub>はV<sup>+</sup>とGND間の抵抗分割器によって生成することができます。正確な結果を保証するために精度1%の抵抗を使用してください。DIVピンと抵抗は、OUTピンやエッジが急峻な信号配線からシールドする必要があります。また、DIVピンの容量は、V<sub>DIV</sub>が迅速にセトリングするように100pF以下にする必要があります。DIVCODEのMSB (POL) によって遅延機能が選択されます。LTC6994-1では、POL = 0で立ち上がり遷移が遅延し、POL = 1で立ち下がり遷移が遅延します。LTC6994-2では、両方の遷移が遅延するので、POL = 1を使って出力を反転させることができます。

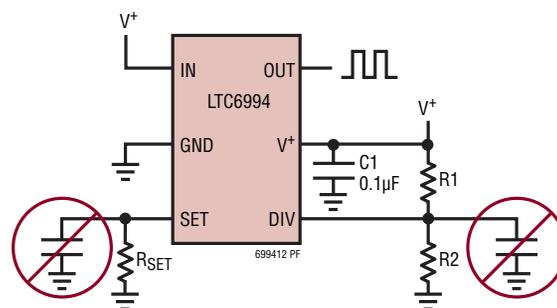
**SET (ピン3/ピン3)**: 遅延設定入力。SETピンの電圧 (V<sub>SET</sub>) はGNDより1V高い電圧に安定化されています。SETピンからソースされる電流の値 (I<sub>SET</sub>) がマスタ発振器の周波数を設定します。電流I<sub>SET</sub>の範囲は1.25μAから20μAまでです。I<sub>SET</sub>が約500nA以下に減少すると、出力遷移の遅延は発生しません。I<sub>SET</sub>が500nA以上に増加すると、エッジが遅延ようになります。遅延を設定するための最も正確な手段は、SETピン

とGNDの間に抵抗を接続することです。最高の性能を引き出すためには、許容誤差が0.5%以下で温度係数が50ppm/°C以下の高精度の金属皮膜抵抗か薄膜抵抗を使用します。それほど精度が求められないアプリケーションの場合は、許容誤差が1%の低価格の厚膜抵抗を使用することができます。ジッタを最小化し安定性を保証するためには、SETピンの容量を10pF以下に制限します。100pF以下の容量によって、V<sub>SET</sub>電圧を調整している帰還回路の安定性が維持されます。

**IN (ピン4/ピン1)**: ロジック入力。バージョンとPOLビットの設定に基づき、INピンの立ち上がりエッジまたは立ち下がりエッジがプログラム可能な遅延時間が経過してからOUTピンに伝わります。LTC6994-1では、立ち上がりエッジまたは立ち下がりエッジのどちらかだけが遅延します。LTC6994-2では両方のエッジが遅延します。

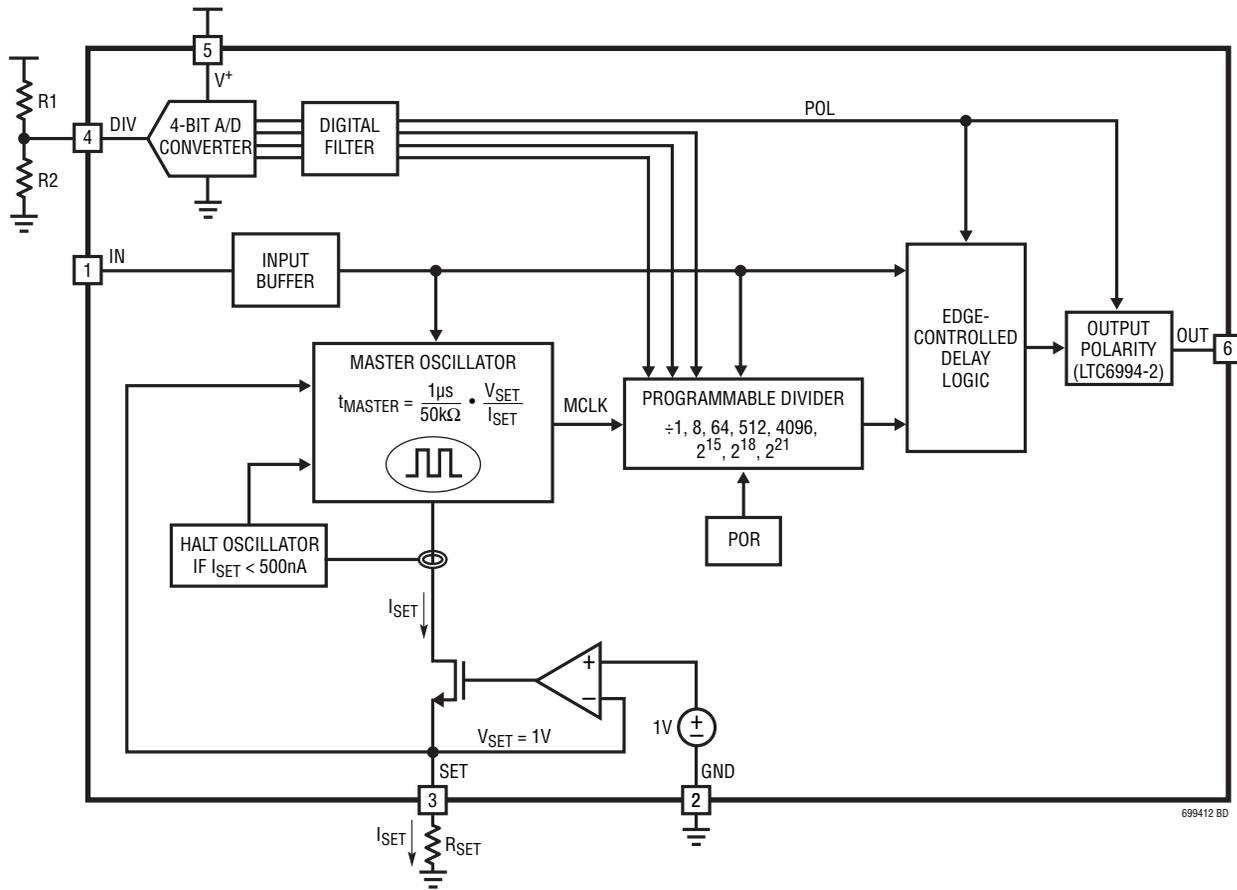
**GND (ピン5/ピン2)**: グランド。最高の性能を得るために、このピンを低インダクタンスのグランドプレーンに接続してください。

**OUT (ピン6/ピン6)**: 出力。OUTピンはGNDからV<sup>+</sup>まで振幅します。出力抵抗は約30Ωです。LEDなどの低インピーダンス負荷をドライブする際は、ソース/シンク電流を20mAに制限するためにOUTピンに直列抵抗を接続してください。



# LTC6994-1/LTC6994-2

ブロック図 (S6パッケージのピン番号で表示)



## 動作

LTC6994は最小周期が1 $\mu$ sのマスタ発振器を中心に構成されています。この発振器は、標準の動作条件下で精度が $\pm 1.7\%$ の1 $\mu$ s/50k $\Omega$ の変換係数を使って、SETピンの電流(I<sub>SET</sub>)と電圧(V<sub>SET</sub>)によって制御されます。

$$t_{\text{MASTER}} = \frac{1\mu\text{s}}{50\text{k}\Omega} \cdot \frac{V_{\text{SET}}}{I_{\text{SET}}}$$

V<sub>SET</sub>は帰還ループによって1V  $\pm$ 30mVに維持されるため、入力-出力間の遅延は主にI<sub>SET</sub>によって決まります。I<sub>SET</sub>を生成する最も簡単な方法は、抵抗(R<sub>SET</sub>)をSETピンとGNDピンの間に接続し、I<sub>SET</sub> = V<sub>SET</sub>/R<sub>SET</sub>とすることです。マスタ発振器の周期を求める上記の式は次のようになります。

$$t_{\text{MASTER}} = 1\mu\text{s} \cdot \frac{R_{\text{SET}}}{50\text{k}\Omega}$$

この式から、1本の設定抵抗(R<sub>SET</sub>)を使用している際、V<sub>SET</sub>が変動しても、入力-出力間の遅延はその影響を受けないことが明らかです。入力-出力間の遅延の誤差源はR<sub>SET</sub>の許容誤差とLTC6994の本質的な精度 $\Delta t_{\text{DELAY}}$ に限られます。

R<sub>SET</sub>の値は50k $\Omega$ ～800k $\Omega$ の範囲です(I<sub>SET</sub>の1.25 $\mu$ A～20 $\mu$ Aの範囲に相当)。

デバイスのバージョンとPOLビットの設定に従って遅延させる遷移が入力に生じると、マスタ発振器がイネーブ爾されて遅延を計時します。目標の時間に達すると、出力が遷移するのを許します。

LTC6994は、周波数を1、8、64、512、4096、2<sup>15</sup>、2<sup>18</sup>または2<sup>21</sup>分の1に分周することができるプログラム可能な分周器も内蔵しています。これにより、これらと同じ係数だけ遅延時間が延長されます。この分周比N<sub>DIV</sub>はDIVピンに接続された抵抗分割器によって設定されます。

$$t_{\text{DELAY}} = \frac{N_{\text{DIV}}}{50\text{k}\Omega} \cdot \frac{V_{\text{SET}}}{I_{\text{SET}}} \cdot 1\mu\text{s}$$

V<sub>SET</sub>/I<sub>SET</sub>をR<sub>SET</sub>で置き換えると、この式は次のようになります。

$$t_{\text{DELAY}} = \frac{N_{\text{DIV}} \cdot R_{\text{SET}}}{50\text{k}\Omega} \cdot 1\mu\text{s}$$

## DIVCODE

DIVピンは内部でV<sup>+</sup>を基準電圧とした4ビットA/Dコンバータの入力に接続されています。このA/DコンバータがDIVCODEの値を決定し、DIVCODEによって以下のように2通りの設定がプログラムされます。

1. DIVCODEによって分周器の分周比N<sub>DIV</sub>が決定されます。
2. DIVCODEのMSBがPOLビットで、2つのバージョンで異なる極性が設定されます。
  - a. LTC6994-1: POLによって立ち上がりエッジまたは立ち下がりエッジの遅延が選択されます。POL = 0で立ち上がりエッジの遷移が遅延します。POL = 1で立ち下がりエッジの遷移が遅延します。
  - b. LTC6994-2: POLによって出力の反転が選択されます。POL = 1で出力信号が反転します。

V<sub>DIV</sub>は図1のようにV<sup>+</sup>とGND間の抵抗分割器によって生成することができます。

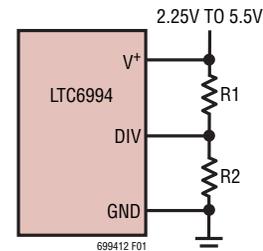


図1. DIVCODEを設定する簡単な技法

表1は適正な分圧を正確に生成する1%抵抗の推奨値、ならびに推奨される抵抗ペアに対応したN<sub>DIV</sub>およびPOLの値を示しています。以下の条件が満たされる限り、別の値を使用することも可能です。

1. V<sub>DIV</sub>/V<sup>+</sup>比が $\pm 1.5\%$ の精度を持つ(抵抗の許容誤差と温度の影響を含む)。
2. 駆動インピーダンス(R1||R2)が500k $\Omega$ を超えない。

## 動作

電圧が他の手段(たとえば、DACの出力)によって生成される場合、その電圧はV<sup>+</sup>電源電圧に追従する必要があります。表1の最後の欄は電源電圧に対するV<sub>DIV</sub>の比の理想値を示します。これは次の式で計算することもできます。

$$\frac{V_{DIV}}{V^+} = \frac{DIVCODE + 0.5}{16} \pm 1.5\%$$

たとえば、電源電圧が3.3Vで望ましいDIVCODEが4である場合、V<sub>DIV</sub> = 0.281 • 3.3V = 928mV ±50mVとなります。

図2は表1の内容をグラフ化したもので、N<sub>DIV</sub>はDIVCODEの中点の両側に対称であることを示しています。

表1. DIVCODEの設定

DIVCODE	POL	N <sub>DIV</sub>	推奨t <sub>DELAY</sub>	R1 (k)	R2 (k)	V <sub>DIV</sub> /V <sup>+</sup>
0	0	1	1μs to 16μs	Open	Short	≤ 0.03125 ±0.015
1	0	8	8μs to 128μs	976	102	0.09375 ±0.015
2	0	64	64μs to 1.024ms	976	182	0.15625 ±0.015
3	0	512	512μs to 8.192ms	1000	280	0.21875 ±0.015
4	0	4,096	4.096ms to 65.54ms	1000	392	0.28125 ±0.015
5	0	32,768	32.77ms to 524.3ms	1000	523	0.34375 ±0.015
6	0	262,144	262.1ms to 4.194sec	1000	681	0.40625 ±0.015
7	0	2,097,152	2.097sec to 33.55sec	1000	887	0.46875 ±0.015
8	1	2,097,152	2.097sec to 33.55sec	887	1000	0.53125 ±0.015
9	1	262,144	262.1ms to 4.194sec	681	1000	0.59375 ±0.015
10	1	32,768	32.77ms to 524.3ms	523	1000	0.65625 ±0.015
11	1	4,096	4.096ms to 65.54ms	392	1000	0.71875 ±0.015
12	1	512	512μs to 8.192ms	280	1000	0.78125 ±0.015
13	1	64	64μs to 1.024ms	182	976	0.84375 ±0.015
14	1	8	8μs to 128μs	102	976	0.90625 ±0.015
15	1	1	1μs to 16μs	Short	Open	≥ 0.96875 ±0.015

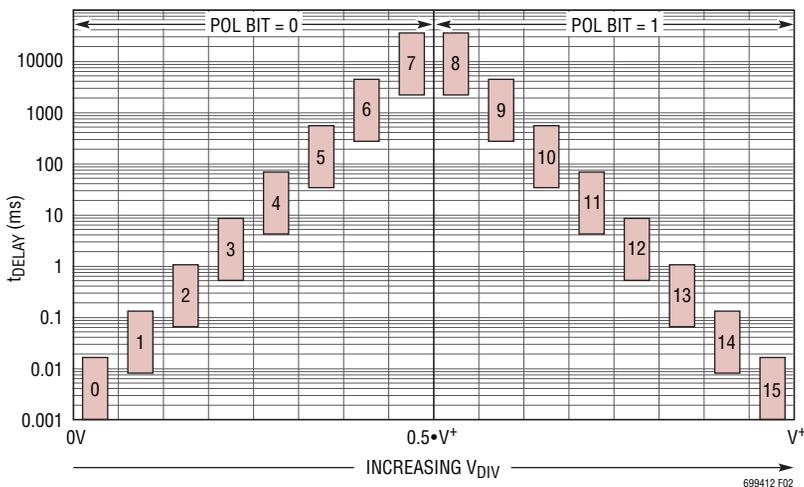


図2. DIVCODEに対する遅延範囲とPOLビットの関係

## 動作

### エッジが制御された遅延

LTC6994はプログラム可能な遅延またはパルス・クオリファイヤです。このデバイスはノイズ除去を行うことが可能で、(すべての入力遷移を遅延させるだけの)デレイラインとは異なります。

LTC6994の入力ピン(IN)の電圧が“L”または“H”に遷移すると、LTC6994は対応する出力の遷移を $1\mu\text{s}$ ~33.6秒の範囲で遅延させることができます。

### LTC6994-1の機能

LTC6994-1が立ち上がりエッジの遷移を遅延させるように設定されたとき(POL = 0)の基本動作の詳細を図3に示します。INピンの立ち上がりエッジでタイマが始動します。 $t_{\text{DELAY}}$ の間

OUTは“L”のままです。 $t_{\text{DELAY}}$ の後もINが“H”を保つと、OUTは“H”に遷移します。OUTが“H”に遷移するまでの時間だけ入力が“H”状態を保たないと、後続の各立ち上がりエッジでタイマが再び始動します。このようにして、LTC6994-1はパルス・クオリファイヤとして機能することができ、ノイズや短い信号を除去します。

入力の立ち下がりエッジでは、出力は(短い伝播遅延 $t_{\text{PD}}$ の後)直ちに立ち下がります。OUTが立ち上がった直後にINが立ち下がると、出力パルス幅が極端に短くなる可能性があることに注意してください。

LTC6994-1が立ち下がりエッジを遅延させるように設定されたとき(POL = 1)の動作の詳細を図4に示します。

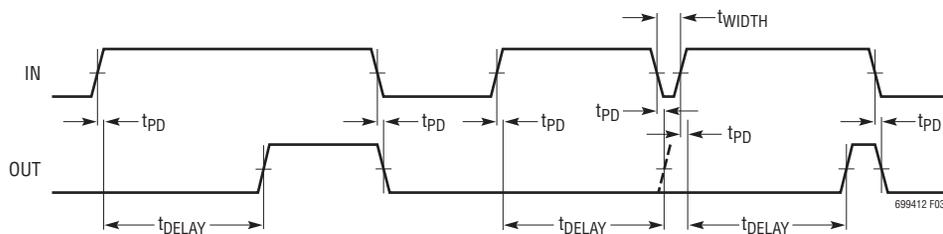


図3. 立ち上がりエッジが遅延したタイミング図(LTC6994-1、POL = 0)

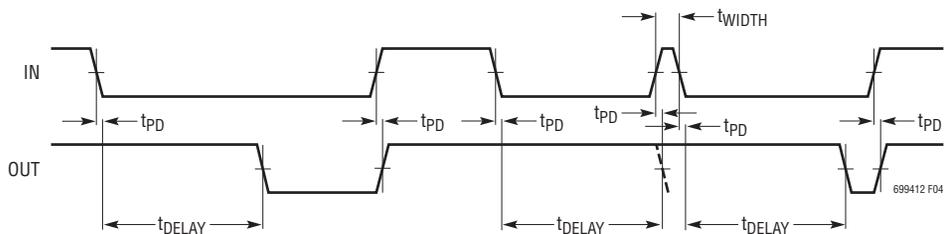


図4. 立ち下がりエッジが遅延したタイミング図(LTC6994-1、POL = 1)

## 動作

### LTC6994-2の機能

LTC6994-2が非反転動作に設定されたとき(POL = 0)の基本動作の詳細を図5に示します。前述したように、INピンの立ち上がりエッジによってタイマが始動し、INが“H”を保つと、 $t_{DELAY}$ の後OUTが“H”に遷移します。

LTC6994-1とは異なり、立ち下がりエッジは同じように遅延します。INが“L”に遷移すると、OUTは $t_{DELAY}$ の後遷移します。

OUTが追従するまでの時間だけ入力が“H”または“L”の状態を保たないと、次の遷移でタイマが再び始動します。

またLTC6994-1とは異なり、出力パルス幅を $t_{DELAY}$ より狭くすることはできません。したがって、LTC6994-2は規定された最小幅のパルスが発生させることができます。

出力が反転に設定されたとき(POL = 1)のLTC6994-2の動作の詳細を図6に示します。

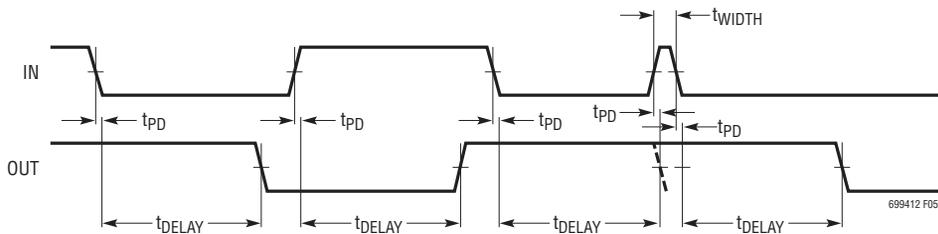


図5. 両方のエッジが遅延したタイミング図 (LTC6994-2、POL = 0)

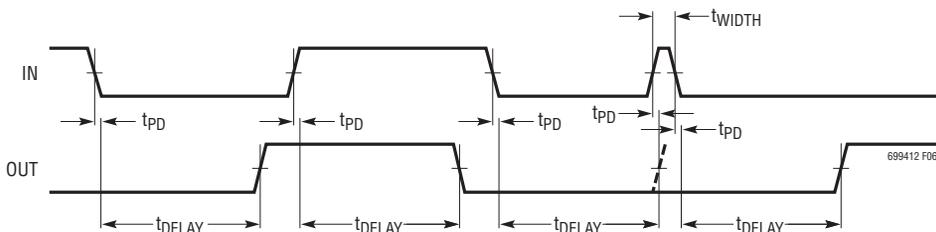


図6. 両方のエッジが遅延した(反転の)タイミング図 (LTC6994-2、POL = 1)

## 動作

### 起動後のDIVCODEの変更

起動後も、A/Dコンバータは $V_{DIV}$ の変化をモニタし続けます。LTC6994はDIVCODEの「ふらつき」の除去を優先させるので、DIVCODEの変更は時間をかけて認識されます。標準的遅延はDIVCODEの新旧の設定の間の差に依存し、マスタ発振器の周期に比例します。

$$t_{DIVCODE} = 16 \cdot (\Delta DIVCODE + 6) \cdot t_{MASTER}$$

DIVCODEの変化はそれが安定するまで認識されず、中間のコードを通過することはありません。出力に変化が生じる前にDIVCODEが確実に新しい値に落ち着くようにするためにデジタル・フィルタが使用されています。ただし、遷移中に遅延タイムがアクティブ状態だと、実際の遅延は2つの設定値の間の値になる可能性があります。

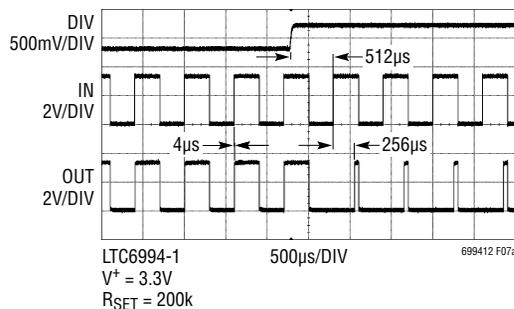


図7a. DIVCODEが0から2に変わった場合

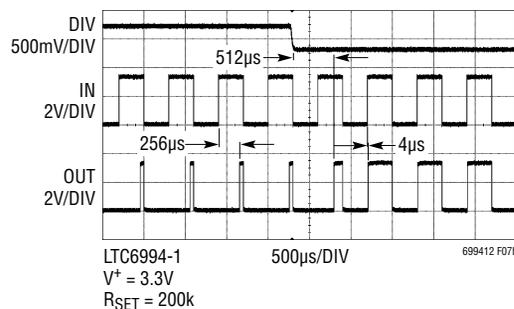


図7b. DIVCODEが2から0に変わった場合

### 起動時間

電源が初めて投入されたとき、パワーオン・リセット(POR)回路が起動時間 $t_{START}$ を開始します。この期間中、OUTピンは“L”に保持され、INピンは出力の制御を行いません。 $t_{START}$ の標準値は、マスタ発振器の周波数( $N_{DIV}$ には無関係)に応じて0.5ms~8msの範囲で変動します。

$$t_{START(TYP)} = 500 \cdot t_{MASTER}$$

起動期間中は、LTC6994が入力に応答できるようになる前にDIVピンのA/Dコンバータが正しいDIVCODEを決定しなければなりません。電源またはDIVピンの電圧が安定しない場合、起動時間は増加する可能性があります。このため、 $V^+$ を正確にトラッキングできるようにDIVピンの容量を最小化することを推奨します。この容量値は100pF以下であれば起動時間が増加することはありません。

$t_{START}$ の終了時にDIVCODEとINピンの設定値が認識され、INピンの状態が(遅延時間の増加なしに)出力に転送されます。 $t_{START}$ の終了時にINが“H”の場合、OUTは“H”になります。そうでない場合には、OUTは“L”に保たれます。POL = 1のLTC6994-2だけは信号を反転するので例外です。この時点で、LTC6994は入力の立ち上がりエッジおよび立ち下がりエッジに応答できる状態になります。

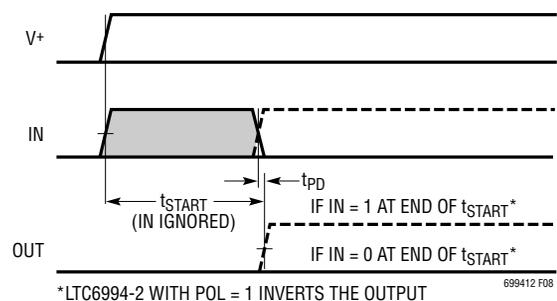


図8. 起動時のタイミング図

## アプリケーション情報

### 基本動作

LTC6994を設定する最も簡単で最も正確な方法は、SETピンとGNDピン間に接続された1本の抵抗 $R_{SET}$ を使用することです。設定は3つの手順で行います。また、リニアテクノロジーはLTC6994ベースの回路を素早く設計するために、使いやすいTimerBlox Designerツールを提供しています。<http://www.linear-tech.co.jp/timerblox>から、無料のTimerBlox Designerソフトウェアをダウンロードしてください。

**手順1: LTC6994のバージョンとPOLビットの設定を選択する**  
立ち上がりまたは立ち下がりのどちらかの入力遷移を遅延させるにはLTC6994-1を選択します。次に、POLビットでどちらのエッジを遅延させるかを決めます。POL = 0で立ち上がりエッジを遅延させます。POL = 1で立ち下がりエッジを遅延させます。

立ち上がりエッジと立ち下がりエッジの両方を遅延させるにはLTC6994-2を選択します。POL = 0で通常動作に設定するか、またはPOL = 1で出力を反転させます。

### 手順2: 分周比 $N_{DIV}$ を選択する

既に説明したように、DIVピンの電圧がPOLビットと $N_{DIV}$ 値の両方を決定するDIVCODEを設定します。与えられた遅延時間( $t_{DELAY}$ )に対して、 $N_{DIV}$ は以下の範囲内に収まるように選択します。

$$\frac{t_{DELAY}}{16\mu s} \leq N_{DIV} \leq \frac{t_{DELAY}}{1\mu s} \quad (1)$$

電源電流を最小限に抑えるために、最小の $N_{DIV}$ 値を選んでください。ただし、場合によっては $N_{DIV}$ の値が大きいほど精度が向上することもあります(「電気的特性」を参照)。

表1を用いて、望みの $t_{DELAY}$ に対する適切な $N_{DIV}$ 値を選択することもできます。

POLが既に選択されていれば、これでDIVCODEの選択は完了です。表1を用いて、DIVピンに基準電圧を供給するための適切な抵抗分割器または $V_{DIV}/V^+$ 比を選択してください。

### 手順3: $R_{SET}$ の計算と選択

最後に、次の式を用いて $R_{SET}$ の正しい値を計算します。

$$R_{SET} = \frac{50k}{1\mu s} \cdot \frac{t_{DELAY}}{N_{DIV}} \quad (2)$$

計算された値に最も近い標準抵抗値を選択してください。

**例:** 最小の消費電力で立ち下がりエッジを $t_{DELAY} = 100\mu s$ だけ遅延させる回路を設計するとします。

**手順1: LTC6994のバージョンとPOLビットの設定を選択する**  
立ち下がり遷移を遅延させるには、LTC6994-1を選択してPOL = 1に設定します。

### 手順2: 分周比 $N_{DIV}$ を選択する

式(1)の要件を満たす $N_{DIV}$ 値を、 $t_{DELAY} = 100\mu s$ を用いて選択します。

$$6.25 \leq N_{DIV} \leq 100$$

この場合、 $N_{DIV}$ の可能な設定値は8と64の2つですが、 $R_{SET}$ に大きな抵抗を使用した方が電源電流を小さくできるため、 $N_{DIV} = 8$ が最善の選択となります。POL = 1、 $N_{DIV} = 8$ では、DIVCODE = 14にする必要があります。表1を用いて、 $R1 = 102k$ 、 $R2 = 976k$ の抵抗値を選択してDIVCODE = 14を設定します。

### 手順3: $R_{SET}$ を選択する

式(2)を用いて $R_{SET}$ の正しい値を計算します。

$$R_{SET} = \frac{50k}{1\mu s} \cdot \frac{100\mu s}{8} = 625k$$

625k $\Omega$ という抵抗は標準の1%抵抗として用意されていないため、-0.97%の $t_{DELAY}$ のシフトが許容できるなら619k $\Omega$ の標準抵抗で置き換えてください。さもなければ、より正確な抵抗を得るために、標準抵抗の並列接続または309k $\Omega$ +316 $\Omega$ のような直列接続を選択してください。

完了した設計を図9に示します。

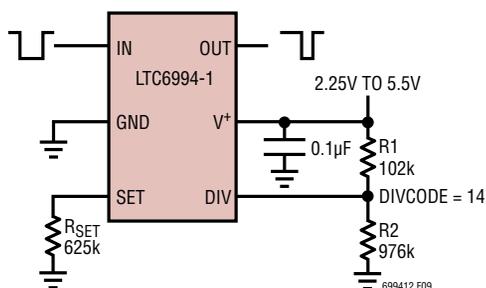


図9. 100 $\mu s$ の立ち下がりエッジの遅延

## アプリケーション情報

## 電圧制御遅延

抵抗を1本追加することにより、LTC6994の出力遅延を外部電圧で制御できるようになります。図10に示すように、電圧V<sub>CTRL</sub>はR<sub>MOD</sub>を介して電流をソースまたはシンクすることによってI<sub>SET</sub>電流を変化させ、結果として以下の式(3)で示されるように遅延を調節します。

$$t_{\text{DELAY}} = \frac{N_{\text{DIV}} \cdot R_{\text{MOD}}}{50\text{k}\Omega} \cdot \frac{1\mu\text{s}}{1 + \frac{R_{\text{MOD}} - V_{\text{CTRL}}}{R_{\text{SET}} \cdot V_{\text{SET}}}} \quad (3)$$

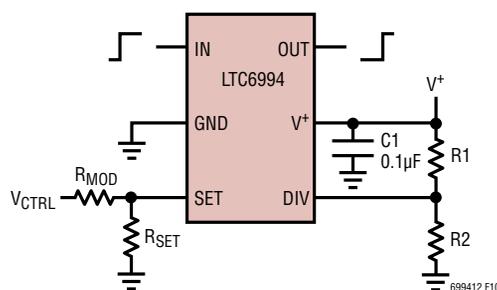


図10. 電圧制御遅延

## デジタル遅延制御

制御電圧をDAC (D/Aコンバータ)で生成することにより、デジタル制御による遅延を行うことができます。多くのDACは外部リファレンスを使用可能です。そのようなDACをV<sub>CTRL</sub>電圧の生成のために利用すれば、図11に示すようにV<sub>SET</sub>を一旦バッファし、それをDACのリファレンス電圧として使用することによって、V<sub>SET</sub>への依存性を除去することができます。DACの出力電圧がV<sub>SET</sub>の変動をトラッキングし、その変動分を誤差源として除去します。DACのREF入力に流れる電流が遅延に影響を与える可能性があるため、SETピンをDACのリファレンス入力に直接接続することはできません。

最適範囲外のI<sub>SET</sub> (最適範囲外のマスタ発振器周波数)

I<sub>SET</sub>の値が推奨される1.25µA～20µAの範囲から外れた場合、マスタ発振器は最も精度が高い周波数62.5kHz～1MHzの範囲外で動作するようになります。

I<sub>SET</sub>が1.25µA以下でも、発振器は精度が低下しますが依然として発振することができます。発振器は約500nAで発振を停止します。この状況では、遅延タイミング回路は依然として始動可能ですが、I<sub>SET</sub>が増加してマスタ発振器が発振を再開するまでは停止しません。

周波数が極端に高くなる場合、DIVピンの精度がADCの精度に影響するため2MHz以上でマスタ発振器を動かすことは推奨しません。

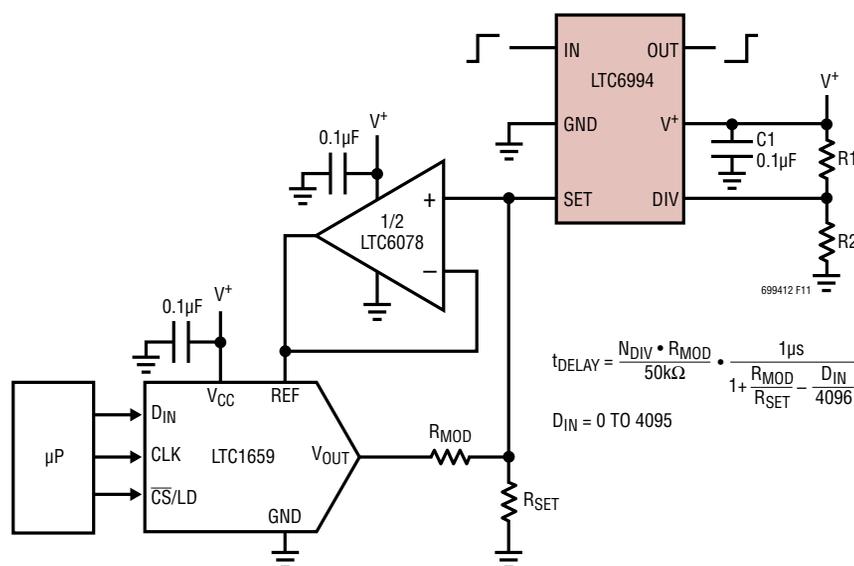


図11. デジタル制御遅延

## アプリケーション情報

### セトリング時間

$I_{SET}$ の2倍または0.5倍のステップ変化に続いて、出力遅延が最終値の1%以内にセトリングするまでには約6マスタ・クロック・サイクル ( $6 \cdot t_{MASTER}$ ) かかります。図10の回路を使った例を図12に示します。

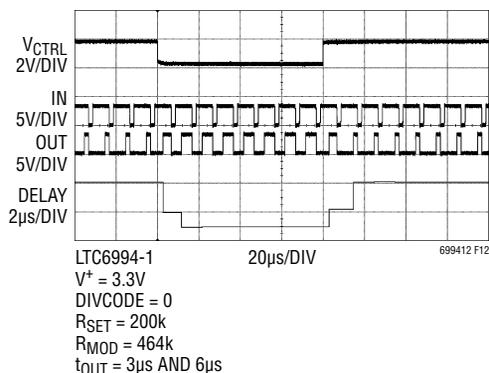


図12. 標準セトリング時間

### 結合誤差

内部マスタ発振器は、SETピンによってソースされる電流を使ってバイアスされます。LTC6994は $I_{SET}$ の変化にほぼ即座に応答するので、優れたセトリング時間が得られます。ただし、この高速な応答により、SETピンがIN入力などのデジタル信号からの結合に対して敏感にもなっています。

たとえレイアウトが優れていてもINとSETの間にはいくらかの結合が生じます。これを考慮して、 $N_{DIV} = 1$ で規定された精度には追加の誤差が含まれています。分周比が1の電源変動が立ち上がり入力または立ち下がり入力からの結合に依存することを図13に示します。

レイアウトに不備があると、実際に性能がさらに低下する可能性があります。PCBレイアウトでは、SETの配線をIN(または高速エッジや大振幅の信号など)に隣接させないようにします。

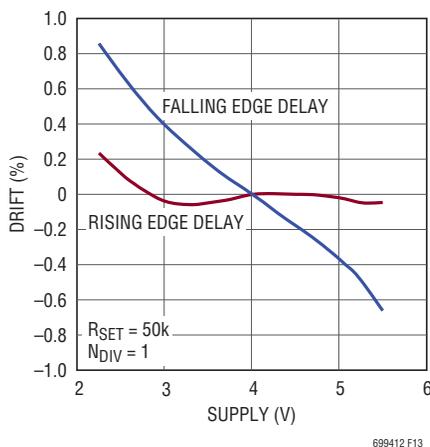


図13. 遅延ドリフトと電源電圧

## アプリケーション情報

## 電源電流

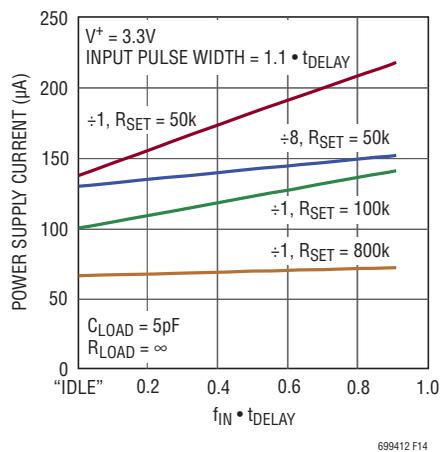
「電気的特性」の表に、デバイスがアイドル状態(入力遷移の待機状態)のときの電源電流が規定されています。表2の式で示すように、 $I_S(\text{IDLE})$ は設定された $t_{\text{DELAY}}$ および電源電圧に応じて変化し、LTC6994-1とLTC6994-2の両方に適用されません。

表2. アイドル状態の電源電流の近似式

条件	標準 $I_S(\text{IDLE})$
$N_{\text{DIV}} \leq 64$	$\frac{V^+ \cdot (N_{\text{DIV}} \cdot 7\text{pF} + 4\text{pF})}{t_{\text{DELAY}}} + \frac{V^+}{500\text{k}\Omega} + 2.2 \cdot I_{\text{SET}} + 50\mu\text{A}$
$N_{\text{DIV}} \geq 512$	$\frac{V^+ \cdot N_{\text{DIV}} \cdot 7\text{pF}}{t_{\text{DELAY}}} + \frac{V^+}{500\text{k}\Omega} + 1.8 \cdot I_{\text{SET}} + 50\mu\text{A}$

入力遷移によって遅延タイミング回路が始動すると、電源電流が $I_S(\text{ACTIVE})$ まで瞬時に増加します。

$$I_S(\text{ACTIVE}) = I_S(\text{IDLE}) + \Delta I_S(\text{ACTIVE})$$

図14.  $I_S(\text{ACTIVE})$ と入力周波数、LTC6994-1

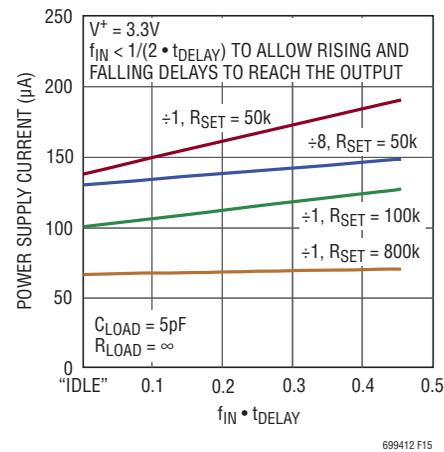
周期的入力の周波数を $f_{\text{IN}}$ とすると、 $\Delta I_S(\text{ACTIVE})$ は表3の式を使って推定することができます。これらの式は入力パルス幅が $t_{\text{DELAY}}$ 以上と仮定しています。そうでないと出力は遷移しません(また、電源電流が減少します)。

表3. 電源電流のアクティブな増加

条件	デバイス	標準 $\Delta I_S(\text{ACTIVE})^*$
$N_{\text{DIV}} \leq 64$	LTC6994-1	$f_{\text{IN}} \cdot V^+ \cdot (N_{\text{DIV}} \cdot 5\text{pF} + 18\text{pF} + C_{\text{LOAD}})$
	LTC6994-2	$f_{\text{IN}} \cdot V^+ \cdot (N_{\text{DIV}} \cdot 10\text{pF} + 22\text{pF} + C_{\text{LOAD}})$
$N_{\text{DIV}} \geq 512$	両方のバージョン	$f_{\text{IN}} \cdot V^+ \cdot C_{\text{LOAD}}$

\*抵抗負荷を無視( $R_{\text{LOAD}} = \infty$ と仮定)

入力周波数が増加するにつれて電源電流が $I_S(\text{IDLE})$ から増加する様子を図14と図15に示します。 $N_{\text{DIV}}$ の設定値が大きくなると、アクティブな電流は減少します。

図15.  $I_S(\text{ACTIVE})$ と入力周波数、LTC6994-2

## アプリケーション情報

### 電源のバイパスとPCBレイアウトのガイドライン

LTC6994は適切な方法で使用すると、高精度の単安定マルチバイブレータとなります。使い方は簡単であり、いくつかのルールに従うことにより期待通りの性能を容易に得ることができます。そのために重要なことは、電源のバイパスとPCBレイアウトを適切に行うことです。

0603サイズの受動素子を用いた、TSOT-23およびDCBパッケージの両方に対するPCBレイアウトの例を図16に示します。このレイアウトでは、LTC6994の真下と周囲にグランドプレーン層を設けた2層のPCB基板を想定しています。これらのレイアウトは単なるガイドラインであり、正確にその通り従う必要はありません。

1. 低インダクタンスの経路を用いて、バイパス・コンデンサC1を直接V<sup>+</sup>ピンとGNDピンに接続してください。C1からV<sup>+</sup>ピンへの接続は最上層で直接簡単に行うことができます。DCBパッケージの場合、C1のGNDへの接続も最上層で行うことができます。TSOT-23パッケージの場合、OUTはC1とGNDとの良好な接続を可能にするためにC1パッドを介して配線することができます。PCBのデザインルールでそれが許されていない場合、C1のGND接続はグランドプレーンへの複数のビアを通して行います。インダクタンスを最小限に抑えるために、グランドプレーンへのGNDピンの接続およびC1の接続の両方に対して複数のビアを用いた接続が推奨されます。C1は0.1μFのセラミック・コンデンサを使用してください。

2. トレースのインダクタンスを最小限に抑えるために、すべての受動素子をPCB基板の上面に配置してください。
3. R<sub>SET</sub>はSETピンのできるだけ近くに配置し、直接最短距離で接続します。SETピンは電流が加算されるノードであり、このピンに注入される電流が出力遅延を直接調節します。配線を極力短くすることにより露出部分を短くして信号との結合を最小限にすることができます。
4. R<sub>SET</sub>の一端を直接GNDピンに接続してください。グランドプレーンとの接続を長くしたりビアを介して接続しても精度には大きな影響を与えませんが、できるだけ短い距離で直接接続することが推奨され、これは容易に実行できます。
5. グランド・トレースを用いてSETピンをシールドしてください。これにより、放射信号に対する保護が一層強化されます。
6. R1とR2はDIVピンの近くに配置してください。DIVピンへの接続を直接の短い配線で行うことにより外部信号との結合を最小限に抑えることができます。

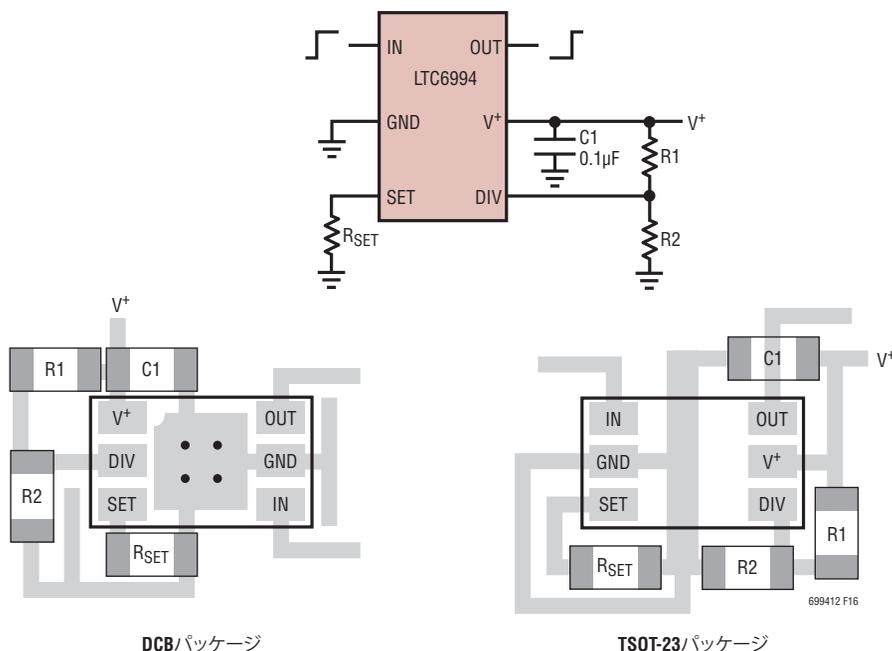
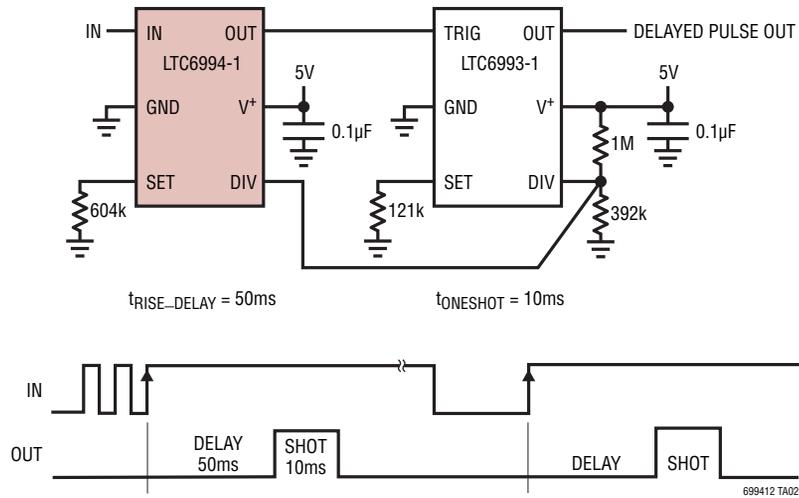


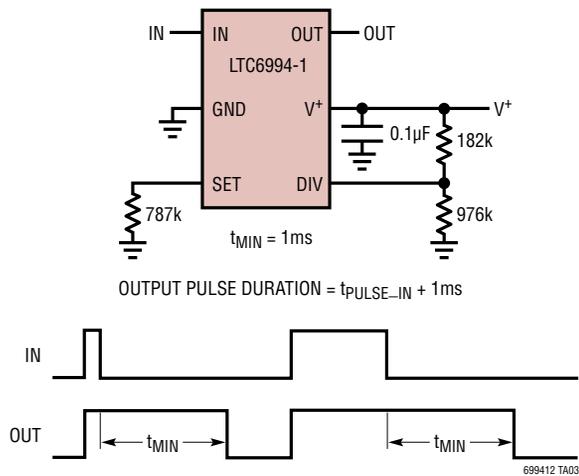
図16. 電源のバイパスとPCBレイアウト

標準的応用例

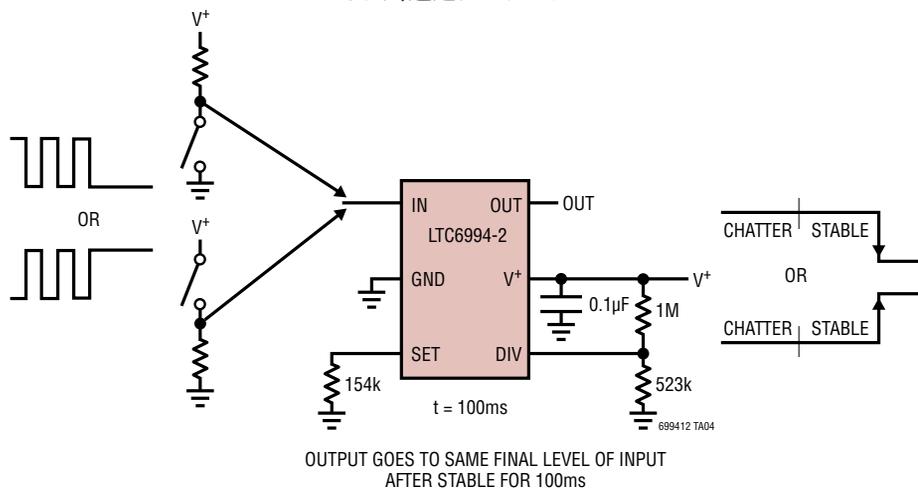
遅延ワンショット



パルス・ストレッチャ

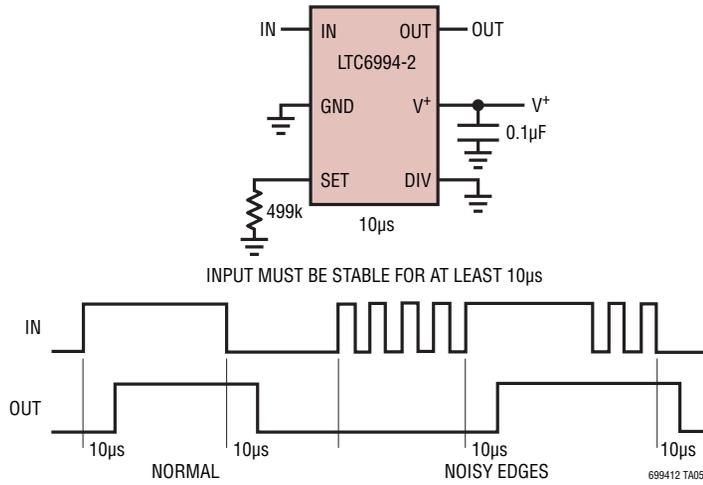


スイッチ/遅延デバウンス

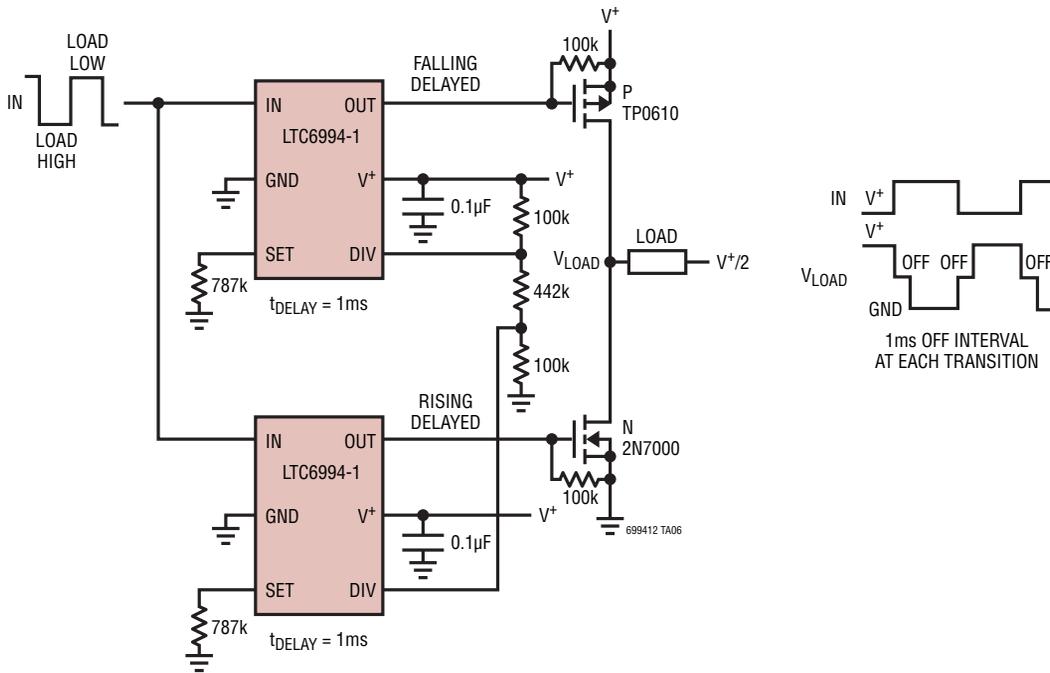


## 標準的応用例

### エッジ・チャタリング・フィルタ



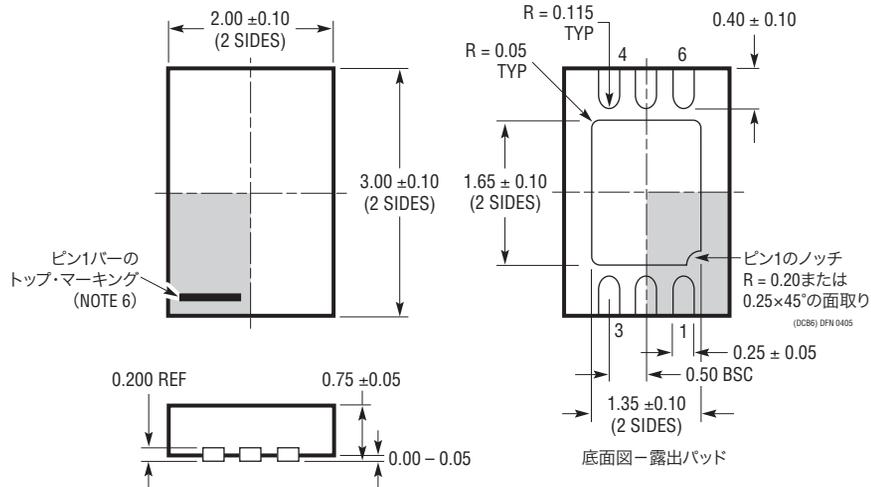
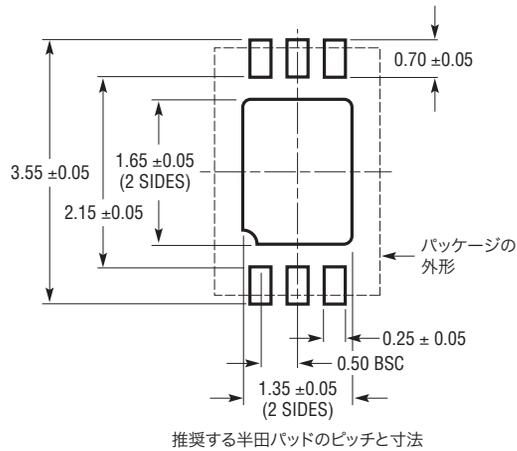
### クロスオーバー・ゲート(ブレイクビフォアメイク・インターバル・タイマ)



## パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>をご覧ください。

DCBパッケージ  
6ピン・プラスチックDFN (2mm×3mm)  
(Reference LTC DWG # 05-08-1715 Rev A)



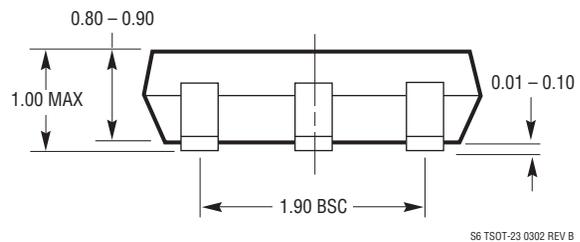
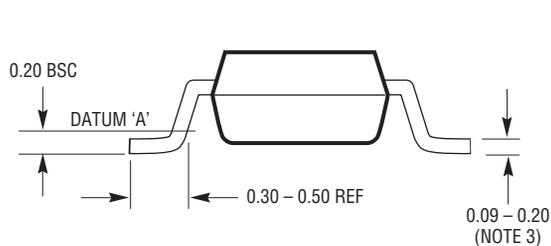
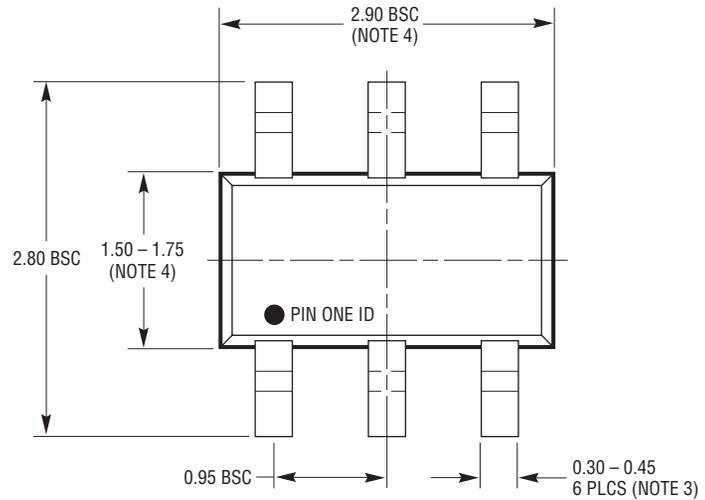
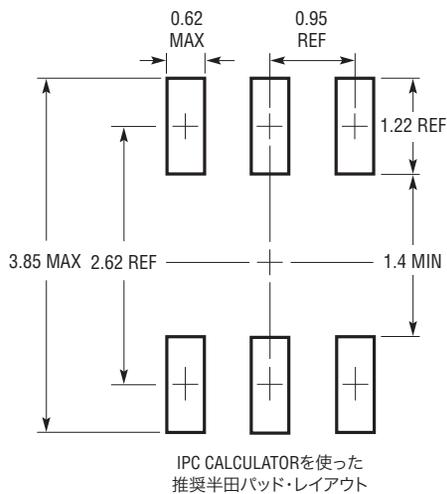
## NOTE:

1. 図はJEDECのパッケージ外形M0-229のバリエーション(未定)になる予定
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない  
モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

## パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>をご覧ください。

**S6パッケージ**  
**6ピン・プラスチックTSOT-23**  
 (Reference LTC DWG # 05-08-1636)



- NOTE:
1. 寸法はミリメートル
  2. 図は実寸とは異なる
  3. 寸法にはメッキを含む
  4. 寸法にモールドのバリやメタルのバリを含まない
  5. モールドのバリは0.254mmを超えてはならない
  6. JEDECパッケージ参照番号はMO-193

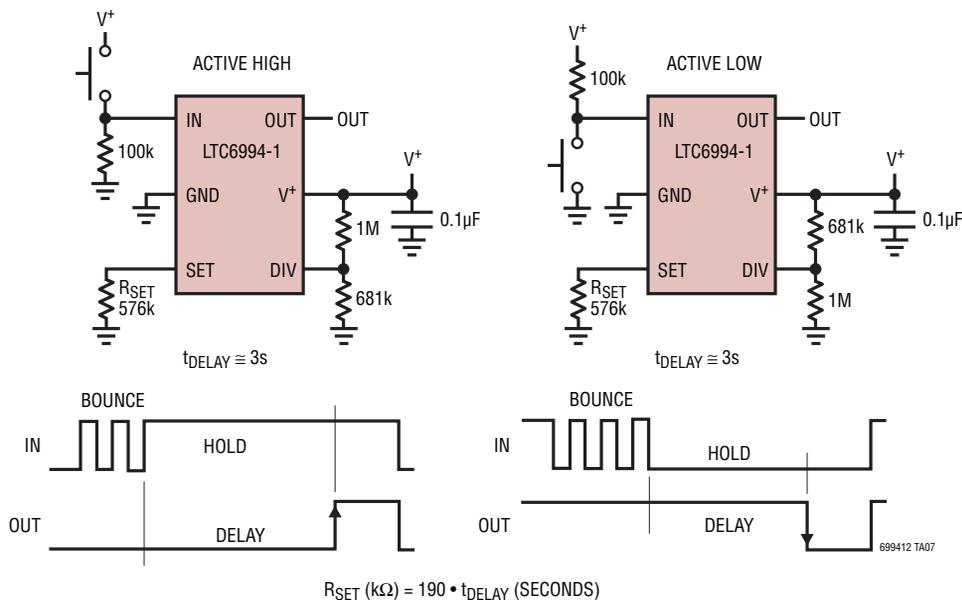
## 改訂履歴

REV	日付	概要	ページ番号
A	7/11	「概要」セクションを改訂	1
		「アプリケーション情報」セクションの基本動作の段落に文章追加	16
B	1/12	MPグレードを追加	1, 2, 4
		「標準的性能特性」のグラフG31とG32のサイズを修正	8

# LTC6994-1 / LTC6994-2

## 標準的応用例

### プレス・アンド・ホールド(0.3秒~4秒)遅延タイマ



## 関連製品

製品番号	説明	注釈
LTC1799	ThinSOTパッケージの1MHz~33MHzシリコン発振器	広い周波数範囲
LTC6900	ThinSOTパッケージの1MHz~20MHzシリコン発振器	低消費電力、広い周波数範囲
LTC6906/LTC6907	ThinSOTパッケージの10kHz~1MHzまたは40kHz シリコン発振器	マイクロパワー、電源電流:400kHzで35µA
LTC6930	32.768kHz~8.192MHzの固定周波数発振器	周波数誤差:0.09%、起動時間:110µs、電源電流:32kHzで105µA
LTC6990	TimerBlox:電圧制御シリコン発振器	固定周波数または電圧制御動作
LTC6991	TimerBlox:リセット可能な低周波数発振器	クロック周期:最大9.5時間
LTC6992	TimerBlox:電圧制御パルス幅変調器(PWM)	周波数範囲が広いシンプルなPWM
LTC6993	TimerBlox:単安定パルス発生器(ワンショット)	抵抗で設定可能なパルス幅:1µs~34秒