

TimerBlox: 単安定 パルス発生器(ワンショット)

特長

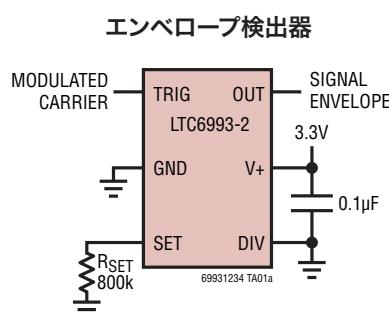
- パルス幅範囲: 1μs～33.6秒
- 1～3本の抵抗で設定可能
- パルス幅の最大誤差:
 - 512μsを超えるパルス幅で2.3%未満
 - 8μs～512μsのパルス幅で3.4%未満
 - 1μs～8μsのパルス幅で4.9%未満
- 4種類のオプション:
 - 立ち上がりエッジまたは立ち下がりエッジでトリガ
 - 再トリガ可能または再トリガ不可
- 正または負の出力パルスに設定可能
- 高速回復時間
- 2.25V～5.5Vの単一電源動作
- 電源電流: 10μAのパルス幅で70μA
- 起動時間: 500μs
- 20mAをソース/シンクするCMOS出力ドライバ
- 動作温度範囲: -55°C～125°C
- 高さの低い(1mm)SOT-23(ThinSOT™)
および2mm×3mm DFNパッケージ

アプリケーション

- オンチドッグ・タイマ
- 周波数ディスクリミネータ
- ミッシング・パルスの検出
- エンベロープ検出
- 高振動、高加速環境
- バッテリ駆動の携帯機器

LT、LT、LTC、LTM、Linear Technology、TimerBloxおよびLinearのロゴはリニアテクノロジー社の登録商標です。ThinSOTはリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



概要

LTC®6993は、1μs～33.6秒の範囲でパルス幅を設定可能な单安定マルチバイブレータ(別称ワンショット・パルス発生器)です。LTC6993は TimerBlox®汎用シリコン・タイミング・デバイス・ファミリーの製品です。

1本の抵抗(R_{SET})で、内部のマスター発振器の周波数が設定され、これによりLTC6993のタイムベースが設定されます。出力パルス幅は、このマスター発振器と、1から 2^{21} までの8つの分周比(N_{DIV})に設定可能な内部クロック分周器によって決まります。

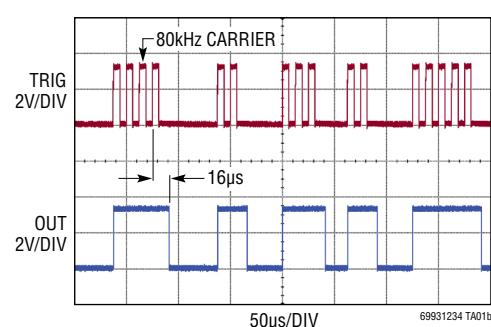
$$t_{OUT} = \frac{N_{DIV} \cdot R_{SET} \cdot 1\mu s}{50k\Omega}, N_{DIV} = 1, 8, 64, \dots, 2^{21}$$

出力パルスは、トリガ入力(TRIG)の遷移によって開始されます。デバイスごとに、正または負のいずれかの出力パルスを生成するように設定できます。LTC6993にはトリガ信号の極性と再トリガの可否により、4つのバージョンがあります。

デバイス	入力極性	再トリガ
LTC6993-1	立ち上がりエッジ	不可
LTC6993-2	立ち上がりエッジ	可
LTC6993-3	立ち下がりエッジ	不可
LTC6993-4	立ち下がりエッジ	可

また、LTC6993は、独立した制御電圧によって出力パルス幅を動的に調整することができます。

<http://www.linear-tech.co.jp/products/timerblox>よりTimerBlox設計ツールをダウンロードすると、LTC6993を簡単に設定することができます。



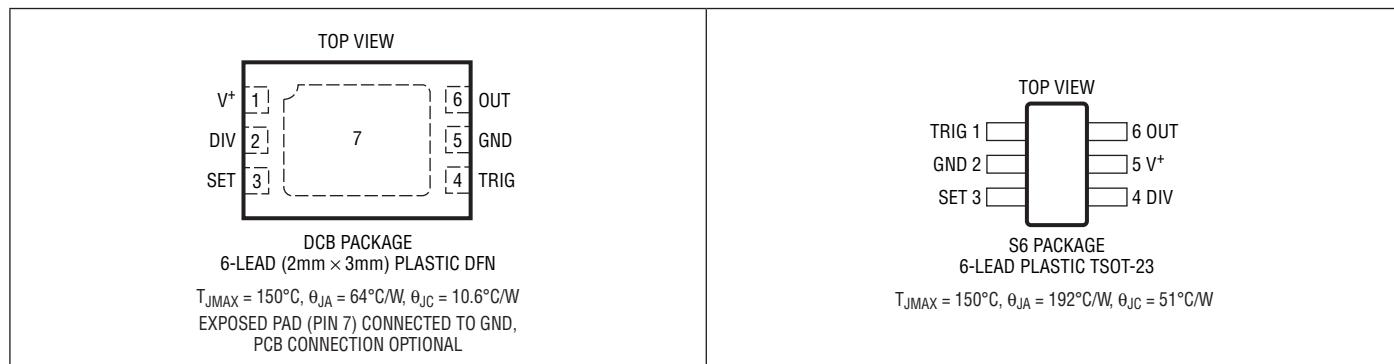
69931234fb

LTC6993-1/LTC6993-2 LTC6993-3/LTC6993-4

絶対最大定格 (Note 1)

電源電圧(V^+)からGND 6V	規定温度範囲(Note 3)
すべてのピンの最大電圧	LTC6993C 0°C~70°C
..... ($GND - 0.3V \leq V_{PIN} \leq (V^+ + 0.3V)$)	LTC6993I -40°C~85°C
動作温度範囲(Note 2)	LTC6993H -40°C ~125°C
LTC6993C -40°C ~85°C	LTC6993MP -55°C ~125°C
LTC6993I -40°C ~85°C	接合部温度 150°C
LTC6993H -40°C~125°C	保存温度範囲 -65°C~150°C
LTC6993MP -55°C~125°C	リード温度(半田付け、10秒) S6パッケージ 300°C

ピン配置



発注情報

無鉛仕上げ

テープアンドリール(ミニ)	テープアンドリール	製品マーキング*	パッケージ	規定温度範囲
LTC6993CDCB-1#TRMPBF	LTC6993CDCB-1#TRPBF	LDXH	6-Lead (2mm × 3mm) Plastic DFN	0°C to 70°C
LTC6993IDCB-1#TRMPBF	LTC6993IDCB-1#TRPBF	LDXH	6-Lead (2mm × 3mm) Plastic DFN	-40°C to 85°C
LTC6993HDCB-1#TRMPBF	LTC6993HDCB-1#TRPBF	LDXH	6-Lead (2mm × 3mm) Plastic DFN	-40°C to 125°C
LTC6993CDCB-2#TRMPBF	LTC6993CDCB-2#TRPBF	LDXK	6-Lead (2mm × 3mm) Plastic DFN	0°C to 70°C
LTC6993IDCB-2#TRMPBF	LTC6993IDCB-2#TRPBF	LDXK	6-Lead (2mm × 3mm) Plastic DFN	-40°C to 85°C
LTC6993HDCB-2#TRMPBF	LTC6993HDCB-2#TRPBF	LDXK	6-Lead (2mm × 3mm) Plastic DFN	-40°C to 125°C
LTC6993CDCB-3#TRMPBF	LTC6993CDCB-3#TRPBF	LFMJ	6-Lead (2mm × 3mm) Plastic DFN	0°C to 70°C
LTC6993IDCB-3#TRMPBF	LTC6993IDCB-3#TRPBF	LFMJ	6-Lead (2mm × 3mm) Plastic DFN	-40°C to 85°C
LTC6993HDCB-3#TRMPBF	LTC6993HDCB-3#TRPBF	LFMJ	6-Lead (2mm × 3mm) Plastic DFN	-40°C to 125°C
LTC6993CDCB-4#TRMPBF	LTC6993CDCB-4#TRPBF	LFMM	6-Lead (2mm × 3mm) Plastic DFN	0°C to 70°C
LTC6993IDCB-4#TRMPBF	LTC6993IDCB-4#TRPBF	LFMM	6-Lead (2mm × 3mm) Plastic DFN	-40°C to 85°C
LTC6993HDCB-4#TRMPBF	LTC6993HDCB-4#TRPBF	LFMM	6-Lead (2mm × 3mm) Plastic DFN	-40°C to 125°C
LTC6993CS6-1#TRMPBF	LTC6993CS6-1#TRPBF	LTDXG	6-Lead Plastic TSOT-23	0°C to 70°C
LTC6993IS6-1#TRMPBF	LTC6993IS6-1#TRPBF	LTDXG	6-Lead Plastic TSOT-23	-40°C to 85°C
LTC6993HS6-1#TRMPBF	LTC6993HS6-1#TRPBF	LTDXG	6-Lead Plastic TSOT-23	-40°C to 125°C

69931234fb

発注情報

無鉛仕上げ

テープアンドリール(ミニ)	テープアンドリール	製品マーキング*	パッケージ	規定温度範囲
LTC6993CS6-2#TRMPBF	LTC6993CS6-2#TRPBF	LTDXJ	6-Lead Plastic TSOT-23	0°C to 70°C
LTC6993IS6-2#TRMPBF	LTC6993IS6-2#TRPBF	LTDXJ	6-Lead Plastic TSOT-23	-40°C to 85°C
LTC6993HS6-2#TRMPBF	LTC6993HS6-2#TRPBF	LTDXJ	6-Lead Plastic TSOT-23	-40°C to 125°C
LTC6993CS6-3#TRMPBF	LTC6993CS6-3#TRPBF	LTFMH	6-Lead Plastic TSOT-23	0°C to 70°C
LTC6993IS6-3#TRMPBF	LTC6993IS6-3#TRPBF	LTFMH	6-Lead Plastic TSOT-23	-40°C to 85°C
LTC6993HS6-3#TRMPBF	LTC6993HS6-3#TRPBF	LTFMH	6-Lead Plastic TSOT-23	-40°C to 125°C
LTC6993CS6-4#TRMPBF	LTC6993CS6-4#TRPBF	LTFMK	6-Lead Plastic TSOT-23	0°C to 70°C
LTC6993IS6-4#TRMPBF	LTC6993IS6-4#TRPBF	LTFMK	6-Lead Plastic TSOT-23	-40°C to 85°C
LTC6993HS6-4#TRMPBF	LTC6993HS6-4#TRPBF	LTFMK	6-Lead Plastic TSOT-23	-40°C to 125°C
LTC6993MPS6-1#TRMPBF	LTC6993MPS6-1#TRPBF	LTDXG	6-Lead Plastic TSOT-23	-55°C to 125°C
LTC6993MPS6-2#TRMPBF	LTC6993MPS6-2#TRPBF	LTDXJ	6-Lead Plastic TSOT-23	-55°C to 125°C
LTC6993MPS6-3#TRMPBF	LTC6993MPS6-3#TRPBF	LTFMH	6-Lead Plastic TSOT-23	-55°C to 125°C
LTC6993MPS6-4#TRMPBF	LTC6993MPS6-4#TRPBF	LTFMK	6-Lead Plastic TSOT-23	-55°C to 125°C

TRM = 500個。*温度グレードは出荷時のコンテナのラベルで識別されます。

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/>をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreel/>をご覧ください。

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 2.25\text{V} \sim 5.5\text{V}$ 、 $\text{TRIG} = 0\text{V}$ 、 $\text{DIVCODE} = 0 \sim 15$ ($N_{\text{DIV}} = 1 \sim 2^{21}$)、 $R_{\text{SET}} = 50\text{k} \sim 800\text{k}$ 、 $R_{\text{LOAD}} = 5\text{k}$ 、 $C_{\text{LOAD}} = 5\text{pF}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{OUT}	Output Pulse Width			1μ	33.55	sec
Δt_{OUT}	Pulse Width Accuracy (Note 4)	$N_{\text{DIV}} \geq 512$	●	± 1.7	± 2.3	%
					± 3.0	%
		$8 \leq N_{\text{DIV}} \leq 64$	●	± 2.4	± 3.4	%
					± 4.4	%
$\Delta t_{\text{OUT}}/\Delta T$	Pulse Width Drift Over Temperature	$N_{\text{DIV}} = 1$ (LTC6993-1 or LTC6993-2)	●	± 3.6	± 4.9	%
					± 6.0	%
		$N_{\text{DIV}} = 1$ (LTC6993-3 or LTC6993-4)	●	± 4.0	± 5.3	%
					± 6.4	%
	Pulse Width Change With Supply	$N_{\text{DIV}} \geq 512$	●	± 0.006		$^{\circ}/^{\circ}\text{C}$
		$N_{\text{DIV}} \leq 64$	●	± 0.008		$^{\circ}/^{\circ}\text{C}$
		$N_{\text{DIV}} \geq 512$	●	-0.6	-0.2	%
		$V^+ = 4.5\text{V} \text{ to } 5.5\text{V}$	●	-0.4	-0.1	%
		$V^+ = 2.25\text{V} \text{ to } 4.5\text{V}$	●			
		$8 \leq N_{\text{DIV}} \leq 64$	●	-0.9	-0.2	%
		$V^+ = 4.5\text{V} \text{ to } 5.5\text{V}$	●	-0.7	-0.2	0.4
		$V^+ = 2.7\text{V} \text{ to } 4.5\text{V}$	●	-1.1	-0.1	0.9
		$V^+ = 2.25\text{V} \text{ to } 2.7\text{V}$	●			%

LTC6993-1/LTC6993-2 LTC6993-3/LTC6993-4

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 2.25\text{V}\sim 5.5\text{V}$ 、 $\text{TRIG} = 0\text{V}$ 、 $\text{DIVCODE} = 0\sim 15$ ($N_{\text{DIV}} = 1\sim 2^{21}$)、 $R_{\text{SET}} = 50\text{k}\sim 800\text{k}$ 、 $R_{\text{LOAD}} = 5\text{k}$ 、 $C_{\text{LOAD}} = 5\text{pF}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t _S	Pulse Width Jitter (Note 10)	$N_{\text{DIV}} = 1$ $V^+ = 5.5\text{V}$ $V^+ = 2.25\text{V}$		0.85		% _{P-P}
		$N_{\text{DIV}} = 8$		0.45		% _{P-P}
		$N_{\text{DIV}} = 64$		0.20		% _{P-P}
		$N_{\text{DIV}} = 512$		0.05		% _{P-P}
		$N_{\text{DIV}} = 4096$		0.20		% _{P-P}
t _S	Pulse Width Change Settling Time (Note 9)	$t_{\text{MASTER}} = t_{\text{OUT}}/N_{\text{DIV}}$		0.03		% _{P-P}
				6 • t _{MASTER}		μs

電源

V ⁺	Operating Supply Voltage Range		●	2.25	5.5	V	
	Power-On Reset Voltage		●		1.95	V	
I _{S(IDLE)}	Supply Current (Idle)	$R_L = \infty$, $R_{\text{SET}} = 50\text{k}$, $N_{\text{DIV}} \leq 64$	$V^+ = 5.5\text{V}$ $V^+ = 2.25\text{V}$	● ●	165 125	200 160	μA
		$R_L = \infty$, $R_{\text{SET}} = 50\text{k}$, $N_{\text{DIV}} \geq 512$	$V^+ = 5.5\text{V}$ $V^+ = 2.25\text{V}$	● ●	135 105	175 140	μA
		$R_L = \infty$, $R_{\text{SET}} = 800\text{k}$, $N_{\text{DIV}} \leq 64$	$V^+ = 5.5\text{V}$ $V^+ = 2.25\text{V}$	● ●	70 60	110 95	μA
		$R_L = \infty$, $R_{\text{SET}} = 800\text{k}$, $N_{\text{DIV}} \geq 512$	$V^+ = 5.5\text{V}$ $V^+ = 2.25\text{V}$	● ●	65 55	100 90	μA

アナログ入力

V _{SET}	Voltage at SET Pin		●	0.97	1.00	1.03	V
ΔV _{SET/ΔT}	V _{SET} Drift Over Temperature		●		±75		μV/°C
R _{SET}	Frequency-Setting Resistor		●	50		800	kΩ
V _{DIV}	DIV Pin Voltage		●	0	V ⁺		V
ΔV _{DIV/ΔV⁺}	DIV Pin Valid Code Range (Note 5)	Deviation from Ideal $V_{\text{DIV}}/V^+ = (\text{DIVCODE} + 0.5)/16$	●		±1.5		%
	DIV Pin Input Current		●		±10		nA

デジタルI/O

	TRIG Pin Input Capacitance			2.5		pF	
	TRIG Pin Input Current	TRIG = 0V to V ⁺			±10	nA	
V _{IH}	High Level TRIG Pin Input Voltage	(Note 6)	●	0.7 • V ⁺		V	
V _{IL}	Low Level TRIG Pin Input Voltage	(Note 6)	●		0.3 • V ⁺	V	
I _{OUT(MAX)}	Output Current	V ⁺ = 2.7V to 5.5V		±20		mA	
V _{OH}	High Level Output Voltage (Note 7)	$V^+ = 5.5\text{V}$	$I_{\text{OUT}} = -1\text{mA}$ $I_{\text{OUT}} = -16\text{mA}$	● ●	5.45 4.84	5.48 5.15	V
		$V^+ = 5.5\text{V}$	$I_{\text{OUT}} = -1\text{mA}$ $I_{\text{OUT}} = -16\text{mA}$	● ●	3.24 2.75	3.27 2.99	V
		$V^+ = 2.25\text{V}$	$I_{\text{OUT}} = -1\text{mA}$ $I_{\text{OUT}} = -8\text{mA}$	● ●	2.17 1.58	2.21 1.88	V
V _{OL}	Low Level Output Voltage (Note 7)	$V^+ = 5.5\text{V}$	$I_{\text{OUT}} = 1\text{mA}$ $I_{\text{OUT}} = 16\text{mA}$	● ●	0.02 0.26	0.04 0.54	V
		$V^+ = 3.3\text{V}$	$I_{\text{OUT}} = 1\text{mA}$ $I_{\text{OUT}} = 10\text{mA}$	● ●	0.03 0.22	0.05 0.46	V
		$V^+ = 2.25\text{V}$	$I_{\text{OUT}} = 1\text{mA}$ $I_{\text{OUT}} = 8\text{mA}$	● ●	0.03 0.26	0.07 0.54	V

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 2.25\text{V} \sim 5.5\text{V}$ 、 $\text{TRIG} = 0\text{V}$ 、 $\text{DIVCODE} = 0 \sim 15$ ($N_{\text{DIV}} = 1 \sim 2^{21}$)、 $R_{\text{SET}} = 50\text{k} \sim 800\text{k}$ 、 $R_{\text{LOAD}} = \infty$ 、 $C_{\text{LOAD}} = 5\text{pF}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{PD}	Trigger Propagation Delay	$V^+ = 5.5\text{V}$ $V^+ = 3.3\text{V}$ $V^+ = 2.25\text{V}$		11 17 28		ns ns ns
t_{WIDTH}	Minimum Recognized TRIG Pulse Width	$V^+ = 3.3\text{V}$		5		ns
t_{ARM}	Recovery Time (LTC6993-1/LTC6993-3)			-4		ns
t_{RETRIG}	Time Between Trigger Signals (LTC6993-2/LTC6993-4)	$N_{\text{DIV}} = 1$ $N_{\text{DIV}} > 1$	$V^+ = 3.3\text{V}$ $V^+ = 3.3\text{V}$	10 50		ns ns
t_r	Output Rise Time (Note 8)	$V^+ = 5.5\text{V}$ $V^+ = 3.3\text{V}$ $V^+ = 2.25\text{V}$		1.1 1.7 2.7		ns ns ns
t_f	Output Fall Time (Note 8)	$V^+ = 5.5\text{V}$ $V^+ = 3.3\text{V}$ $V^+ = 2.25\text{V}$		1.0 1.6 2.4		ns ns ns

Note 1:絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2:LTC6993Cは $-40^\circ\text{C} \sim 85^\circ\text{C}$ の動作温度範囲で動作することが保証されている。

Note 3:LTC6993Cは $0^\circ\text{C} \sim 70^\circ\text{C}$ で性能仕様に適合することが保証されている。LTC6993Cは $-40^\circ\text{C} \sim 85^\circ\text{C}$ で性能仕様に適合するように設計され、特性が評価されており、性能仕様に適合すると予想されるが、これらの温度ではテストされないし、QAサンプリングもおこなわれない。LTC6993Hは $-40^\circ\text{C} \sim 85^\circ\text{C}$ で性能仕様に適合することが保証されている。LTC6993MPは $-55^\circ\text{C} \sim 125^\circ\text{C}$ で性能仕様に適合することが保証されている。

Note 4:パルス幅の精度は、 R_{SET} を使用してパルス幅を設定すると仮定して、 t_{OUT} の式からの偏差として定義されている。

Note 5:DIVピンの電圧によってDIVCODEの値を選択する方法の詳細については、「動作」セクションの表1および図2を参照。

Note 6:TRIGピンは、ゆっくり変化する立ち上がり信号または立ち下がり信号に対応するためヒステリシスを備えている。スレッショルド電圧は V^+ に比例する。次式により、あらゆる電源電圧で標準値を推定可能。

$$V_{\text{RST(RISING)}} \approx 0.55 \cdot V^+ + 185\text{mV} \text{ および }$$

$$V_{\text{RST(FALLING)}} \approx 0.48 \cdot V^+ - 155\text{mV}$$

Note 7:ロジックICの標準的凡例に準拠して、ピンから流れ出す電流には負の値が与えられている。

Note 8:出力の立ち上がり時間と立ち下がり時間は、 5pF の出力負荷で電源レベル $10\% \sim 90\%$ の間で測定される。これらの仕様は特性評価に基づいている。

Note 9:セトリング時間は、 I_{SET} が 0.5 倍または 2 倍に変化した後に最終パルス幅の $\pm 1\%$ 以内に出力がセトリングするのに要する時間。

Note 10:ジッタは出力パルス幅の偏差の平均パルス幅に対する比。この仕様は特性評価に基づいており、全数テストはおこなわれない。

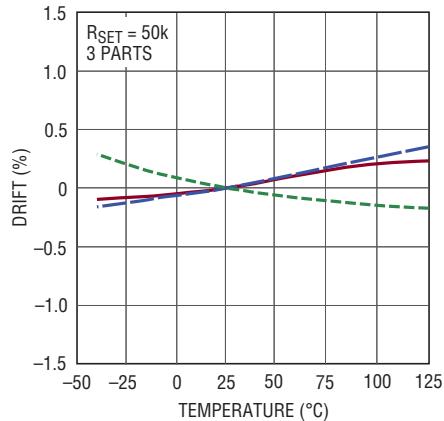
LTC6993-1/LTC6993-2

LTC6993-3/LTC6993-4

標準的性能特性

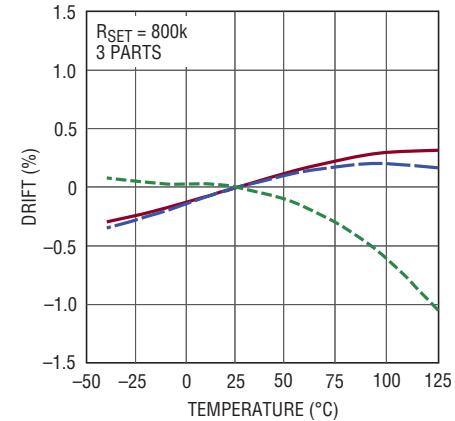
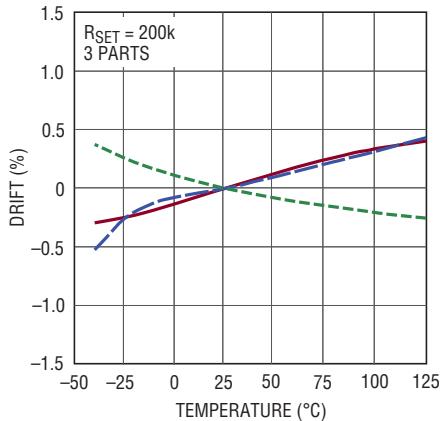
注記がない限り、 $V^+ = 3.3V$ 、 $R_{SET} = 200k$ 、 $T_A = 25^\circ C$ 。

t_{OUT} のドリフトと温度
($N_{DIV} \leq 64$)

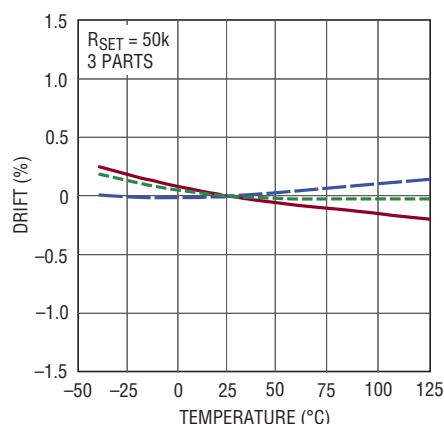


t_{OUT} のドリフトと温度
($N_{DIV} \leq 64$)

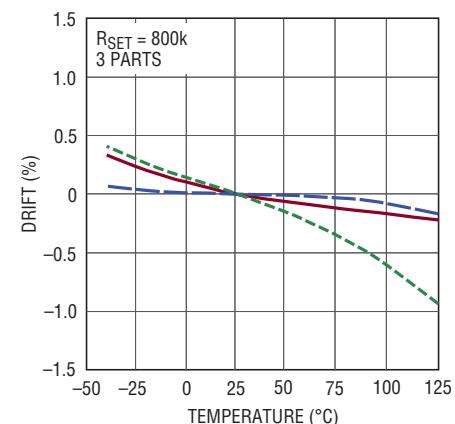
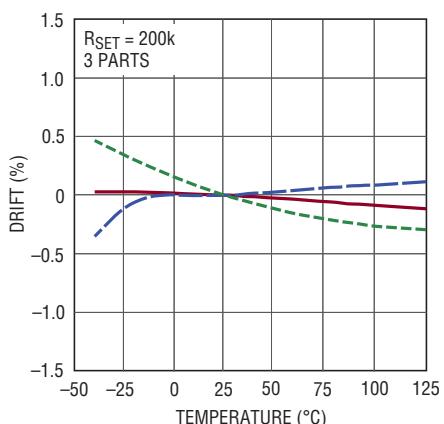
t_{OUT} のドリフトと温度
($N_{DIV} \leq 64$)



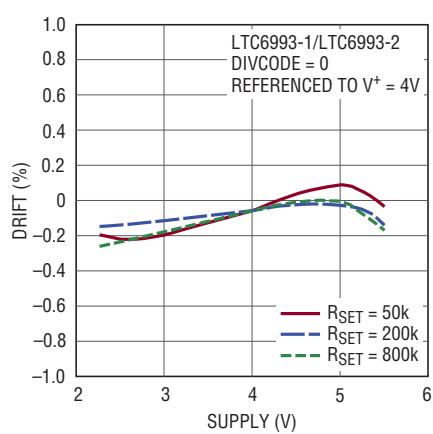
t_{OUT} のドリフトと温度
($N_{DIV} \geq 512$)



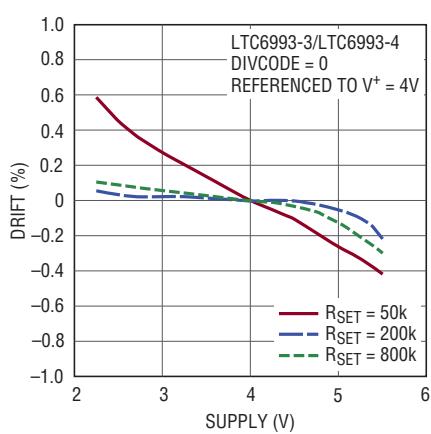
t_{OUT} のドリフトと温度
($N_{DIV} \geq 512$)



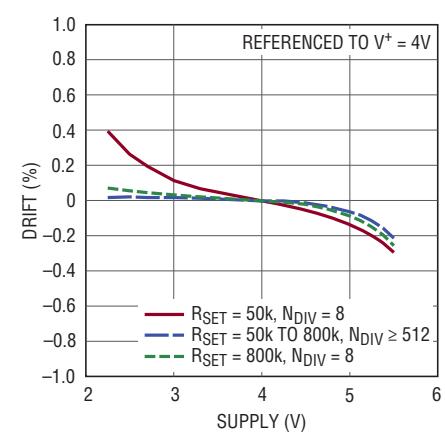
t_{OUT} のドリフトと電源電圧
($N_{DIV} = 1$ 、立ち上がりエッジ)



t_{OUT} のドリフトと電源電圧
($N_{DIV} = 1$ 、立ち下がりエッジ)

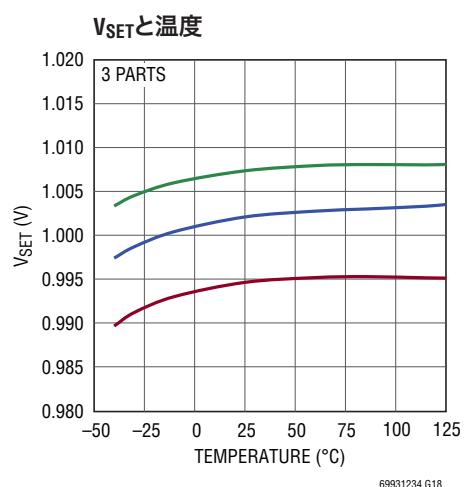
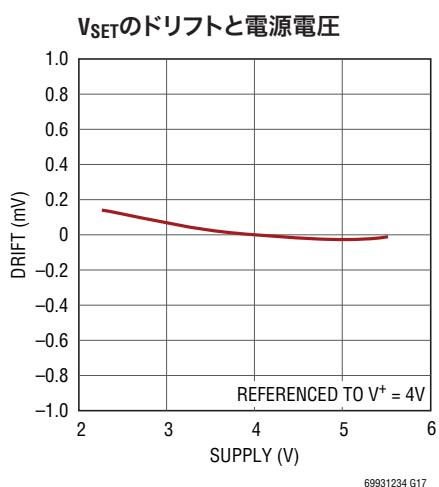
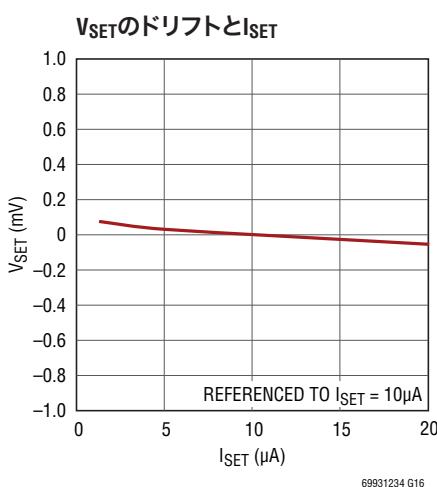
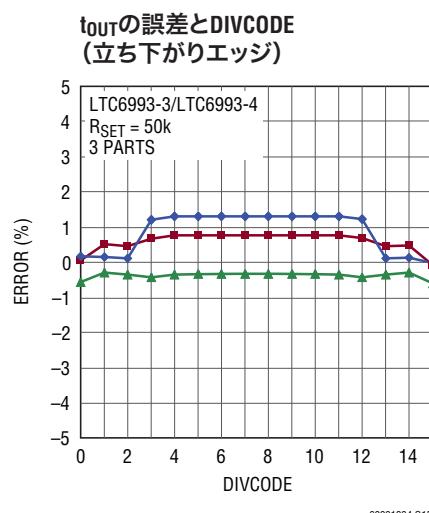
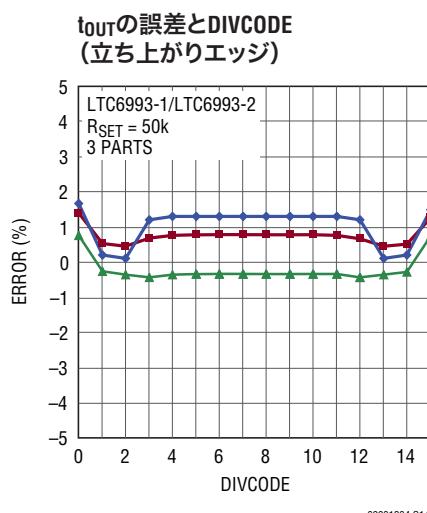
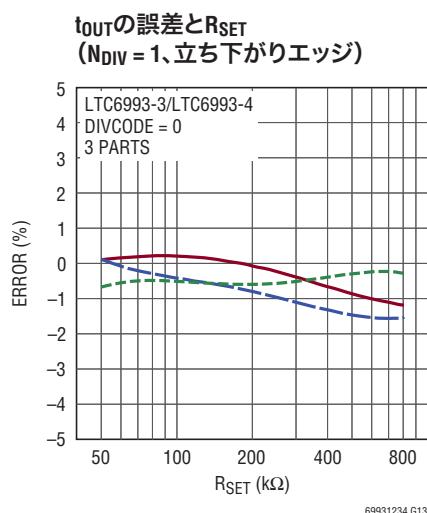
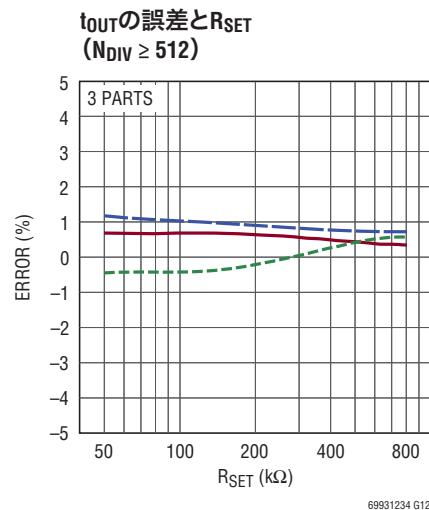
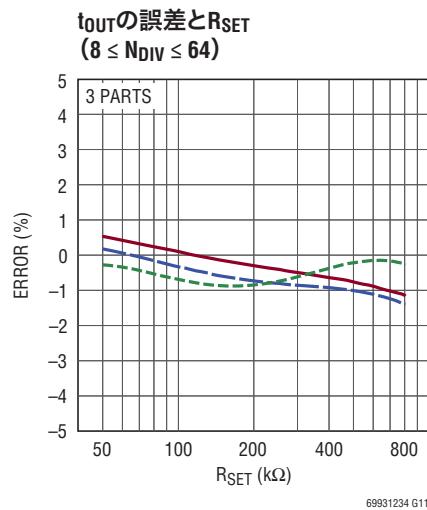
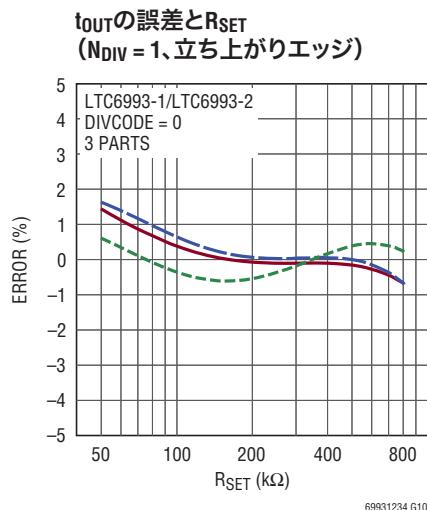


t_{OUT} のドリフトと電源電圧
($N_{DIV} > 1$)



標準的性能特性

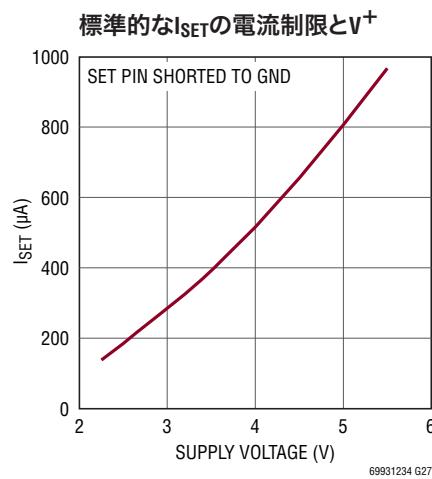
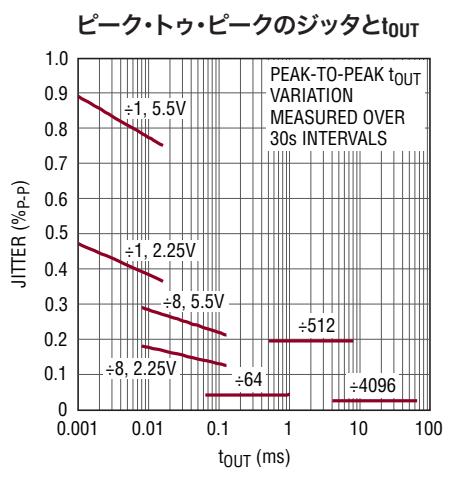
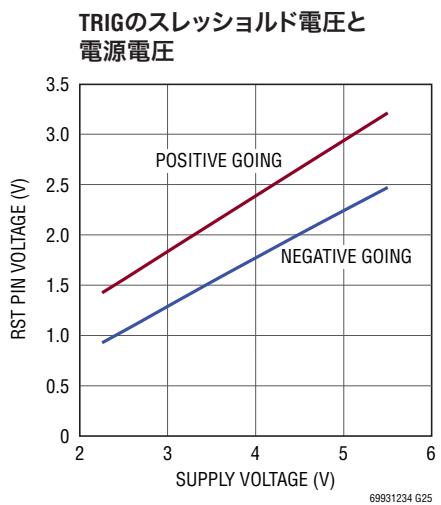
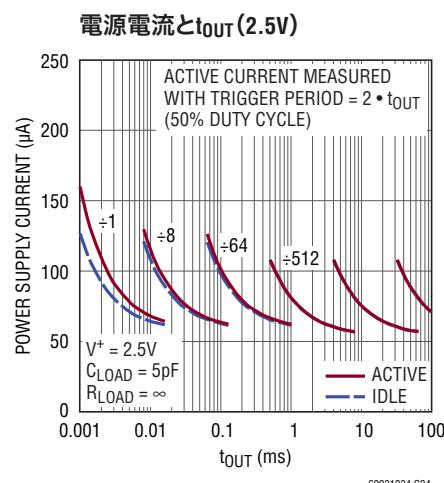
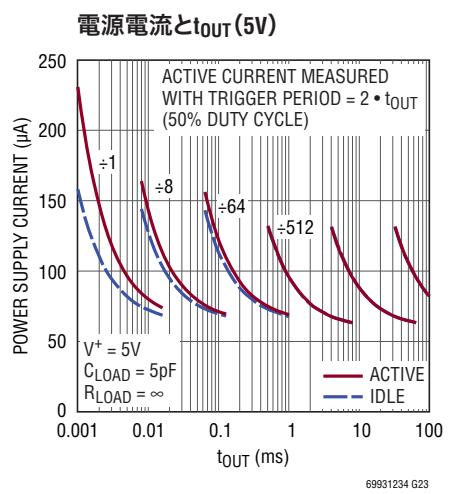
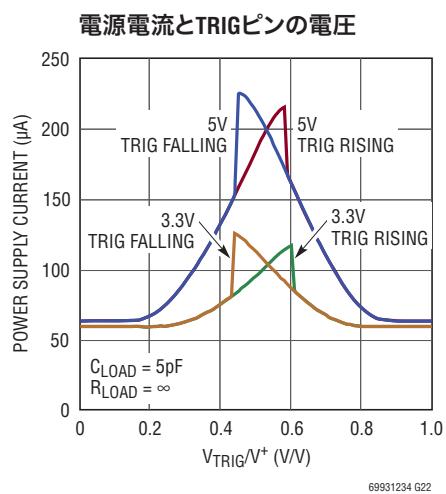
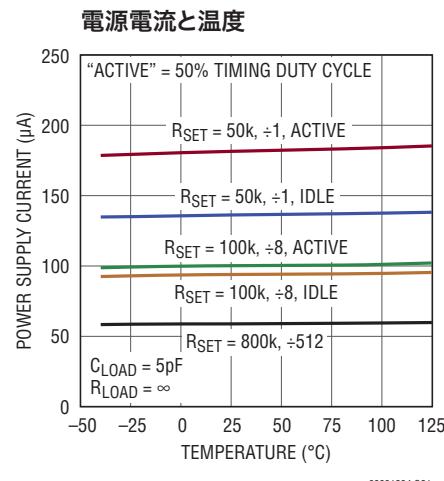
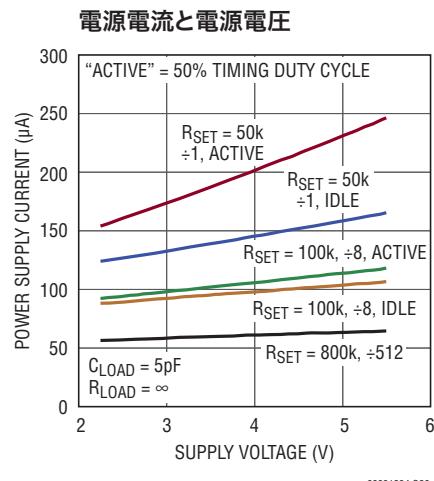
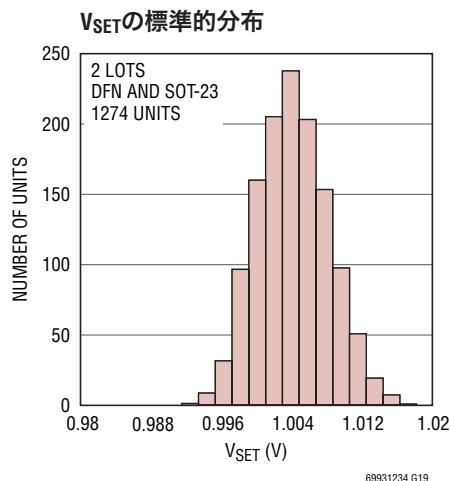
注記がない限り、 $V^+ = 3.3V$ 、 $R_{SET} = 200k\Omega$ 、 $T_A = 25^\circ C$ 。



LTC6993-1/LTC6993-2 LTC6993-3/LTC6993-4

標準的性能特性

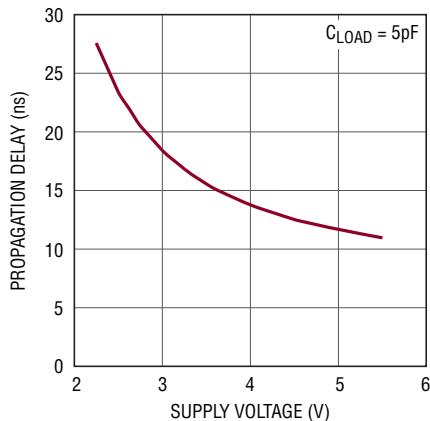
注記がない限り、 $V^+ = 3.3V$ 、 $R_{SET} = 200k$ 、 $T_A = 25^\circ C$ 。



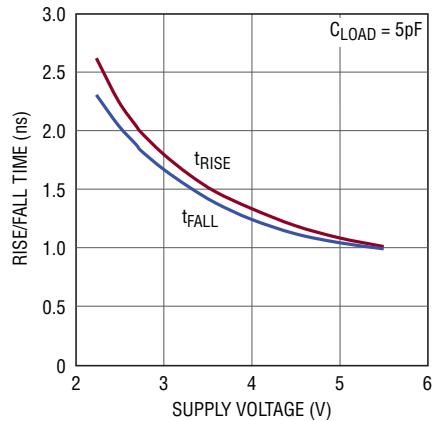
標準的性能特性

注記がない限り、 $V^+ = 3.3V$ 、 $R_{SET} = 200k\Omega$ 、 $T_A = 25^\circ C$ 。

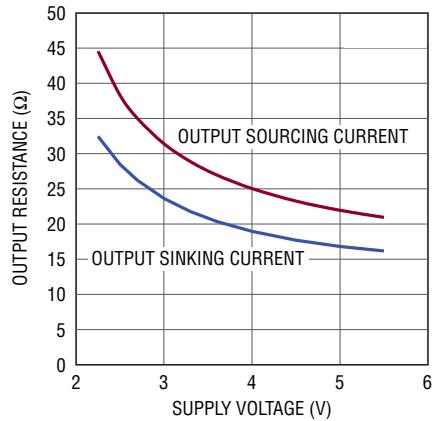
トリガの伝播遅延(t_{PD})と
電源電圧



立ち上がり時間および
立ち下がり時間と電源電圧



出力抵抗と電源電圧



69931234 G28

6990 G29

69931234 G30

69931234fb

LTC6993-1/LTC6993-2 LTC6993-3/LTC6993-4

ピン機能 (DCB/S6)

V⁺(ピン1/ピン5): 電源電圧(2.25V～5.5V)。この電源電圧はノイズやリップルを含まないようにする必要があります。このピンは0.1μFのコンデンサでGNDに直接バイパスします。

DIV(ピン2/ピン4): プログラム可能な分周器と極性指定の入力。DIVピンの電圧(V_{DIV})は、内部で4ビットのコード(DIVCODE)に変換されます。V_{DIV}はV⁺とGND間の抵抗分割器によって生成することができます。正確な結果を保証するために精度1%の抵抗を使用してください。DIVピンと抵抗は、OUTピンや立ち上がり/立ち下がりが急峻な信号配線から電気的にシールドする必要があります。また、DIVピンの容量は、V_{DIV}が迅速にセトリングするように100pF以下にする必要があります。DIVCODEのMSB(POL)はOUTピンの極性を決定します。POL=0のときは正のパルスが出力され、POL=1のときは負のパルスが出力されます。

SET(ピン3/ピン3): パルス幅設定入力。SETピンの電圧(V_{SET})はGNDより1V高い電圧に安定化されています。SETピンからソースされる電流の値(I_{SET})がマスター発振器の周波数をプログラムします。電流I_{SET}の範囲は1.25μAから20μAまでです。パルスの出力は、I_{SET}が約500nA以下に減少すると無限に続き、I_{SET}が再び増加すると停止します。パルス幅を設定するための最も正確な手段は、SETピンとGNDピン間に抵抗を接続することです。最高の性能を引き出すためには、許容誤差が0.5%以下、温度係数が50ppm/°C以下の精密な金属皮膜抵抗か薄膜抵抗を使用してください。それほど精度が求められないアプリケーションの場合は、精度1%の低価格の薄膜抵抗を使用することができます。

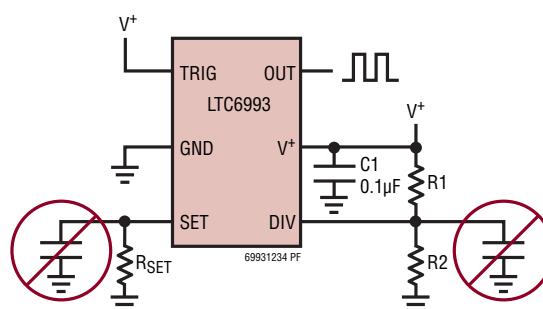
ジッタを最小化し安定性を保証するために、SETピンに接続するコンデンサは10pF以下に制限してください。100pF以下のコンデンサによって、V_{SET}電圧を調整している帰還回路の安定性を維持することができます。

TRIG(ピン4/ピン1): トリガ入力。バージョンによって、TRIGの立ち上がりエッジまたは立ち下がりエッジで出力パルスが開始されます。LTC6993-1とLTC6993-2は立ち上がりエッジに反応します。LTC6993-3とLTC6993-4は立ち下がりエッジに反応します。

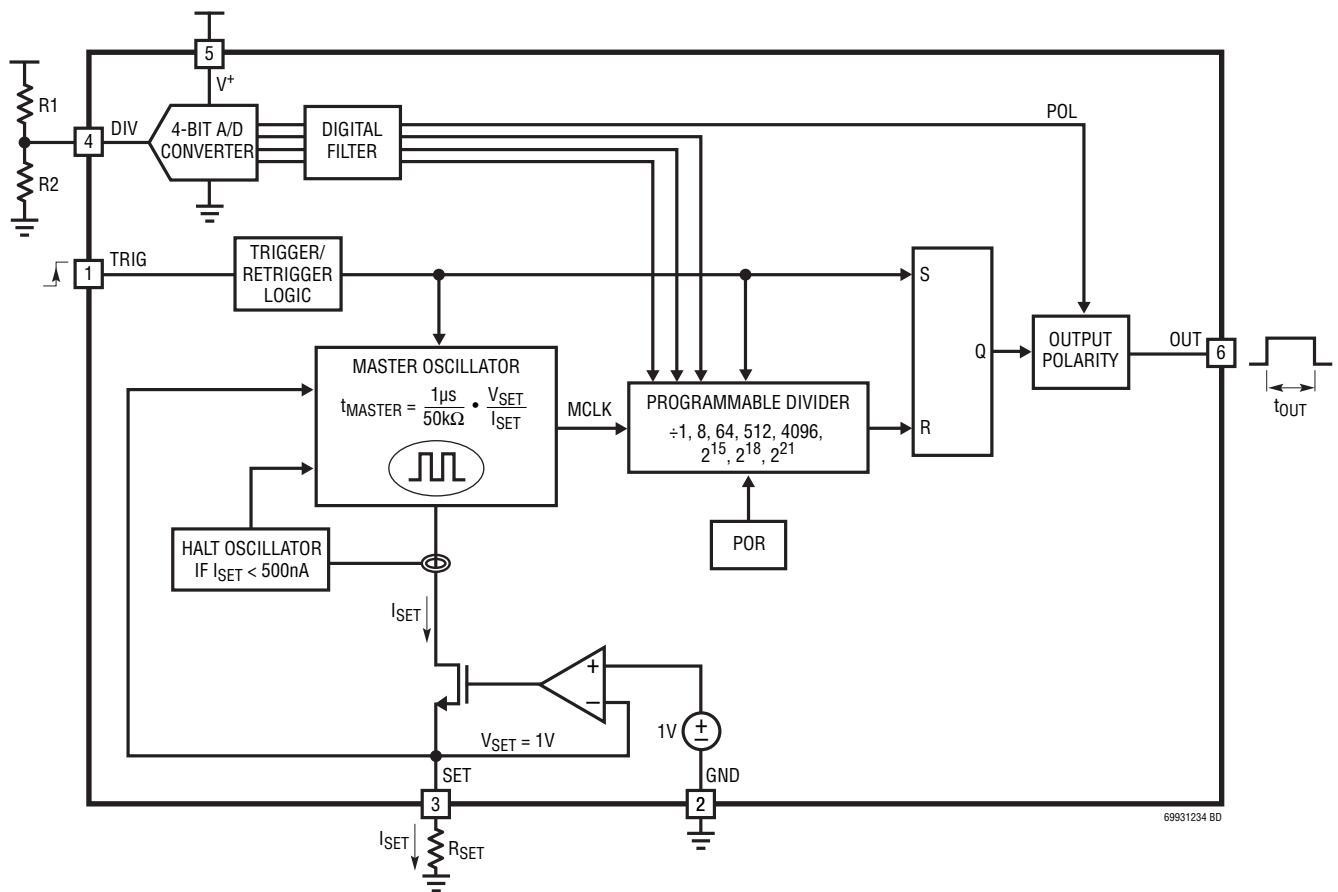
LTC6993-2とLTC6993-4は再トリガ可能なので、出力がアクティブの間に発生する追加のトリガ信号の分だけパルス幅を拡大することができます。LTC6993-1/LTC6993-3は、出力パルスが終了するまでは追加のトリガ入力を無視します。

GND(ピン5/ピン2): グランド。最高の性能を得るために、このピンを低インダクタンスのグランドプレーンに接続してください。

OUT(ピン6/ピン6): 出力。OUTピンはGNDからV⁺まで振幅します。出力抵抗は約30Ωです。LEDなどの低インピーダンス負荷をドライブする際は、ソース/シンク電流を20mAに制限するためにOUTピンに直列抵抗を接続してください。



ブロック図 (S6パッケージのピン番号で表示)



69931234 BD

LTC6993-1/LTC6993-2 LTC6993-3/LTC6993-4

動作

LTC6993は最小周期が1μsのマスター発振器を中心に構成されています。この発振器はSETピンの電流(I_{SET})と電圧(V_{SET})によって制御され、標準の動作条件下で1μs/50kΩの変換係数で決まる周期で発振し、その精度は±1.7%です。

$$t_{MASTER} = \frac{1\mu s}{50k\Omega} \cdot \frac{V_{SET}}{I_{SET}}$$

V_{SET} は帰還ループによって1V±30mVに維持されるため、パルス幅は主に I_{SET} によって決まります。 I_{SET} を生成する最も簡単な方法は、抵抗(R_{SET})をSETピンとGNDピンの間に接続し、 $I_{SET} = V_{SET}/R_{SET}$ とすることです。マスター発振器の周期を求める上記の式は次のようにになります。

$$t_{MASTER} = 1\mu s \cdot \frac{R_{SET}}{50k\Omega}$$

この式から、1本の設定抵抗(R_{SET})を使用している際、 V_{SET} が変動しても、パルス幅はその影響を受けないことが明らかです。パルス幅の誤差源は R_{SET} の許容誤差とLTC6993の本質的なパルス幅精度(Δt_{OUT})に限られます。

R_{SET} の値は50kΩ～800kΩの範囲です(I_{SET} の1.25μA～20μAの範囲に相当)。

トリガ信号(TRIGピンの立ち上がりエッジまたは立ち下がりエッジ)により出力がアクティブ状態にラッチされ、出力パルスが開始されます。同時に、出力パルスの持続時間を決めるためにマスター発振器がイネーブルされます。望みのパルス幅に達すると、マスター発振器は出力のラッチをリセットします。

LTC6993は、周波数を1、8、64、512、4096、 2^{15} 、 2^{18} または 2^{21} 分の1に分周することができるプログラム可能な分周器も内蔵しています。これにより、これらと同じ係数だけパルス幅の持続時間が延長されます。この分周比 N_{DIV} はDIVピンに接続された抵抗分割器によって設定されます。

$$t_{OUT} = \frac{N_{DIV}}{50k\Omega} \cdot \frac{V_{SET}}{I_{SET}} \cdot 1\mu s$$

V_{SET}/I_{SET} を R_{SET} で置き換えると、この式は次のようになります。

$$t_{OUT} = \frac{N_{DIV} \cdot R_{SET}}{50k\Omega} \cdot 1\mu s$$

DIVCODE

DIVピンは内部で V^+ を基準電圧とした4ビットのA/Dコンバータの入力に接続されています。このA/DコンバータがDIVCODEの値を決定し、DIVCODEは以下のようにLTC6993の2通りの設定をプログラムします。

1. 分周器の分周比 N_{DIV} を決定します。
2. POLビットを介して、OUTピンの極性を決定します。

V_{DIV} は図1のように V^+ とGND間の抵抗分割器によって生成することができます。

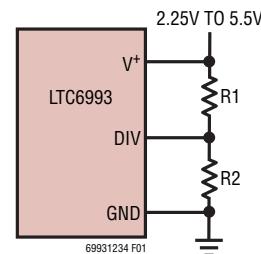


図1. DIVCODEを設定する簡単な技法

表1は適正な分圧を正確に生成する1% 抵抗の推奨値、ならびに推奨される抵抗ペアに対応した N_{DIV} およびPOLの値を示しています。以下の条件が満たされる限り、別の値を使用することも可能です。

1. V_{DIV}/V^+ 比が±1.5%の精度を持つ(抵抗の許容誤差と温度の影響を含む)。

2. 駆動インピーダンス($R_1 \parallel R_2$)が500kΩを超えない。

電圧が他の手段(つまり、DACの出力)によって生成される場合、その電圧は V^+ 電源電圧に追従する必要があります。表1の最後の欄は電源電圧 V^+ に対する V_{DIV} の比の理想値を示します。これは次の式で計算することができます。

$$\frac{V_{DIV}}{V^+} = \frac{DIVCODE + 0.5}{16} \pm 1.5\%$$

たとえば、電源電圧が3.3Vで望ましいDIVCODEが4である場合、 $V_{DIV} = 0.281 \cdot 3.3V = 928mV \pm 50mV$ となります。

図2は表1の内容をグラフ化したもので、 N_{DIV} はDIVCODEの中点の両側に対称であることを示しています。

動作

表1. DIVCODEのプログラミング

DIVCODE	POL	N _{DIV}	Recommended t _{OUT}	R1 (k)	R2 (k)	V _{DIV} /V ⁺
0	0	1	1μs to 16μs	Open	Short	$\leq 0.03125 \pm 0.015$
1	0	8	8μs to 128μs	976	102	0.09375 ± 0.015
2	0	64	64μs to 1.024ms	976	182	0.15625 ± 0.015
3	0	512	512μs to 8.192ms	1000	280	0.21875 ± 0.015
4	0	4,096	4.096ms to 65.54ms	1000	392	0.28125 ± 0.015
5	0	32,768	32.77ms to 524.3ms	1000	523	0.34375 ± 0.015
6	0	262,144	262.1ms to 4.194sec	1000	681	0.40625 ± 0.015
7	0	2,097,152	2.097sec to 33.55sec	1000	887	0.46875 ± 0.015
8	1	2,097,152	2.097sec to 33.55sec	887	1000	0.53125 ± 0.015
9	1	262,144	262.1ms to 4.194sec	681	1000	0.59375 ± 0.015
10	1	32,768	32.77ms to 524.3ms	523	1000	0.65625 ± 0.015
11	1	4,096	4.096ms to 65.54ms	392	1000	0.71875 ± 0.015
12	1	512	512μs to 8.192ms	280	1000	0.78125 ± 0.015
13	1	64	64μs to 1.024ms	182	976	0.84375 ± 0.015
14	1	8	8μs to 128μs	102	976	0.90625 ± 0.015
15	1	1	1μs to 16μs	Short	Open	$\geq 0.96875 \pm 0.015$

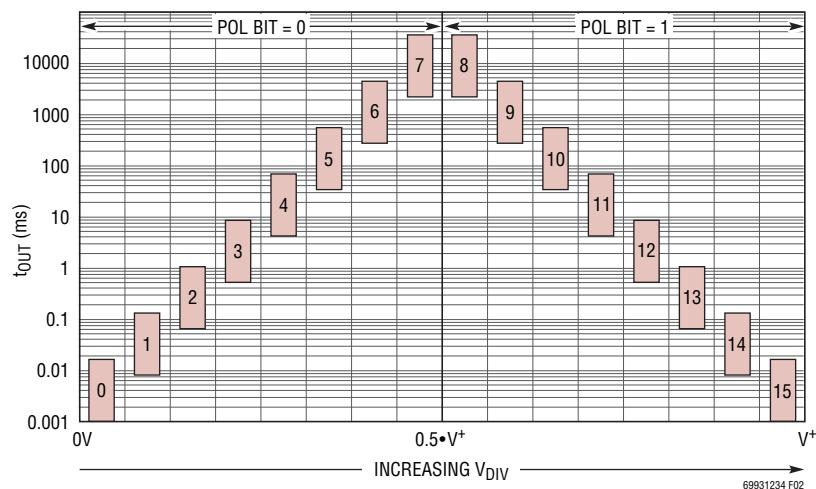


図2. DIVCODEに対するパルス幅の範囲とPOLビットの関係

LTC6993-1/LTC6993-2 LTC6993-3/LTC6993-4

動作

単安定マルチバイブレータ(ワンショット)

LTC6993は単安定マルチバイブレータです。TRIG入力のトリガ信号により、プログラム可能な時間の間、出力がアクティブ(非安定)状態に強制されます。このような回路を一般にワンショット・パルス発生器と言います。

図3に基本動作の詳細を示します。TRIGピンの立ち上がりエッジにより出力パルスが開始されます。パルス幅(t_{OUT})は、NDIVの設定値とSETピンに接続された抵抗(R_{SET})によって決まります。ワンショットが終了するまでと、その後の短いリアーム時間(t_{ARM})の間は、TRIGピンに次の立ち上がりエッジを与えても無視されます。適正に動作するには、正と負のTRIGパルスが少なくとも t_{WIDTH} の幅を持つ必要があります。

LTC6993-2とLTC6993-4では、出力パルスを「再トリガ」することができます。図4に示すように、出力パルスはTRIGの最後の立ち上がりエッジの後、 t_{OUT} が終わるまでは、“H”的ままであります。連続するトリガ信号によってパルス幅を無限に拡大することができます。連続するトリガ信号は、 t_{RETRIG} 以上間隔を空けないとトリガ信号として認識されません。

負のトリガのバージョン

再トリガのオプションに加え、LTC6993ファミリには負入力(立ち下がりエッジ)のバージョンもあります。これらの4つの組み合わせの詳細を表2に示します。

表2. 再トリガと入力極性のオプション

デバイス	入力極性	再トリガ
LTC6993-1	立ち上がりエッジ	不可
LTC6993-2	立ち上がりエッジ	可
LTC6993-3	立ち下がりエッジ	不可
LTC6993-4	立ち下がりエッジ	可

出力極性(POLビット)

LTC6993の各バージョンは出力を反転して負のパルスを生成することもできます。このオプションは、DIVCODEを選択することにより、NDIVとともに設定されます。(前のセクションでDIVピンを使用してDIVCODEをプログラムする方法について説明しています。)

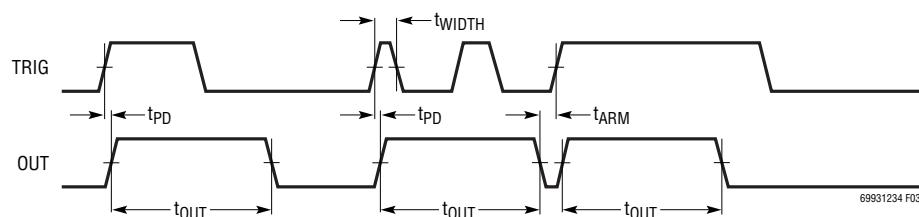


図3. 再トリガ不可の場合のタイミング図(LTC6993-1, POL = 0)

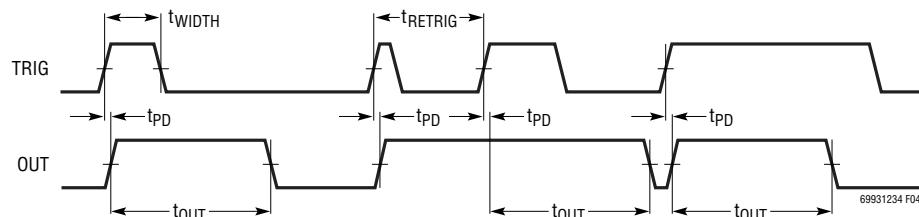


図4. 再トリガ可能な場合のタイミング図(LTC6993-2, POL = 0)

動作

起動後のDIVCODEの変更

起動後も、A/DコンバータはVDIVの変化をモニタし続けます。LTC6993はDIVCODEの「ふらつき」の除去を優先させるので、DIVCODEの変更は時間をかけて認識されます。標準的遅延はDIVCODEの新旧の設定の間の差に依存し、マスター発振器の周期に比例します。

$$t_{\text{DIVCODE}} = 16 \cdot (\Delta \text{DIVCODE} + 6) \cdot t_{\text{MASTER}}$$

DIVCODEの変化はそれが安定するまで認識されず、中間のコードを通過することはできません。出力に変化が生じる前にDIVCODEが確実に新しい値に落ち着くようにするためにデジタル・フィルタが使用されています。ただし、遷移中に出力パルスがアクティブ状態である場合は、パルス幅は2つの設定値の間の値になる可能性があります。

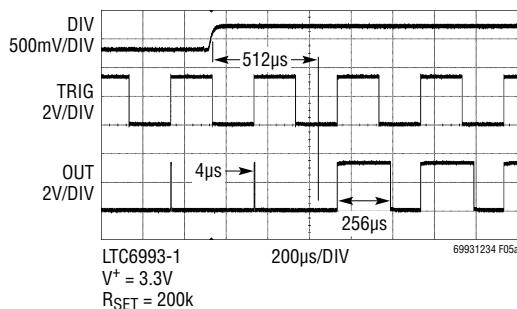


図5a. DIVCODEが0から2に変わった場合

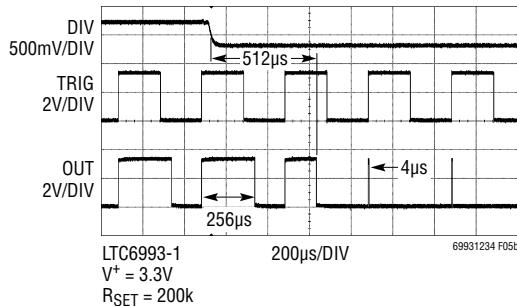


図5b. DIVCODEが2から0に変わった場合

起動時間

電源が初めて投入されたとき、パワーオン・リセット(POR)回路が起動時間t_{START}を開始します。この期間中、OUTピンは“L”に保持されます。t_{START}の標準値は、マスター発振器の周波数(N_{DIV}には無関係)に応じて0.5ms～8msの範囲で変動します。

$$t_{\text{START(TYP)}} = 500 \cdot t_{\text{MASTER}}$$

起動期間中は、出力パルスが生成可能になる前にA/Dコンバータが正しいDIVCODEを決定しなければなりません。電源またはDIVピンの電圧が安定しない場合、起動時間は増加する可能性があります。このため、V⁺を正確にトラッキングできるようにDIVピンの容量を最小化することが推奨されます。この容量値が100pF未満であれば、起動時間が増加することはありません。

DIVCODEの設定は起動の最後に認識されます。POL = 1の場合、出力は“H”に遷移します。そうでない(POL = 0の)場合、OUTは単に“L”的ままでです。このとき、LTC6993はTRIG入力の立ち上がりエッジまたは立ち下がりエッジに応答する用意ができます。

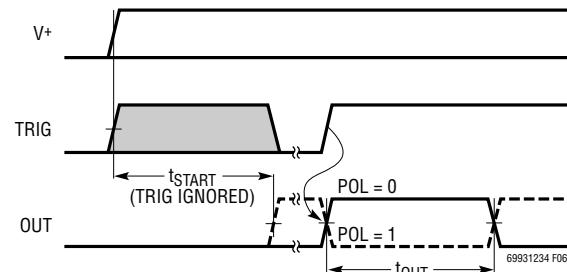


図6. 起動時のタイミング図

LTC6993-1/LTC6993-2 LTC6993-3/LTC6993-4

アプリケーション情報

基本動作

LTC6993をプログラムする最も簡単で最も正確な方法は、SETピンとGNDピン間に接続された1本の抵抗 R_{SET} を使うことです。プログラムは4つの手順で行います。また、リニアテクノロジーはLTC6993ベースの回路を素早く設計するために、使いやすいTimerBlox設計ツールを提供しています。<http://www.linear-tech.co.jp/timerblox>から、無料のTimerBlox設計ソフトウェアをダウンロードしてください。

手順1: POLビットの設定を選択する

LTC6993はPOLビットの設定によって、正の出力パルスまたは負の出力パルスを生成することができます。POLビットはDIVCODEのMSBなので、DIVCODEが8以上の場合は常にPOL=1となり、アクティブ“L”的パルスを生成します。

手順2:LTC6993のバージョンを選択する

入力に関する次の2つの選択により、与えられたアプリケーションに適したLTC6993が決まります。

- TRIGを立ち上がりエッジ入力と立ち下がりエッジ入力のどちらにするか？
- 再トリガが必要か？

表2を使ってLTC6993の特定のバージョンを選択します。

手順3: 分周比 N_{DIV} を選択する

既に説明したように、DIVピンの電圧がPOLビットと N_{DIV} 値の両方を決定するDIVCODEを設定します。与えられた出力パルス幅(t_{OUT})に対して、 N_{DIV} は以下の範囲内に収まるように選択します。

$$\frac{t_{OUT}}{16\mu s} \leq N_{DIV} \leq \frac{t_{OUT}}{1\mu s} \quad (1)$$

電源電流を最小限に抑えるために、最小の N_{DIV} 値を選んでください。ただし、場合によっては N_{DIV} の値が大きいほど精度が向上することもあります(「電気的特性」を参照)。

表1を使って、望みの t_{OUT} に適した N_{DIV} 値を選択することもできます。

POLが既に選択されていれば、これでDIVCODEの選択は完了です。表1を用いて、DIVピンに基準電圧を供給するための適切な抵抗分割器または V_{DIV}/V^+ 比を選択してください。

手順4: R_{SET} の計算と選択

最後に、次の式を用いて R_{SET} の正しい値を計算します。

$$R_{SET} = \frac{50k}{1\mu s} \cdot \frac{t_{OUT}}{N_{DIV}} \quad (2)$$

計算された値に最も近い標準抵抗値を選択してください。

例:次の要件を満たすワンショット回路を設計するとします。

- $t_{OUT} = 100\mu s$
- 負の出力パルス
- 立ち上がりエッジのトリガ入力
- 再トリガ可能な入力
- 最小限の消費電力

手順 1: POLビットの設定を選択する

反転した(負の)出力パルスにするには、POL=1を選択します。

手順2:LTC6993のバージョンを選択する

再トリガ可能な立ち上がりエッジのトリガ入力にするには、LTC6993-2が必要です。

手順3: 分周比 N_{DIV} を選択する

式(1)の要件を満たす N_{DIV} 値を、 $t_{OUT} = 100\mu s$ を用いて選択します。

$$6.25 \leq N_{DIV} \leq 100$$

この場合、 N_{DIV} の可能な設定値は8と64の2つですが、 R_{SET} に大きな抵抗を使用した方が電源電流を小さくできるため、 $N_{DIV} = 8$ が最善の選択となります。POL = 1、 $N_{DIV} = 8$ であれば、DIVCODE = 14となります。表1を用いてDIVCODE = 14をプログラムするための抵抗値を求めるとき、 $R_1 = 102k\Omega$ 、 $R_2 = 976k\Omega$ となります。

手順4: R_{SET} を選択する

式(2)を用いて R_{SET} の正しい値を計算します。

$$R_{SET} = \frac{50k}{1\mu s} \cdot \frac{100\mu s}{8} = 625k$$

アプリケーション情報

625kΩという抵抗は標準の1%抵抗として用意されていないため、t_{OUT}の-0.97%のシフトが許容できるなら619kΩの標準抵抗で置き換えてください。さもなければ、より正確な抵抗を得るために309kΩと316kΩのような標準抵抗の並列または直列接続を選択してください。

完了した設計を図7に示します。

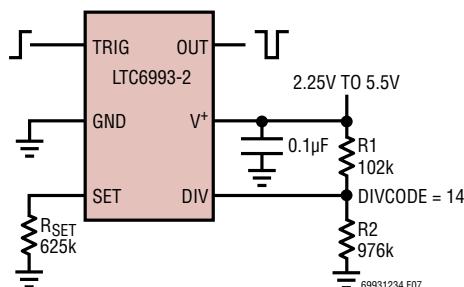


図7. 100μsの負パルス発生器

電圧によるパルス幅の制御

抵抗を1本追加することにより、LTC6993の出力パルス幅を外部電圧で制御できるようになります。図8に示すように、電圧V_{CTRL}はR_{MOD}を介して電流をソースまたはシンクすることによってI_{SET}電流を変化させ、結果として以下の式(3)で示されるようにパルス幅を変えます。

$$t_{OUT} = \frac{N_{DIV} \cdot R_{MOD}}{50k\Omega} \cdot \frac{1\mu s}{1 + \frac{R_{MOD}}{R_{SET}} - \frac{V_{CTRL}}{V_{SET}}} \quad (3)$$

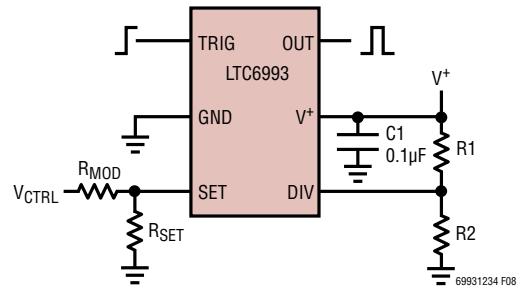


図8. 電圧によるパルス幅の制御

パルス幅のデジタル制御

制御電圧をDAC(D/Aコンバータ)で生成することにより、パルス幅をデジタル制御することができます。多くのDACは外部リファレンスを使用可能です。そのようなDACをV_{CTRL}電圧の生成のために利用すれば、図9に示すようにV_{SET}を一旦バッファし、それをDACのリファレンス電圧として使用することによって、V_{SET}依存性を除去することができます。DACの出力電圧がV_{SET}の変動をトラッキングし、その変動分を誤差源として除去します。DACのREF入力に流れる電流がパルス幅に影響を与える可能性があるため、SETピンをDACのリファレンス入力に直接接続することはできません。

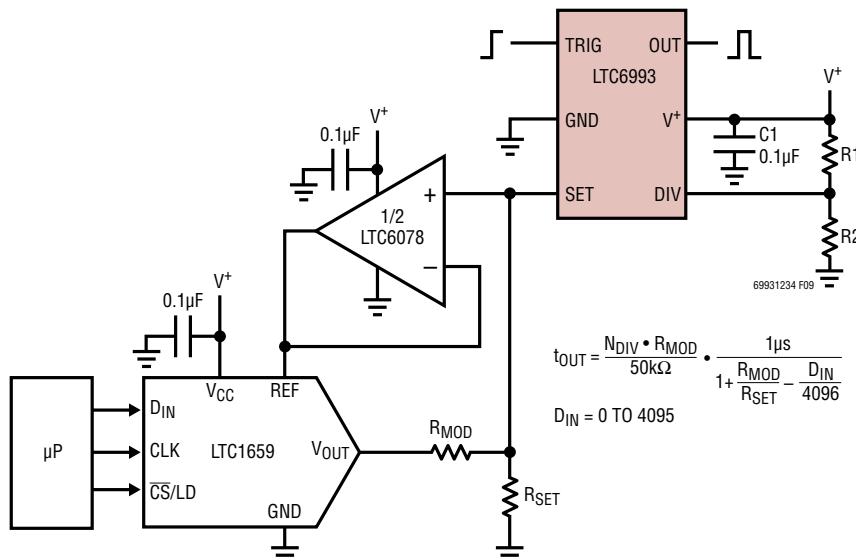


図9. パルス幅のデジタル制御

69931234fb

LTC6993-1/LTC6993-2 LTC6993-3/LTC6993-4

アプリケーション情報

最適範囲外のI_{SET}(最適範囲外のマスター発振器周波数)

I_{SET}の値が推奨される1.25μA～20μAの範囲から外れた場合、マスター発振器は最も精度が高い周波数62.5kHz～1MHzの範囲外で動作するようになります。

I_{SET} < 1.25μAでも、発振器は精度が低下しますが依然として発振することができます。しかし、発振器は約500nAで発振を停止します。この状況では、出力パルスは依然として始動可能ですが、I_{SET}が増加してマスター発振器が発振を再開するまでは停止しません。

周波数が極端に高くなる場合、DIVピンの精度がADCの精度に影響するため2MHz以上でマスター発振器を動かすことは推奨しません。

セトリング時間

I_{SET}の2倍または0.5倍のステップ変化に続いて、出力パルス幅が最終値の1%以内にセトリングするまでには約6マスター・クロック・サイクル(6 • t_{MASTER})かかります。図8の回路を使った例を図10に示します。

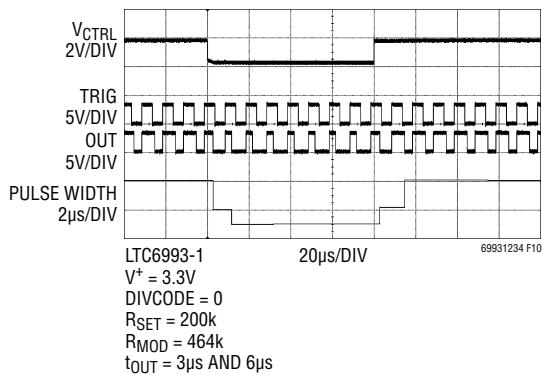


図10. 標準セトリング時間

結合誤差

内部マスター発振器は、SETピンによってソースされる電流を使ってバイアスされます。LTC6993はI_{SET}の変化にほぼ即座に応答するので、優れたセトリング時間が得られます。ただし、この高速な応答により、SETピンがTRIG入力などのデジタル信号からの結合に対して敏感にもなっています。

たとえレイアウトが優れていってもTRIGとSETの間にはいくらかの結合が生じます。これを考慮して、N_{DIV} = 1で規定された精度には追加の誤差が含まれています。分周比が1のとき電源によるドリフトが立ち上がりトリガ入力または立ち下がりトリガ入力からの結合および(程度は少ないが)出力極性に依存することを図11は示しています。

レイアウトに不備があると、実際に性能がさらに低下する可能性があります。PCBレイアウトでは、SETの配線をTRIG(または他の高速エッジや大振幅の信号など)に隣接させないようにします。

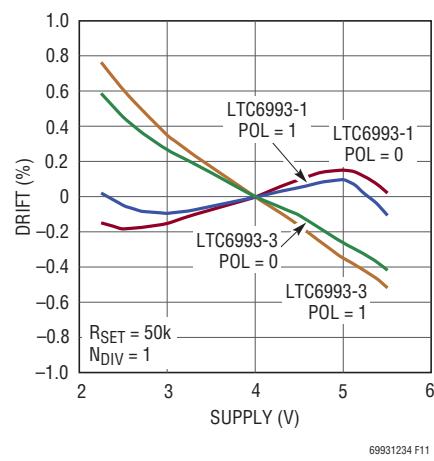


図11. t_{OUT}のドリフトと電源電圧

アプリケーション情報

電源電流

「電気的特性」の表に、デバイスがアイドル状態(トリガの待機状態)のときの電源電流が規定されています。 $I_S(\text{IDLE})$ は、設定された t_{OUT} および電源電圧に応じて変化します。いったんトリガすると、タイミング回路がアクティブ状態の間、瞬時電源電流が $I_S(\text{ACTIVE})$ まで増加します。

$$I_S(\text{ACTIVE}) = I_S(\text{IDLE}) + \Delta I_S(\text{ACTIVE})$$

電源電流の平均増加量 $\Delta I_S(\text{ACTIVE})$ は出力デューティサイクル(あるいは、 $\text{POL} = 1$ の場合は負のデューティサイクル)に依存します。これは、出力デューティサイクルは回路がアクティブである時間のパーセンテージを表すからです。 $I_S(\text{IDLE})$ と $\Delta I_S(\text{ACTIVE})$ は、表2の式を使って推定することができます。

入力周波数が増加するにつれて電源電流が $I_S(\text{IDLE})$ から増加する様子を図12に示します。 N_{DIV} の設定値が大きくなると、増加率が減少します。

表2. 標準的な電源電流

条件	標準 $I_S(\text{IDLE})$	標準 $\Delta I_S(\text{ACTIVE})^*$
$N_{\text{DIV}} \leq 64$	$\frac{V^+ \cdot (N_{\text{DIV}} \cdot 7\text{pF} + 4\text{pF})}{t_{\text{OUT}}} + \frac{V^+}{500\text{k}\Omega} + 2.2 \cdot I_{\text{SET}} + 50\mu\text{A}$	$V^+ \cdot \frac{\text{Duty Cycle}}{t_{\text{OUT}}} \cdot (N_{\text{DIV}} \cdot 5\text{pF} + 18\text{pF} + C_{\text{LOAD}})$
$N_{\text{DIV}} \geq 512$	$\frac{V^+ \cdot N_{\text{DIV}} \cdot 7\text{pF}}{t_{\text{OUT}}} + \frac{V^+}{500\text{k}\Omega} + 1.8 \cdot I_{\text{SET}} + 50\mu\text{A}$	$V^+ \cdot \frac{\text{Duty Cycle}}{t_{\text{OUT}}} \cdot C_{\text{LOAD}}$

*抵抗性負荷を無視($R_{\text{LOAD}} = \infty$ と仮定)

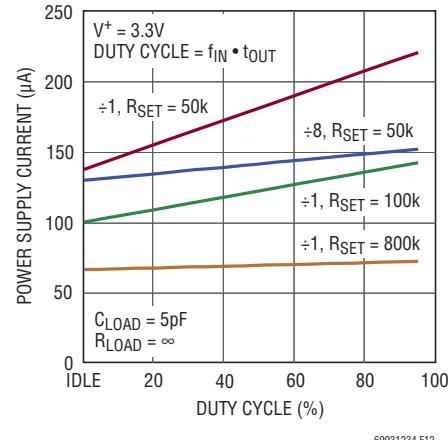


図12. $I_S(\text{ACTIVE})$ と出力デューティサイクル

アプリケーション情報

電源のバイパスとPCBレイアウトのガイドライン

LTC6993は適切な方法で使用すると、高精度な単安定マルチバイブルエータとなります。使い方は簡単であり、いくつかのルールに従うことにより期待通りの性能を容易に得ることができます。そのために重要なことは、電源ラインへのバイパス・コンデンサの配置とPCBレイアウトを適切に行うことです。

0603サイズの受動素子を用いた、SOT-23およびDCBパッケージの両方に対するPCBレイアウトの例を図13に示します。このレイアウトでは、LTC6993の真下と周囲にグランドプレーン層を設けた2層のPC基板を採用しています。これらのレイアウトは単なるガイドラインであり、正確にその通り従う必要はありません。

1. 低インダクタンスの経路を用いて、バイパス・コンデンサC1を直接V⁺ピンとGNDピンに接続してください。C1からV⁺ピンへの接続は最上層で直接簡単に行うことができます。DCBパッケージの場合、C1のGNDへの接続も最上層を用いて簡単に行うことができます。SOT-23パッケージの場合、OUTはC1とGNDとの良好な接続を可能にするためにC1パッドを介して配線することができます。PCBのデザインルールでそれが許されていない場合、C1のGND接続はグランドプレーンへの複数のビアを通して行うことができます。インダクタンスを最小限に抑えるために、グランドプレー

ンへのGNDピンの接続およびC1ピンの接続の両方に対して複数のビアを用いた接続が推奨されます。C1には0.1μFのセラミック・コンデンサを使用してください。

2. トレースのインダクタンスを最小限に抑えるために、すべての受動素子をPC基板の上面に配置してください。
3. R_{SET}はSETピンのできるだけ近くに配置し、直接最短距離で接続します。SETピンは電流が加算されるノードであり、このピンに注入される電流が出力パルス幅を直接変えます。配線を極力短くすることにより露出部分を短くして信号との結合を最小限にすることができます。
4. R_{SET}の一端を直接GNDピンに接続してください。グランドプレーンとの接続を長くしたりビアを介して接続しても精度には大きな影響を与えませんが、できるだけ短い距離で直接接続することを推奨します。
5. グランド・トレースを用いてSETピンをシールドしてください。これにより、放射信号に対する保護が一層強化されます。
6. R1とR2はDIVピンの近くに配置してください。DIVピンへの接続を直接短い配線で行うことにより外部信号との結合を最小限に抑えることができます。

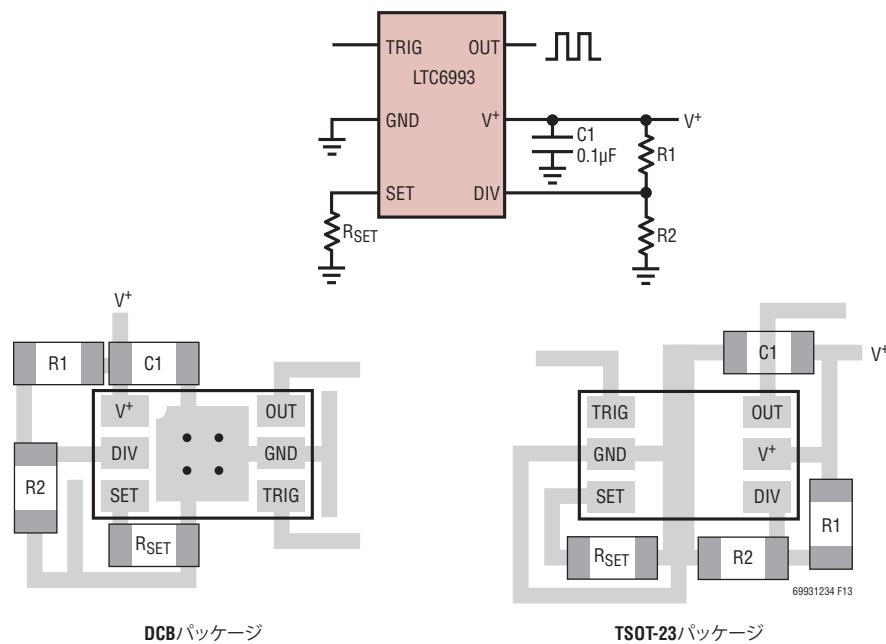
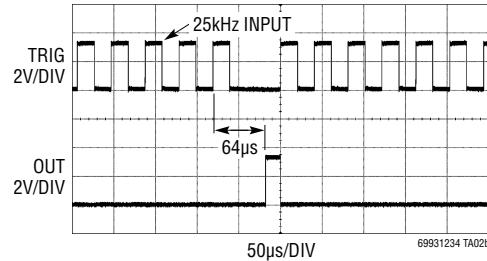
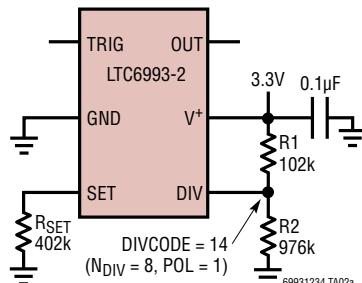


図13. 電源のバイパスとPCBレイアウト

69931234fb

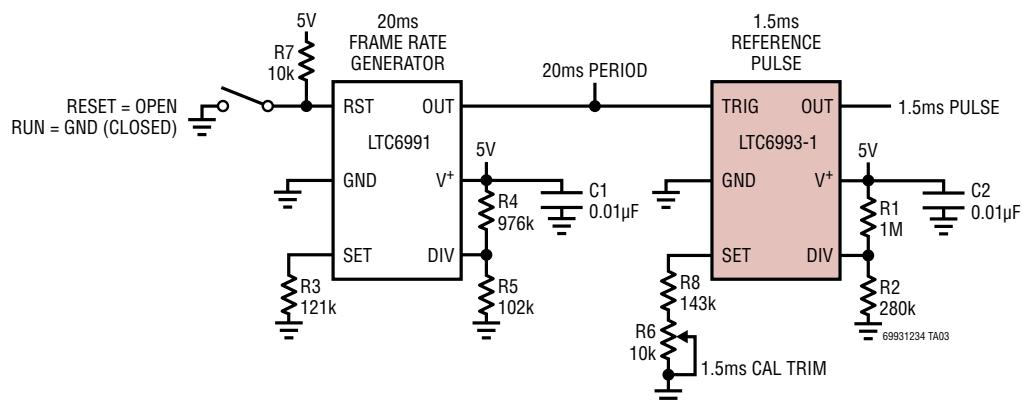
標準的応用例

ミッキング・パルス検出器

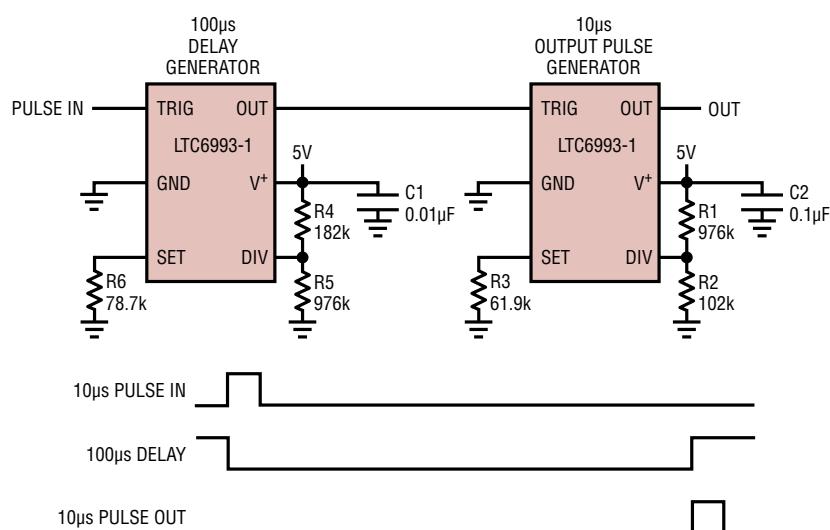


出力が反転した再トリガ可能なワンショットを使用。再トリガが $t_{OUT}=64\mu$ sの時間内に発生する限り、出力は“L”的ままである。

1.5msラジコン・サーボ用基準パルス発生器



パルス遅延発生器

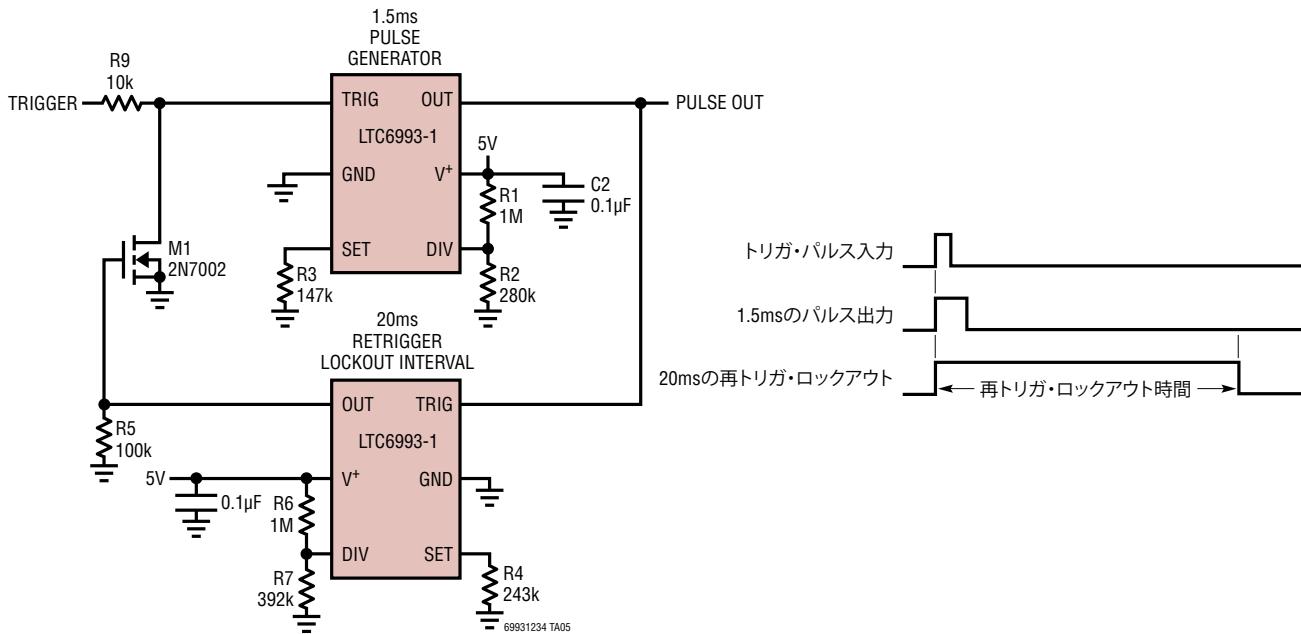


69931234fb

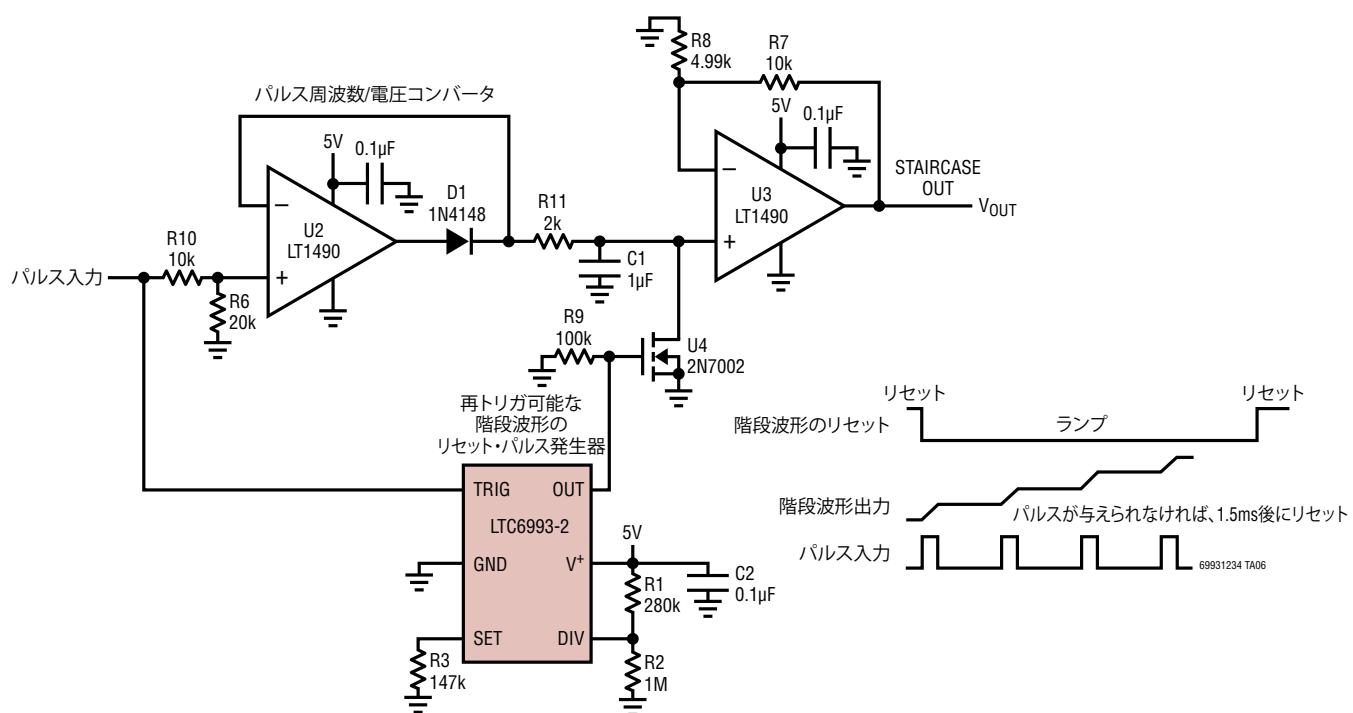
LTC6993-1/LTC6993-2 LTC6993-3/LTC6993-4

標準的応用例

RCサーボ・パルス発生器により制御される再トリガ・ロックアウト間隔

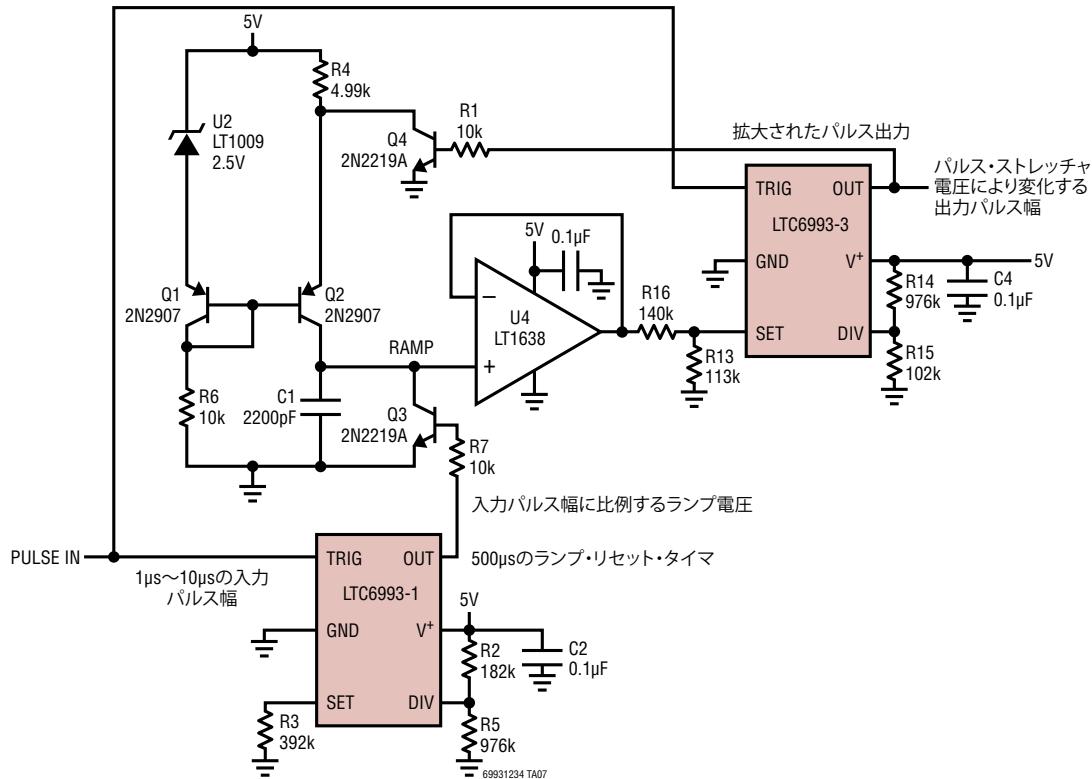


リセット付き階段波形発生器

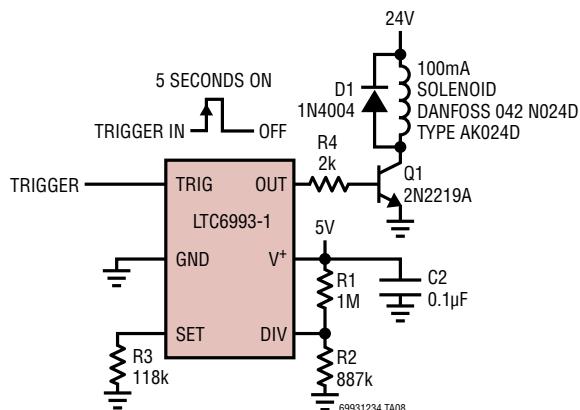


標準的応用例

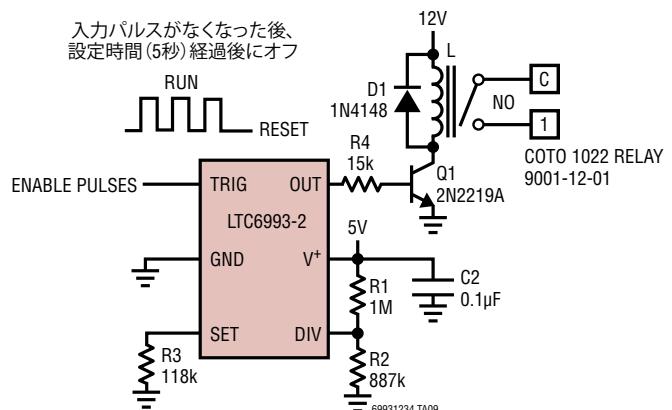
パルス・ストレッチャ



オン時間を設定可能なパルスによるソレノイド・ドライバ



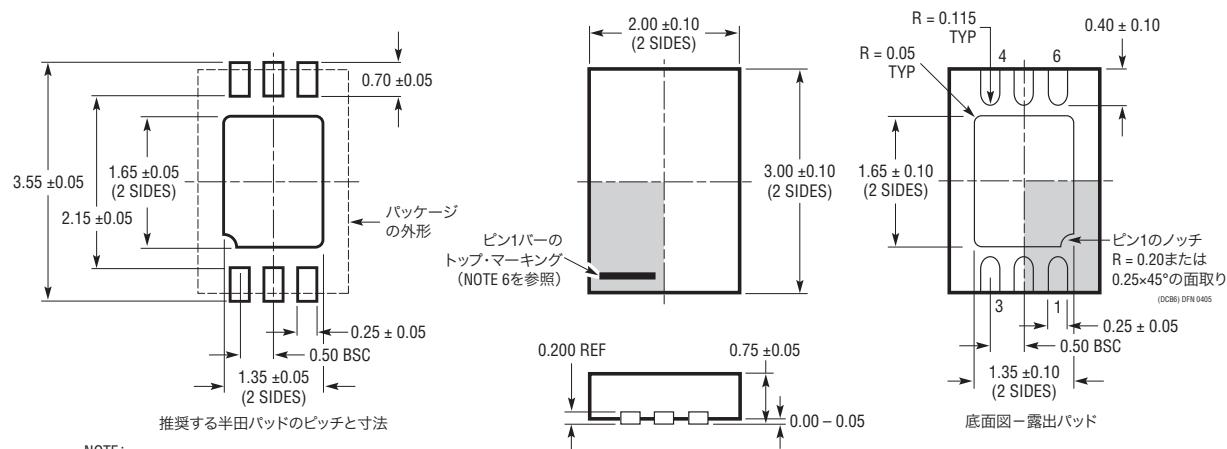
安全にタイムアウトするリレー・ドライバ



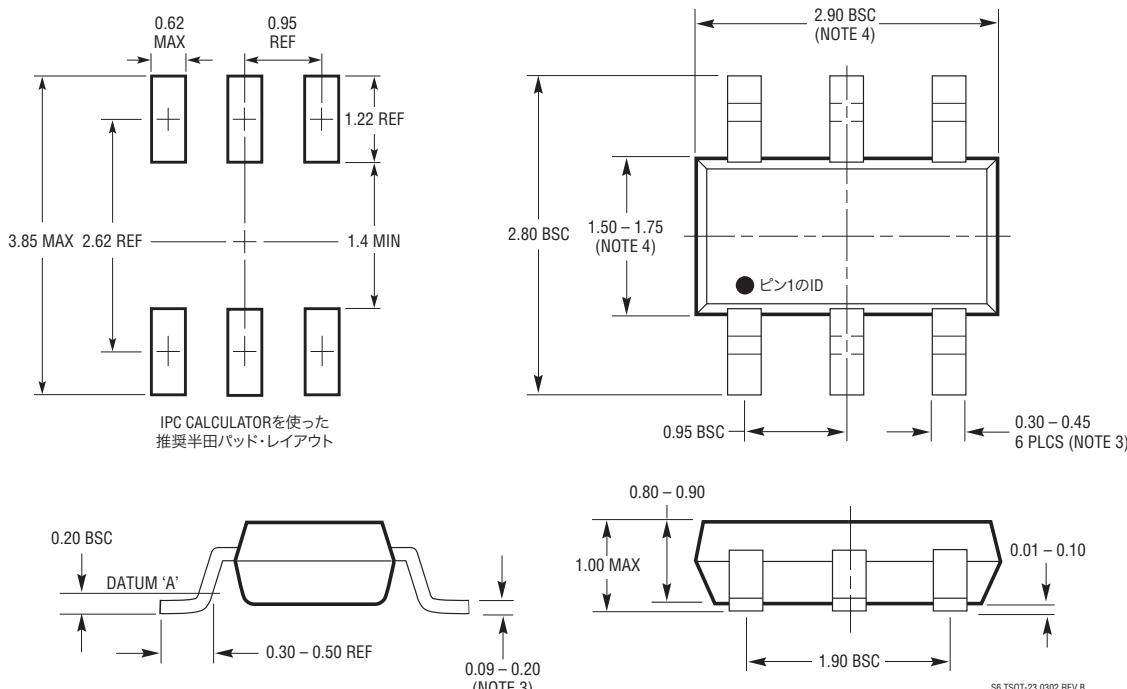
LTC6993-1/LTC6993-2 LTC6993-3/LTC6993-4

パッケージ

DCBパッケージ
6ピン・プラスチックDFN(2mm×3mm)
(Reference LTC DWG # 05-08-1715 Rev A)



S6パッケージ
6ピン・プラスチックTSOT-23
(Reference LTC DWG # 05-08-1636)



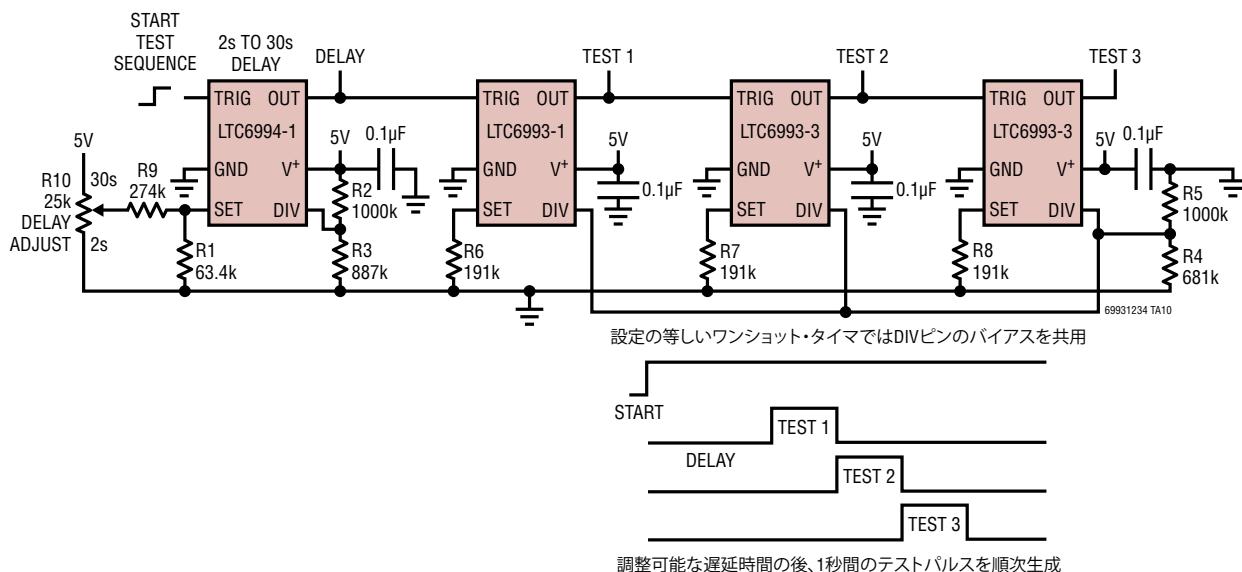
改訂履歴

REV	日付	概要	ページ番号
A	7/11	「概要」セクションを改訂 「アプリケーション情報」セクションの基本動作の段落に文章追加	1~3 15
B	1/12	MPグレードを追加	1、2、3、5

LTC6993-1/LTC6993-2 LTC6993-3/LTC6993-4

標準的応用例

連続テスト・シーケンサ



関連製品

製品番号	説明	注釈
LTC1799	ThinSOTパッケージの1MHz～33MHzシリコン発振器	広い周波数範囲
LTC6900	ThinSOTパッケージの1MHz～20MHzシリコン発振器	低消費電力、広い周波数範囲
LTC6906/LTC6907	ThinSOTパッケージの10kHz～1MHz または40kHzシリコン発振器	マイクロパワー、電源電流：400kHzで35µA
LTC6930	32.768kHz～8.192MHzの固定周波数発振器	周波数誤差：0.09%、起動時間：110µs、電源電流：32kHzで105µA
LTC6990	TimerBlox：電圧制御シリコン発振器	固定周波数または電圧制御動作
LTC6991	TimerBlox：リセット可能な低周波数発振器	クロック周期：最大9.5時間
LTC6992	TimerBlox：電圧制御パルス幅変調器（PWM）	周波数範囲が広いシンプルなPWM
LTC6994	TimerBlox：遅延ブロック/デバウンサー	立ち上がりエッジ/立ち下がりエッジの一方または両方に遅延を付加

69931234fb