

利得をデジタルで プログラム可能な ゼロドリフト高精度計装アンプ

特長

- 14レベルでプログラム可能な利得
- 利得の影響を受けないCMRR: 125dB
- 利得精度: 0.1% (標準)
- 最大オフセット電圧: 10 μ V
- 最大オフセット電圧ドリフト: 50nV/°C
- レール・トゥ・レール入出力
- パラレルまたはシリアル(SPI)インタフェースによる利得設定
- 電源動作: 2.7V ~ $\pm$ 5.5V
- ノイズ: 2.5 μ V_{p-p} (0.01Hz ~ 10Hz, 標準)
- 16ピンSSOPパッケージと12ピンDFNパッケージ

アプリケーション

- 熱電対アンプ
- 電子式秤
- 医療用機器
- ストレイン・ゲージ・アンプ
- 高分解能データ収集

概要

LTC®6915は利得をプログラム可能な高精度計装アンプです。パラレルまたはシリアルのインタフェースを介して、利得を0、1、2、4、8、16、32、64、128、256、512、1024、2048、4096のいずれかにプログラム可能です。プログラムされた利得と関係なく、CMRRは5Vの単電源で標準125dBです。オフセットは10 μ V以下、オフセット温度ドリフトは50nV/°C以下です。

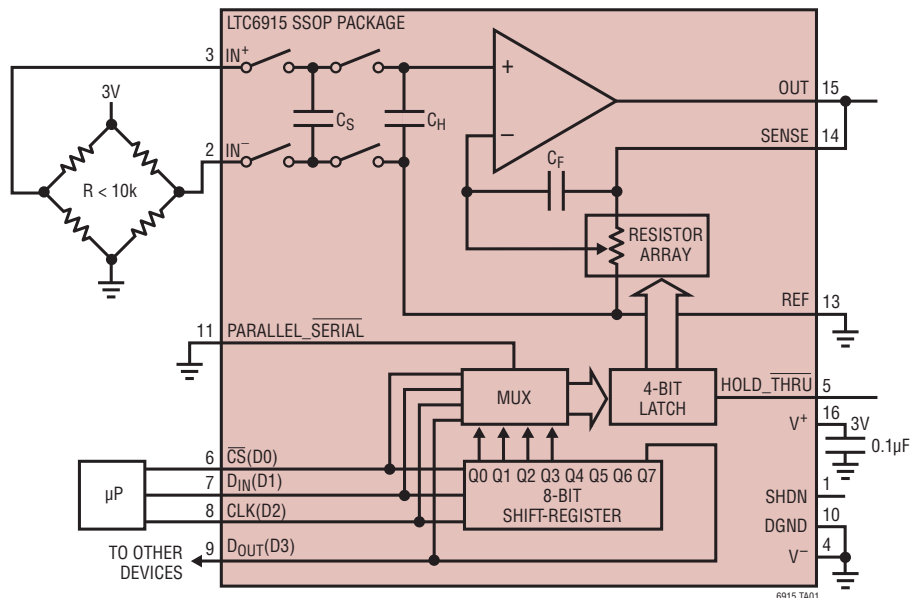
LTC6915はcharge balanced sampled data 技法を使用して差動入力電圧をシングルエンド信号に変換してから、次いで、ゼロドリフト・オペアンプによって増幅します。

差動入力はレール・トゥ・レールで動作し、シングルエンド出力はレール・トゥ・レールで振幅します。LTC6915は2.7Vという低電圧の単電源アプリケーションで使用可能です。また、 $\pm$ 5Vの両電源でも使用可能です。16ピンSSOPパッケージと12ピンDFN表面実装パッケージで供給されます。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

シリアル・インタフェースを通して利得がプログラムされる差動ブリッジアンプ



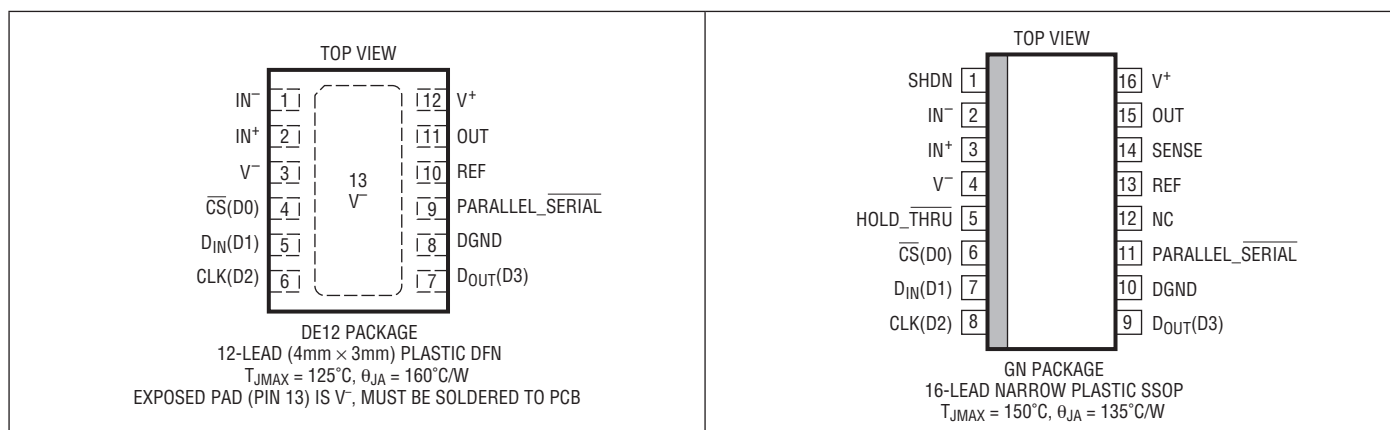
LTC6915

絶対最大定格

(Note 1)

全電源電圧 ($V^+ \sim V^-$)	11V	LTC6915I	$-40^\circ\text{C} \sim 85^\circ\text{C}$
入力電流	$\pm 10\text{mA}$	LTC6915H	$-40^\circ\text{C} \sim 125^\circ\text{C}$
$ V_{IN^+} - V_{REF} $	5.5V	動作温度範囲	
$ V_{IN^-} - V_{REF} $	5.5V	(GNパッケージ)	150°C
$ V^+ - V_{DGND} $	5.5V	(DFNパッケージ)	125°C
$ V_{DGND} - V^- $	5.5V	保存温度	
デジタル入力電圧	$V^- \sim V^+$	(GNパッケージ)	$-65^\circ\text{C} \sim 150^\circ\text{C}$
動作温度範囲		(DFNパッケージ)	$-65^\circ\text{C} \sim 125^\circ\text{C}$
LTC6915C	$-0^\circ\text{C} \sim 70^\circ\text{C}$	リード温度 (半田付け, 10秒)	300°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング	パッケージ	温度範囲
LTC6915CDE#PBF	LTC6915CDE#TRPBF	6915	12-Lead (4mm × 3mm) Plastic DFN	0°C to 70°C
LTC6915IDE#PBF	LTC6915IDE#TRPBF	6915I	12-Lead (4mm × 3mm) Plastic DFN	-40°C to 85°C
LTC6915CGN#PBF	LTC6915CGN#TRPBF	6915	16-Lead Narrow Plastic SSOP	0°C to 70°C
LTC6915IGN#PBF	LTC6915IGN#TRPBF	6915I	16-Lead Narrow Plastic SSOP	-40°C to 85°C
LTC6915HGN#PBF	LTC6915HGN#TRPBF	6915H	16-Lead Narrow Plastic SSOP	-40°C to 125°C
鉛フリー仕様	テープアンドリール	製品マーキング	パッケージ	温度範囲
LTC6915CDE	LTC6915CDE#TR	6915	12-Lead (4mm × 3mm) Plastic DFN	0°C to 70°C
LTC6915IDE	LTC6915IDE#TR	6915I	12-Lead (4mm × 3mm) Plastic DFN	-40°C to 85°C
LTC6915CGN	LTC6915CGN#TR	6915	16-Lead Narrow Plastic SSOP	0°C to 70°C
LTC6915IGN	LTC6915IGN#TR	6915I	16-Lead Narrow Plastic SSOP	-40°C to 85°C
LTC6915HGN	LTC6915HGN#TR	6915H	16-Lead Narrow Plastic SSOP	-40°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電氣的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$V^+ = 3\text{V}$, $V^- = 0\text{V}$, $V_{\text{REF}} = 200\text{mV}$							
	Gain Error (Note 2)	$A_V = 1$ ($R_L = 10\text{k}$)	●	-0.075	0	0.075	%
	Gain Error (Note 2)	$A_V = 2$ to 32 ($R_L = 10\text{k}$)	●	-0.5	0	0.5	%
	Gain Error (Note 2)	$A_V = 64$ to 1024 ($R_L = 10\text{k}$)	●	-0.6	-0.1	0.6	%
	Gain Error (Note 2)	$A_V = 2048, 4096$ ($R_L = 10\text{k}$)	●	-1	-0.2	1.0	%
	Gain Nonlinearity	$A_V = 1$	●		3	15	ppm
V_{OS}	Input Offset Voltage (Note 3)	$V_{\text{CM}} = 200\text{mV}$			-3	± 10	μV
	Average Input Offset Drift (Note 3)	$T_A = -40^\circ\text{C}$ to 85°C $T_A = 85^\circ\text{C}$ to 125°C	● ●			± 50 ± 100	$\text{nV}/^\circ\text{C}$ $\text{nV}/^\circ\text{C}$
I_B	Average Input Bias Current (Note 4)	$V_{\text{CM}} = 1.2\text{V}$	●		5	10	nA
I_{OS}	Average Input Offset Current (Note 4)	$V_{\text{CM}} = 1.2\text{V}$	●		1.5	3	nA
e_n	Input Noise Voltage	DC to 10Hz			2.5		$\mu\text{V}_{\text{P-P}}$
$V^+ = 3\text{V}$, $V^- = 0\text{V}$, $V_{\text{REF}} = 200\text{mV}$							
CMRR	Common Mode Rejection Ratio	$A_V = 1024$, $V_{\text{CM}} = 0\text{V}$ to 3V , LTC6915C	●	100	119		dB
		$A_V = 1024$, $V_{\text{CM}} = 0.1\text{V}$ to 2.9V , LTC6915I	●	100	119		dB
		$A_V = 1024$, $V_{\text{CM}} = 0\text{V}$ to 3V , LTC6915I	●	95	119		dB
		$A_V = 1024$, $V_{\text{CM}} = 0.1\text{V}$ to 2.9V , LTC6915H	●	100			dB
		$A_V = 1024$, $V_{\text{CM}} = 0\text{V}$ to 2.97V , LTC6915H	●	85			dB
PSRR	Power Supply Rejection Ratio (Note 5)	$V_S = 2.7\text{V}$ to 6V	●	110	116		dB
	Output Voltage Swing High (Referenced to V^-)	Sourcing $200\mu\text{A}$ Sourcing 2mA	● ●	2.95 2.75	2.98 2.87		V V
	Output Voltage Swing Low (Referenced to V^-)	Sinking $200\mu\text{A}$ Sinking 2mA	● ●		18 130	50 300	mV mV
	Supply Current, Parallel Mode	No Load at OUT, $V_{\text{CM}} = 200\text{mV}$	●		0.88	1.3	mA
	Supply Current, Serial Mode (Note 6)	No Load at OUT, Capacitive Load at D_{OUT} (C_L) = 15pF , Continuous CLK Frequency = 4MHz , $\overline{\text{CS}} = \text{LOW}$, Gain Control Code = 0001	●		1.1	1.65	mA
	Supply Current Shutdown	$V_{\text{SHDN}} = 2.7\text{V}$ (Hardware Shutdown) $V_{\text{SHDN}} = 1\text{V}$, Gain Control Code = 0000 (Software Shutdown)	● ●		1 125	4 180	μA μA
	SHDN Input High		●	2.7			V
	SHDN Input Low		●			1	V
	SHDN and HOLD_THRU Input Current (Note 2)		●			5	μA
	Internal Op Amp Gain Bandwidth				200		kHz
	Slew Rate				0.2		$\text{V}/\mu\text{s}$
	Internal Sampling Frequency				3		kHz
$V^+ = 5\text{V}$, $V^- = 0\text{V}$, $V_{\text{REF}} = 200\text{mV}$							
	Gain Error (Note 2)	$A_V = 1$ ($R_L = 10\text{k}$)	●	-0.075	0	0.075	%
	Gain Error (Note 2)	$A_V = 2$ to 32 ($R_L = 10\text{k}$)	●	-0.5	0	0.5	%
	Gain Error (Note 2)	$A_V = 64$ to 1024 ($R_L = 10\text{k}$)	●	-0.6	-0.1	0.6	%
	Gain Error (Note 2)	$A_V = 2048, 4096$ ($R_L = 10\text{k}$)	●	-1	-0.2	1	%
	Gain Nonlinearity	$A_V = 1$	●		3	15	ppm

LTC6915

電氣的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

V_{OS}	Input Offset Voltage (Note 3)	$V_{CM} = 200\text{mV}$		-3	± 10	μV
	Average Input Offset Drift (Note 3)	$T_A = -40^\circ\text{C}$ to 85°C $T_A = 85^\circ\text{C}$ to 125°C	●		± 50 ± 100	$\text{nV}/^\circ\text{C}$ $\text{nV}/^\circ\text{C}$
	Average Input Bias Current (Note 4)	$V_{CM} = 1.2\text{V}$	●	5	10	nA
I_{OS}	Average Input Offset Current (Note 4)	$V_{CM} = 1.2\text{V}$	●	1.5	3	nA
CMRR	Common Mode Rejection Ratio	$A_V = 1024$, $V_{CM} = 0\text{V}$ to 5V , LTC6915C	●	105	125	dB
		$A_V = 1024$, $V_{CM} = 0.1\text{V}$ to 4.9V , LTC6915I	●	105	125	dB
		$A_V = 1024$, $V_{CM} = 0\text{V}$ to 5V , LTC6915I	●	95	125	dB
		$A_V = 1024$, $V_{CM} = 0.1\text{V}$ to 4.9V , LTC6915H	●	100		dB
		$A_V = 1024$, $V_{CM} = 0\text{V}$ to 4.97V , LTC6915H	●	85		dB
PSRR	Power Supply Rejection Ratio (Note 5)	$V_S = 2.7\text{V}$ to 6V	●	110	116	dB
	Output Voltage Swing High	Sourcing $200\mu\text{A}$	●	4.95	4.99	V
		Sourcing 2mA	●	4.80	4.93	V
	Output Voltage Swing Low	Sinking $200\mu\text{A}$	●	17	50	mV
		Sinking 2mA	●	120	300	mV

$V^+ = 5\text{V}$, $V^- = 0\text{V}$, $V_{REF} = 200\text{mV}$

	Supply Current, Parallel Mode	No Load at OUT, $V_{CM} = 200\text{mV}$	●	0.95	1.48	mA
	Supply Current, Serial Mode (Note 6)	No Load at OUT, Capacitive Load at D_{OUT} (C_L) = 15pF , Continuous CLK Frequency = 4MHz , $\overline{CS} = \text{LOW}$, Gain Control Code = 0001	●	1.4	2	mA
	Supply Current, Shutdown	$V_{SHDN} = 4.5\text{V}$ (Hardware Shutdown)	●	2	10	μA
		$V_{SHDN} = 1\text{V}$, Gain Control Code = 0000 (Software Shutdown)	●	135	200	μA
	SHDN Input High		●	4.5		V
	SHDN Input Low		●		1	V
	SHDN and HOLD_THRU Input Current (Note 2)		●		5	μA
	Internal Op Amp Gain Bandwidth			200		kHz
	Slew Rate			0.2		$\text{V}/\mu\text{s}$
	Internal Sampling Frequency			3		kHz

$V^+ = 5\text{V}$, $V^- = -5\text{V}$, $V_{REF} = 0\text{V}$

	Gain Error (Note 2)	$A_V = 1$ ($R_L = 10k$)	●	-0.075	0	0.075	%
	Gain Error (Note 2)	$A_V = 2$ to 32 ($R_L = 10k$)	●	-0.5	0	0.5	%
	Gain Error (Note 2)	$A_V = 64$ to 1024 ($R_L = 10k$)	●	-0.6	-0.1	0.6	%
	Gain Error (Note 2)	$A_V = 2048, 4096$ ($R_L = 10k$)	●	-1	-0.2	1	%
	Gain Nonlinearity	$A_V = 1$	●		3	15	ppm
V_{OS}	Input Offset Voltage (Note 3)	$V_{CM} = 0mV$			5	±20	μV
	Average Input Offset Drift (Note 3)	$T_A = -40^{\circ}C$ to $85^{\circ}C$ $T_A = 85^{\circ}C$ to $125^{\circ}C$	● ●			±50 ±100	nV/°C nV/°C
I_{OS}	Average Input Bias Current (Note 4)	$V_{CM} = 1V$	●		4	10	nA
	Average Input Offset Current (Note 4)	$V_{CM} = 1V$	●		1.5	3	nA

電氣的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

CMRR	Common Mode Rejection Ratio	$A_V = 1024$, $V_{CM} = -5V$ to $5V$, LTC6915C	●	105	123	dB	
		$A_V = 1024$, $V_{CM} = -4.9V$ to $4.9V$, LTC6915I	●	105	123	dB	
		$A_V = 1024$, $V_{CM} = -5V$ to $5V$, LTC6915I	●	100	123	dB	
		$A_V = 1024$, $V_{CM} = -4.9V$ to $4.9V$, LTC6915H	●	100		dB	
		$A_V = 1024$, $V_{CM} = -5V$ to $4.97V$, LTC6915H	●	90		dB	
PSRR	Power Supply Rejection Ratio (Note 5)	$V_S = 2.7V$ to $11V$	●	110	116	dB	
	Output Voltage Swing High	Sourcing $200\mu A$ Sourcing $2mA$	● ●	4.97 4.90	4.99 4.96	V V	
	Output Voltage Swing Low	Sinking $200\mu A$ Sinking $2mA$	● ●		-4.98 -4.90	-4.92 -4.70	V V
	Supply Current, Parallel Mode	No Load, $V_{CM} = 0mV$	●		1.1	1.6	mA
	Supply Current, Serial Mode (Note 6)	No Load at OUT, Capacitive Load at D_{OUT} (C_L) = $15pF$, Continuous CLK Frequency = $4MHz$, $\overline{CS} = LOW$, Gain Control Code = 0001	●		1.73	2.48	mA
	Supply Current, Shutdown	$V_{SHDN} = 4V$ (Hardware Shutdown) $V_{SHDN} = 1V$, Gain Control Code = 0000 (Software Shutdown)	● ●		160	25 240	μA μA
	SHDN Input High		●	4			V
	SHDN Input Low		●			1	V

 $V^+ = 5\text{V}$, $V^- = -5\text{V}$, $V_{REF} = 0\text{V}$

	SHDN and HOLD_THRU Input Current (Note 2)		●		5	μA
	Internal Op Amp Gain Bandwidth				200	kHz
	Slew Rate				0.2	V/ μs
	Internal Sampling Frequency				3	kHz

Digital I/O, All Digital I/O Voltage Referenced to DGND

V_{IH}	Digital Input High Voltage		●	2.0		V
V_{IL}	Digital Input Low Voltage		●		0.8	V
V_{OH}	Digital Output High Voltage	Sourcing 500 μA	●	$V^+ - 0.3$		V
V_{OL}	Digital Output Low Voltage	Sinking 500 μA	●		0.3	V
	Digital Input Leakage	$V^+ = 5\text{V}$, $V^- = -5\text{V}$, $V_{IN} = 0\text{V to } 5\text{V}$	●		± 2	μA

Timing, $V^+ = 2.7\text{V to } 4.5\text{V}$, $V^- = 0\text{V}$ (Note 7)

t_1	D_{IN} Valid to CLK Setup		●	60		ns
t_2	D_{IN} Valid to CLK Hold		●	0		ns
t_3	CLK Low		●	100		ns
t_4	CLK High		●	100		ns
t_5	$\overline{CS}/\text{LD}$ Pulse Width		●	60		ns
t_6	LSB CLK to $\overline{CS}/\text{LD}$		●	60		ns
t_7	$\overline{CS}/\text{LD}$ Low to CLK		●	30		ns
t_8	D_{OUT} Output Delay	$C_L = 15\text{pF}$	●		125	ns
t_9	CLK Low to $\overline{CS}/\text{LD}$ Low		●	0		ns

LTC6915

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

Timing, $V^+ = 4.5\text{V}$ to 5.5V , $V^- = 0\text{V}$ (Note 7)

t_1	D_{IN} Valid to CLK Setup		●	30	ns
t_2	D_{IN} Valid to CLK Hold		●	0	ns
t_3	CLK Low		●	50	ns
t_4	CLK High		●	50	ns
t_5	$\overline{CS}/LD$ Pulse Width		●	40	ns
t_6	LSB CLK to $\overline{CS}/LD$		●	40	ns
t_7	$\overline{CS}/LD$ Low to CLK		●	20	ns
t_8	D_{OUT} Output Delay	$C_L = 15\text{pF}$	●	85	ns
t_9	CLK Low to $\overline{CS}/LD$ Low		●	0	ns

Timing, Dual $\pm 4.5\text{V}$ to $\pm 5.5\text{V}$ Supplies (Note 7)

t_1	D_{IN} Valid to CLK Setup		●	30	ns
t_2	D_{IN} Valid to CLK Hold		●	0	ns
t_3	CLK High		●	50	ns
t_4	CLK Low		●	50	ns
t_5	$\overline{CS}/LD$ Pulse Width		●	40	ns
t_6	LSB CLK to $\overline{CS}/LD$		●	40	ns
t_7	$\overline{CS}/LD$ Low to CLK		●	20	ns
t_8	D_{OUT} Output Delay	$C_L = 15\text{pF}$	●	85	ns
t_9	CLK Low to $\overline{CS}/LD$ Low		●	0	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: これらのパラメータは $\pm 5\text{V}$ 電源でテストされる。3V 電源と 5V 電源では、それらは設計で保証されている。

Note 3: これらのパラメータは設計により保証されている。熱電対効果により、高速自動テスト装置ではこれらの電圧レベルの測定は排除されている。 V_{OS} はテスト装置の能力によって設定されるリミットまで測定される。

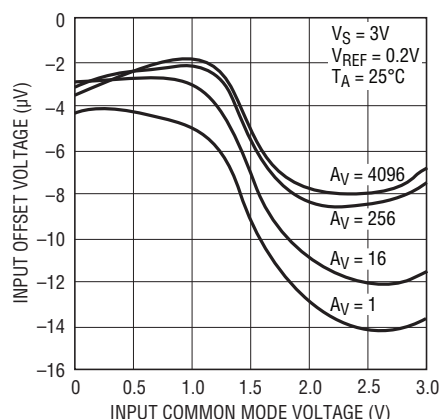
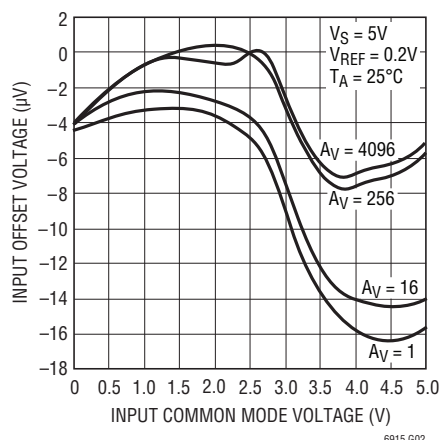
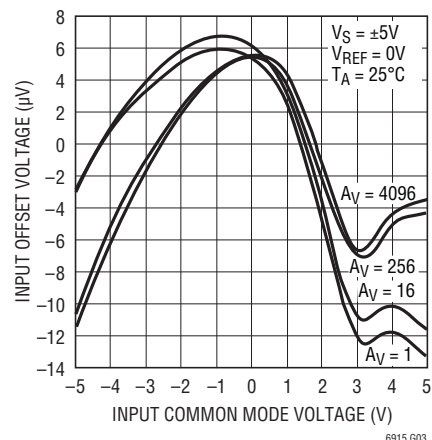
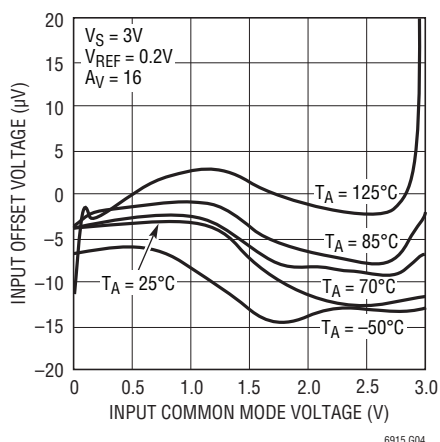
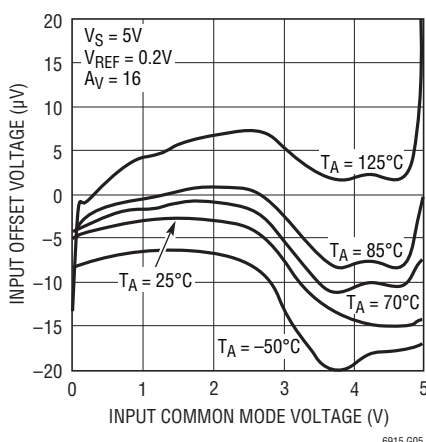
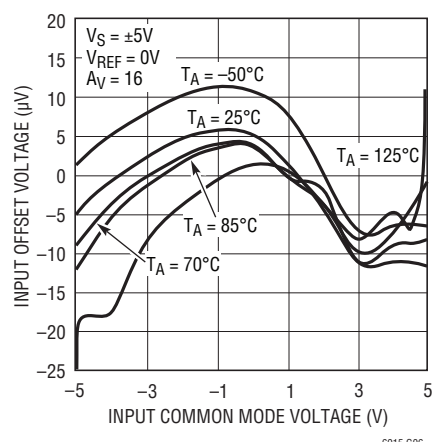
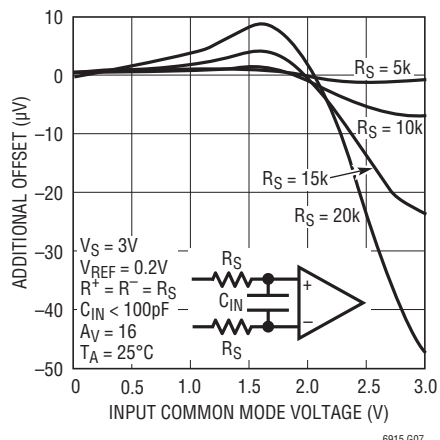
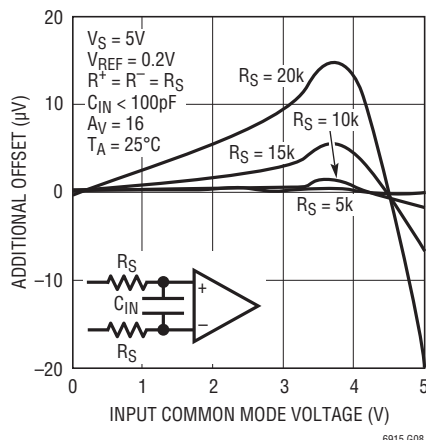
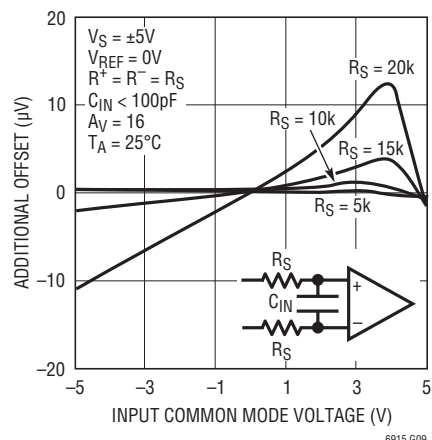
Note 4: 全ソース抵抗が 10k 未満であれば、入力バイアス電流、または入力バイアス電流の不整合、または IN^- と IN^+ に接続された抵抗の不整合による DC 誤差は生じない。

Note 5: PSRR の測定精度は電源バイパス・コンデンサがテストされるデバイスにどの位近く置かれているかに依存する。このため、PSRR は最終テストで緩められたリミット値に対して全数検査される。ただし、この値はデータシートのリミット値を満たすように設計で保証されている。

Note 6: 電源電流はクロック周波数に依存する。クロック周波数が高いほど電源電流が大きくなる。

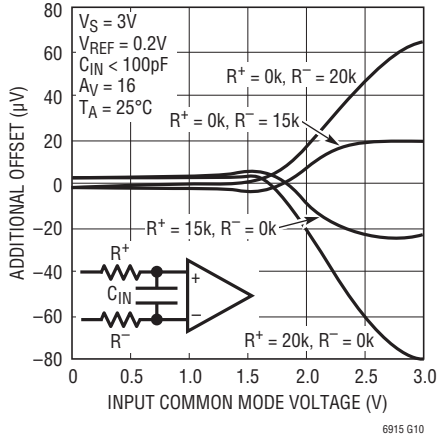
Note 7: 設計によって保証されているが、テストされない。

標準的性能特性

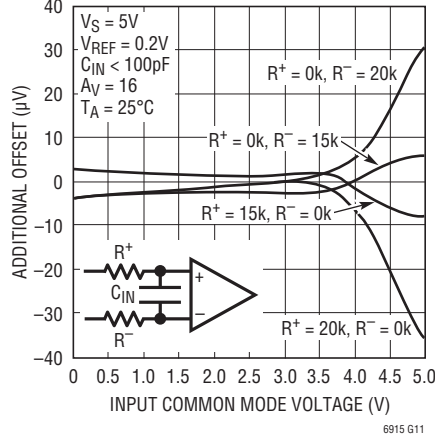
入力オフセット電圧と
入力同相電圧入力オフセット電圧と
入力同相電圧入力オフセット電圧と
入力同相電圧入力オフセット電圧と
入力同相電圧入力オフセット電圧と
入力同相電圧入力オフセット電圧と
入力同相電圧入力RSによる誤差と
入力同相電圧入力RSによる誤差と
入力同相電圧入力RSによる誤差と
入力同相電圧

標準的性能特性

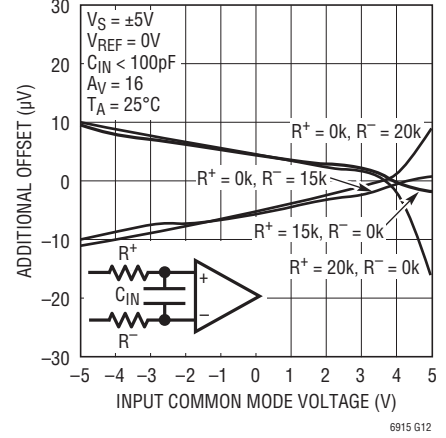
入力 R_S の不整合による誤差と
入力同相電圧



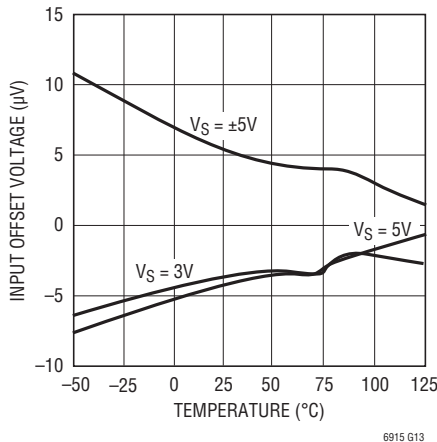
入力 R_S の不整合による誤差と
入力同相電圧



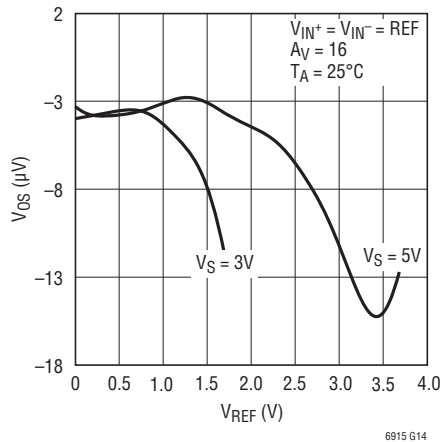
入力 R_S の不整合による誤差と
入力同相電圧



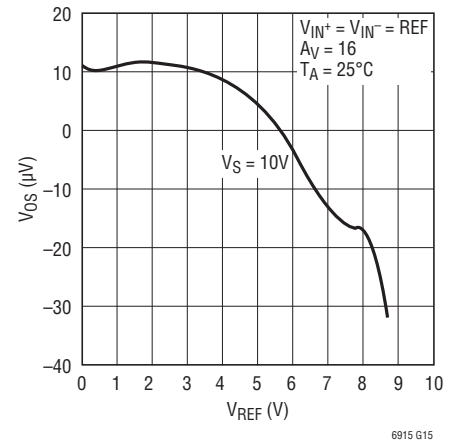
オフセット電圧と温度



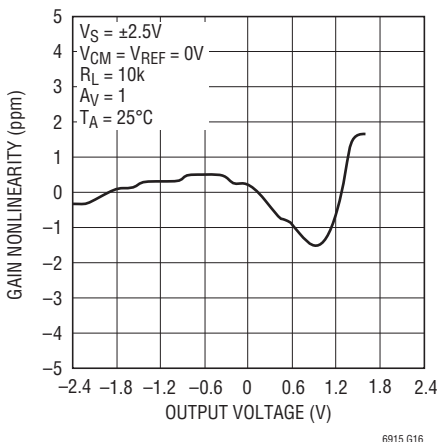
V_{OS} と REF (ピン 13)



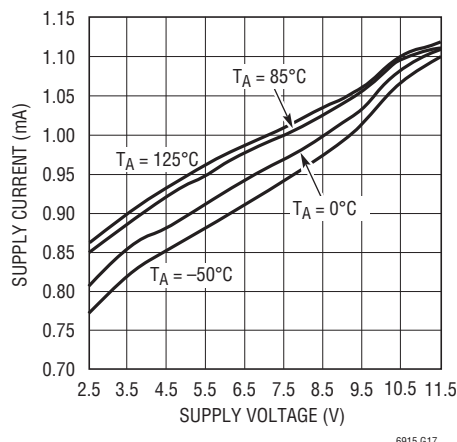
V_{OS} と REF (ピン 13)



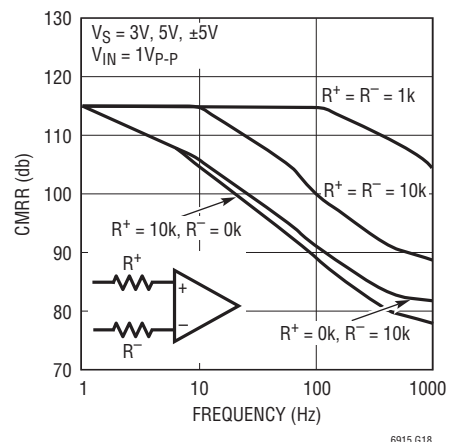
利得 = 1 での利得の非直線性
(利得 > 1 では利得の非直線性が
減少)



電源電流と電源電圧

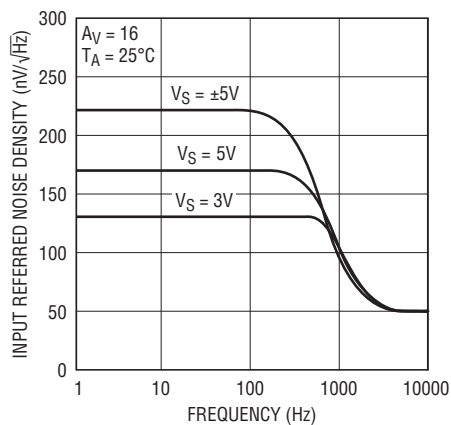


CMRR と周波数

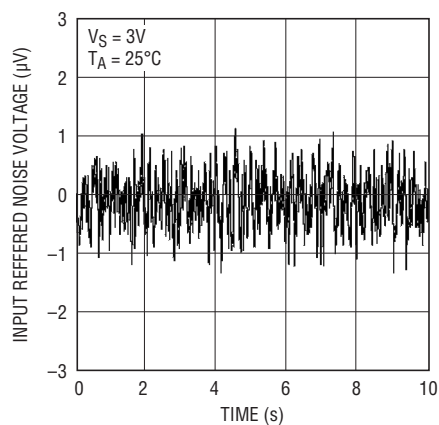


標準的性能特性

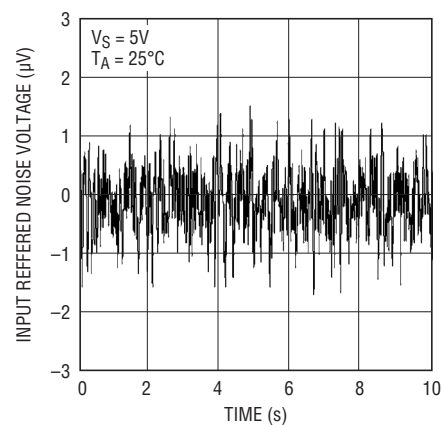
入力電圧ノイズ密度と周波数



6915 G19

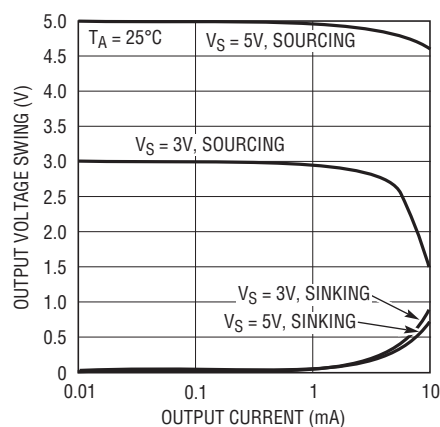
入力を基準にした
10Hz帯域幅のノイズ

6915 G20

入力を基準にした
10Hz帯域幅のノイズ

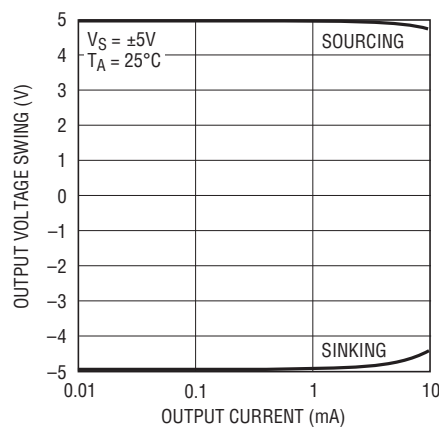
6915 G21

出力電圧振幅と出力電流

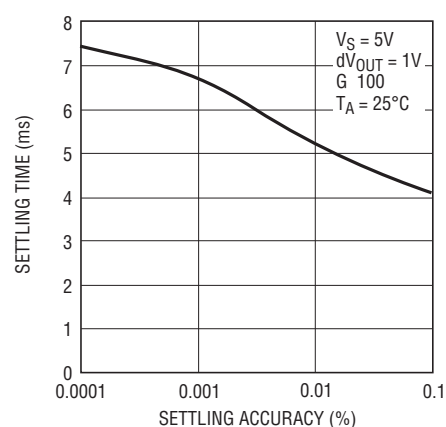


6915 G22

出力電圧振幅と出力電流

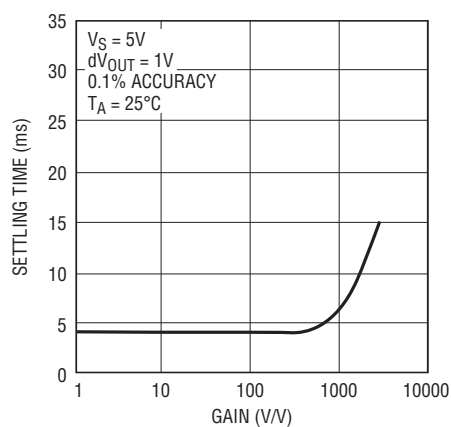


6915 G23

低利得セトリング時間と
セトリング精度

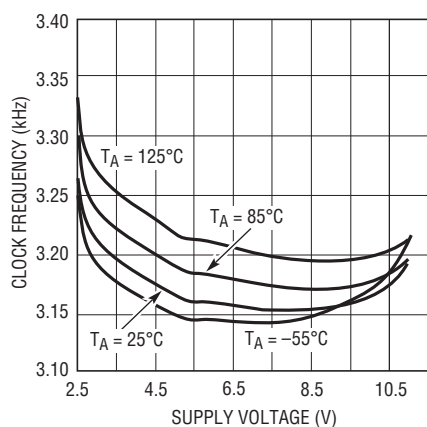
6915 G24

セトリング時間と利得



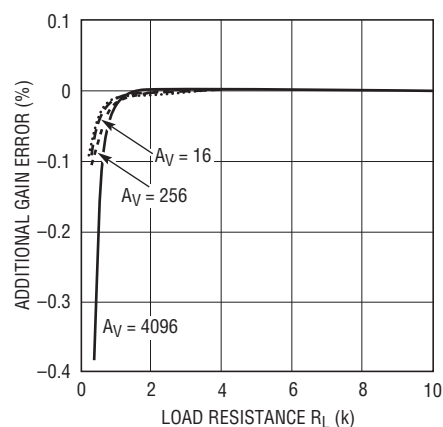
6915 G25

内部クロック周波数と電源電圧



6915 G26

追加利得誤差と負荷抵抗



6915 G27

ピン機能 (DFNパッケージ/GNパッケージ)

IN⁻ (ピン1/ピン2): 反転アナログ入力。

SHDN (ピン1、GNパッケージのみ): シャットダウン・ピン。SHDNをV⁺に接続するとデバイスはシャットダウンします。フロートさせると、このピンは内部電流源によりV⁻に引き下げられます。

IN⁺ (ピン2/ピン3): 非反転アナログ入力。

V⁻ (ピン3/ピン4): 負電源。

$\overline{\text{CS}}$ (D0) (ピン4/ピン6): TTLレベルの入力。シリアル制御モードのとき、このピンはチップ・セレクト入力です(アクティブ“L”)。パラレル制御モードでは、このピンはパラレル利得制御コードのLSBです。

D_{IN} (D1) (ピン5/ピン7): TTLレベルの入力。シリアル制御モードのとき、このピンはシリアル入力データです。パラレル・モードでは、このピンはパラレル利得制御コードの2番目のLSBです。

HOLD $\overline{\text{THRU}}$ (ピン5、GNパッケージのみ): パラレル制御モードのTTLレベル入力。HOLD $\overline{\text{THRU}}$ が“H”のとき、パラレル・データが内部Dラッチにラッチされます。

CLK (D2) (ピン6/ピン8): TTLレベルの入力。シリアル制御モードのとき、このピンはシリアル・インタフェースのクロックです。パラレル・モードでは、このピンはパラレル利得制御コードの3番目のLSBです。

D_{OUT} (D3) (ピン7/ピン9): TTLレベルの入力。シリアル制御モードのとき、このピンはシリアル・データの出力です。パラレル・モードでは、このピンは4ビットのパラレル利得制御コードのMSBです。パラレル・モード動作では、D_{OUT} (ピン9)へのデータがV⁺ (ピン12)より大きな電圧源からであれば、その電圧源とD_{OUT}のあいだに抵抗を接続してピン9への電流を5mA以下に制限します。

DGND (ピン8/ピン10): デジタル・グラウンド。

PARALLEL $\overline{\text{SERIAL}}$ (ピン9/ピン11): インタフェース選択入力。V⁺に接続すると、インタフェースはパラメータ・モードになります。つまり、PGAの利得はパラレル・コード(D3~D0)、つまり、 $\overline{\text{CS}}$ (D0)、DATA (D1)、CLK (D2)、およびD_{OUT} (D3)によって定まります。PARALLEL $\overline{\text{SERIAL}}$ ピンをV⁻に接続すると、PGAの利得はシリアル・インタフェースによって設定されます。

REF (ピン10/ピン13): PGAの電圧リファレンスの出力。

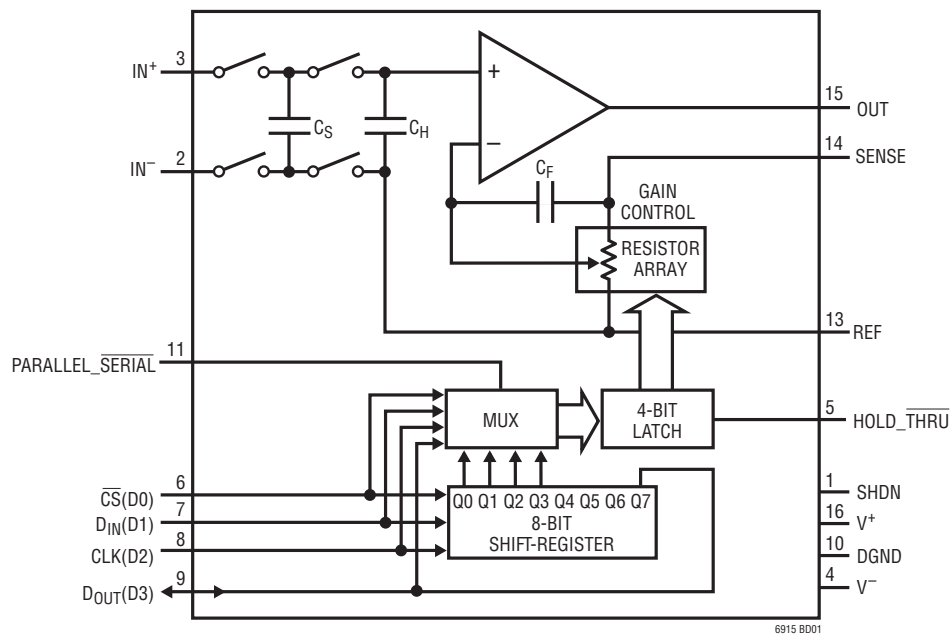
OUT (ピン11/ピン15): アンプ出力。OUTピンの標準的電流ソース/シンクは1mAです。利得誤差を最小にするには、負荷抵抗を1k以上にします(「標準的性能特性」のセクションの「出力電圧振幅と出力電流」と「利得誤差と負荷抵抗」を参照)。

V⁺ (ピン12/ピン16): 正電源。

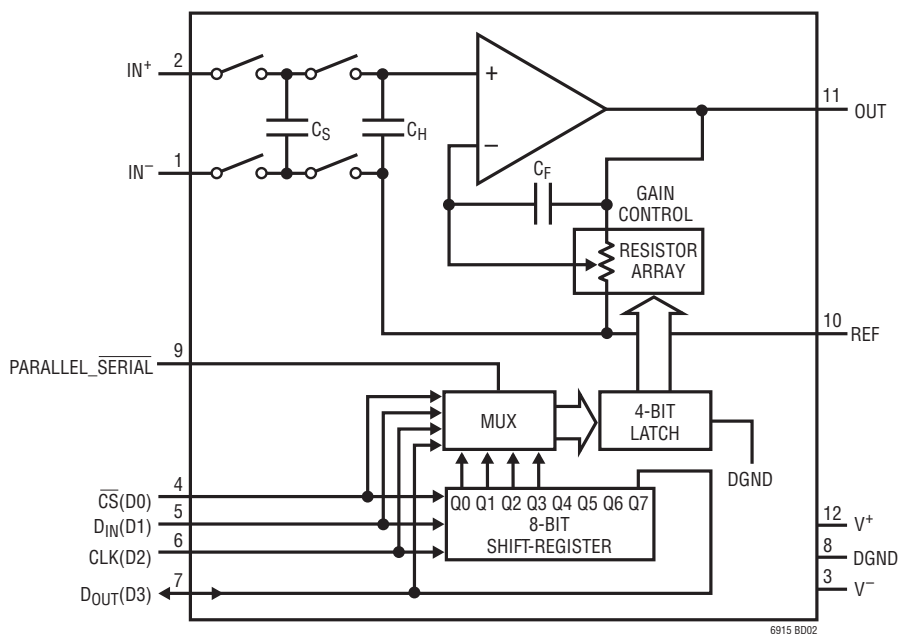
SENSE (ピン14、GNパッケージのみ): 検出ピン。PGAが低い抵抗負荷をドライブし、OUTピンと負荷のあいだの配線抵抗が無視できないとき、SENSEピンをできるだけ負荷に近づけて接続すると利得精度を改善することができます。

ブロック図

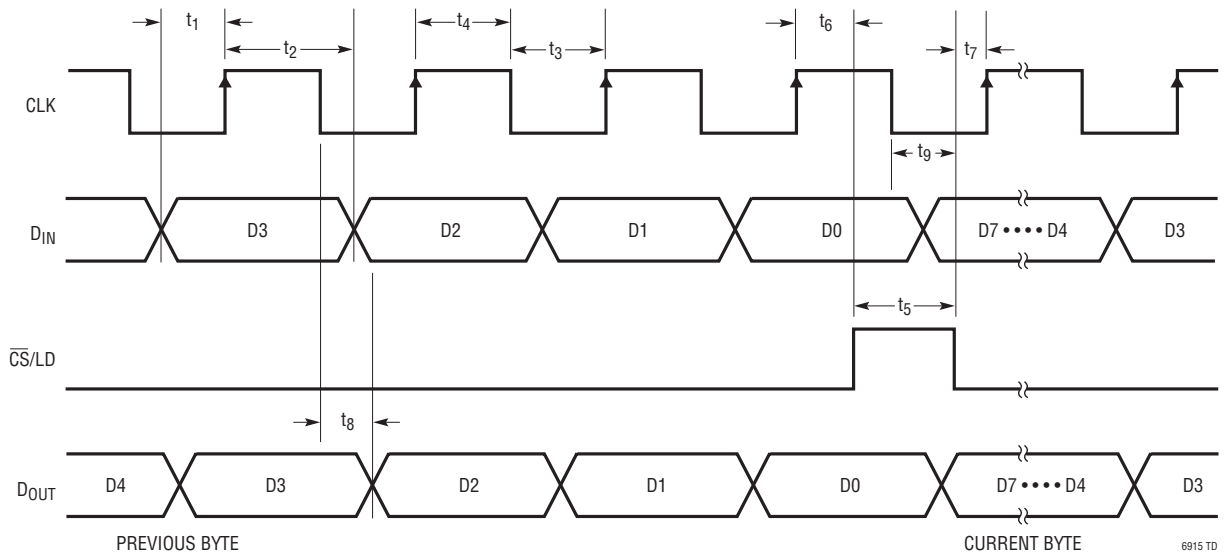
(GN パッケージのみ)



(DFN パッケージのみ)



タイミング図



動作

動作原理(ブロック図を参照)

LTC6915は内部コンデンサ(C_S)を使ってDC同相電圧に重ね合わされた差動入力信号をサンプリングします(サンプリング・レートは3kHz、入力スイッチ・オン抵抗は電源電圧に依存して1k~2k)。このコンデンサの電荷は2番目の内部ホールド・コンデンサ(C_H)に送られ、入力差動信号の同相電圧をREFピンの同相電圧に変換します。その結果得られる信号は非反転構成のゼロ・ドリフトのオペアンプによって増幅されます。アンプ内部の利得制御は整合した抵抗アレイの抵抗を切り替えておこなわれます。LTC6915には14レベルの利得が備わっており、パラレルまたはシリアル・インタフェースによって制御されます。帰還コンデンサCFはスイッチング・ノイズを減らすのに役立ちます。入力サンプリングにより、LTC6915は1.5kHz(3kHzのサンプリング周波数の半分)より大きな入力信号のエイリアシング誤差を生じることがあります。ただし、入力信号の帯域幅が1.5kHzより下に制限されている場合、LTC6915は利得をプログラム可能な計装アンプまたは差動からシングルエンドへのACアンプとして便利です。

パラレル・インタフェース

図1に示されているように、 $\overline{\text{PARALLEL_SERIAL}}$ を V^+ に接続すると、利得制御コードをパラレル・ライン(D3、D2、D1、D0)を通して設定することができます。 HOLD_THRU が“L”(DGNDを基準)またはフロート状態のとき、パラレル利得制御ビット(D3~D0)が直接PGAの利得を制御します。

HOLD_THRU が“H”のとき、パラレル利得制御ビットは4ビット・ラッチに読み込まれて保持されます。D3~D0がどんなに変化しても HOLD_THRU が“H”のときはPGAの利得に影響を与えません。DFN12パッケージには HOLD_THRU ピンがないことに注意してください。代わりに、それは内部でDGNDに接続されています。 DOUT (D3)ピンは双方向です(シリアル・モードでは出力、パラレル・モードでは入力)。パラレル・モードでは、 DOUT (D3)の電圧は V^+ を超えてはいけません。そうでないと、大きな電流が寄生ダイオードを通して V^+ に注入される可能性があります(図2を参照)。パラレル・モードが選択される場合、電流を制限するために DOUT (D3)ピンに10k抵抗を接続することを推奨します(図1を参照)。

シリアル・インタフェース

$\overline{\text{PARALLEL_SERIAL}}$ を V^- に接続すると、利得制御コードをシリアル・インタフェースを通して設定することができます。 $\overline{\text{CS}}$ が“L”のとき、 DIN のシリアル・データはクロックの立上りエッジでシフトされ、MSBを先頭にして8ビットのシフト・レジスタに取り込まれます(図3を参照)。 DOUT のシリアル・データはクロックの立下りエッジでシフトされて出力されます。 $\overline{\text{CS}}$ が“H”になると、シフト・レジスタの4LSBが4ビットのDラッチにロードされます。これらの4ビットが利得制御ビットです。 $\overline{\text{CS}}$ が“H”に引き上げられるとクロックは内部でディスエーブルされます。注記: 余分な内部クロック・パルスを避けるため、CLKは $\overline{\text{CS}}$ が“L”に引き下げられる前に“L”にしなければなりません。

動作

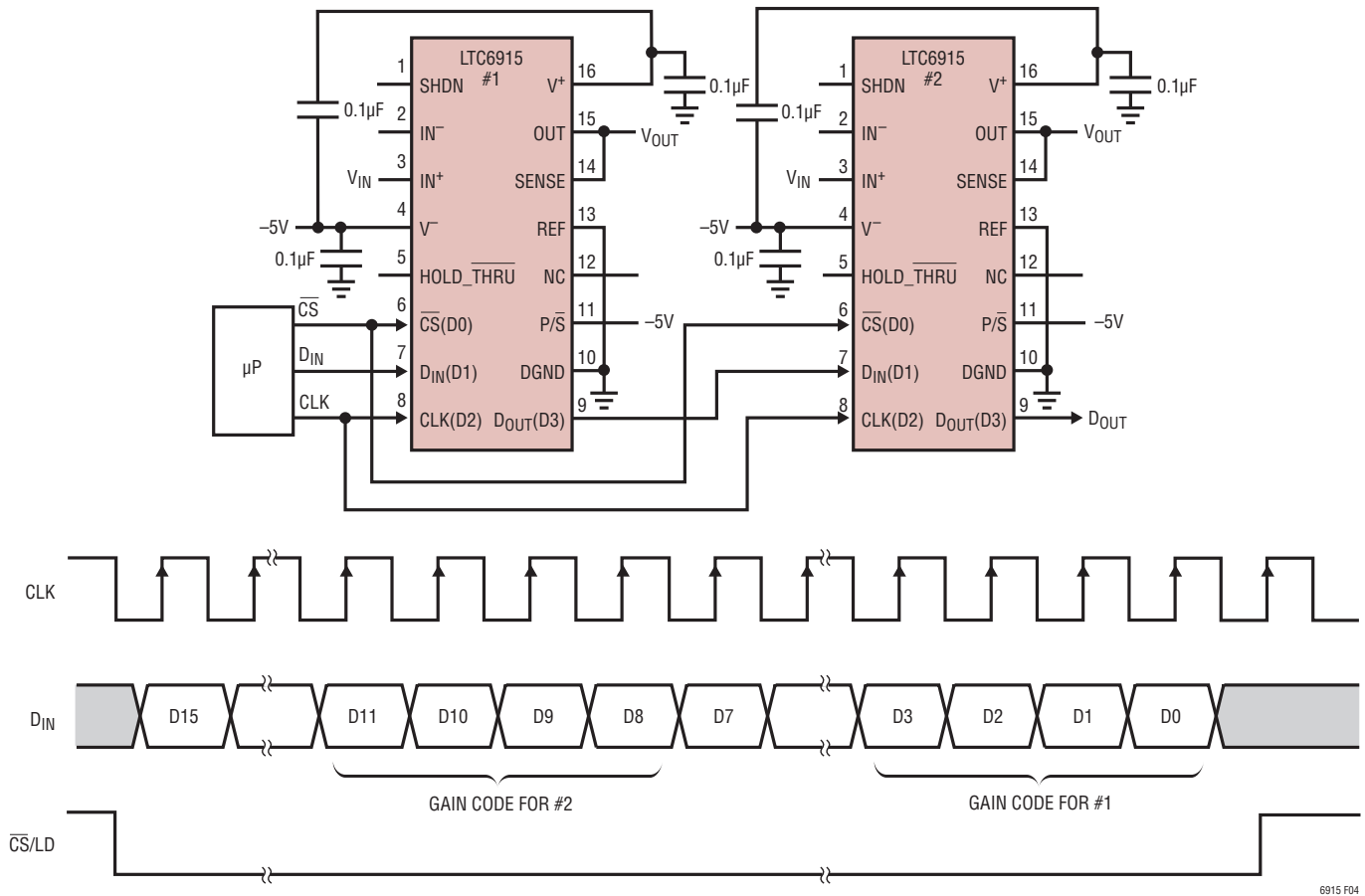


図4. デイジーチェーン接続された2個のPGA

アンプの利得は次のようにプログラムされます。

D3, D2, D1, D0	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101~1111
Gain	0	1	2	4	8	16	32	64	128	256	512	1024	2048	4096

入力電圧範囲

LTC6915の入力同相電圧範囲はレール・トゥ・レールです。ただし、次式により、差動入力電圧の大きさが制限されます。

$$V^- \leq (V_{IN}^+ - V_{IN}^-) + V_{REF} \leq V^+ - 1.3$$

ここで、 V_{IN}^+ と V_{IN}^- は差動入力ピンの電圧、 V^+ と V^- はそれぞれ正電源電圧と負電源電圧、 V_{REF} はREFピンの電圧です。さらに、 V_{IN}^+ と V_{IN}^- は両電源電圧を超えてはいけません。つまり、次のようにします。

$$V^- < V_{IN}^+ < V^+ \text{ and } V^- < V_{IN}^- < V^+$$

±5V動作

5.5Vを超える電源でLTC6915を使う場合、入力ピン(IN^+ または IN^-)とREFピンのあいだの最大差を5.5Vに制限する必要があります。つまり、次のようにします。

$$|V_{IN}^+ - V_{REF}| < 5.5 \text{ and } |V_{IN}^- - V_{REF}| < 5.5$$

そうしないと、デバイスが損傷を受けます。たとえば、電源が±5Vのときレール・トゥ・レール入力動作を望む場合、REFピンは0、±0.5Vにします。2番目の例として、 V^+ ピンが10V、 V^- ピンとREFピンが0ならば、入力5.5Vを超えないようにします。

動作

セトリング時間

サンプリング・レートは3kHzです。 C_S が入力差動電圧 V_{IN} まで充電される入力サンプリング時間は約150 μ sです。まず、各入力サンプリング時間内に C_S が V_{IN} まで完全に充電されると仮定します。 $C_S = C_H$ (= 1000pF)なので、入力電荷はNクロック・サイクル、つまり333 μ s (N)後に、オペアンプの非反転入力でNビットの精度までセトリングします。OUTピンのセトリング時間も、内部オペアンプによって影響を受けます。内部オペアンプの利得帯域幅は標準で200kHzなので、セトリング時間は100より小さい利得ではスイッチト・キャパシタ・フロントエンドによって支配されます(「標準的性能特性」のセクションの「低利得セトリング時間とセトリング精度」と「セトリング時間と利得」のグラフを参照)。さらに、デバイス・イネーブル後(GNパッケージのピン1がアクティブ“L”)のワーストケースのセトリング時間は、利得および入力セトリング時間(333 μ s $\cdot$ N)によるセトリングに等しくなります。たとえば、LTC6915がピン1のロジック“H”によってイネーブルされると、10ビットの精度(0.1%)と100に等しい利得に達する最大セトリング時間は8.33ms ([333 μ s $\cdot$ 1024] + 5ms)になります。

入力電流

差動入力 V_{IN} が変化するといつでも C_H は C_S を介して新しい入力電圧まで充電される必要があります。この結果、入力サンプリング期間ごとに入力充電電流が生じます。最終的には C_H と C_S は V_{IN} に達し、理想的には、入力電流はDC入力に対してゼロになります。

実際には、余分な寄生容量があり、 V_{IN} がDC電圧であっても、サイクルごとに C_S の電荷が乱されます。たとえば、 C_S のボトムプレートの寄生容量は、サイクルごとにREFピンの電圧からIN⁻ピンの電圧まで充電される必要があります。その結果生じる入力充電電流は、入力サンプリング期間ごとに $R_S C_S$ に等しい時定数で指数関数的に減衰します。これらの電流による電圧の乱れがサンプリング期間の終了する前にセトリングすれば、ソース抵抗またはIN⁺とIN⁻のあいだのソース抵抗の不整合による誤差は生じません。10kより小さな R_S では、入力電流の不整合によるDC誤差は生じません。

入力のゼロではないソース抵抗に起因する追加誤差を示す曲線が、このデータシートの「標準的性能特性」のセクションに示されています。入力間に大きなコンデンサが存在しなければ、ソース抵抗およびソース抵抗の不整合に対するアンプの感度は大きくありません。大きなコンデンサが入力間に置かれると、入力充電電流が入力間に流れます。この入力充電電流により、特にソース抵抗の不整合があると、大きなDC誤

差が生じます。

電源のバイパス

両電源動作では、0.1 μ Fのバイパス・コンデンサを各電源ピン(V^+ と V^-)からLTC6915を取り巻くアナログ・グラウンド・プレーンに接続します。バイパス・コンデンサから電源ピンへのトレースは0.2インチより短くする必要があります(X7RまたはX5Rのタイプのコンデンサを推奨します)。単電源動作では、 V^- ピンをアナログ・グラウンド・プレーンに接続し、 V^+ ピンをバイパスします。

シャットダウン・モード

このデバイスにはハードウェア・シャットダウンとソフトウェア・シャットダウンの2つのシャットダウン・モードがあります。SHDNを V^+ に接続するとデバイスはハードウェア・シャットダウン・モードになります。このシャットダウン・モードでは、利得設定のデジタル・インタフェース(シリアルまたはパラレル)とメイン・オペアンプの両方がディスエーブルされますので、PGAには非常に小さな電源電流しか流れません(「電気的特性」の表を参照)。SHDNがフロートしていると、内部電流源がそれを V^- に引き下げます。デジタル・インタフェースがオンして利得設定コードを読み込みます。利得制御コードが0000以外であればデバイスは通常の増幅モードになります。利得制御コードが0000であれば、デバイスはソフトウェア・シャットダウン・モードで動作します。つまり、メイン・オペアンプがオフするので、PGAの消費電力が減少します。DFNパッケージにはハードウェア・シャットダウン機能がありません。

REFピンの電圧の設定

REFピンから流れ出す電流はREFピンの基準電圧(V_{REF})に影響を与えることがあります。 V_{REF} が抵抗分割器によって設定されると、 V_{REF} 電圧は V_{OUT} 電圧の関数になります(図5を参照)。 V_{REF} の変動を最小に抑えるには、 R_1 と R_2 の合計を32kよりずっと小さくするか(5k以下)、または電圧リファレンスを使って V_{REF} を設定します。

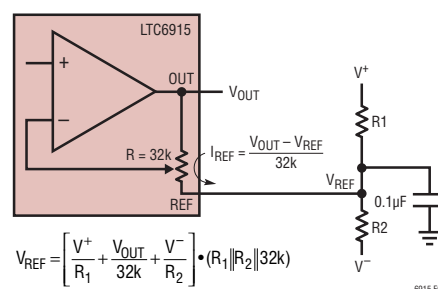


図5

6915fb

LTC6915

標準的応用例

2個のLTC6915の多重化

利得コード0000を一方のデバイスに送って、その出力を高インピーダンス状態に設定し、0000以外の利得コードを他方のデバイスに送って、それを通常の増幅モードに設定します。両方のデバイスがON状態であれば、200Ω抵抗が出力を保護します。センス・ピンの接続により、1k以上の負荷に対して利得精度が保たれます。

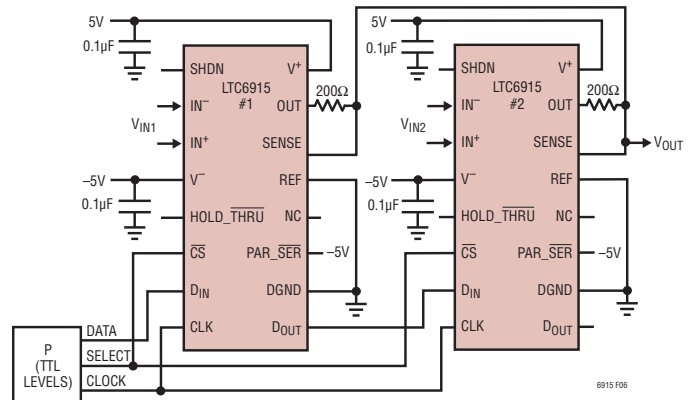
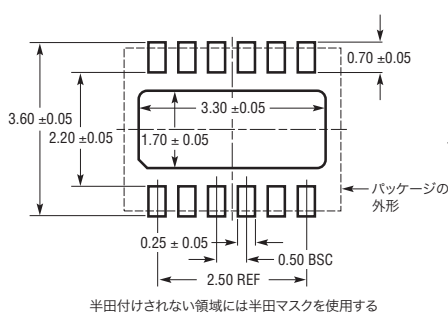


図6. デイジーチェーン接続された利得制御による2個のLTC6915の2:1多重化

パッケージ

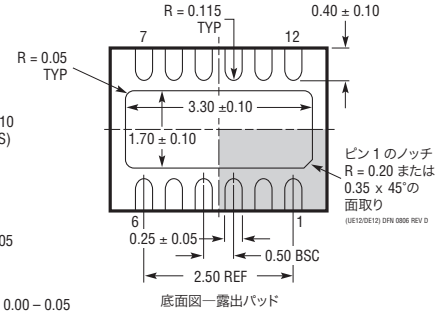
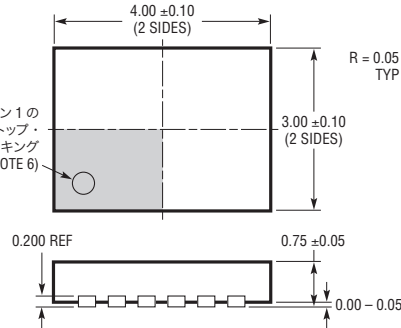
DE/UEパッケージ 12ピン・プラスチックDFN(4mm×3mm) (Reference LTC DWG # 05-08-1695 Rev D)



半田付けされない領域には半田マスクを使用する

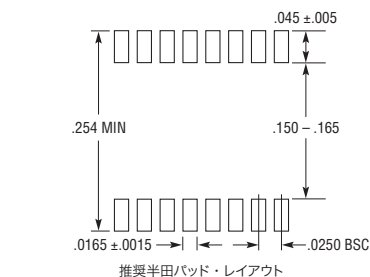
NOTE:

1. 図はJEDECのパッケージ外形MO-229のバリエーション(WGED)として提案。
2. 図は実寸とは異なる
3. すべての寸法はミリメートル

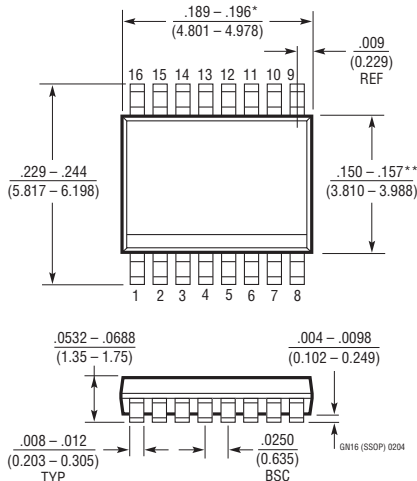
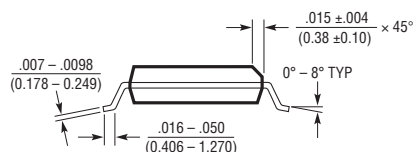


4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

GNパッケージ 16ピン・プラスチックSSOP(細型0.150インチ) (Reference LTC DWG # 05-08-1641)



推奨半田パッド・レイアウト



NOTE:

1. 標準寸法: インチ
2. 寸法は (ミリメートル)

3. 図は実寸とは異なる

*寸法にはモールドのバリを含まない。モールドのバリは各サイドで0.006" (0.152mm)を超えないこと

**寸法にはリード間のバリを含まない。リード間のバリは各サイドで0.010" (0.254mm)を超えないこと

改訂履歴 (改訂履歴は Rev B から開始)

REV	日付	概要	ページ番号
B	6/11	「電氣的特性」の PSRR の単位を改訂	5

標準的応用例

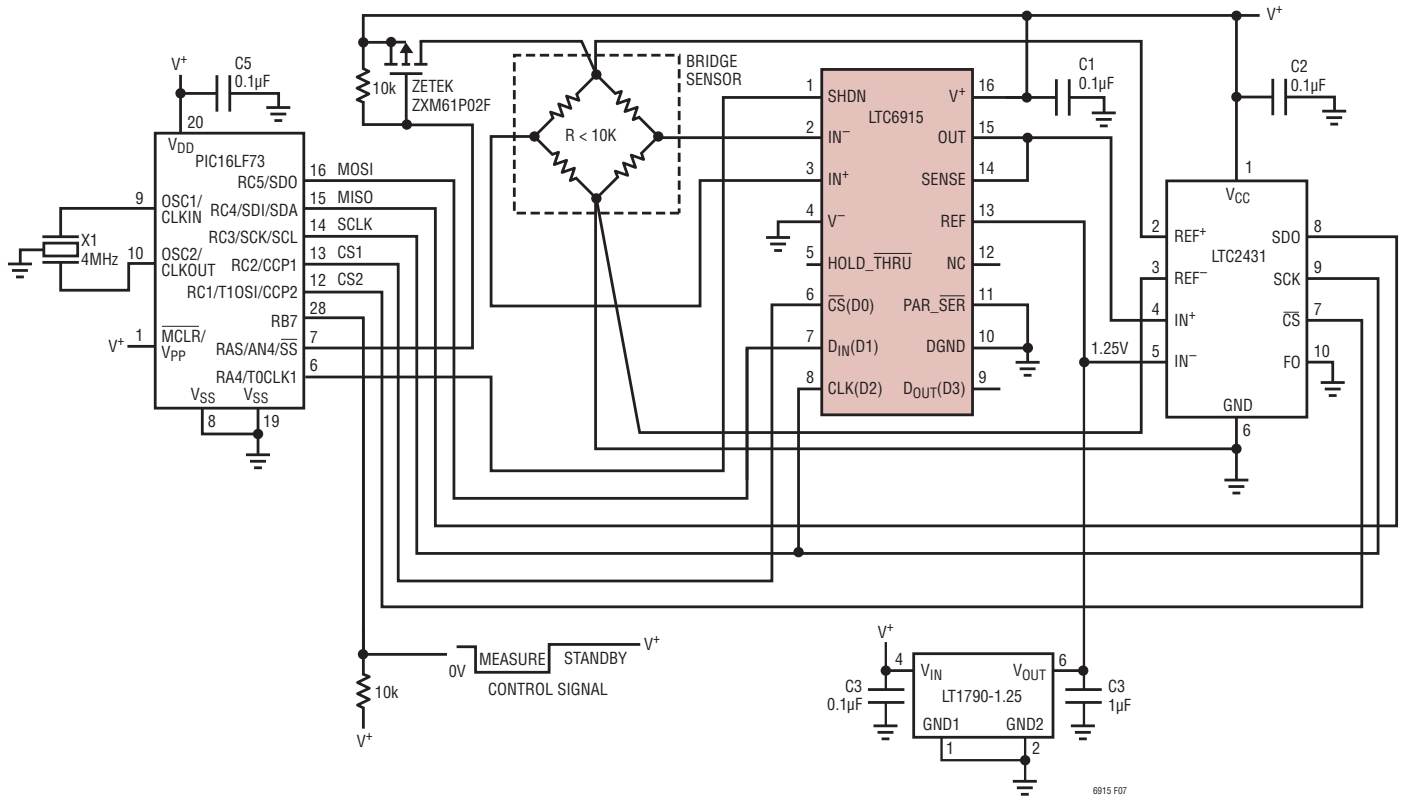


図7. 利得をプログラム可能なブリッジアンプとAD変換
(待機電流は100μA未満)

関連製品

製品番号	説明	注釈
LTC1043	デュアル高精度計装用 スイッチト・キャパシタ・ビルディング・ブロック	レール・トゥ・レール入力、120dB CMRR
LTC1100	高精度ゼロ・ドリフト計装アンプ	10または100の固定利得、オフセット:10μV、入力バイアス電流:50pA
LTC1101	単電源の高精度マイクロパワー計装アンプ	10または100の固定利得、 $I_S < 105\mu A$
LTC1167	抵抗1個で利得をプログラム可能な高精度計装アンプ	1個の抵抗で利得設定: $G = 1 \sim 10,000$ 、低ノイズ: $7.5nV/\sqrt{Hz}$
LTC1168	低消費電力、抵抗1個で利得をプログラム可能な 高精度計装アンプ	$I_S = 530\mu A$
LTC1789-1	単電源、レール・トゥ・レール出力、マイクロパワー計装 アンプ	$I_S = \text{最大 } 80\mu A$
LTC2050	ゼロ・ドリフトのオペアンプ	SOT-23 パッケージ
LTC2051	ゼロ・ドリフトのデュアル・オペアンプ	MS8 パッケージ
LTC2052	ゼロ・ドリフトのクワッド・オペアンプ	GN16 パッケージ
LTC2053	レール・トゥ・レール入出力、抵抗で利得をプログラム 可能なゼロ・ドリフト計装アンプ	MS8 パッケージ、 V_{OS} :最大10μV、ドリフト:最大50nV/°C
LTC6800	レール・トゥ・レール入出力、抵抗で利得をプログラム 可能な計装アンプ	MS8 パッケージ、 V_{OS} :最大100μV、ドリフト:最大250nV/°C