

SmartMesh WirelessHART ノード ワイヤレス・モート

ネットワークの特長

- 自己修復メッシュ・ネットワークを形成するための完全な無線トランシーバ、組み込みプロセッサ、およびネットワーク・ソフトウェア
- WirelessHART (IEC62591) 標準規格に準拠
- SmartMesh[®] ネットワークが実装する機能:
 - ネットワーク規模の時間同期式スケジューリング
 - 送信周波数ホッピング
 - 空間的冗長性のあるトポロジー
 - ネットワーク規模の信頼性と電力の最適化
 - NIST 認証済みのセキュリティ
- SmartMesh ネットワークが実現する性能:
 - 産業用アプリケーションでよくある最も厳しい動的な RF 環境で 99.999% 超のネットワーク信頼性を実現
 - ルーティング・ノードの電流が 50 μ A 未満

LTC5800-WHM の特長

- 業界最高レベルの低消費電力無線技術
 - パケット受信時: 4.5mA
 - 0dBm での送信時: 5.4mA
 - 8dBm での送信時: 9.7mA
- RF モジュール認証取得 PCB モジュール・バージョンを供給可能 (LTP[™] 5901/LTP5902-WHM)
- 2.4GHz、IEEE 802.15.4 システムオンチップ
- 72ピン 10mm \times 10mm QFN パッケージ

概要

SmartMesh WirelessHART ワイヤレス・センサ・ネットワークは、モートと呼ばれるワイヤレス・ノードから構築された自己管理式の低消費電力ネットワークです。LTC[®]5800-WHM は、IEEE 802.15.4 システムオンチップ (SoC) ソリューションの Eterna^{®*} ファミリーにおける WirelessHART Mote-on-Chip[™] IC で、Dust Networks[®] 社による集積度の高い低消費電力無線設計とともに、Dust 社の組み込み SmartMesh WirelessHART ネットワーク・ソフトウェアが動作する ARM Cortex-M3 32ビット・マイクロプロセッサを特長としています。

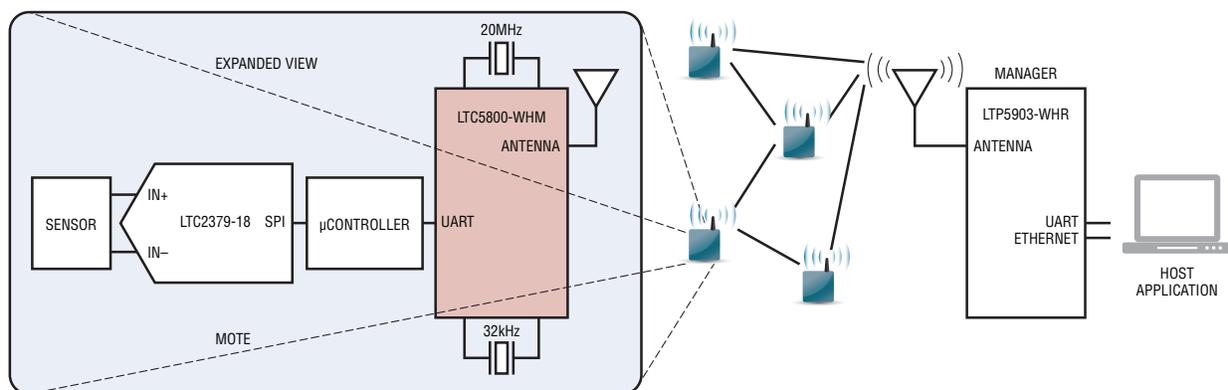
LTC5800-WHM SoC は、パワーアンプ (PA) とトランシーバを内蔵しているので、完全なワイヤレス・ノードを構築するのに必要なのは、電源のデカップリング、水晶発振器、整合回路付きのアンテナだけです。

Dust 社の時間同期 WirelessHART ネットワークでは、ネットワーク内のすべてのモートがデータのルーティング、送信、または終了処理を実行しながら、バッテリー電源で何年も動作できます。LTC5800-WHM に付属の SmartMesh WirelessHART ソフトウェアは、テストと検証が完全に行われており、ソフトウェアのアプリケーション・プログラミング・インタフェースを介して簡単に設定できます。

SmartMesh WirelessHART モートは信頼性の実績がある柔軟性の高いネットワークを実現し、組み込みが容易なプラットフォームで低消費電力性能を示します。

LT、LTC、LTM、Linear Technology、Linear のロゴ、Dust、Dust Networks、SmartMesh および Eterna はリニアテクノロジー社の登録商標です。LTP、Dust Networks のロゴ、および Mote-on-Chip はリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。7375594、7420980、7529217、7791419、7881239、7898322、8222965 を含む米国特許によって保護されています。* Eterna は Dust Networks の低消費電力無線 SoC アーキテクチャです。

標準的応用例



5800WHM TA01

5800whmf

目次

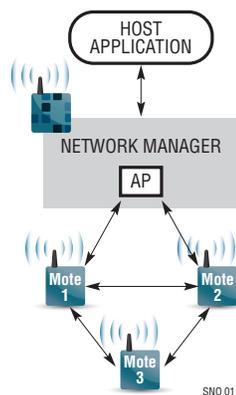
ネットワークの特長	1	動作.....	22
LTC5800-WHMの特長	1	電源	22
標準的応用例	1	電源モニタとリセット	23
概要.....	1	高精度のタイミング	23
SmartMeshネットワークの概要	3	アプリケーションの時間同期	23
絶対最大定格.....	4	時間基準	23
発注情報.....	4	無線	24
ピン配置	4	UART	24
推奨動作条件.....	5	自律MAC	25
DC特性	5	セキュリティ.....	25
無線規格.....	5	温度センサ.....	26
無線レシーバ特性	6	無線禁止	26
無線トランスミッタ特性	6	フラッシュのプログラミング	26
デジタルI/O特性.....	7	フラッシュのデータ保持	26
温度センサ特性	7	状態図	26
アナログ入力チェーン特性	7	アプリケーション情報	29
システム特性.....	8	法規制と標準規格の順守	29
UARTのAC特性	8	半田付け情報.....	29
TIMEnのAC特性.....	10	関連資料.....	30
Radio_InhibitのAC特性.....	10	パッケージ	31
フラッシュのAC特性	11	標準的応用例.....	32
フラッシュSPIスレーブのAC特性.....	11	関連製品.....	32
電気的特性.....	12		
標準的性能特性.....	13		
ピン機能	17		

SmartMesh ネットワークの概要

SmartMesh ネットワークは、データを収集して中継する自己形成型マルチホップ・メッシュ・ノード(モートと呼ばれるもの)と、ネットワークの性能およびセキュリティをモニタして管理し、ホスト・アプリケーションとデータを交換するネットワーク・マネージャで構成されます。

SmartMesh ネットワークは、Dust Networksが開発したタイムスロット・チャンネル・ホッピング(TSCH)リンク層を使用して通信します。TSCH ネットワークでは、ネットワーク内のすべてのモートが1ミリ秒以内に同期しています。ネットワーク内の時間は複数のタイムスロットに編成されるので、衝突のないパケット交換と送信毎のチャンネル・ホッピングが可能になります。SmartMesh ネットワークでは、すべてのデバイスに1つ以上の親(上位ノード)があり(たとえば、モート3には親としてモート1およびモート2があり)、干渉、物理的妨害、またはマルチパスフェージングに起因する通信の遮断を回避するための冗長経路を実現します。ある経路でパケット伝送が失敗した場合は、次の再伝送を別の経路および別のRFチャンネルで試行できます。

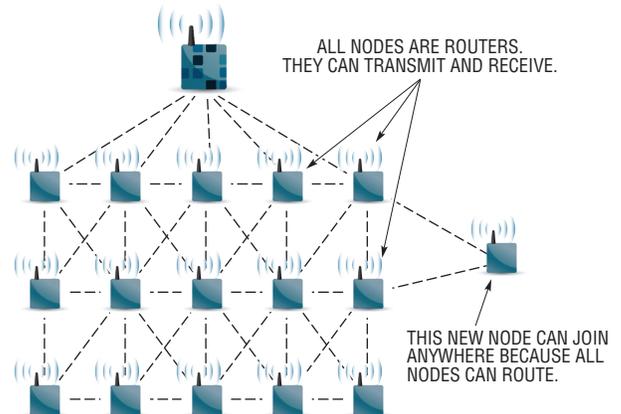
ネットワーク・マネージャがその内蔵アクセス・ポイント(AP)無線部に指示してアダプタイズメントの送信を開始すると、ネットワークが形成され始めます。アダプタイズメントとは、デバイスがネットワークに同期して参加を要求できるようにする情報が入っているパケットのことです。このメッセージ交換は、マネージャまたはアプリケーションとモートの間の暗号化通信を確立するセキュリティ・ハンドシェイクの一部です。モートはネットワークに参加すると、パケットのACKノリッジを受け取ったときの時間補正によって同期を維持します。



進行中のディスカバリ処理により、RFの状態が変化するのに応じてネットワークが新しい経路を絶えず検出します。さらに、ネットワーク内の各モート性能の統計情報(例:使用した経路の品質や潜在的経路のリスト)を追跡し、その情報を健全性レポートと呼ばれるパケットでネットワーク・マネージャに定期的送信します。ネットワーク・マネージャは健全性レポー

トを使用してネットワークを絶えず最適化し、最も厳しいRF環境でも99.999%を超えるデータ信頼性を維持します。

TSCHを使用すると、SmartMeshデバイスを予定される通信の間にスリープ状態にすることができるので、この状態では電力をほとんど消費せずに済みます。モートがアクティブ状態になるのは、モートによる送信または受信を予定しているタイムスロット内に限られるので、通常はデューティ・サイクルが1%未満になります。ネットワーク・マネージャ内の最適化ソフトウェアにより、このスケジュールは自動的に調整されます。低消費電力の無線システムであるEternaと組み合わせると、SmartMesh ネットワーク内のすべてのモートは、ルーティングが混雑したモートであっても、数年間はバッテリーで動作を継続できます。デフォルトでは、ネットワーク内のすべてのモートは他のモートからのトラフィックのルーティングが可能なので、別個のルータと非ルーティング・エンド・ノードという複雑な構造を回避することにより設置を簡素化しています。モートを非ルーティング・ノードとして構成し、その特定のモートの消費電力をさらに低減して、多種多様なネットワーク・トポロジーに対応できます。



SmartMesh モートとネットワーク・マネージャの中核をなすのは、Eterna IEEE 802.15.4e システムオンチップ(SoC)であり、Dust Networks社の集積度の高い低消費電力無線設計に加えて、SmartMesh ネットワーク・ソフトウェアが動作するARM Cortex-M3 32ビット・マイクロプロセッサを特長としています。SmartMesh ネットワーク・ソフトウェアは完全にコンパイルされた状態で付属していますが、豊富な一連のアプリケーション・プログラミング・インタフェース(API)を介して構成可能です。これらのAPIにより、ホスト・アプリケーションがネットワークと対話して(たとえば、情報をデバイスに転送して)、1つ以上のモートのデータ発行レートを設定したり、ネットワークの状態や性能測定基準をモニタすることができます。データの発行は均一でもデバイスごとに異なってもかまいません。モートによる発行頻度は、必要に応じて低頻度にするか1秒に1回より頻繁にすることができます。

5800whmf

LTC5800-WHM

絶対最大定格

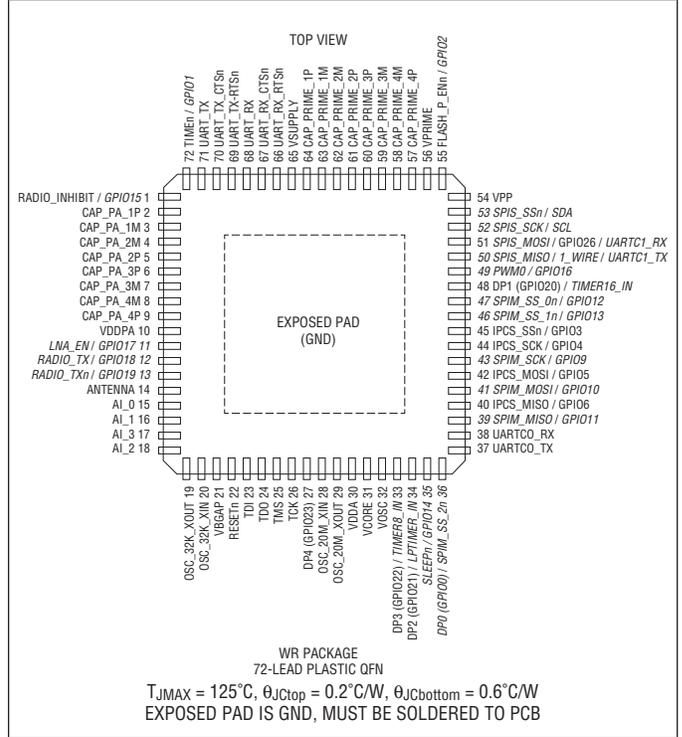
(Note 1)

VSUPPLYでの電源電圧	3.76V
AI_0/AI_1/AI_2/AI_3入力での入力電圧	1.80V
すべてのデジタルI/Oピンでの電圧	-0.3V ~ VSUPPLY + 0.3V
入力RFレベル	10dBm
保存温度範囲 (Note 3)	-55°C ~ 125°C
接合部温度 (Note 3)	125°C
動作温度範囲	
LTC5800I	-40°C ~ 85°C

注意: このデバイスは、静電放電 (ESD) の影響を受けやすい。LTC5800-WHMを取り扱う場合は、適切なESD予防策に使うことが非常に重要です。

ピン配置

イタリック体で表示しているピン機能は、現時点ではソフトウェアでサポートされていません。



発注情報

無鉛仕上げ	製品マーキング*	パッケージ	温度範囲
LTC5800IWR-WHMA#PBF	LTC5800WR-WHMA	72-Lead (10mm × 10mm × 0.85mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

この製品はトレイでのみ供給されます。詳細については、<http://www.linear-tech.co.jp/packaging/> をご覧ください。

推奨動作条件 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
VSUPPLY	Supply Voltage	Including Noise and Load Regulation	●	2.1		3.76	V
	Supply Noise	Requires Recommended RLC Filter, 50Hz to 2MHz	●			250	mV
	Operating Relative Humidity	Non-condensing	●	10		90	% RH
	Temperature Ramp Rate While Operating in Network		●	-8		+8	$^\circ\text{C}/\text{min}$

DC 特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。

OPERATION/STATE	CONDITIONS		MIN	TYP	MAX	UNITS
Reset	After Power-on Reset			1.2		μA
Power-on Reset	During Power-on Reset, Maximum 750 μs + VSUPPLY Rise Time from 1V to 1.9V			12		mA
Doze	RAM On, ARM Cortex-M3, Flash, Radio, and Peripherals Off, All Data and State Retained, 32.768kHz Reference Active			1.2		μA
Deep Sleep	RAM On, ARM Cortex-M3, Flash, Radio, and Peripherals Off, All Data and State Retained, 32.768kHz Reference Inactive			0.8		μA
In-Circuit Programming	RESETn and FLASH_P_ENn Asserted, IPCS_SCK at 8MHz			20		mA
Peak Operating Current +8dBm +0dBm	System Operating at 14.7MHz, Radio Transmitting, During Flash Write. Maximum duration 4.33 ms.			30 26		mA mA
Active	ARM Cortex M3, RAM and Flash Operating, Radio and All Other Peripherals Off. Clock Frequency of CPU and Peripherals Set to 7.3728MHz, V _{CORE} = 1.2V			1.3		mA
Flash Write	Single Bank Flash Write			3.7		mA
Flash Erase	Single Bank Page or Mass Erase			2.5		mA
Radio Tx +0dBm +8dBm	Current With Autonomous MAC Managing Radio Operation, CPU Inactive. Clock Frequency of CPU and Peripherals Set to 7.3728MHz.			5.4 9.7		mA mA
Radio Rx	Current With Autonomous MAC Managing Radio Operation, CPU Inactive. Clock Frequency of CPU and Peripherals Set to 7.3728MHz.			4.5		mA

無線規格 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Frequency Band		●	2.4000		2.4835	GHz
Number of Channels		●		15		
Channel Separation		●		5		MHz
Channel Center Frequency	Where k = 11 to 25, as Defined by IEEE.802.4.15	●		$2405 + 5 \cdot (k-11)$		MHz
Raw Data Rate		●		250		kbps
Antenna Pin ESD Protection	HBM Per JEDEC JESD22-A114F			± 1000		V
Range (Note 4) Indoor Outdoor Free Space	25 $^\circ\text{C}$, 50% RH, +2dBi Omni-Directional Antenna, Antenna 2m Above Ground			100 300 1200		m m m

LTC5800-WHM

無線レシーバ特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Receiver Sensitivity	Packet Error Rate (PER) = 1% (Note 5)		-93		dBm
Receiver Sensitivity	PER = 50%		-95		dBm
Saturation	Maximum Input Level the Receiver Will Properly Receive Packets		0		dBm
Adjacent Channel Rejection (High Side)	Desired Signal at -82dBm, Adjacent Modulated Channel 5MHz Above the Desired Signal, PER = 1% (Note 5)		22		dBc
Adjacent Channel Rejection (Low Side)	Desired Signal at -82dBm, Adjacent Modulated Channel 5MHz Below the Desired Signal, PER = 1% (Note 5)		19		dBc
Alternate Channel Rejection (High Side)	Desired Signal at -82dBm, Alternate Modulated Channel 10MHz Above the Desired Signal, PER = 1% (Note 5)		40		dBc
Alternate Channel Rejection (Low Side)	Desired Signal at -82dBm, Alternate Modulated Channel 10MHz Below the Desired Signal, PER = 1% (Note 5)		36		dBc
Second Alternate Channel Rejection	Desired Signal at -82dBm, Second Alternate Modulated Channel Either 15MHz Above or Below, PER = 1% (Note 5)		42		dBc
Co-Channel Rejection	Desired Signal at -82dBm, Undesired Signal is an 802.15.4 Modulated Signal at the Same Frequency, PER = 1%		-6		dBc
LO Feed Through			-55		dBm
Frequency Error Tolerance (Note 6)			± 50		ppm
Symbol Error Tolerance			± 50		ppm
Received Signal Strength Indicator (RSSI) Input Range			-90 to -10		dBm
RSSI Accuracy			± 6		dB
RSSI Resolution			1		dB

無線トランスミッタ特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Output Power High Calibrated Setting Low Calibrated Setting	Delivered to a 50 Ω Load		8 0		dBm dBm
Spurious Emissions 30MHz to 1000MHz 1GHz to 12.75GHz 2.4GHz ISM Upper Band Edge (Peak) 2.4GHz ISM Upper Band Edge (Average) 2.4GHz ISM Lower Band Edge	Conducted Measurement with a 50 Ω Single-Ended Load, +8dBm Output Power. All Measurements Made with Max Hold. RF Implementation Per Eterna Reference Design $R_{\text{BW}} = 120\text{kHz}$, $V_{\text{BW}} = 100\text{Hz}$ $R_{\text{BW}} = 1\text{MHz}$, $V_{\text{BW}} = 3\text{MHz}$ $R_{\text{BW}} = 1\text{MHz}$, $V_{\text{BW}} = 3\text{MHz}$ $R_{\text{BW}} = 1\text{MHz}$, $V_{\text{BW}} = 10\text{Hz}$ $R_{\text{BW}} = 100\text{kHz}$, $V_{\text{BW}} = 100\text{kHz}$		<-70 -45 -37 -49 -45		dBm dBm dBm dBm dBc
Harmonic Emissions 2nd Harmonic 3rd Harmonic	Conducted Measurement Delivered to a 50 Ω Load, Resolution Bandwidth = 1MHz, Video Bandwidth = 1MHz, RF Implementation Per Eterna Reference Design		-50 -45		dBm dBm

デジタルI/O特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS (Note 7)	MIN	TYP	MAX	UNITS
V_{IL}	Low Level Input Voltage		●	-0.3	0.6	V
V_{IH}	High Level Input Voltage	(Note 8)	●	$V_{\text{SUPPLY}} - 0.3$	$V_{\text{SUPPLY}} + 0.3$	V
V_{OL}	Low Level Output Voltage	Type 1, $I_{\text{OL(MAX)}} = 1.2\text{mA}$	●		0.4	V
	Low Level Output Voltage	Type 2, Low Drive, $I_{\text{OL(MAX)}} = 2.2\text{mA}$	●		0.4	V
	Low Level Output Voltage	Type 2, High Drive, $I_{\text{OL(MAX)}} = 4.5\text{mA}$	●		0.4	V
V_{OH}	High Level Output Voltage	Type 1, $I_{\text{OH(MAX)}} = -0.8\text{mA}$	●	$V_{\text{SUPPLY}} - 0.3$	$V_{\text{SUPPLY}} + 0.3$	V
	High Level Output Voltage	Type 2, Low Drive, $I_{\text{OH(MAX)}} = -1.6\text{mA}$	●	$V_{\text{SUPPLY}} - 0.3$	$V_{\text{SUPPLY}} + 0.3$	V
	High Level Output Voltage	Type 2, High Drive, $I_{\text{OH(MAX)}} = -3.2\text{mA}$	●	$V_{\text{SUPPLY}} - 0.3$	$V_{\text{SUPPLY}} + 0.3$	V
	Input Leakage Current	Input Driven to V_{SUPPLY} or GND		50		nA
	Pull-Up/Pull-Down Resistance			50		k Ω

温度センサ特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Offset	Temperature Offset Error at 25°C		± 0.25		$^\circ\text{C}$
Slope Error			± 0.033		$^\circ\text{C}/^\circ\text{C}$

アナログ入力チェーン特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。
注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
	Variable Gain Amplifier Gain Gain Error		1		8 2	%	
DNL	Offset-Digital to Analog Converter (DAC) Full-Scale Resolution Differential Non-Linearity			1.80 4		V Bits mV	
	DNL INL	Analog to Digital Converter (ADC) Full-Scale, Signal Resolution Offset Differential Non-Linearity	Mid-Scale	1.80 1.8 1.4		12 1	V mV LSB
		Integral Non-Linearity Settling Time Conversion Time Current Consumption	10k Ω Source Impedance			1 10 20 40	LSB μs μs μA
	Analog Inputs (Note 9) Load Series Input Resistance			20 1		pF k Ω	

LTC5800-WHM

システム特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
	Doze to Active State Transition			5		μs
	Doze to Radio Tx or Rx			1.2		ms
Q_{CCA}	Charge to Sample RF Channel RSSI	Charge Consumed Starting from Doze State and Completing an RSSI Measurement		4		μC
Q_{MAX}	Largest Atomic Charge Operation	Flash Erase, 21ms Max Duration	●		200	μC
	RESETn Pulse Width		●	125		μs

UARTのAC特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。(Note 13)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
	Permitted Rx Baud Rate Error	Both Application Programming Interface (API) and Command Line Interface (CLI) UARTs	●	-2	2	%
	Generated Tx Baud Rate Error	Both API and CLI UARTs	●	-1	1	%
$t_{\text{RX_RTS to RX_CTS}}$	Assertion of UART_RX_RTSn to Assertion of UART_RX_CTSn, or Negation of UART_RX_RTSn to Negation of UART_RX_CTSn		●	0	2	ms
$t_{\text{CTS_R to RX}}$	Assertion of UART_RX_CTSn to Start of Byte		●	0	20	ms
$t_{\text{EOP to RX_RTS}}$	End of Packet (End of the Last Stop Bit) to Negation of UART_RX_RTSn		●	0	22	ms
$t_{\text{BEG_TX_RTS to TX_CTS}}$	Assertion of UART_TX_RTSn to Assertion of UART_TX_CTSn		●	0	22	ms
$t_{\text{END_TX_RTS to TX_CTS}}$	Negation of UART_TX_RTSn to Negation of UART_TX_CTSn	Mode 2 Only			22	ms
$t_{\text{END_TX_CTS to TX_RTS}}$	Negation of UART_TX_CTSn to Negation of UART_TX_RTSn	Mode 4 Only		2		Bit Period
$t_{\text{TX_CTS to TX}}$	Assertion of UART_TX_CTSn to Start of Byte		●	0	2	Bit Period
$t_{\text{EOP to TX_RTS}}$	End of Packet (End of the Last Stop Bit) to Negation of UART_TX_RTSn		●	0	1	Bit Period
$t_{\text{RX_INTERBYTE}}$	Receive Inter-Byte Delay		●		100	ms
$t_{\text{TX to TX_CTS}}$	Start of Byte to Negation of UART_TX_CTSn		●	0		ns

UARTのAC特性

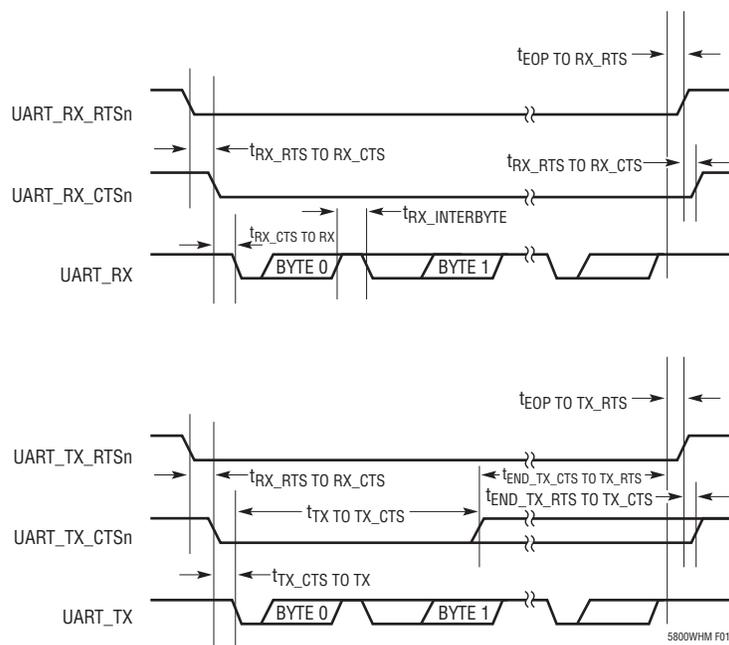


図1.API UARTのタイミング

TIMEnのAC特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。(Note 13)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{STROBE}	TIMEn Signal Strobe Width		●	125		μs
t_{RESPONSE}	Delay from Rising Edge of TIMEn to the Start of Time Packet on API UART		●	0	100	ms
$t_{\text{TIME_HOLD}}$	Delay from End of Time Packet on API UART to Falling Edge of Subsequent TIMEn		●	0		ns
	Timestamp Resolution (Note 10)		●	1		μs
	Network-Wide Time Accuracy (Note 11)		●	± 5		μs

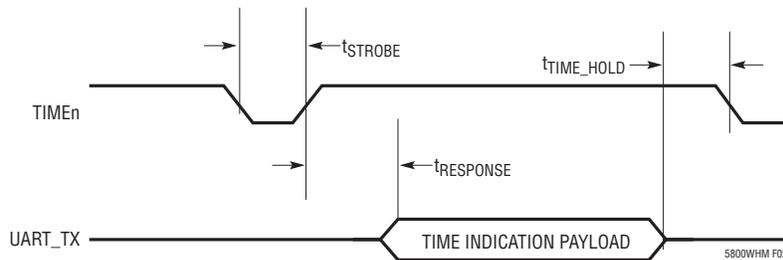


図2. タイムスタンプのタイミング

Radio_InhibitのAC特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。(Note 13)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$t_{\text{RADIO_OFF}}$	Delay from Rising Edge of RADIO_INHIBIT to Radio Disabled		●		20	ms
$t_{\text{RADIO_INHIBIT_STROBE}}$	Maximum RADIO_INHIBIT Strobe Width		●		2	s

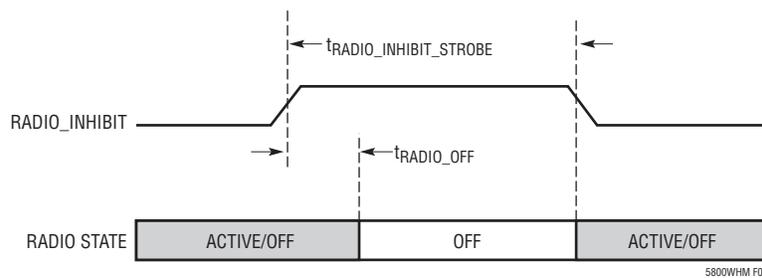


図3. RADIO_INHIBITのタイミング

フラッシュのAC特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。(Note 13)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{WRITE}	Time to Write a 32-Bit Word (Note 12)		●		21	μs
$t_{\text{PAGE_ERASE}}$	Time to Erase a 2kB Page (Note 12)		●		21	ms
$t_{\text{MASS_ERASE}}$	Time to Erase 256kB Flash Bank (Note 12)		●		21	ms
	Data Retention	25°C 85°C 105°C		100 20 8		Years Years Years

フラッシュSPIスレーブのAC特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{\text{SUPPLY}} = 3.6\text{V}$ 。(Note 13)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$t_{\text{FP_EN_to_RESET}}$	Setup from Assertion of FLASH_P_ENn to Assertion of RESETn		●	0		ns
$t_{\text{FP_ENTER}}$	Delay from the Assertion of RESETn to the First Falling Edge of IPCS_SSn		●	125		μs
$t_{\text{FP_EXIT}}$	Delay from the Completion of the Last Flash SPI Slave Transaction to the Negation of RESETn and FLASH_P_ENn (Note 13)		●	10		μs
t_{SSS}	IPCS_SSn Setup to the Leading Edge of IPCS_SCK		●	15		ns
t_{SSH}	IPCS_SSn Hold from Trailing Edge of IPCS_SCK		●	15		ns
t_{CK}	IPCS_SCK Period		●	50		ns
t_{DIS}	IPCS_MOSI Data Setup		●	15		ns
t_{DIH}	IPCS_MOSI Data Hold		●	5		ns
t_{DOV}	IPCS_MISO Data Valid		●	3		ns
t_{OFF}	IPCS_MISO Data Tri-State		●	0	30	ns

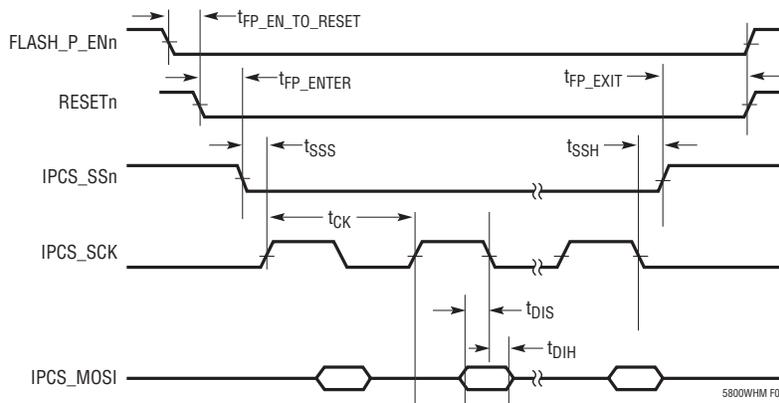


図4. フラッシュのプログラミング・インタフェースのタイミング

電気的特性

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: ESD (静電気放電)の影響を受けやすいデバイス。ESD 保護デバイスは Eterna の内部に広範囲にわたって使用されている。ただし、高電圧の静電気放電はデバイスを損傷または劣化させる可能性がある。ESD 取り扱いの適切な予防策を講じること。

Note 3: Eterna の校正データのデータ保持に悪影響を及ぼすので、高温での長期保存は避けること。詳細は「[フラッシュのデータ保持](#)」のセクションを参照。

Note 4: 実際の RF 範囲は設置に固有の変数の数によって異なる。変数には、周囲温度、相対湿度、活動状態の干渉源の存在、見通し線の遮断障害物、マルチパスフェージングを誘発する可能性がある物体(樹木、壁面、看板など)が近くに存在するかどうかを含むが、それに限定されない。このため、範囲は変化する。

Note 5: IEEE Std.802.15.4-2006:Wireless Medium Access Control (MAC) and Physical Layer (PHY) Specifications for Low-Rate Wireless Personal Area Networks (LR-WPANs) <http://standards.ieee.org/findstds/standard/802.15.4-2011.html> の規定に基づく。

Note 6: IEEE Std.802.15.4-2006 では、トランスミッタが ± 40 ppm より優れた周波数の許容範囲を維持することを要求している。

Note 7: ピンごとの IO (入出力)タイプは「[ピン機能](#)」セクションに示す。

Note 8: VIH の最大入力電圧は VSUPPLY の最大電圧規格を基準にする必要がある。

Note 9: A/D コンバータのアナログ入力はコンデンサに直列接続した抵抗としてモデル化できる。最低でも、アナログ入力を駆動する信号の信号源インピーダンスを含む回路全体をサンプリング期間内に $\frac{1}{4}$ LSB 以内に安定化するように設計して、A/D コンバータの性能に適合させる必要がある。

Note 10: 時間指示の通知定義については、『[SmartMesh WirelessHART API Guide](#)』を参照。

Note 11: ネットワーク時間の精度は統計上の基準であり、全温度範囲で変化し、ネットワーク内でのマネージャを基準にしたデバイスの位置およびレートを通知する。詳細な説明については、「[標準的性能特性](#)」セクションを参照。

Note 12: 書き込みまたは消去対象コードのフラッシュ・バンクからの実行は、フラッシュ動作が完了するまで一時停止する。

Note 13: 設計により保証されている。量産時にはテストされない。

標準的性能特性

ネットワーク・モートは、通常、マネージャを送信先とするトラフィックを2つ以上の親を経由して送ります。図5に示す電源電流のグラフには、子孫(下位ノード)と呼ばれるパラメータが記載されています。これらのグラフでは、子孫という用語はトラフィックで重み付けされた子孫の省略形であり、すべてのネットワーク・トラフィックが該当モートに送信されたと仮定した場合、子孫の数と等価な活動量を指します。通常、1つの親の子孫の数は、トラフィックで重み付けされた子孫の数より多数(通常は2倍以上)です。たとえば、図6を参照すると、モートP1のトラフィックで重み付けされた子孫の数は0.75です。この値を得るには、モートD1はそのパケットの半分をモートP1を経由して転送するので、トラフィックで重み付けされた子孫の値に0.5が加算されることに注意してください。D1の残りの半分のトラフィックは別の親(P2)を経由して転送されます。モートD2はそのパケットの半分をモートD1を経由して(残りの半分は親P3を経由して)転送するので、そのパケットの半分はモートP1に転送されることが分かり、トラフィックで重み付けされた子孫の値にさらに0.25を加算して、トラフィックで重み付けされた子孫の合計値は0.75になります。

「アプリケーションの時間同期」セクションで説明したように、Eternaは、アプリケーションがネットワーク全体にわたって時間基準を維持するための2つの仕組みを備えています。以下に示す同期性能のグラフは、より高精度のTIME_n入力を使用して作成されました。発行レートは、モート・アプリケーションが上流のデータを送信する速度です。発行レートが高くなるにつれて同期は改善されます。基準線となる同期性能は、発行レートがゼロで動作するネットワークに対して与えられます。ネットワークでのアプリケーションの実際の性能は、

発行レートが高くなるにつれて向上します。すべての同期テストは、恒温槽の内部で1ホップのモートを使って行われました。したがって、ネットワーク・マネージャとこのモートの間、およびこのモートとその子孫の間の両方の温度変化と温度差に起因するタイミング誤差は、ネットワークを通じて伝播します。このため、3ホップと5ホップのモートとマネージャとの同期は、モートが室温であっても温度の傾斜に影響されました。2°C/分のテストでは、恒温槽の温度が-40°C~85°Cの間を24時間にわたってこのレートでサイクルさせました。8°C/分のテストでは、恒温槽の温度が85°C~45°Cの間を8時間にわたって急速にサイクルし、その後-5°C~45°Cの間を8時間、最後に-40°C~15°Cの間を8時間急速にサイクルしました。

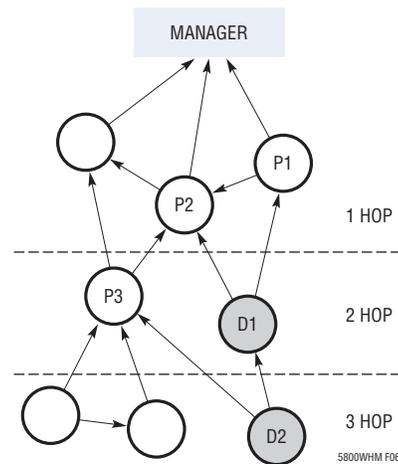


図6. ネットワーク例のグラフ

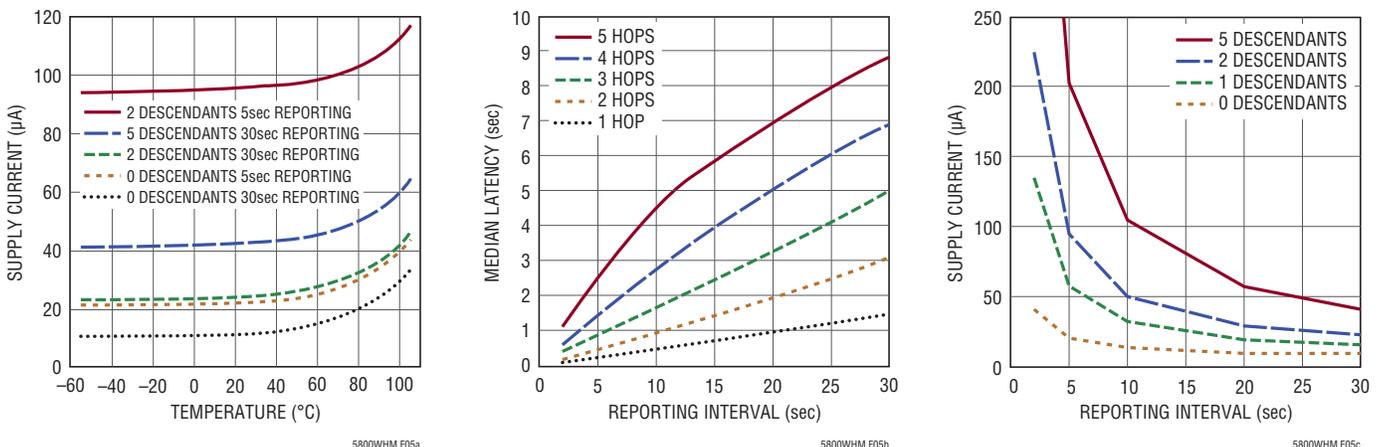
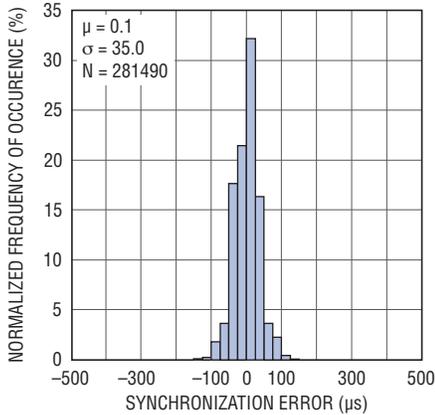


図5

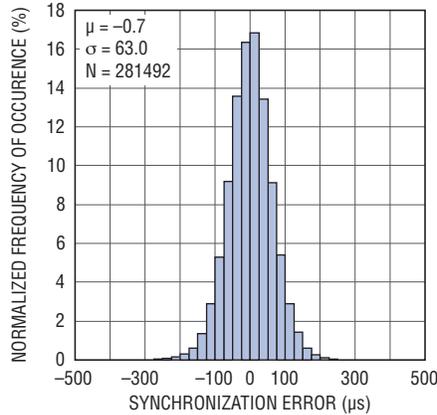
標準的性能特性

**TIMEnの同期誤差、
0パケット/秒の発行レート、
1ホップ、室温**



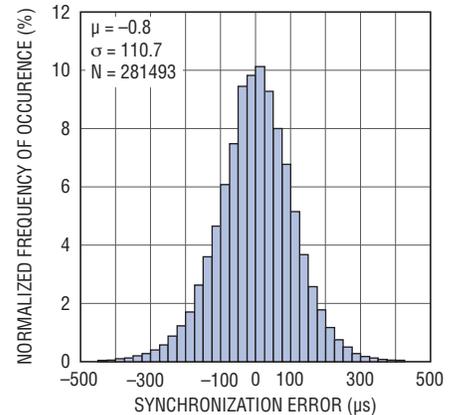
5800WHM G01

**TIMEnの同期誤差、
0パケット/秒の発行レート、
3ホップ、室温**



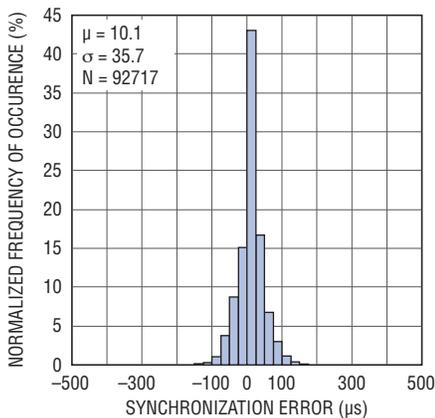
5800WHM G02

**TIMEnの同期誤差、
0パケット/秒の発行レート、
5ホップ、室温**



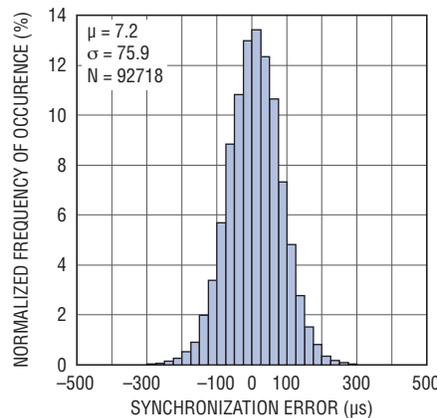
5800WHM G03

**TIMEnの同期誤差、
0パケット/秒の発行レート、
1ホップ、2°C/分**



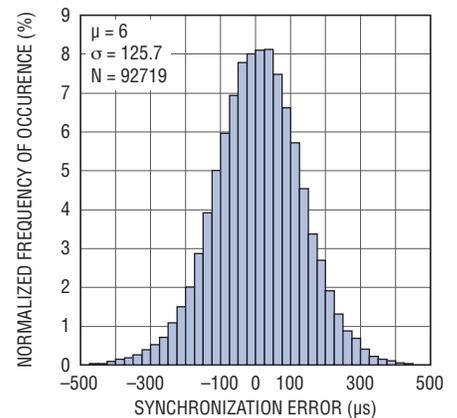
5800WHM G04

**TIMEnの同期誤差、
0パケット/秒の発行レート、
3ホップ、2°C/分**



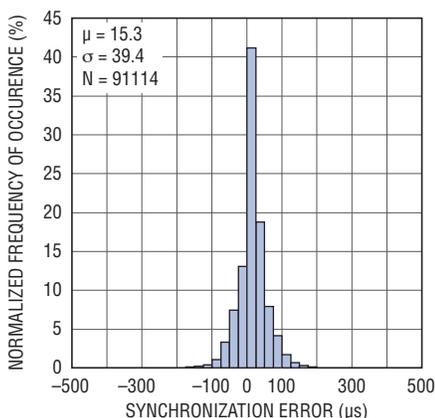
5800WHM G05

**TIMEnの同期誤差、
0パケット/秒の発行レート、
5ホップ、2°C/分**



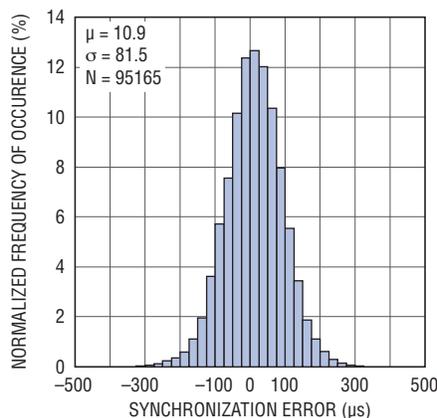
5800WHM G06

**TIMEnの同期誤差、
0パケット/秒の発行レート、
1ホップ、8°C/分**



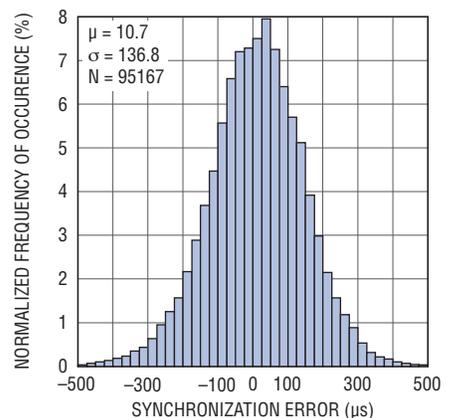
5800WHM G07

**TIMEnの同期誤差、
0パケット/秒の発行レート、
3ホップ、8°C/分**



5800WHM G08

**TIMEnの同期誤差、
0パケット/秒の発行レート、
5ホップ、8°C/分**



5800WHM G09

5800whmf

標準的性能特性

「SmartMesh ネットワークの概要」セクションで説明したように、ネットワーク内のデバイスはその大半の時間を消費電力が最も低い非活動状態（ドーズ状態）で費やされます。同期スケジュールでは、モートが起動して他のモートと通信します。起動、機能の実行、スリープ状態への帰還を行う定常的な一連の動作はアトミック（不可分）とみなされます。有効な機能を実行している間、一連のイベントをそれより小さなイベントに分割できないので、これらの動作はアトミックとみなされます。たとえば、無線を介したパケットの伝送はアトミック動作です。アトミック動作は電荷またはエネルギーで特性が評価されます。モートがパケットを正常に送信したタイムスロットでは、メッセージ送信前の準備、メッセージの送信、アクリッジの受信、およびメッセージの送信結果として必要な後処理がアトミック送信に含まれます。同様に、モートがパケットを正常に受信したタイムスロットでは、リスニング前の準備、パケット伝送開始までのリスニング、パケットの受信、アクリッジの送信、およびパケットの到着によって必要になった後処理がアトミック受信に含まれます。

信頼性を確保するため、ネットワーク内の各モートは、形式上モートが送信して転送するパケットごとに複数のタイムスロットに用意されます。タイムスロットは、2つ以上の異なるモートと上流で（マネージャへ向かって）通信するために割り当てられます。周波数ホッピングと組み合わせた場合、一時的、空間的、およびスペクトルの冗長性が得られます。送信側のモートはタイムスロットを使用しないので、このアプローチを想定すると、モートは決して受信しないメッセージを対象にリスニングすることが多くなります。このモートは既にパケットを正常に転送しています。通常は送信または転送される1つのパケットごとに3つのタイムスロットが予定されるので、モートがこれらのアトミック「アイドル・リスニング」を実行する回数は、アトミック送信シーケンスまたはアトミック受信シーケンスの回数より多くなります。送信、受信、およびアイドル・リスニング・アトミック動作の例を図7に示します。

標準的性能特性

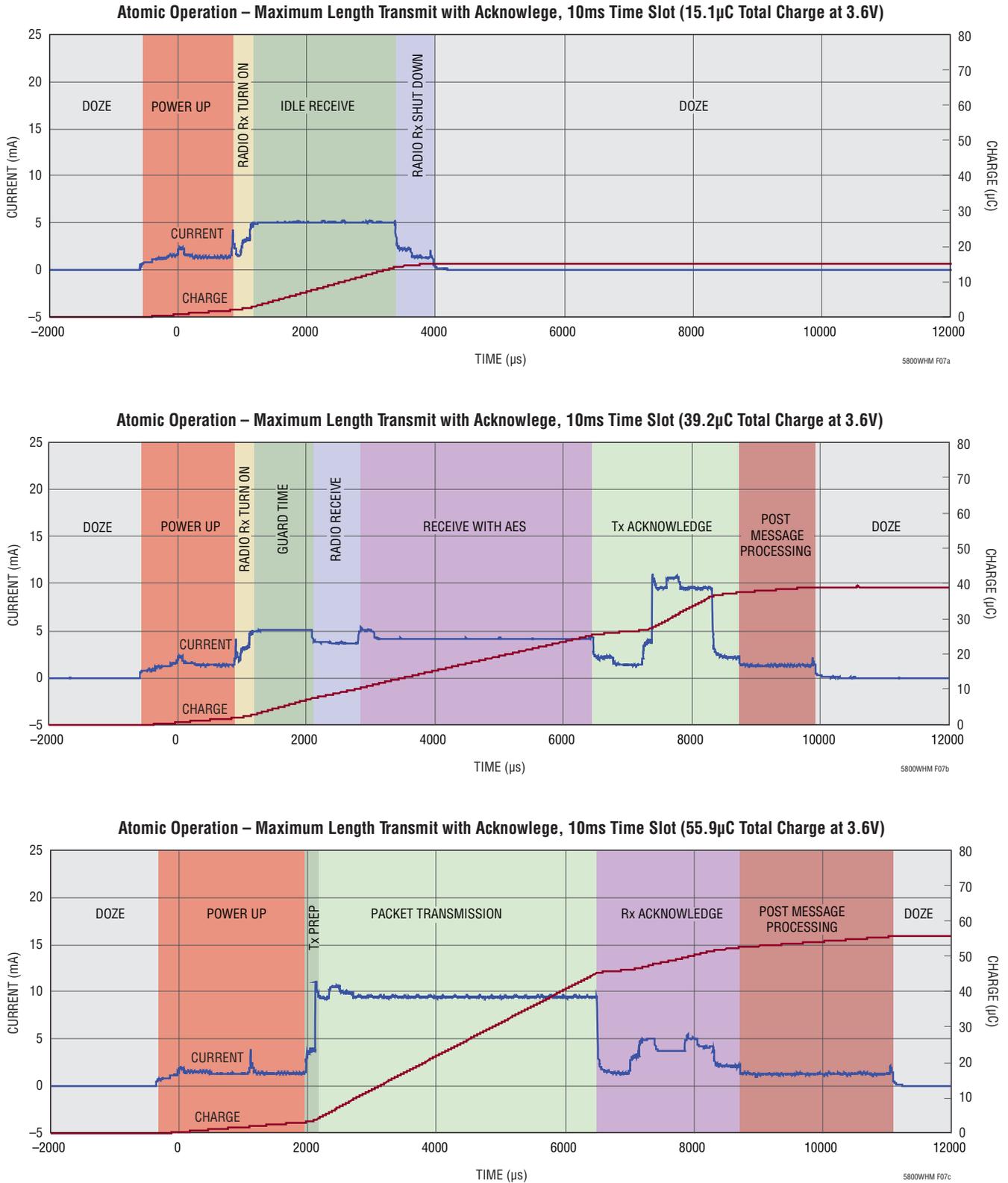


图7

ピン機能 イタリック体で表示しているピン機能は、現時点ではソフトウェアでサポートされていません。

以下の表では、ピンを機能グループごとに整理しています。複数の機能を持つI/Oピンの場合、代替機能を該当列の2行目と3行目に示しています。「番号」列はピン番号を示します。2番目の列は機能を示します。「タイプ」列はI/Oタイプを示します。

「I/O」列は、Eternaに対する信号の向きを示します。「プル」列は、信号の固定受動回路がプルアップまたはプルダウンのどちらであるかを示します。「説明」列は、信号の簡単な説明を示します。

番号	電源	タイプ	I/O	プル	説明
P	GND	電源	-	-	グランド接続点、P = QFN のパドル
2	CAP_PA_1P	電源	-	-	PA DC/DC コンバータのコンデンサ1の正端子
3	CAP_PA_1M	電源	-	-	PA DC/DC コンバータのコンデンサ1の負端子
4	CAP_PA_2M	電源	-	-	PA DC/DC コンバータのコンデンサ2の負端子
5	CAP_PA_2P	電源	-	-	PA DC/DC コンバータのコンデンサ2の正端子
6	CAP_PA_3P	電源	-	-	PA DC/DC コンバータのコンデンサ3の正端子
7	CAP_PA_3M	電源	-	-	PA DC/DC コンバータのコンデンサ3の負端子
8	CAP_PA_4M	電源	-	-	PA DC/DC コンバータのコンデンサ4の負端子
9	CAP_PA_4P	電源	-	-	PA DC/DC コンバータのコンデンサ4の正端子
10	VDDPA	電源	-	-	内部パワーアンプの電源、バイパス
30	VDDA	電源	-	-	アナログ回路の安定化電源、バイパス
31	VCORE	電源	-	-	コア回路の安定化電源、バイパス
32	VOSC	電源	-	-	発振器の安定化電源、バイパス
56	VPRIME	電源	-	-	内部主要電源、バイパス
57	CAP_PRIME_4P	電源	-	-	主要DC/DC コンバータのコンデンサ4の正端子
58	CAP_PRIME_4M	電源	-	-	主要DC/DC コンバータのコンデンサ4の負端子
59	CAP_PRIME_3M	電源	-	-	主要DC/DC コンバータのコンデンサ3の負端子
60	CAP_PRIME_3P	電源	-	-	主要DC/DC コンバータのコンデンサ3の正端子
61	CAP_PRIME_2P	電源	-	-	主要DC/DC コンバータのコンデンサ2の正端子
62	CAP_PRIME_2M	電源	-	-	主要DC/DC コンバータのコンデンサ2の負端子
63	CAP_PRIME_1M	電源	-	-	主要DC/DC コンバータのコンデンサ1の負端子
64	CAP_PRIME_1P	電源	-	-	主要DC/DC コンバータのコンデンサ1の正端子
65	VSUPPLY	電源	-	-	Eterna への電源入力

番号	無線	タイプ	I/O	プル	説明
1	RADIO_INHIBIT GPIO15	1 (Note 14)	I I/O	- -	無線禁止 汎用デジタルI/O
11	LNA_EN GPIO17	1	0 I/O	- -	外部LNA イネーブル 汎用デジタルI/O
12	RADIO_TX GPIO18	1	0 I/O	- -	無線TX アクティブ (外部PA イネーブル/スイッチ制御) 汎用デジタルI/O
13	RADIO_TXn GPIO19	1	0 I/O	- -	無線TX アクティブ (外部PA イネーブル/スイッチ制御)、 アクティブ“L” 汎用デジタルI/O
14	ANTENNA	-	-	-	シングルエンドのアンテナ・ポート、50Ω

LTC5800-WHM

ピン機能 イタリック体で表示しているピン機能は、現時点ではソフトウェアでサポートされていません。

番号	アナログ	タイプ	I/O	プル	説明
15	AI_0	アナログ	I	-	アナログ入力0
16	AI_1	アナログ	I	-	アナログ入力1
17	AI_3	アナログ	I	-	アナログ入力3
18	AI_2	アナログ	I	-	アナログ入力2

番号	水晶発振器	タイプ	I/O	プル	説明
19	OSC_32K_XOUT	水晶発振器	O	-	32 kHz 水晶発振器の Xout
20	OSC_32K_XIN	水晶発振器	I	-	32 kHz 水晶発振器の Xin
28	OSC_20M_XIN	水晶発振器	I	-	20 MHz 水晶発振器の Xin
29	OSC_20M_XOUT	水晶発振器	O	-	20 MHz 水晶発振器の Xout

番号	リセット	タイプ	I/O	プル	説明
22	RESETn	1	I	アップ	リセット入力、アクティブ“L”

番号	JTAG	タイプ	I/O	プル	説明
23	TDI	1	I	アップ	JTAG テストのデータ入力
24	TDO	1	O	-	JTAG テストのデータ出力
25	TMS	1	I	アップ	JTAG テストのモード選択
26	TCK	1	I	ダウン	JTAG テストのクロック

番号	GPIO (NOTE 15)	タイプ	I/O	プル	説明
27	DP4 (GPIO23)	1	I/O	-	汎用デジタル I/O
33	DP3 (GPIO22) TIMER8_EXT	1	I/O I	- -	汎用デジタル I/O 8ビット・タイマ/カウンタへの外部入力
34	DP2 (GPIO21) LPTIMER_EXT	1	I/O I	- -	汎用デジタル I/O 低消費電力タイマ/カウンタへの外部入力
36	DP0 (GPIO0) SPIM_SS_2n	1	I/O O	- -	汎用デジタル I/O SPI マスタのスレーブ選択 2、アクティブ“L”
48	DP1 (GPIO20) TIMER16_EXT	1	I/O I	- -	汎用デジタル I/O 16ビット・タイマ/カウンタへの外部入力

番号	特殊用途	タイプ	I/O	プル	説明
35	SLEEPn GPIO14	1 (Note 14)	I I/O	- -	深いスリープ状態、アクティブ“L” 汎用デジタル I/O
49	PWM0 TIMER16_OUT GPIO16	2	O O I/O	- - -	パルス幅変調器 0 16ビット・タイマ/カウンタ突き合わせ出力/PWM 出力 汎用デジタル I/O
72	TIMEn GPIO1	1 (Note 14)	I I/O	- -	時刻取り込み要求、アクティブ“L” 汎用デジタル I/O

番号	CLI	タイプ	I/O	プル	説明
37	UARTCO_TX	2	O	-	CLI UART 0 送信側
38	UARTCO_RX	1	I	アップ	CLI UART 0 受信側

5800whmf

ピン機能 イタリック体で表示しているピン機能は、現時点ではソフトウェアでサポートされていません。

番号	SPIマスタ	タイプ	I/O	プル	説明
39	<i>SPI_MISO</i> GPIO11	1	I I/O	- -	SPIマスタの(MISO)マスタ入カスレーブ出力ポート 汎用デジタルI/O
41	<i>SPI_MOSI</i> GPIO10	2	0 I/O	- -	SPIマスタの(MOSI)マスタ出カスレーブ入力ポート 汎用デジタルI/O
43	<i>SPI_SCK</i> GPIO9	2	0 I/O	- -	SPIマスタの(SCK)シリアル・クロック・ポート 汎用デジタルI/O
46	<i>SPI_SS_1n</i> GPIO13	1	0 I/O	- -	SPIマスタのスレーブ選択1、アクティブ“L” 汎用デジタルI/O
47	<i>SPI_SS_0n</i> GPIO12	1	0 I/O	- -	SPIマスタのスレーブ選択0、アクティブ“L” 汎用デジタルI/O

番号	IPCS SPI/フラッシュのプログラミング (NOTE 16)	タイプ	I/O	プル	説明
40	<i>IPCS_MISO</i> <i>TIMER16_OUT</i> GPIO6	2	0 0 I/O	- - -	SPIフラッシュ・エミュレーションの(MISO)マスタ入カスレーブ出力ポート 16ビット・タイマ/カウンタ突き合わせ出力/PWM出力 汎用デジタルI/O
42	<i>IPCS_MOSI</i> <i>TIMER16_EXT</i> GPIO5	1	I I I/O	- - -	SPIフラッシュ・エミュレーションの(MOSI)マスタ出カスレーブ入力ポート 16ビット・タイマ/カウンタへの外部入力 汎用デジタルI/O
44	<i>IPCS_SCK</i> <i>TIMER8_EXT</i> GPIO4	1	I I I/O	- - -	SPIフラッシュ・エミュレーションの(SCK)シリアル・クロック・ポート 8ビット・タイマ/カウンタへの外部入力 汎用デジタルI/O
45	<i>IPCS_SSn</i> <i>LPTIMER_EXT</i> GPIO3	1	I I I/O	- - -	SPIフラッシュ・エミュレーションのスレーブ選択、アクティブ“L” 低消費電力タイマ/カウンタへの外部入力 汎用デジタルI/O
55	FLASH_P_ENn	1	I	アップ	フラッシュ・プログラムのイネーブル、アクティブ“L”

番号	I ² C/単線式/SPIスレーブ	タイプ	I/O	プル	説明
50	<i>SPI_S_MISO</i> <i>UARTC1_TX</i> <i>1_WIRE</i>	2	0 0 I/O	- - -	SPIスレーブの(MISO)マスタ入カスレーブ出力ポート CLI UART 1送信側 単線式マスタ
51	<i>SPI_S_MOSI</i> <i>UARTC1_RX</i> GPIO26	1	I I I/O	- - -	SPIスレーブの(MOSI)マスタ出カスレーブ入力ポート CLI UART 1受信側 汎用デジタルI/O
52	<i>SPI_S_SCK</i> <i>SCL</i>	2	I I/O	- -	SPIスレーブの(SCK)シリアル・クロック・ポート I2Cシリアル・クロック
53	<i>SPI_S_SSn</i> <i>SDA</i>	2	I I/O	- -	SPIスレーブ選択、アクティブ“L” I2Cシリアル・データ

番号	API UART	タイプ	I/O	プル	説明
66	UART_RX_RTSn	1 (Note 14)	I	-	UART受信側(RTS)送信要求、アクティブ“L”
67	UART_RX_CTSn	1	0	-	UART受信側(CTS)送信可、アクティブ“L”
68	UART_RX	1 (Note 14)	I	-	UART受信側
69	UART_TX_RTSn	1	0	-	UART送信側(RTS)送信要求、アクティブ“L”
70	UART_TX_CTSn	1 (Note 14)	I	-	UART送信側(CTS)送信可、アクティブ“L”
71	UART_TX	2	0	-	UART送信側

Note 14: これらの入力は常にイネーブルされており、有効な状態に駆動するかプルアップ/プルダウンして漏れを防止する必要がある。

Note 15: その他のGPIOポートについては、ピン40、42、44、および45も参照。

Note 16: RESETnがアサートされている場合は、IPCS SPIバスを介した組み込みプログラミングのみが使用可能。

ピン機能

VSUPPLY : システムおよび入出力の電源。内蔵のDC/DCコンバータを含むデバイスに電力を供給します。デジタル・インタフェースのI/O電圧もこの電圧によって設定されます。2.2 μ Fと0.1 μ Fでバイパスして、DC/DCコンバータが正常に動作するようにしてください。

VDDPA : PAコンバータのバイパス・ピン。VDDPAとグラウンドの間に0.47 μ Fのコンデンサを接続し、トレースをできるだけ短くします。このピンには他に何も接続しないでください。

VDDA : アナログ・レギュレータのバイパス・ピン。VDDAとグラウンドの間に0.1 μ Fのコンデンサを接続し、トレースをできるだけ短くします。このピンには他に何も接続しないでください。

VCORE : コア・レギュレータのバイパス・ピン。VCOREとグラウンドの間に56nFのコンデンサを接続し、トレースをできるだけ短くします。このピンには他に何も接続しないでください。

VOOSC : 発振器レギュレータのバイパス・ピン。VOOSCとグラウンドの間に56nFのコンデンサを接続し、トレースをできるだけ短くします。このピンには他に何も接続しないでください。

VPRIME : 主要コンバータのバイパス・ピン。VPRIMEとグラウンドの間に0.22 μ Fのコンデンサを接続し、トレースをできるだけ短くします。このピンには他に何も接続しないでください。

VBGAP : バンドギャップ・リファレンスの出力。テストと較正に使用します。このピンには何も接続しないでください。

CAP_PA_1P, CAP_PA_1M~CAP_PA_4P, CAP_PA_4M : パワーアンプ専用DC/DCコンバータのコンデンサ・ピン。これらのピンは、電波を送信してVSUPPLYをパワーアンプの適正電圧に効率的に変換するときを使用します。PとMのそれぞれの対の間に56nFのコンデンサを接続します。トレースの長さはできるだけ短くします。

CAP_PRIME_1P, CAP_PRIME_1M~CAP_PRIME_4P, CAP_PRIME_4M : 主要DC/DCコンバータのコンデンサ・ピン。これらのピンは、デバイスを起動してVSUPPLYを3つの内蔵低ドロップアウト・レギュレータの適正電圧に効率的に変換するときを使用します。PとMのそれぞれの対の間に56nFのコンデンサを接続します。トレースの長さはできるだけ短くします。

ANTENNA : レシーバ入力とトランスミッタ出力の多重化ピン。ANTENNAピンに現れるインピーダンスは、パドル・グラウンドを基準にしたシングルエンドで50 Ω になります。最終製品の法規制を確実に順守するには、フィルタリング要件について『[Eterna Integration Guide](#)』を参照してください。ANTENNAピンにはグラウンドへのDC経路が存在しない必要があります。DC接地アンテナを使用する場合は、ACブロッキング回路を組み込む必要があります。

AI_0, AI_1, AI_2, AI_3 : アナログ入力。これらのピンはアナログ入力チェーンに多重化されています。図8に示すように、アナログ入力チェーンはソフトウェアで設定可能であり、可変利得アンプ、入力範囲調整用のオフセットD/Aコンバータ、および10ビットA/Dコンバータを内蔵しています。有効な入力範囲は0~1.8Vです。

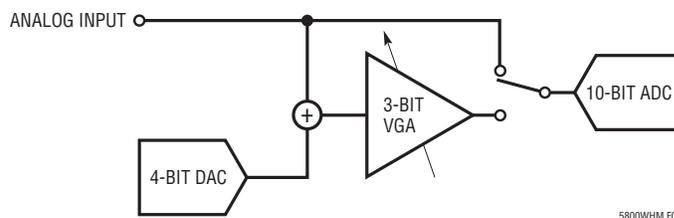


図8. アナログ入力チェーン

OSC_32K_XOUT : 32kHz発振器の出力ピン。32kHz水晶発振器に接続します。OSC_32K_XOUTとOSC_32K_XINのトレースは、図9に示すように、PCBの同じ層と下層の両方で他の信号から十分にシールドする必要があります。

OSC_32K_XIN : 32kHz発振器の入力。32kHz水晶発振器に接続します。OSC_32K_XOUTとOSC_32K_XINのトレースは、図9に示すように、PCBの同じ層と下層の両方で他の信号から十分にシールドする必要があります。

OSC_20M_XOUT : 20MHz発振器の出力。サポートされている20MHz水晶発振器にのみ接続します。OSC_20M_XOUTとOSC_20M_XINのトレースは、図9に示すように、PCBの同じ層と下層の両方で他の信号から十分にシールドする必要があります。サポートされている水晶発振器については、『[Eterna Integration Guide](#)』を参照してください。

ピン機能

OSC_20M_XIN : 20MHz 発振器の入力。サポートされている 20MHz 水晶発振器にのみ接続します。OSC_20M_XOUT と OSC_20M_XIN のトレースは、図9に示すように、PCB の同じ層と下層の両方で他の信号から十分にシールドする必要があります。

RESETn : 非同期のリセット信号が内部でプルアップされます。Eterna をリセットすると ARM Cortex M3 が再起動し、ネットワーク接続が失われます。電源投入時とインサーキット・プログラミング時を除いて、Eterna をリセットするためにこの信号を使用することは推奨しません。

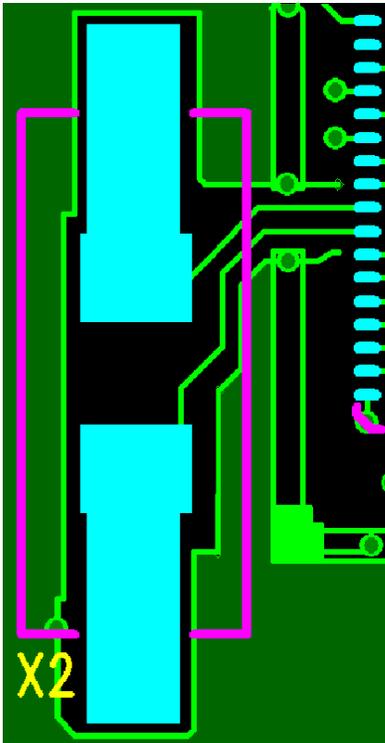


図9. PCB トップ・メタル層の水晶発振器信号からのシールド

RADIO_INHIBIT : RADIO_INHIBIT は、外部デバイスが無線動作を一時的にディスエーブルするための仕組みを確保します。「Radio_Inhibit の AC 特性」の表に規定されているタイミング要件に従うことができないと、信頼できないネットワーク動作になる可能性があります。RADIO_INHIBIT 機能が必要な設計では、入力を“L”に接続するか、プルダウンするか、またはアクティブに駆動して、過剰な漏れを防止する必要があります。

TMS、TCK、TDI、TDO : JTAG ポート対応ソフトウェアのデバッグおよびバウンダリ・スキャン。WR QFN72 パッケージの IEEE Std 1149.1b-1994 準拠の Boundary Scan Definition Language (バウンダリ・スキャン記述言語 : BSDL) ファイルは、[こちら](#)にあります。

SLEEPn : SLEEPn 機能は、現時点ではソフトウェアでサポートされていません。SLEEPn 入力は“H”に接続するか、プルアップするか、またはアクティブに駆動して、過剰な漏れを防止する必要があります。

UART_RX、UART_RX_RTSn、UART_RX_CTSn、UART_TX、UART_TX_RTSn、UART_TX_CTSn : API UART インタフェースには、双方向の起動制御およびフロー制御機能が組み込まれています。未使用の入力信号は信号の非アクティブ状態に駆動するかプルアップ/プルダウンで非アクティブ状態にする必要があります。

TIMEn : Eterna によって保持されているネットワーク時間を取り込む最も正確な方法は、TIMEn 入力にストロブ信号を入力する方法です。Eterna は、TIMEn 信号の立ち上がりエッジでミリ秒未満の分解能でネットワーク・タイムスタンプをラッチし、タイミング情報を記録したパケットを API シリアル・ポートで生成します。

UARTCO_RX、UARTCO_TX : CLI UART は、動作中に Eterna のモニタ、構成、および制御を行うための仕組みを確保します。サポートされているコマンドの詳細な記述については、『[SmartMesh WirelessHART Mote CLI Guide](#)』を参照してください。

FLASH_P_ENn、IPCS_SSn、IPCS_SCK、IPCS_MISO、IPCS_SSn : インサーキット・プログラミング制御システム (IPCS) バスにより、Eterna のフラッシュ・メモリのインサーキット・プログラミングが可能になります。IPCS_SCK はクロックであり、オーバーシュートやリングングを防ぐための駆動源として適切に終端する必要があります。

動作

LTC5800は、世界で最もエネルギー効率の高いIEEE 802.15.4準拠のプラットフォームであり、バッテリー駆動アプリケーションや環境発電(エナジーハーベスト)アプリケーションを使用可能にします。強力な32ビットのARM Cortex™-M3、クラス最高の無線機能、フラッシュ、RAMおよび特定用途向け周辺機器により、Eternaは、最も困難なRF環境であっても最小限のエネルギー消費とデータ信頼性が要求されるアプリケーションに対して、柔軟でスケラブルかつ堅牢なネットワーク・ソリューションを実現します。

図10に示すように、Eternaは、低動作エネルギー消費面と、動作状態と低消費電力状態の間を迅速かつ高精度に循環する能力面の両方で優れている特定用途向けの周辺機器を一体化しています。“Analog Core”とラベル付けされた灰色の網掛け領域内の品目がアナログ/RF部品に相当します。

電源

Eternaは1つのピン(VSUPPLY)から電力供給を受けます。このピンはI/Oセルに電力を供給し、内部電源を発生する目的にも使用されます。Eternaの2つの内蔵DC/DCコンバータは、デバイスが起動している間、エネルギー消費量を最小限に抑えます。消費電力を節減するため、デバイスが低消費電力状態のとき、DC/DCコンバータはディスエーブルされます。2つの内蔵DC/DCコンバータと3つの内蔵低ドロップアウト・レギュレータを含む電源調整により、電源ノイズの優れた除去性能を実現します。Eternaの動作電源電圧範囲は、塩化チオニルリチウム(Li-SOCl₂)電池への直接接続をサポートするのに十分な高さであり、広い温度範囲にわたってバッテリー動作をサポートするのに十分な広さです。

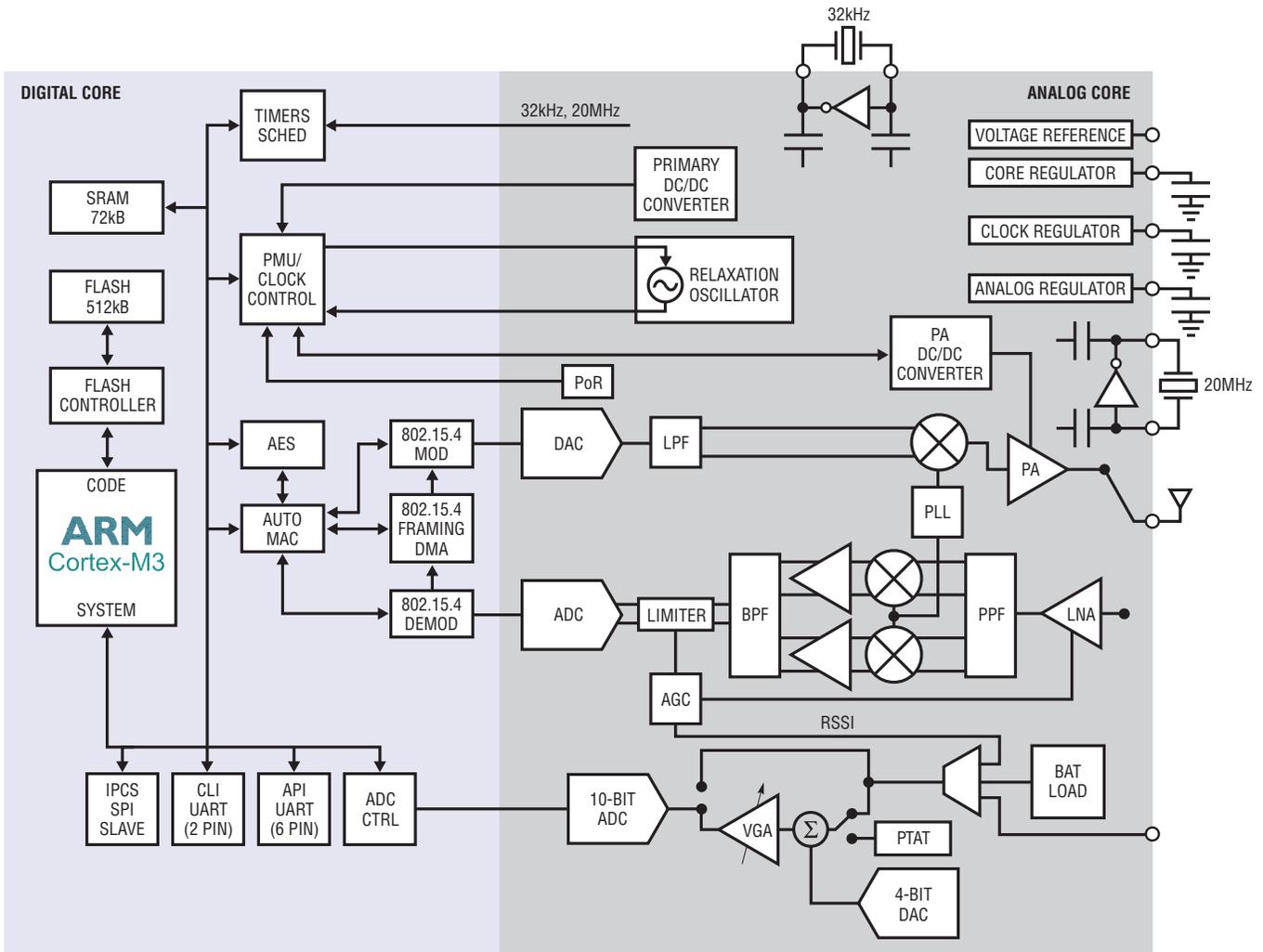


図10. Eternaのブロック図

動作

電源モニタとリセット

Eternaはパワーオン・リセット(PoR)回路を内蔵しています。RESETn 入力ピンは、公称では内部プルアップ抵抗で構成されているので、接続の必要はありません。シャットダウンを正常に行うため、ソフトウェアとネットワーク層はRESETn ピンのアサーションの前にAPIコマンドを介して正確に停止させる必要があります。切断コマンドおよびリセット・コマンドの詳細については、『[SmartMesh WirelessHART Mote API Guide](#)』を参照してください。Eternaは、フラッシュへの書き込み中に電源が取り外された場合、フラッシュが損傷しないよう完全に保護するソフト電圧低下モニタを内蔵しています。内蔵のフラッシュ監視機能と耐フォルト型のファイル・システムの組み合わせにより、堅牢な不揮発性メモリ・ソリューションが得られます。

高精度のタイミング

Eterna独自の低消費電力専用タイミング・ハードウェアおよびタイミング・アルゴリズムにより、競合する802.15.4製品と比較して性能が大幅に向上しています。この機能により、本データシートの発行時点で入手可能な他の低消費電力ソリューションより2、3桁精度の高いタイミング精度が得られます。タイミング精度の向上により、パケットの受信を保証するために必要な無線リスニング時間の長さをモートが最小限に抑えることができるので、その結果、SmartMesh ネットワークの消費電力はさらに低下します。Eternaの特許取得済みのタイミング・ハードウェアおよびタイミング・アルゴリズムにより、温度が急速に変化したときに優れた性能が発揮され、他のワイヤレス製品と比較した場合にEternaの信頼性がいっそう際立ちます。さらに、高精度のタイミングにより、ネットワークがスペクトルのデッドタイムを低減して、ネットワークの総スループットを高めることができます。

アプリケーションの時間同期

ユーザには意識されない、ネットワーク全体にわたるタイムスロットの調整の他に、Eternaのタイミング管理機能を使用して、ネットワーク時間を共有する2つの仕組みをサポートします。高精度で共有された、ネットワーク規模の時間基準があることにより、イベントにタイムスタンプを正確に刻むことや、作業をネットワーク全体にわたって同期方式で実行することができます。次のいずれかが行われると、Eternaはそのシリアル・インタフェースを介して時間パケットを送信します。

- Eternaが時刻を読み取るAPI要求を受信する
- TIMEEn 信号がアサートされる

TIMEEnを使用する利点は精度の向上です。タイムスタンプの値は、TIMEEnの立ち上がりエッジを基準にしてハードウェアに取り込まれます。API要求を使用した場合は、パケット処理が原因で、タイムスタンプの値がパケットの受信後数ミリ秒後に取り込まれることがあります。TIMEEn機能の定義および仕様については、『[TIMEEnのAC特性](#)』セクションを参照してください。

時間基準

Eternaは3つのクロック信号源を内蔵しています。それは、内部弛張型発振器、32.768kHz水晶発振器用に設計された低消費電力の発振器、および20MHz水晶発振器用に設計された無線基準発振器です。

弛張型発振器

弛張型発振器はEternaの主なクロック信号源であり、CPU、メモリ・サブシステム、およびすべての周辺機器にクロックを供給します。内部弛張型発振器は、7.3728MHzに動的に較正されます。内部弛張型発振器は、通常は数 μ s以内に起動し、アクティブ状態と低消費電力状態とを繰り返す好都合で低エネルギーの方法を実現します。ドーズ状態(「[法規制と標準規格の順守](#)」セクションで定義)から急速に起動すると、該当信号の動きを検出するだけで、Eternaを起動してUARTおよびSPIインタフェースを介してデータを受信することができます。

32.768kHz水晶発振器

Eternaの電源が投入されて32.768kHz水晶発振器信号源が発振を開始すると、32.768kHz水晶発振器はアクティブ状態時も動作状態が維持され、ドーズ状態時にはタイミングの基準として使用されます。Eternaの動作状態の説明については、『[法規制と標準規格の順守](#)』セクションを参照してください。

20MHz水晶発振器

20MHz水晶発振器信号源は無線部の周波数リファレンスを供給し、またEternaにより、必要に応じて自動的にイネーブルまたはディスエーブルされます。Eternaには、固有の特性を示す20MHz水晶発振器リファレンスが必要です。現在サポートされている20MHz水晶発振器の一覧表については、『[Eterna Integration Guide](#)』を参照してください。

動作

無線

Eternaは、商品化されている低消費電力の2.4GHz IEEE 802.15.4無線部を十分な余裕をもって内蔵しています。(電力消費量の数値については、「無線規格」セクションを参照してください)。Eternaに内蔵されているパワーアンプは、世界規模の無線認証規格に適合した制限値内で電力を着実に供給するよう校正され、温度補償されています。さらにEternaは、トランスミッタ、レシーバ、高度暗号化標準(AES)周辺機器などの周辺機器の高精度シーケンス制御を処理するハードウェア・ベースの自律MACを独自に内蔵しています。ハードウェア・ベースの自律メディア・アクセス・コントローラ(MAC)により、CPUの動作が最小限に抑えられるので、電力消費量はいつそう低減されます。

UART

主要なネットワーク・インタフェースは、アプリケーション・プログラミング・インタフェース(API)UARTを介して行います。テスト機能およびデバッグ機能をサポートするため、コマンド行インタフェース(CLI)も用意されています。2種類のUARTは両方とも動作を絶えず検出し、データが転送されるまで実質的に電力を消費せず、転送終了後その最も低消費電力の状態に自動的に戻ります。API UARTインタフェースでのパケット・コード化の定義は『SmartMesh WirelessHART Mote API Guide』に記載されており、CLIコマンド定義は『SmartMesh WirelessHART Mote CLI Guide』に記載されています。

API UARTのプロトコル

API UARTは、広範なコンパニオン多点制御装置(MCU)をサポートすることを目標に複数のプロトコルをサポートしつつ、システムの電力消費量を低減します。原則として、シリアル・データ・レートが高いほど、両方の終点でのエネルギー消費は少なくなります。API UARTプロトコルの受信側の半分には、UART_RXの他に2つの付加的な信号があります。それは、UART_RX_RTSnとUART_RX_CTSnです。API UARTプロトコルの送信側の半分には、UART_TXの他に2つの付加的な信号があります。それは、UART_TX_RTSnとUART_TX_CTSnです。サポートされている2つのプロトコルは、UARTモード2およびUARTモード4と呼ばれます。モード設定は無線認証を介して制御されます。

プロトコルの説明を示す図では、コンパニオン・プロセッサが駆動する信号を黒で表記し、Eternaが駆動する信号を青で表記しています。

UARTモード2

UARTモード2は、EternaのAPI UARTを動作させる最もエネルギー効率の高い方法を実現します。UARTモード2では6つのUART信号をすべて使用する必要がありますが、「UARTのAC特性」セクションで定義しているように、パケット間の遅延を最小限に抑えることに固執する必要はありません。UARTモード2は、エッジ感度の高いフロー制御を9600ボーまたは115200ボーで実装しています。パケットはHDLCでコード化され、ストップ・ビットが1ビットでパリティ・ビットはありません。EternaのAPI受信経路のフロー制御信号を図11に示します。UART_RX_RTSnをアサートしているコンパニオン・プロセッサによって転送が開始されます。その後、EternaはUARTをイネーブルしてUART_RX_CTSnをアサートすることで応答します。UART_RX_CTSnのアサーションを検出後、コンパニオン・プロセッサは全パケットを送信します。コンパニオン・プロセッサはパケットの最終バイトの送信後、UART_RX_RTSnを否定し、UART_RX_CTSnの否定まで待機後、UART_RX_RTSnを再度アサートします。

EternaのAPI送信経路のフロー制御信号を図12に示します。UART_TX_RTSnをアサートしているEternaによって転送が開始されます。コンパニオン・プロセッサはデータの受信準備が完了すると、UART_TX_CTSnをアサートすることによって応答します。UART_TX_CTSnの立ち下がりがエッジを検出後、Eternaは全パケットを送信します。Eternaはパケットの最終バイトの送信後、UART_TX_RTSnを否定し、UART_TX_CTSnの否定まで待機後、UART_TX_RTSnを再度アサートします。コンパニオン・プロセッサは、UART_TX_RTSnからUART_TX_CTSnまでのタイムアウト条件を満たしているという条件で、先頭バイトの送信後はいつでもUART_TX_CTSnを否定できます。

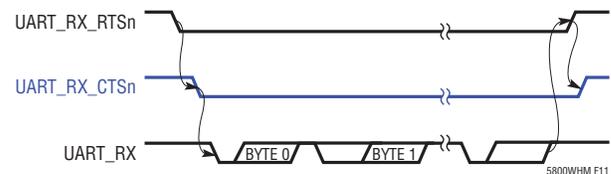


図11. UARTモード2の受信フロー制御

動作

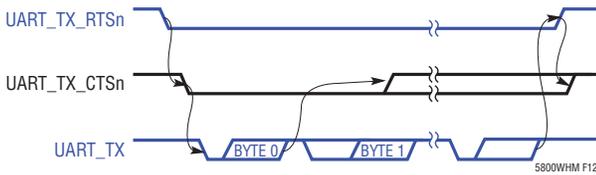


図 12. UART モード 2 の送信フロー制御

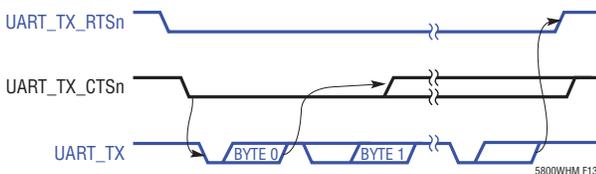


図 13. UART モード 4 の送信フロー制御

UART モード 4

UART モード 4 はレベル感度の高いフロー制御を TX チャンネルで実装しており、RX チャンネルではフロー制御が不要で、9600 ボーと 115200 ボーの両方をサポートしています。レベル感度の高いフロー制御信号を使用すると、短縮した一連のフロー制御信号を使用するオプションにより、高いデータレートが可能になります。ただし、コンパニオン・プロセッサはパケットの終わりに達する前に UART_TX_CTSn を否定しておく必要があります。Eterna に送信したパケット間で少なくとも $t_{RX_RTS\ to\ RX_CTS}$ は待機する必要があります。完全なタイミング仕様については、「UART の AC 特性」セクションを参照してください。パケットは HDLC でコード化され、ストップ・ビットが 1 ビットでパリティ・ビットはありません。産業用温度範囲 ($-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$) に限定されるという使用条件では、モード 4 で RX フロー制御信号 (UART_RX_RTSn および UART_RX_CTSn) を使用するのは任意です。それ以外の場合、フロー制御は必須です。TX チャンネルのフロー制御信号を図 15 に示します。UART_TX_RTSn をアサートしている Eterna によって転送が開始されます。パケットの受信準備が完了したら、UART_TX_CTSn 信号をコンパニオン・プロセッサでアクティブに駆動できます。あるいは、コンパニオン・プロセッサのパケット受信準備が常時整っている場合は、UART_TX_CTSn を “L” に接続してもかまいません。UART_TX_CTSn でロジック “0” を検出後、Eterna は全パケットを送信します。Eterna はパケットの最終バイトの送信後、UART_TX_RTSn を否定し、「UART の AC 特性」セクションで定義されている最短期間の待機後、UART_TX_RTSn を再度アサートします。

UART プロトコルのタイミングの詳細については、「UART の AC 特性」セクションを参照してください。

CLI UART

コマンド行インタフェース (CLI) UART ポートは、固定の 9600 ボーレートで動作し、ストップ・ビットが 1 ビットでパリティ・ビットのない 2 線式プロトコル (TX および RX) です。CLI UART インタフェースは、コマンド行の命令および応答動作をサポートすることを目的としています。

自律 MAC

Eterna は、信頼性が高く、超低消費電力で安全なネットワークを実現するシステム・ソリューションとして設計されました。変化する環境で動作を動的に最適化できる高信頼ネットワークでは、複雑過ぎてハードウェアによる加速だけでは完全にはサポートできないソリューションが要求されます。「高精度のタイミング」セクションで説明しているように、低消費電力かつ高信頼性のソリューションを最適化するには、適切な時間管理が不可欠です。これらの要求に対応するため、Eterna は自律 MAC を備えており、自律 MAC には、時間が肝要なすべての無線動作を制御するためのコプロセッサが組み込まれています。自律 MAC には利点が 2 つあります。まず、変わりやすいソフトウェア待ち時間がネットワークのタイミングに影響するのを防止します。次に、大半の無線動作時に CPU を非アクティブ状態に維持できることにより、システムの電力消費量が大幅に減少します。自律 MAC は無線および無線関連機能のソフトウェアに依存しないタイミング制御を実現するので、優れた信頼性と並外れた低消費電力が得られます。

セキュリティ

ネットワーク・セキュリティは、包括的なネットワーク・ソリューションで見過ごされがちな要素です。セキュリティ・プロトコルを適切に実装することは、技術的な労力と OEM 製品の市場価値の両方の観点から重要です。Eterna システム・ソリューションは、MAC およびネットワーク層での認証および暗号化をモートごとに異なる鍵を使用して組み込んだ FIPS-197 検証済みの暗号化方式を実現します。これにより、終端間のセキュリティが確保できるだけでなく、モートがなぜか危険にさらされている場合でも、他のモートからの通信は引き続き安全です。安全な鍵交換のメカニズムにより、鍵を新規の状態に保持できます。物理的な攻撃を阻止するため、Eterna にはデバイスを電子的にロックするハードウェア・サポートが組み込まれています。これにより、Eterna のフラッシュ・メモリと RAM メモリ、さらにそこに保存されている鍵とコードにアクセスできないようにしています。このロックアウト機能は、製品のサポートのためにアクセスが必要な場合にデバイスのロックを安全

5800whm

動作

に解除する手段も実現しています。詳細については、『[Board Specific Configuration Guide](#)』を参照してください。

温度センサ

Eternaは、校正された温度センサをチップ上に組み込んでいます。温度測定値はEternaのシリアルAPIを介してローカルに読み取る以外に、ネットワーク・マネージャ経由で得ることもできます。温度センサの性能特性は「[標準的性能特性](#)」セクションに記載されています。

無線禁止

RADIO_INHIBIT入力を使用すると、外部コントローラが無線ソフトウェア・ドライバを一時的にディスエーブルすることができます(たとえば、無線妨害の影響を受けやすいセンサ値の読み取り時)。RADIO_INHIBITがアサートされると、ソフトウェア無線ドライバはクリア・チャネル評価、パケット送信、パケット受信などの無線動作を禁止します。RADIO_INHIBITがアサートされたとき現行のタイムスロットがアクティブである場合、無線がディスエーブルされるのは現在の動作完了後となります。RADIO_INHIBITに関連したタイミングの詳細については、「[Radio_InhibitのAC特性](#)」セクションを参照してください。

フラッシュのプログラミング

この製品は、ソフトウェアをデバイス内にプログラミングしない状態で供給されます。OEMのお客様は、開発時や製造時にソフトウェア・イメージを書き込むことが必要になります。Eternaのソフトウェア・イメージは、インサーキット・プログラミング制御システム(IPCS) SPIインタフェースを介して読み込まれます。「[フラッシュSPIスレーブのAC特性](#)」セクションで示すように、RESETnとFLASH_P_ENnのシーケンス制御により、Eternaはシリアル・フラッシュをエミュレートする状態になり、インサーキット・プログラミングをサポートします。デバイスの開発時および量産時プログラミングをサポートするハードウェアおよびソフトウェアは、『[Eterna Serial Programmer Guide](#)』で説明されています。シリアル・プロトコルSPIおよびタイミング・パラメータは「[フラッシュSPIスレーブのAC特性](#)」セクションに記載されています。

フラッシュのデータ保持

Eternaは、校正結果、固有ID、構成設定、およびソフトウェア・イメージを格納するフラッシュ(不揮発性メモリ)を内蔵しています。フラッシュは全動作温度範囲でデータを保持します。「[電気的特性](#)」と「[絶対最大定格](#)」のセクションを参照してください。

-55°C ~ 105°Cの動作温度範囲外での非破壊記憶が可能ですが、保持特性が劣化する可能性があります。

105°Cを超える温度でのフラッシュの保持特性の劣化は、次式を使って無次元の加速係数を計算することにより、近似することができます。

$$AF = e^{\left[\left(\frac{E_a}{k} \right) \left(\frac{1}{T_{USE} + 273} - \frac{1}{T_{STRESS} + 273} \right) \right]}$$

ここで、

AF = 加速係数

Ea = 活性化エネルギー = 0.6eV

k = 8.625 · 10⁻⁵ eV/K

T_{USE} = 規定の保持温度(°C)

T_{STRESS} = 実際の保存温度(°C)

例：温度125°Cで保存した場合の保持特性への影響を計算します。

T_{STRESS} = 125°C

T_{USE} = 85°C

AF = 7.1

したがって、フラッシュの総合的な保持特性は係数7.1で劣化し、データ保持性能は85°C時の20年から125°C時の2.8年に低下します。

状態図

超低消費電力の他に能力と柔軟性を発揮するため、図14に示すように、Eternaはさまざまな状態で動作します。赤で示す状態遷移は非推奨です。

動作

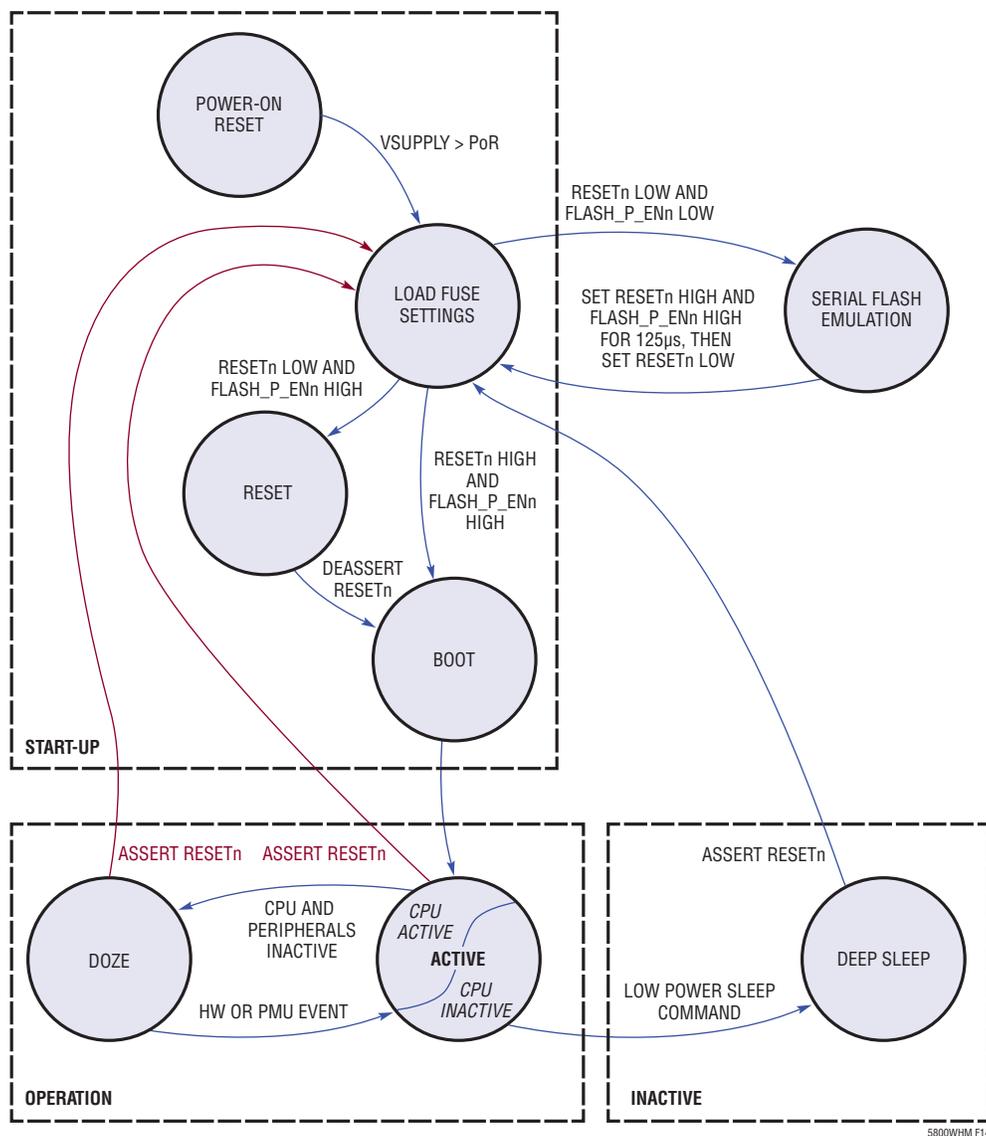


図14. Eternaの状態図

動作

ヒューズ・テーブル

Eternaのヒューズ・テーブルはフラッシュ内にある2kBのページで、2つのデータ構造で構成されています。一方の構造は、パワーオン・リセット直後またはRESETnのアサクション直後のハードウェア構成をサポートします。もう一方の構造は、ソフトウェア・ボード・サポート・パラメータの構成をサポートします。ヒューズ・テーブルは、『Board Specific Configuration Guide』に説明されているヒューズ・テーブル・アプリケーションを介して生成されます。パワーオン・リセット直後にI/Oのハードウェアを構成すると、ソフトウェア構成の前にフローティング・ネットによる漏れを最小限に抑える方法が得られます。I/O漏れ電流は1つの入力につき数百 μ Aの漏れ電流発生要因となり得るので、電流が制限された電源にストレスを与える可能性があります。ソフトウェア・ボード・サポート・パラメータの例としては、UARTモード、クロック信号源、およびトリム値の設定が挙げられます。『Eterna Serial Programmer Guide』で説明されているように、ヒューズ・テーブルは、ソフトウェア・イメージを読み込むために使用される同じソフトウェアおよびインサーキット・プログラムを使用してフラッシュに読み込まれます。

起動

起動はパワーオン・リセットしきい値を超えた結果またはRESETnをアサートした結果として行われます。パワーオン・リセットの完了後または内部で同期したRESETnの立ち下がりエッジ後に、Eternaはそのヒューズ・テーブルを読み込みます。前のセクションで説明したように、ヒューズ・テーブルにはI/O方向の構成情報が組み込まれています。この状態で、EternaはFLASH_P_ENnピンとRESETnピンの状態を調べ、信号が両方ともアサートされている場合、シリアル・フラッシュ・エミュレーション・モードに入ります。FLASH_P_ENnピンはアサートされていないがRESETnピンはアサートされた場合、EternaはRESETnが解放されるまで、そのエネルギー消費量を自動的に最小限に抑えます。RESETnがデアサートされると、Eternaは起動シーケンスを経てアクティブ状態に移行します。

シリアル・フラッシュのエミュレーション

RESETnとFLASH_P_ENnが両方ともアサートされると、Eternaは通常動作をディスエーブルして、シリアル・フラッシュの動作をエミュレートするモードに入ります。このモードでは、そのフラッシュをプログラムできます。

動作

Eternaは、起動が完了すると動作状態群(アクティブ/CPUアクティブ、アクティブ/CPU非アクティブ、およびドーズ)に移行します。そこで、Eternaはさまざまな状態間を循環し、起こり得る最も低い消費電力の状態を自動的に選択すると同時に、ネットワーク動作の要求を実現します。

アクティブ状態

アクティブ状態では、Eternaの弛張型発振器が動作しており、必要に応じて周辺機器がイネーブルされます。ARM Cortex-M3はCPUアクティブ状態とCPU非アクティブ状態との間をサイクルします(ARM Cortex-M3の技術資料では、スリープ・ナウ・モードと呼ばれています)。EternaがDMAを大量に使用することと、アクティブ状態とドーズ状態との間でEternaの状態を独自に移すインテリジェント周辺機器により、CPUがアクティブな時間が最小限に抑えられるので、Eternaのエネルギー消費量は大幅に減少します。

ドーズ状態

ドーズ状態での消費電流はアクティブ状態より桁数少なく、ドーズ状態になるのは、すべての周辺機器とCPUが非アクティブ状態になったときです。ドーズ状態では、Eternaの全状態が保持され、タイミングが維持され、さらに(UART信号やTIMEnピンなど)I/Oでの動作を検出してEternaを起動し、迅速に応答するようEternaが構成されます。ドーズ状態では、32.768kHzの発振器と関連のタイマがアクティブ状態です。

アプリケーション情報

法規制と標準規格の順守

無線認証

Eternaは、以下に示す世界的な無線周波数規定の順守を目標とするシステムに適しています。対象の規定は、ETSI EN 300 328 および EN 300 440 class 2 (欧州)、FCC CFR47 Part 15 (米国)、および ARIB STD-T66 (日本)です。法規制のテストをサポートするアプリケーション・プログラミング・インタフェース(API)は、API UART インタフェースと CLI UART インタフェースの両方に用意されています。『[Eterna Certification User Guide](#)』では、以下の情報が記載されています。

- 認証に必要な参考情報
- 一般的な規制テスト・ケースのテスト計画
- CLI呼び出しの例
- マニュアル言語のサンプルとラベルの例

有害物質の制限(RoHS)の順守

特定有害物質使用制限(RoHS)とは、カドミウム(Cd)、鉛(Pb)、六価クロム(Cr⁺⁶)、水銀(Hg)、多臭素化ジフェニル(PBB)、およびポリ臭素化ジフェニルエーテル(PBDE)の使用に関して最大濃度の限度を設定した指令のことです。リニアテクノロジーは、欧州共同体(EC)指令 2002/95/ECの要件に適合するよう取り組んでいます。

本製品は、RoHSに準拠した原料を使用すること、規制物質の使用を排除または削減して2002/95/ECに適合することを目的として設計されています。

RoHSに準拠した設計の特長は以下のとおりです。

- RoHSに準拠した半田による半田接合
- RoHSに準拠した卑金属合金
- RoHSに準拠した貴金属めっき
- RoHSに準拠したケーブル・アセンブリおよびコネクタ選択
- 無鉛QFNパッケージ
- ハロゲンを含まないモールド化合物
- RoHSに準拠し、245°Cのリフロー互換

注記:お客様は、欧州共同体(EC)指令 2002/95/ECに従って、特定の種類の無鉛半田合金を選んで使用することができます。選択した半田ペーストの種類によっては、リフロー温度を最適化するために、それに対応する工程変更が必要になる可能性があります。

半田付け情報

Eternaは共晶PbSnリフローとRoHS-6リフローの両方に適しています。最大リフロー半田付け温度は260°Cです。レイアウトの推奨事項、組み立て手順、および設計上の検討事項の詳細については、『[Eterna Integration Guide](#)』に記載されています。

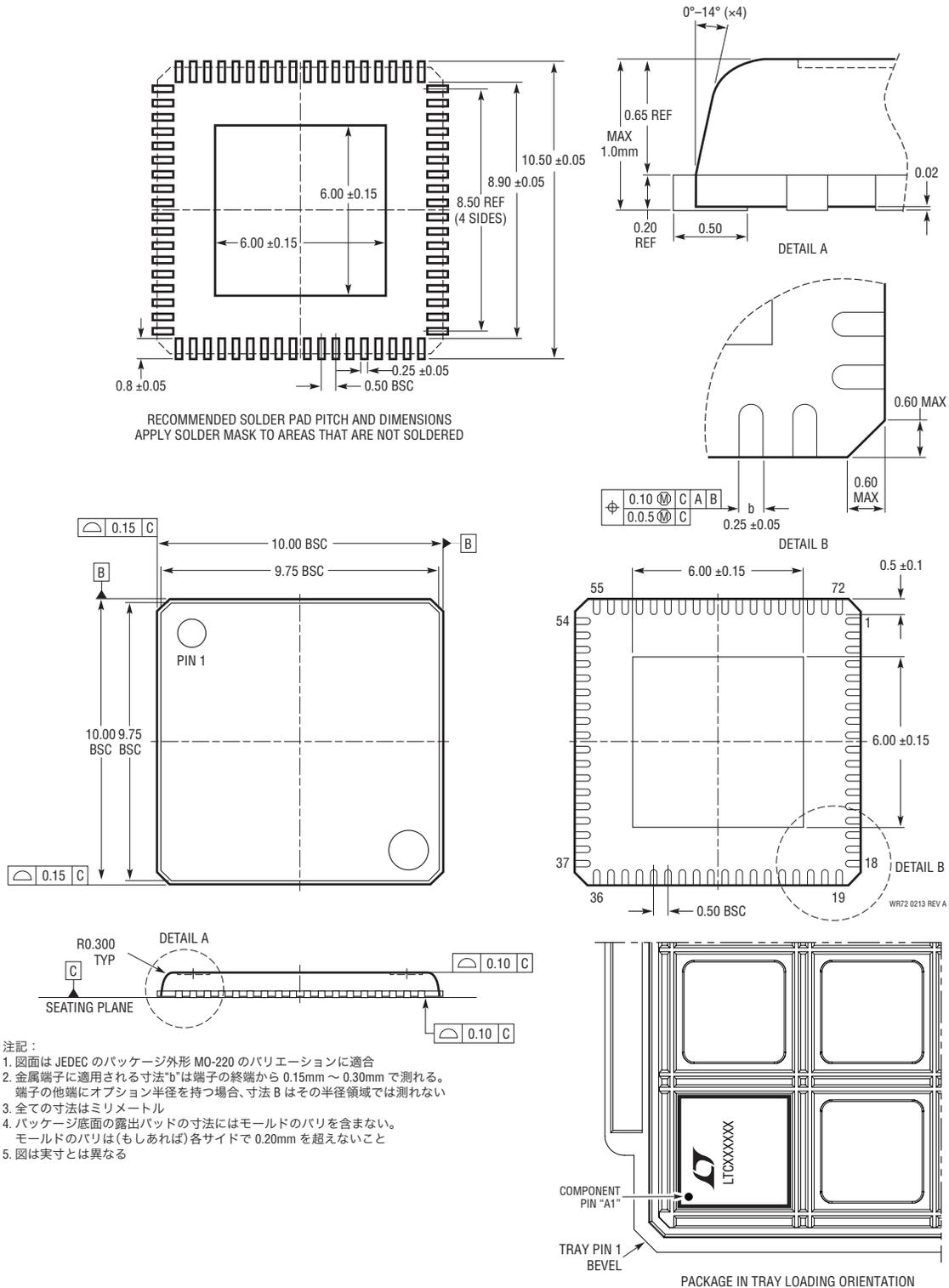
関連資料

資料名	URL	概要
SmartMesh WirelessHART User's Guide	http://www.linear-tech.co.jp/docs/41887	このユーザ・ガイドでは、動作原理と、サポートされているサービスの詳細について説明します。
SmartMesh WirelessHART Mote API Guide	http://www.linear-tech.co.jp/docs/41893	API UART で使用できるコマンド行インタフェース・コマンドの定義
SmartMesh WirelessHART Mote CLI Guide	http://www.linear-tech.co.jp/docs/41892	CLI UART で使用できるコマンド行インタフェース・コマンドの定義
Eterna Integration Guide	http://www.linear-tech.co.jp/docs/41874	LTC5800を使用して設計するための推奨の手法
Eterna Serial Programmer Guide	http://www.linear-tech.co.jp/docs/41876	LTC5800の回路プログラミングで使用する、Eternaシリアル・プログラマのユーザーズ・ガイド
Board Specific Configuration Guide	http://www.linear-tech.co.jp/docs/41875	ボード固有のパラメータを構成するときに使用する、Eternaボード固有構成アプリケーションのユーザーズ・ガイド
Eterna Certification User Guide	http://www.linear-tech.co.jp/docs/42918	無線認証を取得するために必要な必須の資料(一般的なテスト・ケースの例を含む)

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

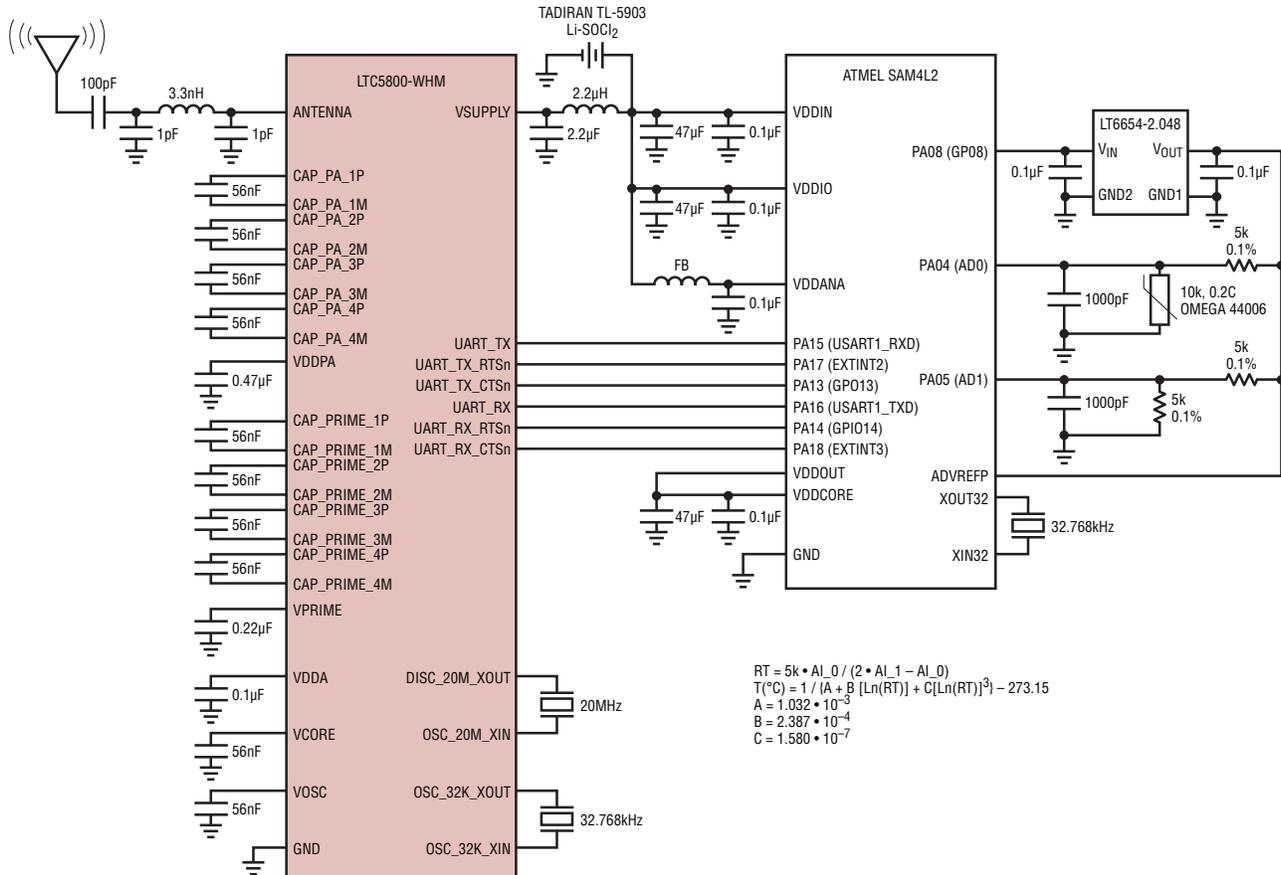
WR Package
72-Lead QFN (10mm × 10mm)
 (Reference LTC DWG # 05-08-1930 Rev A)



LTC5800-WHM

標準的応用例

メッシュ・ネットワーク・サーミスタ



5800WHM TA02

関連製品

製品番号	説明	注釈
LTP5903IPC-WHRB	250モート対応のWirelessHART組み込みマネージャ	最大250のSmartMesh WirelessHartノードのネットワークを管理
LTP5901-WHMA	チップ・アンテナを備えた66ピンWirelessHARTモートPCBモジュール	米国、カナダ、欧州、日本、韓国、台湾、インド、オーストラリア、およびニュージーランドでの無線認証モジュール内蔵
LTP5902-WHMA	MMCXアンテナ・コネクタを備えた66ピンWirelessHARTモートPCBモジュール	米国、カナダ、欧州、日本、韓国、台湾、インド、オーストラリア、およびニュージーランドでの無線認証モジュール内蔵
LT6654-2.048	出力駆動電流の大きい低ノイズ高精度リファレンス	ピーク・トゥ・ピーク・ノイズ: 1.6ppm (0.1Hz ~ 10Hz)、シンク/ソース電流: ±10mA、最大ドリフト: 5ppm/°C、出力: 2.048 V
LTC2379-18	18ビット、1.6Msps/1Msps/500ksps/250kspsシリアル、低消費電力ADC	電源電圧: 2.5V、差動入力、SNR: 101.2dB、入力範囲: ±5V、DGC
LTC3388-1/ LTC3388-3	20V 高効率ナノパワー降圧レギュレータ	スリープ時のI _Q : 860nA、入力: 2.7V ~ 20V、V _{OUT} : 1.2V ~ 5.0V、イネーブル・ピンとスタンバイ・ピン
LTC3588-1	高効率降圧コンバータ内蔵の圧電発電電源	V _{IN} : 2.7V ~ 20V、V _{OUT(MIN)} : 1.8V/2.5V/3.3V/3.6Vに固定、I _Q : 0.95µA、3mm×3mm DFN-10およびMSOP-10Eパッケージ
LTC3108-1	超低電圧昇圧コンバータおよびパワーマネージャ	V _{IN} : 0.02V ~ 1V、V _{OUT} : 2.5V/3V/3.7V/4.5Vに固定、I _Q : 6µA、3mm×4mm DFN-12およびSSOP-16パッケージ
LTC3459	マイクロパワー同期整流式昇圧コンバータ	V _{IN} : 1.5V ~ 5.5V、V _{OUT(MAX)} : 10V、I _Q : 10µA、2mm×2mm DFN、2mm×3mm DFNまたはSOT-23パッケージ

5800whmf