

広帯域 IF アンプを備えた 直線性の高い 300MHz ~ 9GHz I/Q 復調器

特長

- 真のゼロ IF 復調
- 500MHz ~ 9GHz で整合する広帯域入力
- 広い IF 帯域幅: DC ~ 1GHz (平坦度: 1dB)
- イメージ除去比: 37dB、60dB まで調整可能
- 高い合計 OIP3: 37dBm (5.8GHz)
- 5.8GHz での OIP2: 58dBm、65dBm まで調整可能
- 最大電力変換利得: 9.2dB (5.8GHz)
- トランス内蔵のシングルエンド RF 入力
- ユーザーが DC オフセットのゼロ調整可能
- シリアル・インタフェース
- 8 段階に調整可能な IF アンプの利得
- IF アンプのシャットダウン/イネーブル
- 低消費電力のシャットダウン・モード
- 動作温度範囲 (T_C): -40°C ~ 105°C
- 32 ピン 5mm×5mm QFN パッケージ

アプリケーション

- 5G 基地局のフロントホール/バックホール・レシーバ
- 軍用受信機および衛星放送受信機
- 2 地点間広帯域無線
- 直線性の高い直接変換方式 I/Q SDR
- テスト計測器
- DPD レシーバ

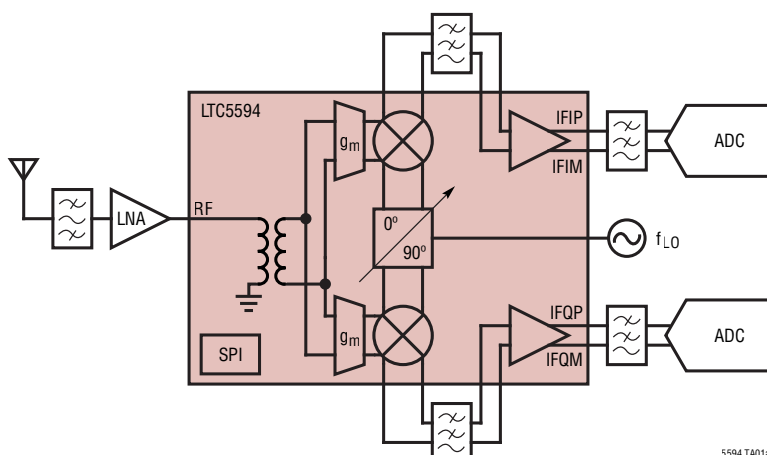
概要

LTC[®]5594 は、周波数範囲が 300MHz ~ 9GHz の直線性の高いゼロ IF および低 IF レシーバ・アプリケーション向けに最適化された直接変換方式の直交復調器です。LTC5594 は、1GHz を超えるきわめて広い IF 帯域幅を備えているので、特に 5G フロントホール/バックホール・レシーバ・アプリケーションにおける超広帯域信号の復調に最適です。LTC5594 のきわめて優れたダイナミックレンジのため、このデバイスは、要求の厳しいインフラ向け直接変換方式アプリケーションに適しています。LTC5594 内部の独自技術により、OIP2 を 65dBm まで最適化する機能を提供し、60dB を超える優れたイメージ除去比を実現します。DC オフセット制御機能を使用して、A/D コンバータ入力での DC オフセットをゼロにすることができ、それによって、DC 結合された IF 信号経路を使用する真のゼロ IF レシーバのダイナミックレンジを最適化します。広帯域の RF および LO 入力ポートにより、1 つのデバイスを使用して主要な全ての無線インフラ周波数帯域を対象にすることができます。LTC5594 の IF 出力は、最も一般的な A/D コンバータ入力インタフェースとインタフェースをとるように設計されています。デバイスの高い OIP3 および高い変換利得によって、IF 信号経路にアンプを追加する必要がなくなります。

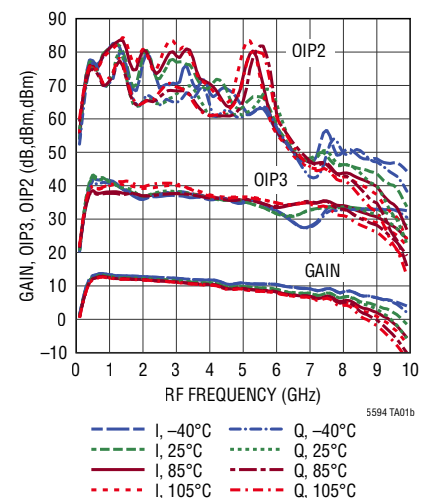
全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

直接変換 I/Q レシーバ



利得、OIP3、および OIP2 と
温度 (T_C) (最適化されていない状態)



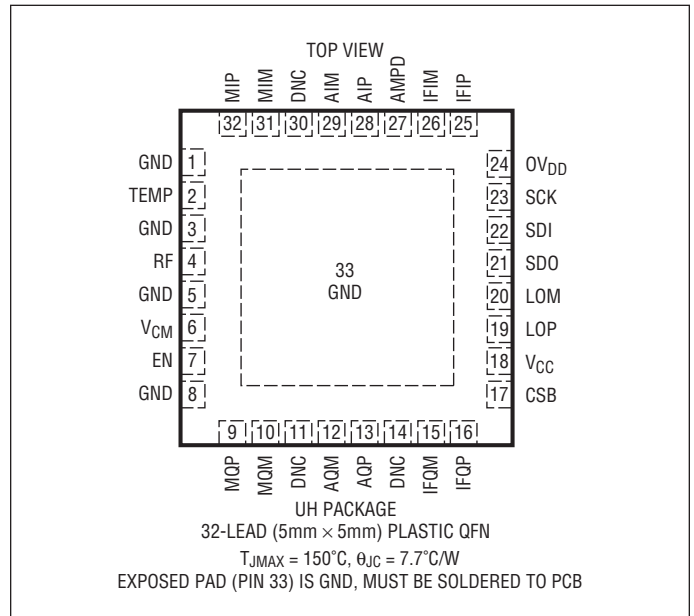
LTC5594

絶対最大定格

(Note 1)

V_{CC} 電源電圧 (Note 23)	$-0.3V \sim 5.5V$
OV_{DD} 、SDO の電圧 (Note 20)	$-0.3V \sim 3.8V$
RF の DC 電圧	$1.5V \sim 2.0V$
LOP、LOM の DC 電圧	$2.1V \sim 2.8V$
IFIM、IFIP、IFQP、IFQM の DC 電圧	$-0.3V \sim 3.5V$
AIM、AIP、AQM、AQP の DC 電圧	$V_{CC} - 1.7V \sim V_{CC} - 1.2V$
MIM、MIP、MQM、MQP の DC 電圧	$V_{CC} - 1.7V \sim V_{CC} - 1.2V$
他の全てのピンの電圧	$-0.3V \sim 5.5V$
LOP、LOM、RF の入力電力 (Note 19)	$+20dBm$
出力短絡時間 (Note 16、19)	無期限
最大接合部温度 (T_{JMAX})	$150^{\circ}C$
ケース動作温度	
範囲 (T_C)	$-40^{\circ}C \sim 105^{\circ}C$
保存温度範囲	$-65^{\circ}C \sim 150^{\circ}C$

ピン配置



発注情報 <http://www.linear-tech.co.jp/product/LTC5594#orderinfo>

無鉛仕上げ	テープ・アンド・リール	製品マーキング	パッケージ	温度範囲
LTC5594IUH#PBF	LTC5594IUH#TRPBF	5594	32-Lead (5mm×5mm) Plastic QFN	$-40^{\circ}C$ to $105^{\circ}C$

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープ・アンド・リールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

一部のパッケージは、指定販売チャンネルを通じて、#TRMPBFの接尾辞付きで500単位のリールで供給されます。

電気的特性 注記がない限り、 $T_C = 25^\circ\text{C}$ 、 $V_{CC} = 5\text{V}$ 、 $OV_{DD} = \text{EN} = \text{CSB} = 3.3\text{V}$ 、 $\text{SDI} = \text{SCK} = \text{AMPD} = 0\text{V}$ 、 $V_{CM} = 0.9\text{V}$ 、 $P_{IF} = 1.5\text{dBm}$ (2 トーン・テストの場合、 -1.5dBm /トーン)、 $P_{LO} = 6\text{dBm}$ 、全てのレジスタはデフォルト値であり、全てのパラメータは復調器とアンプの複合性能を対象に記載されている。(Note 2、3、6、9、21、24)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$f_{RF}(\text{RANGE})$	RF Input Frequency Range	(Note 12)		0.3 to 9.0		GHz
$f_{LO}(\text{RANGE})$	LO Input Frequency Range	(Note 12)		0.3 to 9.0		GHz
BW_{IF}	IF Output Bandwidth	-1dB Corner Frequency (Note 22)		1.0		GHz
RL_{RF}	RF Input Return Loss (Note 5)	$f_{RF} = 300\text{MHz}$ to 500MHz $f_{RF} = 500\text{MHz}$ to 9.0GHz		>10 >10		dB dB
RL_{LO}	LO Input Return Loss	$f_{LO} = 300\text{MHz}$ to 9.0GHz		>10		dB
$P_{LO}(\text{RANGE})$	LO Input Power Range	(Note 12)		-6 to 12		dBm
G_P	Power Conversion Gain AMPG = 0x06, $R_{LOAD} = 100\Omega$ Differential (Note 8)	$f_{RF} = 400\text{MHz}$		11.5		dB
		$f_{RF} = 1900\text{MHz}$		12.3		dB
		$f_{RF} = 3500\text{MHz}$		11.0		dB
		$f_{RF} = 5800\text{MHz}$		9.2		dB
		$f_{RF} = 7200\text{MHz}$		7.0		dB
		$f_{RF} = 8500\text{MHz}$		5.2		dB
NF	Noise Figure, Double Side Band (Note 4)	$f_{RF} = 400\text{MHz}$		15.7		dB
		$f_{RF} = 1900\text{MHz}$		16.0		dB
		$f_{RF} = 3500\text{MHz}$		17.9		dB
		$f_{RF} = 5800\text{MHz}$		21.2		dB
		$f_{RF} = 7200\text{MHz}$		23.5		dB
		$f_{RF} = 8500\text{MHz}$		28.6		dB
$NF_{BLOCKING}$	Noise Figure Under Blocking Conditions Double Side Band, $P_{IF, BLOCKER} = 1.5\text{dBm}$ (Note 7)	$f_{RF} = 400\text{MHz}$		16.7		dB
		$f_{RF} = 1900\text{MHz}$		17.0		dB
		$f_{RF} = 3500\text{MHz}$		18.9		dB
		$f_{RF} = 5800\text{MHz}$		22.2		dB
		$f_{RF} = 7200\text{MHz}$		24.5		dB
		$f_{RF} = 8500\text{MHz}$		29.6		dB
OIP3	Output 3rd Order Intercept Unadjusted/Adjusted	$f_{RF} = 400\text{MHz}$		40/44		dBm
		$f_{RF} = 1900\text{MHz}$		37/43		dBm
		$f_{RF} = 3500\text{MHz}$		37/42		dBm
		$f_{RF} = 5800\text{MHz}$		37/40		dBm
		$f_{RF} = 7200\text{MHz}$		33/38		dBm
		$f_{RF} = 8500\text{MHz}$		33/35		dBm
OIP2	Output 2nd Order Intercept Unadjusted/Adjusted	$f_{RF} = 400\text{MHz}$		75/80		dBm
		$f_{RF} = 1900\text{MHz}$		68/75		dBm
		$f_{RF} = 3500\text{MHz}$		68/70		dBm
		$f_{RF} = 5800\text{MHz}$		58/65		dBm
		$f_{RF} = 7200\text{MHz}$		48/55		dBm
		$f_{RF} = 8500\text{MHz}$		43/48		dBm
$IIP3_{DEMOD}$	Input 3rd Order Intercept without Amplifier Unadjusted	$f_{RF} = 400\text{MHz}$		30		dBm
		$f_{RF} = 1900\text{MHz}$		26		dBm
		$f_{RF} = 3500\text{MHz}$		27		dBm
		$f_{RF} = 5800\text{MHz}$		24		dBm
		$f_{RF} = 7200\text{MHz}$		24		dBm
		$f_{RF} = 8500\text{MHz}$		27		dBm
$OIP3_{AMP}$	Output 3rd Order Intercept, Amplifier Only (Note 17)	$f_{IF} = 10\text{MHz}$		42		dBm
		$f_{IF} = 100\text{MHz}$		41		dBm
		$f_{IF} = 200\text{MHz}$		38		dBm
		$f_{IF} = 300\text{MHz}$		37		dBm
		$f_{IF} = 500\text{MHz}$		35		dBm
		$f_{IF} = 1000\text{MHz}$		30		dBm

電気的特性 注記がない限り、 $T_C = 25^\circ\text{C}$ 、 $V_{CC} = 5\text{V}$ 、 $OV_{DD} = EN = CSB = 3.3\text{V}$ 、 $SDI = SCK = AMPD = 0\text{V}$ 、 $V_{CM} = 0.9\text{V}$ 、 $P_{IF} = 1.5\text{dBm}$ (2 トーン・テストの場合、 -1.5dBm /トーン)、 $P_{LO} = 6\text{dBm}$ 、全てのレジスタはデフォルト値であり、全てのパラメータは復調器とアンプの複合性能を対象に記載されている。(Note 2、3、6、9、21、24)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
HD2	2nd Order Harmonic Distortion Unadjusted/Adjusted	$f_{RF} = 400\text{MHz}$		-65		dBc
		$f_{RF} = 1900\text{MHz}$		-64		dBc
		$f_{RF} = 3500\text{MHz}$		-60		dBc
		$f_{RF} = 5800\text{MHz}$		-56		dBc
		$f_{RF} = 7200\text{MHz}$		-50		dBc
		$f_{RF} = 8500\text{MHz}$		-46		dBc
HD3	3rd Order Harmonic Distortion Unadjusted/Adjusted	$f_{RF} = 400\text{MHz}$		-82		dBc
		$f_{RF} = 1900\text{MHz}$		-80		dBc
		$f_{RF} = 3500\text{MHz}$		-76		dBc
		$f_{RF} = 5800\text{MHz}$		-70		dBc
		$f_{RF} = 7200\text{MHz}$		-65		dBc
		$f_{RF} = 8500\text{MHz}$		-68		dBc
P1dB	Output 1dB Compression Point	$f_{RF} = 400\text{MHz}$		13.2		dBm
		$f_{RF} = 1900\text{MHz}$		13.2		dBm
		$f_{RF} = 3500\text{MHz}$		13.2		dBm
		$f_{RF} = 5800\text{MHz}$		13.2		dBm
		$f_{RF} = 7200\text{MHz}$		13.2		dBm
		$f_{RF} = 8500\text{MHz}$		13.2		dBm
DC _{OFFSET}	DC Offset, Unadjusted (Note 13)	$f_{RF} = 400\text{MHz}$		19		mV
		$f_{RF} = 1900\text{MHz}$		17		mV
		$f_{RF} = 3500\text{MHz}$		17		mV
		$f_{RF} = 5800\text{MHz}$		-26		mV
		$f_{RF} = 7200\text{MHz}$		-63		mV
		$f_{RF} = 8500\text{MHz}$		-19		mV
DC _{OFF(RANGE)}	DC Offset Adjustment Range	DCOI, DCOQ = 0x00 to 0xFF		-75 to 75		mV
DC _{OFF(STEP)}	DC Offset Step Size			640		μV
ΔG	I/Q Gain Mismatch, Unadjusted	$f_{RF} = 400\text{MHz}$		0.05		dB
		$f_{RF} = 1900\text{MHz}$		0.05		dB
		$f_{RF} = 3500\text{MHz}$		0.06		dB
		$f_{RF} = 5800\text{MHz}$		0.06		dB
		$f_{RF} = 7200\text{MHz}$		0.07		dB
		$f_{RF} = 8500\text{MHz}$		0.44		dB
$\Delta G_{(RANGE)}$	I/Q Gain Mismatch Adjustment Range	GERR = 0x00 to 0x3F		-0.5 to 0.5		dB
$\Delta G_{(STEP)}$	I/Q Gain Mismatch Adjustment Step Size			0.016		dB
$\Delta\phi$	I/Q Phase Mismatch, Unadjusted	$f_{RF} = 400\text{MHz}$		0.9		Deg
		$f_{RF} = 1900\text{MHz}$		1.1		Deg
		$f_{RF} = 3500\text{MHz}$		3.1		Deg
		$f_{RF} = 5800\text{MHz}$		1.6		Deg
		$f_{RF} = 7200\text{MHz}$		1.1		Deg
		$f_{RF} = 8500\text{MHz}$		1.0		Deg
$\Delta\phi_{(RANGE)}$	I/Q Phase Mismatch Adjustment Range	PHA = 0x000 to 0x1FF		-2.5 to 2.5		Deg
$\Delta\phi_{(STEP)}$	I/Q Phase Mismatch Adjustment Step Size			0.05		Deg
IRR	Image Rejection Ratio Unadjusted/Adjusted (Note 10)	$f_{RF} = 400\text{MHz}$		43/70		dB
		$f_{RF} = 1900\text{MHz}$		42/65		dB
		$f_{RF} = 3500\text{MHz}$		33/65		dB
		$f_{RF} = 5800\text{MHz}$		37/60		dB
		$f_{RF} = 7200\text{MHz}$		40/60		dB
		$f_{RF} = 8500\text{MHz}$		33/60		dB

電気的特性 注記がない限り、 $T_C = 25^\circ\text{C}$ 、 $V_{CC} = 5\text{V}$ 、 $OV_{DD} = EN = CSB = 3.3\text{V}$ 、 $SDI = SCK = AMPD = 0\text{V}$ 、 $V_{CM} = 0.9\text{V}$ 、 $P_{IF} = 1.5\text{dBm}$ (2 トーン・テストの場合、 -1.5dBm /トーン)、 $P_{LO} = 6\text{dBm}$ 、全てのレジスタはデフォルト値であり、全てのパラメータは復調器とアンプの複合性能を対象に記載されている。(Note 2、3、6、9、21、24)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
LR _{LEAK}	LO to RF Leakage	$f_{LO} = 400\text{MHz}$		-67		dBm
		$f_{LO} = 1900\text{MHz}$		-65		dBm
		$f_{LO} = 3500\text{MHz}$		-56		dBm
		$f_{LO} = 5800\text{MHz}$		-52		dBm
		$f_{LO} = 7200\text{MHz}$		-50		dBm
		$f_{LO} = 8500\text{MHz}$		-55		dBm
RL _{ISO}	RF to LO Isolation	$f_{RF} = 400\text{MHz}$		69		dB
		$f_{RF} = 1900\text{MHz}$		57		dB
		$f_{RF} = 3500\text{MHz}$		66		dB
		$f_{RF} = 5800\text{MHz}$		55		dB
		$f_{RF} = 7200\text{MHz}$		57		dB
		$f_{RF} = 8500\text{MHz}$		53		dB
RI _{ISO}	RF to IF Isolation (Note 18)	$f_{RF} = 400\text{MHz}$		70		dB
		$f_{RF} = 1900\text{MHz}$		48		dB
		$f_{RF} = 3500\text{MHz}$		59		dB
		$f_{RF} = 5800\text{MHz}$		48		dB
		$f_{RF} = 7200\text{MHz}$		40		dB
		$f_{RF} = 8500\text{MHz}$		43		dB
LI _{ISO}	LO to IF Isolation (Note 18)	$f_{LO} = 400\text{MHz}$		40		dB
		$f_{LO} = 1900\text{MHz}$		29		dB
		$f_{LO} = 3500\text{MHz}$		38		dB
		$f_{LO} = 5800\text{MHz}$		36		dB
		$f_{LO} = 7200\text{MHz}$		33		dB
		$f_{LO} = 8500\text{MHz}$		35		dB

電源および他のパラメータ

V_{CC}	Supply Voltage		4.75	5.0	5.25	V
I_{CC}	Supply Current		450	470	500	mA
$I_{CC}(\text{MIX})$	Mixer Supply Current	Amplifier Disabled, $AMPD = 3.3\text{V}$	230	250	270	mA
$I_{CC}(\text{OFF})$	Shutdown Current	$EN < 0.3\text{V}$		20	900	μA
$I_{CC}(\text{SLEEP})$	Sleep Current	$EDEM = EDC = EADJ = EAMP = 0$		4		mA
t_{ON}	Turn-On Time (Note 14)	EN Transition from Logic Low to High		1		μs
t_{OFF}	Turn-Off Time (Note 15)	EN Transition from Logic High to Low		1		μs
OV_{DD}	Digital I/O Supply Voltage			1.2 to 3.3		V
V_{DH}	EN Input High Voltage (On)		$0.7 \cdot OV_{DD}$			V
V_{DL}	EN Input Low Voltage (Off)			$0.3 \cdot OV_{DD}$		V
I_{EN}	EN Pin Input Current	$EN = 3.3\text{V}$		41		μA
V_{TEMP}	TEMP Diode Bias Voltage	$I_{TEMP} = 100\mu\text{A}$ into TEMP pin		0.774		V
	TEMP Diode Temperature Slope	$I_{TEMP} = 100\mu\text{A}$ into TEMP pin		-1.52		$\text{mV}/^\circ\text{C}$
$Z_{MIX}(\text{OUT})$	Mixer Output Impedance	Differential		100 0.6		ΩpF
$V_{MIX}(\text{OUT})$	Mixer Output DC Voltage	Common Mode		3.6		V
$Z_{AMP}(\text{IN})$	Amplifier Input Impedance	Differential		200 0.2		ΩpF
$V_{AMP}(\text{IN})$	Amplifier DC Input Voltage	Common Mode		3.6		V
$Z_{AMP}(\text{OUT})$	Amplifier Output Impedance	Differential		4 0.5		$\text{k}\Omega \text{pF}$
$I_{AMP}(\text{SC})$	Amplifier DC Output Short Circuit Current	$IFIP = IFIM = IFQP = IFQM = 0\text{V}$		100		mA
$V_{CM}(\text{RANGE})$	V_{CM} Pin Voltage Range (Notes 11, 12)			0.5 to 2.0		V

電気的特性 注記がない限り、 $T_C = 25^{\circ}\text{C}$ 、 $V_{CC} = 5\text{V}$ 、 $OV_{DD} = EN = CSB = 3.3\text{V}$ 、 $SDI = SCK = AMPD = 0\text{V}$ 、 $V_{CM} = 0.9\text{V}$ 、 $P_{IF} = 1.5\text{dBm}$ (2 トーン・テストの場合、 -1.5dBm /トーン)、 $P_{LO} = 6\text{dBm}$ 、全てのレジスタはデフォルト値であり、全てのパラメータは復調器とアンプの複合性能を対象に記載されている。(Note 2、3、6、9、21、24)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
シリアル・インタフェース・ピン						
V_{IH}	High Level Input Voltage	CSB, SDI, SCK	$0.7 \cdot OV_{DD}$			V
V_{IL}	Low Level Input Voltage	CSB, SDI, SCK		$0.3 \cdot OV_{DD}$		V
V_{IHYS}	Input Hysteresis Voltage	CSB, SDI, SCK		250		mV
$I_{IN(SER)}$	Input Current	CSB, SDI, SCK (Note 19)			10	μA
V_{OH}	High Level Output Voltage	SDO, 10mA Current Sink	$0.7 \cdot OV_{DD}$			V
V_{OL}	Low Level Output Voltage	SDO, 10mA Current Source			$0.3 \cdot OV_{DD}$	V

シリアル・インタフェースのタイミング

t_{CKH}	SCK High Time		25			ns
t_{CKL}	SCK Low Time		25			ns
t_{CSS}	CSB Setup Time		10			ns
t_{CSH}	CSB High Time		10			ns
t_{DS}	SDI to SCK Setup Time		6			ns
t_{DH}	SDI to SCK Hold Time		6			ns
t_{DO}	SCK to SDO Time	To $V_{IH}/V_{IL}/\text{Hi-Z}$ with 30pF Load			16	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。全てのピンの電圧は、 $V_{CC} + 0.3\text{V}$ を超えないようにする必要があり、 -0.3V 未満にならないようにする必要がある。そうしないと、ESD ダイオードに損傷が発生する可能性がある。

Note 2: テストは図1のテスト回路で行われる。

Note 3: LTC5594は $-40^{\circ}\text{C} \sim 105^{\circ}\text{C}$ のケース温度の動作範囲で動作することが保証されている。

Note 4: DSB ノイズフィギュアは、小信号雑音源を使い、RF入力にはフィルタを使わず、他のRF信号を与えずに、15MHzのベースバンド周波数で測定される。

Note 5: 300MHz ~ 500MHz の場合、RF入力で6.8pFのシャント・コンデンサを使用する。500MHz ~ 9GHzの場合、0.2pFを使用する。

Note 6: 差動アンプ出力(IFIP、IFIM、およびIFQP、IFQM)は、180°コンバイナを使用して結合される。

Note 7: ブロッキング状態のノイズフィギュア(NFBLOCKING)は、 $f_{LO} + 1\text{MHz}$ のRF入力信号を使い、60MHzの出力周波数で測定される。RFとLOの両方の入力信号は、ベースバンド出力とともに、適切なフィルタを通す。

Note 8: 電力変換利得は、RF入力からI出力またはQ出力までの範囲で定義される。電力変換利得は、I出力とQ出力に100 Ω の差動負荷インピーダンスを使って測定される。IFコンバイナおよびスペクトラム・アナライザの終端に起因する全ての損失は除かれている。

Note 9: 入力 P_{RF} は、アンプ出力で $P_{IF} = -1.5\text{dBm}$ /トーンになるように調整される。RFトーン間隔は、ハイサイドLOの $f_{LO} = f_{RF} + 30\text{MHz}$ の場合、4MHzに設定される。

Note 10: イメージ除去比は、 $f_{IF} = 12\text{MHz}$ で測定され、測定された利得誤差および位相誤差から計算される。

Note 11: V_{CM} ピンは、フロート状態のままにすると、公称0.9Vに自己バイアスされる。

Note 12: これは推奨動作範囲であり、示されている範囲外での動作は可能だが、パラメータによっては性能が低下する可能性がある。

Note 13: IFIPとIFIMの間、およびIFQPとIFQMの間で差動で測定したDCオフセット。示されている値は特性評価データの分布の絶対値の平均である。

Note 14: IFの振幅は最終値の10%以内である。

Note 15: IFの振幅はそのオン状態より少なくとも30dB低い。

Note 16: IF出力はグラウンドに短絡される。

Note 17: IFトーン間隔は1MHzで設定される。

Note 18: ワーストケースの分離性能は、シングルエンドの各IFポートで測定される。

Note 19: 設計特性によって保証されているが、製造時にはテストされない。

Note 20: OV_{DD} ピンの電圧は、 $V_{CC} + 0.3\text{V}$ を超えてはならない。超えた場合、ESD ダイオードに損傷が発生する可能性がある。

Note 21: レジスタ定義およびデフォルト値については、付録を参照。

Note 22: ミキサ出力は、アンプ入力に直接接続される。帯域幅は、1つのアンプ出力(IまたはQ)で測定される。

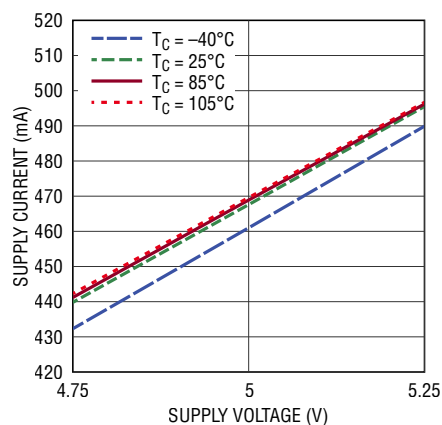
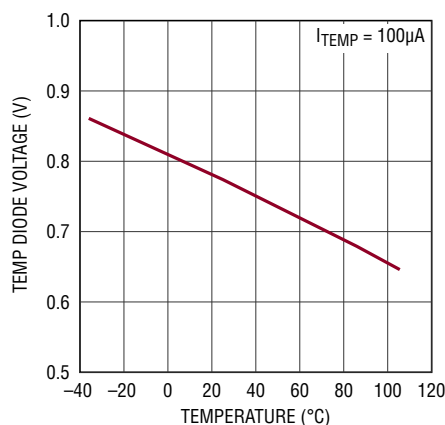
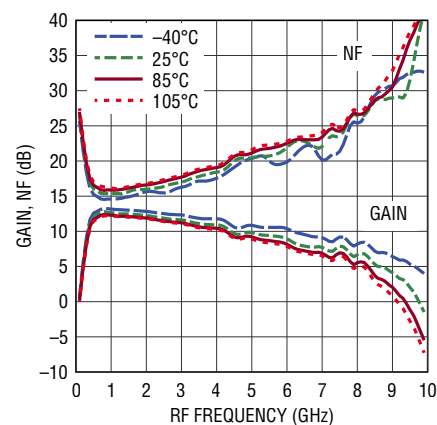
Note 23: V_{CC} は、損傷を防ぐために、5V/msよりも遅い速度で上昇する必要がある。

Note 24: P_{IF} は、アンプの差動出力で測定される。

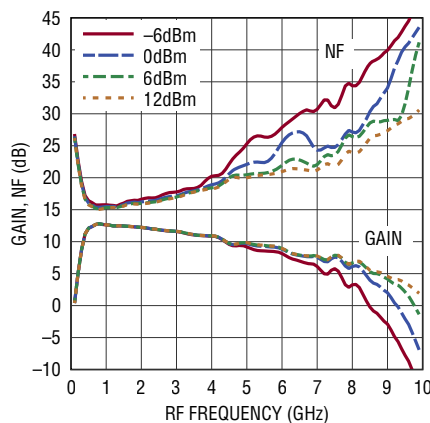
標準的性能特性

$V_{CC} = 5V$, $EN = 3.3V$, $T_C = 25^\circ C$, $P_{LO} = 6dBm$, HSL0, RF トーン間隔 = 4MHz, $f_{IF} = 30MHz$, $P_{IF} = -1.5dBm$ /トーン、レジスタはデフォルト値。注記がない限り、DCブロック、50 Ω の終端、および測定からディエンベディングされたアンプ出力での MACOM H9 180°コンバイナ。1GHzの段間フィルタを備える図1に示すテスト回路。

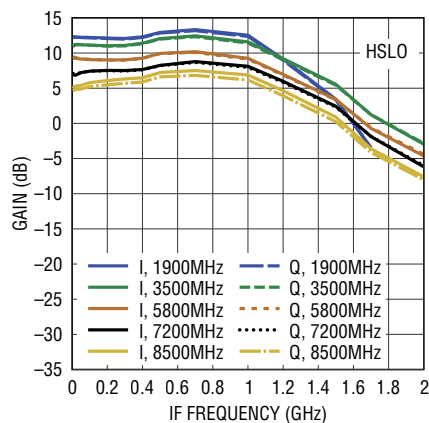
電源電流と電源電圧

TEMPのダイオードの電圧と温度 (T_C)ノイズフィギュアおよび変換利得と温度 (T_C)

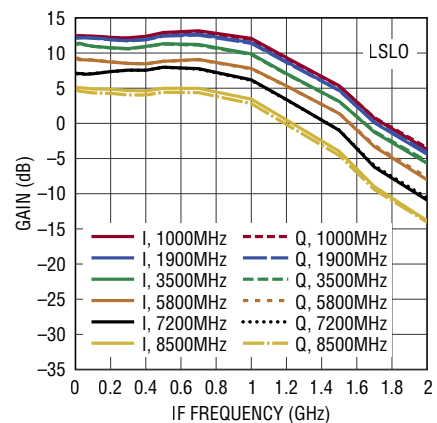
ノイズフィギュアおよび変換利得とLO電力



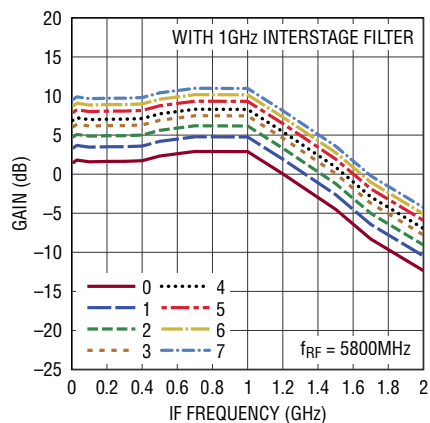
さまざまな固定LO周波数での利得とIF周波数



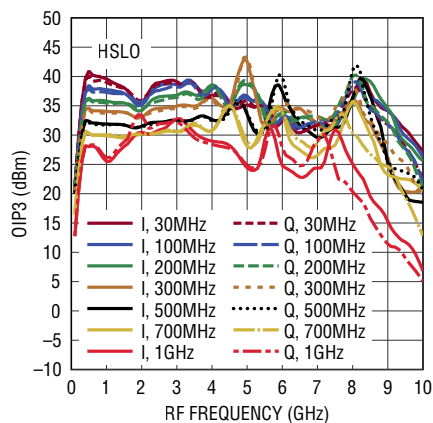
さまざまな固定LO周波数での利得とIF周波数



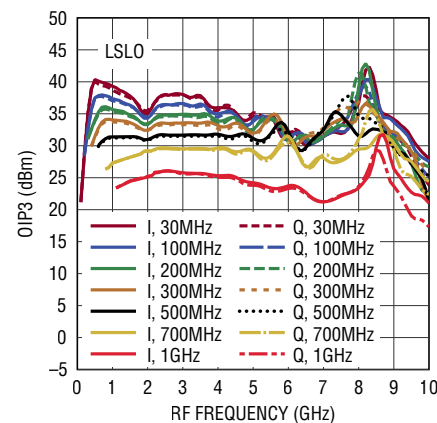
利得とAMPGレジスタ値



さまざまな固定IF周波数でのOIP3とRF周波数



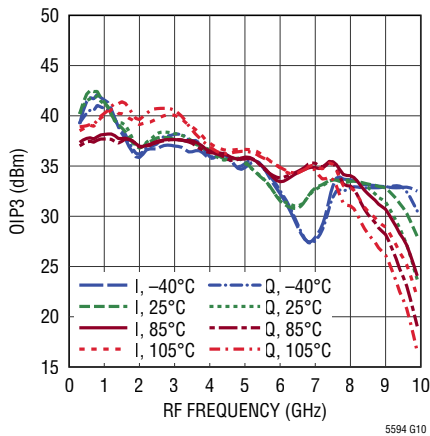
さまざまな固定IF周波数でのOIP3とRF周波数



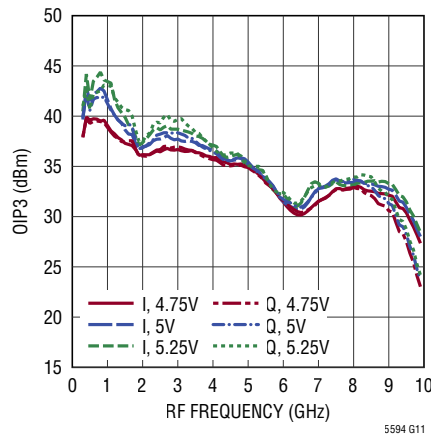
標準的性能特性

$V_{CC} = 5V$, $EN = 3.3V$, $T_C = 25^\circ C$, $P_{LO} = 6dBm$, $HSL0$, RF トーン間隔 = 4MHz, $f_{IF} = 30MHz$, $P_{IF} = -1.5dBm$ /トーン、レジスタはデフォルト値。注記がない限り、DC ブロック、 50Ω の終端、および測定からディエンベディングされたアンプ出力での MACOM H9 180°コンバイナ。1GHz の段間フィルタを備える図1に示すテスト回路。

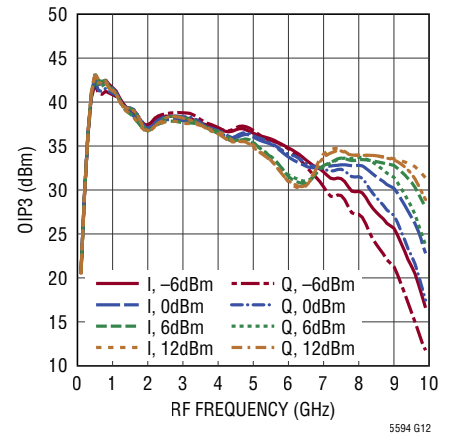
OIP3 と温度 (T_C)



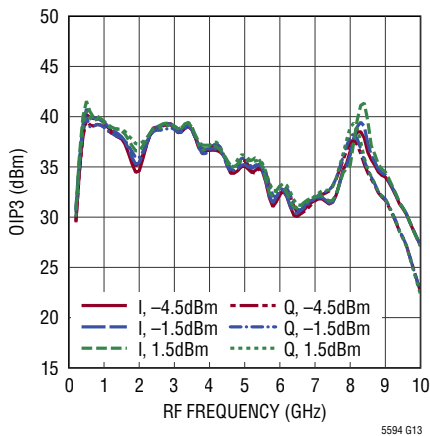
OIP3 と電源電圧 (V_{CC})



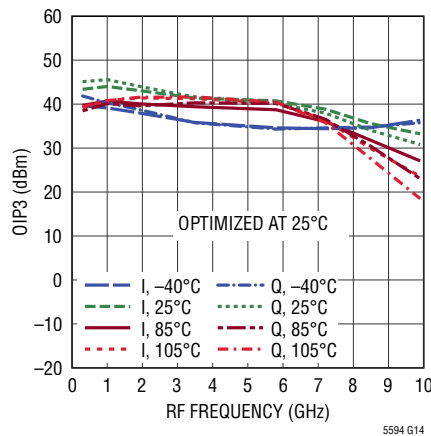
OIP3 と LO 電力



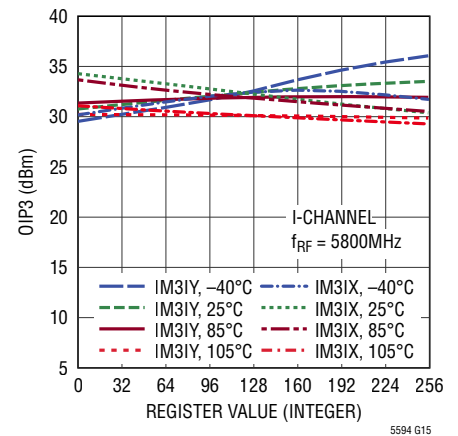
OIP3 と IF トーン電力



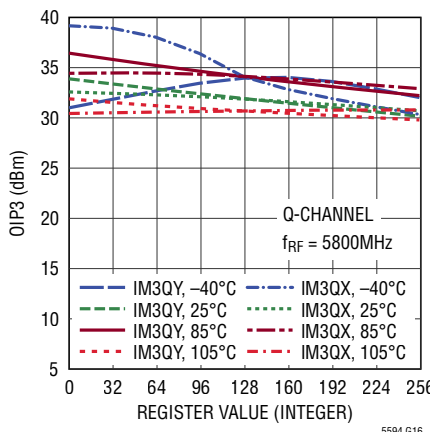
最適化された OIP3 と温度 (T_C)



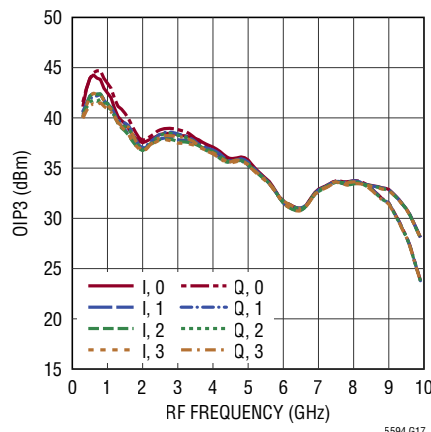
OIP3 と温度 (T_C) および レジスタ値



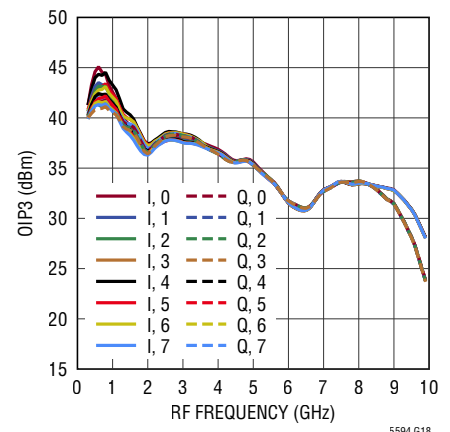
OIP3 と温度 (T_C) および レジスタ値



OIP3 と IP3CC レジスタ値



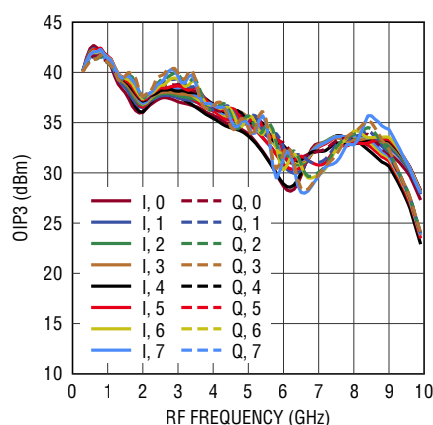
OIP3 と IP3IC レジスタ値



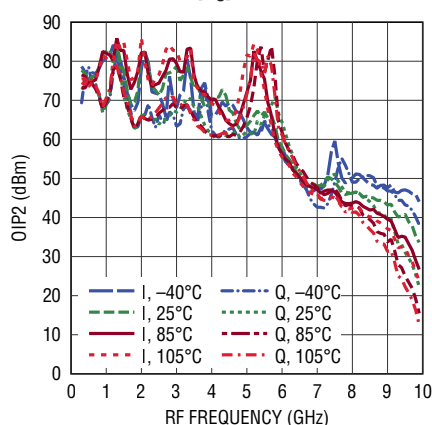
標準的性能特性

$V_{CC} = 5V$, $EN = 3.3V$, $T_C = 25^\circ C$, $P_{LO} = 6dBm$, $HSL0$, RF トーン間隔 = 4MHz, $f_{IF} = 30MHz$, $P_{IF} = -1.5dBm$ /トーン、レジスタはデフォルト値。注記がない限り、DCブロック、50Ωの終端、および測定からディエンベディングされたアンプ出力での MACOM H9 180°コンバイナ。1GHzの段間フィルタを備える図1に示すテスト回路。

OIP3とLVCMレジスタ値

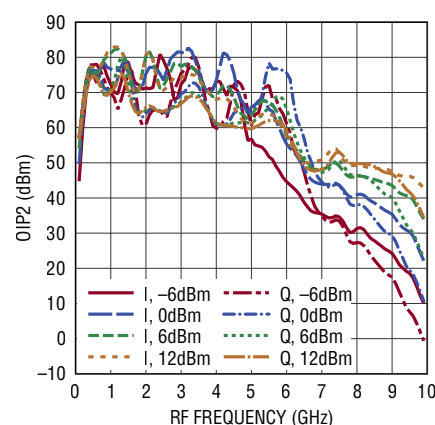


5594 G19

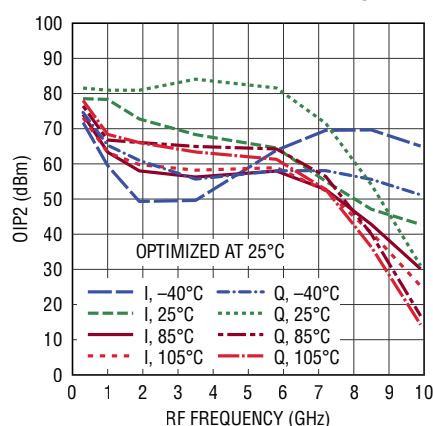
OIP2と温度(T_C)

5594 G20

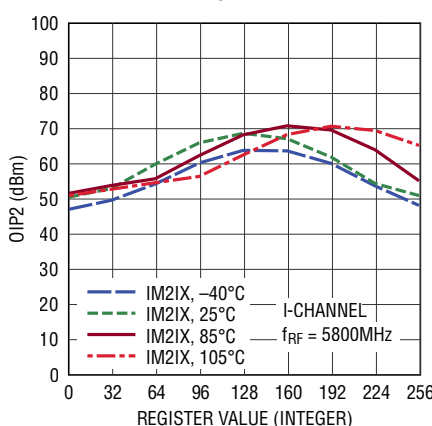
OIP2とLO電力



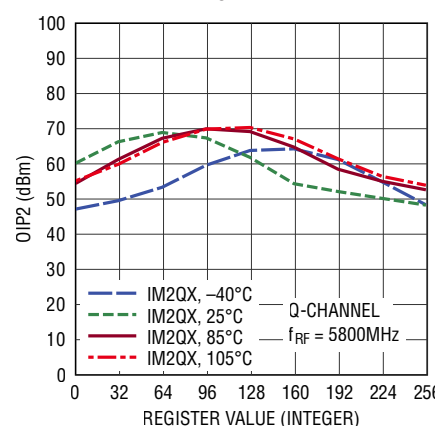
5594 G21

最適化されたOIP2と温度(T_C)

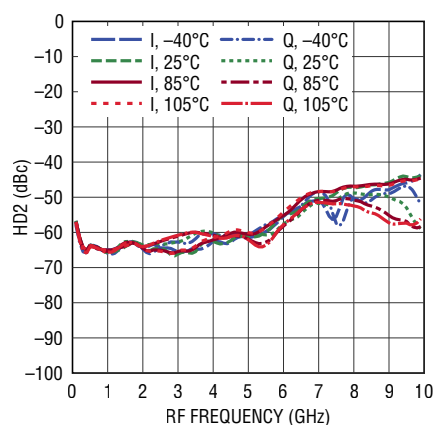
5594 G22

OIP2と温度(T_C)およびレジスタ値

5594 G23

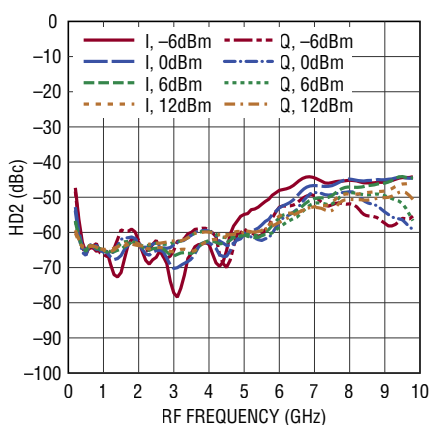
OIP2と温度(T_C)およびレジスタ値

5594 G24

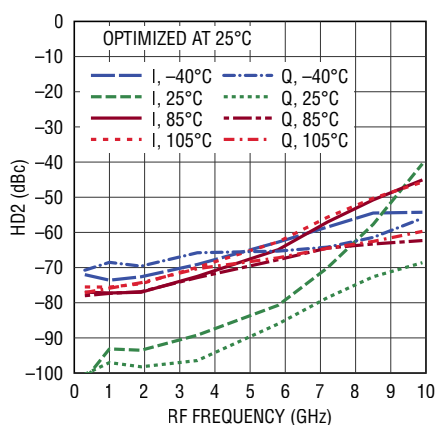
HD2と温度(T_C)

5594 G25

HD2とLO電力



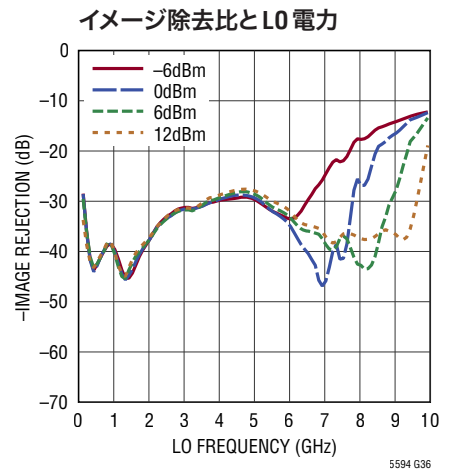
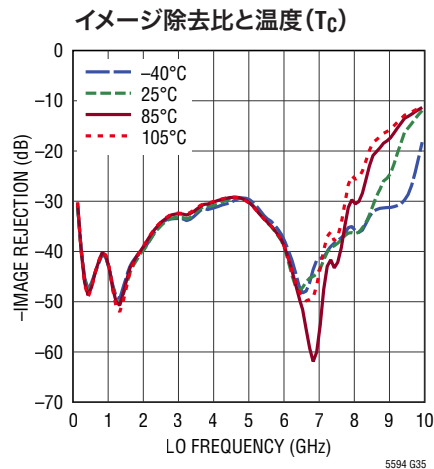
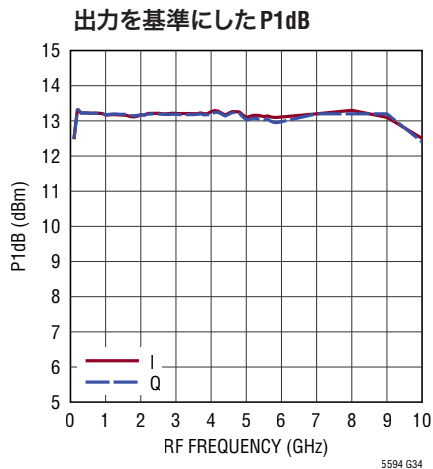
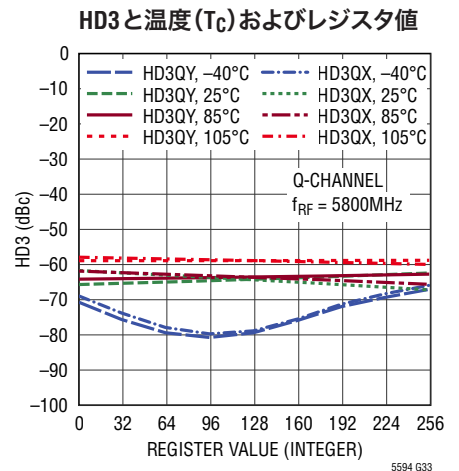
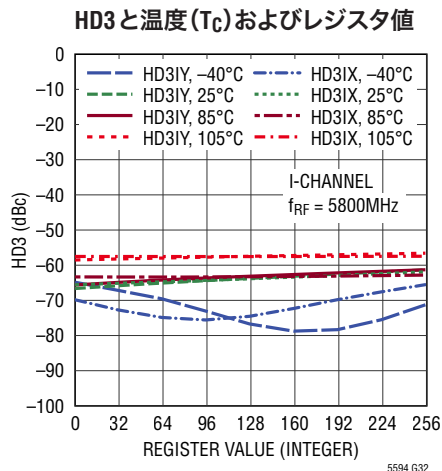
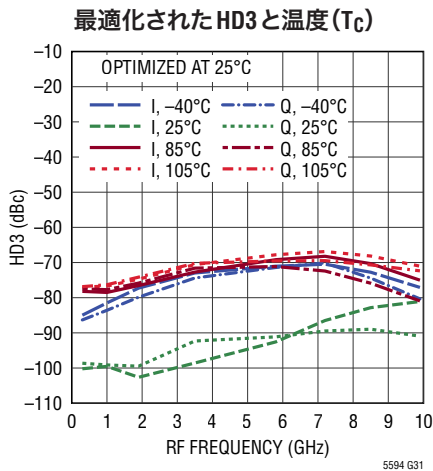
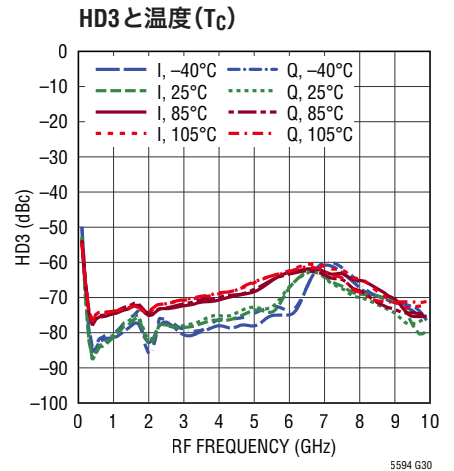
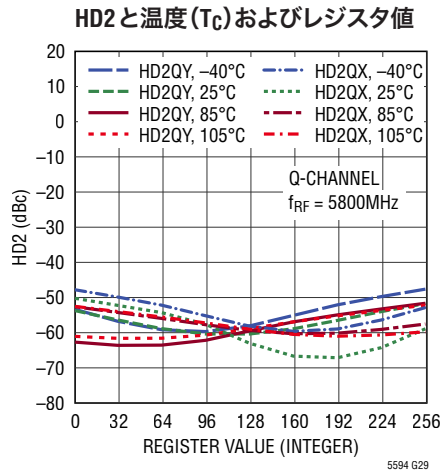
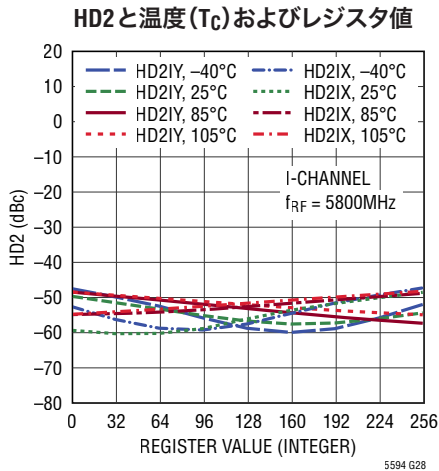
5594 G26

最適化されたHD2と温度(T_C)

5594 G27

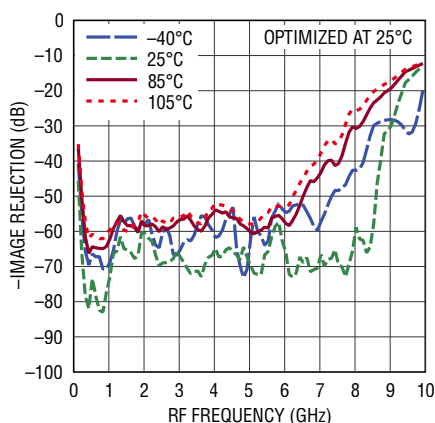
標準的性能特性

$V_{CC} = 5V$, $EN = 3.3V$, $T_C = 25^\circ C$, $P_{LO} = 6dBm$, $HSL0$, RF トーン間隔 = 4MHz, $f_{IF} = 30MHz$, $P_{IF} = -1.5dBm$ /トーン、レジスタはデフォルト値。注記がない限り、DCブロック、50Ωの終端、および測定からディエンベディングされたアンプ出力での MACOM H9 180°コンバイナ。1GHzの段間フィルタを備える図1に示すテスト回路。

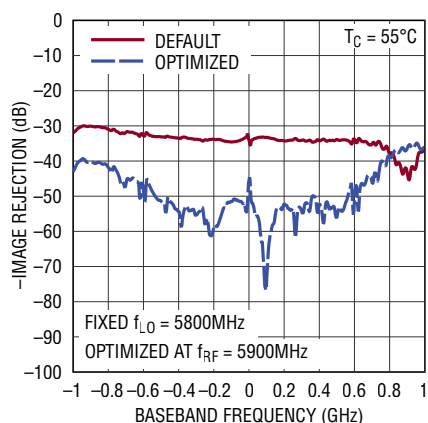
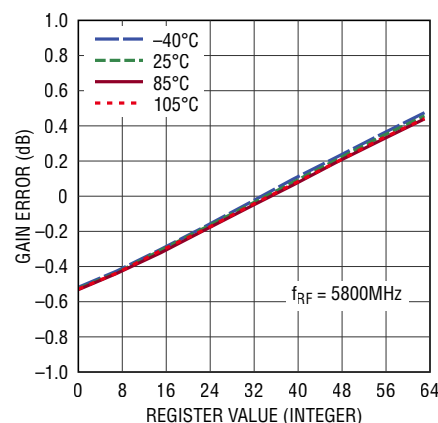
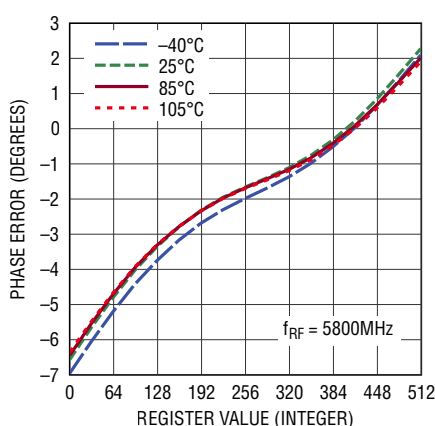
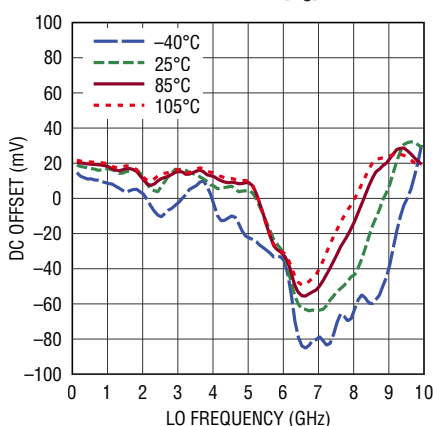


標準的性能特性

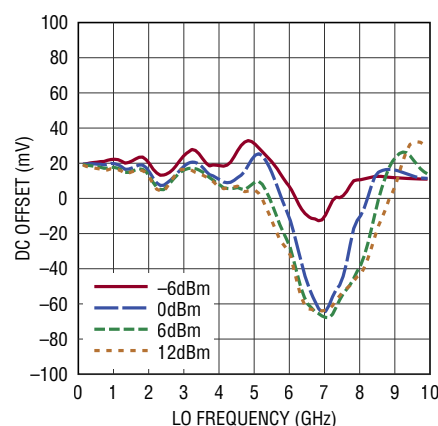
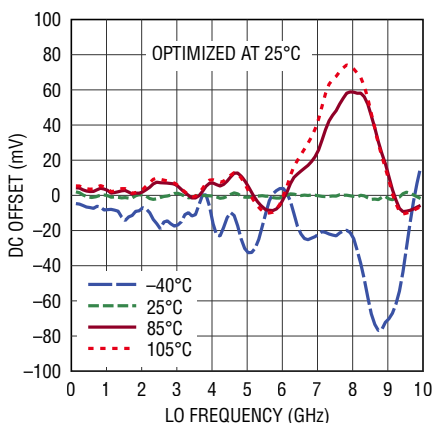
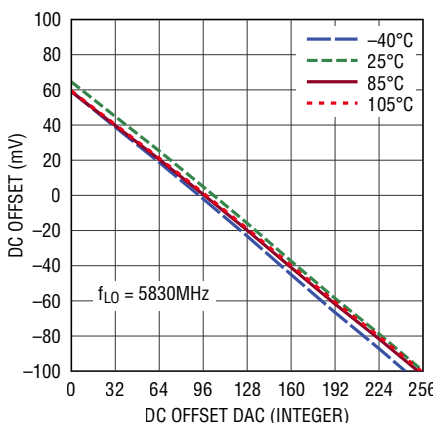
$V_{CC} = 5V$, $EN = 3.3V$, $T_C = 25^\circ C$, $P_{LO} = 6dBm$, HSL0、RF トーン間隔 = 4MHz, $f_{IF} = 30MHz$, $P_{IF} = -1.5dBm$ /トーン、レジスタはデフォルト値。注記がない限り、DC ブロック、50Ω の終端、および測定からディエンベディングされたアンプ出力での MACOM H9 180°コンバイナ。1GHz の段間フィルタを備える図1に示すテスト回路。

最適化されたイメージ除去比と温度 (T_C)

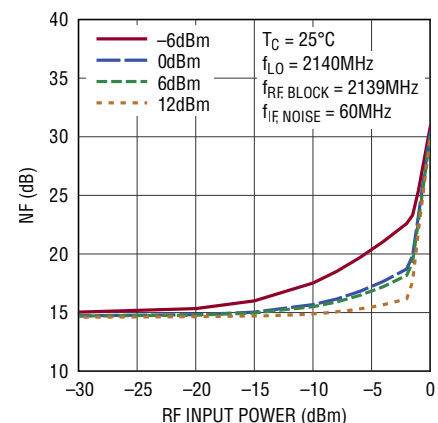
最適化されたイメージ除去比とベースバンド周波数

利得誤差と温度 (T_C) および GERR レジスタ値位相誤差と温度 (T_C) および PHA レジスタ値DC オフセットと温度 (T_C)

DC オフセットと LO 電力

最適化された DC オフセットと温度 (T_C)DC オフセットと温度 (T_C) および レジスタ値

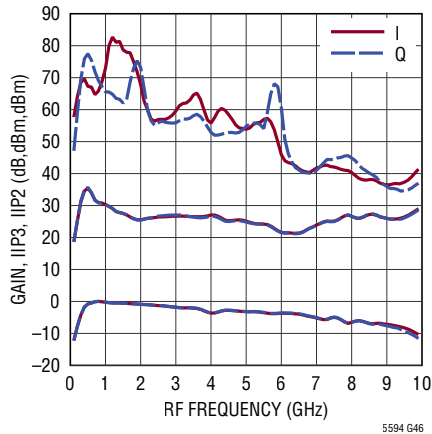
ブロッキング状態の ノイズフィギュアと LO 電力



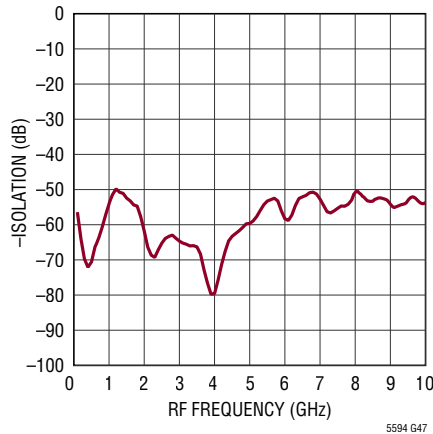
標準的性能特性

$V_{CC} = 5V$, $EN = 3.3V$, $T_C = 25^\circ C$, $P_{LO} = 6dBm$, $HSLO$, RF トーン間隔 = 4MHz, $f_{IF} = 30MHz$, $P_{IF} = -1.5dBm$ /トーン, レジスタはデフォルト値。注記がない限り, DC ブロック, 50Ω の終端, および測定からディエンベディングされたアンプ出力での MACOM H9 180°コンバイナ。1GHz の段間フィルタを備える図1に示すテスト回路。

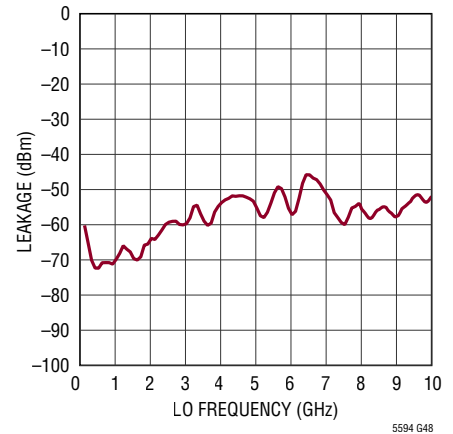
ミキサのみの場合の利得、IIP3、および IIP2



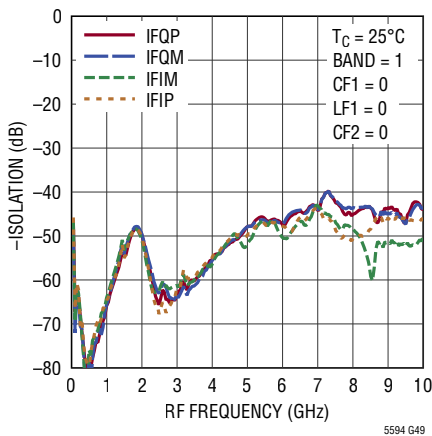
RFとLOの分離



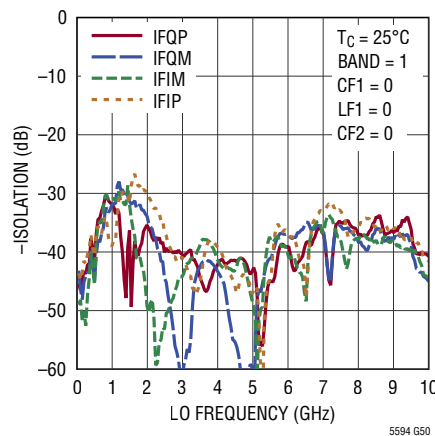
LOとRFの間の漏れ電流



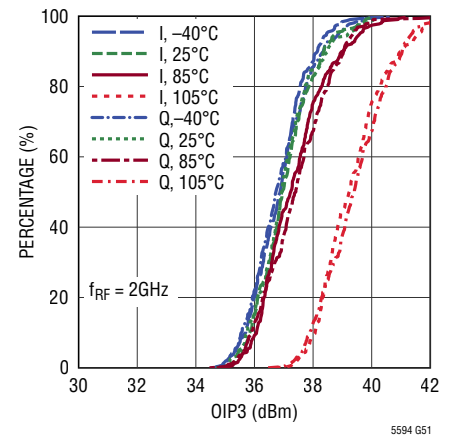
RFとIFの分離



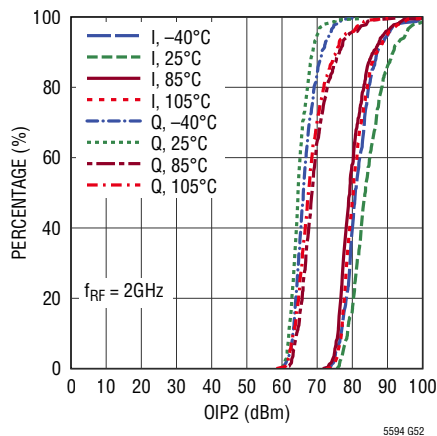
LOとIFの分離



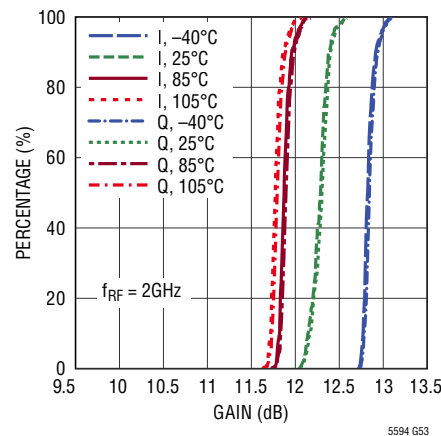
OIP3の分布と温度 (T_C)



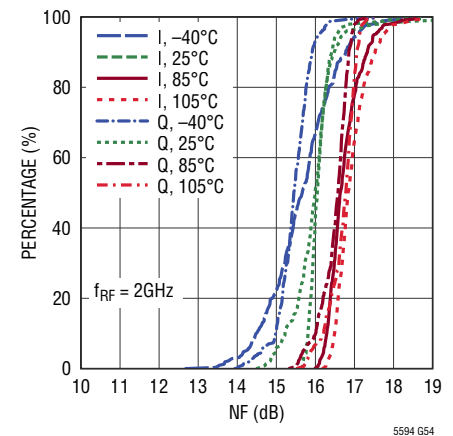
OIP2の分布と温度 (T_C)



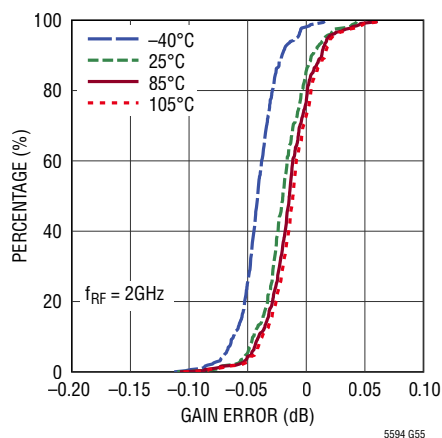
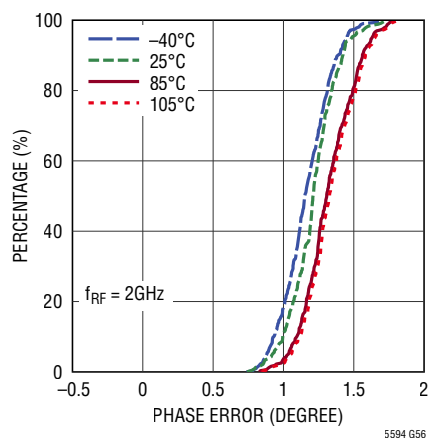
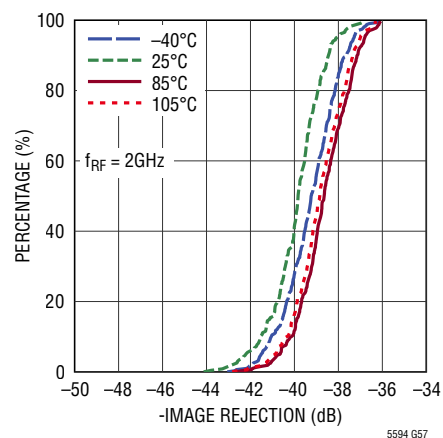
変換利得の分布と温度 (T_C)



ノイズフィギュアの分布と温度 (T_C)



標準的性能特性 $V_{CC} = 5V$ 、 $EN = 3.3V$ 、 $T_C = 25^\circ C$ 、 $P_{LO} = 6dBm$ 、HSL0、RF トーン間隔 = 4MHz、 $f_{IF} = 30MHz$ 、 $P_{IF} = -1.5dBm$ /トーン、レジスタはデフォルト値。注記がない限り、DC ブロック、 50Ω の終端、および測定からディエンベディングされたアンプ出力での MACOM H9 180°コンバイナ。1GHz の段間フィルタを備える図1に示すテスト回路。

利得誤差の分布と温度 (T_C)位相誤差の分布と温度 (T_C)イメージ除去比の分布と温度 (T_C)

ピン機能

TEMP (ピン2) : 温度モニタ・ダイオード。このピンとグラウンドの間にダイオードを接続して、ダイ温度を測定できます。100 μ Aの順方向バイアス電流をこのピンに入力することができ、順方向電圧降下をダイ温度の関数として測定できます。

RF (ピン4) : 50 Ω のRF入力。このピンは、カップリング・コンデンサ(1000pFを推奨)を使用してDCを遮断する必要があります。

V_{CM} (ピン6) : IFアンプの同相出力電圧調整。ソース抵抗を、1k以下にする必要があります。このピンを未接続のままにすると、内部で0.9Vに自己バイアスします。

EN (ピン7) : イネーブル・ピン。このピンをロジック“H”にすると、デバイスがイネーブルされます。このピンがどこにも接続されていないと(開放回路状態)、内部の200kプルダウン抵抗により、デバイスは確実にデイスエーブル状態に留まります。

MQP、MQM、MIM、MIP (ピン9、10、31、32) : ミキサの差動出力ピン。アンプ入力ピンに接続した場合、各ピンのDCバイアス点はV_{CC} - 1.4Vになります。通常は、MQM (P) ピンまたはMIM (P) ピンとAQM (P) ピンまたはAIM (P) ピンの間でローパス・フィルタを使用して、高周波数の混合積を抑制します。詳細については「アプリケーション情報」のセクションを参照してください。

DNC (ピン11、14、30) : 接続しないでください。これらのピンには、何も接続しないでください。

AQM、AQP、AIP、AIM (ピン12、13、28、29) : アンプの差動入力ピン。ミキサ出力ピンに接続した場合、各ピンのDCバイアス点はV_{CC} - 1.4Vになります。通常は、AQM (P) ピンまたはAIM (P) ピンとMQM (P) ピンまたはMIM (P) ピンの間でローパス・フィルタを使用して、高周波数の混合積を抑制します。詳細については「アプリケーション情報」のセクションを参照してください。

IFQM、IFQP、IFIP、IFIM (ピン15、16、25、26) : IFアンプの出力ピン。出力アンプによって使用される電流は、各ピンとグラウンドの間に接続された25 Ω ~ 200 Ω の抵抗およびV_{CM}制御電圧によって設定されます。

CSB (ピン17) : チップ選択バー。CSBが“L”の場合、シリアル・インタフェースがイネーブルされます。このピンは1.2V ~ 3.3Vのロジック・レベルで駆動できます。

V_{CC} (ピン18) : 正電源ピン。このピンは並列接続した1000pFと4.7 μ Fのコンデンサを使ってグラウンドにバイパスします。

LOP、LOM (ピン19、20) : LO入力。外部整合は必要ありません。50 Ω のシングルエンドまたは100 Ω の差動で駆動できます。LOピンは、カップリング・コンデンサ(1000pFを推奨)を使用してDCブロックする必要があります。シングルエンドで駆動した場合、未使用のピンは、DCブロッキング・コンデンサと直列に接続した50 Ω の抵抗を使用して終端する必要があります。

SDO (ピン21) : シリアル・データ出力。この出力は、1.2V ~ 3.3Vのロジック・レベルに対応できます。読み出しモードの間、データはMSBを先頭にして読み出されます。

SDI (ピン22) : シリアル・データ入力。データは、SCKの立ち上がりエッジで、MSBを先頭にしてモード制御レジスタにクロックインされます。SDIは1.2V ~ 3.3Vのロジック・レベルで駆動できます。

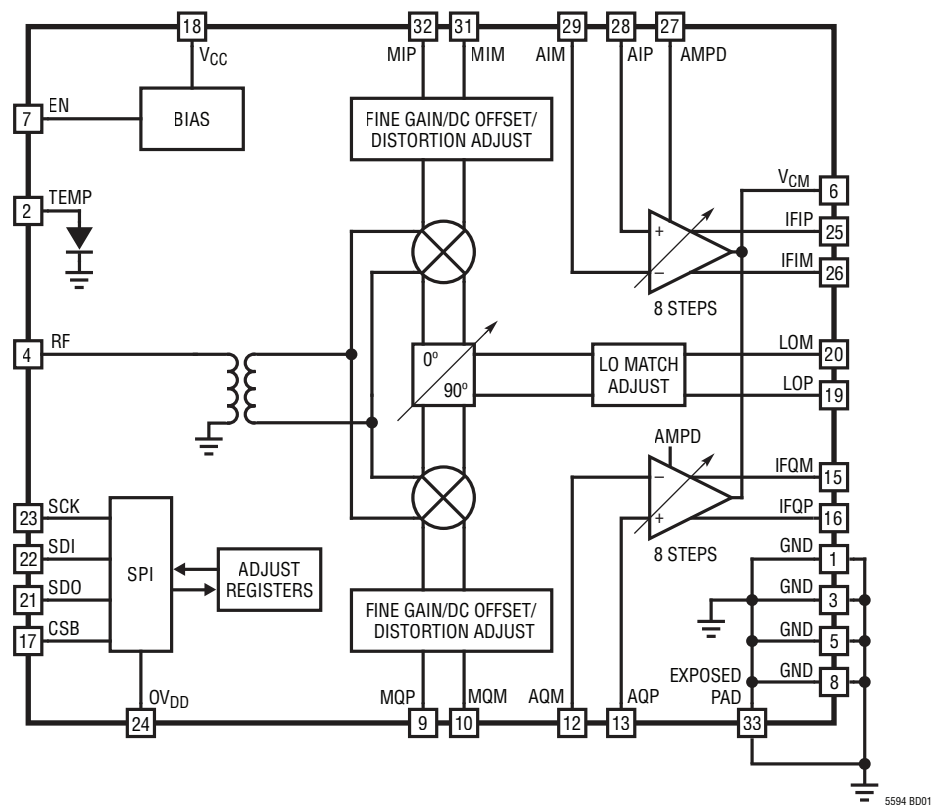
SCK+ (ピン23) : シリアル・クロック入力。SDIは1.2V ~ 3.3Vのロジック・レベルで駆動できます。

OV_{DD} (ピン24) : 正のデジタル・インタフェース電源ピン。このピンは、デジタル・インタフェースのロジック・レベルを設定します。1.2V ~ 3.3Vを使用できます。このピンは、1 μ Fのコンデンサを使ってグラウンドにバイパスする必要があります。ESDダイオードへの損傷を防ぐため、V_{CC}電源を供給してからOV_{DD}電源を供給する必要があります。

AMPD (ピン27) : IFアンプのデイスエーブル・ピン。このピンをロジック“H”にすると、IFアンプがデイスエーブルされます。IFアンプの状態は、 $\overline{\text{AMPD}}$ とEAMPレジスタの論理積です。このピンがどこにも接続されていない(開放回路状態)場合、内部の200kプルダウン抵抗により、IFアンプはデフォルトでイネーブル状態になります。

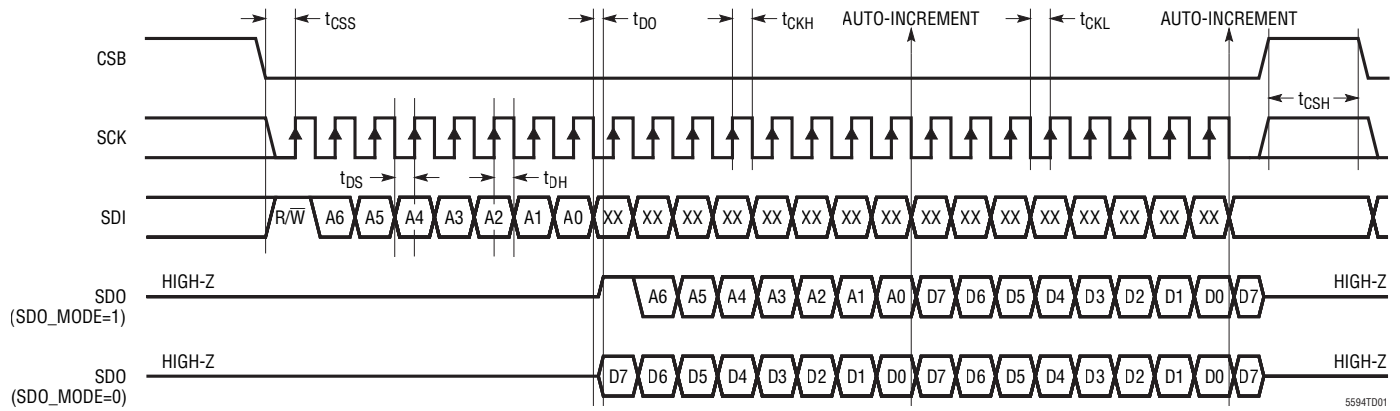
GND (ピン1、3、5、8、露出パッド・ピン33) : グラウンド・ピン。これらのピンは、回路基板のRFグラウンド・プレーンに半田付けする必要があります。裏面の露出パッドのグラウンド接続は、多数のスルーホール・ビアを使って、プリント回路基板のグラウンド・プレーンに低インダクタンスで接続し、熱的に十分接触させます。レイアウト情報を参照。

ブロック図

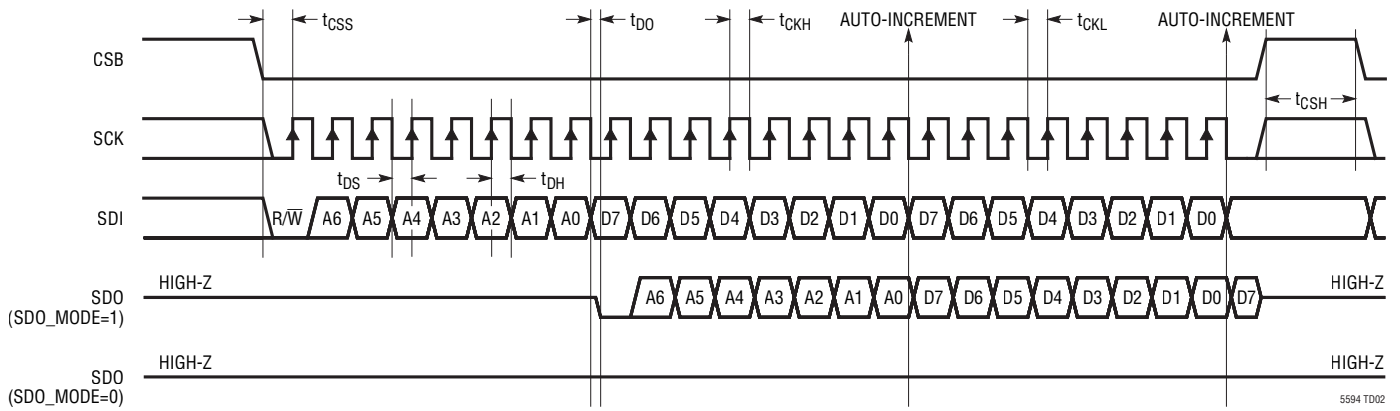


タイミング図

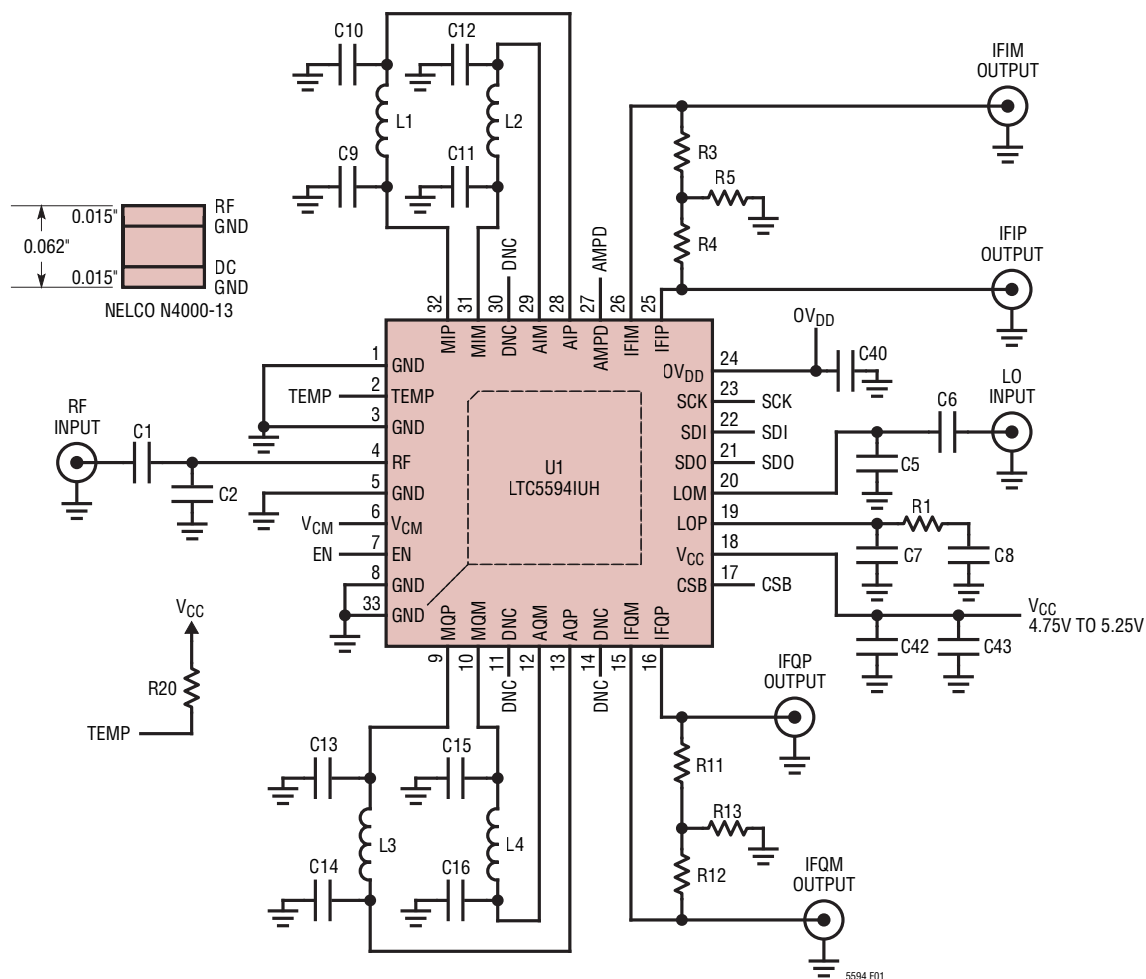
SPIポートのタイミング(読み出しモード)



SPIポートのタイミング(書き込みモード)



テスト回路



REF DES	VALUE	SIZE	VENDOR	REF DES	VALUE	SIZE	VENDOR
C1, C6, C8, C42	1000pF	0402	Murata	L1 TO L4	8.2nH	0805	Coilcraft
C2	0.2pF	0402	Murata	R1, R3, R4, R11, R12	49.9Ω	0402	
C5, C7	0.3pF	0402	Murata	R5, R13	0Ω	0402	
C9, C11, C13, C15	1.0pF	0201	Murata	R20	40.2kΩ	0402	
C10, C12, C14, C16	3.0pF	0201	Murata				
C40	1 μF	0603	Murata				
C43	4.7 μF	0805	Murata				

図1. テスト回路図

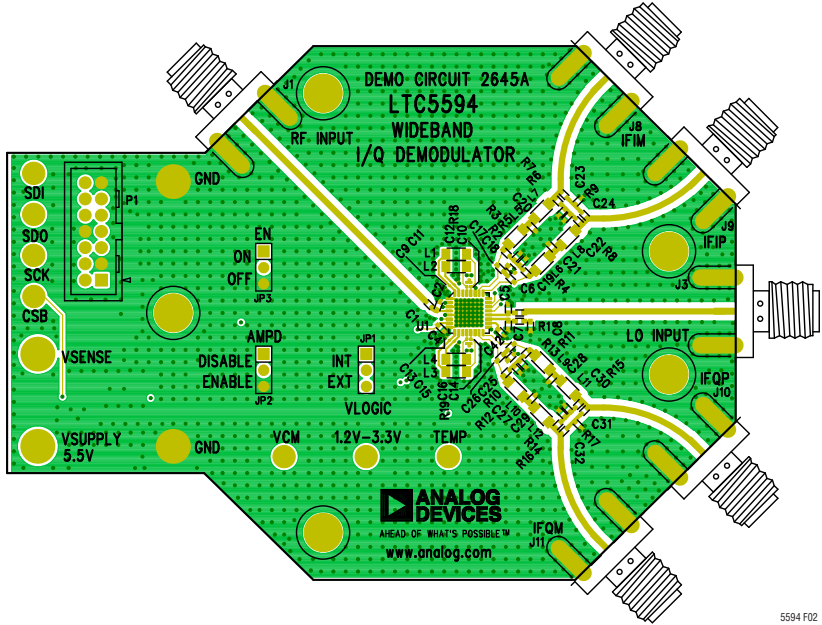


図2. 評価用ボードの部品面

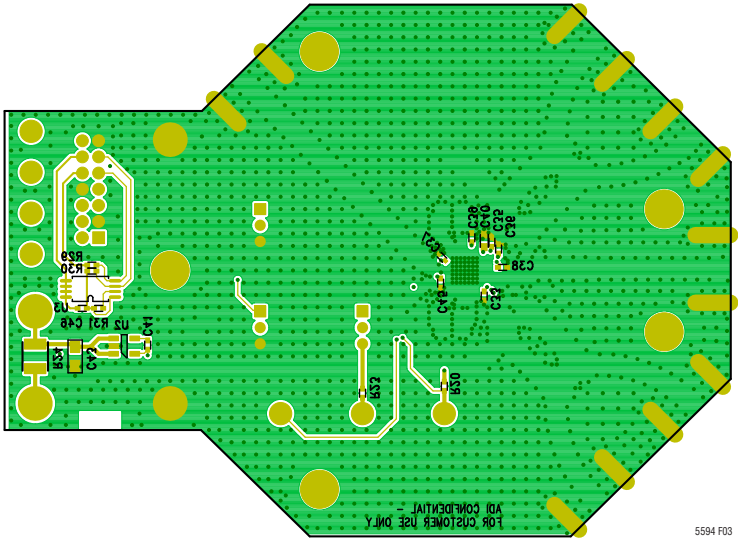


図3. 評価用ボードの底面

アプリケーション情報

LTC5594は高ダイナミックレンジのレシーバ・アプリケーション向けに設計されたIQ復調器です。RF バラン、I/Q ミキサ、直交LO アンプ、IF アンプ、ならびにDC オフセット、イメージ除去比、および非直線性の補正回路で構成されています。

動作

LTC5594 のブロック図に示すように、RF 入力信号は、内蔵のバラン・トランスによって差動信号に変換されてから、I チャンネルとQ チャンネルのミキサに進みます。

LO 入力は、プログラム可能な回路網を使用してインピーダンス整合され、その後、内部高精度位相シフタによって、その位相が正確に90°シフトされます。この位相シフタは、300MHz～9GHzの範囲のLO 入力範囲全体にわたって正確な直交関係を維持します。さらに、位相シフタは、ミキサ間の位相の不整合、およびフィルタ部品の不整合によってIF 経路に発生する位相の不整合を補償するために、約0.05°の分解能でのI チャンネルとQ チャンネルのLO の間の位相差の微調整を可能にします。

差動ミキサ IF 出力信号は、内蔵IF アンプに入力される前に、 $f_{RF} + f_{LO}$ 信号およびその他の高周波数の混合積を除去するために、デバイスの外部でフィルタリングされます。IF アンプは、調整可能な利得および同相出力電圧を備えており、A/D コンバータと直接インタフェースをとることができます。LTC5594の両方のIF 出力チャンネル間の利得バランスは、約0.016dBの分解能で微調整することができ、それによって、デバイスの内部で発生するか、または外部アンプおよびフィルタによって発生するIF 信号経路における利得の不整合を補償します。両方のIF チャンネルにおけるDC オフセットは、A/D コンバータの入力で累積されるDC オフセットを最小限に抑えるように調整できます。

IF 利得レジスタ、利得誤差および位相誤差調整レジスタ、DC オフセット調整レジスタ、ならびに非直線性調整レジスタは、4線式のシリアル・インタフェースを介してデジタル制御されます。レジスタ・マップについては、付録で詳述されています。

RF 入力ポート

図4に、内蔵のバラン・トランスに接続された復調器のRF 入力の簡略回路図を示します。RF 入力ピンには外部のDC 電圧を印加しないでください。このピンに流れ込むDC 電流はデバイスに損傷を与える可能性があります。直列のDC ブロッキング・コンデンサを使ってRF 入力ピンをRF 信号源に結合します。図5に示すように、RF 入力ポートは、C2に0.2pFのコンデンサを使用した場合、500MHz～9GHzの周波数範囲にわたって10dBよりも大きいリターン・ロスとよく整合しています。C3の0.1pFのコンデンサを、50Ωの入力伝送線路上にあるC1から3mm離して配置すると、高周波でのリターン・ロスが向上することがあります。また、C2を6.8pFに変更することによって、RF ピンを300MHz～500MHzの周波数範囲で外部から整合させることもできます。C2が0.2pFである場合のRF 入力のインピーダンスおよび入力反射係数を表1に示します。入力伝送線路の長さの影響は測定値から除かれています。

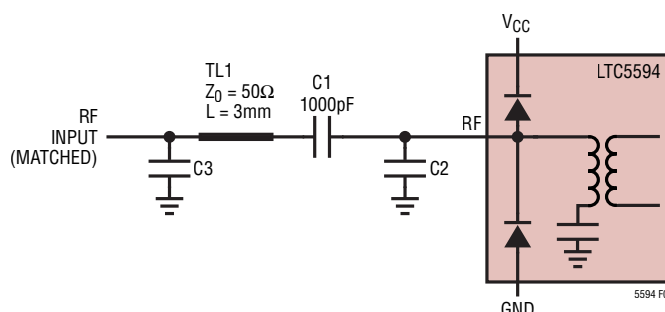


図4. RF 入力と外部整合部品の簡略回路図

アプリケーション情報

LOの入力周波数が6GHzから9GHzまでの場合に、さまざまな長さの入力TL1伝送線路に対する高帯域LOの入力リターン・ロスを図8に示します。50Ωの入力伝送線路上にあるCxに0.2pFのコンデンサを使用することにより、リターン・ロスを10dBより大きくすることができます。Cxにコンデンサがない場合で、BAND、CF1、LF1、およびCF2レジスタを1、0、0、0に設定した場合、高帯域LOの入力リターン・ロスを表3に示します。

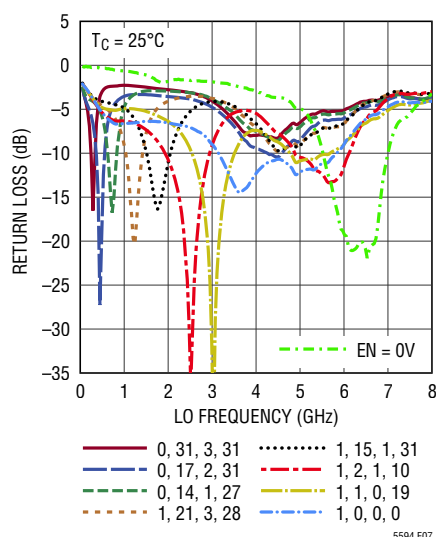


図7. シングルエンドLO入力のリターン・ロスとBAND、CF1、LF1、およびCF2

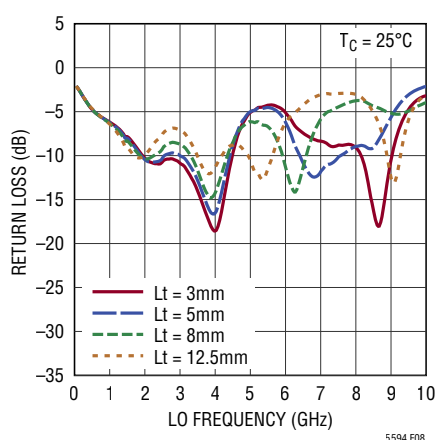


図8. 高帯域LOの入力リターン・ロスと入力伝送線路の長さLt

表3. 高帯域LOの入力インピーダンス

周波数 (MHz)	入力インピーダンス (Ω)	S11	
		振幅	位相 (°)
5000	87.2 + j37.9	0.436	46.4
5500	121.5 + j32.1	0.503	27.8
6000	132.1 + j5.4	0.453	4.8
6500	95.2 - j17.7	0.347	-23.8
7000	73.5 - j39.5	0.406	-58.2
7500	69.0 - j47.5	0.467	-66.0
8000	77.8 - j51.9	0.531	-59.9
8500	77.8 - j38.8	0.361	-75.4
9000	58.8 - j38.8	0.402	-122.6

段間フィルタ

大きい $f_{RF} + f_{LO}$ およびミキサ出力からのその他の混合積を抑制するために、段間IFフィルタをMIP (MIM) ピンとAIP (AIM) ピンの間、およびMQP (MQM) ピンとAQP (AQM) ピンの間で使用する必要があります。このフィルタを使用しなかった場合、目的の信号に関して、アンプの直線性が悪化する可能性があります。図9に、推奨されるローパス・フィルタを示します。表4に、さまざまな帯域幅のローパス応答に使用される標準値を示します。

表4. 段間ローパス・フィルタの部品値

1dB BW (MHz)	L1, L2 (nH)	C9, C11 (pF)	C10, C12 (pF)
20	330	39	120
50	150	15	47
100	68	10	22
300	33	4.7	6.8
500	22	3.0	3.0
1000	8.2	1.0	3.0

C10とC12を、アンプ入力にできるだけ近づけて配置することは重要です。アンプ入力に長いラインを接続すると、不安定になる可能性があります。図10に示すように、50Ωの同相終端抵抗を使用して、長いラインまたはより高次のフィルタリング（あるいはその両方）での良好な安定性を保証することができます。2xLO、 $f_{RF} + f_{LO}$ 、およびその他の混合積の効率的なフィルタリングを実現するために、C9とC11をミキサ出力にできるだけ近づけて配置する必要があります。

フィルタ内のコンデンサの値を調整することによって、IF応答の周波数スロープを追加または削除することができます。RF入力には、2GHzより高い周波数では約-1dB/GHzの周波数スロープがあります。ハイサイドLO (HSLO)を使用した場

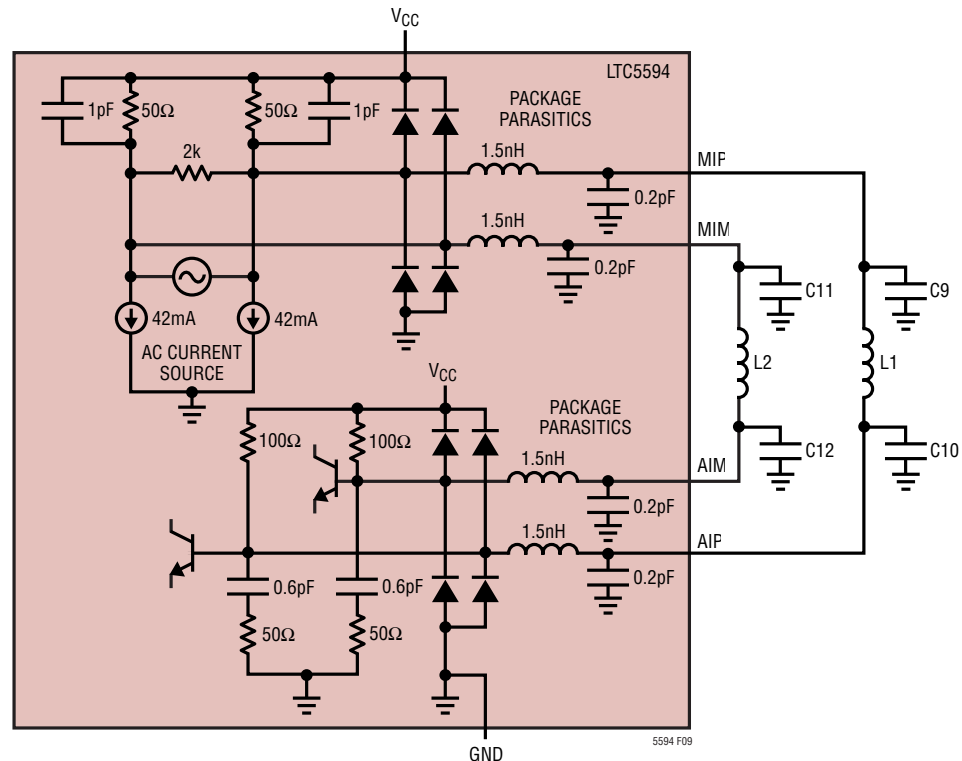


図9. 段間フィルタを接続したミキサ出力およびIFアンプ入力の簡略回路図

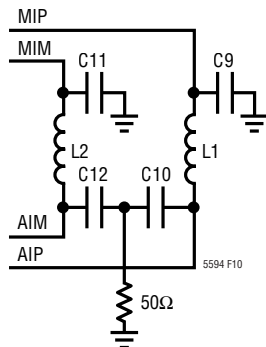


図10. 同相終端抵抗を接続した段間IFフィルタ

合、得られるIFスロープは1dB/GHzになります。ローサイドLO (LSLO)を使用した場合、得られるIFスロープは-1dB/GHzになります。HSLOまたはLSLOの場合、全体的に平坦なIF応答を得るために、フィルタ帯域幅にわたって約1dBのピーキングまたはロールオフを実現できるように、IFフィルタ部品の値を調整できます。

IチャネルとQチャネルの出力

IチャネルとQチャネルの出力信号間の位相関係は固定されています。LO入力周波数がRF入力周波数より高い(または低い)とき、Qチャネルの出力(IFQP、IFQM)はIチャネルの出力(IFIP、IFIM)より90°だけ位相が進みます(または遅れます)。

図11に、IFアンプ出力の簡略回路図を示します。電流モード出力には、同相電圧レベルを設定するために、終端抵抗が必要です。最適な動作電流は、1つの出力につき18mAです。同相電圧が0.9Vの場合は、各出力を50Ωで終端することを推奨します(R5、R6)。同相終端抵抗を追加することにより、より高い同相電圧での動作が可能になります。例えば、1.8Vで動作させるには、25Ω (R5 = 66.5ΩおよびR6 = 0ΩまたはR5 = R6 = 43.2Ω)の同相抵抗を追加して、18mAの出力電流を維持します。あるいは、各出力とグランドの間に100Ωの終端抵抗を使用することにより、1.8Vの同相電圧と6dB超の変換利得を確保します。より低い同相電圧で動作させるには、変換利得を犠牲にして各出力により低い終端抵抗を使用するか、あるいは終端抵抗の接続部に負電源を使用します。図12に、さまざまな同相電圧でのアンプ単独のOIP3を示します。

アプリケーション情報

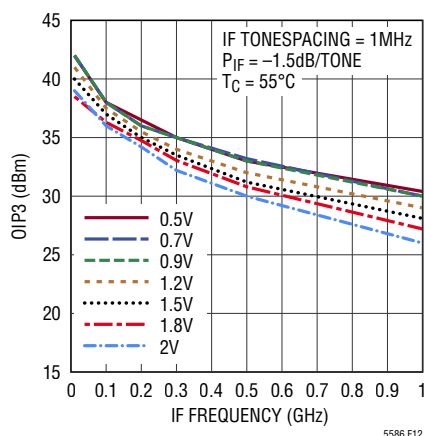


図12. アンプ単独のOIP3と出力同相電圧 (V_{CM})

アンプの利得は、AMPGレジスタを使用して、8dBから15dBまで約1dB刻みの8段階に調整できます。AMPG = 0x7に設定すると、利得は約15dBに設定され、AMPG = 0x0に設定すると、利得は約8dBに設定されます。

A/Dコンバータとインタフェースをとる場合の標準的なアンチエイリアス・フィルタを図11に示します。R3||R7およびR4||R8という並列の組み合わせによって、A/Dコンバータの差動インピーダンスが設定されます。このフィルタの入力および出力は、高周波数用の同相終端抵抗を内蔵しています。これらは、入力でのC17、C18、および24.9Ω、ならびに出力でのC23、C24、および24.9Ωで形成されています。アンプ出力での同相終端は安定性確保の役割を果たし、A/Dコンバータ入力での同相終端は、A/Dコンバータ内でのサンプリング・コンデンサからの高周波キックバックに対する終端の役割を果たします。表5に、アンチエイリアス・フィルタの標準値の一部と1dBのカットオフ周波数を示します。IF帯域の平坦性とリップルを最適化するために、パッケージの寄生素素を含めて、シミュレータでIF段間フィルタとアンチエイリアス・フィルタの両方を一緒に設計できます。RFスロープおよびHSLOまたはLSLOに起因する追加スロープは、この方法を使用して補償できます。アンチエイリアス・フィルタのレイアウトは、アンプの出力およびA/Dコンバータの入力ができるだけ近くなるように行う必要があります。これは、長いラインで追加寄生素素が発生するのを防ぐためです。

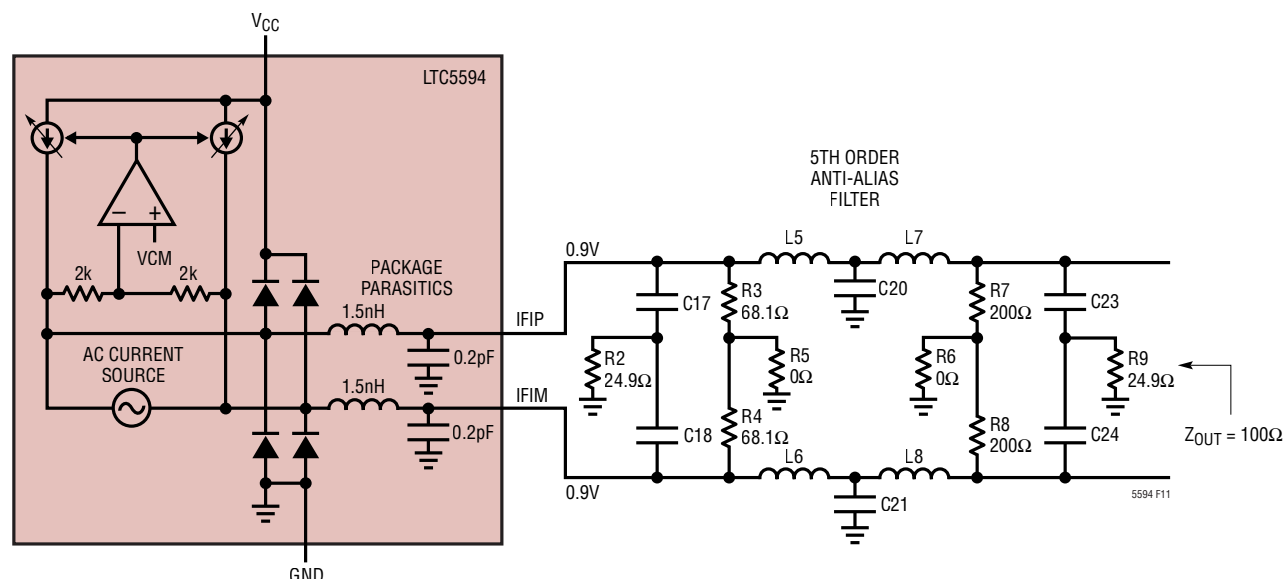


図11. アンチエイリアス・フィルタを接続したIFアンプ出力の簡略回路図

アプリケーション情報

表5. アンチエイリアス・ローパス・フィルタの部品値

1dB BW (MHz)	L5 ~ L8 (nH)	C17, C18 (pF)	C20, C21 (pF)	C23, C24 (pF)
20	560	56	180	82
50	240	22	68	33
100	120	12	39	22
300	33	3.9	8.2	6.8
500	22	1.8	6.8	3.3
1000	8	1.0	3.3	1.8

表6および表7に、全てのポートで50Ωの終端抵抗を使用した場合のアンプ単独での差動Sパラメータと同相Sパラメータを示します。加えて、入力ポートと出力ポートには、50Ωと直列に2pFの値を持つ同相終端抵抗が使用されています。

同相帰還アンプは、同相出力電圧を V_{CM} ピンの電圧の約20mV以内に維持します。 V_{CM} ピンのインタフェースを図13に示します。 V_{CM} ピンは、出力インピーダンスが1kΩ未満の電圧源で駆動する必要があります。 V_{CM} ピンをバイアスしない場合、出力同相電圧は、40kΩと8kΩの抵抗で形成される内部分圧器によって与えられる公称0.9Vに維持されます。 V_{CM} ピンをA/Dコンバータの同相リファレンス・ピンに接続することにより、IFアンプの出力同相電圧をA/Dコンバータの同相電圧に追従させることができます。

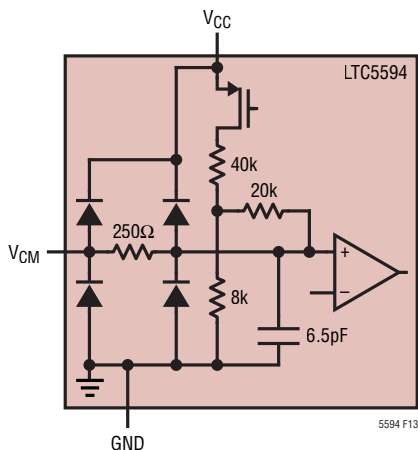
図13. V_{CM} 入力ピンの簡略回路図

表6. IFアンプのSパラメータ(差動モード)

IF (MHz)	S ₁₁		S ₂₁		S ₁₂		S ₂₂	
	振幅	位相	振幅	位相	振幅	位相	振幅	位相
0.001	0.204	-179.9	2.129	180.0	1.8e-4	164.8	0.014	178.5
100	0.203	176.0	2.154	171.9	5.4e-4	118.0	0.026	-120.9
200	0.205	172.2	2.170	163.7	1.0e-4	102.8	0.050	-112.0
300	0.207	168.5	2.197	155.6	1.7e-4	92.8	0.079	-113.5
400	0.210	164.8	2.239	147.3	2.8e-4	93.7	0.111	-118.3
500	0.215	160.9	2.292	138.8	3.2e-4	95.4	0.147	-125.0
600	0.221	157.0	2.363	130.1	4.0e-4	92.0	0.186	-132.1
700	0.227	153.0	2.445	121.2	5.0e-4	92.1	0.230	-140.0
800	0.235	149.0	2.535	112.0	5.5e-4	86.2	0.279	-148.1
900	0.242	144.6	2.642	102.0	6.9e-4	93.2	0.334	-157.0
1000	0.251	140.6	2.770	92.3	7.9e-4	92.7	0.396	-166.2
1500	0.303	117.6	3.420	32.3	0.003	92.6	0.738	134.4
2000	0.365	90.2	3.318	-45.5	0.005	33.2	0.828	70.0
2500	0.385	56.1	2.232	-105.2	0.005	-3.1	0.666	13.1
3000	0.365	16.6	2.620	-160.2	0.005	-34.2	0.488	-38.4
3500	0.319	-28.2	1.021	157.4	0.005	-61.9	0.418	-94.7
4000	0.307	-83.4	0.742	113.3	0.005	-79.5	0.409	-150.6

表7. IFアンプのSパラメータ(同相モード)

IF (MHz)	S ₁₁		S ₂₁		S ₁₂		S ₂₂	
	振幅	位相	振幅	位相	振幅	位相	振幅	位相
0.001	0.184	-138.7	9.2e-4	-112.8	0.037	-65.3	0.985	179.8
100	0.186	172.5	0.085	-118.9	0.013	-68.6	0.152	126.7
200	0.188	166.6	0.173	-134.7	0.007	-91.8	0.125	116.7
300	0.191	160.2	0.237	-150.0	0.004	-113.1	0.097	97.3
400	0.196	154.4	0.291	-163.8	0.002	-145.4	0.067	75.2
500	0.202	148.4	0.340	-176.8	0.002	170.2	0.037	43.6
600	0.210	142.8	0.387	170.9	0.002	137.0	0.023	-38.0
700	0.219	137.2	0.436	159.1	0.003	118.1	0.051	-97.8
800	0.230	132.0	0.488	147.1	0.003	107.8	0.094	-121.5
900	0.243	126.5	0.550	134.9	0.004	106.6	0.148	-137.0
1000	0.252	120.9	0.612	122.2	0.006	104.8	0.211	-151.3
1500	0.325	96.7	0.981	43.4	0.020	80.4	0.749	136.1
2000	0.438	72.1	0.776	-46.1	0.036	18.6	1.005	55.9
2500	0.549	40.1	0.496	-97.1	0.041	-21.9	0.873	2.9
3000	0.601	6.9	0.397	-143.2	0.042	-52.2	0.764	-37.3
3500	0.618	-27.5	0.281	-175.7	0.044	-80.3	0.668	-72.7
4000	0.595	-60.3	0.254	147.3	0.046	-101.2	0.620	-107.0

アプリケーション情報

温度ダイオード

TEMPピンの回路図を図14に示します。温度ダイオードを使用して、ダイ温度を直接測定できます。100 μ Aの電流源を生成してダイオードを読み出すため、40k Ω の抵抗をV_{CC}に接続することを推奨します。温度スロープは、約-1.52mV/ $^{\circ}$ Cです。

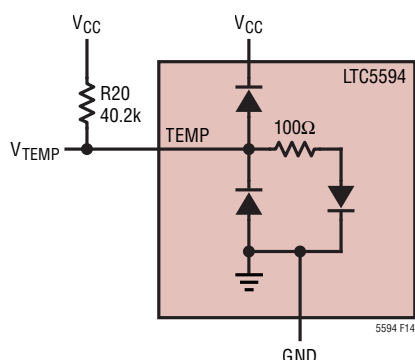


図14. TEMPピンの回路図

イネーブル・インタフェース

ENピンの簡略回路図を図15に示します。LTC5594をオンするのに必要なイネーブル電圧は $0.7 \cdot OV_{DD}$ です。デバイスをディスエーブルまたはオフするには、この電圧を $0.3 \cdot OV_{DD}$ より低くします。ENピンが接続されていないと、デバイスはディスエーブルされます。このピンがフロート状態のままの場合、内部の200k Ω プルダウン抵抗により、デバイスはシャットダウン・モードに維持されます。レジスタ0x16に0x00を書き込むことにより、LTC5594はシリアル・インタフェースを介して低電流のスリープ・モードにすることができます。これにより、復調器、アンプ、DC オフセット、および非直線性調整回路がディスエーブルされます。これらはEDEM、EAMP、EDC、およびEADJビット

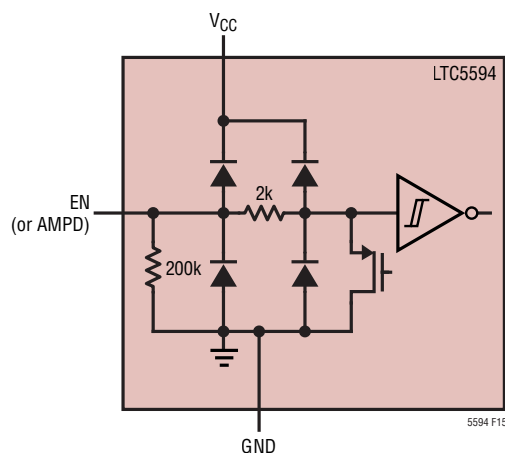


図15. EN(またはAMPD)ピンのインタフェースの簡略回路図

トで制御します。あるいは、レジスタ0x16の4つのMSBに任意の組み合わせビットを書き込むと、個々の回路ブロックをイネーブルまたはディスエーブルすることができます。

AMPD インタフェース

図15には、AMPD IFアンプのディスエーブル・ピンの簡略回路図も示されています。 $\overline{\text{AMPD}}$ とEAMPレジスタの論理積が1の場合、IFアンプはイネーブルされます。IFアンプの状態を表8に詳細に示します。

表8. IFアンプの状態とロジック・レベル

EAMP レジスタ	AMPDピン	
	0	1
0	OFF:	OFF:
1.	ON	OFF:

デジタル入力ピン

図16に、デジタル入力ピン(SCK、CSB、およびSDI)の簡略回路図を示します。これらのピンは、内部プルダウンまたはプルアップがないため、フロート状態のままにしないでください。

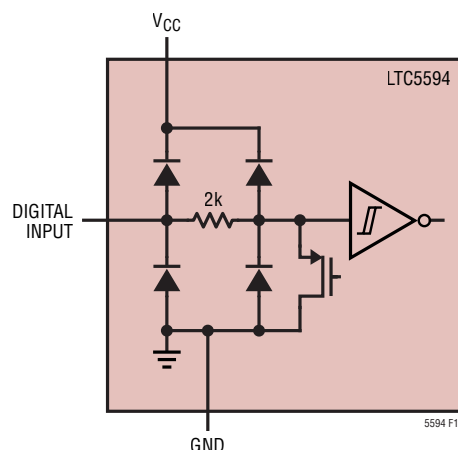


図16. デジタル入力ピン(SCK、CSB、SDI)の簡略回路図

OV_{DD} インタフェース

図17に、OV_{DD}インタフェースの簡略回路図を示します。OV_{DD}ピンは、デジタル入力およびSDOピンに電圧を供給します。このピンを1.2V～3.3Vに設定することによって、シリアル・ポートは1.2V～3.3Vのロジック・レベルで機能することができます。デバイスの電源電圧をシーケンス制御する場合は、V_{CC}電源を先に起動してからOV_{DD}を起動することが重要で

アプリケーション情報

す。これは、 OV_{DD} と V_{CC} の間に接続されたESD ダイオードが損傷するのを防ぐためです。

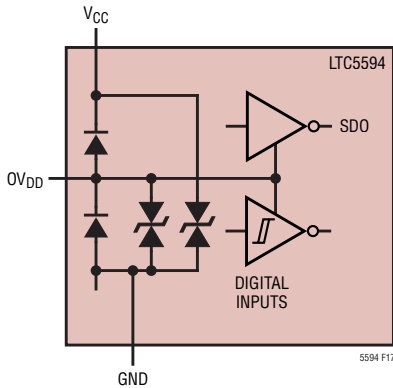


図 17. OV_{DD} ピンのインタフェースの簡略回路図

シリアル・ポート

SPI 互換のシリアル・ポートは、制御およびモニタ機能を備えています。

通信シーケンス

シリアル・バスは、CSB、SCK、SDI、およびSDOで構成されています。デバイスへのデータ転送は、シリアル・バスのマスタ・デバイスが最初にCSBを“L”にしてLTC5594のポートをイネーブルすることにより行われます。SDIに与えられた入力データはSCKの立ち上がりエッジでクロックされます。データは常にMSBを先頭にして転送されます。通信バーストは、シリアル・バスのマスタがCSBを“H”に戻すと終了します。詳細は、タイミング図を参照してください。

データは、通信バーストの間にSDOを使ってデバイスから読み出されます。CSB = 1のとき、SDOは高インピーダンス(Hi-Z)になるので、読み出しをマルチドロップにする(シリアル・バスに複数のLTC5594またはその他のシリアル・デバイスを並列に接続する)ことができます。

1バイトの転送

シリアル・ポートは簡単なメモリ・マップとして構成されており、付録に示されているように、23個のレジスタで、状態と制御のデータを利用できます。全てのデータ・バーストは少なくとも2つの8ビット・バイトで構成されます。最初のバイトの最上位ビットは、読み出し/書き込みビットです。このビットを1に設定すると、シリアル・ポートが読み出しモードになります。最初のバイトの次の7ビットはアドレス・ビットであり、0x00～0x17に設定できます。それに続く1バイト、または複数バイトは、指定

されたアドレスからのデータ、または指定されたアドレスへのデータです。詳細は、タイミング図を参照してください。なお、書き込まれたデータは、16番目のクロック・サイクルの立ち下がりエッジで内部レジスタに転送されます(並列読み込み)。

複数バイトの転送

LTC5594のレジスタ・アドレス自動インクリメント機能を使用すれば、タイミング図に示すように、複数バイトのデータ転送をより効率的に行うことができます。シリアル・ポート・マスタは、1番目のバイトで宛先レジスタ・アドレスを送信し、前と同様に2番目のバイトのデータを読み出すか、書き込みますが、3番目のバイトでは、アドレス・ポインタが自動的に1だけインクリメントされ、シリアル・ポート・マスタはその後のレジスタに対して読み出すか、書き込むことができます。レジスタ・アドレス・ポインタが23(0x17)を過ぎてインクリメントしようとする、自動的に0にリセットされます。

SDO_MODE制御ビット

SDO出力には、タイミング図に示すように2つの動作モードがあります。レジスタ0x16の制御ビットSDO_MODEが0である場合、SDOピンは通常の出力として機能し、書き込みコマンドの間は高インピーダンスになります。SDO_MODEが1である場合、SDO出力は、読み出しモードまたは書き込みモードのいずれかでレジスタの内容を読み出す前に、SDOがSDIへのコマンド書き込みを繰り返すシリアル・リピータ・モードになります。これは、シリアル・ポートに送信されたコマンドに対してエラー検査を実行する必要がある、バス・ノイズの高い環境で使用できます。

SDO出力の簡略回路図を図18に示します。 OV_{DD} 電源は出力のロジック・レベルを設定し、25Ωの直列抵抗は出力電流を制限します。

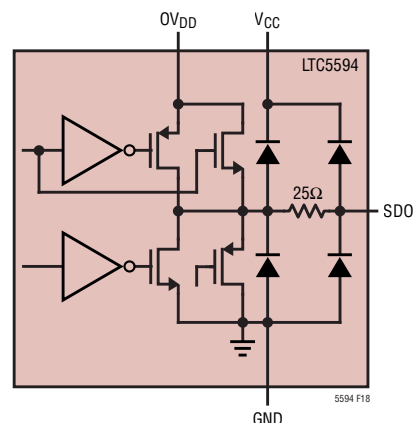


図 18. SDO ピンのインタフェースの簡略回路図

アプリケーション情報

レジスタのデフォルト値

レジスタ・マップおよびデフォルト値を付録の表9および10に示します。デバイスの電源が投入されるときに、レジスタをデフォルト値にリセットすることはできません。レジスタ0x16のSRSTビット(ビット[3])に1を書き込むことによって、デバイスはソフト・リセットに移行し、レジスタがそれらのデフォルト値にリセットされます。

機能低下の最小化

LTC5594は、DCオフセット、位相誤差、利得誤差、非直線性などのレシーバの機能低下を最小限に抑えるための回路を内蔵しています。レシーバ・アプリケーションのブロック図の例を図19に示します。RF入力に2トーンの源信号を入力し、デジタル領域でA/DコンバータのI出力とQ出力を測定して、機能の低下が最小限で済むようにLTC5594での最適化レジスタ設定値を決定します。

5.8GHzの2トーン・テスト信号について、最適化されていないベースバンド・スペクトラムを図20に示し、最適化されたベースバンド・スペクトラムを図21に示します。

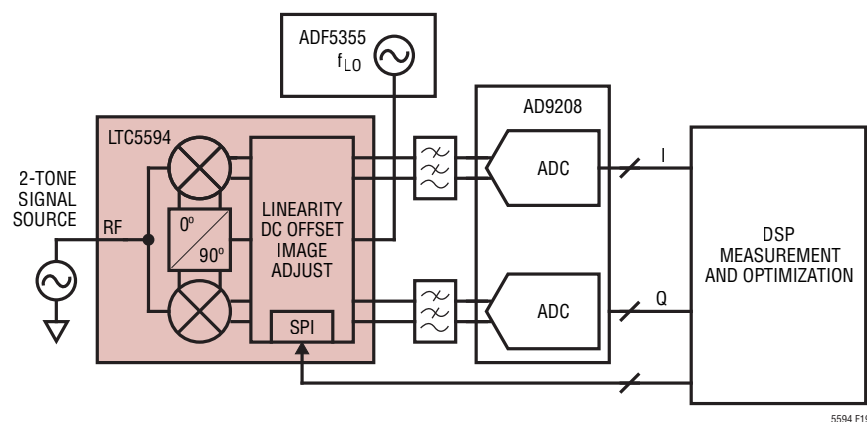


図19. 機能の低下を最小限に抑えるため2トーンのテスト信号を入力したレシーバのブロック図の例

アプリケーション情報

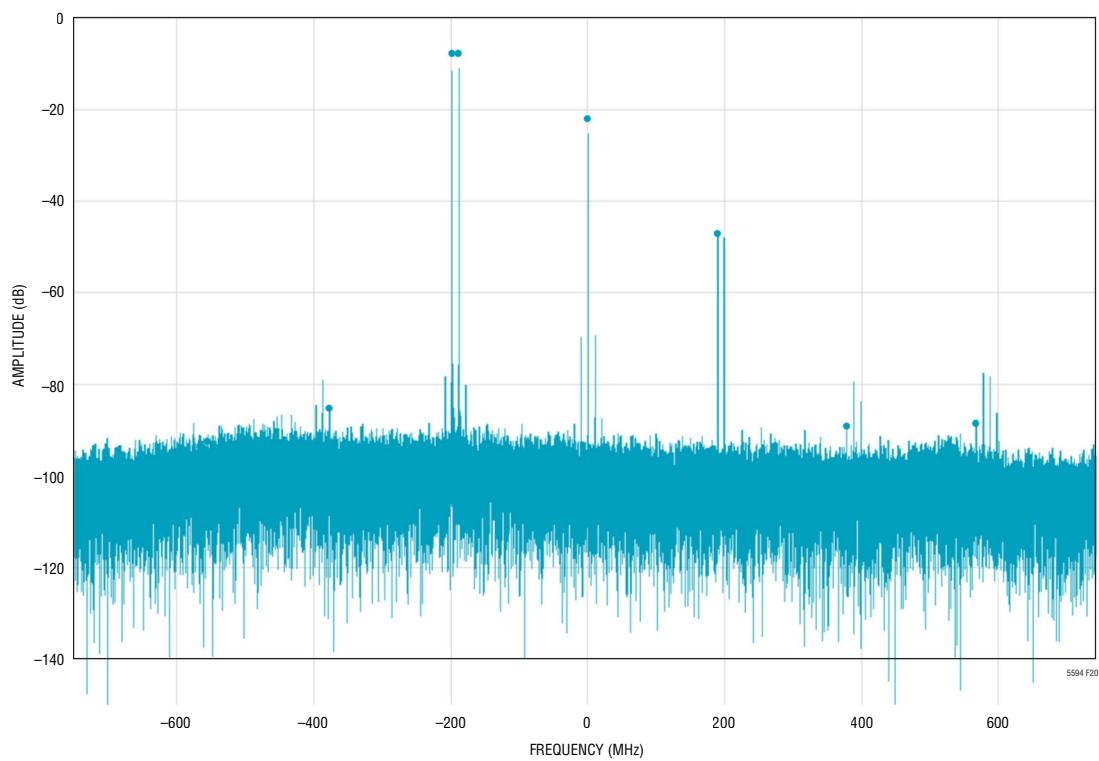


図 20. 1GHzのアンチエイリアス・フィルタを使用した場合の5.8GHzでの非最適化2トーン・スペクトラム

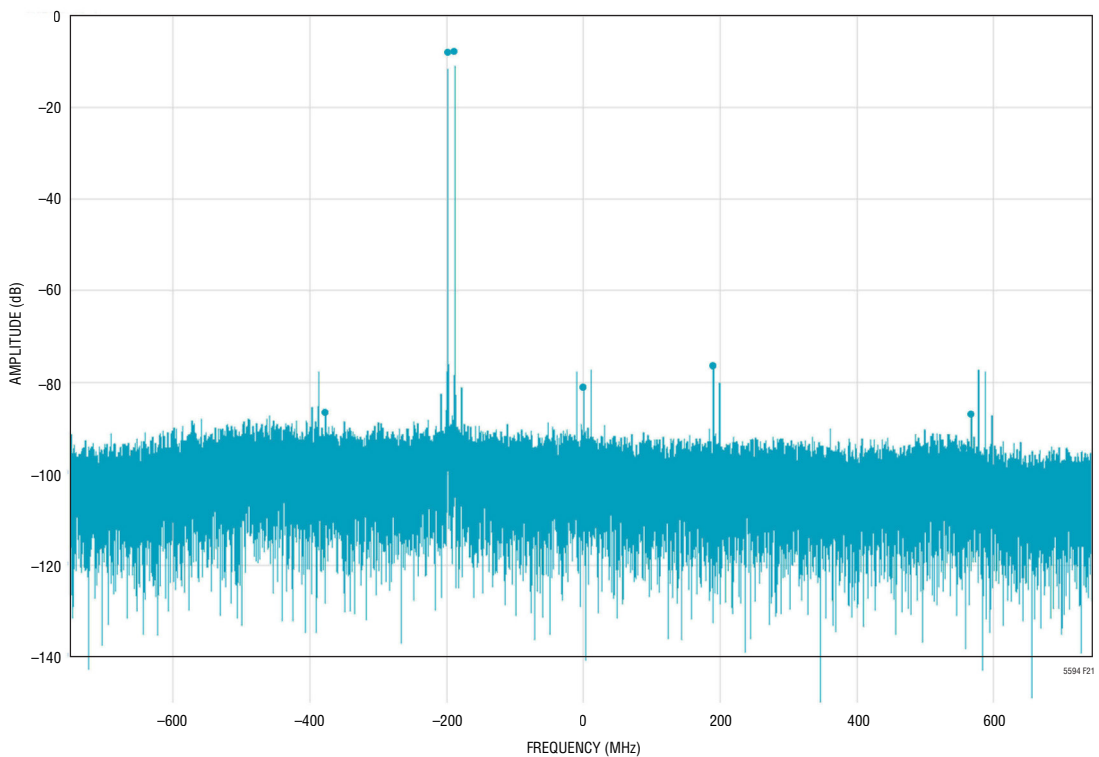


図 21. 1GHzのアンチエイリアス・フィルタを使用した場合の5.8GHzでの最適化2トーン・スペクトラム

付録

表 9. シリアル・ポート・レジスタの内容

ADDR	MSB	[6]	[5]	[4]	[3]	[2]	[1]	LSB	R/W	デフォルト
0x00	IM3QY[7]	IM3QY[6]	IM3QY[5]	IM3QY[4]	IM3QY[3]	IM3QY[2]	IM3QY[1]	IM3QY[0]	R/W	0x80
0x01	IM3QX[7]	IM3QX[6]	IM3QX[5]	IM3QX[4]	IM3QX[3]	IM3QX[2]	IM3QX[1]	IM3QX[0]	R/W	0x80
0x02	IM3IY[7]	IM3IY[6]	IM3IY[5]	IM3IY[4]	IM3IY[3]	IM3IY[2]	IM3IY[1]	IM3IY[0]	R/W	0x80
0x03	IM3IX[7]	IM3IX[6]	IM3IX[5]	IM3IX[4]	IM3IX[3]	IM3IX[2]	IM3IX[1]	IM3IX[0]	R/W	0x80
0x04	IM2QX[7]	IM2QX[6]	IM2QX[5]	IM2QX[4]	IM2QX[3]	IM2QX[2]	IM2QX[1]	IM2QX[0]	R/W	0x80
0x05	IM2IX[7]	IM2IX[6]	IM2IX[5]	IM2IX[4]	IM2IX[3]	IM2IX[2]	IM2IX[1]	IM2IX[0]	R/W	0x80
0x06	HD3QY[7]	HD3QY[6]	HD3QY[5]	HD3QY[4]	HD3QY[3]	HD3QY[2]	HD3QY[1]	HD3QY[0]	R/W	0x80
0x07	HD3QX[7]	HD3QX[6]	HD3QX[5]	HD3QX[4]	HD3QX[3]	HD3QX[2]	HD3QX[1]	HD3QX[0]	R/W	0x80
0x08	HD3IY[7]	HD3IY[6]	HD3IY[5]	HD3IY[4]	HD3IY[3]	HD3IY[2]	HD3IY[1]	HD3IY[0]	R/W	0x80
0x09	HD3IX[7]	HD3IX[6]	HD3IX[5]	HD3IX[4]	HD3IX[3]	HD3IX[2]	HD3IX[1]	HD3IX[0]	R/W	0x80
0x0A	HD2QY[7]	HD2QY[6]	HD2QY[5]	HD2QY[4]	HD2QY[3]	HD2QY[2]	HD2QY[1]	HD2QY[0]	R/W	0x80
0x0B	HD2QX[7]	HD2QX[6]	HD2QX[5]	HD2QX[4]	HD2QX[3]	HD2QX[2]	HD2QX[1]	HD2QX[0]	R/W	0x80
0x0C	HD2IY[7]	HD2IY[6]	HD2IY[5]	HD2IY[4]	HD2IY[3]	HD2IY[2]	HD2IY[1]	HD2IY[0]	R/W	0x80
0x0D	HD2IX[7]	HD2IX[6]	HD2IX[5]	HD2IX[4]	HD2IX[3]	HD2IX[2]	HD2IX[1]	HD2IX[0]	R/W	0x80
0x0E	DCOI[7]	DCOI[6]	DCOI[5]	DCOI[4]	DCOI[3]	DCOI[2]	DCOI[1]	DCOI[0]	R/W	0x80
0x0F	DCOQ[7]	DCOQ[6]	DCOQ[5]	DCOQ[4]	DCOQ[3]	DCOQ[2]	DCOQ[1]	DCOQ[0]	R/W	0x80
0x10	0*	0*	0*	0*	0*	IP3IC[2]	IP3IC[1]	IP3IC[0]	R/W	0x04
0x11	GERR[5]	GERR[4]	GERR[3]	GERR[2]	GERR[1]	GERR[0]	IP3CC[1]	IP3CC[0]	R/W	0x82
0x12	LVCN[2]	LVCN[1]	LVCN[0]	CF1[4]	CF1[3]	CF1[2]	CF1[1]	CF1[0]	R/W	0x48
0x13	BAND	LF1[1]	LF1[0]	CF2[4]	CF2[3]	CF2[2]	CF2[1]	CF2[0]	R/W	0xE3
0x14	PHA[8]	PHA[7]	PHA[6]	PHA[5]	PHA[4]	PHA[3]	PHA[2]	PHA[1]	R/W	0x80
0x15	PHA[0]	AMPG[2]	AMPG[1]	AMPG[0]	AMPCC[1]	AMPCC[0]	AMPIC[1]	AMPIC[0]	R/W	0x6A
0x16	EDEM	EDC	EADJ	EAMP	SRST	SDO_MODE	0*	0*	R/W	0xF0
0x17	CHIPID[1]	CHIPID[0]	0*	0*	0*	0*	0*	1*	R/W	0x01

* 未使用。デフォルト値を変更しないでください。

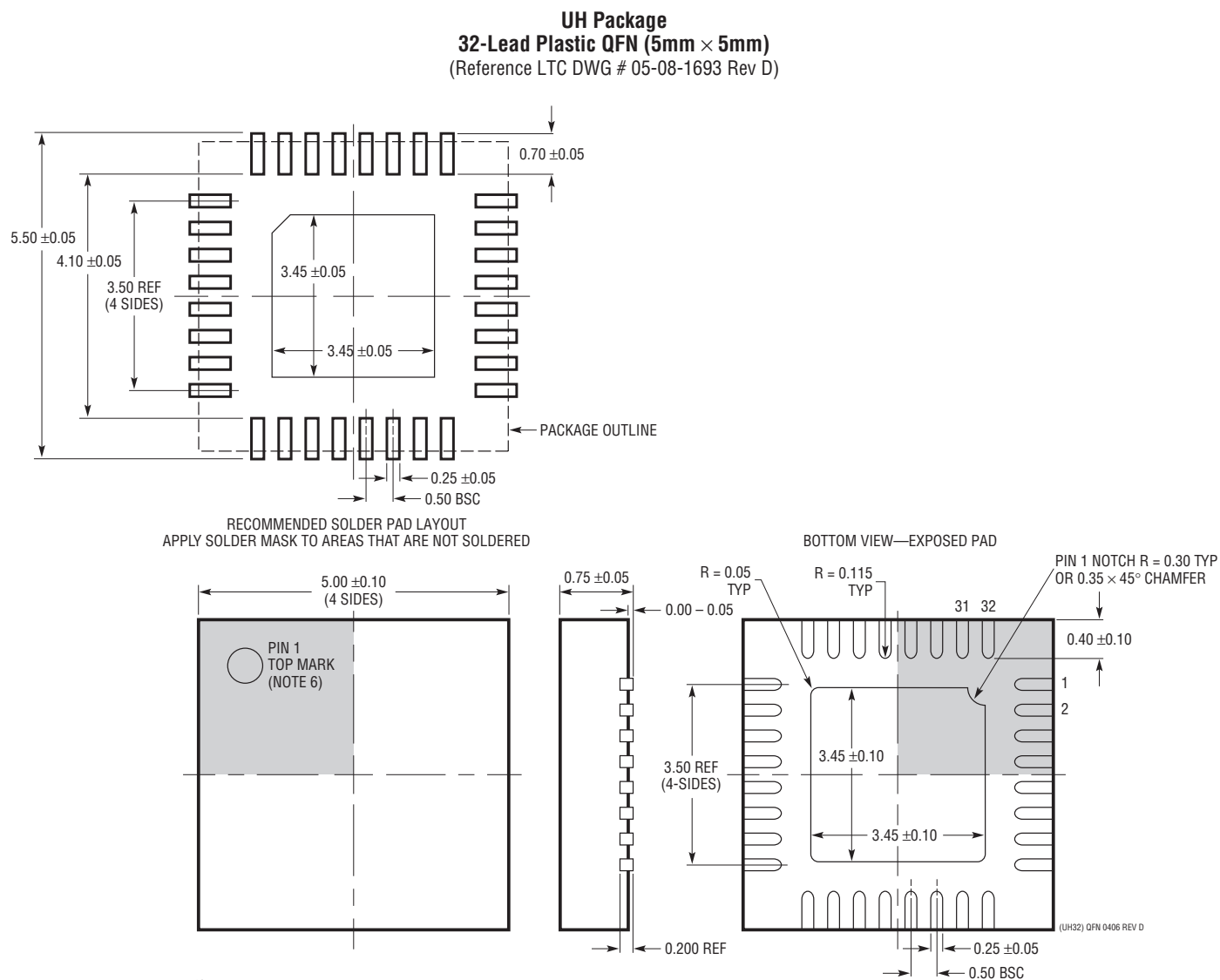
付録

表 10. シリアル・ポート・レジスタのビット・フィールドのまとめ

ビット数	機能	概要	有効な値	デフォルト
AMPCC[1:0]	IF Amplifier IM3 CC Adjust	IF アンプの IM3 を最適化するために使用される。	0x00 to 0x03	0x02
AMPIC[1:0]	IF Amplifier IM3 IC Adjust	IF アンプの IM3 を最適化するために使用される。	0x00 to 0x03	0x02
AMPG[2:0]	IF Amplifier Gain Adjust	アンプの利得を 8dB ~ 15dB の範囲で調整する。	0x00 to 0x07	0x06
BAND	LO Band Select	使用する LO 整合帯域を選択する。高周波帯域では BAND = 1。 低周波帯域では BAND = 0。	0, 1	1
CF1[5:0]	LO Matching Capacitor CF1	LO 整合回路網内の CF1 コンデンサを制御する。	0x00 to 0x1F	0x08
CF2[5:0]	LO Matching Capacitor CF2	LO 整合回路網内の CF2 コンデンサを制御する。	0x00 to 0x1F	0x03
CHIPID	Chip Identification Bits	出荷時にデフォルト値に設定される。	0x00 to 0x03	0x00
DCOI[7:0]	I-Channel DC Offset	-200mV ~ 200mV の範囲で I チャンネルの DC オフセットを制御する。	0x00 to 0xFF	0x80
DCOQ[7:0]	Q-Channel DC Offset	-200mV ~ 200mV の範囲で Q チャンネルの DC オフセットを制御する。	0x00 to 0xFF	0x80
EADJ	Enable Nonlinearity Adjust	EADJ = 1 の場合は非直線性調整回路をイネーブルする。	0, 1	1
EAMP	Enable IF Amplifiers	EAMP = 1 の場合は IF アンプをイネーブルする。	0, 1	1
EDC	Enable DC Offset Adjust	EDC = 1 の場合は DC オフセット調整回路をイネーブルする。	0, 1	1
EDEM	Enable Demodulator	EDEM = 1 の場合は復調器回路をイネーブルする。	0, 1	1
GERR[5:0]	IQ Gain Error Adjust	-0.5dB ~ 0.5dB の範囲で IQ の利得誤差を制御する。	0x00 ~ 0x3F	0x20
HD2IX[7:0]	HD2 I-Channel X-Vector	EADJ = 1 の場合に、I チャンネルの HD2 X ベクトル調整を制御する。	0x00 to 0xFF	0x80
HD2IY[7:0]	HD2 I-Channel Y-Vector	EADJ = 1 の場合に、I チャンネルの HD2 Y ベクトル調整を制御する。	0x00 to 0xFF	0x80
HD2QX[7:0]	HD2 Q-Channel X-Vector	EADJ = 1 の場合に、Q チャンネルの HD2 X ベクトル調整を制御する。	0x00 to 0xFF	0x80
HD2QY[7:0]	HD2 Q-Channel Y-Vector	EADJ = 1 の場合に、Q チャンネルの HD2 Y ベクトル調整を制御する。	0x00 to 0xFF	0x80
HD3IX[7:0]	HD3 I-Channel X-Vector	EADJ = 1 の場合に、I チャンネルの HD3 X ベクトル調整を制御する。	0x00 to 0xFF	0x80
HD3IY[7:0]	HD3 I-Channel Y-Vector	EADJ = 1 の場合に、I チャンネルの HD3 Y ベクトル調整を制御する。	0x00 to 0xFF	0x80
HD3QX[7:0]	HD3 Q-Channel X-Vector	EADJ = 1 の場合に、Q チャンネルの HD3 X ベクトル調整を制御する。	0x00 to 0xFF	0x80
HD3QY[7:0]	HD3 Q-Channel Y-Vector	EADJ = 1 の場合に、Q チャンネルの HD3 Y ベクトル調整を制御する。	0x00 to 0xFF	0x80
IM2IX[7:0]	IM2 I-Channel X-Vector	EADJ = 1 の場合に、I チャンネルの IM2 X ベクトル調整を制御する。	0x00 to 0xFF	0x80
IM2QX[7:0]	IM2 Q-Channel X-Vector	EADJ = 1 の場合に、Q チャンネルの IM2 X ベクトル調整を制御する。	0x00 to 0xFF	0x80
IM3IX[7:0]	IM3 I-Channel X-Vector	EADJ = 1 の場合に、I チャンネルの IM3 X ベクトル調整を制御する。	0x00 to 0xFF	0x80
IM3IY[7:0]	IM3 I-Channel Y-Vector	EADJ = 1 の場合に、I チャンネルの IM3 Y ベクトル調整を制御する。	0x00 to 0xFF	0x80
IM3QX[7:0]	IM3 Q-Channel X-Vector	EADJ = 1 の場合に、Q チャンネルの IM3 X ベクトル調整を制御する。	0x00 to 0xFF	0x80
IM3QY[7:0]	IM3 Q-Channel Y-Vector	EADJ = 1 の場合に、Q チャンネルの IM3 Y ベクトル調整を制御する。	0x00 to 0xFF	0x80
IP3CC[1:0]	RF Input IP3 CC Adjust	RF 入力 IP3 の最適化に使用される。	0x00 to 0x03	0x02
IP3IC[2:0]	RF Input IP3 IC Adjust	RF 入力 IP3 の最適化に使用される。	0x00 to 0x07	0x04
LF1[1:0]	LO Matching Inductor LF1	LO 整合回路網内の LF1 インダクタを制御する。	0x00 to 0x03	0x03
LVCM[2:0]	LO Bias Adjust	ミキサの IP3 の最適化に使用される。	0x00 to 0x07	0x02
PHA[8:0]	IQ Phase Error Adjust	-2.5° ~ 2.5° の範囲で IQ の位相誤差を制御する。	0x000 to 0x1FF	0x100
SDO_MODE	SDO Readback Mode	SDO_MODE = 1 の場合に SDO 読み出しモードをイネーブルする。	0, 1	0
SRST	Soft Reset	このビットに 1 を書き込むと、全てのレジスタがデフォルト値にリセットされる。	0, 1	0

パッケージ

最新のパッケージ図は、<http://www.linear-tech.co.jp/product/LTC5594#packaging> を参照してください。

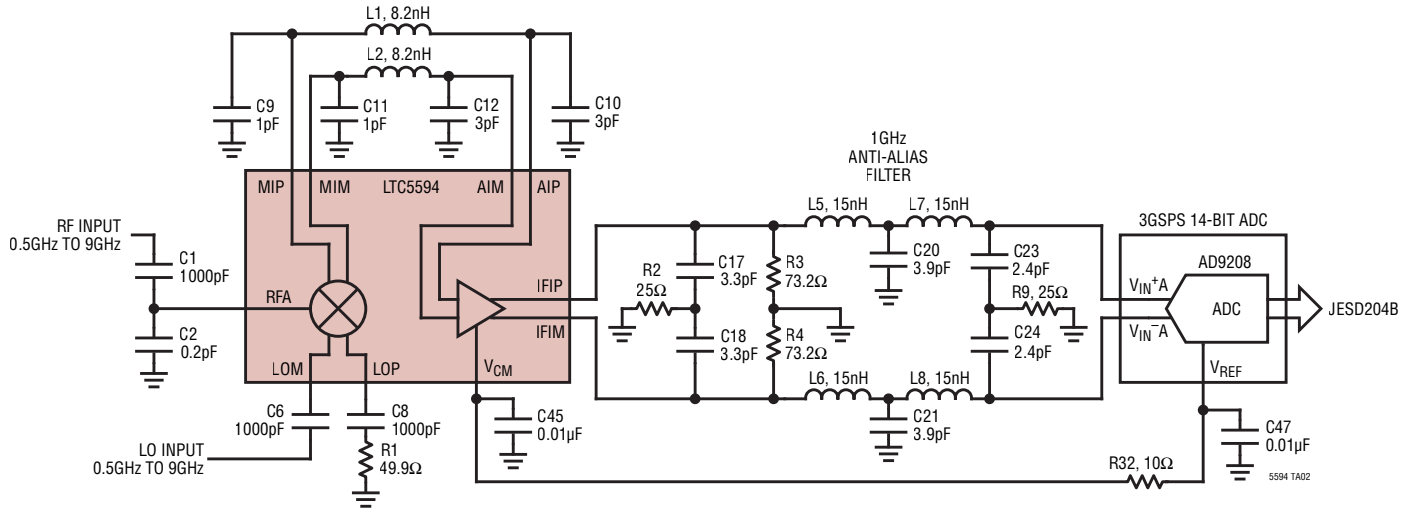


注記：

- 図は JEDEC のパッケージ外形 MO-220 のバリエーション (WHHD-(X)) に含めるよう提案されている (承認待ち)
- 図は実寸とは異なる
- 全ての寸法はミリメートル
- パッケージ底面の露出パッドの寸法にはモールドのバリを含めない。
モールドのバリは (もしあれば) 各サイドで 0.20mm を超えないこと
- 露出パッドは半田メッキとする
- 灰色の部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

標準的応用例

0.5GHz～9.0GHz レシーバの簡略回路図 (Iチャネルのみ示されている)



関連製品

製品番号	概要	注釈
インフラストラクチャ		
LTC5553	500MHz～9GHzのIFポートを備えた3GHz～20GHzマイクロ波ミキサ	アップコンバージョンまたはダウンコンバージョン、IIP3:17GHzで21.5dBm、LO駆動:0dBm
LTC5552	DC～6GHzのIFポートを備えた3GHz～20GHzマイクロ波ミキサ	アップコンバージョンまたはダウンコンバージョン、IIP3:17GHzで18.3dBm、LO駆動:0dBm
LTC5549	LOダブリングが内蔵された2GHz～14GHzミキサ	超広帯域双方向アップコンバージョンまたはダウンコンバージョン・ミキサ、12GHzでのIIP3:22.8dBm、LO駆動:0dBm、IF帯域幅:500MHz～6GHz
LTC5548	DCまでの範囲のIF周波数を備える2GHz～14GHzミキサ	超広帯域双方向アップコンバージョンまたはダウンコンバージョン・ミキサ、12GHzでのIIP3:18.7dBm、周波数ダブリング内蔵のLO駆動:0dBm、IF帯域幅:DC～6GHz
LTC5588-1	200MHz～6GHz直交変調器	OIP3:+31dBm、出力ノイズフロア:-160dBm/Hz、優れたACPR性能
LTC6433-15	100kHz未満～1.4GHzの高OIP3アンプ	固定利得:15dB、シングルエンドの50Ω入力および出力、240MHzでのOIP3:41dBm、NF:3.3dB

VCO内蔵のRF PLL/シンセサイザ

ADF5355	マイクロ波広帯域シンセサイザ、VCO内蔵	54MHz～13.6GHz、正規化された帯域内位相ノイズフロア:-221dBc/Hz
LTC6948	ノイズをきわめて低く抑えたVCO内蔵の分数分周方式シンセサイザ	370MHz～6.39GHz PLL、 $\Delta\Sigma$ 変調器のスプリアスなし、分数の分母:18ビット、正規化された帯域内位相ノイズフロア:-226dBc/Hz

A/Dコンバータ

AD9208	14ビット、3Gsp/s、JESD204BデュアルADC	SFDR:70dB、入力バッファ内蔵
LTC2185	16ビット、125Msp/s、1.8VデュアルADC	SNR:76.8dB、SFDR:90dB、消費電力:185mW(チャネル当たり)
LTC2158-14	フルパワー帯域幅が1.25GHzの14ビット、310Msp/s、1.8VデュアルADC	SNR:68.8dB、SFDR:88dB、消費電力:362mW/チャネル、入力範囲:1.32V _{p-p}