

1%のDC精度を備える デュアル25Aまたはシングル50A DC/DC μ Moduleレギュレータ

特長

- デュアル25A出力またはシングル50A出力
- 入力電圧範囲: 4.5V ~ 16V
- 出力電圧範囲: 0.6V ~ 5.5V
- 入力、負荷、温度の全範囲での全DC出力電圧誤差: 最大 $\pm 1\%$
- LTM4650-1より軽負荷時の効率が高く、出力電圧範囲が広い
- 調整可能な制御ループ補償
- 差動リモート検出アンプ
- 電流モード制御/高速トランジェント応答
- マルチフェーズの並列接続による電流分担: 最大300A
- 内部温度モニタ
- 調整可能なスイッチング周波数または周波数同期
- 過電流フォールドバック保護
- Burst Mode[®]動作、パルス・スキップ・モード動作を選択可能
- ソフトスタート/電圧トラッキング
- 出力過電圧保護
- 16mm \times 16mm \times 5.01mm BGAパッケージ

アプリケーション

- 通信機器およびネットワーク機器
- ストレージ・カードおよびATCAカード
- 産業用機器

説明

LTM[®]4650A-1は、デュアル25Aまたはシングル50A出力のスイッチング・モード降圧DC/DC μ Module[®] (マイクロモジュール)レギュレータで、 $\pm 1\%$ の合計DC出力誤差を持っています。スイッチング・コントローラ、パワーFET、インダクタ、および全ての周辺部品がパッケージに搭載されています。LTM4650A-1は、4.5V ~ 16Vの入力電圧範囲で動作し、出力電圧の範囲が0.6V ~ 5.5Vの2つの出力をサポートしており、出力電圧は1本の外付け抵抗でそれぞれ設定されます。高効率設計により、出力ごとに最大25Aの連続電流を供給します。必要な入力コンデンサおよび出力コンデンサはわずか数個です。調整可能な制御ループ補償によって高速トランジェント応答を可能にし、FPGA、ASIC、およびプロセッサに給電する場合の出力容量を最小限に抑えます。

フォルト保護機能には、過電圧保護と過電流保護が含まれます。LTM4650A-1は、16mm \times 16mm \times 5.01mmのBGAパッケージで供給されます。

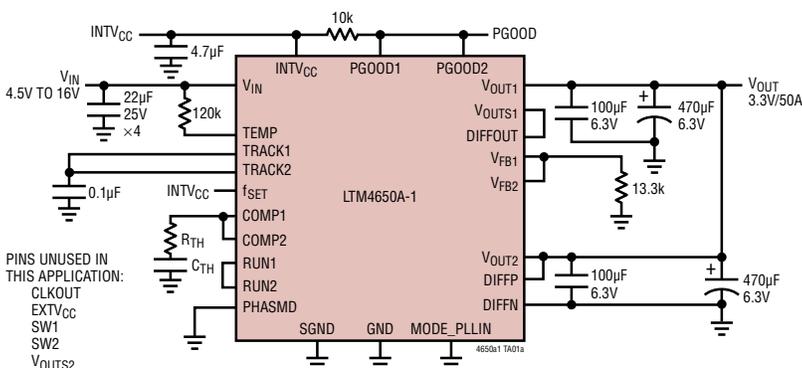
LTM4650製品ファミリの選択表

	V _{IN} の範囲	V _{OUT} の範囲	I _{OUT}	補償	DC V _{OUT} の精度
LTM4650	4.5V to 15V	0.6V to 1.8V	25A \times 2	Internal	1.5%
LTM4650-1B				External	
LTM4650-1A				External	0.8%
LTM4650A	4.5V to 16V	0.6V to 5.5V*		Internal	1%
LTM4650A-1				External	

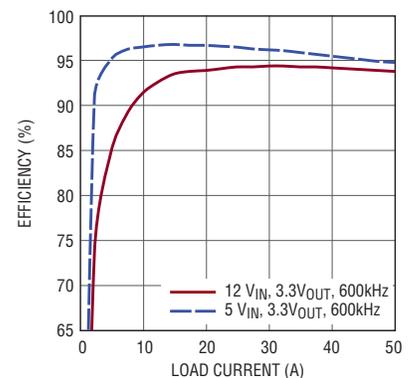
LT、LT、LTC、LTM、Linear Technology、Linearのロゴ、 μ Module、Burst Mode、PolyPhase、およびLTpowerCADは、アナログ・デバイセズの登録商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。5481178、5705919、5929620、6100678、6144194、6177787、6304066、6580258を含む米国特許により保護されています。その他に出願中の特許があります。

標準的応用例

50A、3.3V出力DC/DC μ Moduleレギュレータ



3.3V_{OUT}時の効率とI_{OUT}



4650a1 TA01b
4650a1f

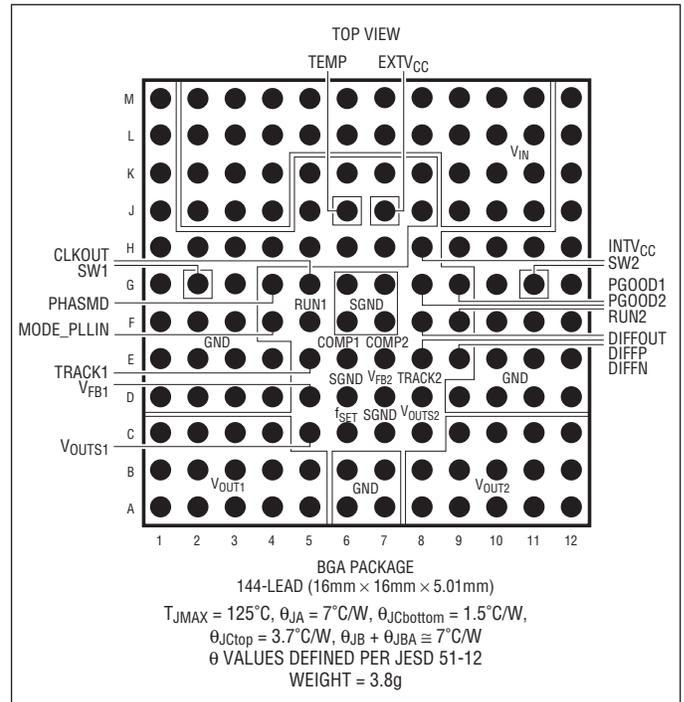
LTM4650A-1

絶対最大定格

(Note 1)

V_{IN}	-0.3V ~ 18V
V_{SW1} , V_{SW2}	-1V ~ 18V
PGOOD1, PGOOD2, RUN1, RUN2, INTV _{CC} , EXT _V CC	-0.3V ~ 6V
MODE_PLLIN, f _{SET} , TRACK1, TRACK2, DIFFOUT, PHASMD	-0.3V ~ INT _V CC
V_{OUT1} , V_{OUT2} , V_{OUTS1} , V_{OUTS2} (Note 5)	-0.3V ~ 6V
DIFFP, DIFFN	-0.3V ~ INT _V CC
COMP1, COMP2, V _{FB1} , V _{FB2} (Note 5)	-0.3V ~ 2.7V
INT _V CC のピーク出力電流	50mA
内部動作温度範囲 (Note 2)	-40°C ~ 125°C
保存温度範囲	-55°C ~ 125°C
ピーク・パッケージ・ボディ温度	245°C

ピン配置



発注情報 <http://www.linear-tech.co.jp/product/LTM4650A-1#orderinfo>

製品番号	パッド/ボール仕上げ	製品マーキング*		パッケージ・タイプ	MSL レーティング	合計 DC 精度	温度範囲 (Note 2)
		デバイス	仕上げコード				
LTM4650AEY-1#PBF	SAC305 (RoHS)	LTM4650AY-1	e1	BGA	3	±1%	-40°C to 125°C
LTM4650AIY-1#PBF	SAC305 (RoHS)	LTM4650AY-1	e1	BGA	3	±1%	-40°C to 125°C
LTM4650AIY-1	SnPb (63/37)	LTM4650AY-1	e0	BGA	3	±1%	-40°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* デバイスの温度グレードは出荷時のコンテナのラベルに表示されます。パッド/ボール仕上げのコードは IPC/JEDEC J-STD-609 による。

• LGA/BGA パッケージおよびトレイの図面:
www.linear-tech.co.jp/packaging

- 端子仕上げの製品マーキングの参照先:
www.linear-tech.co.jp/leadfree
- 推奨される LGA/BGA の PCB アセンブリおよび製造方法:
www.linear-tech.co.jp/umodule/pcbassembly

電気的特性

● は規定された全内部動作温度範囲の規格値を意味する。各出力チャネル1つに対する規格値。
注記がない限り、 $T_A = 25^\circ\text{C}$ (Note 2)、 $V_{IN} = 12\text{V}$ 、 $V_{RUN1} = V_{RUN2} = 5\text{V}$ 。図 34 の「標準的応用例」に基づく。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Input DC Voltage		● 4.5		16	V
V_{OUT}	Output Voltage		● 0.6		5.5	V
$V_{OUT1}(\text{DC})$, $V_{OUT2}(\text{DC})$	Output Voltage, Total DC Variation with Line and Load (Note 7)	$C_{IN} = 22\mu\text{F} \times 3$, $C_{OUT} = 100\mu\text{F} \times 1$ Ceramic, 470 μF POSCAP $V_{IN} = 4.5\text{V}$ to 16V, $V_{OUT} = 1.2\text{V}$, $I_{OUT} = 0\text{A}$ to 25A	● 1.188	1.2	1.212	V

4650a1f

電气的特性

●は規定された全内部動作温度範囲の規格値を意味する。各出力チャンネル1つに対する規格値。
注記がない限り、 $T_A = 25^\circ\text{C}$ (Note 2)、 $V_{IN} = 12\text{V}$ 、 $V_{RUN1} = V_{RUN2} = 5\text{V}$ 。図34の「標準的応用例」に基づく。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
入力の規格							
V_{RUN1}, V_{RUN2}	RUN Pin On/Off Threshold	RUN Rising	1.1	1.25	1.40	V	
$V_{RUN1HYS}, V_{RUN2HYS}$	RUN Pin On Hysteresis			150		mV	
$I_{INRUSH}(V_{IN})$	Input Inrush Current at Start-Up	$I_{OUT} = 0\text{A}$, $C_{IN} = 22\mu\text{F} \times 3$, $C_{SS} = 0.01\mu\text{F}$, $C_{OUT} = 100\mu\text{F} \times 3$, $V_{OUT1} = 1.2\text{V}$, $V_{OUT2} = 1.2\text{V}$, $V_{IN} = 12\text{V}$		1		A	
$I_Q(V_{IN})$	Input Supply Bias Current (Both Channels On)	$V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$, Burst Mode Operation $V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$, Pulse-Skipping Mode $V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$, Switching Continuous Shutdown, $RUN = 0$, $V_{IN} = 12\text{V}$		4.5 19 115 35		mA mA mA μA	
$I_S(V_{IN})$	Input Supply Current	$V_{IN} = 5\text{V}$, $V_{OUT} = 1.2\text{V}$, $I_{OUT} = 25\text{A}$ $V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$, $I_{OUT} = 25\text{A}$		8.2 3.1		A A	
出力の規格							
$I_{OUT1}(DC), I_{OUT2}(DC)$	Output Continuous Current Range	$V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$ (Note 6)	0		25	A	
$\Delta V_{OUT1}(LINE)/V_{OUT1}$ $\Delta V_{OUT2}(LINE)/V_{OUT2}$	Line Regulation Accuracy	For Each Output, $V_{OUT} = 1.2\text{V}$, $I_{OUT} = 0\text{A}$, V_{IN} from 4.5V to 16V	●	0.02	0.1	%/V	
$\Delta V_{OUT1}/V_{OUT1}$ $\Delta V_{OUT2}/V_{OUT2}$	Load Regulation Accuracy	For Each Output, $V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$, I_{OUT} from 0A to 25A	●	0.1	0.4	%	
$V_{OUT1}(AC), V_{OUT2}(AC)$	Output Ripple Voltage	For Each Output, $V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$, Frequency = 450kHz, $I_{OUT} = 0\text{A}$, $C_{OUT} =$ 100 $\mu\text{F} \times 3$ Ceramic, 470 μF POSCAP		15		mVp-p	
f_S (Each Channel)	Output Ripple Voltage Frequency	$V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$, $f_{SET} = 1.25\text{V}$ (Note 4)		500		kHz	
f_{SYNC} (Each Channel)	SYNC Capture Range		250		780	kHz	
$\Delta V_{OUTSTART}$ (Each Channel)	Turn-On Overshoot	$C_{OUT} = 100\mu\text{F} \times 3$ Ceramic, 470 μF POSCAP, $V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$, $I_{OUT} = 0\text{A}$		10		mV	
t_{START} (Each Channel)	Turn-On Time	$C_{OUT} = 100\mu\text{F} \times 3$ Ceramic, 470 μF POSCAP, $V_{IN} = 12\text{V}$, No Load, TRACK/SS with 0.01 μF to GND		5		ms	
$\Delta V_{OUT}(LS)$ (Each Channel)	Peak Deviation for Dynamic Load	Load: 0% to 50% to 0% of Full Load $C_{OUT} = 100\mu\text{F} \times 3$ Ceramic, 470 μF POSCAP, $V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$		30		mV	
t_{SETTLE} (Each Channel)	Settling Time for Dynamic Load Step	Load: 0% to 50% to 0% of Full Load, $V_{IN} = 12\text{V}$, $C_{OUT} = 100\mu\text{F} \times 3$ Ceramic, 470 μF POSCAP		20		μs	
$I_{OUT}(PK)$ (Each Channel)	Output Current Limit	$V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$		30		A	
制御セクション							
V_{FB1}, V_{FB2}	Voltage at V_{FB} Pins	$I_{OUT} = 0\text{A}$, $V_{OUT} = 1.2\text{V}$	●	0.595	0.600	0.605	V
I_{FB}		(Note 5)		-5	-20		nA
V_{OVL}	Feedback Overvoltage Lockout		●	0.64	0.66	0.68	V
I_{TRACK1}, I_{TRACK2}	Track Pin Soft-Start Pull-Up Current	TRACK1, TRACK2 Start at 0V		1	1.25	1.5	μA
UVLO	Undervoltage Lockout (Falling)			3.3			V
UVLO Hysteresis				0.6			V
$t_{ON}(MIN)$	Minimum On-Time	(Note 5)		90			ns
R_{FBH1}, R_{FBH2}	Resistor Between V_{OUTS1} , V_{OUTS2} and V_{FB1} , V_{FB2} Pins for Each Output			60.05	60.4	60.75	k Ω
V_{PGOOD1}, V_{PGOOD2} Low	PGOOD Voltage Low	$I_{PGOOD} = 2\text{mA}$		0.1	0.3		V

LTM4650A-1

電気的特性

●は規定された全内部動作温度範囲の規格値を意味する。各出力チャンネル1つに対する規格値。
注記がない限り、 $T_A = 25^\circ\text{C}$ (Note 2)、 $V_{IN} = 12\text{V}$ 、 $VRUN1 = VRUN2 = 5\text{V}$ 。図34の「標準的応用例」に基づく。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
I_{PGOOD}	PGOOD Leakage Current	$V_{PGOOD} = 5\text{V}$			± 5	μA
V_{PGOOD}	PGOOD Trip Level	V_{FB} with Respect to Set Output Voltage V_{FB} Ramping Negative V_{FB} Ramping Positive		-10 10		% %
INTV_{CC} リニア・レギュレータ						
V_{INTVCC}	Internal V_{CC} Voltage	$6\text{V} < V_{IN} < 16\text{V}$	4.8	5	5.2	V
V_{INTVCC} Load Regulation	INTV _{CC} Load Regulation	$I_{CC} = 0\text{mA}$ to 50mA		0.5	2	%
V_{EXTVCC}	EXTV _{CC} Switchover Voltage	EXTV _{CC} Ramping Positive	4.5	4.7		V
$V_{EXTVCC(DROP)}$	EXTV _{CC} Dropout	$I_{CC} = 20\text{mA}$, $V_{EXTVCC} = 5\text{V}$		50	100	mV
$V_{EXTVCC(HYST)}$	EXTV _{CC} Hysteresis			220		mV
発振器とフェーズロック・ループ						
Frequency Nominal	Nominal Frequency	$f_{SET} = 1.2\text{V}$	450	500	550	kHz
Frequency Low	Lowest Frequency	$f_{SET} = 0\text{V}$	210	250	290	kHz
Frequency High	Highest Frequency	$f_{SET} > 2.4\text{V}$, Up to INTV _{CC}	700	780	860	kHz
f_{SET}	Frequency Set Current		9	10	11	μA
R_{MODE_PLLIN}	MODE_PLLIN Input Resistance			250		k Ω
CLKOUT	Phase (Relative to V_{OUT1})	PHASMD = GND PHASMD = Float PHASMD = INTV _{CC}		60 90 120		Deg Deg Deg
CLK High	Clock High Output Voltage		2			V
CLK Low	Clock Low Output Voltage				0.2	V
差動アンプ						
A_V Differential Amp	Gain			1		V/V
R_{IN}	Input Resistance	Measured at DIFFP Input		80		k Ω
V_{OS}	Input Offset Voltage	$V_{DIFFP} = V_{DIFFOUT} = 1.2\text{V}$, $I_{DIFFOUT} = 100\mu\text{A}$			3	mV
PSRR Differential Amp	Power Supply Rejection Ratio	$4.5\text{V} < V_{IN} < 16\text{V}$		90		dB
I_{CL}	Maximum Output Current			3		mA
$V_{OUT(MAX)}$	Maximum Output Voltage	$I_{DIFFOUT} = 300\mu\text{A}$			INTV _{CC} - 1.4	V
GBW	Gain Bandwidth Product			3		MHz
V_{TEMP}	Diode Connected PNP	$I = 100\mu\text{A}$		0.6		V
T_C	Temperature Coefficient		●	-2.2		mV/C

Note 1: 「絶対最大定格」のセクションに記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2: LTM4650A-1は T_J が T_A にほぼ等しいノルム負荷条件でテストされる。LTM4650AE-1は、 0°C ~ 125°C の内部温度で仕様に適合することが保証されている。 -40°C ~ 125°C の内部動作温度範囲での仕様は設計、特性評価および統計学的なプロセス・コントロールとの相関で確認されている。LTM4650AI-1は -40°C ~ 125°C の内部動作温度範囲全域で動作することが保証されている。これらの仕様と合致する最大周囲温度は、基板レイアウト、パッケージの定格熱インピーダンスおよび他の環境要因と関連した特定の動作条件によって決まることに注意。

Note 3: 2つの出力は別々にテストされ、各出力には同じテスト条件が適用される。

Note 4: スイッチング周波数は250kHz ~ 780kHzにプログラムすることができる。

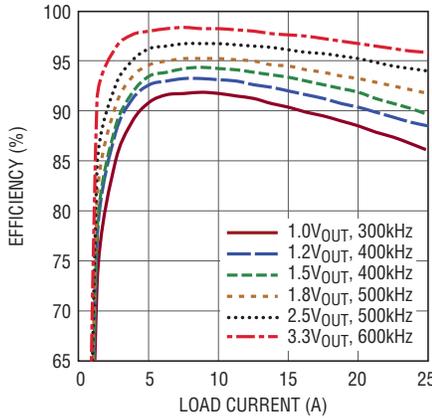
Note 5: これらのパラメータはウェハ選別によってテストされる。

Note 6: 異なる周囲温度については出力電流のディレーティング曲線を参照。

Note 7: 合計DC出力電圧誤差には、全温度範囲にわたる全ての誤差(リファレンス、ライン、および負荷レギュレーション、ならびに内蔵された上側帰還抵抗の許容誤差)が含まれる。

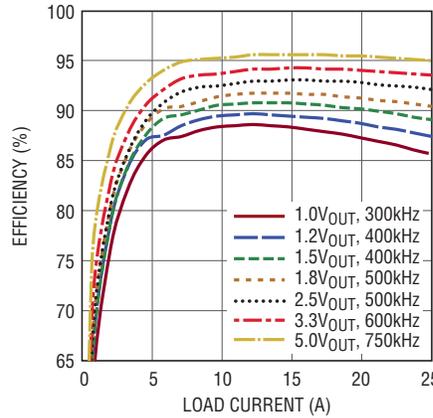
標準的性能特性

効率と出力電流 ($V_{IN} = 5V$)



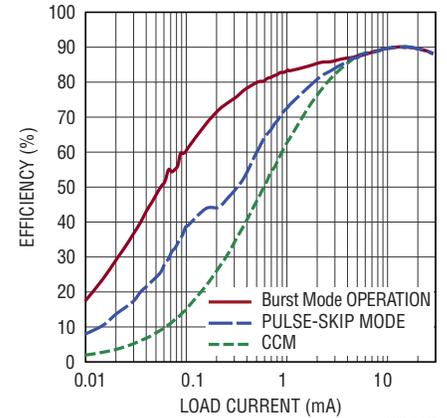
4650a1 G01

効率と出力電流 ($V_{IN} = 12V$)



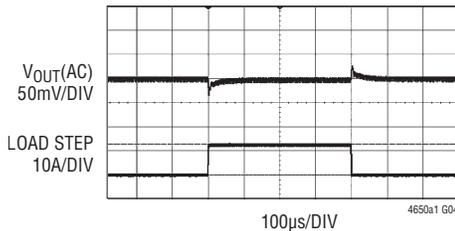
4650a1 G02

Burst Mode およびパルス・スキップ・モードの効率 ($V_{IN}=12V$, $V_{OUT} = 1.2V$, $f_s = 400kHz$)



4650a1 G03

1Vデュアル・フェーズ・シングル出力負荷トランジェント応答 (セラミック出力コンデンサのみ)

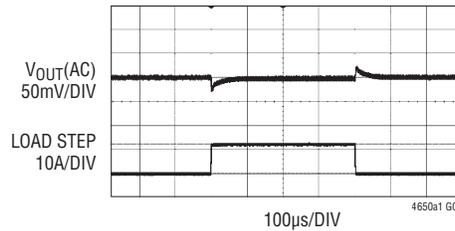


100μs/DIV

4650a1 G04

12VIN, 1VOUT, 300kHz,
DUAL PHASE SINGLE OUTPUT
25%, 12.5A LOAD STEP-UP AND
STEP-DOWN, 10A/μs SLEW RATE
COUT = 8× 220μF CERAMIC CAP
RTH = 3.32k, CTH = 6800pF, CFF = 68pF

1.2Vデュアル・フェーズ・シングル出力負荷トランジェント応答 (セラミック出力コンデンサのみ)

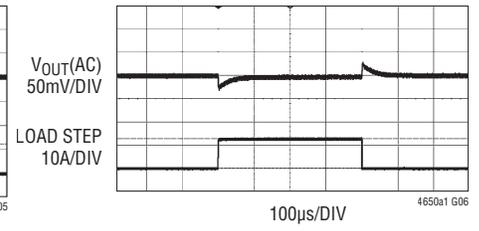


100μs/DIV

4650a1 G05

12VIN, 1.2VOUT, 400kHz,
DUAL PHASE SINGLE OUTPUT
25%, 12.5A LOAD STEP-UP AND
STEP-DOWN, 10A/μs SLEW RATE
COUT = 8× 220μF CERAMIC CAP
RTH = 3.32k, CTH = 6800pF, CFF = 68pF

1.5Vデュアル・フェーズ・シングル出力負荷トランジェント応答 (セラミック出力コンデンサのみ)

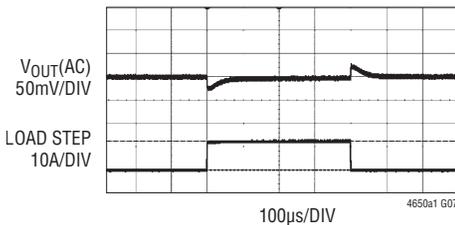


100μs/DIV

4650a1 G06

12VIN, 1.5VOUT, 400kHz,
DUAL PHASE SINGLE OUTPUT
25%, 12.5A LOAD STEP-UP AND
STEP-DOWN, 10A/μs SLEW RATE
COUT = 8× 220μF CERAMIC CAP
RTH = 3.32k, CTH = 6800pF, CFF = 68pF

1.8Vデュアル・フェーズ・シングル出力負荷トランジェント応答 (セラミック出力コンデンサのみ)

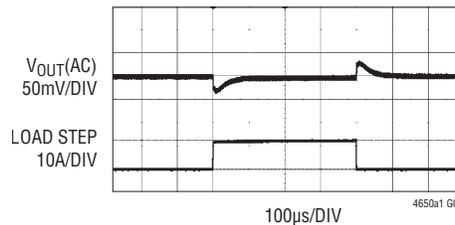


100μs/DIV

4650a1 G07

12VIN, 1.8VOUT, 500kHz,
DUAL PHASE SINGLE OUTPUT
25%, 12.5A LOAD STEP-UP AND
STEP-DOWN, 10A/μs SLEW RATE
COUT = 8× 220μF CERAMIC CAP
RTH = 3.32k, CTH = 6800pF, CFF = 68pF

2.5Vデュアル・フェーズ・シングル出力負荷トランジェント応答 (セラミック出力コンデンサのみ)

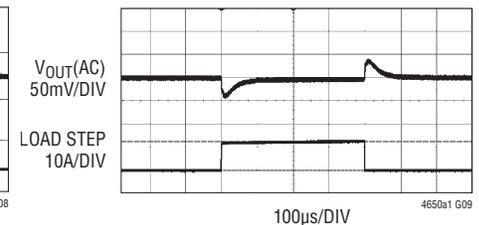


100μs/DIV

4650a1 G08

12VIN, 2.5VOUT, 500kHz,
DUAL PHASE SINGLE OUTPUT
25%, 12.5A LOAD STEP-UP AND
STEP-DOWN, 10A/μs SLEW RATE
COUT = 8× 220μF CERAMIC CAP
RTH = 3.32k, CTH = 6800pF, CFF = 68pF

3.3Vデュアル・フェーズ・シングル出力負荷トランジェント応答 (セラミック出力コンデンサのみ)



100μs/DIV

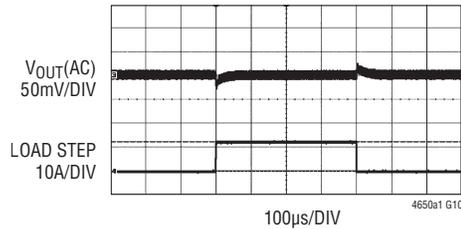
4650a1 G09

12VIN, 3.3VOUT, 600kHz,
DUAL PHASE SINGLE OUTPUT
25%, 12.5A LOAD STEP-UP AND
STEP-DOWN, 10A/μs SLEW RATE
COUT = 8× 220μF CERAMIC CAP
RTH = 3.32k, CTH = 6800pF, CFF = 68pF

LTM4650A-1

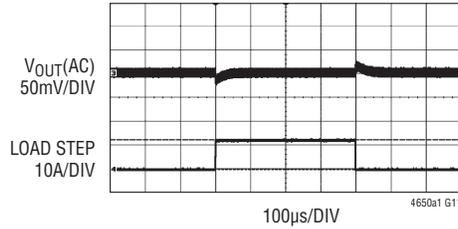
標準的性能特性

1Vデュアル・フェーズ・シングル 出力負荷トランジェント応答 (バルク出力コンデンサ)



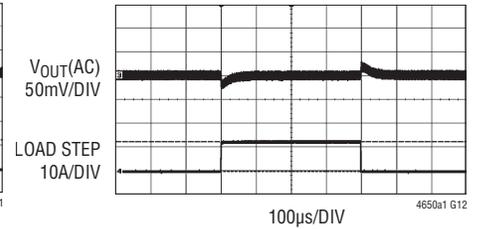
12V_{IN}, 1V_{OUT}, 300kHz,
DUAL PHASE SINGLE OUTPUT
25%, 12.5A LOAD STEP-UP AND
STEP-DOWN, 10A/µs SLEW RATE
C_{OUT} = 4× 220µF CERAMIC CAP
+ 2× 470µF 2.5V SPCAP
C_{THP} = 10pF, R_{TH} = 4.65k,
C_{TH} = 4700pF, C_{FF} = 10pF

1.2Vデュアル・フェーズ・シングル 出力負荷トランジェント応答 (バルク出力コンデンサ)



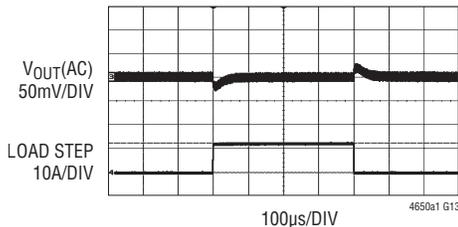
12V_{IN}, 1.2V_{OUT}, 400kHz,
DUAL PHASE SINGLE OUTPUT
25%, 12.5A LOAD STEP-UP AND
STEP-DOWN, 10A/µs SLEW RATE
C_{OUT} = 4× 220µF CERAMIC CAP
+ 2× 470µF 2.5V SPCAP
C_{THP} = 10pF, R_{TH} = 4.65k,
C_{TH} = 4700pF, C_{FF} = 10pF

1.5Vデュアル・フェーズ・シングル 出力負荷トランジェント応答 (バルク出力コンデンサ)



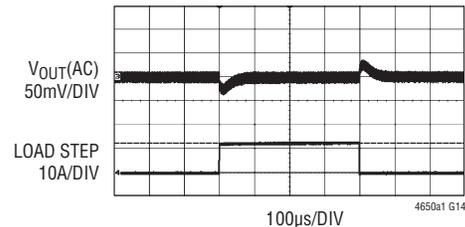
12V_{IN}, 1.5V_{OUT}, 400kHz,
DUAL PHASE SINGLE OUTPUT
25%, 12.5A LOAD STEP-UP AND
STEP-DOWN, 10A/µs SLEW RATE
C_{OUT} = 4× 220µF CERAMIC CAP
+ 2× 470µF 2.5V SPCAP
C_{THP} = 10pF, R_{TH} = 4.65k,
C_{TH} = 4700pF, C_{FF} = 10pF

1.8Vデュアル・フェーズ・シングル 出力負荷トランジェント応答 (バルク出力コンデンサ)



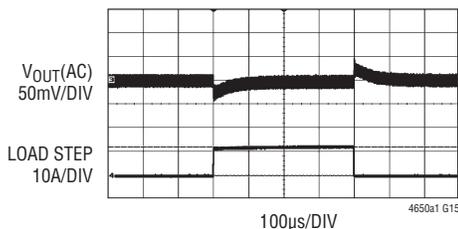
12V_{IN}, 1.8V_{OUT}, 500kHz,
DUAL PHASE SINGLE OUTPUT
25%, 12.5A LOAD STEP-UP AND
STEP-DOWN, 10A/µs SLEW RATE
C_{OUT} = 4× 220µF CERAMIC CAP
+ 2× 470µF 2.5V SPCAP
C_{THP} = 10pF, R_{TH} = 4.65k,
C_{TH} = 4700pF, C_{FF} = 10pF

2.5Vデュアル・フェーズ・シングル 出力負荷トランジェント応答 (バルク出力コンデンサ)



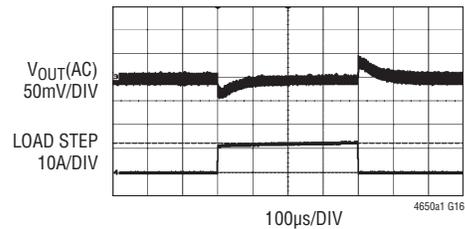
12V_{IN}, 2.5V_{OUT}, 500kHz,
DUAL PHASE SINGLE OUTPUT
25%, 12.5A LOAD STEP-UP AND
STEP-DOWN, 10A/µs SLEW RATE
C_{OUT} = 4× 220µF CERAMIC CAP
+ 2× 470µF 2.5V SPCAP
C_{THP} = 10pF, R_{TH} = 4.65k,
C_{TH} = 4700pF, C_{FF} = 10pF

3.3Vデュアル・フェーズ・シングル 出力負荷トランジェント応答 (バルク出力コンデンサ)



12V_{IN}, 3.3V_{OUT}, 600kHz,
DUAL PHASE SINGLE OUTPUT
25%, 12.5A LOAD STEP-UP AND
STEP-DOWN, 10A/µs SLEW RATE
C_{OUT} = 4× 220µF CERAMIC CAP
+ 2× 470µF 6.3V POSCAP
C_{THP} = 10pF, R_{TH} = 9.09k,
C_{TH} = 4700pF, C_{FF} = NONE

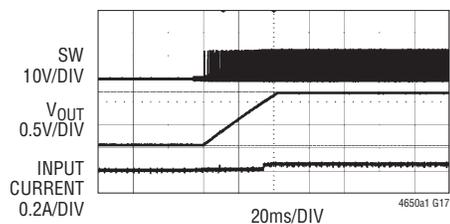
5Vデュアル・フェーズ・シングル 出力負荷トランジェント応答 (バルク出力コンデンサ)



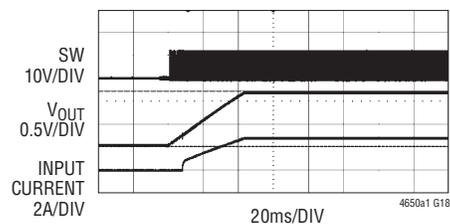
12V_{IN}, 5V_{OUT}, 750kHz,
DUAL PHASE SINGLE OUTPUT
25%, 12.5A LOAD STEP-UP AND
STEP-DOWN, 10A/µs SLEW RATE
C_{OUT} = 4× 220µF CERAMIC CAP
+ 2× 470µF 6.3V POSCAP
C_{THP} = 10pF, R_{TH} = 9.09k,
C_{TH} = 4700pF, C_{FF} = NONE

4650a1f

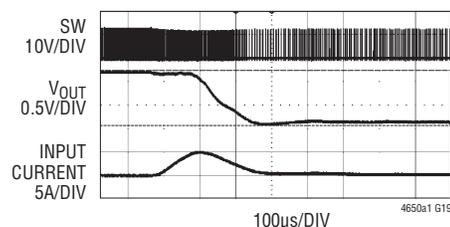
標準的性能特性

シングル・フェーズの起動、
負荷なし

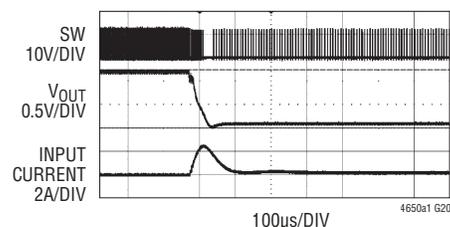
12V_{IN}, 1.2V_{OUT}, 400kHz
 $C_{OUT} = 2 \times 470\mu\text{F}$
 SPCAP + 4 × 100μF CERAMIC CAP
 $C_{SS} = 0.1\mu\text{F}$

シングル・フェーズの起動、
25A 負荷

12V_{IN}, 1.2V_{OUT}, 400kHz
 $C_{OUT} = 2 \times 470\mu\text{F}$
 SPCAP + 4 × 100μF CERAMIC CAP
 $C_{SS} = 0.1\mu\text{F}$

シングル・フェーズの短絡保護、
負荷なし

12V_{IN}, 1.2V_{OUT}, 400kHz
 $C_{OUT} = 2 \times 470\mu\text{F}$
 SPCAP + 4 × 100μF CERAMIC CAP

シングル・フェーズの短絡保護、
25A 負荷

12V_{IN}, 1.2V_{OUT}, 400kHz
 $C_{OUT} = 2 \times 470\mu\text{F}$
 SPCAP + 4 × 100μF CERAMIC CAP

ピン機能 (信号ピンの接続をモニタする場合はテスト・ポイントの使用を推奨します)



パッケージの行と列のラベルはμ Module 製品間で異なります。各パッケージのレイアウトをよく確認してください。

V_{OUT1} (A1 ~ A5, B1 ~ B5, C1 ~ C4) : 電源の出力ピン。これらのピンと GND ピンの間に出力負荷を接続します。出力デカップリング・コンデンサはこれらのピンと GND ピンの間に直接配置することを推奨します。表 6 を参照してください。

GND (A6 ~ A7, B6 ~ B7, D1 ~ D4, D9 ~ D12, E1 ~ E4, E10 ~ E12, F1 ~ F3, F10 ~ F12, G1, G3, G10, G12, H1 ~ H7, H9 ~ H12, J1, J5, J8, J12, K1, K5 ~ K8, K12, L1, L12, M1, M12) : 入力帰路と出力帰路の両方の電源グラウンド・ピン。

V_{OUT2} (A8 ~ A12, B8 ~ B12, C9 ~ C12) : 電源の出力ピン。これらのピンと GND ピンの間に出力負荷を接続します。出力デカップリング・コンデンサはこれらのピンと GND ピンの間に直接配置することを推奨します。表 6 を参照してください。

V_{OUTS1}, V_{OUTS2} (C5, C8) : このピンは、各出力の内部トップ帰還抵抗の上端に接続されています。特定の出力に直接接続するか、リモート検出アンプを使用する場合は DIFFOUT に接続します。モジュールを並列で使用する場合では、V_{OUTS} ピンのいずれか一方を、リモート検出を使用する場合は DIFFOUT ピン、リモート検出を使用しない場合は直接 V_{OUT} ピンに接続します。これは帰還パスであることから、これらのピンを必ず DIFFOUT または V_{OUT} のいずれかに接続することがきわめて重要です。開放のままにすることはできません。「アプリケーション情報」を参照してください。

f_{SET} (C6) : 周波数設定ピン。このピンからは 10μA の電流が供給されます。このピンとグラウンドの間に接続された抵抗によって動作周波数をプログラムする電圧が設定されます。これに代わる方法として、このピンを DC 電圧で駆動して動作周波数を設定することもできます。「アプリケーション情報」のセクションを参照してください。

SGND (C7, D6, G6 ~ G7, F6 ~ F7) : 信号グラウンド・ピン。全てのアナログ回路と低電力回路のリターン・グラウンド・パス。アプリケーションでは出力コンデンサの GND に一点接続します。図 14 のレイアウトのガイドラインを参照してください。

V_{FB1}, V_{FB2} (D5, D7) : 各チャネルのエラーアンプの負入力。このピンは内部で 60.4kΩ の高精度抵抗を介して V_{OUTS1} または V_{OUTS2} に接続されています。V_{FB} ピンと GND ピンの間に抵抗を追加して、異なった出力電圧をプログラムすることがで

きます。PolyPhase[®] 動作では、V_{FB} ピンを相互接続することによって並列動作が可能になります。詳細については「アプリケーション情報」のセクションを参照してください。このピンは駆動しないでください。

TRACK1, TRACK2 (E5, D8) : 出力電圧トラッキング・ピンおよびソフトスタートの入力ピン。各チャネルは 1.3μA のプルアップ電流源を備えています。一方のチャネルを 2 つのチャネルのマスタに設定する場合は、このピンとグラウンドの間のコンデンサによってソフトスタートのランプ・レートが決まります。残りのチャネルはスレーブとして設定でき、スレーブ出力トラッキング・ピンには分圧器を介してマスタの出力を印加します。この分圧器は同時トラッキング用スレーブ出力の帰還分割器と同じです。「アプリケーション情報」を参照してください。

COMP1, COMP2 (E6, E7) : 各チャネルの電流制御しきい値およびエラーアンプの補償点。電流コンパレータのしきい値はこの制御電圧に応じて増加します。COMP ピンの内部には、SGND に接続された 10pF のフィルタ・コンデンサがあります。制御ループ補償のために、外部 RC フィルタ回路が必要です。「アプリケーション情報」を参照してください。並列動作を行うには COMP ピンを相互に接続します。このピンは駆動しないでください。

DIFFP (E8) : リモート検出アンプの正入力。このピンは、出力電圧のリモート検出ポイントに接続します。差動アンプは出力が 3.3V 以下のときに使用できます。「アプリケーション情報」を参照してください。

DIFFN (E9) : リモート検出アンプの負入力。このピンは、出力 GND のリモート検出ポイントに接続します。差動アンプは出力が 3.3V 以下のときに使用できます。「アプリケーション情報」を参照してください。

MODE_PLLIN (F4) : 強制連続モード、Burst Mode 動作、またはパルス・スキップ・モードの選択ピン、および位相検出器への外部同期入力ピン。両方のチャネルを強制的に強制連続モード動作に設定するには、このピンを SGND に接続します。パルス・スキップ・モード動作をイネーブルするには INTV_{CC} に接続します。このピンをフロート状態にしておくと Burst Mode 動作がイネーブルされます。ピンにクロックを印加すると、両チャネルが強制的に連続動作モードに設定され、印加された外部クロックに同期します。

ピン機能 (信号ピンの接続をモニタする場合はテスト・ポイントの使用を推奨します)

RUN1、RUN2 (F5、F9) : 実行制御ピン。電圧が1.25Vを上回るとモジュールの各チャンネルがオンします。RUNピンに1.25Vを下回る電圧を印加すると対応するチャンネルがオフします。各RUNピンには1 μ Aのプルアップ電流が流れ、RUNピンの電圧が1.2Vに達すると、このピンに流れるプルアップ電流は4.5 μ A増加します。

DIFFOUT (F8) : 内部リモート検出アンプの出力。どちらの出力チャンネルでリモート検出を使用するかに応じて、V_{OUTS1}またはV_{OUTS2}のいずれかに接続します。並列動作でリモート検出を使用する場合は、V_{OUTS}ピンの一方をDIFFOUTピンに接続します。

SW1、SW2 (G2、G11) : テスト目的で使われる各チャンネルのスイッチング・ノード。RCスナバ・ネットワークを接続して、スイッチ・ノードのリングングを低減または除去することもできます。それ以外の場合はフロート状態のままとします。「アプリケーション情報」のセクションを参照してください。

PHASMD (G4) : このピンをSGNDまたはINTV_{CC}に接続するか、フロート状態にすることで、CLKOUTの位相をそれぞれ60°、120°、90°に設定できます。

CLKOUT (G5) : PHASMDピンによって位相が制御されるクロック出力。このクロックによりデバイス間のマルチフェーズ動作が可能になります。「アプリケーション情報」のセクションを参照してください。

PGOOD1、PGOOD2 (G9、G8) : 出力電圧のパワーグッド・インジケータ。オープン・ドレインのロジック出力で、出力電圧がレギュレーション・ポイントの $\pm 10\%$ 以内になると、グランドに引き下げられます。

INTV_{CC} (H8) : 内蔵5Vレギュレータの出力。制御回路と内蔵ゲート・ドライバはこの電圧源から電力を供給されます。このピンは、4.7 μ F、低ESRのタンタル・コンデンサまたはセラミック・コンデンサを使ってPGNDにデカップリングしてください。RUN1またはRUN2のいずれかをアクティブにすると、INTV_{CC}が有効になります。

TEMP (J6) : 温度モニタ。NPNトランジスタに接続された内部ダイオードが、TEMPピンとSGNDピンの間に接続されています。「アプリケーション情報」のセクションを参照してください。

EXTV_{CC} (J7) : EXTV_{CC}が4.7Vを上回ると、INTV_{CC}に接続されたスイッチによって有効になる外部電源入力。この入力は6Vを超えないようにしてください。また、V_{IN} = 5Vで動作させる場合は、このピンをV_{IN}に接続します。効率が向上し、その値は(V_{IN} - INTV_{CC}) \times (パワー・MOSFETの駆動電流)で決まります。必要とされる標準電流は30mAです。V_{IN}を印加してからEXTV_{CC}を印加し、EXTV_{CC}を遮断してからV_{IN}を遮断する必要があります。

V_{IN} (M2 ~ M11、L2 ~ L11、J2 ~ J4、J9 ~ J11、K2 ~ K4、K9 ~ K11) : 電源入力ピン。これらのピンとGNDピンの間に入力電圧を印加します。入力デカップリング・コンデンサはV_{IN}ピンとGNDピンの間に直接配置することを推奨します。

ヒートシンク(上面に露出した金属面) : 上面に露出した金属面は、電氣的に接続されていません。

LTM4650A-1

簡略ブロック図

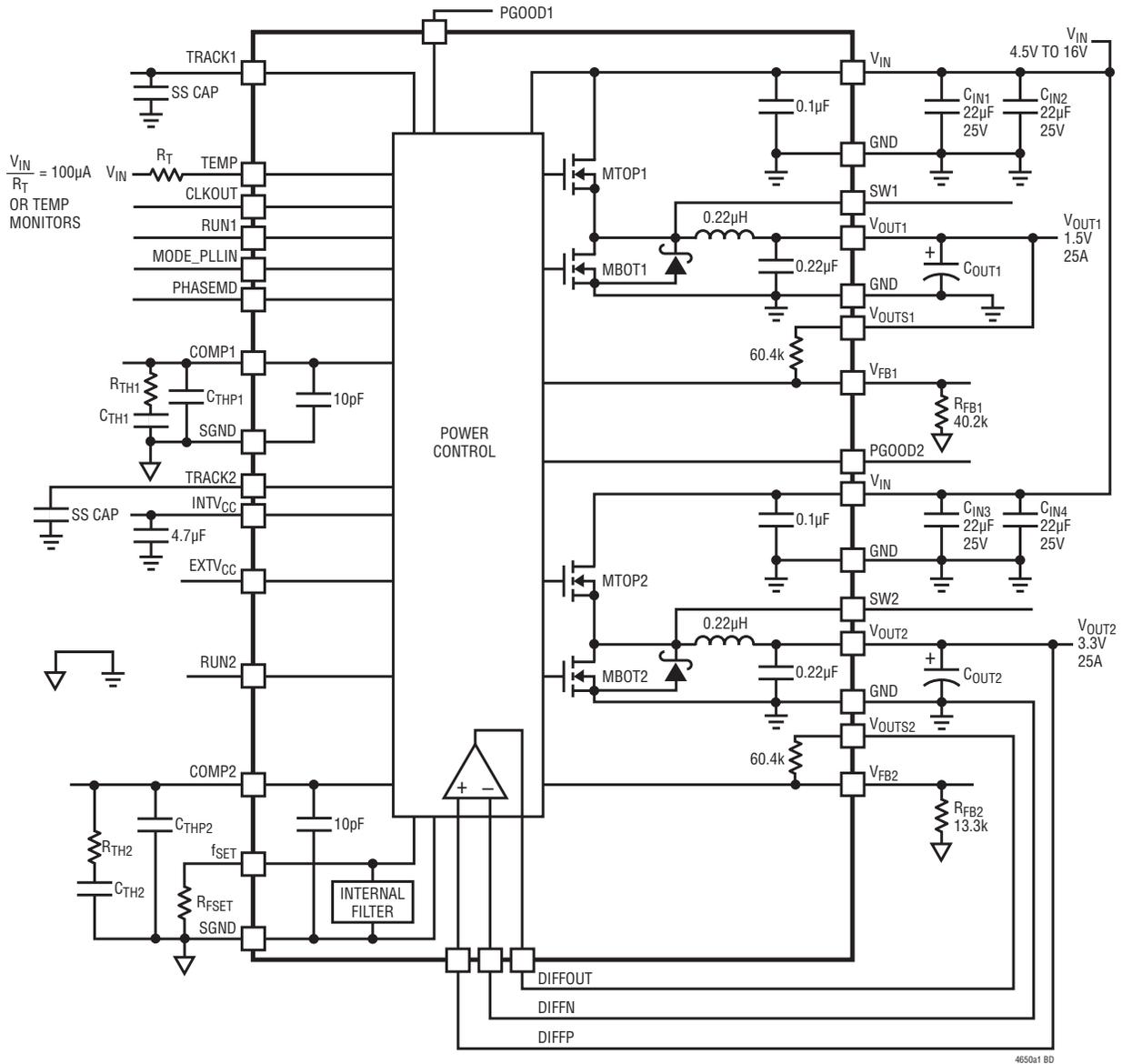


図1. LTM4650A-1の簡略ブロック図

デカップリングの要件

$T_A = 25^\circ\text{C}$ 。図1の構成を使用。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
C_{IN1}, C_{IN2} C_{IN3}, C_{IN4}	External Input Capacitor Requirement ($V_{IN1} = 4.5\text{V to }16\text{V}, V_{OUT1} = 1.2\text{V}$) ($V_{IN2} = 4.5\text{V to }16\text{V}, V_{OUT2} = 3.3\text{V}$)	$I_{OUT1} = 25\text{A}$ $I_{OUT2} = 25\text{A}$	22	66		μF
C_{OUT1} C_{OUT2}	External Output Capacitor Requirement ($V_{IN1} = 4.5\text{V to }16\text{V}, V_{OUT1} = 1.2\text{V}$) ($V_{IN2} = 4.5\text{V to }16\text{V}, V_{OUT2} = 3.3\text{V}$)	$I_{OUT1} = 25\text{A}$ $I_{OUT2} = 25\text{A}$	300	600		μF

動作

電源モジュールの概要

LTM4650A-1は、ライン、負荷、および温度の変化に対して±1%の合計DC出力誤差を備える、デュアル出力スタンドアロン非絶縁型スイッチング・モードDC/DC電源です。数個の入力コンデンサと出力コンデンサ、および設定用の部品を外付けするだけで、2つの25A出力または1つの50A出力を供給できます。このモジュールは、入力電圧範囲4.5V～16Vに対して、外付け抵抗によって設定可能な0.6V_{DC}～5.5V_{DC}の高精度で安定化された出力電圧を供給します。標準的応用例の回路図を図34に示します。

LTM4650A-1は固定周波数電流モード・レギュレータと高速スイッチングが可能な内蔵パワーMOSFETデバイスを集積化しています。異なる入力条件および出力条件に応じて、標準スイッチング周波数は300kHz～750kHzの範囲になります。また、250kHz～780kHzの範囲で外部同期可能なので、スイッチング・ノイズに敏感なアプリケーションに対応できます。f_{SET}ピンに抵抗を接続することで、自走周波数をプログラムできます。「アプリケーション情報」のセクションを参照してください。

電流モード制御と共に、保証された完全な電流分担を使用して、複数のLTM4650A-1を簡単に並列接続し、最大300Aの電流を供給できます。また、LTM4650A-1モジュールは、電流モード制御と共に、最小限の出力コンデンサを使って(全てセラミック出力コンデンサを使用する場合でも)十分に余裕のある安定性ときわめて高速な±3%の出力トランジエント応答を達成できます。これによってLTM4650A-1は、FPGA、ASIC、およびプロセッサに給電する場合に、DC精度、ACトランジエント応答、高出力電流、および正確な電流分担に関して、最も優れた候補になります。「アプリケーション情報」を参照してください。

電流モード制御により、サイクルごとの高速電流制限および過電流状態でのフォールドバック電流制限が実現されます。内蔵されている過電圧コンパレータと低電圧コンパレータは、出力帰還電圧がレギュレーション・ポイントの上下±10%の範囲を外れると、オープン・ドレインのPGOOD出力を“L”に引き下げます。出力電圧がレギュレーション電圧より10%以上高くなると、ボトムMOSFETがオンして、出力電圧をクランプします。トップMOSFETはオフします。過電圧保護は、帰還電圧を参照します。

RUNピンを1.1Vより下げると、両方のMOSFETをオフしてレギュレータを強制的にシャットダウン状態に移行させます。TRACKピンは、起動時の出力電圧のランプと電圧トラッキングをプログラムするのに使われます。また、レギュレータのソフトスタートにも使われます。「アプリケーション情報」のセクションを参照してください。

LTM4650A-1は、出力ごとに、COMPとSGNDの間に、10pFの高周波数フィルタ・コンデンサを内蔵しています。高速なタイプII制御ループ補償を実現するには、外部RCフィルタ回路が必要です。いくつかの動作条件について、入力容量、出力容量、およびCOMPピンでのR-C値のガイドラインを表6に示します。リニアテクノロジーのμModule電源設計ツール(LTpowerCAD[®])により、トランジエントおよび安定性の解析を行えます。V_{FB}ピンは、グランドとの間に1本の外付け抵抗を接続して、出力電圧の設定に使用します。負荷の直近で、出力電圧のいずれか一方、または並列動作の場合ならば出力電圧を、高精度で計測可能な差動リモート検出アンプを搭載しています。

MODE_PLLINピンを使って選択可能なBurst Mode動作またはパルス・スキップ動作により、負荷が軽い場合も高い効率を実現できます。これらの軽負荷に対応する機能はバッテリ動作に適しています。「標準的性能特性」に軽負荷動作での効率のグラフが掲載されています。詳細については「アプリケーション情報」を参照してください。

モジュールに内蔵された汎用温度検出ダイオードによって、モジュールの温度をモニタできます。詳細については、「アプリケーション情報」のセクションを参照してください。

機能や動作をモニタリングするために、スイッチ・ピンが利用可能です。また、このスイッチ・ピンとグランドの間に抵抗とコンデンサによるスナバ回路を適切に接続することで、遷移エッジにおけるあらゆる高周波リングを減衰できます。詳細については「アプリケーション情報」のセクションを参照してください。

アプリケーション情報

LTM4650A-1の代表的なアプリケーション回路を図34に示します。外付け部品の選択は主に最大負荷電流と出力電圧で決まります。25%または50%の負荷ステップのアプリケーションに対する外付けコンデンサの具体的な要件については、表6を参照してください。

出力合計DC精度およびAC過渡性能

最新のASICおよびFPGAの電源設計では、コアおよび周辺に給電する電源の厳しい全電圧レギュレーション範囲(例えば±3%)が必要になります。この要件を満たすために、電源のDC電圧変動に、負荷ステップ・トランジエントの間に発生する可能性のあるAC電圧変動を加えた値が、この許容範囲内に収まらなければなりません。DC電圧変動は、動作温度範囲にわたる電源のリファレンス電圧、抵抗分割器、負荷レギュレーション、および入力レギュレーションの精度によって決定されます。AC電圧変動は、特定の出力コンデンサ回路網の負荷トランジエント条件に応じた、電源の出力電圧のオーバーシュートとアンダーシュートによって決定されます。

図2に、標準的な負荷ステップ・トランジエント応答の波形を、DC電圧精度の変動と共に示します。特定の許容可能な電圧レギュレーション範囲の場合、DC電圧精度が高いほど、負荷トランジエント応答に起因するAC変動に対する余裕が増えます。このように、AC変動に対する余裕が増えることによって、レギュレーション範囲の要件を満たすため必要な合計出力容量を削減できます。これによって、ソリューションの総コストおよび実装面積を減らすことができます。

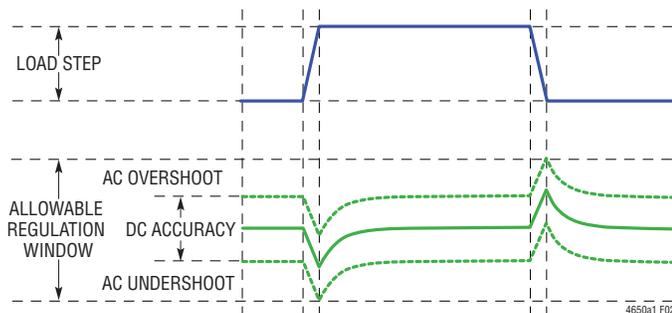


図2. DC電圧精度が変動する標準的な負荷ステップ・トランジエント応答

例えば、FPGAコア電圧アプリケーションでは、100Aで12V入力、1.0V出力の設計の場合、25%の負荷ステップ・トランジエントにตอบสนองして、±3%の全電圧レギュレーション範囲の全体的精度が必要になります。図3に、100μFのセラミック出力コンデンサを使用することによって、改善された合計DC精度に対する全体的な出力コンデンサ削減の効果を示します。

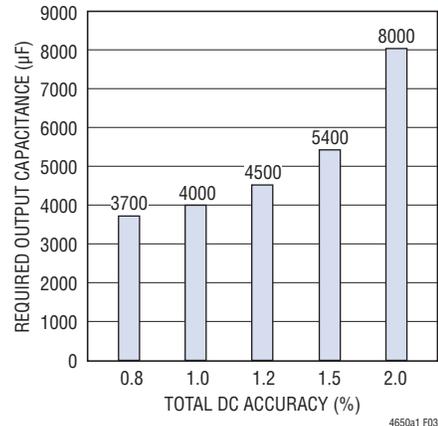


図3. 全体的出力コンデンサと合計DC精度

V_{IN}からV_{OUT}への降圧比

実現可能なV_{IN}からV_{OUT}への最大降圧比には、与えられた入力電圧に応じた制約があります。LTM4650A-1の各出力は98%のデューティ・サイクルを実現する能力がありますが、V_{IN}からV_{OUT}の間には負荷電流で決まる最小ドロップアウトが発生し、トップ側スイッチの高デューティ・サイクルに関連した出力電流能力を制限します。t_{ON}(MIN) < D/f_{SW}であることから、特定の周波数での動作時に規定されたデューティ・サイクルで動作させる場合は、最小オン時間t_{ON}(MIN)についても考慮する必要があります。ここで、Dはデューティ・サイクル、f_{SW}はスイッチング周波数です。t_{ON}(MIN)は電気的パラメータで90nsに規定されています。

出力電圧のプログラミング

PWMコントローラには0.6Vの内部リファレンス電圧があります。ブロック図に示したとおり、60.4kΩの内部帰還抵抗が、V_{OUTS1}とV_{FB1}の間、およびV_{OUTS2}とV_{FB2}の間に接続されています。帰還レギュレーションを適切に動作させるには、これらのピンを対応する出力に接続することがきわめて重要です。独立したレギュレータとして使用する場合、または1個以上を並列レギュレータの一部として使用する場合に、V_{OUTS1}やV_{OUTS2}ピンをフロートのままにすると、過電圧が発生する

アプリケーション情報

可能性があります。V_{FB1} または V_{FB2} のどちらも、帰還抵抗なしの場合は、出力電圧がデフォルト値の 0.6V になります。V_{FB} ピンと GND の間に抵抗 R_{FB} を追加すると、出力電圧が次のように設定されます。

$$V_{OUT} = 0.6V \cdot \frac{60.4k + R_{FB}}{R_{FB}}$$

表 1. 各種出力電圧に対する V_{FB} 抵抗

V _{OUT}	0.6V	1.0V	1.2V	1.5V	1.8V	2.5V	3.3V	5V
R _{FB}	Open	90.9k	60.4k	40.2k	30.2k	19.1k	13.3k	8.25k

複数チャンネルの並列動作では、並列デザインにも同じ帰還設定抵抗を使用できます。それには、図4に示すように V_{OUTS1} と出力を接続することで、内部の 60.4k 抵抗の1つが出力に接続されます。図4に示すとおり、全ての V_{FB} ピンが共通のプログラミング抵抗に接続されます。

並列動作の場合、V_{FB} ピンにはチャンネルあたり最大 20nA の I_{FB} 電流が流れます。この電流による出力電圧の誤差を低減するには、他の V_{OUTS} ピンも V_{OUT} ピンに接続し、R_{FB} 抵抗も増やすことで、この電流に対する総テブナン等価抵抗を低減します。図4の例では、V_{FB} ピンの総テブナン等価抵抗は (60.4k/R_{FB}) で表され、1.2V 出力の場合 R_{FB} は 60.4k であることから、その値は 30.2k になります。4 フェーズを並列接続した場合は帰還電流が増加し、最大で 4・I_{FB} = 80nA となることから、電圧誤差は、80nA・30.2k = 2.4mV と計算されます。図4のように V_{OUTS2} も V_{OUT} に接続して、V_{FB2} とグラウンドの間に 60.4k 抵抗をもう1つ接続すれば、電圧誤差は 1.2mV に改善します。電圧誤差が許容できる場合は、追加の接続は必要ありません。60.4k の内蔵抵抗の精度は 0.5% であり、V_{FB} 抵抗は、必要な精度に応じてユーザーが選択できます。位相間の電流分担のために、COMP ピンは全て相互に接続します。TRACK/SS ピンを相互に接続すれば、ソフトスタート・コンデンサ1個で、レギュレータのソフトスタートを実現できます。ソフトスタートの式には、並列接続されたチャンネル数に応じて増加する、ソフトスタート電流のパラメータが必要です。「出力電圧トラッキング」のセクションを参照してください。

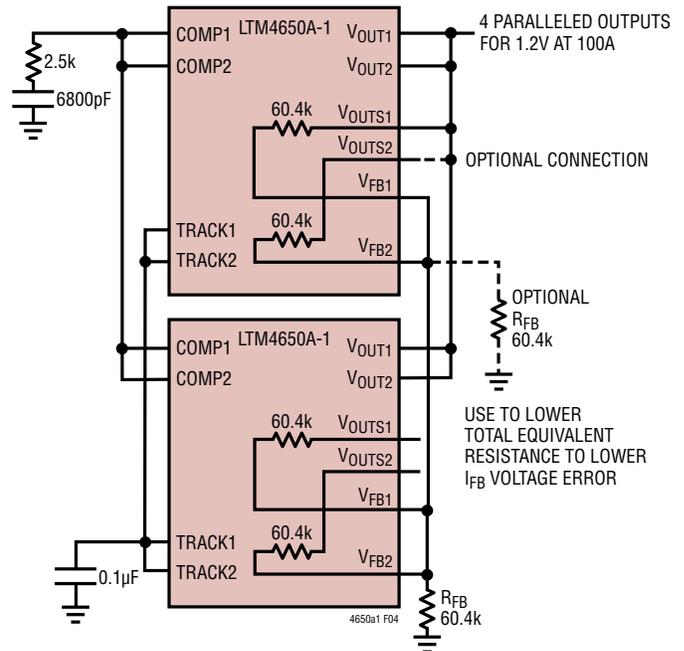


図 4. 4相並列構成

入力コンデンサ

LTM4650A-1 モジュールは低 AC インピーダンスの DC 電源に接続する必要があります。RMS リップル電流に対応するために、チャンネルの各入力には 22μF のセラミック・コンデンサを2個接続します。より大きな入力バルク容量には、47μF ~ 100μF の表面実装アルミ電解バルク・コンデンサを使うことができます。このバルク入力コンデンサは、長い誘導性のリードやトレースまたは電源の容量不足によって入力電源インピーダンスが損なわれる場合にだけ必要です。低インピーダンスの電源プレーンを使用している場合は、このバルク・コンデンサは不要です。

降圧コンバータの場合、スイッチングのデューティ・サイクルは次のように推定することができます。

$$D = \frac{V_{OUT}}{V_{IN}}$$

アプリケーション情報

インダクタの電流リップルを考慮しなければ、入力コンデンサのRMS電流は、各出力に対して次のように概算できます。

$$I_{CIN(RMS)} = \frac{I_{OUT(MAX)}}{\eta\%} \cdot \sqrt{D \cdot (1-D)}$$

上の式で、 $\eta\%$ は電源モジュールの推定効率です。バルク・コンデンサは、スイッチャ定格のアルミ電解コンデンサ、またはポリマー・コンデンサにすることができます。

出力コンデンサ

LTM4650A-1は出力電圧リップル・ノイズを小さくし、優れたトランジェント応答が得られるように設計されています。C_{OUT}として定義されているバルク出力コンデンサは、出力電圧リップルとトランジェントの要件を満たすために、実効直列抵抗(ESR)が十分に小さいものを選択します。C_{OUT}には低ESRのタンタル・コンデンサ、低ESRのポリマー・コンデンサまたはセラミック・コンデンサを使うことができます。各出力の標準的な出力容量の範囲は、1つの出力チャンネルにつき300 μ F～800 μ Fです。出力リップルや動的トランジェント・スパイクを更に低減するために、システム設計者による出力フィルタの追加が必要になる場合があります。異なる出力電圧と、25%の負荷ステップでの電圧の垂下やオーバーシュートを最小に抑えるための出力コンデンサの一覧を表6に示します。複数のLTM4650A-1を並列接続するアプリケーションにおいても、COMPピン、FBピン、およびV_{OUT}ピンを全て相互に接続しながら、並列接続モジュールのそれぞれに一組のRCフィルタが存在することに関して、表6のRC補償値が有効です。図37および「マルチフェーズ動作」のセクションを参照してください。この表では、最適のトランジェント性能を得るために、全ESRと全バルク容量が最適化されています。表6の一覧では安定性の判定基準が考慮されており、リニアテクノロジーからLTpowerCAD Design Toolが安定性の解析のために提供されています。マルチフェーズ動作では、位相数に応じて実効出力リップルが低減されます。このノイズ低減と出力リップル電流の相殺については「アプリケーションノート77」で解説していますが、出力容量と安定性やトランジェント応答の関係を注意深く検討する必要があります。リニアテクノロジーの μ Module Power Design Toolは、実装する位相数をN倍に増やしたときの出力リップルの減少を計算できます。10 Ω ～50 Ω の小さな抵抗をV_{OUT}とV_{OUTS}ピンの間に直列に挿入するこ

とで、ボード・プロット・アナライザが制御ループに信号を注入して、レギュレータの安定性を検証できるようにします。同じ抵抗をV_{OUT}とDIFFPの間に直列に挿入しても、ボード・プロット・アナライザは制御ループに信号を注入してレギュレータの安定性を検証できます。

Burst Mode 動作

LTM4650A-1は、パワー MOSFETが負荷要件に応じて間欠的に動作するBurst Mode動作を、レギュレータごとに実行できるように、静止電流が節減されます。非常に軽い負荷での効率最大化を重視するアプリケーションでは、Burst Mode動作を使用します。MODE_PLLINピンをフロートさせると、Burst Mode動作がイネーブルされます。この動作の間、COMPピンの電圧が低い値を示しても、インダクタのピーク電流は通常動作における最大ピーク電流値の約1/3に設定されます。インダクタの平均電流が負荷の要求値より大きいと、COMPピンの電圧は下がります。COMPピンの電圧が0.5Vを下回ると、BURSTコンパレータがトリップし、内部のスリープ・ラインが“H”になって両方のパワー MOSFETをオフします。

スリープ・モードでは、内部回路が部分的にオフします。このとき、負荷電流は出力コンデンサから供給されます。出力電圧が低下して、COMPが0.5Vを超えると、内部のスリープ・ラインは“L”になり、LTM4650A-1は通常動作を再開します。次の発振器サイクルでトップ・パワー MOSFETがオンし、スイッチング・サイクルを繰り返します。

パルス・スキップ・モードの動作

低出力リップルおよび中程度の電流での高い効率が望まれるアプリケーションでは、パルス・スキップ・モードを使います。パルス・スキップ動作では、LTM4650A-1は低出力負荷時にサイクルをスキップすることができるので、スイッチング損失が減少して効率が向上します。MODE_PLLINピンをINTV_{CC}に接続すると、パルス・スキップ動作がイネーブルされます。軽い負荷では、内部電流コンパレータが数サイクルにわたって作動したままになり、上側MOSFETを数サイクルにわたって強制的にオフのままにする(つまり、サイクルをスキップする)ことがあります。このモードでは、インダクタ電流は反転しません。実効周波数が高く保たれるため、Burst Mode動作に比べて出力リップルとノイズが低減されます。

アプリケーション情報

強制連続動作

低電流での効率より周波数固定の動作が重要で、更に出力リップルを最小限に抑えることが望ましいアプリケーションでは、強制連続動作を使用します。MODE_PLLINピンをGNDに接続すると、強制連続動作をイネーブできます。このモードでは、インダクタ電流が低出力負荷の間反転可能で、COMPの電圧が電流コンパレータのしきい値を常に制御し、上側のMOSFETは発振器のパルスごとに必ずオンします。起動時には、LTM4650A-1の出力電圧が安定化されるまで、強制連続モードがデイスエーブルされ、インダクタ電流の反転が防止されます。強制連続モードは、両レギュレータのいずれに対しても設定できます。

マルチフェーズ動作

出力負荷が25Aを超える電流を必要とする場合、LTM4650A-1の2つの出力または複数のLTM4650A-1を並列接続した上で、位相をずらして動作させ、入力と出力の電圧リップルを抑えたまま出力電流を増やすことができます。MODE_PLLINピンによってLTM4650A-1を外部クロック(250kHz~780kHz)に同期させることができ、内部フェーズロック・ループによってLTM4650A-1を入力クロックの位相にロックさせることができます。CLKOUT信号を、次段のMODE_PLLINピンに接続し、システム全体の周波数と位相の両方を揃えることができます。PHASMDピンを、INTV_{CC}またはSGNDに接続するか、フロート状態とすると、それぞれ120°、60°、90°の位相差(MODE_PLLINとCLKOUT間)を発生できます。LTM4650A-1のチャンネルごとにPHASMDピンを異なったレベルにプログラムすることにより、合計12フェーズをカスケード接続し、相互に同時に動作させることができます。図5は、クロックの位相制御の設計例として2フェーズ、4フェーズ、6フェーズの構成をPHASMDの表と併せて示したものです。

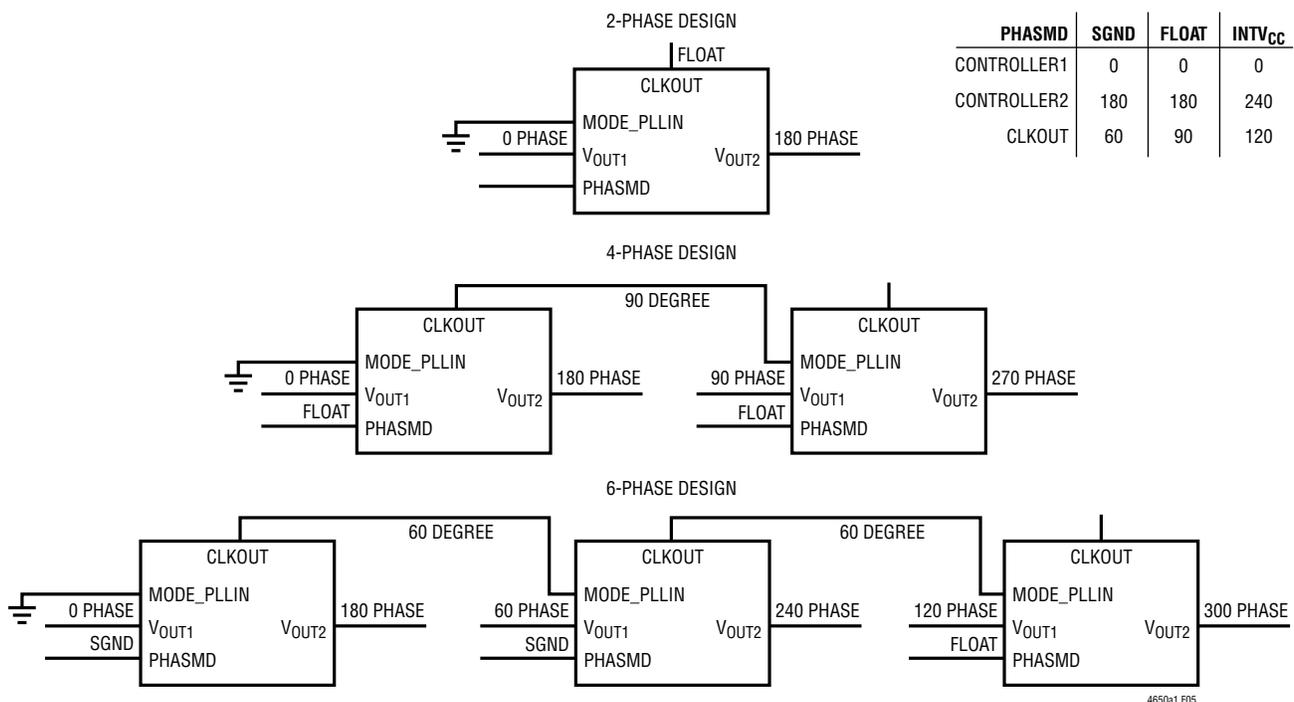


図5. 2相、4相、6相動作の例(PHASMDの表を併記)

アプリケーション情報

マルチフェーズ電源では、入力と出力のどちらのコンデンサのリップル電流の量も大幅に減少します。RMS 入力リップル電流は使用する位相数が増えると低減され、実効リップル周波数は位相数倍されます(入力電圧が、使用される位相数×出力電圧より大きいと仮定)。全ての出力を互いに接続した高電流のシングル出力デザインでは、使用する位相数によって出力リップルの振幅を低減することができます。

複数の LTM4650A-1 が並列接続されるアプリケーションにおいても、25%の負荷ステップでトランジェント応答を実現するために、表6の C_{TH} および R_{TH} の値が有効です。デュアル・フェーズ・シングル出力設定と同様に、一組の RC (R_{TH} および C_{TH}) 回路網を、各並列接続モジュールの COMP ピンに接続します。その後、各モジュールからの COMP ピン、FB ピン、TRACK/SS ピン、および V_{OUT} ピンを相互に接続します。並列

動作の例については図35および37を参照してください。一組の RC (R_{TH} および C_{TH}) 回路網しか共通の COMP ピンに追加されない場合は、LTpowerCAD 電源設計ツールを使用してループ補償および過渡性能を最適化することもできます。

LTM4650A-1 は本来、電流モードで制御されるデバイスなので、並列モジュールは非常に優れた電流分担特性を示します。このため、デザインの発熱バランスがよくなります。

入力RMSリップル電流の相殺

マルチフェーズ動作は「アプリケーションノート77」で詳細に説明されています。入力RMSリップル電流の相殺を数学的に導出し、RMSリップル電流の減少を、インタリーブされた位相の数の関数として表したグラフを掲載しています。そのグラフを図6に示します。

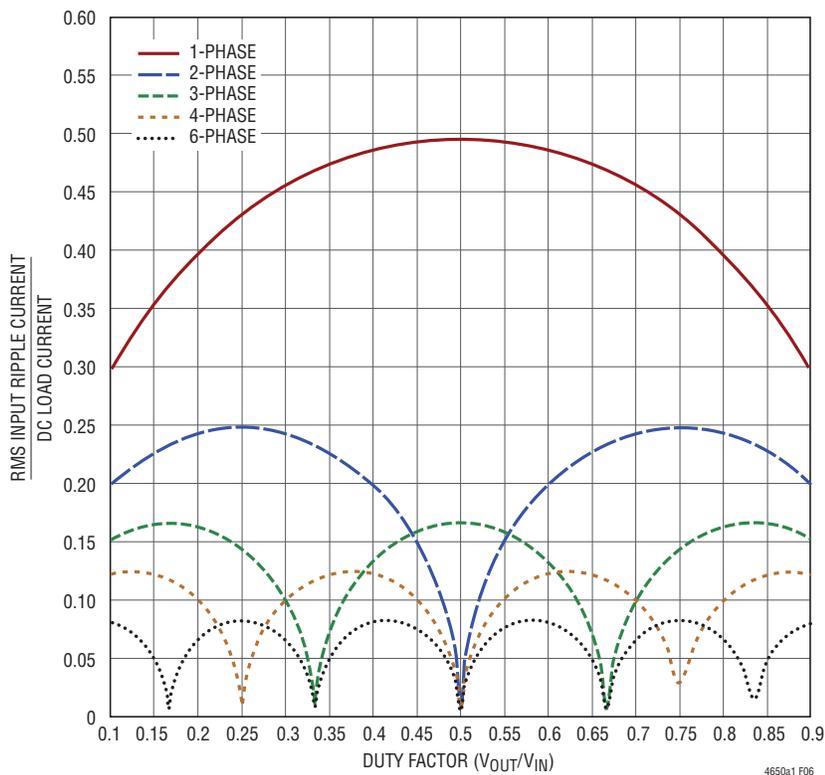


図6. DC 負荷電流に対する入力 RMS 電流の比率のデューティ・サイクル依存性

アプリケーション情報

周波数の選択とフェーズロック・ループ (MODE_PLLINピンとf_{SET}ピン)

LTM4650A-1 デバイスは、電力変換効率を高めるために、広い周波数範囲で動作します。最善の効率とインダクタ電流リップルが得られるように、異なる入力および出力範囲全体で300kHz～750kHzで動作させることを推奨します。

LTM4650A-1のスイッチング周波数は、f_{SET}ピンとSGND間の外付け抵抗によって設定できます。高精度の10μA電流源から抵抗に供給される電流によって、周波数をプログラムする電圧を設定します。DC電圧を直接印加して設定することもできます。図7にプログラム電圧に対する周波数設定のグラフを示します。周波数範囲250kHz～780kHzについては、MODE_PLLINピンに0VからINTV_{CC}の外部クロックを入力することもできます。クロック入力のHigh側しきい値は1.6V、Low側しきい値は1Vです。LTM4650A-1はPLLループ・フィルタの部品を内蔵しています。外部クロックにロックするまでの初期スイッチング周波数を設定するために、周波数設定抵抗は必ず接続してください。両レギュレータは、外部クロックによる駆動中、連続モードで動作します。

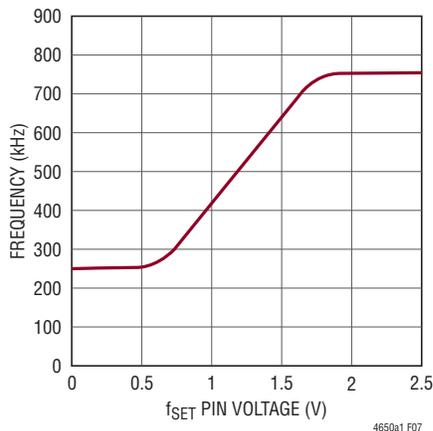


図7. 動作周波数のf_{SET}ピン電圧依存性

PLL位相検出器の出力は、内部フィルタ・ネットワークを充放電する1対の相補型電流源です。外部クロックを印加する場合、f_{SET}周波数抵抗は内部スイッチによって切り離され、入力される外部クロックにロックするための周波数調整は電流源によって制御されます。外部クロックが印加されないと、内部スイッチがオンになり、外付けのf_{SET}周波数設定抵抗が接続されて自走動作になります。

最小オン時間

最小オン時間 t_{ON} は、LTM4650A-1がいずれかのチャンネルのトップMOSFETをオンすることができる最小時間です。これは内部タイミング遅延とトップMOSFETをオンするのに必要なゲート電荷の量によって決まります。低デューティ・サイクルのアプリケーションでは、この最小オン時間のリミットに接近する可能性があるため、次の条件が成り立つように注意する必要があります。

$$\frac{V_{OUT}}{V_{IN} \cdot \text{FREQ}} > t_{ON(MIN)}$$

デューティ・サイクルが最小オン時間で対応可能な値より低くなると、コントローラはサイクル・スキップを開始します。出力電圧は引き続き安定化されますが、出力リップルと電流が増加します。トップMOSFETのオン時間は、スイッチング周波数を低くすると増加します。経験則から、オン時間は110nsよりも長くすることを推奨します。

ソフトスタートおよび出力電圧トラッキング

TRACK/SSピンによって、レギュレータをソフトスタートさせることも、別の電源をトラッキングさせることもできます。TRACK/SSピンに接続されたコンデンサにより、出力電圧の上昇率が設定されます。内部の1.3μA電流源が外付けのソフトスタート・コンデンサを充電し、その電圧はINTV_{CC}ピンの電圧に近づきます。TRACK/SSピンの電圧が0.6Vより低くなると、出力電圧の制御は0.6Vの内部リファレンス電圧に引き継がれます。ソフトスタートの合計時間は次のように計算できます。

$$t_{SS} = 0.6 \cdot \frac{C_{SS}}{1.3\mu A}$$

ここで、C_{SS}はTRACK/SSピンに接続されている容量です。電流フォールドバックと強制連続モードは、ソフトスタートの間ディスエーブルされます。

アプリケーション情報

出力電圧のトラッキングはTRACK/SSピンを使用して外部から設定することもできます。出力を別のレギュレータに追従させて、その電圧を増減させることができます。スレーブ・レギュレータの出力スルーレートがマスタのスルーレートに比例する波形の例を図8に示します。

スレーブ・レギュレータのTRACK/SSピンは抵抗分割器 $R_{TR(TOP)}/R_{TR(BOT)}$ を介してマスタの出力に接続されており、その電圧は、TRACK/SSピンの電圧が0.6Vより低いとき、スレーブの出力電圧を安定化するために使用されるので、スレーブの出力電圧とマスタの出力電圧は起動時に次の式を満たす必要があります。

$$V_{OUT(SL)} \cdot \frac{R_{FB(SL)}}{R_{FB(SL)} + 60.4k} =$$

$$V_{OUT(MA)} \cdot \frac{R_{TR(BOT)}}{R_{TR(TOP)} + R_{TR(BOT)}}$$

図9に示すように、 $R_{FB(SL)}$ は帰還抵抗であり、 $R_{TR(TOP)}/R_{TR(BOT)}$ はスレーブ・レギュレータのTRACK/SSピンに接続されている抵抗分割器です。

前述の式に従うと、マスタの出力スルーレート(MR)とスレーブの出力スルーレート(SR)の比は次式により求められます。

$$\frac{MR}{SR} = \frac{\frac{R_{FB(SL)}}{R_{FB(SL)} + 60.4k}}{\frac{R_{TR(BOT)}}{R_{TR(TOP)} + R_{TR(BOT)}}$$

例えば、 $V_{OUT(MA)} = 1.5V$ 、 $MR = 1.5V/1ms$ および $V_{OUT(SL)} = 3.3V$ 、 $SR = 3.3V/1ms$ とします。前述の式から、 $R_{TR(TOP)} = 60.4k$ および $R_{TR(BOT)} = 40.2k$ が比例トラッキングに適した組み合わせであると解くことができます。

抵抗分割器を使用してスレーブ・レギュレータでのトラッキングを実現している場合、TRACK/SSピンは $2\mu A$ の電流源をオンします。このため、TRACK/SSピンの入力にはオフセットが生じます。上式で計算した抵抗値より値が小さく比が等しい抵抗を使うことができます。例えば、60.4kを使っている場合は、6.04kを使ってTRACK/SSピンのオフセットを無視できる値まで低減できます。

図10の波形に示すように、同時出力トラッキングは、マスタの出力スルーレート(MR)がスレーブの出力スルーレート(SR)と同じである特殊な比例出力トラッキングとして認識することができます。

式から容易に分かるように、同時トラッキングでは、スレーブ・レギュレータのTRACK/SSピンの抵抗分割器が帰還抵抗分割器と常に同じです。

$$\frac{R_{FB(SL)}}{R_{FB(SL)} + 60.4k} = \frac{R_{TR(BOT)}}{R_{TR(TOP)} + R_{TR(BOT)}}$$

例えば、 $R_{TR(TOP)} = 60.4k$ および $R_{TR(BOT)} = 13.3k$ は、 $V_{OUT(MA)} = 1.5V$ および $V_{OUT(SL)} = 3.3V$ のアプリケーションの同時トラッキングに適した組み合わせです。

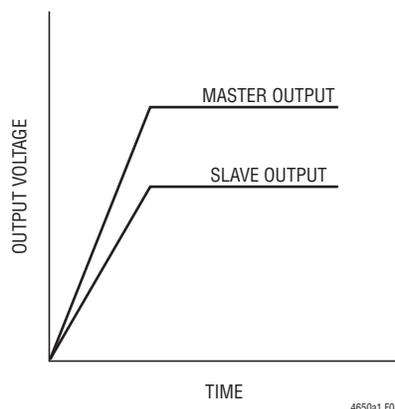


図8. 出力比例トラッキングの波形

アプリケーション情報

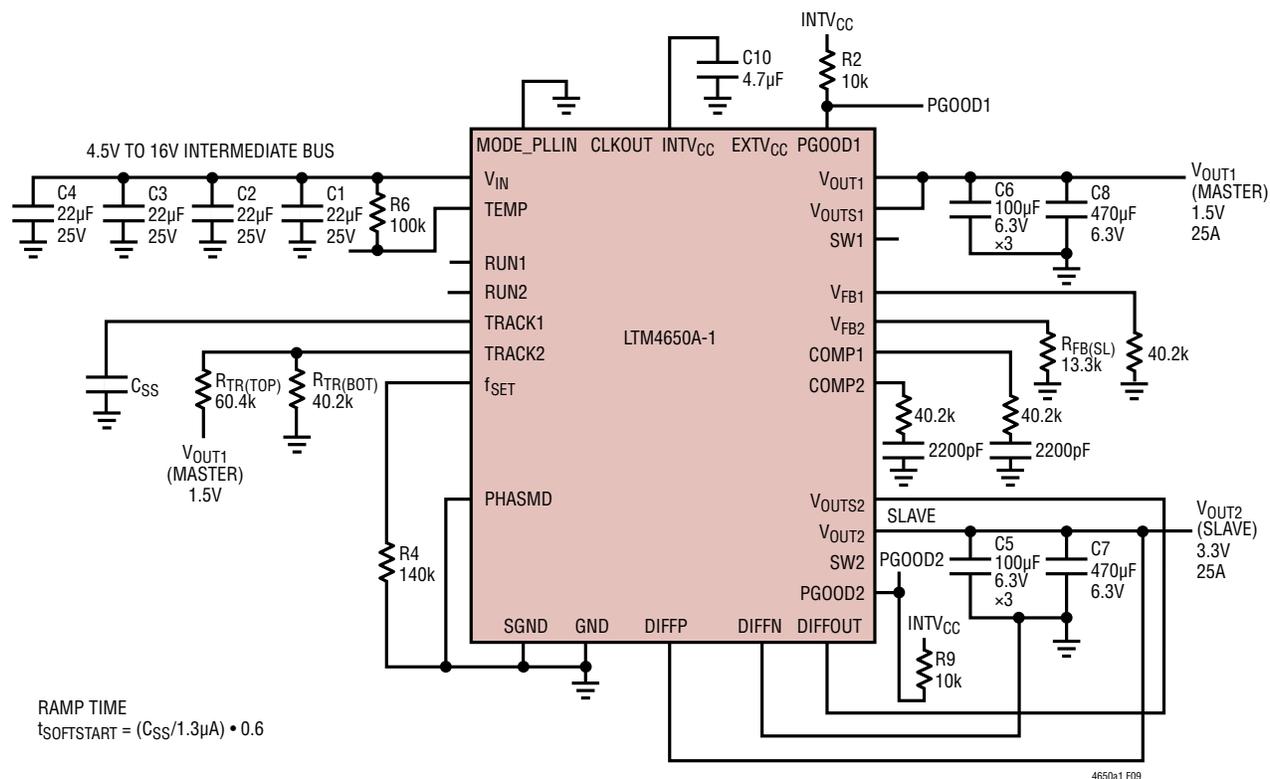


図9. 出力トラッキング・アプリケーション回路の例

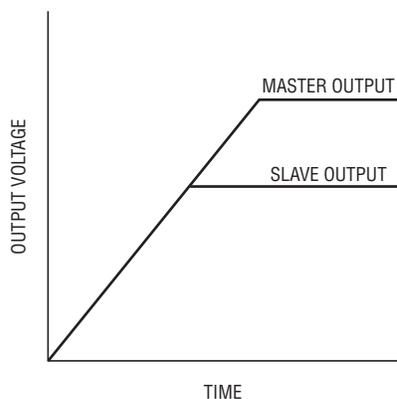


図10. 出力同時トラッキングの波形

アプリケーション情報

パワーグッド

PGOODピンはオープン・ドレインのピンで、有効な出力電圧レギュレーションをモニタするのに使うことができます。このピンはレギュレーション・ポイントの上下10%の範囲をモニタします。モニタ用の抵抗を、最大6Vを超えない特定の電源電圧でプルアップできます。

安定性補償

LTM4650A-1は、出力チャンネルごとに、COMPとSGNDの間に、10pFの高周波数フィルタ・コンデンサを内蔵しています。高周波なタイプII制御ループ補償を実現するには、COMPとSGNDの間に外部R-Cフィルタ回路を接続する必要があります。ほとんどのアプリケーションの要件に対して表6が与えられています。その他の制御ループ最適化のため、リニアテクノロジーのμModule電源設計ツール(LTpowerCAD)が用意されています。

RUN イネーブル

RUNピンは、最大1.4V、代表値1.25Vのイネーブルしきい値を持ち、150mVのヒステリシスが付加されています。各チャンネルとINTV_{CC}のターンオンを制御します。5V動作の場合、これらのピンはV_{IN}にプルアップすることができます。入力が5Vを超える場合は、5Vのツェナー・ダイオードと10k~100kの抵抗を接続してチャンネルをイネーブルできます。RUNピンごとに、1μAのプルアップ電流源が備わっています。RUNをフロート状態にすると、LTM4650A-1がオンになります。RUNには6Vの絶対最大電圧定格があることに注意してください。RUNピンは、出力電圧のシーケンス制御にも使用できます。並列動作では、RUNピンを相互に接続して1つの信号で制御できます。図34の「標準的応用回路」を参照してください。

INTV_{CC}とEXTV_{CC}

LTM4650A-1モジュールは、入力電圧から5Vを発生する、低ドロップアウト・レギュレータを内蔵しています。このレギュレータは制御回路とパワーMOSFETのドライバの電源として使われます。最大70mAを供給でき、通常は~30mAの消費電流によって最大周波数で動作するデバイスに給電します。この内部5V電源は、RUN1またはRUN2のいずれかによってイネーブルされます。

EXTV_{CC}を使用すると、LTM4650A-1に外部5V電源から電力を供給できるため、内蔵低ドロップアウト5Vレギュレータによる電力損失を低減できます。電力損失の節減量は次式で計算することができます。

$$(V_{IN} - 5V) \cdot 30mA = PLOSS$$

EXTV_{CC}には、アクティブ化するために4.7Vのしきい値があり、最大定格は6Vです。入力が5Vの場合、これをEXTV_{CC}に接続してゲート駆動レベルを5Vに維持することも可能です。EXTV_{CC}はV_{IN}より後にオンさせ、V_{IN}より前にオフさせる必要があります。

差動リモート検出アンプ

離れた負荷ポイントで低い出力電圧を正確に検出するために、高精度の差動リモート検出アンプを搭載しています。大電流の負荷には特に役立ちます。アンプは、2つのチャンネルのいずれか一方、または並列構成のシングル出力に対して使用できます。DIFFPとDIFFNを出力に、DIFFOUTをV_{OUTS1}またはV_{OUTS2}のいずれかに適切に接続することが重要です。並列動作の場合は、DIFFPとDIFFNを出力に、DIFFOUTをV_{OUTS}ピンのいずれか一方に適切に接続します。図35の並列構成の回路図と、図4を参照してください。差動アンプは出力が3.3V以下のときに使用できるということに注意してください。

SWピン

通常、SWピンはテスト時のモニタリング目的で使用します。また、スイッチング動作する電流パスのLC寄生素子によって発生する、スイッチ・ノード・リングングを減衰させる目的でも使用します。これには通常、スナバ回路と呼ばれる直列RC回路を使用します。抵抗が共振を減衰させるので、コンデンサには、抵抗両端の高周波リングングだけに作用する値を選択します。浮遊インダクタンスまたは容量を測定できる場合、または近似値が既知の場合は、スナバ回路の値を選択するのがある程度解析的な手法を適用できます。通常は、インダクタンスの方が予測が容易です。電源経路のボード・インダクタンスとMOSFET相互接続ボンディング・ワイヤのインダクタンスを組み合わせた値になります。

アプリケーション情報

はじめに、広帯域幅のオシロスコープと高周波のプロープによってSWピンをモニタします。これによって、リングング周波数の値を測定できます。インピーダンスZは次式により計算できます。

$$Z(L) = 2\pi fL,$$

ここで、fはリングングの共振周波数、Lはスイッチ経路の寄生インダクタンスの合計値です。この式のZに等しい抵抗を選べば、リングングは減衰するはずですが、スナバのコンデンサの値は、インピーダンスがリングング周波数における抵抗に等しくなるように選択されます。次式で計算されます。 $Z(C) = 1/(2\pi fC)$ 。これらの値は、検討を始める初期値として妥当です。最小限の電力損失でリングングを減衰できるように、これらの部品の値は変更する必要があります。

温度のモニタリング

ダイオード接続されたPNPトランジスタ上で、温度に対する電圧の変化をモニタすることにより、TEMPモニタ機能を実現できます。このダイオード電圧の温度に対する依存性は、次の式で理解できます。

$$V_D = nV_T \ln\left(\frac{I_D}{I_S}\right)$$

ここで、 V_T は熱電圧(kT/q)であり、n(理想係数)は、LTM4650A-1で使用されているダイオード接続のPNPトランジスタでは1です。 I_S は次の標準的な経験式によって表されます。

$$I_S = I_0 \exp\left(\frac{-V_{G0}}{V_T}\right)$$

ここで、 I_0 はプロセスと形状に依存する電流(I_0 は室温では通常 I_S の約20,000倍の大きさ)であり、 V_{G0} は絶対零度すなわち -273°C まで外挿された1.2Vのバンドギャップ電圧です。

I_S の式を V_D の式に代入すると、次式が得られます。

$$V_D = V_{G0} - \left(\frac{kT}{q}\right) \ln\left(\frac{I_0}{I_D}\right), \quad V_T = \frac{kT}{q}$$

この式は、一定のダイオード電流で温度が上昇すると、ダイオード電圧が(I_0 が一定の場合は直線的に)下がることを示しています。図11に、LTM4650A-1の動作温度範囲での温度に対する V_D のグラフを示します。

この式を温度Tで微分すると、次の式が得られます。

$$\frac{dV_D}{dT} = -\frac{V_{G0} - V_D}{T}$$

この dV_D/dT の項は温度係数で、約 -2mV/K または $-2\text{mV}/^\circ\text{C}$ に等しくなります。この式は1次導関数に簡略化されています。

Tについて解くと、 $T = -(V_{G0} - V_D) / (dV_D/dT)$ で温度が得られます。

第1の例：図11の 27°C (300K)ではダイオード電圧は0.598Vなので、 $300\text{K} = -(1200\text{mV} - 598\text{mV}) / -2.0\text{mV/K}$

第2の例：図11の 75°C (350K)ではダイオード電圧は0.50Vなので、 $350\text{K} = -(1200\text{mV} - 500\text{mV}) / -2.0\text{mV/K}$

華氏温度を摂氏温度に変換するには、華氏温度から273を引きます。

標準順方向電圧はこのデータシートの「電気的特性」のセクションに記載されています。図11はこの順方向電圧のグラフです。この順方向電圧を 27°C で測定すると、基準点が確定されます。次に、温度に対して順方向電圧を測定しながら上記の式を使用すると、一般的な温度モニタが得られます。TEMPと V_{IN} の間に抵抗を接続して、電流を $100\mu\text{A}$ に設定します。一例としては、図35を参照してください。

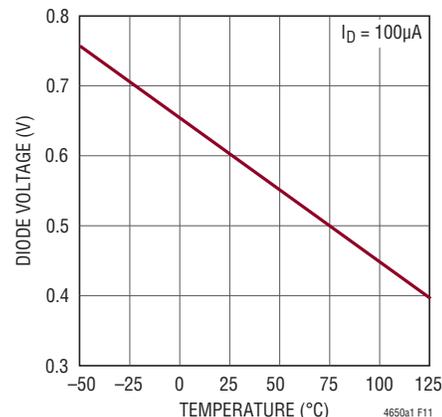


図11. 異なるバイアス電流でのダイオードの電圧 V_D と温度T(K)

アプリケーション情報

熱に関する検討事項と出力電流のディレーティング

データシートの「ピン配置」セクションに記載された熱抵抗は、JESD 51-9に定義されたパラメータと整合しています。これらのパラメータは、有限要素解析(FEA)ソフトウェアのモデリング・ツールでの使用を意図したものです。モデリング・ツールでは、JESD 51-9 (“Test Boards for Area Array Surface Mount Package Thermal Measurements”)によって定義されたハードウェア・テストボードに μ Moduleパッケージを実装して行われたハードウェア評価で得られた熱的モデリング、シミュレーション、関連の結果を使用します。これらの熱係数を示す目的は、JESD 51-12 (Guidelines for Reporting and Using Electronic Package Thermal Information) に記載されています。

多くの設計者は、さまざまな電気的および環境的動作条件で動作する実際のアプリケーションにおける μ Moduleレギュレータの熱性能を予測するのに、実験室の装置およびデモボードのようなテスト手段の使用を選択して、FEAの作業を補強できます。FEAソフトウェアを使用しない場合、「ピン配置」に記載された熱抵抗は、それだけでは熱性能のガイダンスにはなりません。むしろ、データシートに示されたディレーティング曲線を使った方が、アプリケーションへの適用方法に沿った洞察とガイダンスを得られ、特定のアプリケーションにおける熱性能との相関に適合させることができます。

「ピン配置」には、通常はJESD 51-12に明示的に定義された4つの熱係数が記載されています。以下に、これらの係数の定義の引用または説明を示します。

1. θ_{JA} (接合部から周囲までの熱抵抗)は、1立方フィートの密閉された筐体内で測定された、接合部から自然対流する周囲の空気までの熱抵抗です。この環境は、自然対流により空気が移動しますが、「静止空気」と呼ばれることがあります。この値は、JESD 51-9で定義されているテストボードに実装したデバイスを使って決定されます。このテストボードは実際のアプリケーションまたは実現可能な動作条件を反映するものではありません。

2. $\theta_{Jcbottom}$ (接合部から製品のケースの底部までの熱抵抗)は、部品の全電力損失がパッケージの底部を流れて流れる場合の接合部から基板までの熱抵抗です。標準的な μ Moduleでは、熱の大半がパッケージの底面から流出しますが、周囲の環境への熱の流出が必ず発生します。その結果、この熱抵抗値はパッケージの比較には役立ちますが、このテスト条件は一般にユーザーのアプリケーションに合致しません。

3. θ_{Jctop} (接合部から製品のケースの頂部までの熱抵抗)は、部品のほぼ全電力損失がパッケージの頂部を流れて流れる状態で決定されます。標準的 μ Moduleの電気的接続はパッケージの底部なので、接合部からデバイスの頂部に熱の大半が流れるようにアプリケーションが動作することは稀です。 $\theta_{Jcbottom}$ の場合のように、この値はパッケージの比較には役立ちますが、このテスト条件は一般にユーザーのアプリケーションに合致しません。

4. θ_{JB} (接合部からプリント回路基板までの熱抵抗)は、熱の大部分が μ Moduleの底部を流れて基板に流れ出すときの接合部から基板までの熱抵抗であり、実際には、 $\theta_{Jcbottom}$ と、デバイスの底部から半田接合部を通り、基板の一部までの熱抵抗の和です。基板の温度は、両面の2層基板を使って、パッケージからの規定された距離で測定されます。この基板はJESD 51-9に記載されています。

前述の熱抵抗を図式化したものが図12です。青色で示された部分は μ Moduleレギュレータ内部の熱抵抗、緑色で示された部分は μ Moduleの外部に存在する熱抵抗です。

実際には、JESD51-12または「ピン配置」で定義されている4種類の熱抵抗パラメータの個々のものまたはサブグループは、 μ Moduleの通常の動作条件を再現または表現するものではないことに注意してください。例えば、基板に実装された通常のアプリケーションでは、標準規格が θ_{Jctop} および $\theta_{Jcbottom}$ をそれぞれ定義しているように、デバイスの全電力損失(熱)の100%がパッケージの頂部だけを通して、または底部だけを通して熱的に伝わることは決してありません。実際には、電力損失はパッケージの両面から熱的に放散されます。ヒートシンクと空気流がない場合には、当然、熱流の大部分は基板に流れます。

アプリケーション情報

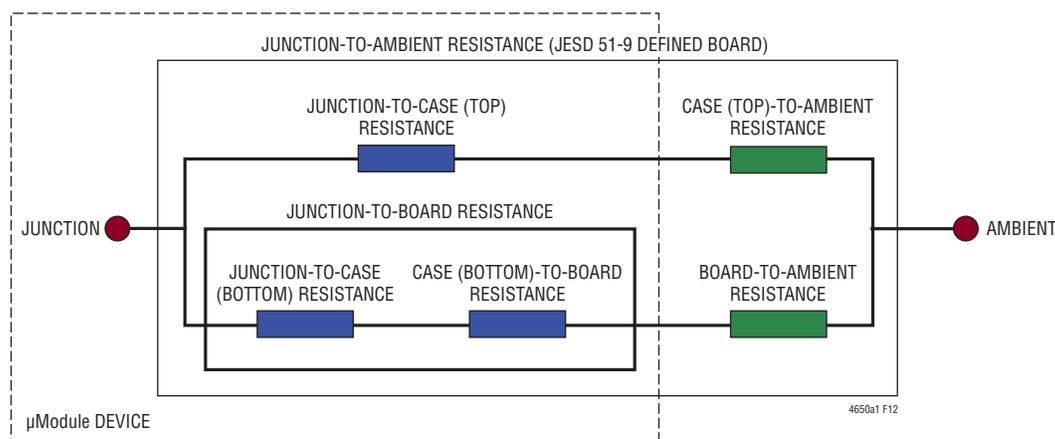


図12. JESD51-12の熱係数の図解

SIP (System-In-Package) モジュール内部では、電力損失を生じるパワーデバイスや部品が複数存在するので、その結果、部品やダイのさまざまな接合部を基準にした熱抵抗は、パッケージの全電力損失に対して正確に線形ではないことに注意してください。この複雑な問題をモデリングの簡潔性を犠牲にすることなく、(しかも実用的な現実性を無視せずに) 解決するため、制御環境室でのラボ・テストとともに FEA ソフトウェア・モデリングを使用するやり方を採用して、このデータシートに記載されている熱抵抗値を合理的に定義して相関をとります。(1) はじめに、FEA ソフトウェアを使用し、正確な材料係数に加えて正確な電力損失源の定義を使用することにより、 μ Module と指定の PCB の機械的形状モデルを高い精度で構築します。(2) このモデルによって、JESD51-9 に適合するソフトウェア定義の JEDEC 環境のシミュレーションを行い、さまざまな界面における電力損失熱流と温度測定値を予測します。その値から JEDEC 定義の熱抵抗値を計算できます。(3) モデルと FEA ソフトウェアを使用してヒートシンクと空気流がある場合の μ Module の熱性能を評価します。(4) これらの熱抵抗値を計算して分析し、ソフトウェア・モデル内でさまざまな動作条件によるシミュレーションを行った上で、これを再現する徹底した評価実験を実施します。具体的には、制御環境チャンバ内で、シミュレーションと同じ電力損失でデバイスを動作させながら、熱電対を使用して温度を測定します。このプロセスと必要な作業の結果、このデータシートの別のセクション

に示されているデレレーティング曲線が得られました。これらの実験室での評価を行い、 μ Module モデルと相関を得てから θ_{JB} と θ_{BA} を合計すると、適切な環境のチャンバ内におけるエアフローおよびヒートシンクなしの μ Module モデルと、きわめてよい相関が得られました。この $\theta_{JB} + \theta_{BA}$ の値は「ピン配置」に示されており、エアフローや頂部に実装したヒートシンクがない状態では、電力損失のほぼ 100% が接合部から基板を通して周囲に流れるので、この値は θ_{JA} の値に正確に等しくなります。熱特性はシステムごとに異なるため、特定のシステムに対してユーザーが熱解析を実施する必要があります。

LTM4650A-1 モジュールは、パッケージの上下両面から効率的に放熱できるように設計されています。下面の基板材料はプリント回路基板への熱抵抗がきわめて低くなっています。エアフローへの良好な放熱が可能な外付けのヒートシンクをデバイスの上面に取り付けることができます。

図 13 に、約 87.3% の効率および 7.2W の電力損失を持ち、50A で 12V から 1V を出力する、並列接続されて動作している LTM4650A-1 の熱画像を、エアフローおよびヒートシンクがない場合について示しています。図 14 に、約 95% の効率および 13W の電力損失を持ち、50A で 12V から 5V を出力する、並列接続されて動作している LTM4650A-1 の熱画像を、200LFM のエアフローおよび外付けヒートシンクがある場合について示しています。

アプリケーション情報

安全性に関する検討事項

LTM4650A-1 モジュールは V_{IN} と V_{OUT} の間が絶縁されていません。内部にヒューズはありません。必要に応じて、最大入力電流の2倍の定格の低速溶断ヒューズを使って各ユニットを致命的損傷から保護してください。デバイスも過電流保護機能を備えています。内部温度をモニタする温度検出ダイオードを搭載しているため、これを使ってRUNピン制御によるサーマル・シャットダウンが必要であるかどうかを検出できます。

電力ディレーティング

図16～図19の1.0V、1.8V、3.3V、5Vの電力損失曲線を図20～図33の負荷電流ディレーティング曲線とともに使って、さまざまなヒートシンクおよびエアフロー条件でのLTM4650A-1のおおよその θ_{JA} 熱抵抗を計算することができます。電力損失曲線は室温で測定し、その値を125°Cでは倍率1.2で増加させます。

ディレーティング曲線は、CH1とCH2を並列接続したシングル出力動作を、負荷電流50Aから測定しはじめます。周囲温度は常温です。出力電圧は1V～5Vです。これらの数値が選ばれたのは、低めおよび高めの出力電圧範囲を含むようにして、熱抵抗の相関をとるためです。熱モデルは、制御温度室での数回の温度測定と熱モデリング解析から得られます。

空気流ありと空気流なしの条件で周囲温度を上げながら接合部温度をモニタします。ディレーティング曲線には、周囲温度の変化に応じた電力損失の増加が加味されます。周囲温度の上昇に合わせて出力電流つまり電力が減少するので、接合部温度は最大で約120°Cに維持されます。出力電流が減少することにより、周囲温度が上昇するにつれて内部モジュールの損失は減少します。

モニタされた120°Cの接合部温度から周囲動作温度を差し引いた値は、どれだけのモジュール温度の上昇を許容できるかを規定します。図24の例では、エアフローやヒートシンクなしで約40°Cのとき負荷電流が約25Aにディレーティングされ、12Vから1.8V/25A出力の電力損失は4.4Wです。4.4Wの損失は、12Vから1.8Vへの25Aでの電力損失曲線から得られる約3.7Wの室温での損失、および120°Cの周囲温度での1.2の増加係数を使って計算されます。120°Cの接合部温度から80°Cの周囲温度を差し引き、その差の30°Cを4.4Wで割ると6.8°C/Wの熱抵抗 θ_{JA} が得られます。表2はこれと非常に近い7°C/Wの値を規定しています。エアフローありのグラフは、これより更に正確です。周囲温度環境が、エアフローによってより適切に管理されているためです。表2から表5にエアフローとヒートシンクのありとなしの1.0V出力から5V出力の等価熱抵抗を示します。

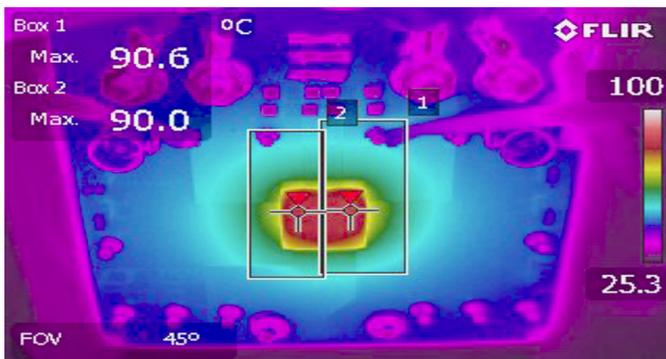


図13. 12V入力、1.0V出力/50Aでの熱画像
(ヒートシンクなし、エアフローなし)

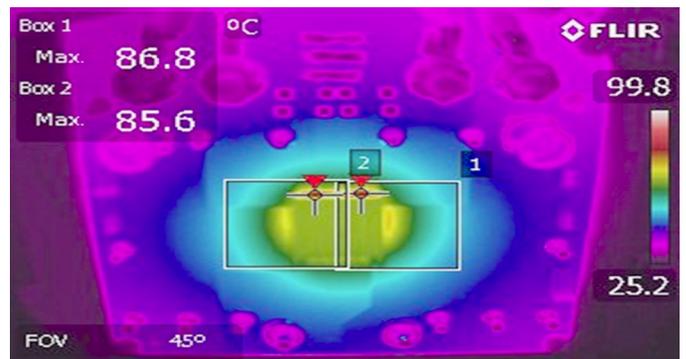


図14. 12V入力、5V出力/50Aでの熱画像
(ヒートシンクなし、200LFMのエアフロー)

アプリケーション情報

さまざまな条件で得られた表2と表3の熱抵抗に、周囲温度の関数として計算された電力損失を掛けて、周囲温度を超える温度上昇(したがって最大接合部温度)を求めることができます。室温での電力損失は効率曲線から求め、上記の周囲温度の増加係数を使って調整することができます。プリント回路基板は1.6mm厚の4層構造で、4層全てには2オンス銅箔を使用しています。PCBの寸法は101mm×114mmです。BGAヒートシンクを表3に示します。

レイアウトのチェックリスト/例

LTM4650A-1は高度に集積化されているので、PCB基板のレイアウトが非常に簡単です。ただし、電気的性能と熱的性能を最適化するにはいくつかのレイアウト上の配慮が依然として必要です。

- V_{IN} 、GND、 V_{OUT1} 、 V_{OUT2} を含む高電流経路にはPCB銅箔面積を広く確保します。PCBの導通損失と熱ストレスを最小限に抑えるのに役立ちます。
- 入力と出力の高周波用セラミック・コンデンサを V_{IN} 、PGNDおよび V_{OUT} の各ピンに隣接させて配置し、高周波ノイズを最小に抑えます。

- ユニットの下に専用の電源グランド・レイヤを配置します。
- ビアの導通損失を最小に抑え、モジュールの熱ストレスを減らすため、トップ層と他の電源層の間の相互接続に複数のビアを使います。
- 充填ビアまたはメッキビアでない限り、パッドの上に直接ビアを置かないでください。
- 信号ピンに接続された部品には、別のSGNDグランド銅領域を使います。SGNDとGNDをデバイスの下で接続します。
- 並列モジュールの場合は、 V_{OUT} 、 V_{FB} 、COMPピンを互いに接続します。内部層を使ってこれらのピンを互いに近づけて接続します。TRACKピンはレギュレータのソフトスタート用に共通のコンデンサを接続できます。
- 信号ピンからは、モニタリング用にテスト・ポイントを引き出してください。

推奨レイアウトの良い例を図15に示します。

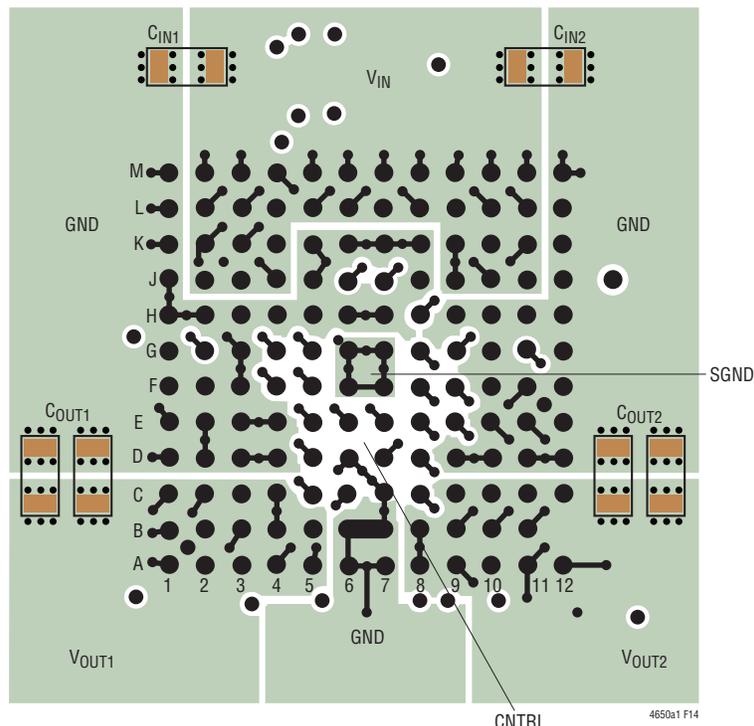


図15. 推奨されるPCBレイアウト

LTM4650A-1

アプリケーション情報

表 2.1.0V 出力

ディレーティング曲線	V _{IN} (V)	電力損失曲線	エアフロー (LFM)	ヒートシンク	θ _{JA} (°C/W)
Figures 20, 21	5, 12	Figure 16	0	None	7
Figures 20, 21	5, 12	Figure 16	200	None	6
Figures 20, 21	5, 12	Figure 16	400	None	5.5
Figures 22, 23	5, 12	Figure 16	0	BGA Heat Sink	6.5
Figures 22, 23	5, 12	Figure 16	200	BGA Heat Sink	5
Figures 22, 23	5, 12	Figure 16	400	BGA Heat Sink	4

表 3.1.8V 出力

ディレーティング曲線	V _{IN} (V)	電力損失曲線	エアフロー (LFM)	ヒートシンク	θ _{JA} (°C/W)
Figures 24, 25	5, 12	Figure 17	0	None	7
Figures 24, 25	5, 12	Figure 17	200	None	6
Figures 24, 25	5, 12	Figure 17	400	None	5.5
Figures 26, 27	5, 12	Figure 17	0	BGA Heat Sink	6.5
Figures 26, 27	5, 12	Figure 17	200	BGA Heat Sink	4
Figures 26, 27	5, 12	Figure 17	400	BGA Heat Sink	3.5

ヒートシンクのメーカー

製品番号

Web サイト

Aavid Thermalloy	375424B00034G	www.aavid.com
------------------	---------------	---------------

表 4. 3.3V 出力

ディレーティング曲線	V _{IN} (V)	電力損失曲線	エアフロー (LFM)	ヒートシンク	θ _{JA} (°C/W)
Figures 28, 29	5, 12	Figure 18	0	None	7
Figures 28, 29	5, 12	Figure 18	200	None	6
Figures 28, 29	5, 12	Figure 18	400	None	5.5
Figures 30, 31	5, 12	Figure 18	0	BGA Heat Sink	6.5
Figures 30, 31	5, 12	Figure 18	200	BGA Heat Sink	5
Figures 30, 31	5, 12	Figure 18	400	BGA Heat Sink	4

表 5.5V 出力

ディレーティング曲線	V _{IN} (V)	電力損失曲線	エアフロー (LFM)	ヒートシンク	θ _{JA} (°C/W)
Figure 32	12	Figure 19	0	None	7
Figure 32	12	Figure 19	200	None	6
Figure 32	12	Figure 19	400	None	5.5
Figure 33	12	Figure 19	0	BGA Heat Sink	6.5
Figure 33	12	Figure 19	200	BGA Heat Sink	4
Figure 33	12	Figure 19	400	BGA Heat Sink	3.5

ヒートシンクのメーカー

製品番号

Web サイト

Aavid Thermalloy	375424B00034G	www.aavid.com
------------------	---------------	---------------

アプリケーション情報

表 6. 出力電圧応答と部品の一覧 (図 35 を参照)、負荷ステップ時の標準的測定値

2相の単一出力ソリューション

C _{IN} (セラミック)			C _{OUT} (セラミック)			C _{OUT} (バルク)		
メーカー	値	製品番号	メーカー	値	製品番号	メーカー	値	製品番号
村田製作所	22 μ F, 16V, X5R, 1210	GRM32ER61C226KE20L	村田製作所	100 μ F, 6.3V, X5R, 1210	GRM32ER60J107ME20L	パナソニック	470 μ F, 2.5V, 3m Ω	EEFGX0E4TIR ¹
村田製作所	22 μ F, 16V, X5R, 1206	GRM31CR61C226KE15K	村田製作所	220 μ F, 4V, X5R, 1206	GRM31CR60G227M	パナソニック	470 μ F, 6.3V, 10m Ω	6TPF470MAH ²
TDK	22 μ F, 16V, X5R, 1210	C3225X5R1C226M250AA	太陽誘電	100 μ F, 6.3V, X5R, 1210	JMK325BJ107MM-T			
			太陽誘電	220 μ F, 4V, X5R, 1210	AMK325ABJ227MM-T			

25% 負荷ステップ (0A から 12.5A)、セラミック出力コンデンサのみのソリューション

V _{IN}	V _{OUT}	C _{IN} ³ (バルク)	C _{IN} (セラミック)	C _{OUT} (バルク)	C _{OUT} (セラミック)	COMP ピンの抵抗 (R _{TH})	COMP ピンの コンデンサ (C _{TH})	COMP ピンの 並列 コンデンサ (C _{THP})	フィード フォワード・ コンデンサ (C _{FF})	ピーク間の 偏差 (V _{PK-PK})	セトリング 時間 (t _{SETTLE})	負荷 ステップ	負荷 ステップ のスルー レート	R _{FB} (k Ω)	FREQ
12V	1V	150 μ F	22 μ F \times 4	None	220 μ F \times 8	3.32k Ω	6800pF	None	68pF	62mV	40 μ s	12.5A	10A/ μ s	90.9	300kHz
12V	1.2V	150 μ F	22 μ F \times 4	None	220 μ F \times 8	3.32k Ω	6800pF	None	68pF	51mV	40 μ s	12.5A	10A/ μ s	60.4	400kHz
12V	1.5V	150 μ F	22 μ F \times 4	None	220 μ F \times 8	3.32k Ω	6800pF	None	68pF	61mV	40 μ s	12.5A	10A/ μ s	40.2	400kHz
12V	1.8V	150 μ F	22 μ F \times 4	None	220 μ F \times 8	3.32k Ω	6800pF	None	68pF	58mV	40 μ s	12.5A	10A/ μ s	30.2	500kHz
12V	2.5V	150 μ F	22 μ F \times 4	None	220 μ F \times 8	3.32k Ω	6800pF	None	68pF	70mV	50 μ s	12.5A	10A/ μ s	19.1	500kHz
12V	3.3V	150 μ F	22 μ F \times 4	None	220 μ F \times 8	3.32k Ω	6800pF	None	68pF	70mV	60 μ s	12.5A	10A/ μ s	13.3	600kHz
12V	5V														

Suggest to Use POSCAP + Ceramic Cap

25% 負荷ステップ (0A から 12.5A)、バルクおよびセラミック出力コンデンサのソリューション

V _{IN}	V _{OUT}	C _{IN} ³ (バルク)	C _{IN} (セラミック)	C _{OUT} (バルク)	C _{OUT} (セラミック)	COMP ピンの抵抗 (R _{TH})	COMP ピンの コンデンサ (C _{TH})	COMP ピンの 並列 コンデンサ (C _{THP})	フィード フォワード・ コンデンサ (C _{FF})	ピーク間の 偏差 (V _{PK-PK})	セトリング 時間 (t _{SETTLE})	負荷 ステップ	負荷 ステップ のスルー レート	R _{FB} (k Ω)	FREQ
12V	1V	150 μ F	22 μ F \times 4	470 μ F \times 2 ¹	100 μ F \times 4	4.64k Ω	4700pF	10pF	68pF	54mV	30 μ s	12.5A	10A/ μ s	90.9	300kHz
12V	1.2V	150 μ F	22 μ F \times 4	470 μ F \times 2 ¹	100 μ F \times 4	4.64k Ω	4700pF	10pF	68pF	50mV	30 μ s	12.5A	10A/ μ s	60.4	400kHz
12V	1.5V	150 μ F	22 μ F \times 4	470 μ F \times 2 ¹	100 μ F \times 4	4.64k Ω	4700pF	10pF	68pF	57mV	30 μ s	12.5A	10A/ μ s	40.2	400kHz
12V	1.8V	150 μ F	22 μ F \times 4	470 μ F \times 2 ¹	100 μ F \times 4	4.64k Ω	4700pF	10pF	68pF	57mV	40 μ s	12.5A	10A/ μ s	30.2	500kHz
12V	2.5V	150 μ F	22 μ F \times 4	470 μ F \times 2 ¹	100 μ F \times 4	4.64k Ω	4700pF	10pF	68pF	72mV	50 μ s	12.5A	10A/ μ s	19.1	500kHz
12V	3.3V	150 μ F	22 μ F \times 4	470 μ F \times 2 ²	100 μ F \times 4	9.09k Ω	4700pF	10pF	None	89mV	60 μ s	12.5A	10A/ μ s	13.3	600kHz
12V	5V	150 μ F	22 μ F \times 4	470 μ F \times 2 ²	100 μ F \times 4	9.09k Ω	4700pF	10pF	None	90mV	60 μ s	12.5A	10A/ μ s	8.25	700kHz

Note 1 および 2: 異なるバルク C_{OUT1} が使用されている。表 6 の製品番号を参照。Note 3: 長い PCB トレースと共に C_{IN} (バルク) が必要になる場合がある。

LTM4650A-1

アプリケーション情報

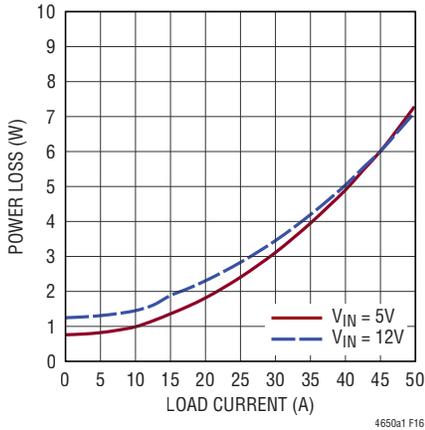


図16. 1.0V出力の電力損失曲線

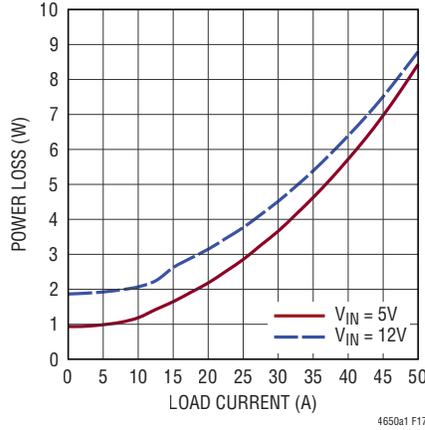


図17. 1.8V出力の電力損失曲線

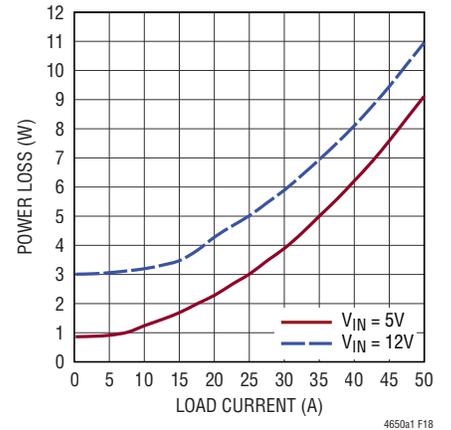


図18. 3.3V出力の電力損失曲線

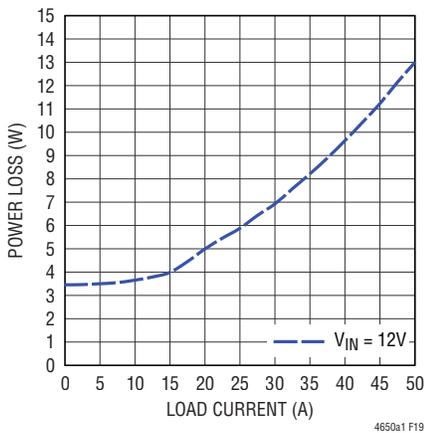


図19. 5V出力の電力損失曲線

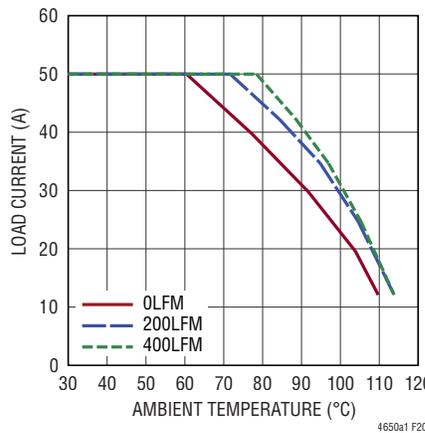


図20. 12V入力、1V出力のディレーティング曲線、ヒートシンクなし

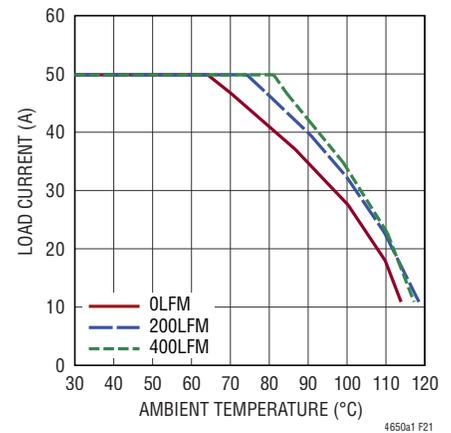


図21. 5V入力、1V出力のディレーティング曲線、ヒートシンクなし

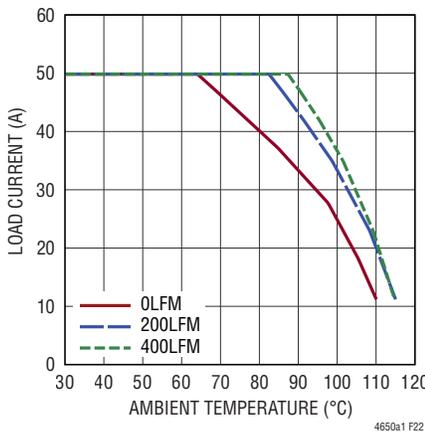


図22. 12V入力、1V出力のディレーティング曲線、BGA ヒートシンク

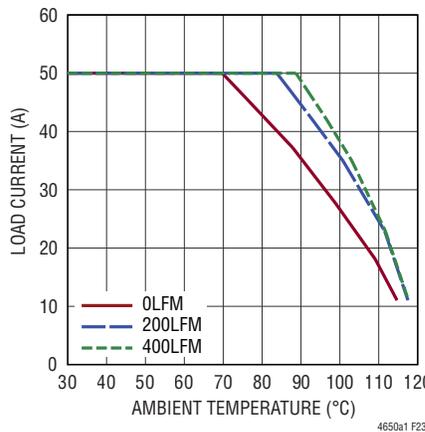


図23. 5V入力、1V出力のディレーティング曲線、BGA ヒートシンク

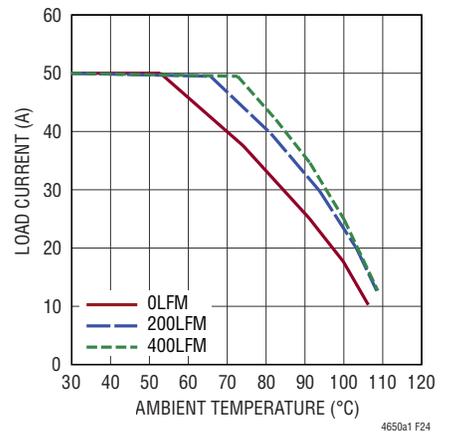


図24. 12V入力、1.8V出力のディレーティング曲線、ヒートシンクなし

アプリケーション情報

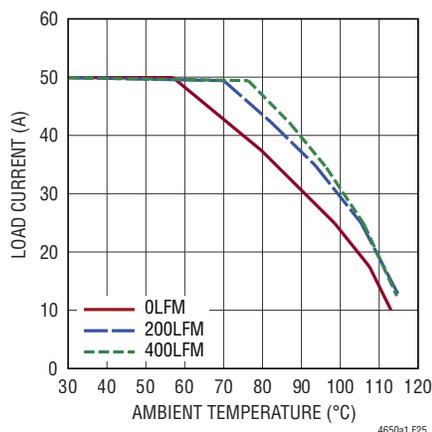


図25. 5V入力、1.8V出力のディレクターティング曲線、ヒートシンクなし

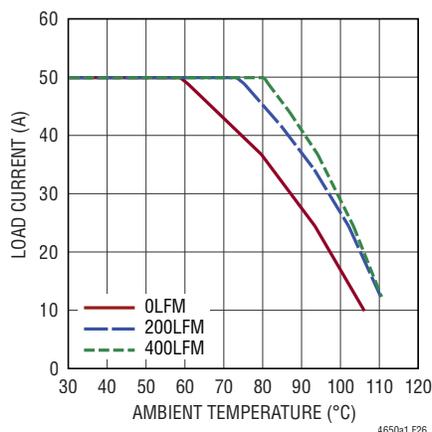


図26. 12V入力、1.8V出力のディレクターティング曲線、BGAヒートシンク

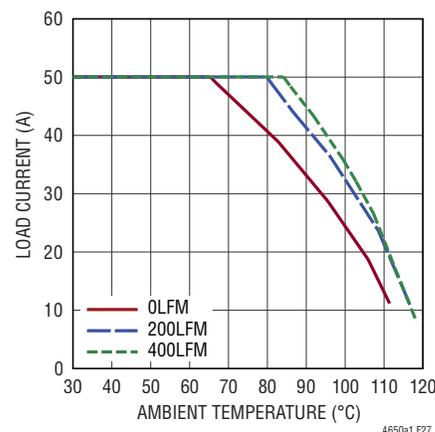


図27. 5V入力、1.8V出力のディレクターティング曲線、BGAヒートシンク

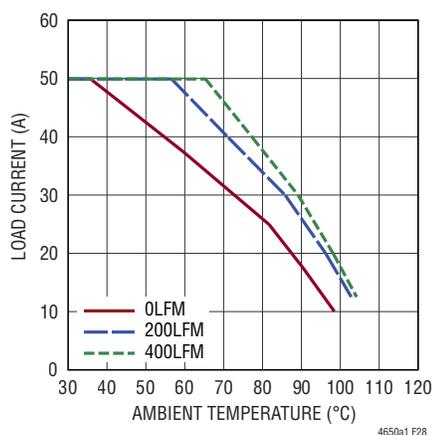


図28. 12V入力、3.3V出力のディレクターティング曲線、ヒートシンクなし

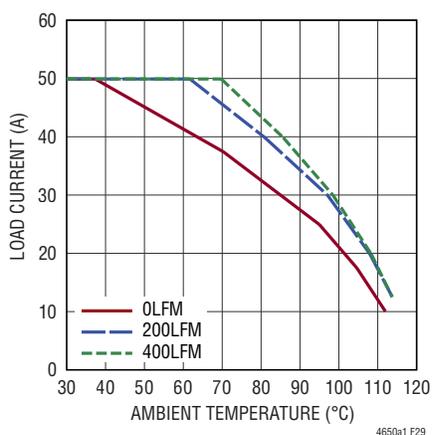


図29. 5V入力、3.3V出力のディレクターティング曲線、ヒートシンクなし

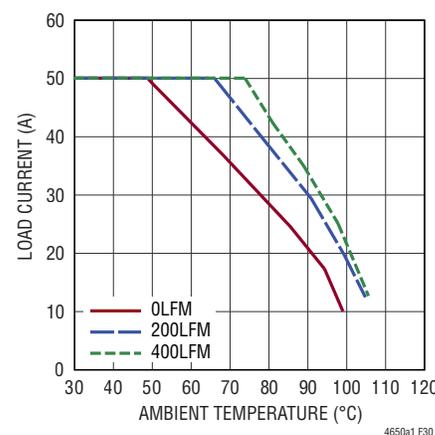


図30. 12V入力、3.3V出力のディレクターティング曲線、BGAヒートシンク

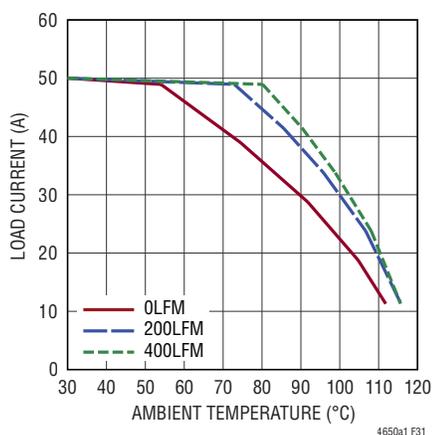


図31. 5V入力、3.3V出力のディレクターティング曲線、BGAヒートシンク

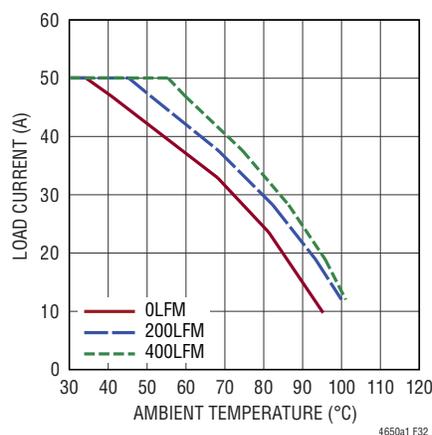


図32. 12V入力、5V出力のディレクターティング曲線、ヒートシンクなし

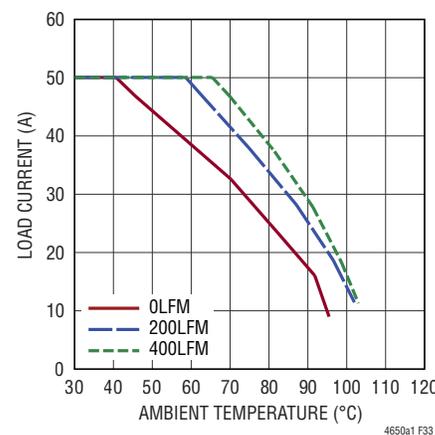


図33. 12V入力、5V出力のディレクターティング曲線、BGAヒートシンク

標準的応用例

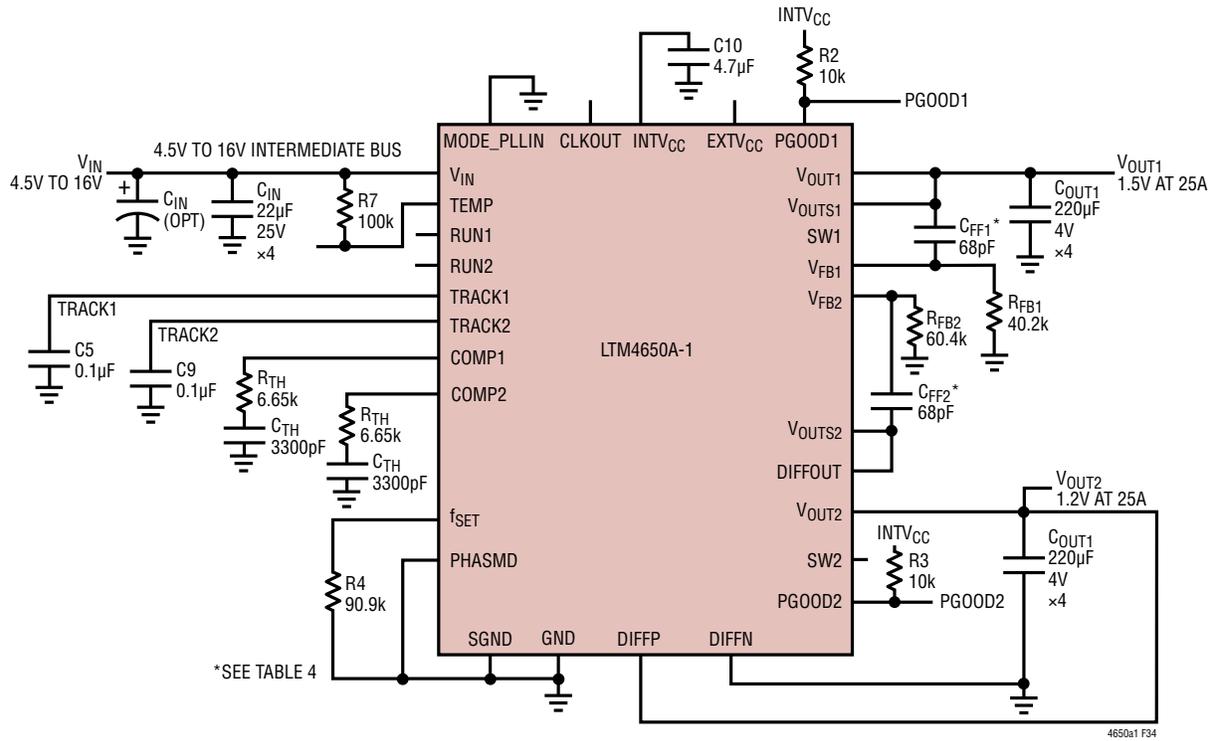
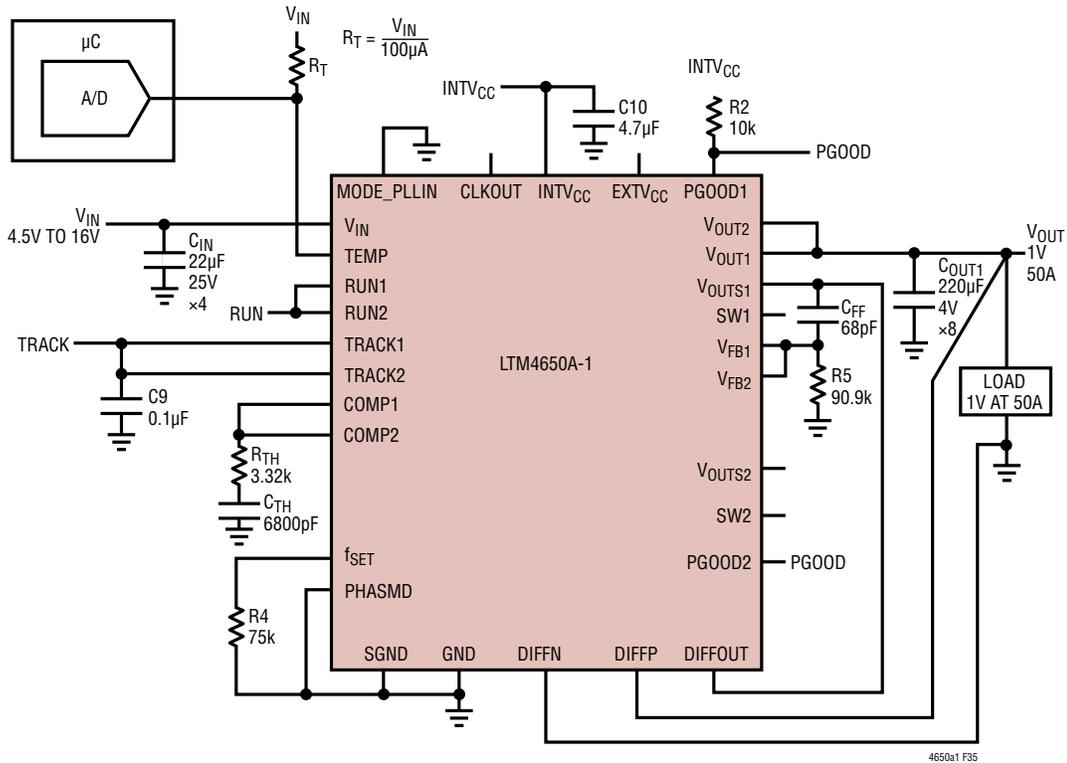
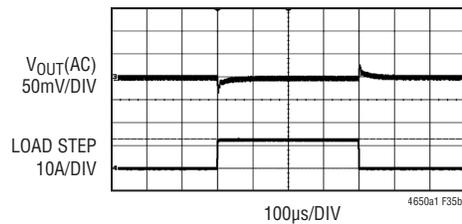


図 34. 標準的な $4.5V_{IN} \sim 16V_{IN}$ 、 $1.5V$ および $1.2V/25A$ 出力

標準的応用例



25%の負荷ステップ・トランジェント応答、±3%精度の出力レギュレーション範囲上の回路に従う12VIN、1.0VOUT、50A



上の回路に従う12VIN、1.0VOUT、50Aのボード・プロット

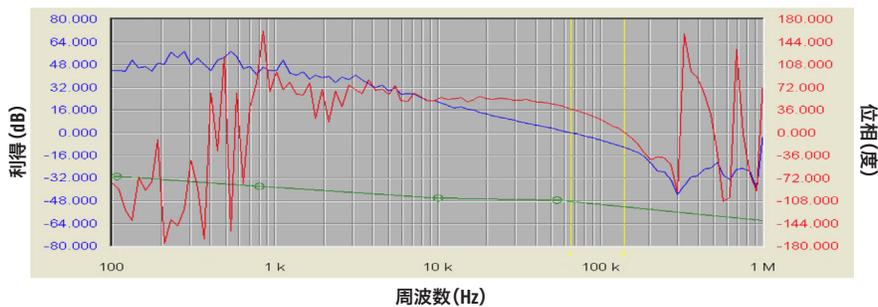


図 35. LTM4650A-1 による 2 相、1V/50A の設計、±3% 精度のトランジェント応答

LTM4650A-1

標準的応用例

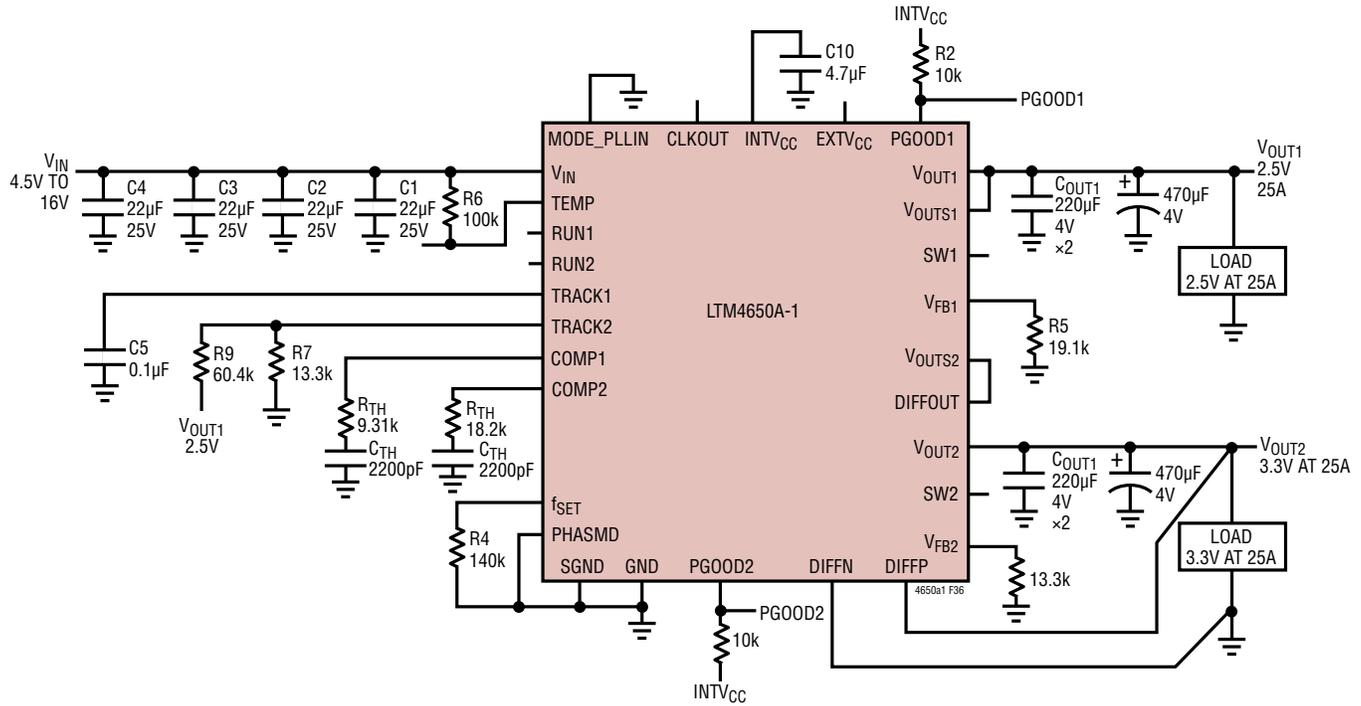


図 36. LTM4650A-1 による 2.5V/3.3V 出力 (トラッキング機能付き)

標準的応用例

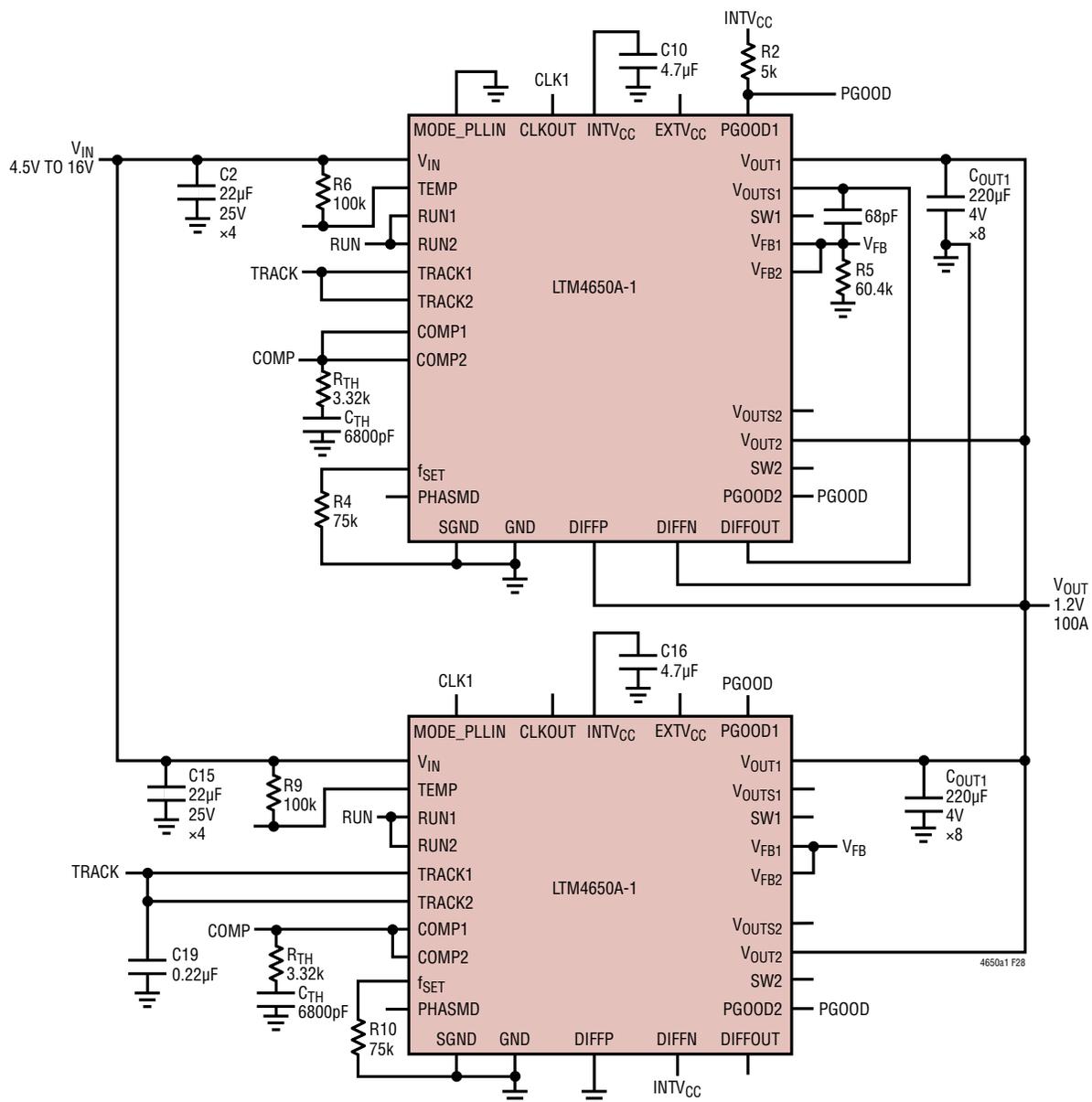


図 37. LTM4650A-1 による 4 フェーズ、1.2V/100A デザイン

LTM4650A-1

パッケージ

LTM4650A-1の構成要素のBGAピン配列

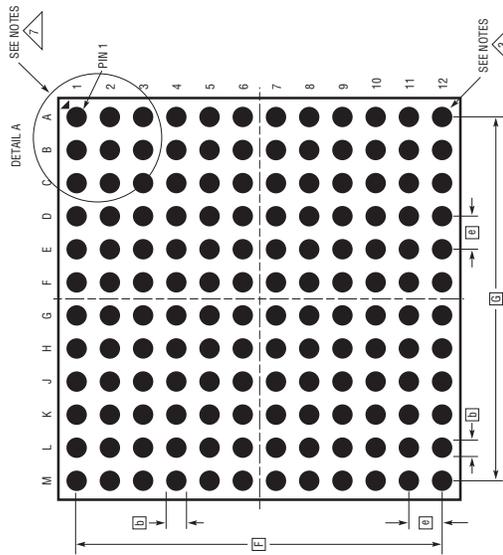
ピンID	機能	ピンID	機能	ピンID	機能	ピンID	機能	ピンID	機能	ピンID	機能
A1	V _{OUT1}	B1	V _{OUT1}	C1	V _{OUT1}	D1	GND	E1	GND	F1	GND
A2	V _{OUT1}	B2	V _{OUT1}	C2	V _{OUT1}	D2	GND	E2	GND	F2	GND
A3	V _{OUT1}	B3	V _{OUT1}	C3	V _{OUT1}	D3	GND	E3	GND	F3	GND
A4	V _{OUT1}	B4	V _{OUT1}	C4	V _{OUT1}	D4	GND	E4	GND	F4	MODE_PLLIN
A5	V _{OUT1}	B5	V _{OUT1}	C5	V _{OUT1S}	D5	VFB1	E5	TRACK1	F5	RUN1
A6	GND	B6	GND	C6	f _{SET}	D6	SGND	E6	COMP1	F6	SGND
A7	GND	B7	GND	C7	SGND	D7	VFB2	E7	COMP2	F7	SGND
A8	V _{OUT2}	B8	V _{OUT2}	C8	V _{OUT2S}	D8	TRACK2	E8	DIFFP	F8	DIFFOUT
A9	V _{OUT2}	B9	V _{OUT2}	C9	V _{OUT2}	D9	GND	E9	DIFFN	F9	RUN2
A10	V _{OUT2}	B10	V _{OUT2}	C10	V _{OUT2}	D10	GND	E10	GND	F10	GND
A11	V _{OUT2}	B11	V _{OUT2}	C11	V _{OUT2}	D11	GND	E11	GND	F11	GND
A12	V _{OUT2}	B12	V _{OUT2}	C12	V _{OUT2}	D12	GND	E12	GND	F12	GND

ピンID	機能	ピンID	機能	ピンID	機能	ピンID	機能	ピンID	機能	ピンID	機能
G1	GND	H1	GND	J1	GND	K1	GND	L1	GND	M1	GND
G2	SW1	H2	GND	J2	V _{IN}	K2	V _{IN}	L2	V _{IN}	M2	V _{IN}
G3	GND	H3	GND	J3	V _{IN}	K3	V _{IN}	L3	V _{IN}	M3	V _{IN}
G4	PHASEMD	H4	GND	J4	V _{IN}	K4	V _{IN}	L4	V _{IN}	M4	V _{IN}
G5	CLKOUT	H5	GND	J5	GND	K5	GND	L5	V _{IN}	M5	V _{IN}
G6	SGND	H6	GND	J6	TEMP	K6	GND	L6	V _{IN}	M6	V _{IN}
G7	SGND	H7	GND	J7	EXTV _{CC}	K7	GND	L7	V _{IN}	M7	V _{IN}
G8	PGOOD2	H8	INTV _{CC}	J8	GND	K8	GND	L8	V _{IN}	M8	V _{IN}
G9	PGOOD1	H9	GND	J9	V _{IN}	K9	V _{IN}	L9	V _{IN}	M9	V _{IN}
G10	GND	H10	GND	J10	V _{IN}	K10	V _{IN}	L10	V _{IN}	M10	V _{IN}
G11	SW2	H11	GND	J11	V _{IN}	K11	V _{IN}	L11	V _{IN}	M11	V _{IN}
G12	GND	H12	GND	J12	GND	K12	GND	L12	GND	M12	GND

パッケージ寸法

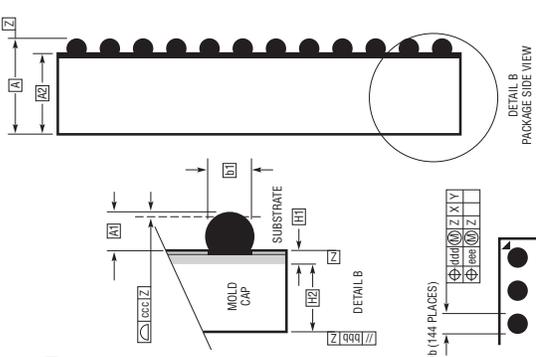
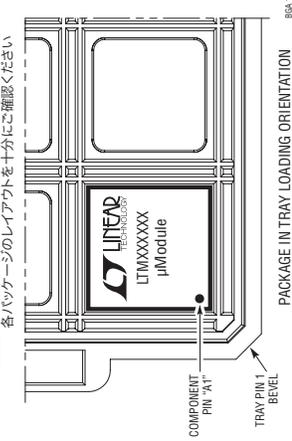
最新のパッケージ図は、<http://www.linear-tech.co.jp/product/LTM4650A-1#packaging> を参照してください。

BGA Package 144-Lead (16mm × 16mm × 5.01mm) (Reference LTC DWG # 05-08-1523 Rev.0)

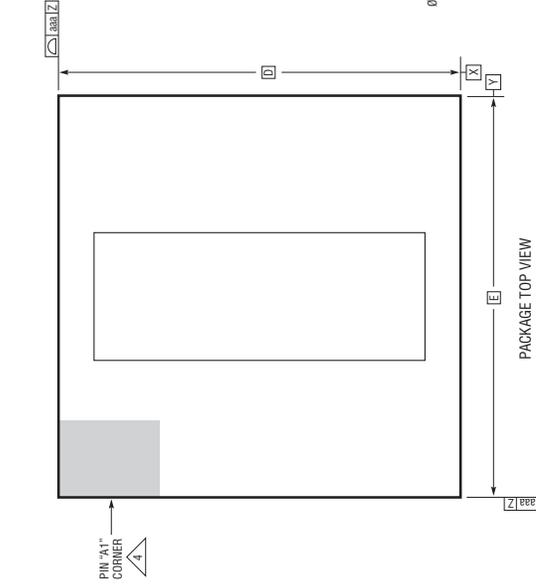


PACKAGE BOTTOM VIEW

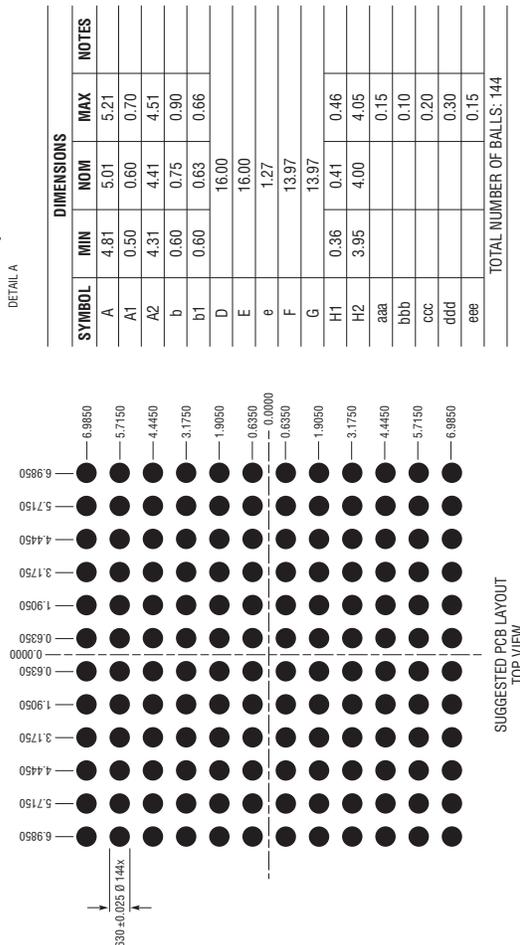
- 注記:
1. 寸法と許容誤差は ASME Y14.5M-1994 による
 2. 全ての寸法はミリメートル
 3. ボールの指定は JESD MS-028 および JEPP95 による
 4. ピン #1 の識別マークの詳細はオプションだが、示された領域内になければならない。ピン #1 の識別マークはモールドまたはマーキングにすることができる
 5. 主アークラム-Z はシーティングプレーン
 6. 半田ボールは、元素組成がスズ (Sn) 96.5%、銀 (Ag) 3.0%、銅 (Cu) 0.5% の合金とする
 7. パッケージの行と列のラベルは、μModule 製品品前で異なります。各パッケージのレイアウトを十分にご確認ください



PACKAGE SIDE VIEW



PACKAGE TOP VIEW

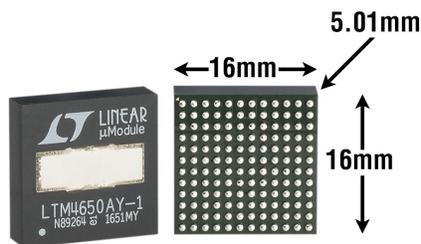


DIMENSIONS			
SYMBOL	MIN	NOM	MAX
A	4.81	5.01	5.21
A1	0.50	0.60	0.70
A2	4.31	4.41	4.51
b	0.60	0.75	0.90
b1	0.60	0.63	0.66
D		16.00	
e		1.27	
F		13.97	
G		13.97	
H1	0.36	0.41	0.46
H2	3.95	4.00	4.05
aaa			0.15
bbb			0.10
ccc			0.20
ddd			0.30
eee			0.15
TOTAL NUMBER OF BALLS: 144			

SUGGESTED PCB LAYOUT TOP VIEW

LTM4650A-1

パッケージの写真



設計リソース

主題	説明
μModule の設計/製造リソース	<p>設計:</p> <ul style="list-style-type: none"> • 選択ガイド • デモボードおよび Gerber ファイル • 無料シミュレーション・ツール <p>製造:</p> <ul style="list-style-type: none"> • クイック・スタート・ガイド • PCB の設計、組立、および製造ガイドライン • パッケージおよびボード・レベルの信頼性
μModule レギュレータ製品の検索	<p>1. 製品の表をパラメータによって並べ替え、結果をスプレッドシートとしてダウンロードする</p> <p>2. Quick Power Search パラメトリック・テーブルを使って検索を実行する</p> <div style="border: 1px solid gray; padding: 5px; margin: 10px 0;"> <p>Quick Power Search</p> <p>Input V_{in} (Min) <input type="text"/> V V_{in} (Max) <input type="text"/> V</p> <p>Output V_{out} <input type="text"/> V I_{out} <input type="text"/> A</p> <p style="text-align: right;"><input type="button" value="Search"/></p> </div>
TechClip ビデオ	μModule 製品の電気的特性と熱特性のベンチマーク・テストの方法を詳しく説明した短いビデオ
デジタル・パワーシステム・マネージメント	リアテクノロジーのデジタル電源管理デバイス・ファミリは、電源の監視、管理、マージン制御およびシーケンス制御などの基本機能を提供する高度に集積されたソリューションであり、ユーザーの構成とフォルト・ログを保存する EEPROM を搭載しています。

関連製品

製品番号	説明	注釈
LTM4630A	LTM4650A-1 よりも低電流、内部補償付き、最大 5.3V の出力電圧、デュアル 18A またはシングル 36A	$4.5V \leq V_{IN} \leq 15V$, $0.6V \leq V_{OUT} \leq 5.3V$, 16mm×16mm×4.41mm (LGA)
LTM4630-1	LTM4650A-1 よりも低電流、低 $V_{OUT(MAX)}$ 、デュアル 18A またはシングル 36A、 $\pm 0.8\%$ (-1A) または $\pm 1.5\%$ (-1B) の DC V_{OUT} 精度	LTM4650A-1 とピン互換、 $4.5V \leq V_{IN} \leq 15V$, $0.6V \leq V_{OUT} \leq 1.8V$, 16mm×16mm×5.01mm (BGA)
LTM4630	LTM4650A-1 よりも低電流、低 $V_{OUT(MAX)}$ 、内部補償付き、デュアル 18A またはシングル 36A	$4.5V \leq V_{IN} \leq 15V$, $0.6V \leq V_{OUT} \leq 1.8V$, 16mm×16mm×4.41mm (LGA)、16mm x 16mm×5.01mm (BGA)
LTM4620A	LTM4650A-1 よりも低電流、内部補償付き、最大 5.3V の出力電圧、デュアル 13A またはシングル 26A	$4.5V \leq V_{IN} \leq 16V$, $0.6V \leq V_{OUT} \leq 5.3V$, 15mm×15mm×4.41mm (LGA)、15mm×15mm×5.01mm (BGA)
LTM4636	シングル 40A μModule レギュレータ	$4.7V \leq V_{IN} \leq 15V$, $0.6V \leq V_{OUT} \leq 3.3V$, 16mm×16mm x 7.07mm (BGA)
LTM4677	デュアル 18A 出力またはシングル 36A 出力、PSM 付き	$4.5V \leq V_{IN} \leq 16V$, $0.5V \leq V_{OUT} \leq 1.8V$, 16mm×16mm×5.01mm (BGA)
LTM4644	クワッド 4A	$4V \leq V_{IN} \leq 14V$, $0.6V \leq V_{OUT} \leq 5.5V$, 9mm×15mm×5.01mm (BGA)
LTM4639	低 V_{IN} ($2.375V \leq V_{IN} \leq 7V$)、20A	$0.6V \leq V_{OUT} \leq 5.5V$, 15mm×15mm×4.92mm (BGA)

4650a1f

36

リアテクノロジー株式会社

〒102-0094 東京都千代田区紀尾井町3-6紀尾井町パークビル8F

TEL 03-5226-7291 • FAX 03-5226-0268 • www.linear-tech.co.jp/LTM4650A-1

LT0417 • PRINTED IN JAPAN



 NOW PART OF
 ANALOG DEVICES
 © LINEAR TECHNOLOGY CORPORATION 2017