

容量バッファリング付き 4チャンネル 2線バス・マルチプレクサ

特長

- 1:4 の2線マルチプレクサ/スイッチ
- SDAラインおよびSCLラインを2線バス・コマンドで接続
- 電源に依存しないSDAラインおよびSCLライン用双方向バッファにより、ファンアウト数を増加
- スタックバスからの切断をプログラム可能
- I²CおよびSMBus規格に準拠
- 立ち上がり時間アクセラレータ回路
- SMBus準拠のALERT応答プロトコル
- 2つの汎用入出力
- 電源の入ったバックプレーンに対するボード挿入/引き抜き時に、SDAやSCLの損傷を防止
- ±10kV人体モデルESD耐性
- 24ピンQFN (4mm×5mm) およびSSOPパッケージ

アプリケーション

- ネストされたアドレス指定
- 5V/3.3Vレベル変換器
- キャパシタンス・バッファ/バス・エクステンダ

概要

LTC[®]4306は、上り方向バスと下り方向バスの間に容量絶縁を提供する、バス・バッファ付き4チャンネル2線バス・マルチプレクサです。このデバイスはソフトウェア制御によって、希望するあらゆる組み合わせの下り方向バスに、上り方向2線バスを接続します。各チャンネルは、LTC4306の電源電圧と関係なく、2.2V～5.5Vの電源電圧にプルアップすることができます。また、下り方向チャンネルには、フォールトを知らせるためにALERT1～ALERT4入力が装備されています。

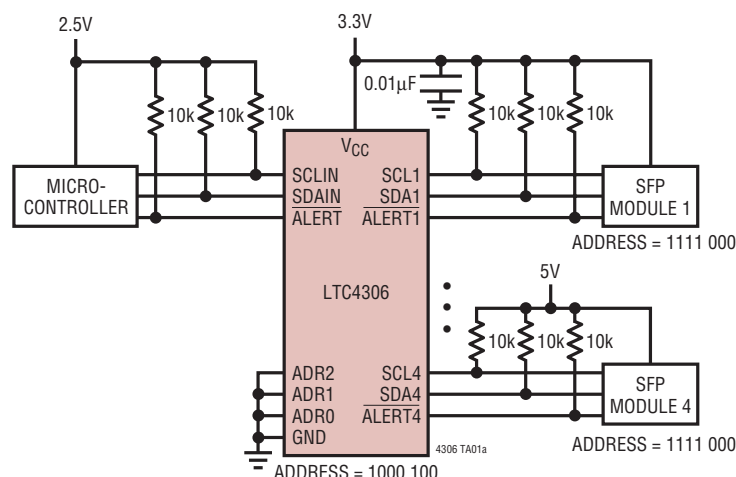
下り方向バスが“L”にスタックすると、プログラム可能なタイムアウト回路によって下り方向バスは切断されます。起動時、立ち上がり時間アクセラレータが2線バス・ピンに電流を供給するので、立ち上がり時間を短縮することができます。ENABLEピンを“L”にドライブすると、すべての機能がデフォルト状態に戻ります。3つのアドレス・ピンによって27の識別アドレスを設定可能です。

LTC4306は24ピンQFN (4mm×5mm) およびSSOPパッケージで供給されます。

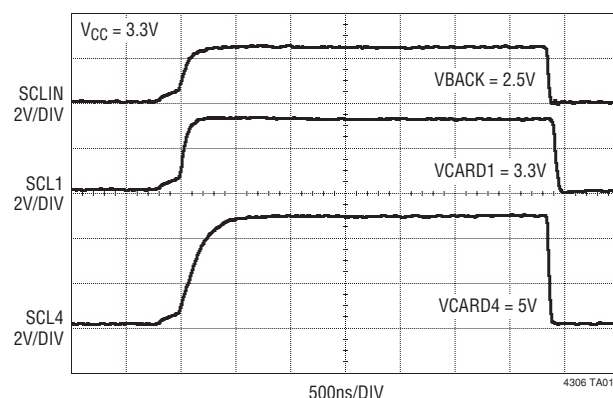
LT、LTC、LTIはリニアテクノロジー社の登録商標です。他のすべての商標はそれぞれの所有者に所有権があります。特許出願中。

標準的応用例

レベルシフトおよびネストされたアドレス指定のアプリケーション



I²Cバスの波形



LTC4306

絶対最大定格

(Note 1)

電源電圧 (V_{CC})	−0.3V~7V
入力電圧 (ADR0, ADR1, ADR2, ENABLE, ALERT1, ALERT2, ALERT3, ALERT4)	−0.3V~7V
出力電圧 (ALERT, READY)	−0.3V~7V
入力/出力電圧 (SDAIN, SCLIN, SCL1, SDA1, SCL2, SDA2, SCL3, SDA3, SCL4, SDA4, GPIO1, GPIO2)	−0.3V~7V
出力シンク電流 (SDAIN, SCLIN, SCL1~4, SDA1~4, GPIO1~2, ALERT, READY)	10mA

動作温度範囲

LTC4306C 0°C~70°C

LTC4306I −40°C~85°C

保存温度範囲

SSOP −65°C~150°C

QFN −65°C~125°C

リード温度 (半田付け、10秒)

SSOP 300°C

パッケージ/発注情報

TOP VIEW UF PACKAGE 24-LEAD (4mm × 5mm) PLASTIC QFN EXPOSED PAD (PIN 25), PCB CONNECTION OPTIONAL MUST BE CONNECTED TO THE PCB TO OBTAIN $\theta_{JA} = 43^{\circ}\text{C/W}$ OTHERWISE $\theta_{JA} = 140^{\circ}\text{C/W}$. $T_{JMAX} = 125^{\circ}\text{C}$	ORDER PART NUMBER LTC4306CUFD LTC4306IUFD UF PART MARKING* 4306	TOP VIEW GN PACKAGE 24-LEAD PLASTIC SSOP $T_{JMAX} = 125^{\circ}\text{C}$, $\theta_{JA} = 85^{\circ}\text{C/W}$	ORDER PART NUMBER LTC4306CGN LTC4306IGN
--	---	---	---

Order Options Tape and Reel: Add #TR

Lead Free: Add #PBF Lead Free Tape and Reel: Add #TRPBF

Lead Free Part Marking: <http://www.linear.com/leadfree/>

さらに広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。

電気的特性

●は全規定温度範囲の規格値を意味する。それ以外は $T_A = 25^{\circ}\text{C}$ での値。注記がない限り、 $V_{CC} = 3.3\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Power Supply/Start-Up						
V_{CC}	Input Supply Range		●	2.7	5.5	V
I_{CC}	Input Supply Current	Downstream Connected, SCL Bus Low, SDA Bus High, $V_{CC} = 5.5\text{V}$	●	5.2	8	mA
$I_{CC \text{ ENABLE} = 0\text{V}}$	Input Supply Current	$V_{\text{ENABLE}} = 0\text{V}$, $V_{CC} = 5.5\text{V}$	●	1.25	2.5	mA
V_{UVLO}	UVLO Upper Threshold Voltage		●	2.3	2.5	2.7 V

4306f

電氣的特性

●は全規定温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = 3.3\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$V_{UVLOHYST}$	UVLO Threshold Hysteresis Voltage		●	100	175	250	mV
$V_{TH\ EN}$	ENABLE Falling Threshold Voltage		●	0.8	1.0	1.2	V
V_{ENHYST}	ENABLE Threshold Hysteresis Voltage				60		mV
t_{PHLEN}	ENABLE Delay, On-Off				60		ns
t_{PLHEN}	ENABLE Delay, Off-On				20		ns
I_{INEN}	ENABLE Input Leakage Current	$V_{ENABLE} = 0\text{V}$, 5.5V , $V_{CC} = 5.5\text{V}$	●		0	± 1	μA
$V_{LOWREADY}$	READY Pin Logic Low Output Voltage	$I_{PULL-UP} = 3\text{mA}$, $V_{CC} = 2.7\text{V}$	●		0.18	0.4	V
$I_{OFFREADY}$	READY Off State Input Leakage Current	$V_{READY} = 0\text{V}$, 5.5V , $V_{CC} = 5.5\text{V}$	●		0	± 1	μA

Upstream-Downstream Buffers

$V_{OS,BUF}$	Buffer Offset Voltage	$R_{BUS} = 10\text{k}$, $V_{CC} = 2.7\text{V}$, 5.5V (Note 4)	●	25	60	100	mV
$V_{OS,UP-BUF}$	Upstream Buffer Offset Voltage $V_{IN, BUFFER} = 0\text{V}$	$V_{CC} = 2.7\text{V}$, $R_{BUS} = 2.7\text{k}$ (Note 4)	●	40	80	120	mV
		$V_{CC} = 5.5\text{V}$, $R_{BUS} = 2.7\text{k}$ (Note 4)	●	70	110	150	mV
$V_{OS,DOWN-BUF}$	Downstream Buffer Offset Voltage $V_{IN, BUFFER} = 0\text{V}$	$V_{CC} = 2.7\text{V}$, $R_{BUS} = 2.7\text{k}$ (Note 4)	●	60	110	160	mV
		$V_{CC} = 5.5\text{V}$, $R_{BUS} = 2.7\text{k}$ (Note 4)	●	80	140	200	mV
V_{OL}	Output Low Voltage, $V_{IN,BUFFER} = 0\text{V}$	SDA, SCL Pins; $I_{SINK} = 4\text{mA}$, $V_{CC} = 3\text{V}$, 5.5V	●			400	mV
	Output Low Voltage, $V_{IN,BUFFER} = 0.2\text{V}$	SDA, SCL Pins; $I_{SINK} = 500\mu\text{A}$, $V_{CC} = 2.7\text{V}$, 5.5V	●			320	mV
$V_{IL,MAX}$	Buffer Input Logic Low Voltage	$V_{CC} = 2.7\text{V}$, 5.5V	●	0.4	0.52	0.64	V
$V_{THSDA,SCL}$	Downstream SDA, SCL Logic Threshold Voltage		●	0.8	1.0	1.2	V
I_{LEAK}	Input Leakage Current	SDA, SCL Pins; $V_{CC} = 0\text{V}$ to 5.5V ; Buffers Inactive	●		0	± 5	μA

Rise Time Accelerators

$V_{SDA,SCL\ slew}$	Minimum Slew Requirement to Activate Rise Time Accelerator Currents	SDAIN, SCLIN, SDA1-4, SCL1-4 Pins	●		0.4	0.8	V/ μs
$V_{RISE,DC}$	Rise Time Accelerator DC Threshold Voltage	SDAIN, SCLIN, SDA1-4, SCL1-4 Pins	●	0.7	0.8	1	V
I_{BOOST}	Rise Time Accelerator Pull-Up Current	SDAIN, SCLIN, SDA1-4, SCL1-4 Pins (Note 3)		4	5.5		mA

GPIOs

$V_{GPIO(TH)}$	GPIO Pin Input Threshold		●	0.8	1	1.2	V
$V_{GPIO(OL)}$	GPIO Pin Output Low Voltage	$I_{GPIO} = 5\text{mA}$, $V_{CC} = 2.7\text{V}$	●		0.2	0.4	V
$V_{GPIO(OH)}$	GPIO Pin Output High Voltage	$I_{GPIO} = -200\mu\text{A}$, $V_{CC} = 2.7\text{V}$	●	$V_{CC} - 0.3$			V
$I_{GPIO(IN)}$	GPIO Pin Input Leakage Current	$V_{GPIO} = 0\text{V}$, 5.5V , $V_{CC} = 5.5\text{V}$	●		0	± 1	μA

Stuck Low Timeout Circuitry

$V_{TIMER(L)}$	Stuck Low Falling Threshold Voltage	$V_{CC} = 2.7\text{V}$, 5.5V	●	0.4	0.52	0.64	V
$V_{TIMER(HYST)}$	Stuck Low Threshold Hysteresis Voltage				80		mV
T_{TIMER1}	Timeout Time #1	$TIMSET1,0 = 01$	●	25	30	35	ms
T_{TIMER2}	Timeout Time #2	$TIMSET1,0 = 10$	●	12.5	15	17.5	ms
T_{TIMER3}	Timeout Time #3	$TIMSET1,0 = 11$	●	6.25	7.5	8.75	ms

ALERT

$V_{ALERT(OL)}$	ALERT Output Low Voltage	$I_{ALERT} = 3\text{mA}$, $V_{CC} = 2.7\text{V}$	●		0.2	0.4	V
$I_{OFF,ALERT}$	ALERT Off State Input Leakage Current	$V_{ALERT} = 0\text{V}$, 5.5V	●		0	± 1	μA
$I_{IN,ALERT1-4}$	ALERT1-ALERT4 Input Current	$V_{ALERT1-4} = 0\text{V}$, 5.5V	●		0	± 1	μA

4306f

LTC4306

電気的特性

●は全規定温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = 3.3\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{\text{ALERT1-4(IN)}}$	ALERT1-ALERT4 Pin Input Falling Threshold Voltages		0.8	1.0	1.2	V
$V_{\text{ALERT1-4(HY)}}$	ALERT1-ALERT4 Pin Input Threshold Hysteresis Voltages			80		mV

I²C Interface

$V_{\text{ADR(H)}}$	ADR0-2 Input High Voltage			$0.75 \cdot V_{CC}$	$0.9 \cdot V_{CC}$	V
$V_{\text{ADR(L)}}$	ADR0-2 Input Low Voltage			$0.1 \cdot V_{CC}$	$0.25 \cdot V_{CC}$	V
$I_{\text{ADR(IN, L)}}$	ADR0-2 Logic Low Input Current	ADR0-2 = 0V, $V_{CC} = 5.5\text{V}$	-30	-60	-80	μA
$I_{\text{ADR(FLOAT)}}$	ADR0-2 Allowed Input Current	$V_{CC} = 2.7\text{V}, 5.5\text{V}$ (Note 5)	± 5	± 13		μA
$I_{\text{ADR(IN, H)}}$	ADR0-2 Logic High Input Current	ADR0-2 = $V_{CC} = 5.5\text{V}$	30	60	80	μA
$V_{\text{SDAIN, SCLIN(TH)}}$	SDAIN, SCLIN Input Falling Threshold Voltages	$V_{CC} = 5.5\text{V}$	1.4	1.6	1.8	V
$V_{\text{SDAIN, SCLIN(HY)}}$	SDAIN, SCLIN Hysteresis			30		mV
$I_{\text{SDAIN, SCLIN(OH)}}$	SDAIN, SCLIN Input Current	SCL, SDA = V_{CC}		0	± 5	μA
C_{IN}	SDA, SCL Input Capacitance	(Note 2)		6		pF
$V_{\text{SDAIN(OL)}}$	SDAIN Output Low Voltage	$I_{\text{SDA}} = 4\text{mA}$, $V_{CC} = 2.7\text{V}$		0.2	0.4	V

I²C Interface Timing

f_{SCL}	Maximum SCL Clock Frequency	(Note 2)	400			kHz
t_{BUF}	Bus Free Time Between Stop/Start Condition	(Note 2)		0.75	1.3	μs
$t_{\text{HD, STA}}$	Hold Time After (Repeated) Start Condition	(Note 2)		45	100	ns
$t_{\text{SU, STA}}$	Repeated Start Condition Set-up Time	(Note 2)		-30	0	ns
$t_{\text{SU, STO}}$	Stop Condition Set-up Time	(Note 2)		-30	0	ns
$t_{\text{HD, DATI}}$	Data Hold Time Input	(Note 2)		-25	0	ns
$t_{\text{HD, DATO}}$	Data Hold Time Output	(Note 2)	300	600	900	ns
$t_{\text{SU, DAT}}$	Data Set-up Time	(Note 2)		50	100	ns
t_f	SCL, SDA Fall Times	(Note 2)	$20 + 0.1 \cdot C_{\text{BUS}}$		300	ns
t_{SP}	Pulse Width of Spikes Suppressed by the Input Filter	(Note 2)	50	150	250	ns

Note 1: 絶対最大定格はそれを超えるとデバイスの寿命に影響を及ぼす値。

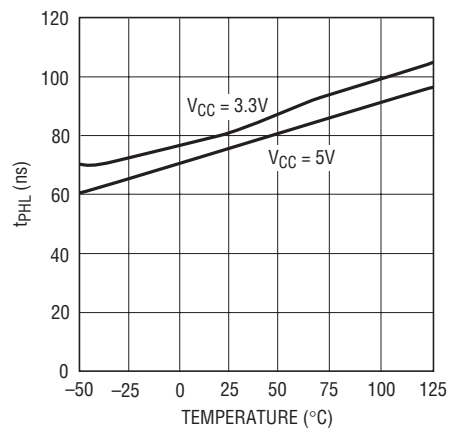
Note 2: 設計によって保証されており、テストは行われない。

Note 3: 軽負荷時に過度の高速エッジにならないように、昇圧されたプルアップ電流は安定化されている。 V_{CC} および寄生バス容量 C_{BUS} と立ち上がり時間の関係、 V_{CC} および温度と I_{BOOST} の関係については、「標準的性能特性」を参照のこと。

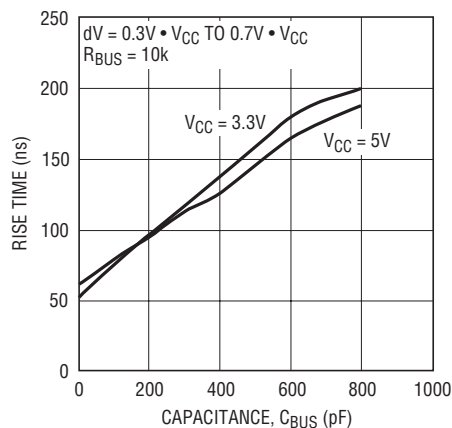
Note 4: 上り方向/下り方向バッファの一方の側がロジック“L”電圧 V_{LOW} に強制されると、もう一方の側の電圧は $V_{\text{LOW2}} = V_{\text{LOW}} + V_{\text{OS}}$ に安定化される。ここで、 V_{OS} は正のオフ

セット電圧。 $V_{\text{OS, UP-BUF}}$ は、LTC4306が上り方向のピン(たとえば、SDAIN)をドライブしているときのオフセット電圧、 $V_{\text{OS, DOWN-BUF}}$ は、LTC4306が下り方向のピン(たとえば、SDA1)をドライブしているときのオフセット電圧である。 V_{CC} およびバスのプルアップ電流と $V_{\text{OS, UP-BUF}}$ および $V_{\text{OS, DOWN-BUF}}$ の関係については、「標準的性能特性」を参照のこと。

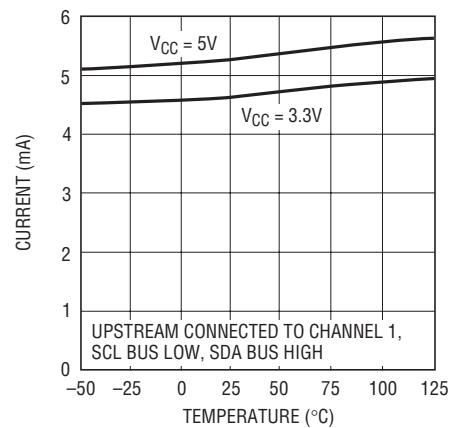
Note 5: ADR0~ADR2ピンがフロート状態のときは、最大 $I_{\text{ADR(FLOAT)}}$ のピン・リーク電流を許容でき、さらにアドレスを正しく変換することができる。

標準的性能特性 (注記がない限り、 $T_A = 25^\circ\text{C}$)バッファ回路の t_{PHL} と温度

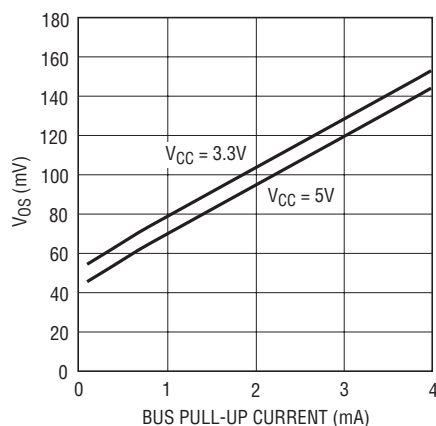
4306 G01

立ち上がり時間と C_{BUS} および V_{CC} 

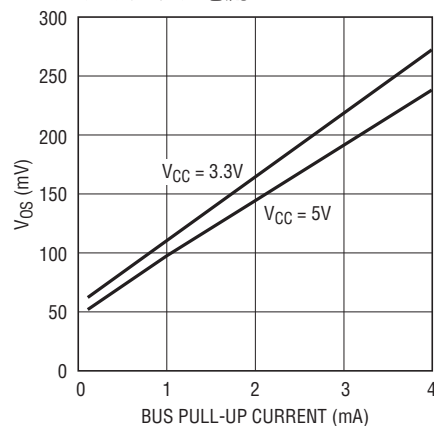
4306 G02

 I_{CC} と温度

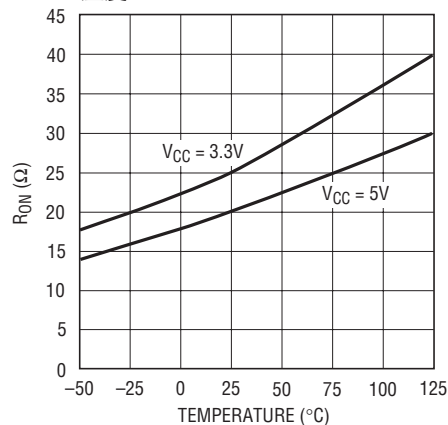
4306 G03

 $V_{OS,UP-BUF}$ とバスの
プルアップ電流

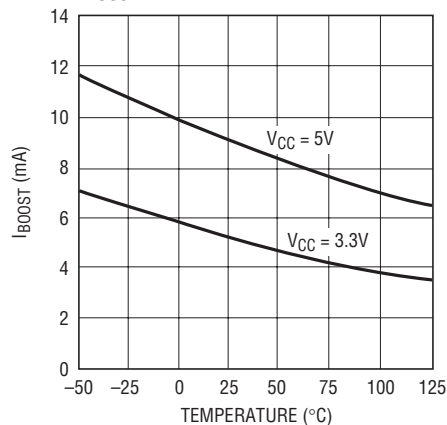
4306 G04

 $V_{OS,DOWN-BUF}$ とバスの
プルアップ電流

4306 G05

下り方向 R_{FET} のオン抵抗と V_{CC} および
温度

4306 G06

 I_{BOOST} と温度

4306 G07

ピン機能 (GN24パッケージ/UFD24パッケージ)

ALERT(ピン3/ピン1): フォールト・アラート出力。オープンドレイン出力で、フォールトが生じると“L”になってホスト・コントローラに知らせます。ALERT1~ALERT4ピンのいずれかが“L”になるか、2線バスが“L”にスタックするか、またはレジスタ2のConnection Requirementビットが“L”になると、LTC4306はALERTを“L”にし、マスタは“L”の下り方向チャネルに接続しようとし、マスタはALERTの設定と解除の方法の詳細については「動作」を参照してください。LTC4306はSMBusアラート応答アドレス・プロトコルと互換性があります。電源電圧に10kの抵抗を接続してプルアップを行います。使用しない場合にはグラウンドに接続します。

SDAIN(ピン4/ピン2): シリアル・バス・データの入出力。このピンはマスタ側のSDAラインに接続します。外付けプルアップ抵抗または電流源が必要です。

GND(ピン5/ピン3): デバイスのグラウンド。

SCLIN(ピン6/ピン4): シリアル・バスのクロック入力。このピンはマスタ側のSCLラインに接続します。外付けプルアップ抵抗または電流源が必要です。

ENABLE(ピン7/ピン5): デジタル・インターフェイスのイネーブルとレジスタのリセット。ENABLEを“H”にドライブすると、LTC4306へのI²C通信がイネーブルされます。このピンを“L”にドライブすると、「動作」で述べるように、LTC4306へのI²C通信がディセーブルされ、レジスタがそれぞれのデフォルト状態にリセットされます。ENABLEが“H”に戻ると、マスタは再度LTC4306の読み出しと書き込みが可能になります。使用しない場合には、ENABLEをV_{CC}に接続します。

V_{CC}(ピン8/ピン6): 電源電圧。最高の結果を得るため、V_{CC}とGNDの間に少なくとも0.01μFのバイパス・コンデンサを直接接続します。

GPIO1, GPIO2(ピン10、11/ピン8、9): 汎用入力/出力。この2つのピンはロジック入力、オープンドレイン出力、プッシュプル出力のいずれかに使用できます。NチャネルMOSFETのプルダウン・デバイスでLEDをドライブすることができます。入力またはオープンドレイン出力のモードで使用する場合、GPIOはV_{CC}電圧に関係なく、1.5V~5.5Vの電源電圧にプルアップすることができます。GPIOはハイ・インピーダンスのオープンドレイン出力モードにデフォルト設定されます。レジスタ1およびレジスタ2にGPIOの設定ビットとステータス・ビットがあり

ます。使用しない場合にはフロートさせます。

ADR0~ADR2(ピン12、13、14/ピン10、11、12): スリーステート・シリアル・バス・アドレス入力。各ピンはフロートさせるか、グラウンドまたはV_{CC}に接続することができます。したがって、27のアドレスが可能です。「アプリケーション情報」の表1を参照してください。このピンがフロート状態のときは、±5μAのリーク電流を許容でき、さらにアドレスを正しく変換することができます。

READY(ピン15/ピン13): 接続レディのデジタル出力。NチャネルMOSFETのオープンドレイン出力トランジスタで、上り方向バスに下り方向チャネルが接続されていないとプルダウンし、上り方向バスに1つ以上の下り方向チャネルが接続されているとオフします。電源電圧に10kの抵抗を接続してプルアップを行います。使用しない場合にはグラウンドに接続します。

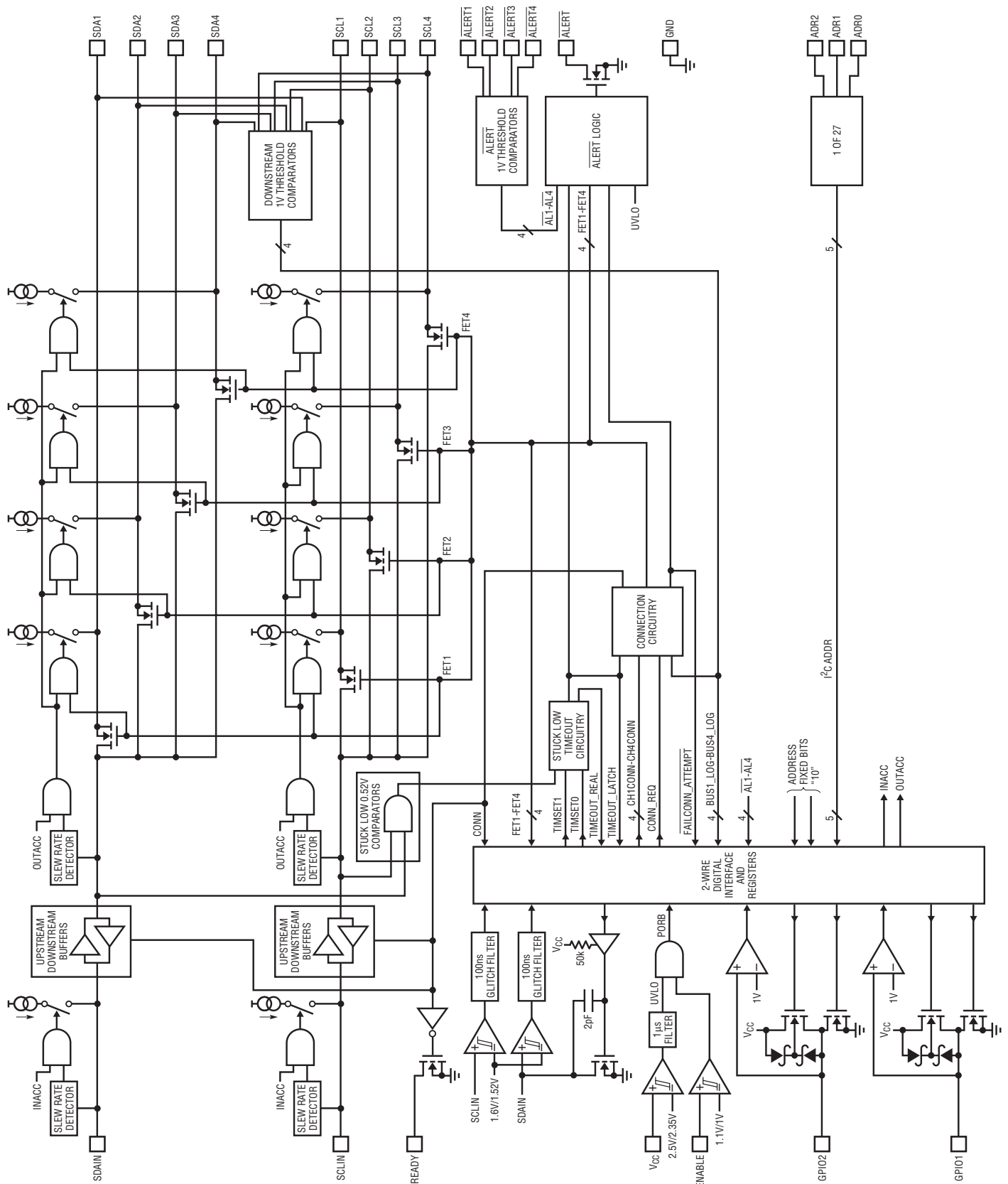
SCL1~SCL4(ピン18、23、1、17/ピン16、21、23、15): シリアル・バス・クロックの出力チャネル1~4。ピンSCL1~SCL4をそれぞれ、下り方向チャネル1~4のSCLラインに接続します。上り方向バスに接続されることがないピンであれば、どれでもフロートさせることができます。フロートさせない場合には、各ピンに外付けプルアップ抵抗または電流源が必要になります。

SDA1~SDA4(ピン19、22、2、16/ピン17、20、24、14): シリアル・バス・データの出力チャネル1~4。ピンSDA1~SDA4をそれぞれ、下り方向チャネル1~4のSDAラインに接続します。上り方向バスに接続されることがないピンであれば、どれでもフロートさせることができます。フロートさせない場合には、各ピンに外付けプルアップ抵抗または電流源が必要になります。

ALERT1~ALERT4(ピン20、24、21、9/ピン18、22、19、7): フォールト・アラート入力、チャネル1~4。4つの出力チャネルの各デバイスは、それぞれのピンを“L”にしてフォールトが生じたことを示します。次いでLTC4306はALERTを“L”にして、フォールト表示がオンであることをホストに知らせます。ALERTの設定と解除の方法の詳細については、以下の「動作」を参照してください。使用しないフォールト・アラート入力はV_{CC}に接続します。

露出パッド(ピン25、UFDパッケージのみ): 電源グラウンド。露出パッドはオープンのままにするか、デバイスのグラウンドに接続することができます。

ブロック図



4306f

動作

制御レジスタのビット定義

レジスタ0 (00h)			
BIT	NAME	TYPE*	DESCRIPTION
d7	Downstream Connected	R	Indicates if upstream bus is connected to any downstream buses 0 = upstream bus disconnected from all downstream buses 1 = upstream bus connected to one or more downstream buses
d6	ALERT1 Logic State	R	Logic state of ALERT1 pin, noninverting
d5	ALERT2 Logic State	R	Logic state of ALERT2 pin, noninverting
d4	ALERT3 Logic State	R	Logic state of ALERT3 pin, noninverting
d3	ALERT4 Logic State	R	Logic state of ALERT4 pin, noninverting
d2	Failed Connection Attempt	R	Indicates if an attempt to connect to a downstream bus failed because the "Connection Requirement" bit in Register 2 was low and the downstream bus was low 0 = Failed connection attempt occurred 1 = No failed attempts at connection occurred
d1	Latched Timeout	R	Latched bit indicating if a timeout has occurred and has not yet been cleared. 0 = no latched timeout 1 = latched timeout
d0	Timeout Real Time	R	Indicates real-time status of Stuck Low Timeout Circuitry 0 = no timeout is occurring 1 = timeout is occurring

注: フォールトが生じ、そのフォールトが解決された後で、マスタはレジスタ0に書き込みを行ってフォールト回路をリセットします。レジスタ0は読み出し専用なので、他の機能は影響されません。
*タイプ「R/W」は読み出し/書き込み、「R」は読み出し専用

レジスタ1 (01h)			
BIT	NAME	TYPE*	DESCRIPTION
d7	Upstream Accelerators Enable	R/W	Activates upstream rise time accelerator currents 0 = upstream rise time accelerator currents inactive (default) 1 = upstream rise time accelerator currents active
d6	Downstream Accelerators Enable	R/W	Activates downstream rise time accelerator currents 0 = downstream rise time accelerator currents inactive (default) 1 = downstream rise time accelerator currents active
d5	GPIO1 Output Driver State	R/W	GPIO1 output driver state, noninverting, default = 1
d4	GPIO2 Output Driver State	R/W	GPIO2 output driver state, noninverting, default = 1
d3-d2	Reserved	R	Not Used
d1	GPIO1 Logic State	R	Logic state of GPIO1 pin, noninverting
d0	GPIO2 Logic State	R	Logic state of GPIO2 pin, noninverting

*タイプ「R/W」は読み出し/書き込み、「R」は読み出し専用

動作

レジスタ2 (02h)

BIT	NAME	TYPE*	DESCRIPTION
d7	GPIO1 Mode Configure	R/W	Configures Input/Output mode of GPIO1 0 = output mode (default) 1 = input mode
d6	GPIO2 Mode Configure	R/W	Configures Input/Output Mode of GPIO2 0 = output mode (default) 1 = input mode
d5	Connection Requirement	R/W	Sets logic requirements for downstream buses to be connected to upstream bus 0 = Bus Logic State bits (see register 3) of buses to be connected must be high for connection to occur (default) 1 = Connect regardless of downstream logic state
d4	GPIO1 Output Mode Configure	R/W	Configures GPIO1 Output Mode 0 = open-drain pull-down (default) 1 = push-pull
d3	GPIO2 Output Mode Configure	R/W	Configures GPIO2 Output Mode 0 = open-drain pull-down (default) 1 = push-pull
d2	Mass Write Enable	R/W	Enable Mass Write Address using address (1011 101)b 0 = Disable Mass Write 1 = Enable Mass Write (default)
d1	Timeout Mode Bit 1	R/W	Stuck Low Timeout Set Bit 1**
d0	Timeout Mode Bit 0	R/W	Stuck Low Timeout Set Bit 0**

*タイプ「R/W」は読み出し/書き込み、「R」は読み出し専用

**スタック・バスのプログラム表

TIMSET1	TIMSET0	TIMEOUT MODE
0	0	Timeout Disabled (Default)
0	1	Timeout After 30ms
1	0	Timeout After 15ms
1	1	Timeout After 7.5ms

レジスタ3 (03h)

BIT	NAME	TYPE*	DESCRIPTION
d7	Bus 1 FET State	R/W	Sets and indicates state of FET switches connected to downstream bus 1 0 = switch open (default) 1 = switch closed
d6	Bus 2 FET State	R/W	Sets and indicates state of FET switches connected to downstream bus 2 0 = switch open (default) 1 = switch closed
d5	Bus 3 FET State	R/W	Sets and indicates state of FET switches connected to downstream bus 3 0 = switch open (default) 1 = switch closed
d4	Bus 4 FET State	R/W	Sets and indicates state of FET switches connected to downstream bus 4 0 = switch open (default) 1 = switch closed
d3	Bus 1 Logic State	R	Indicates logic state of downstream bus 1; only valid when disconnected from upstream bus [†] 0 = SDA1, SCL1 or both are below 1V 1 = SDA1 and SCL1 are both above 1V
d2	Bus 2 Logic State	R	Indicates logic state of downstream bus 2; only valid when disconnected from upstream bus [†] 0 = SDA2, SCL2 or both are below 1V 1 = SDA2 and SCL2 are both above 1V
d1	Bus 3 Logic State	R	Indicates logic state of downstream bus 3; only valid when disconnected from upstream bus [†] 0 = SDA3, SCL3 or both are below 1V 1 = SDA3 and SCL3 are both above 1V
d0	Bus 4 Logic State	R	Indicates logic state of downstream bus 4; only valid when disconnected from upstream bus [†] 0 = SDA4, SCL4 or both are below 1V 1 = SDA4 and SCL4 are both above 1V

*タイプ「R/W」は読み出し/書き込み、「R」は読み出し専用

†これらのビットが切断された下り方向バスのロジック状態をマスタに提供するので、マスタは「L」の下り方向バスに接続しないように選択することができます。所定のビットに対応する下り方向バスが上り方向バスに既に接続されている場合、そのビットは「ドントケア」です。

動作

LTC4306は、上り方向バスと下り方向バスの間で容量性絶縁を行う、バス・バッファ付き4チャンネル、2線バス・マルチプレクサ/スイッチです。上り方向2線バス (SDAINおよびSCLIN) のマスタは、LTC4306に4本の下り方向バスのあらゆる組み合わせを指示することができます。マスタは、バスが“L”にスタックした場合、LTC4306をプログラムして上り方向バスを下り方向バスから切断することもできます。

低電圧ロックアウト (UVLO) とENABLE機能

LTC4306は低電圧ロックアウト回路を搭載しており、デバイスが適正に機能するのに十分なV_{CC}電源電圧を得るまで、SDA、SCL、GPIO、ALERTのすべてのピンをハイ・インピーダンス状態に保ちます。また、この状態のときは2線バスによるデバイスとのすべての通信が無視されます。ENABLEピン電圧が低い(0.8V以下)と、すべての制御ビットがデフォルトのハイ・インピーダンス状態にリセットされ、LTC4306は2線バス・コマンドを無視します。ただし、ENABLEが“L”の場合、LTC4306は引き続きALERT1~ALERT4ピンの電圧をモニタし、ALERT1~ALERT4のいずれかが“L”になるとALERTピンを“L”にします。ENABLEが“H”になると、デバイスはLTC4306の読み出しと書き込みが可能になります。

接続回路

上り方向のSDAIN/SCLINバスのマスタは、レジスタ3のBus 1 FET Stateビット~Bus 4 FET Stateビットに書き込みを行って、下り方向チャンネル1~4の任意の組み合わせに接続することができます。デフォルトでは、「ブロック図」に示す接続回路は、接続コマンドを受け取った時点でレジスタ3の対応するBus Logic Stateビットが“H”である下り方向チャンネルのみに接続します。LTC4306が同時に複数のチャンネルに接続するように指示されると、“H”のチャンネルのみに接続します。マスタは、レジスタ2のConnection Requirementビットを“H”に設定することによってこの機能が無効にできます。このビットが“H”の場合、LTC4306は、下り方向チャンネルのロジック状態に関係なく接続コマンドを実行します。

接続コマンドを受け取ると、接続回路は次の2つの条件下で、上り方向/下り方向バッファをアクティブにします。1つ目は、マスタが1つ以上の下り方向チャンネルへの接続を

指示していなければならないこと、2つ目は、スタック“L”状態(「スタック“L”のタイムアウト・フォールト」の説明を参照)があつてはならないことです。接続コマンドが正常であると、上り方向/下り方向バッファは、上り方向バスと接続された下り方向バスの間に信号を送ります。また、LTC4306は、READYを外付けプルアップ抵抗によって“H”にすることができるように、READYピンのNチャネルMOSFETのオープンドレイン・プルダウンをオフします。

上り方向/下り方向バッファ

上り方向/下り方向バッファがアクティブになると、SDAINピンの機能といずれかの接続された下り方向のSDAピンの機能は等しくなります。いずれかの接続されたSDAピンが任意の時点で“L”にされると、すべてのピンが“L”になります。**適正な動作をさせるには、外部デバイスで、このピンの電圧をLTC4306のグラウンドより最小でも0.4V下げる必要があります。**接続されたすべてのSDAピンのすべてのデバイスが“H”を強制するときのみ、SDAピンはロジック“H”状態になります。SCLINと接続された下り方向のSCLピンでも同様です。この重要な機能により、システム内のデバイスがどのようにLTC4306に接続されているかに関係なく、クロック・ストレッチ、クロック・アービトレーション、アクノリッジのプロトコルが常に機能することが保証されます。

上り方向/下り方向バッファによって、SDAIN/SCLINと下り方向の接続されたバスとの間の容量性絶縁が行われます。接続された下り方向バスの間には容量性絶縁は存在しません。バスのスイッチのオン抵抗の直列接続によって分離されているだけです。

下り方向バスをどのように組み合わせても同時に接続することができますが、複数の下り方向バスがアクティブで、V_{CC}電圧と1つ以上の下り方向バスのプルアップ電圧のどちらも他の下り方向バスのプルアップ電源電圧より高いと、ロジック“H”のレベルが降下します。この事例を図1に示します。ロジック“H”の間、V_{BUS1}からR1、N1、N2、R2の直列接続を通してV_{BUS2}にDC電流が流れるので、SDA1電圧が降下し、V_{BUS2}に電流がソースされます。この問題を防ぐには、バス2がアクティブのとき、バス1やプルアップ電圧が2.5Vを上回る他の下り方向バスはいずれもアクティブにしてはなりません。

動作

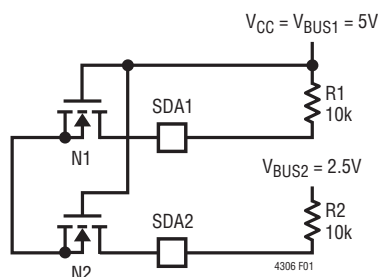


図1. 好ましくないレベルシフトの例

立ち上がり時間アクセラレータ

レジスタ1のUpstream Accelerators EnableビットとDownstream Accelerators Enableビットはそれぞれ、上り方向立ち上がり時間アクセラレータと下り方向立ち上がり時間アクセラレータをアクティブにします。アクティブになると、アクセラレータは制御された状態でオンし、バスが正に遷移している間、ピンに電流をソースします。

下り方向バスが接続されていない場合、上り方向アクセラレータはピン電圧が0.8Vを超えるとオンし、0.8V/μsの最小スルーレートで立ち上がります。1つ以上の下り方向バスが接続されている場合、所定のピンのアクセラレータは以下の条件が満たされるとオンします。1つ目は、ピンの電圧が0.8V/μsの最小スルーレートで立ち上がる場合、2つ目は上り方向バスと接続された下り方向バスの電圧が0.8Vを超える場合です。

下り方向バスのスイッチは、自身の立ち上がり時間アクセラレータの電流をアクティブにするために閉じる必要があります。立ち上がり時間アクセラレータのスイッチがオンになるようにバスのプルアップ抵抗の値を選択するには、「アプリケーション情報」を参照してください。**プルアップ電源電圧VBUSがVCCより低いバスの昇圧電流をアクティブにしないでください。アクティブにすると、昇圧電流が立ち上がりエッジ時にVCCからVBUS電源に電流をソースします。**

下り方向バスの接続フォールト

デフォルトでは、LTC4306は、接続コマンドを受け取ったときにSDAピンとSCLピンのどちらも“H”(1V以上)である下り方向チャンネルのみに接続します。この場合、LTC4306は、マスタが“L”の下り方向チャンネルに接続しようとするとき、レジスタ0のFailed Connection Attemptビットを“L”に設定してALERTピンを“L”にします。レジスタ

2のConnection Requirementビットに“H”を書き込んで、接続時のロジック状態に関係なくLTC4306を下り方向チャンネルに接続するようにプログラムすることが可能です。この場合、下り方向チャンネルの接続フォールトが生じることはありません。

スタック“L”のタイムアウト・フォールト

スタック“L”のタイムアウト回路は、下り方向のSDAスイッチとSCLスイッチの2つの共通の内部ノードをモニタし、どちらかの内部ノード電圧が0.52Vを下回るとタイマを始動します。このタイマは、両方の内部ノード電圧が0.6Vを上回るたびにリセットされます。タイマが、レジスタ2のTimeout Mode Bit 1とTimeout Mode Bit 0によってプログラムされた時間に達すると、LTC4306は、ALERTを“L”にし、上り方向/下り方向バッファをデバイアスすることによって上り方向バスから下り方向バスを切断します。下り方向スイッチの状態は変わらないことに注意してください。レジスタ0のTimeout Real-Timeビットは、スタック“L”状態のリアルタイム・ステータスを示します。レジスタ0のLatched Timeoutビットはラッチされたビットで、タイムアウトが生じると“H”に設定されます。

下り方向チャンネルの外部フォールト

下り方向バス1のスレーブがALERT1ピンを1Vより低くすると、LTC4306は、ALERTピンを“L”にすることによって、上り方向バスのマスタにこの情報を知らせます。他の3本の下り方向バスでも同様です。各バスにはレジスタ0に専用のフォールト・ビットがあるので、マスタは、レジスタ0を読み込むことによってフォールトが生じているバスを特定することができます。

ALERT機能とフォールトの解決方法

フォールトが生じると、LTC4306は上で述べたようにALERTピンを“L”にします。フォールトを解決する手順はフォールトの種類によって異なります。上り方向バスのマスタが、上り方向/下り方向バッファ回路(たとえば、チャンネル1)を介して下り方向バスのデバイスと通信しているときに、このバスのデバイスがALERT1ピンを“L”にすると、LTC4306はトランスペアレントに動作し、マスタは、上り方向/下り方向バッファ回路を介してフォールトを生じたデバイスと直接通信してこのフォールトを解決します。

動作

その他の場合はすべて、LTC4306はマスタと通信してフォールトを解決します。マスタがアラート応答アドレス(ARA)を送ると、LTC4306は、SDAINラインの自身のアドレスに対応して $\overline{\text{ALERT}}$ ピンを開放します。LTC4306がマスタによってアドレス指定されると、 $\overline{\text{ALERT}}$ ラインも開放されます。

異なる種類のフォールトが生じるか、元のフォールトがクリアされてから再度生じるまでは、 $\overline{\text{ALERT}}$ 信号が再度“L”にされることはありません。図2は、 $\overline{\text{ALERT}}$ ピンのセットとリセットの方法の詳細を示します。下り方向バスの接続フォールトと接続されていない下り方向バスに生じるフォールトを一緒にして、 $\overline{\text{ALERT}}$ をドライブする単一の信号を生成します。スタック“L”のタイムアウト・フォールトには $\overline{\text{ALERT}}$ への専用の経路がありますが、一度スタック“L”が生じると、そのものが解除されるまでは新たなものは生じません。このため、マスタがLTC4306をフォールトの発生源として特定すると、レジスタ0を読み出して個々の問題を判定し、その問題の解決策を講じてフォールトを迅速にクリアします。すべてのフォールトは、読み出し専用レジスタであるレジスタ0にダミー・データ・バイトを書き込むことによってクリアされます。

たとえば、フォールトが生じ、マスタがARAを送り出し、LTC4306がそのアドレスをSDAINに正しく書き込んで $\overline{\text{ALERT}}$ ピンを開放するとします。マスタはレジスタ0を読み出し、 $\overline{\text{ALERT2}}$ Logic Stateビットが“L”であることを認識します。これで、マスタは下り方向バス2のデバイスにフォールトが生じていることを知り、レジスタ3に書き込みを行ってバス2と接続するので、フォールトの発生源と

通信することができます。この時点で、マスタはレジスタ0に書き込みを行ってLTC4306のフォールト・レジスタをクリアします。

I²Cデバイスのアドレス指定

3ステートのADR0、ADR1、ADR2ピンを使用して、27の個別のバス・アドレスを設定できます。表1に、ピンの状態とアドレスとの対応を示します。アドレス・ビットa6とアドレス・ビットa5は、それぞれ1と0に内部設定されています。また、LTC4306は2つの特別なアドレスに対応しています。アドレス(1011 101)は一括書き込み用で、個々のアドレス設定値に関係なくすべてのLTC4306のアドレスへの書き込みに使用されます。一括書き込みは、レジスタ2のMass Write Enableビットを0に設定することによってマスクすることができます。アドレス(0001 100)はSMBusのアラート応答アドレスです。図3は、2線バスを介したデータ転送を示します。

サポートされるコマンド

LTC4306への書き込みにはSMBusのライト・バイト・プロトコルを使用し、LTC4306からの読み出しにはリード・バイト・プロトコルを使用する必要があります。フォールトの解決時には、LTC4306はアラート応答アドレス・プロトコルのサポートも行います。これらのプロトコルのフォーマットを図4に示します。LTC4306への書き込みはライト・バイト・プロトコルに準拠する必要がありますが、Stop条件の前にRepeated Start条件が発行されると、LTC4306は実行しようとする書き込みを無視し、制御ビットが既存の状態を維持します。

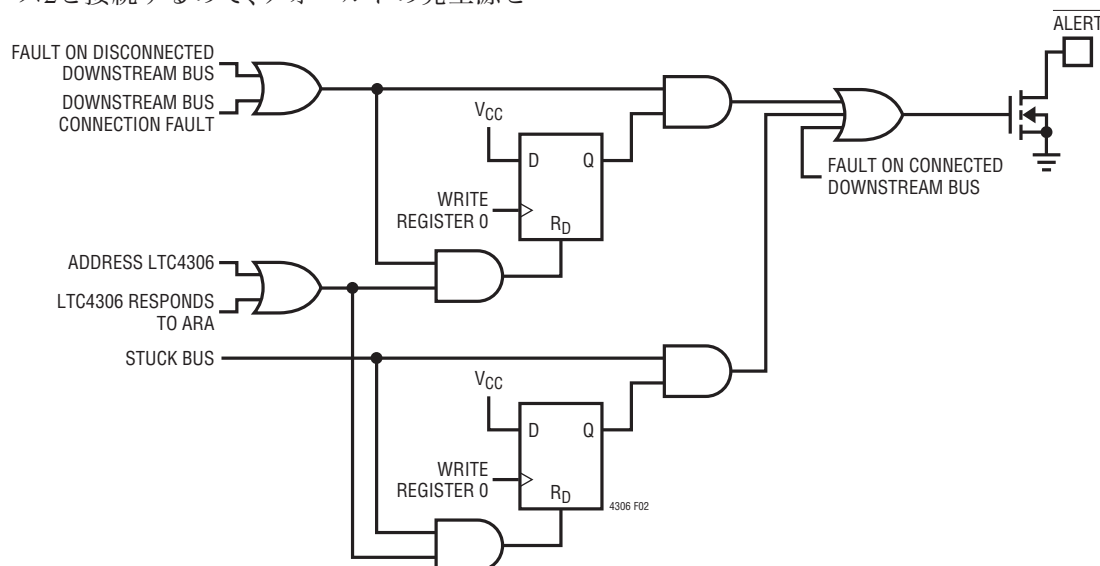


図2. $\overline{\text{ALERT}}$ ピンのセットとリセット

4306f

動作

表1. LTC4306のI²Cデバイスのアドレス指定

DESCRIPTION	HEX DEVICE ADDRESS	BINARY DEVICE ADDRESS								LTC4306 ADDRESS PINS		
	h	a6	a5	a4	a3	a2	a1	a0	R/W	ADR2	ADR1	ADR0
Mass Write	BA	1	0	1	1	1	0	1	0	X	X	X
Alert Response	19	0	0	0	1	1	0	0	1	X	X	X
0	80	1	0	0	0	0	0	0	X	L	NC	L
1	82	1	0	0	0	0	0	1	X	L	H	NC
2	84	1	0	0	0	0	1	0	X	L	NC	NC
3	86	1	0	0	0	0	1	1	X	L	NC	H
4	88	1	0	0	0	1	0	0	X	L	L	L
5	8A	1	0	0	0	1	0	1	X	L	H	H
6	8C	1	0	0	0	1	1	0	X	L	L	NC
7	8E	1	0	0	0	1	1	1	X	L	L	H
8	90	1	0	0	1	0	0	0	X	NC	NC	L
9	92	1	0	0	1	0	0	1	X	NC	H	NC
10	94	1	0	0	1	0	1	0	X	NC	NC	NC
11	96	1	0	0	1	0	1	1	X	NC	NC	H
12	98	1	0	0	1	1	0	0	X	NC	L	L
13	9A	1	0	0	1	1	0	1	X	NC	H	H
14	9C	1	0	0	1	1	1	0	X	NC	L	NC
15	9E	1	0	0	1	1	1	1	X	NC	L	H
16	A0	1	0	1	0	0	0	0	X	H	NC	L
17	A2	1	0	1	0	0	0	1	X	H	H	NC
18	A4	1	0	1	0	0	1	0	X	H	NC	NC
19	A6	1	0	1	0	0	1	1	X	H	NC	H
20	A8	1	0	1	0	1	0	0	X	H	L	L
21	AA	1	0	1	0	1	0	1	X	H	H	H
22	AC	1	0	1	0	1	1	0	X	H	L	NC
23	AE	1	0	1	0	1	1	1	X	H	L	H
24	B0	1	0	1	1	0	0	0	X	H	H	L
25	B2	1	0	1	1	0	0	1	X	L	H	L
26	B4	1	0	1	1	0	1	0	X	NC	H	L

ライト・バイト・プロトコルに準拠すると、データ・バイトに含まれる新しいデータは、Stopビットのビットr1とビットr0によって選択されるレジスタに書き込まれます。

汎用入力/出力 (GPIO)

LTC4306は2つの汎用入力/出力ピン (GPIO) を備えており、ロジック入力、オープンドレイン出力、プッシュプル

出力のいずれかに設定することができます。レジスタ2のGPIO1 Mode ConfigureビットとGPIO2 Mode Configureビットによって、GPIOが入力と出力のどちらに使用されるかが決まります。GPIOを出力として使用する場合、レジスタ2のGPIO1 Output Mode ConfigureビットとGPIO2 Output Mode Configureビットによって、GPIO出力がオープンドレインNチャネルMOSFETのプルダウンまたはプッシュプル段のどちらかに設定されます。

動作

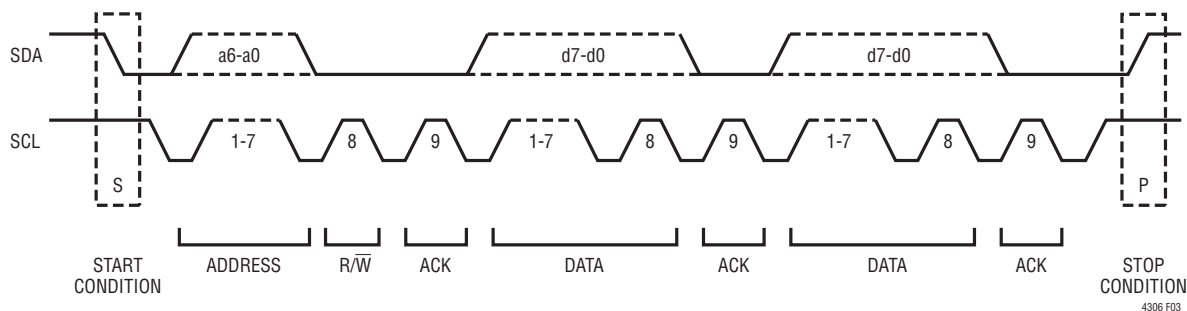
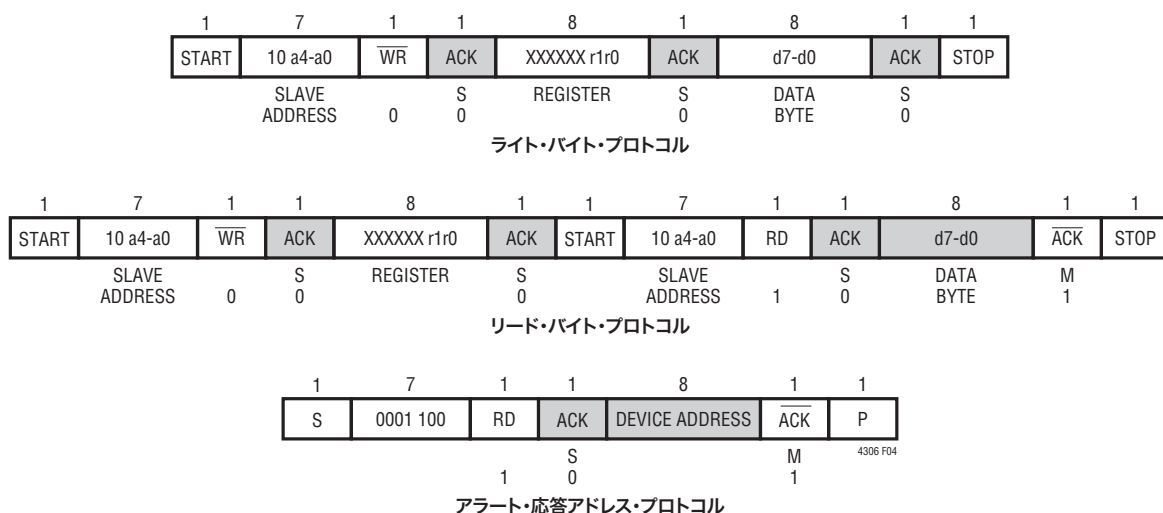
図3. I²CまたはSMBusを介したデータ転送

図4. LTC4306が採用するプロトコル

$V_{CC} = 3.3V$ でのプッシュプル・モードでは、標準プルアップ・インピーダンスは 670Ω 、標準プルダウン・インピーダンスは 35Ω になり、GPIOのプルダウンでLEDをドライブすることができます。 $V_{CC} = 5V$ では、標準プルアップ・インピーダンスは 320Ω 、標準プルダウン・インピーダンスは 20Ω になります。オープンドレイン出力モードでは、GPIOピンと外部電源電圧の間にプルアップ抵抗を接続することによってロジック“H”を供給します。外部電源電圧は V_{CC} 電圧に関係なく $1.5V \sim 5.5V$ の範囲が可能です。入力モードでは、GPIO入力スレッショルド電圧は $1V$ です。

レジスタ1のGPIO1 Logic StateビットとGPIO2 Logic Stateビットは、2つのGPIOピンのロジック状態を示します。各ピンのロジックレベル・スレッショルド電圧は $1V$ です。レジスタ1のGPIO1 Output Driver StateビットとGPIO2

Output Driver Stateビットは、LTC4306がGPIOピンに書き込みを実行しようとしているときのロジック状態を示します。これは、GPIOがオープンドレイン出力モードで使用されていて、GPIOに1つ以上の外部デバイスが接続されている場合に便利です。LTC4306がGPIOピンに“H”を書き込もうとしても、ピンの実際のロジック状態が“L”である場合、LTC4306は、この“L”が外部デバイスによって強制されていることが分かります。

グリッチ・フィルタ

LTC4306は、SDAINピンとSCLINピンに、I²Cの高速モード($400kHz$)規格で要求されるグリッチ・フィルタを備えています。このフィルタは、(最短)時間が $50ns$ までで電圧振幅がレール・トゥ・レールの信号が2線バス・デジタル・インターフェイス回路に侵入するのを防ぎます。

動作

立ち下がり時間の制御

I²Cの高速モード(400kHz)規格に準拠して、SDAINバスがロジック“L”に強制されるとき、2線バス・デジタル・インターフェイス回路は立ち下がり時間を制御します。立ち下がり時間は常に次の制限を満たします。

$$(20 + 0.1 \cdot C_B) < t_f < 300\text{ns}$$

ここで、 t_f はns単位の立ち下がり時間、 C_B はpF単位の等価バス容量です。入力信号が立ち下がり時間の要件を満たしていれば、上り方向/下り方向バッファ回路がアクティブになるたびに、出力信号は立ち下がり時間の要件を満たします。

アプリケーション情報

設計例

LTC4306の標準的アプリケーション回路を図5に示します。この回路は、LTC4306のレベルシフト、マルチプレクサ/スイッチ、容量バッファリングの機能を示しています。このアプリケーションでは、LTC4306のV_{CC}電圧と下り方向バス1は3.3Vの電源電圧から電力供給されていますが、下り方向バス4は5Vから、上り方向バスは2.5Vからそれぞれ電力供給されています。簡素化するため、チャンネル2とチャンネル3は省略されています。以下の項目では、図5の外付け部品を選択方法について述べています。

SDAとSCLのプルアップ抵抗の選択

SMBus規格により、SDAピンとSCLピンのプルアップ抵抗は100μAの最小プルアップ電流を供給するのに十分な強さでなければなりません。多くのシステムでは、プル

アップ抵抗に必要な最小値は、LTC4306の立ち上がり時間アクセラレータが立ち上がりエッジ時にアクティブになるのを保証するのに必要な最小スルーレートによって決まります。同時に、ロジック“L”のノイズ・マージンを最大限に拡大し、上り方向/下り方向バッファ回路のオフセット電圧を最小限に抑えるため、プルアップの値を小さく保つ必要があります。LTC4306は、4mAの最大DCプルアップ電流で動作するように設計されています。複数の下り方向チャンネルが同時にアクティブになる場合は、これらのチャンネルによるプルアップ電流の総計が4mA以下でなければならないということです。2.7Vと5.5Vの電源電圧では、それぞれ、最大215pFと420pFの容量性負荷に対して10kのプルアップ抵抗値が適しています。より大きなバス容量については、以下の式(1)を参照してください。LTC4306は最大2nFの容量性負荷で動作します。

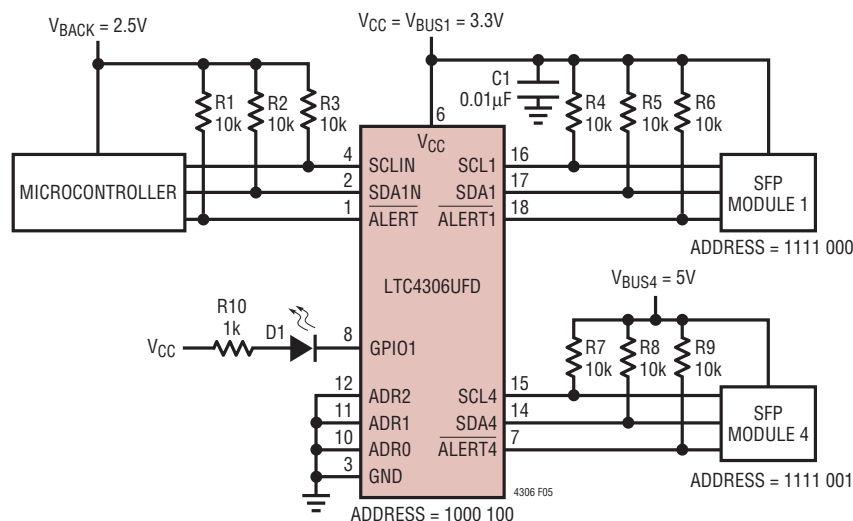


図5. レベルシフト回路

4306f

アプリケーション情報

図5では、トレースとデバイス容量によるSDA1の寄生バス容量の総計が100pFと仮定しています。立ち上がりエッジ時に昇圧電流がアクティブになるように、プルアップ抵抗を十分な強度にして、SDA1ピン電圧が0.8V以上に立ち上がるときに0.8V/μsの速度で上昇する必要があるとあります。計算式:

$$R_{PULL-UPMAX} [k\Omega] = \frac{(V_{BUSMIN} - 0.8V) \cdot 1250 \left[\frac{ns}{V} \right]}{C_{BUS} [pF]}$$

ここで、 V_{BUSMIN} は最小動作プルアップ電源電圧、 C_{BUS} はバスの寄生容量です。この例では、 $V_{BUS1} = V_{CC} = 3.3V$ 、電源精度を±10%、 $V_{BUSMIN} = 2.97V$ と仮定しています。 $C_{BUS} = 100pF$ では、 $R_{PULL-UP,MAX} = 27.1k$ です。そのため、27.1kより小さいプルアップ(つまり、より強力なプルアップ)抵抗を選択する必要があるため、10k抵抗が適しています。

ALERT、READY、GPIOの部品選択

ALERTピンとREADYピンのプルアップ抵抗は、LTC4306がピンを0.4V以下のロジック“L”の電圧に保つことができるように、3mAの最大プルアップ電流を供給する必要があります。LTC4306のGPIOピンでドライブするLEDを選択する場合、必要なLEDシンク電流が5mAより小さいことを確認し、電流制限抵抗をLEDと直列に接続します。

レベルシフトの検討事項

図5の設計例では、LTC4306の V_{CC} 電圧は両方の下り方向バスのプルアップ電圧以下なので、バス1とバス4を同時にアクティブにすることができます。同様に、下り方向バスの立ち上がり時間アクセラレータをオンにすることができますが、SCLINとSDAINではアクティブにはなりません。なぜなら、アクティブにすると、立ち上がりエッジ時に V_{CC} から V_{BACK} にかなりの電流が流れるからです。

その他のアプリケーション回路

図6は、LTC4306を使用し、ネストされたアドレス指定を使用することによってシステム内のデバイス数を増やす方法を示します。各I/Oカードには、デバイス・アドレスが

1001 000の温度センサがあります。4枚のI/Oカードがバックプレーンに直接挿入されている場合には、4個のセンサは4つの個別のアドレスを必要とします。ただし、マスタがLTC4306をマルチプレクサ・モードで使用し、同時に接続される下り方向チャンネルが1つだけの場合、各I/Oカードにはアドレスが1001 000のデバイスを搭載することが可能で、問題が生じることはありません。

図7と図8は、LTC4306を使用し、電源の入った2線バスにI/Oカードをホットスワップする2つの異なる方法を示します。図7の回路では、4本の個別の下り方向バスのあるI/Oカードの端にLTC4306が配置されています。他のすべてのピンが接続されているときにENABLEピンをロジック“L”に固定しておくため、ENABLEピンからグラウンドに200kの抵抗を接続し、ENABLEピンをコネクタの最も短いピンにします。これにより、SDAINピンとSCLINピンがバックプレーンの2線バスにしっかりと接触するまで、LTC4306をデフォルトのハイ・インピーダンス状態に保ち、これらのピンの接続過渡を無視することができます。さらに、ALERTが接触する前に V_{CC} がI/Oカードのプルアップ電源ピンにしっかりと接触してALERT1～ALERT4のプルアップ抵抗に電力供給するように、ALERTコネクタ・ピンを必ず V_{CC} ピンより短くします。

図8はSDAとSCLのもうひとつのホットスワップ手法を示します。ここで、LTC4306はバックプレーンに配置され、I/Oカードは下り方向チャンネル4に挿入されます。I/Oカードの挿入や引き抜きを行う前には、接続/切断時に行われる可能性がある2線トランザクションを妨害しないように、チャンネル4の下り方向スイッチがオープン状態であることを確認します。I/Oカードが挿入されていないときにLTC4306を適正に動作させるため、ALERT4のプルアップ抵抗R17はI/Oカードではなくバックプレーンに配置する必要があります。I/Oカードが挿入されていないときに下り方向バス4が決してアクティブにならなければ、SCL4およびSDA4のプルアップ抵抗R15およびR16はそれぞれ、I/Oカードに配置してもかまいません。そうでなければ、R15とR16はバックプレーンに配置します。

アプリケーション情報

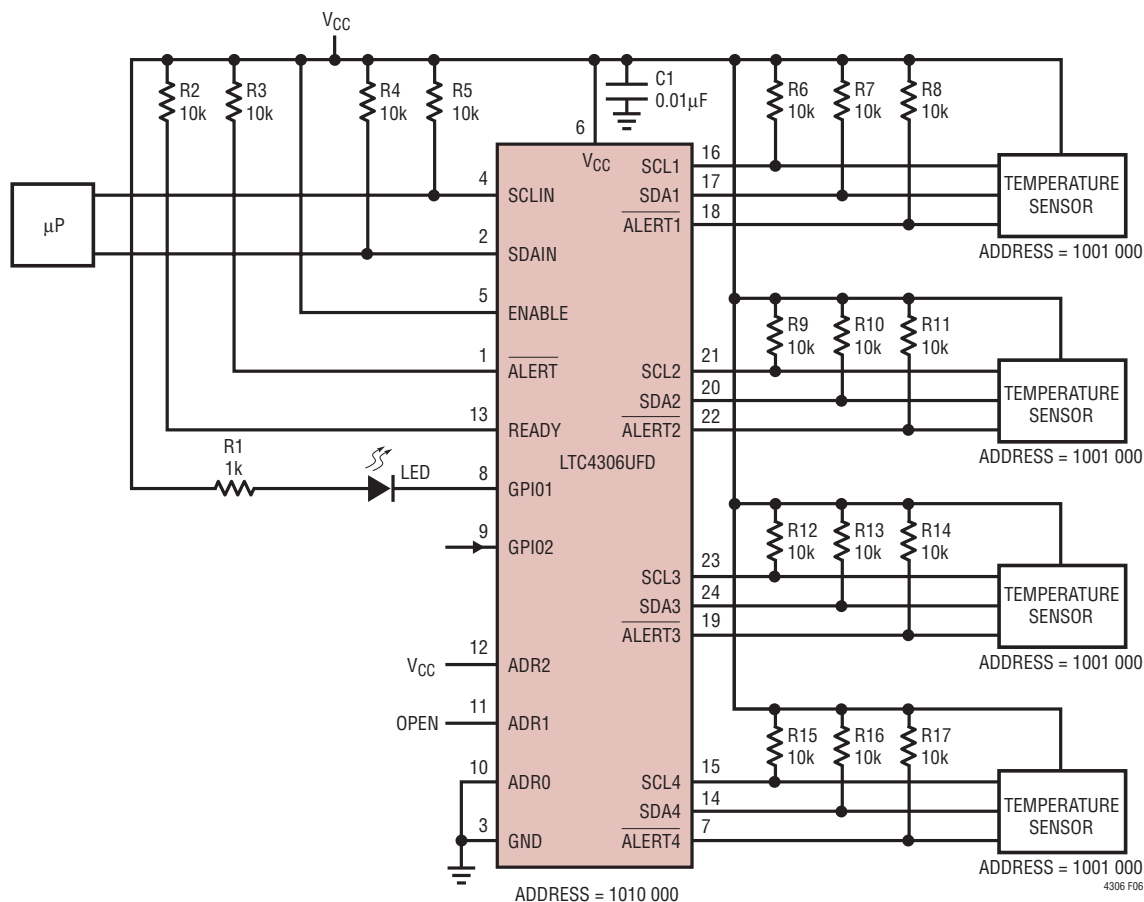


図6. ネストされたアドレス指定のアプリケーション

アプリケーション情報

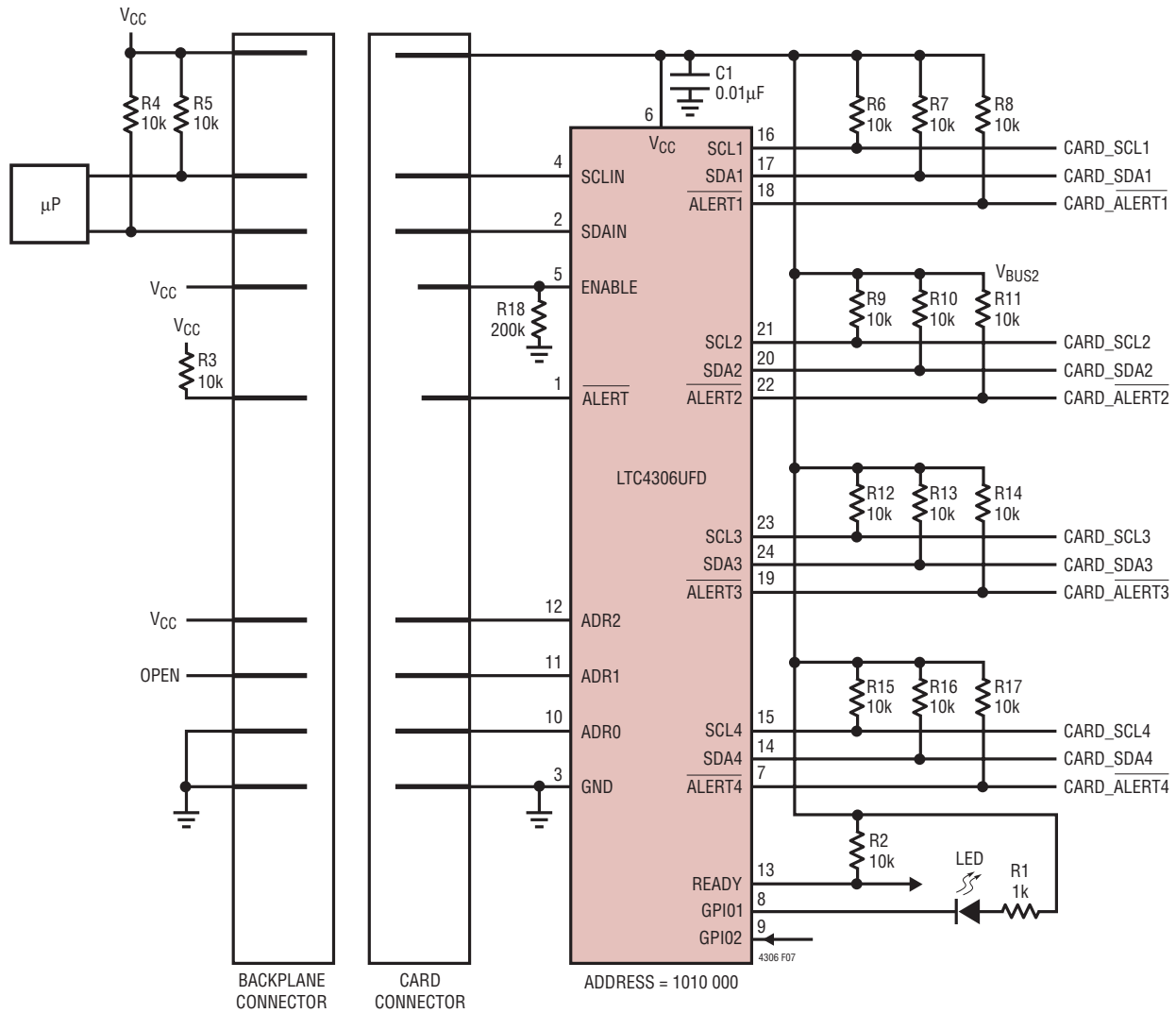
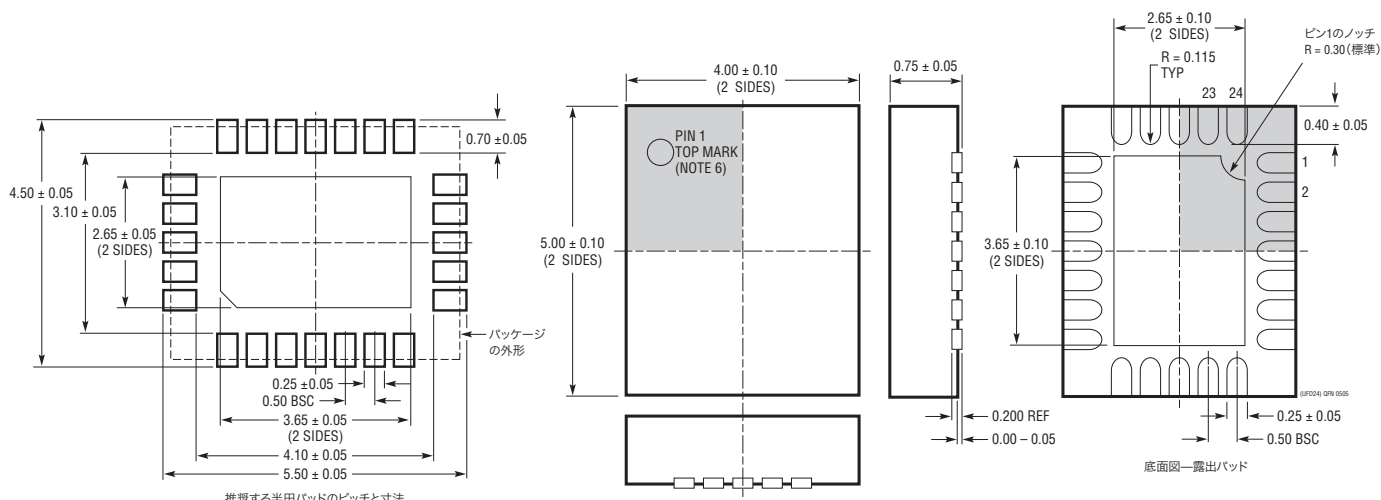


図7. ホットスワップのアプリケーション

パッケージ寸法

UFDパッケージ
24ピン・プラスチックQFN (4mm × 5mm)
(Reference LTC DWG # 05-08-1696)

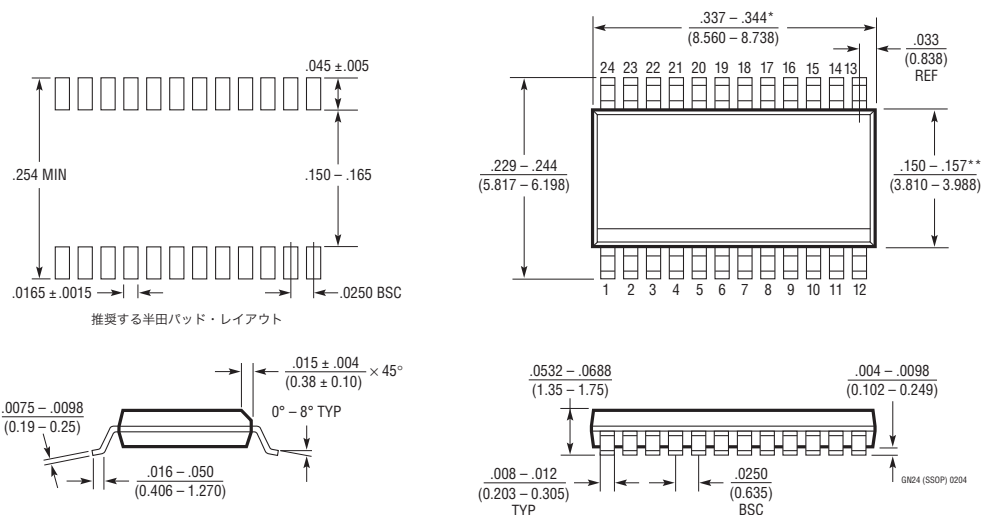


NOTE:

- 図はJEDECパッケージ外形MO-220のバリエーション(WXXX-X)にするよう提案されている
- 図は実寸とは異なる
- すべての寸法はミリメートル
- パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと

- 露出パッドは半田メッキとする
- 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

GNパッケージ
24ピン・プラスチックSSOP
(Reference LTC DWG # 05-08-1641)



NOTE:

- 標準寸法: インチ
- 寸法は $\frac{\text{インチ}}{\text{ミリメートル}}$
- 図は実寸とは異なる

- * 寸法にはモールドのバリを含まない。モールドのバリは各サイドで0.006" (0.152mm) を超えないこと
- ** 寸法にはリード間のバリを含まない。リード間のバリは各サイドで0.010" (0.254mm) を超えないこと

LTC4306

アプリケーション情報

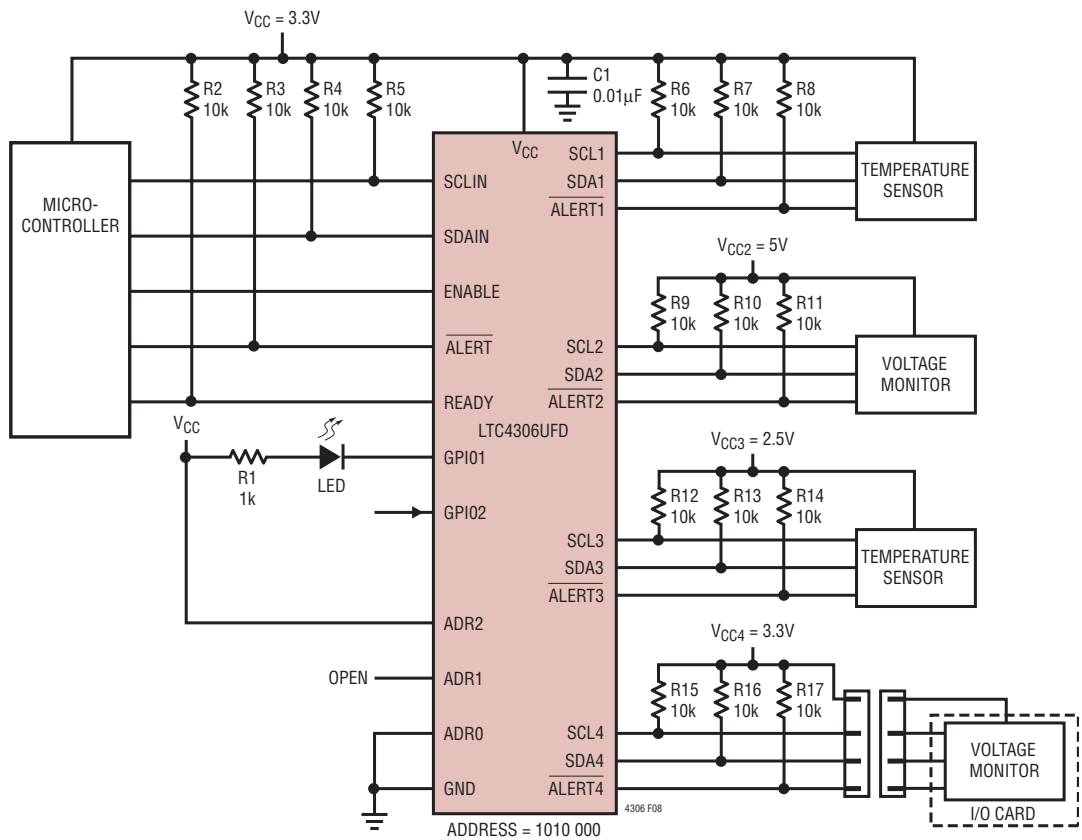


図8. 下り方向側のホットスワップのアプリケーション

関連製品

製品番号	説明	注釈
LTC1380/LTC1393	SMBusインターフェイス付きシングルエンド8チャンネル/差動4チャンネル・アナログ・マルチプレクサ	低 R_{ON} :35Ωシングルエンド/70Ω差動、32シングルまたは16差動チャンネルまで拡張可能
LTC1427-50	SMBusインターフェイス付きマイクロパワー10ビット電流出力DAC	高精度50μA、全温度範囲で±2.5%の許容誤差、4つの選択可能なSMBusアドレス、DACがゼロスケールまたはミッドスケールでパワーアップ
LTC1694/LTC1694-1	SMBusアクセラレータ	SMBus/I ² C立ち上がり時間を改善、複数のSMBus/I ² Cデバイスでデータの完全性を保証
LT [®] 1786F	SMBus制御のCCFLスイッチング・レギュレータ	1.25A、200kHzのフロートまたはグラウンド接続されたランプ構成
LTC1695	ThinSOT [™] のSMBus/I ² Cファンスピード・コントローラ	0.75ΩPMOS 180mAレギュレータ、6ビットDAC
LTC1840	デュアルI ² Cファンスピード・コントローラ	2つの8ビット100μA DAC、2つのタコ入力、4つのGPIO
LTC4300A-1/LTC4300A-2	ホットスワップ可能な2線バス・バッファ	バックプレーンの容量とカードの容量を絶縁
LTC4300A-3	ホットスワップ可能な2線バス・バッファ	レベルシフト機能とイネーブル機能を搭載
LTC4301	電源に依存しないホットスワップ可能な2線バス・バッファ	電源に依存しない
LTC4301L	低電圧レベル変換付き、ホットスワップ可能な2線バス・バッファ	SDAINおよびSCLINで1Vの低いバス・プルアップ電圧が可能
LTC4303/LTC4304	スタックバス復旧機能付き、ホットスワップ可能なバス・バッファ	自動クロッキングでスタックバスを復旧
LTC4305	容量バッファリング付き、2チャンネル2線マルチプレクサ	2つの選択可能な下り方向バス、スタックバス切断、立ち上がり時間アクセラレータ、フォールト報告、±10kV人体モデルESD耐性

ThinSOTはリニアテクノロジー社の商標です。

4306f