

フォワード/フライバック・ コントローラを内蔵した IEEE 802.3bt PD インタフェース

特長

- IEEE 802.3af/at/bt(ドラフト 2.0)受電装置(PD)、
フォワード/フライバック・コントローラを内蔵
- 最大71WのPDをサポート
- 5イベントの分類検出
- 優れたサージ保護(絶対最大定格:100V)
- 広い接合部温度範囲(-40°C ~ 125°C)
- LT4321理想ブリッジと併用時の終端間効率:94%超
- 外付けのHot Swap NチャンネルMOSFETにより、
最小の電力損失と最高のシステム効率に対応
- オプトカプラ不要のフライバック動作
- 最小9Vの補助電源をサポート
- LTPoE++[®] PDをIEEE 802.3bt PDに容易に移行
- LT4276A/B/Cとピン互換
- 28ピン4mm×5mm QFNパッケージ

アプリケーション

- 高出力の無線データ・システム
- 屋外防犯カメラ装置
- 商用情報および公開情報の表示装置
- 高温アプリケーション

概要

LT[®]4295は、IEEE 802.3af/at/bt(ドラフト 2.0)互換の受電装置(PD)インタフェース・コントローラとスイッチング・レギュレータ・コントローラを組み合わせた製品です。T2P出力は、IEEE 802.3bt互換の相互識別時および供給可能な電力のネゴシエーション時に受け取った分類イベントの数を示します。

LT4295は、フォワードとフライバックの両方の電源構成をサポートします。フライバック構成では、オプトカプラ不要の帰還をサポートします。補助入力電圧は、AUXピンに接続した抵抗分割器だけで正確に検出することができます。

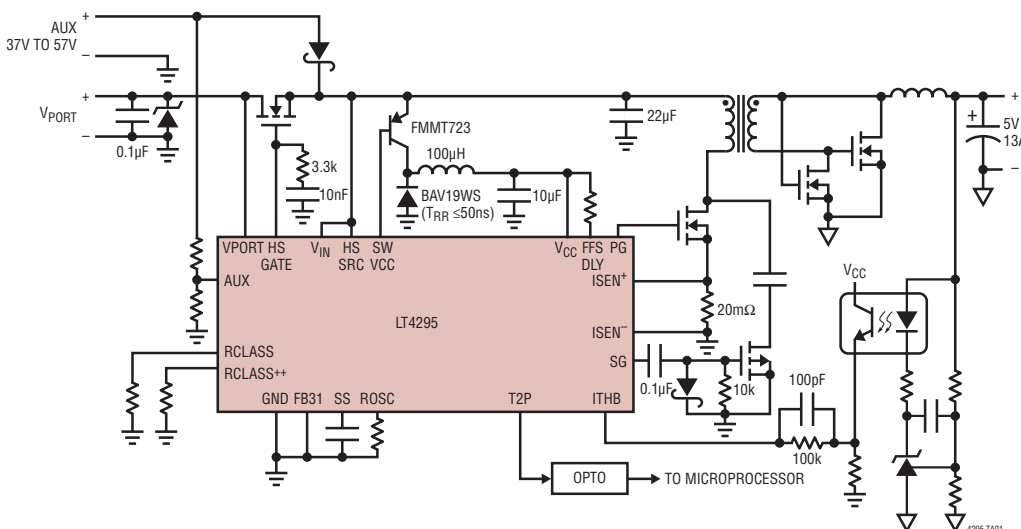
LT4295は、低 $R_{DS(on)}$ の外付けNチャンネルHot Swap MOSFETを使用し、LT4320/LT4321理想ダイオード・ブリッジをサポートして、終端間の電力供給効率を高め、高価なヒートシンクの必要性をなくします。

また、LT4295は、検出シグネチャ抵抗、過熱保護回路、スロープ補償回路を内蔵しており、更に分類シグネチャ、突入電流、スイッチャ周波数、ゲート駆動遅延、ソフトスタート、負荷補償など、ユーザーが構成可能な数多くの設定が組み込まれています。

LT、LT、LTC、LTM、LTPoE++、Linear TechnologyおよびLinearのロゴは、リニアテクノロジー社の登録商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

IEEE 802.3bt 71W(クラス8)PDコントローラとフォワード・モードでの電源



| クラス | 供給可能電力 |
|-----|--------|
| 0 | 13W |
| 1 | 3.84W |
| 2 | 6.49W |
| 3 | 13W |
| 4 | 25.5W |
| 5 | 40W |
| 6 | 51W |
| 7 | 62W |
| 8 | 71W |

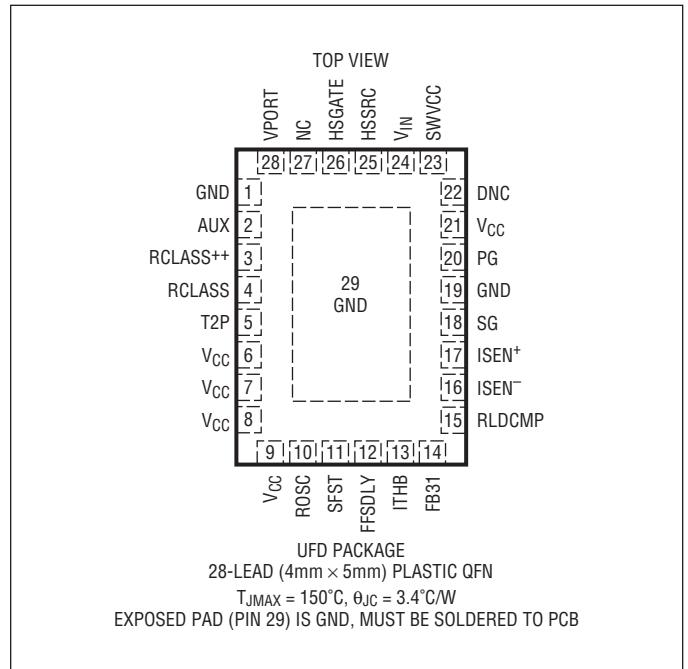
LT4295

絶対最大定格

(Note 1, 2)

| | |
|---|-------------------------|
| VPORT, HSSRC, V_{IN} の電圧 | -0.3 ~ 100V |
| HSGATE の電流 | ±20mA |
| V_{CC} の電圧 | -0.3V ~ 8V |
| RCLASS, RCLASS++ の電圧 | -0.3V ~ 8V (かつ ≤ VPORT) |
| SFST, FFSDLY, ITHB, T2P の電圧 | -0.3 ~ $V_{CC}+0.3V$ |
| ISEN ⁺ , ISEN ⁻ の電圧 | ±0.3V |
| FB31 の電圧 | +12V/-30V |
| RCLASS/RCLASS++ の電流 | -50mA |
| AUX の電流 | ±1.4mA |
| ROSC の電流 | ±100μA |
| RLDCMP の電流 | ±500μA |
| T2P の電流 | -2.5mA |
| 動作接合部温度範囲 (Note 3) | |
| LT4295I | -40°C ~ 85°C |
| LT4295H | -40°C ~ 125°C |
| 保存温度範囲 | -65°C ~ 150°C |

ピン配置



発注情報

<http://www.linear-tech.co.jp/product/LT4295#orderinfo>

| 無鉛仕上げ | テープ・アンド・リール | 製品マーキング* | パッケージ | 温度範囲 |
|----------------|-------------------|----------|-------------------------------|----------------|
| LT4295IUFDPBF | LT4295IUFDPBTRPBF | 4295 | 28-Lead (4mm×5mm) Plastic QFN | -40°C to 85°C |
| LT4295HUFD#PBF | LT4295HUFD#TRPBF | 4295 | 28-Lead (4mm×5mm) Plastic QFN | -40°C to 125°C |

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープ・アンド・リールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

一部のパッケージは、#TRMPBF接尾部を付けることにより、指定の販売経路を通じて500個入りのリールで供給可能です。

電気的特性

● は全動作温度範囲での規格値を意味する。それ以外の規格値は $T_J = 25^\circ\text{C}$ での値。 $V_{VPORT} = V_{HSSRC} = V_{VIN} = 40\text{V}$ 、 $V_{VCC} = V_{CCREG}$ 、 $ROSC$ 、 PG 、および SG は開放、 $R_{FFSDLY} = 5.23\text{k}\Omega$ を GND に接続。注記がない限り、 AUX は GND に接続。(Note 2)

| SYMBOL | PARAMETER | CONDITIONS | MIN | TYP | MAX | UNITS |
|-------------|--|--|-----|------|-----|-------|
| | V_{VPORT} , $HSSRC$, V_{IN} Operating Voltage | At V_{VPORT} Pin | ● | | 60 | V |
| V_{SIG} | V_{VPORT} Detection Signature Range | At V_{VPORT} Pin | ● | 1.5 | 10 | V |
| V_{CLASS} | V_{VPORT} Classification Signature Range | At V_{VPORT} Pin | ● | 12.5 | 21 | V |
| V_{MARK} | V_{VPORT} Mark Event Range | At V_{VPORT} Pin, After 1st Classification Event | ● | 5.6 | 10 | V |
| | V_{VPORT} AUX Range | At V_{VPORT} Pin, $V_{AUX} \geq 6.45\text{V}$ | ● | 8 | 60 | V |
| | Detect/Class Hysteresis Window | | ● | 1.0 | | V |
| | Reset Threshold | | ● | 2.6 | 5.6 | V |
| V_{HSON} | Hot Swap Turn-On Voltage | | ● | 35 | 37 | V |
| V_{HSOFF} | Hot Swap Turn-Off Voltage | | ● | 30 | 31 | V |
| | Hot Swap On/Off Hysteresis Window | | ● | 3 | | V |

電源電流

| | | | | | | | |
|--|--|---|---|-----|-----|-----|----|
| | V_{VPORT} , $HSSRC$ & V_{IN} Supply Current | $V_{VPORT} = V_{HSSRC} = V_{VIN} = 60\text{V}$ | ● | | 2 | mA | |
| | V_{VPORT} Supply Current During Classification | $V_{VPORT} = 17.5\text{V}$, R_{CLASS} , $R_{CLASS++}$ Open | ● | 0.7 | 1.0 | 1.3 | mA |
| | V_{VPORT} Supply Current During Mark Event | $V_{VPORT} = V_{MARK}$ after 1st Classification Event | ● | 0.4 | | 2.2 | mA |

検出シグネチャと分類シグネチャ

| | | | | | | | |
|--|---|---|---|------|------|------|------------|
| | Detection Signature Resistance | V_{SIG} (Note 4) | ● | 23.6 | 24.4 | 25.5 | k Ω |
| | Resistance During Mark Event | V_{MARK} (Note 4) | ● | 5.2 | 8.3 | 11.4 | k Ω |
| | $R_{CLASS}/R_{CLASS++}$ Voltage | $-10\text{mA} \geq I_{RCLASS} \geq -36\text{mA}$, V_{CLASS} | ● | 1.36 | 1.40 | 1.43 | V |
| | Classification Signature Stability Time | V_{VPORT} Step GND to 17.5V , 35.7Ω from R_{CLASS} to GND | ● | | | 2 | ms |

デジタル・インタフェース

| | | | | | | | |
|------------|-----------------|---|---|------|------|------|---------------|
| V_{AUXT} | AUX Threshold | $V_{VPORT} = 17.5\text{V}$, $V_{IN} = V_{HSSRC} = 18.5\text{V}$ | ● | 6.05 | 6.25 | 6.45 | V |
| I_{AUXH} | AUX Pin Current | $V_{AUX} = 6.05\text{V}$, $V_{VPORT} = 17.5\text{V}$, $V_{IN} = 9\text{V}$, $V_{CC} = 0\text{V}$ | ● | 3.3 | 5.3 | 7.3 | μA |
| | T2P Output High | $V_{VCC} - V_{T2P}$, -1mA Load | ● | | | 0.3 | V |
| | T2P Leakage | $V_{T2P} = 0\text{V}$ | ● | -1 | | 1 | μA |

活線挿抜制御

| | | | | | | | |
|-----------|--------------------------|--|---|-----|-----|-----|---------------|
| I_{GPU} | HSGATE Pull Up Current | $V_{HSGATE} - V_{HSSRC} = 5\text{V}$ (Note 5) | ● | -27 | -22 | -18 | μA |
| | HSGATE Voltage | $-10\mu\text{A}$ Load, with respect to $HSSRC$ | ● | 10 | | 14 | V |
| | HSGATE Pull Down Current | $V_{HSGATE} - V_{HSSRC} = 5\text{V}$ | ● | 400 | | | μA |

内部 V_{CC} 電源

| | | | | | | | |
|-------------|-----------------------------|--|---|-----|-----|-----|---|
| V_{CCREG} | V_{CC} Regulation Voltage | | ● | 7.2 | 7.6 | 8.0 | V |
|-------------|-----------------------------|--|---|-----|-----|-----|---|

帰還アンプ

| | | | | | | | |
|------------|--|---|---|------|------|------|-----------------|
| V_{FB} | FB31 Regulation Voltage | | ● | 3.11 | 3.17 | 3.23 | V |
| | FB31 Pin Bias Current | $RLDCMP$ Open | | | -0.1 | | μA |
| gm | Feedback Amplifier Average Trans-Conductance | Time Average, $-2\mu\text{A} < I_{ITHB} < 2\mu\text{A}$ | ● | -52 | -40 | -26 | $\mu\text{A/V}$ |
| I_{SINK} | ITHB Average Sink Current | Time Average, $V_{FB31} = 0\text{V}$ | ● | 4.4 | 8.0 | 13.4 | μA |

ソフトスタート

| | | | | | | | |
|------------|------------------|---------------------------------------|---|-----|-----|-----|---------------|
| I_{SFST} | Charging Current | $V_{SFST} = 0.5\text{V}, 3.0\text{V}$ | ● | -49 | -42 | -36 | μA |
|------------|------------------|---------------------------------------|---|-----|-----|-----|---------------|

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外の規格値は $T_J = 25^\circ\text{C}$ での値。 $V_{VPORT} = V_{HSSRC} = V_{VIN} = 40\text{V}$ 、 $V_{VCC} = V_{CCREG}$ 、ROSC、PG、およびSGは開放、 $R_{FFSDLY} = 5.23\text{k}\Omega$ をGNDに接続。注記がない限り、AUXはGNDに接続。(Note 2)

| SYMBOL | PARAMETER | CONDITIONS | MIN | TYP | MAX | UNITS | |
|------------------------------------|---|---|-----|----------------|------|-------|------|
| ゲート出力 | | | | | | | |
| | PG, SG Output High Level | $I = -1\text{mA}$ | ● | $V_{CC} - 0.1$ | | V | |
| | PG, SG Output Low Level | $I = 1\text{mA}$ | ● | | 1 | V | |
| | PG Rise Time, Fall Time | PG = 1000pF | | 15 | | ns | |
| | SG Rise Time, Fall Time | SG = 400pF | | 15 | | ns | |
| 電流検出/過電流 | | | | | | | |
| V_{FAULT} | Overcurrent Fault Threshold | $V_{ISEN+} - V_{ISEN-}$ | ● | 125 | 140 | 155 | mV |
| $\Delta V_{SENSE}/\Delta V_{ITHB}$ | Current Sense Comparator Threshold with Respect to V_{ITHB} | | ● | -130 | -111 | -92 | mV/V |
| $V_{ITHB(OS)}$ | V_{ITHB} Offset | | ● | 3.03 | 3.17 | 3.33 | V |
| タイミング | | | | | | | |
| f_{OSC} | Default Switching Frequency | ROSC Pin Open | ● | 200 | 214 | 223 | kHz |
| | Switching Frequency | 45.3k Ω from ROSC to GND | ● | 280 | 300 | 320 | kHz |
| f_{T2P} | T2P Signal Frequency | | | $f_{sw}/256$ | | | |
| | T2P Duty Cycle in PoE Operation (Note 7) | After 4-Event Classification After 5-Event Classification (RCLASS++ Has Resistor to GND) | | 50 | 25 | | % |
| | T2P Duty Cycle in Auxiliary Supply Operation (Note 7) | $V(AUX) > V_{AUXT}$, and RCLASS++ Has Resistor to GND | | 25 | | | % |
| t_{MIN} | Minimum PG On Time | | ● | 175 | 250 | 330 | ns |
| D_{MAX} | Maximum PG Duty Cycle | | ● | 63 | 66 | 70 | % |
| $t_{PGDELAY}$ | PG Turn-On Delay-Flyback | 5.23k Ω from FFSDLY to GND | | 45 | | | ns |
| | PG Turn-On Delay-Forward | 52.3k Ω from FFSDLY to GND 10.5k Ω from FFSDLY to V_{CC} 52.3k Ω from FFSDLY to V_{CC} | | 171 | 92 | 391 | ns |
| $t_{FBDELAY}$ | Feedback Amp Enable Delay Time | | | 350 | | | ns |
| t_{FB} | Feedback Amp Sense Interval | | | 550 | | | ns |
| t_{PGSG} | PG Falling to SG Rising Delay Time-Flyback | Resistor from FFSDLY to GND | | 20 | | | ns |
| | PG Falling to SG Falling Delay Time-Forward | 10.5k Ω from FFSDLY to V_{CC} 52.3k Ω from FFSDLY to V_{CC} | | 67 | 301 | | ns |
| t_{START} | Start Timer (Note 6) | Delay After Power Good | ● | 80 | 86 | 93 | ms |
| t_{FAULT} | Fault Timer (Note 6) | Delay After Overcurrent Fault | ● | 80 | 86 | 93 | ms |
| I_{MPS} | MPS Current | | ● | 10 | 12 | 14 | mA |

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2: すべての電圧値は(注記がない限り)GNDを基準にしている。注記がない限り、正電流はピンに流れ込み、負電流はピンから流れ出す。

Note 3: このデバイスは短時間の過負荷状態の間デバイスを保護するための過熱保護機能を備えている。過熱保護機能が動作しているとき接合部温度は 150°C を超えることがある。規定された最大動作接合部温度を超えた状態で動作が継続すると、デバイスの信頼性を損なう恐れがある。

Note 4: 検出シグネチャ抵抗の仕様には、ポート抵抗が最大1.1k Ω 増加する可能性がある外付けダイオード・ブリッジによる追加の抵抗は含まれない。

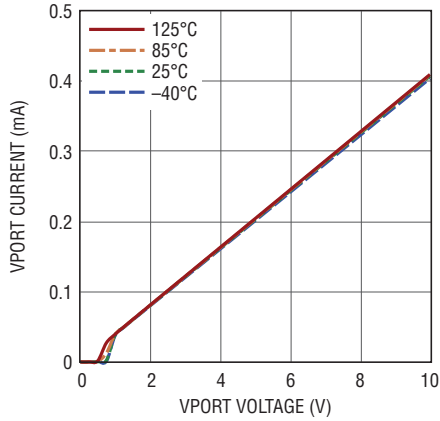
Note 5: PoE受電動作時に流れる I_{GPU} 。つまり、 $V(VPORT)$ が $V_{HSOFF} \sim 60\text{V}$ の範囲で、 $V(VPORT) > V_{HSON}$ かつ $V(AUX) < V_{AUXT}$ となった後に流れる電流。

Note 6: 設計によって保証されているが、テストされない。

Note 7: T2Pが V_{CC} に対して低インピーダンスである時間の割合(%)として規定されている。

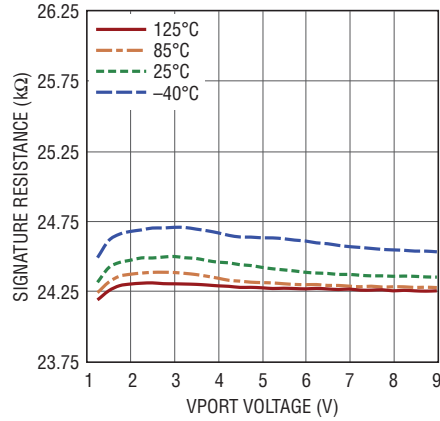
標準的性能特性

入力電流と入力電圧
25kの検出シグネチャの範囲



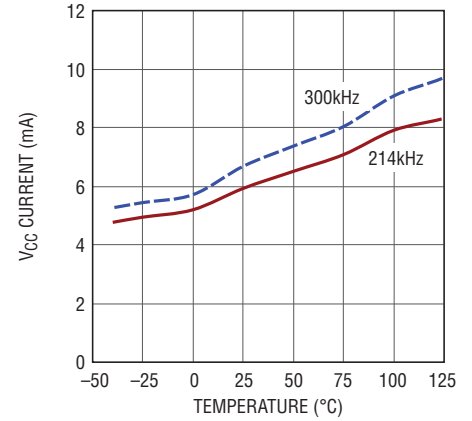
4295 G01

検出シグネチャ抵抗と入力電圧



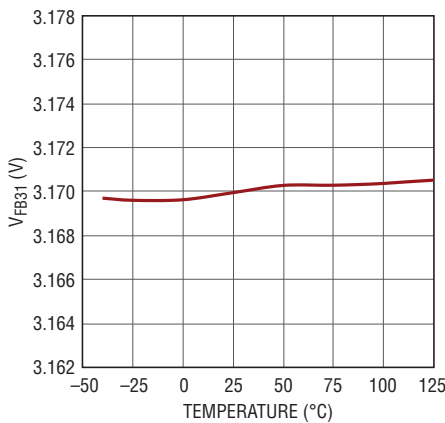
4295 G02

VCCの電流と温度



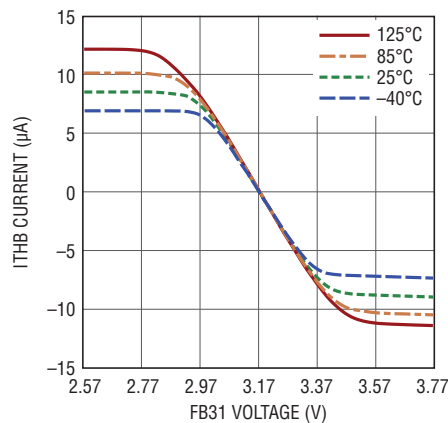
4295 G03

VFB31と温度



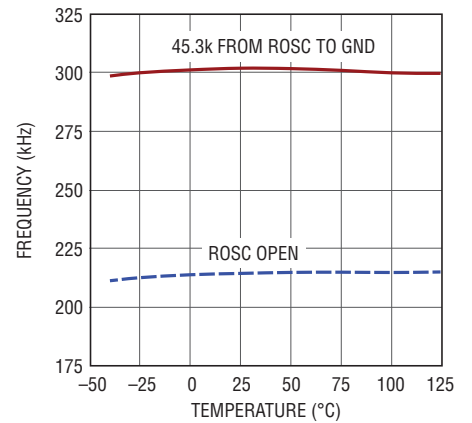
4295 G04

帰還アンプの出力電流とVFB31



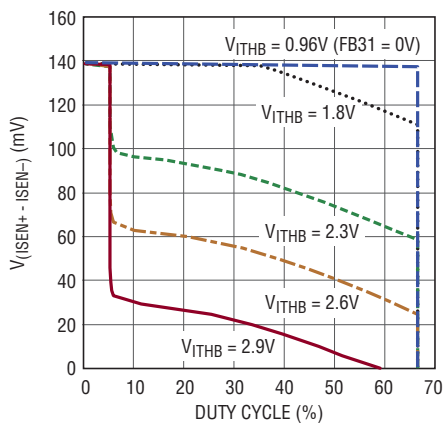
4295 G05

スイッチング周波数と温度



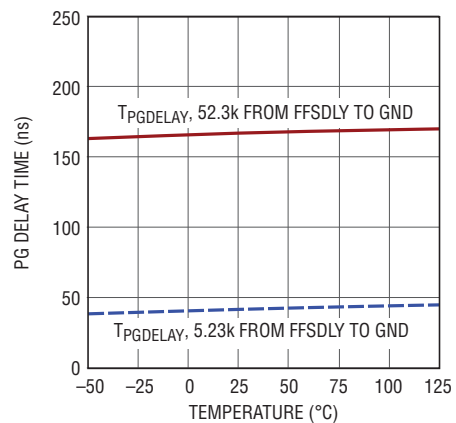
4295 G06

電流検出電圧と
デューティ・サイクル、ITHB



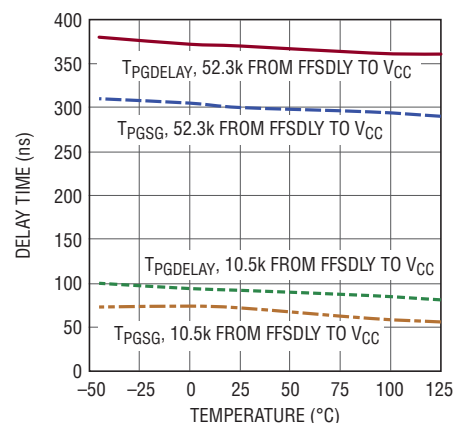
4295 G07

フライバック・モードでの
PGの遅延時間と温度



4295 G08

フォワード・モードでの
PG、SGの遅延時間と温度



4295 G09

ピン機能

GND (ピン1、19、露出パッドのピン29) : デバイスのグラウンド。露出パッドは、ピン1、19、およびPCBのGNDに電気的および熱的に接続する必要があります。

AUX (ピン2) : 補助検出ピン。補助電源入力からの抵抗分割器を介してAUXをアサートし、補助電源が供給を引き継ぐ電圧を設定します。AUXをアサートすると、HSGATEのプルダウン、検出シグネチャ抵抗の切断、および分類シグネチャのデイスエーブルが実行されます。AUXピンは、その電圧がしきい値電圧 V_{AUXT} より低くなると、 I_{AUXH} が流れ込んでヒステリシス特性を示します。使用しない場合は、GNDに接続します。

RCLASS++ (ピン3) : クラス選択入力。表1に従ってRCLASS++とGNDの間に抵抗を接続します。

RCLASS (ピン4) : クラス選択入力。表1に従ってRCLASSとGNDの間に抵抗を接続します。

T2P (ピン5) : PSEタイプのインジケータ。 V_{CC} を基準にしたオープンドレイン出力。ピンの動作については「アプリケーション情報」のセクションを参照してください。

V_{CC} (ピン6、7、8、9、21) : スwitchング・レギュレータ・コントローラの電源電圧。表2に示すように、ローカルのセラミック・コンデンサを V_{CC} (ピン21)とGND (ピン19)の間でLT4295にできるだけ近づけて接続します。

ROSC (ピン10) : プログラム可能な周波数調整。GNDとの間に抵抗を接続して、動作周波数を設定します。デフォルトの周波数である214kHzにする場合は開放状態のままにします。

SFST (ピン11) : ソフトスタート。GNDとの間にコンデンサを接続して、ソフトスタートのタイミングを設定します。

FFSDLY (ピン12) : フォワード／フライバックの選択と1次側のゲート遅延時間の調整。GNDとの間に抵抗を接続して、フライバック構成のゲート駆動遅延時間を調整します。 V_{CC} との間に抵抗を接続して、フォワード構成のゲート駆動遅延時間を調整します。

ITHB (ピン13) : 電流しきい値制御。このピンの電圧は外付けの1次側FETのピーク電流に対応します。ITHBと電流検出コンパレータの入力(V_{SENSE})との間の電圧利得は負であることに注意してください。

FB31 (ピン14) : 帰還入力。フライバック・モードでは、3次巻線帰還からの外付け抵抗分割器を接続します。リファレンス電圧は3.17Vです。フォワード・モードではGNDに接続します。

RLDCMP (ピン15) : 負荷補償の調整。GNDとの間にオプションの抵抗を接続することにより、出力電圧の設定値をスイッチング電流のピーク値の関数として制御します。負荷補償が必要ない場合は、RLDCMPを開放のままにします。

ISEN⁻ (ピン16) : 電流検出端子、負入力。電流検出抵抗の帰還側までの専用トレースとして配線します。

ISEN⁺ (ピン17) : 電流検出端子、正入力。電流検出抵抗の検出側までの専用トレースとして配線します。

SG (ピン18) : 2次側の(同期)ゲート駆動出力。

PG (ピン20) : 1次側のゲート駆動出力。

DNC (ピン22) : 接続しないでください。このピンは開放状態のままにします。

SWVCC (ピン23) : V_{CC} の降圧レギュレータのスイッチ・ドライバ。このピンは、降圧レギュレータ内のPNPのベースを駆動して V_{CC} を発生します。

V_{IN} (ピン24) : 降圧レギュレータの電源電圧。通常は π フィルタによりHSSRCから分離されます。

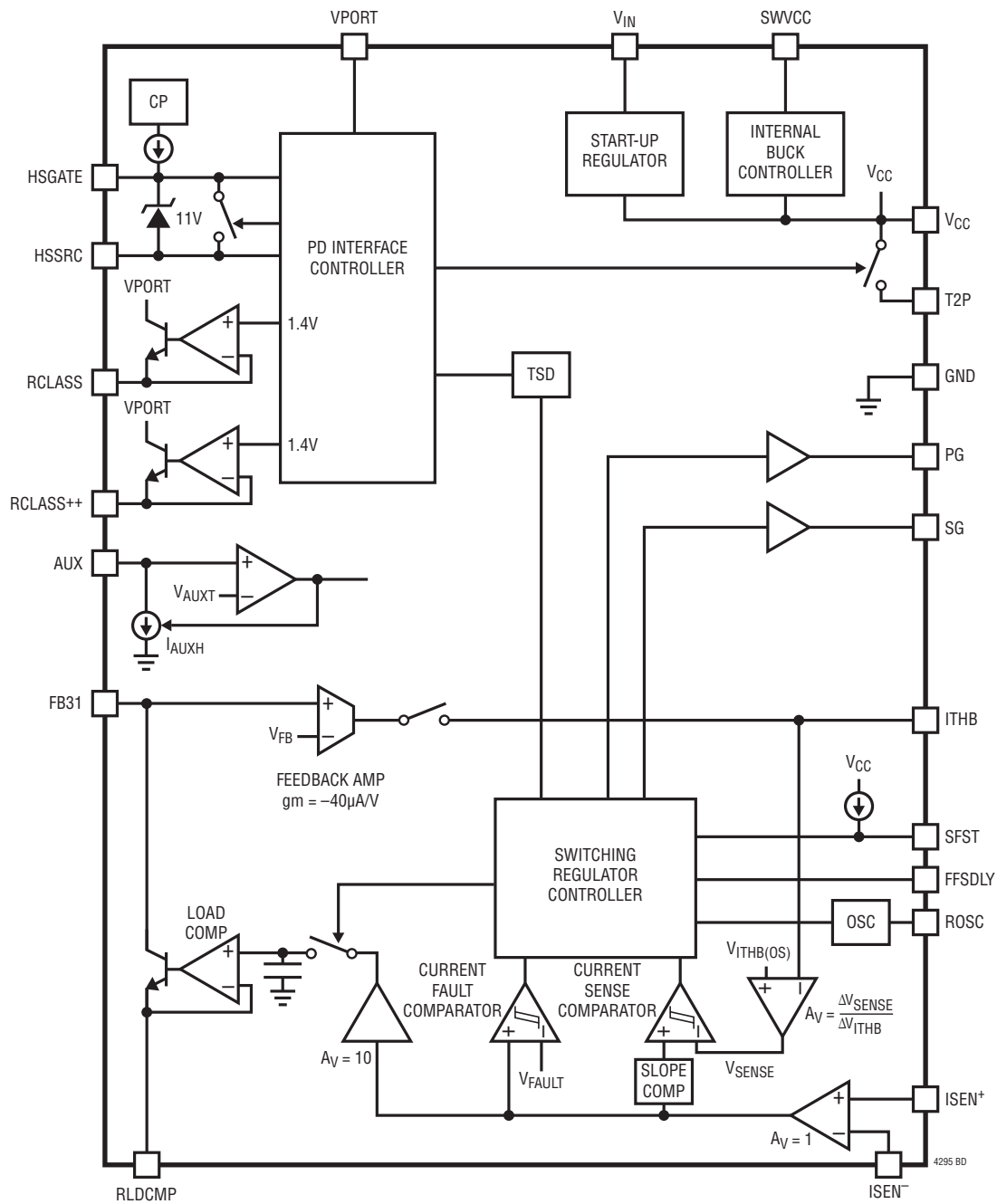
HSSRC (ピン25) : 外付けHot Swap MOSFETのソース。外付けMOSFETのソースに接続します。

HSGATE (ピン26) : 外付けHot Swap MOSFETのゲート制御出力。GNDとの間に接続した容量により、突入時間が決まります。

NC (ピン27) : 接続なし。内部で接続されていません。

VPORT (ピン28) : PDインタフェースの電源電圧と外付けHot Swap MOSFETのドレイン接続。

ブロック図



アプリケーション情報

概要

Power over Ethernet (PoE) 製品は、RJ45 コネクタ1つで、DC 電力と高速データの組み合わせたというメリットを得られることから、ますます普及が進んでいます。LT4295はIEEE 802.3bt (ドラフト2.0) 互換であり、最大71Wの動作が可能である上に、既存のPSEシステムとの下位互換性を維持します。LT4295はPoE PDインタフェース・コントローラとスイッチング・レギュレータ・コントローラを組み合わせた製品で、フライバックまたはフォワード構成の絶縁電源動作が可能です。

従来製品との大きな違い

LT4295には、従来のリニアテクノロジー製品と大きく異なる点があります。これらの違いの概要を以下に示します。

IEEE 802.3btとLTPoE++での供給可能なPD電力

LT4295は、最大71WのIEEE 802.3bt PD電力レベルをサポートします。71Wより大きな電力を要求するPDは、IEEE 802.3btの許容電力レベルを超えています。

LT4275およびLT4276は、LTPoE++規格のもとで最大90WのPD電力レベルをサポートすることができます。LTPoE++のPSEおよびPDの一覧については、「関連製品」のセクションを参照してください。

ITHBは通常のITHピンの反転出力

ITHBピンの電圧は、電流検出コンパレータのしきい値 V_{SENSE} と反比例の関係にあります。更に、ITHBピンのオフセット電圧 $V_{ITHB(OS)}$ は3.17Vです。図1を参照してください。

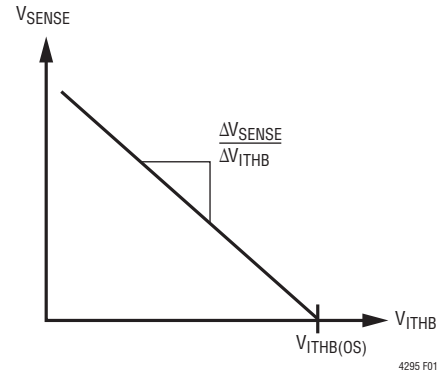


図1. V_{SENSE} と V_{ITHB}

デューティ・サイクル・ベースのソフトスタート

LT4295は、ITHBに電荷を注入する、デューティ・サイクル・ランプ式のソフトスタートを使用します。これにより、安価な外付け部品を使用して、顕著なオーバーシュートを発生させずに起動することができます。

帰還ピンFB31は1.25Vではなく3.17V

エラーアンプの帰還電圧 V_{FB} は3.17Vです。

フライバック・モード/フォワード・モードをピンで選択可能

GNDとの間に抵抗を接続してFFSDLYをプルダウンすると、LT4295はフライバック・モードで動作します。また、 V_{CC} との間に抵抗を接続してFFSDLYをプルアップすると、フォワード・モードで動作します。この抵抗の値により、 $t_{PGDELAY}$ と t_{PGSG} が決まります。

表1. シングル・シグネチャ分類コード、電力レベル、および抵抗の選択

| クラス | PD供給電力 | PDタイプ | クラスの公称電流 | 抵抗(1%) | |
|-----|--------|-------------|-------------|------------------|--------------------|
| | | | | R _{CLS} | R _{CLS++} |
| 0 | 13W | Type 1 | 2.5mA | 1.00kΩ | Open |
| 1 | 3.84W | Type 1 or 3 | 10.5mA | 150Ω | Open |
| 2 | 6.49W | Type 1 or 3 | 18.5mA | 80.6Ω | Open |
| 3 | 13W | Type 1 or 3 | 28mA | 52.3Ω | Open |
| 4 | 25.5W | Type 2 or 3 | 40mA | 35.7Ω | Open |
| 5 | 40W | Type 3 | 40mA/2.5mA | 1.00kΩ | 37.4Ω |
| 6 | 51W | Type 3 | 40mA/10.5mA | 150Ω | 47.5Ω |
| 7 | 62W | Type 4 | 40mA/18.5mA | 80.6Ω | 64.9Ω |
| 8 | 71W | Type 4 | 40mA/28mA | 52.3Ω | 118Ω |

アプリケーション情報

T2Pピンの応答

T2Pピンの出力は、分類/マークのイベント数と、PoEまたは補助電源動作に応じて、V_{CC}に対して高インピーダンス、V_{CC}に対して低インピーダンス、50%のデューティ・サイクル、または25%のデューティ・サイクルになります。「アプリケーション情報」の「T2P出力」のセクションを参照してください。

V_{CC}の電力は内部駆動の降圧レギュレータにより供給

LT4295は降圧レギュレータ・コントローラを内蔵しており、これを使用してV_{CC}電源電圧を生成する必要があります。

PoEの動作モード

LT4295には複数の動作モードがあり、V_PPORTピンに加わる入力電圧の順序によって決まります。

検出シグネチャ

検出時に、PSEはデバイスをPDとして認識する25kΩの検出シグネチャ抵抗を探します。LT4295の検出シグネチャ抵抗は、IEEEが要求するダイオード・ブリッジまたはLT4321ベースの理想ダイオード・ブリッジによって増加する直列抵抗を補うために、25kよりも小さな値になっています。

IEEE 802.3btのシングル・シグネチャPDとデュアル・シグネチャPD

IEEE 802.3btは、シングル・シグネチャとデュアル・シグネチャという2つのPDトポロジーを規定しています。LT4295は主にシングル・シグネチャPDトポロジーを対象にしているため、別のPDコントローラは必要ありません。このデータシートでのPDの説明およびIEEE 802.3規格の参考文献は、全てシングル・シグネチャPDの範囲内に限られます。

LT4295は、デュアル・シグネチャPDアプリケーションに採用することもできます。詳細については、弊社にお問い合わせください。

分類シグネチャおよびマーク

分類/マークのプロセスは、PSEのタイプによって異なります。PSEは、検出に成功すると、15.5V～20.5Vの分類プローブ電圧を印加して、PD分類シグネチャ電流を測定します。PSEは、いったん分類プローブ電圧を印加すると、PDの電圧をマーク電圧の範囲内に戻してから、別の分類プローブ電圧を印加するか、またはPDに電力を供給します。

1イベント分類の一例を図2に示します。2イベント分類では、PSEは、図3に示すように電力分類のプロービングを2回行います。IEEE 802.3bt PSEは、PDに電力を供給する前に、最大で5つのイベントを適用することができます。

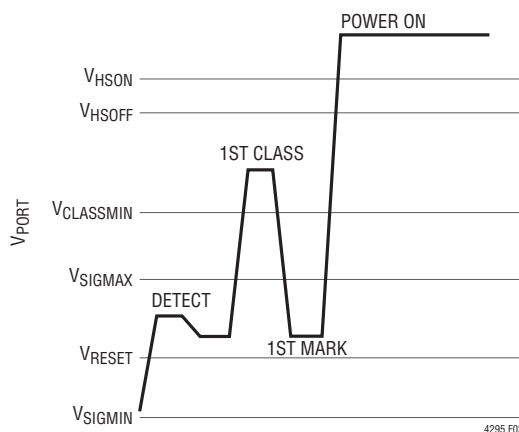


図2. 1イベント分類の信号波形

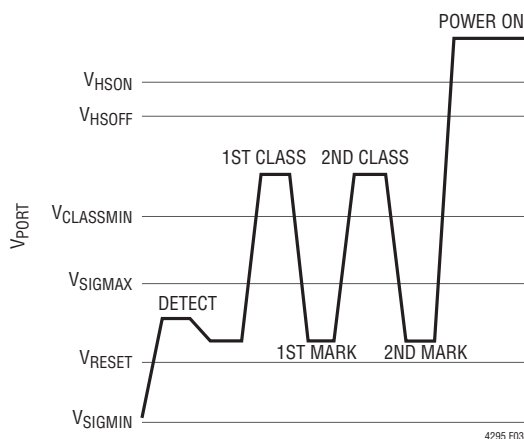


図3. 2イベント分類/マークの信号波形

IEEE 802.3btの物理的な分類と格下げ

IEEE 802.3btは、物理的な分類を定義して、PDがその電力分類を接続先のPSEに伝達し、PSEがその供給可能電力をPDに通知することができます。PDの要求電力レベルをPSEが供給できない場合は、格下げが行われます。格下げされると、PDはより低い電力状態で動作する必要があります。

IEEE 802.3btは、表1に示すように、9つのPDクラスと4つのPDタイプを規定しています。LT4295のクラスは、R_{CLS}とR_{CLS++}の抵抗値を設定することによって構成されます。

IEEE 802.3bt PSEは、クラス0～3のPDに1つの分類イベント(図2参照)を示します。クラス0～3のPDは、そのクラス・シグネチャをPSEに提示し、十分な電力が得られる場合は電源が投入されます。電力が制限されたIEEE 802.3bt PSEは、ク

アプリケーション情報

ラス4以上のPDを13Wに格下げするために、これらのPDに対して1つのイベントを発行することがあります。

IEEE 802.3bt PSEは、クラス4のPDに対して、タイプに応じて最大3つの分類イベントを示します(図4参照)。クラス4のPDは、全てのイベントにクラス・シグネチャ4を示します。この第3のイベントにより、クラス4のPDは上位クラスのPDと区別されます。電力が制限されたIEEE 802.3bt PSEは、クラス5以上のPDを25.5Wに格下げするために、これらのPDに対して3つのイベントを発行することがあります。

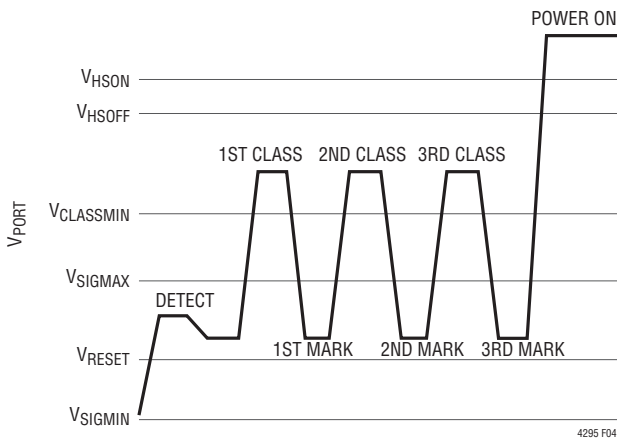


図4. 3イベント分類/マークの信号波形

IEEE 802.3bt PSEは、クラス5および6のPDに4つの分類イベント(図5参照)を示します。クラス5および6のPDは、最初の2つのイベントにクラス・シグネチャ4を示します。クラス5および6のPDは、残りのイベントにそれぞれクラス・シグネチャ0または1を示します。電力が制限されたIEEE 802.3bt PSEは、クラス7以上のPDを51Wに格下げするために、これらのPDに対して4つのイベントを発行することがあります。

IEEE 802.3bt PSEは、クラス7および8のPDに5つの分類イベント(図6参照)を示します。クラス7および8のPDは、最初の2つのイベントにクラス・シグネチャ4を示します。クラス7および8のPDは、残りのイベントにそれぞれクラス・シグネチャ2または3を示します。

PDは分類/マークのイベント数をモニタする必要があるため、この数はLT4295のT2Pピンを介して伝達されます。

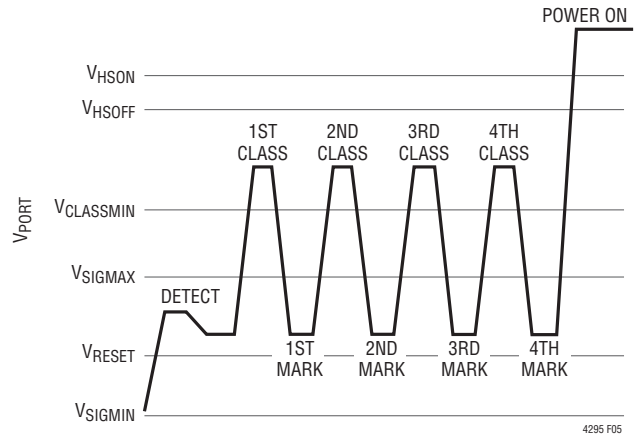


図5. 4イベント分類/マークの信号波形

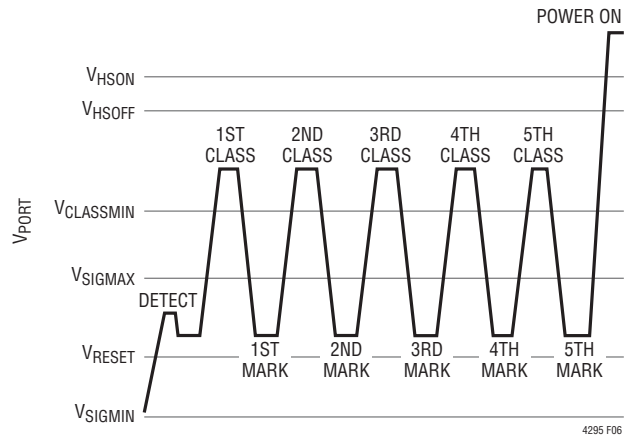


図6. 5イベント分類/マークの信号波形

分類抵抗(R_{CLS} および R_{CLS++})

抵抗 R_{CLS} および R_{CLS++} は、PDの電力分類に対応した分類電流を設定します。表1から R_{CLS} および R_{CLS++} を選択し、許容誤差1%の抵抗を R_{CLASS} 、 $R_{CLASS++}$ ピンとGNDの間に接続します。

マーク・イベント時の検出シグネチャ波形の乱れ

マーク・イベント時に、LT4295は、IEEE 802.3規格で要求されているとおり、ポートに対して11k Ω より低い値を示します。

突入電流および給電

PSEは、検出およびPDの分類(オプション)が完了すると、PDに電源を投入します。PDのポート電圧が V_{HSOON} しきい値を超えると、PSEはHSGATEピンから I_{GPU} を供給し始めます。この電流は外付けコンデンサ(図7の C_{GATE})に流れ込み、外付

アプリケーション情報

けMOSFETのゲート電圧を上昇させる電圧を発生します。外付けのMOSFETはソース・フォロワとして機能し、出力バルク・コンデンサC_{PORT}の電圧を上昇させるので、これによって突入電流I_{INRUSH}が決まります。IEEEの要件を満たすために、I_{INRUSH}は約100mAになるように設計します。

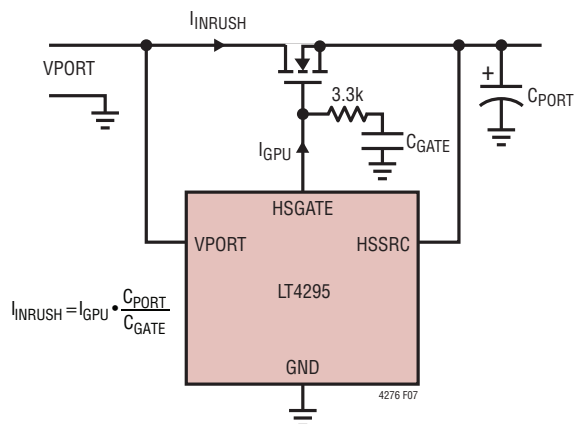


図7. I_{INRUSH}のプログラミング

LT4295では内部チャージポンプによってNチャンネルMOSFETソリューションが可能なので、より大型で高価なPチャンネルFETを置き換えることができます。R_{DS(ON)}の低いMOSFETにより、電力供給と電力効率が最高になり、消費電力と熱放散が減少して、熱設計が容易になります。

遅延後の起動

HSGATEが充電され、その電圧がHSSRCより約7V高くなると外付けのHot Swap MOSFETが完全に導通すると、スイッチング・レギュレータ・コントローラは遅延時間t_{START}の経過後に動作します。

外部V_{CC}電源

外部V_{CC}電源は、図8に示すように降圧レギュレータとして構成する必要があります。降圧レギュレータを最適化するには、表2でV_{IN}の動作範囲に対応する外付け部品の値を使用します。この降圧レギュレータは不連続モードで動作し、インダクタのピーク電流はV_{CC}の平均負荷電流よりかなり大きくなります。したがって、インダクタの飽和電流定格は、表2に示す値を超える必要があります。コンデンサCは、可能な限りV_{CC}(ピン21)とGND(ピン19)の近くに配置します。最適な性能を得るには、これらの部品をLT4295にできるだけ近づけて配置します。

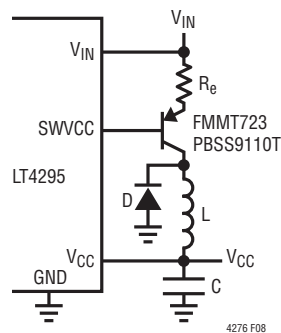


図8. V_{CC}降圧レギュレータ

表2. 降圧レギュレータの部品の選択

| V _{IN} | C | L | I _{SAT} | R _e | D |
|-----------------|--------------|---------------|------------------|----------------|-----------------------------|
| 9V-57V PoE | 22μF 10μF | 22μH 100μH | ≥1.2A ≥300mA | 1Ω 20Ω | Schottky Ultrafast Diode |

補助電源への切り替え

AUXピンの電圧をV_{AUXT}より高く保持すると、LT4295は補助電源動作に移行します。このモードでは、検出シグネチャ抵抗が切り離され、分類が無効になり、HGATEがプルダウンされます。

AUXピンによって、補助電源のターンオン(V_{AUXON})とターンオフ(V_{AUXOFF})電圧しきい値を設定できます。補助電源のヒステリシス電圧V_{AUXHYS}は、AUXピンの電圧がV_{AUXT}より低い場合に限り、シンク電流I_{AUXH}を流すことによって設定されます。V_{AUXON}とV_{AUXOFF}の設定は、次式に従い、図9のR1とR2によって設定します。最大1000pFのコンデンサをAUXピンとGNDの間に接続して、ノイズ耐性を改善することができます。

V_{AUXON}はV_{HSOFF}より低くする必要があります。

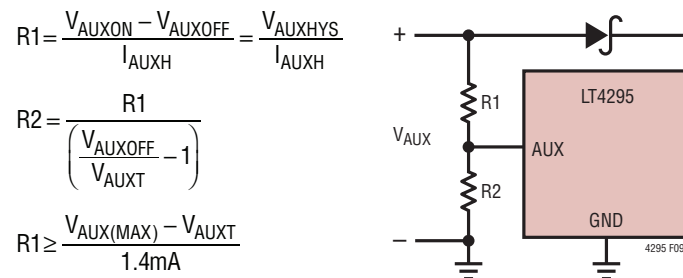


図9. AUXのしきい値とヒステリシスの計算

アプリケーション情報

T2P出力

LT4295は、PDアプリケーションに供給可能な電力をT2Pピンを介して伝達します。T2Pピンの状態は、分類/マークのイベント数、PDの分類シグネチャ、およびPDがPoE動作か補助電源動作かによって決まります。LT4295は、T2Pピンで4ステートの符号化を使用します。

突入電流が流れた後のPoE動作時に、T2PピンはV_{CC}に対して高インピーダンス(Hi-Z)になり、1イベント分類を示します。T2PピンはV_{CC}に対して低インピーダンス(Low-Z)になり、2イベントまたは3イベント分類を示します。T2PピンはV_{CC}に対して50%のデューティ・サイクルで交互に低インピーダンス/高インピーダンスになり、4イベント分類を示します。T2PピンはV_{CC}に対して25%のデューティ・サイクルで低インピーダンスになり、75%のデューティ・サイクルで高インピーダンスになって、5イベント分類を示します。T2Pピンは、f_{T2P}の速度で切り替わります。この機能の概要を表3に示します。

補助電源動作時に、クラス4以下になるよう構成した場合(つまり、RCLASS++ピンがフロート状態)、T2PはV_{CC}に対して低インピーダンスになります。クラス5以上になるよう構成した場合(つまり、RCLASS++ピンとGNDの間に抵抗を接続した場合)、T2Pは25%のデューティ・サイクルで低インピーダンスになります。この機能の概要を表4に示します。

表3. T2Pの応答とPoE動作時の分類/マークのイベント数

| 分類/マークのイベント数 | T2P(対V _{CC}) | PDの電力 |
|--------------|------------------------|-------------------------|
| 1 | Hi-Z | 13W |
| 2 or 3 | Low-Z | 25.5W |
| 4 | 50% Hi-Z/50% Low-Z | Minimum (PD Class, 51W) |
| 5 | 25% Low-Z, 75% Hi-Z | Minimum (PD Class, 71W) |

表4. 補助電源動作時のT2Pの応答

| PDの分類シグネチャ | T2P(対V _{CC}) |
|------------|------------------------|
| 0-4 | Low-Z |
| 5-8 | 25% Low-Z, 75% Hi-Z |

スイッチング・レギュレータ・コントローラの動作

LT4295のスイッチング・レギュレータ・コントローラの部分は、フライバック電源またはフォワード電源を実装することができる電流モード・コントローラです。フライバック・モードで使用する場合は、トランスの3次巻線を介して出力電圧を検出するので、帰還用の光アイソレータが不要です。

フライバック・モード

LT4295は、抵抗R_{FFSDLY}をFFSDLYピンとGNDの間に接続することにより、フライバック・モードに設定されます。この抵抗は5.23kΩ～52.3kΩの範囲内にする必要があります。ポテンショメータを使用してR_{FFSDLY}を調整する場合は、ポテンショメータの調整範囲が52.3kΩを超えないようにします。R_{FFSDLY}の値が決まると、次式に従ってt_{PGDELAY}を求めることができます。

$$t_{PGDELAY} \approx 2.69ns/k\Omega \cdot R_{FFSDLY} + 30ns$$

$$t_{PGSG} \approx 20ns$$

SGピンは、図11に示すように、ゲート駆動トランスを介して2次側のMOSFETに接続する必要があります。図11に示すようにPGとGNDの間にショットキ・ダイオードを追加して、PGの電圧が負にならないようにします。

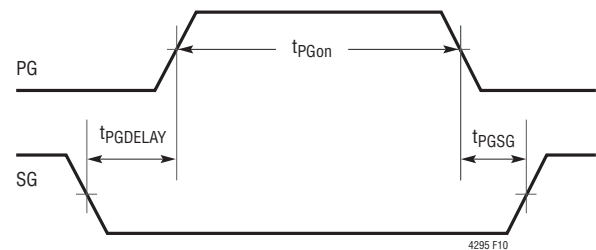


図10. フライバック・モードでのPGとSGのタイミング関係

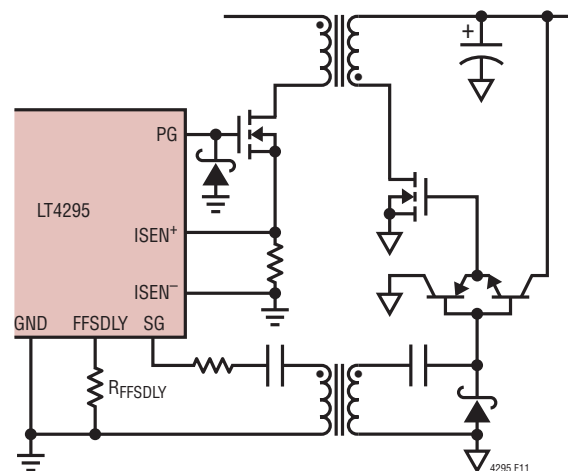


図11. フライバック・モードでのPGとSGの接続の例

アプリケーション情報

フォワード・モード

LT4295は、抵抗 R_{FFSDLY} をFFSDLYピンと V_{CC} の間に接続することにより、フォワード・モードに設定されます。 R_{FFSDLY} 抵抗は $10.5k\Omega \sim 52.3k\Omega$ の範囲内にする必要があります。ポテンショメータを使用して R_{FFSDLY} を調整する場合は、ポテンショメータによる調整値が $52.3k\Omega$ を超えないようにします。

R_{FFSDLY} の値が決まると、次式に従って $t_{PGDELAY}$ および t_{PGSG} を求めることができます。

$$t_{PGDELAY} \approx 7.16ns/k\Omega \cdot R_{FFSDLY} + 17ns$$

$$t_{PGSG} \approx 5.60ns/k\Omega \cdot R_{FFSDLY} + 7.9ns$$

フォワード・モードでのPGとSGの関係を図12に示します。

フォワード・モードでは、図13に示すように、SGピンが正しい極性で、簡単なレベル・シフト回路を介してアクティブ・クランプのPチャンネルMOSFETを駆動します。図13に示すようにPGとGNDの間にショットキ・ダイオードを追加して、PGの電圧が負にならないようにします。

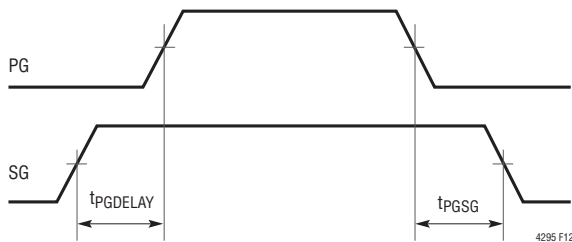


図12. フォワード・モードでのPGとSGのタイミング関係

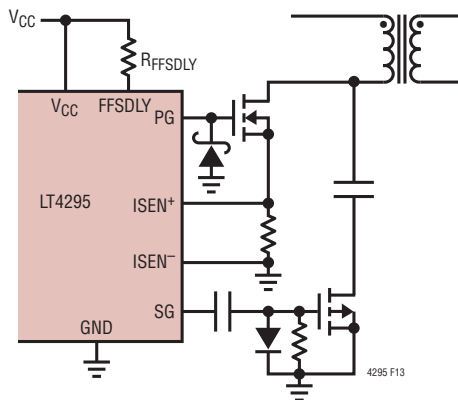


図13. フォワード・モードでのPGとSGの接続の例

帰還アンプ

フライバック・モードでは、図14に示すように、帰還アンプがトランスの3次巻線を介して出力電圧を検出します。図15に示すように、アンプがイネーブルされるのは一定の時間 t_{FB} の間だけです。これにより、絶縁設計から光アイソレータをなくすことができるので、ダイナミック応答と安定性が製品寿命全体を通じて大幅に向上します。 t_{FB} は一定の時間なので、時間平均の相互コンダクタンス g_m は、ユーザーが選択したスイッチング周波数に応じて変化します。

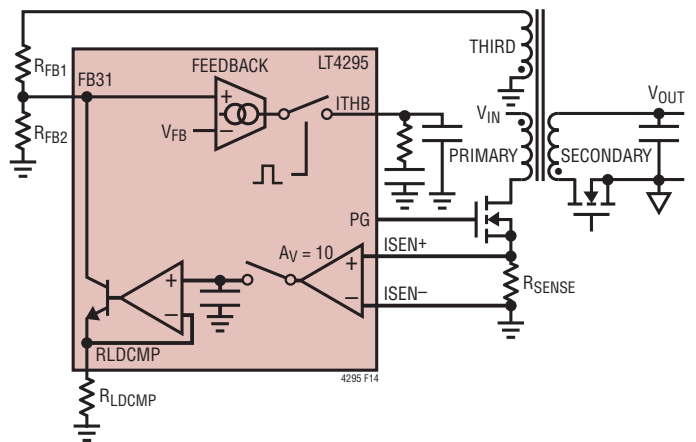


図14. 帰還部品と負荷補償部品の接続

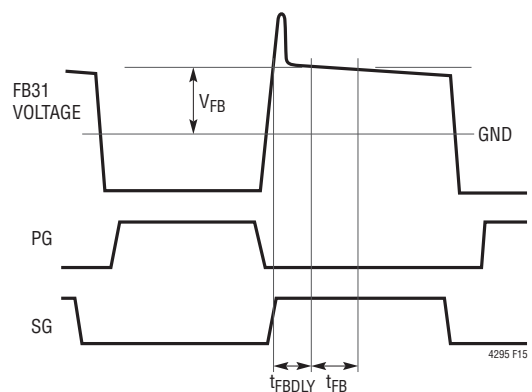


図15. 帰還アンプのタイミング図

アプリケーション情報

帰還アンプ出力、ITHB

ブロック図に示すように、 V_{SENSE} は電流検出コンパレータの入力です。 V_{SENSE} はリニア・アンプの出力から得られ、リニア・アンプの入力はITHBピンの電圧 V_{ITHB} です。

このリニア・アンプは、その入力 V_{ITHB} を利得 $\Delta V_{SENSE}/\Delta V_{ITHB}$ で反転し、これにオフセット電圧 $V_{ITHB(OS)}$ が加わって、出力 V_{SENSE} を発生します。この関係を図1に示します。勾配 $\Delta V_{SENSE}/\Delta V_{ITHB}$ は負の数値であり、「電気的特性」の表に示してあります。

$$V_{ITHB} = V_{ITHB(OS)} + V_{SENSE} \cdot \left(\frac{\Delta V_{SENSE}}{\Delta V_{ITHB}} \right)^{-1}$$

ブロック図では、電流検出抵抗両端の電圧 $V(ISEN^+) - V(ISEN^-)$ を後述の内部勾配補償電圧で調整した値と、 V_{SENSE} を比較することを示しています。

負荷補償

図15から分かるように、FB31ピンの電圧はフライバック期間中にわずかに低下します。この原因の大半は、2次巻線、同期MOSFETの $R_{DS(ON)}$ 、出力コンデンサのESRなど、2次側の部品の抵抗です。これらの抵抗により、帰還サンプリング期間内に2次ループを流れる電流に比例した帰還誤差が生じます。この誤差を補償するため、LT4295は、1次巻線のピーク電流に比例した電圧をRLDCMPピンに加えます。

帰還抵抗と負荷補償抵抗の決定

2次側にある部品の抵抗値は、通常はよく分かっていないので、帰還抵抗と負荷補償抵抗の値を決定するには、経験的な方法を使う必要があります。

$$\text{INITIALLY SET } R_{FB2} = 2k\Omega$$

$$R_{FB1} \approx R_{FB2} \frac{V_{OUT}}{V_{FB}} \frac{N_{THIRD}}{N_{SECONDARY}} - R_{FB2}$$

抵抗 R_{LDCMP} をRLDCMPピンとGNDの間に接続します。 R_{LDCMP} は10k Ω 以上にする必要があります。全入力範囲および全出力負荷範囲で V_{OUT} の変化を最小限に抑えられるように R_{LDCMP} を調整します。ポテンショメータを10k Ω と直列に接続したものを R_{LDCMP} の初期値として使用して、調整することができます。その後、ポテンショメータ+10k Ω を取り外し、同じ値の固定抵抗に置き換えることができます。この結果得られる V_{OUT} は、負荷補償によって生じるオフセットにより、目的の V_{OUT} とは異なります。これを修正するために R_{FB2} に加える変更は、次式で予想します。

$$\Delta R_{FB2} = \frac{\Delta V_{OUT}}{V_{FB}} \frac{N_{THIRD}}{N_{SECONDARY}} \frac{R_{FB2}^2}{R_{FB1}}$$

ここで、 ΔV_{OUT} は V_{OUT} に対する所望の変更、 ΔR_{FB2} は R_{FB2} に対する必要な変更、

$N_{THIRD}/N_{SECONDARY}$ はトランスの3次巻線と2次巻線の巻数比です。

光アイソレータの帰還

フォワード・モード動作では、トランスの両端に加わるフライバック電圧を検出することはできません。したがって、光アイソレータの帰還を使用する必要があります。光アイソレータの帰還を使用する場合は、FB31をGNDに接続して、RLDCMPピンを開放のままにします。この状態で、帰還アンプは平均シンク電流 I_{SINK} をITHBピンに流し込みます。帰還接続の例を図16に示します。 I_{SINK} はスイッチング周期での時間平均値なので、シンク電流はユーザーが選択したスイッチング周波数に応じて変化することに注意してください。

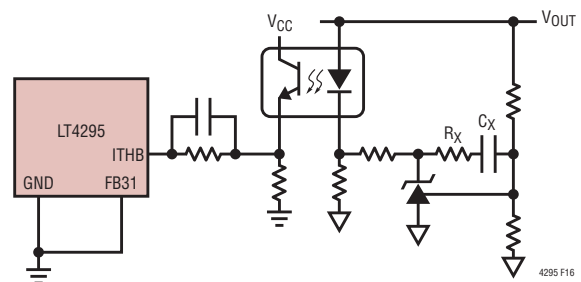


図16. フォワード・モードでの光アイソレータの帰還部品の接続

アプリケーション情報

ソフトスタート

PoEアプリケーションでは、PSEの供給能力を超える電流がPDから流れ出さないように、適切なソフトスタート設計が要求されます。

ソフトスタート時間 t_{SFST} は、おおよそ電源の出力電圧 V_{OUT} が出力容量 C_{OUT} を充電する時間に相当します。この結果、PDのポートに突入電流 I_{port_inrush} が流れます(「アプリケーション情報」のセクションで前述した I_{INRUSH} と混同しないようにしてください)。 t_{SFST} を選択するときは、PSEの供給能力を超える電流がPDから流れ出さないよう注意する必要があります。

出力負荷電流が流れない場合、 I_{port_inrush} は次式で概算します。

$$I_{port_inrush} \approx \frac{C_{OUT} \cdot V_{OUT}^2}{\eta \cdot t_{SFST} \cdot V_{IN}}$$

ここで、 η は電源の効率であり、

V_{IN} はPDの入力電圧です。

負荷電流に起因するポート電流と I_{port_inrush} の和は、PSEが供給できる電流より少なくする必要があります。PSEの電流供給能力は、PSEの動作規格により異なります。

LT4295は、SFSTピンとGNDの間に外付けコンデンサ C_{SFST} を接続することによって t_{SFST} を制御するソフトスタート機能を内蔵しています。LT4295がスイッチングを開始すると、SFSTピンは I_{SFST} によってプルアップされます。SFSTピンの電圧ランプはPGピンのデューティ・サイクル・ランプに比例します。

フライバック・モードでは、ソフトスタート時間は次のようになります。

$$t_{SFST} = \frac{600\mu A}{nF} \left(\frac{C_{SFST}}{I_{SFST}} \right) (t_{PGon} + t_{PGDELAY} - t_{MIN})$$

ここで t_{PGon} は、図10に示すように、電源が定常状態になった後、PGが“H”になっている時間です。

フォワード・モードでは、後出のページの各アプリケーション回路図で t_{SFST} と C_{SFST} の表を示します。アプリケーションを選択し、目的のソフトスタート時間に対応する C_{SFST} の値を選びます。

電流検出コンパレータ

LT4295は、差動電流検出コンパレータを使用して、寄生抵抗と寄生インダクタンスが1次側電流の測定に及ぼす影響を低減します。ISEN⁺およびISEN⁻は、検出抵抗パッドにケルビン接続する必要があります。

ほとんどのスイッチング・レギュレータ・コントローラと同様に、電流検出コンパレータはPGがオンしてから t_{MIN} 経過後に電流の検出を開始します。その後、ISEN⁺とISEN⁻の間の電圧が電流検出コンパレータのしきい値 V_{SENSE} を超えると、コンパレータはPGをオフします。ISEN⁺とISEN⁻の間の電圧は、LT4295の内部スロープ補償により調整されます。

スロープ補償

LT4295は、電流スロープ補償回路を内蔵しています。スロープ補償が必要なのは、デューティ・サイクルが50%前後かそれ以上である場合、電流ループの安定性を確保するためです。LT4295のスロープ補償によって、高いデューティ・サイクルでの最大ピーク電流が減少することはありません。

制御ループ補償

フライバック・モードでは、図14に示すように、帰還アンプの出力(ITHBピン)とGNDの間に抵抗/コンデンサ回路網を接続することにより、ループ周波数を補償します。フォワード・モードでは、図16の R_X および C_X を変化させることによってループ補償を実行します。

調整可能なスイッチング周波数

LT4295のデフォルトのスイッチング周波数 f_{OSC} は、ROSCピンを開放のままにした場合、214kHzです。スイッチング周波数 f_{SW} を高くする必要がある場合(最大300kHz)は、45.3k Ω 以上の抵抗をROSCピンとGNDの間に追加することができます。抵抗は次式で計算することができます。

$$R_{OSC} = \frac{3900k\Omega \cdot kHz}{(f_{SW} - f_{OSC})} (k\Omega)$$

短絡時の応答

電源の出力電圧が短絡するか過負荷状態になった場合、またはソフトスタート・コンデンサの容量が小さすぎる場合は、検出ピン間の電圧が V_{FAULT} を超えると(t_{MIN} のブランキング時間経過後に)、過電流フォルトが発生します。これにより、内部フォルト・タイマ t_{FAULT} が起動します。 t_{FAULT} が経過するまでの間、LT4295はPGおよびSGをオフにしてSFSTピンの電圧をGND電位にします。 t_{FAULT} の経過後、LT4295はソフトスタートを開始します。

アプリケーション情報

このフォルトとソフトスタートのシーケンスは、短絡状態または過負荷状態が解消されない限り繰り返されます。この状態は、図17に示すPGの波形が t_{FAULT} の間隔で繰り返すことにより確認することができます。

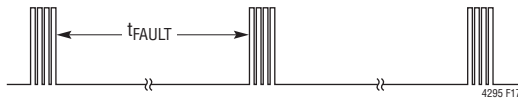


図17. 出力短絡状態でのPGの波形

過熱保護

IEEE 802.3規格は、PDが0V～57Vの範囲の任意の印加電圧に無期限で耐えることを要求しています。しかし、分類動作モードにおけるLT4295の電力損失は1.5Wに達することがあります。LT4295はIEEE分類の最大時間であってもこの電力を十分に許容することができますが、この状態が異常に長く続けば過熱状態になります。

LT4295は、瞬間的な過負荷状態の間デバイスを保護するための過熱保護機能を備えています。接合部温度が過熱しきい値を超えると、LT4295はHSGATEピンをプルダウンして分類を無効化し、スイッチング・レギュレータ動作を停止します。

最大デューティ・サイクル

PGピンの最大デューティ・サイクルは、選択した t_{PGDELAY} および f_{SW} で調整します。この値は、次式で計算されます。

$$\begin{aligned} \text{MAX POWER SUPPLY DUTY CYCLE} \\ = D_{\text{MAX}} - t_{\text{PGDELAY}} \cdot f_{\text{SW}} \end{aligned}$$

トランジェント動作時に適切な余裕を確保するには、フォワード電源またはフライバック電源を設計するとき、その定常状態での最大デューティ・サイクルが、前出の式で計算したLT4295の最大電源デューティ・サイクルより約10%低くなるようにします。

外部インタフェースと部品の選択

PoE入力ダイオード・ブリッジ

PDでは、その入力電圧の極性を補正することが必要です。ダイオード・ブリッジを使用する場合は、ダイオードの順方向電圧降下がVPORTピンの電圧に影響します。LT4295は、これらの電圧降下を許容できるように設計されています。「電気的特性」に示す電圧パラメータは、LT4295のパッケージのピンで規定されています。

効率の高いアプリケーション向けに、LT4295はLT4321ベースのPoE理想ダイオード・ブリッジをサポートしています。このダイオード・ブリッジは、通常動作時にはダイオード1個当たりの順方向電圧降下を0.7Vからほぼ20mVに低減しつつ、IEEE 802.3準拠を維持します。

補助入力ダイオード・ブリッジ

一部のPDは、AC電力またはDC電力を補助電源から受けることが必要です。電圧の整流と極性の補正を扱うには、一般的にはダイオード・ブリッジが必要です。

効率の高いアプリケーションや補助電源の入力電圧が低いアプリケーションでは、整流器の両端での電圧降下を許容することができません。LT4295は、LT4320ベースの理想ダイオード・ブリッジと組み合わせて構成し、ダイオードの電圧降下分を補って、熱設計を容易にすることができます。

補助電源の入力電圧が10Vより低いアプリケーションでは、LT4295をLT4320ベースの理想ダイオード・ブリッジと組み合わせて構成して電圧降下を補償し、「電気的特性」の表で規定しているように、VPORTの最小電圧がVPORT AUXの電圧範囲内に収まることを保証する必要があります。

入力コンデンサ

IEEE 802.3の入力インピーダンス要件を満たし、LT4295を適切にバイパスするには、VPORTとGNDの間に0.1μFのコンデンサが必要です。このコンデンサは、VPORTピンとGNDピンにできるだけ近づけて配置する必要があります。

トランジェント電圧サプレッサ

LT4295の絶対最大定格電圧は100Vと規定されており、イーサネット・ケーブルのサージに起因する短時間の過電圧を許容するように設計されています。

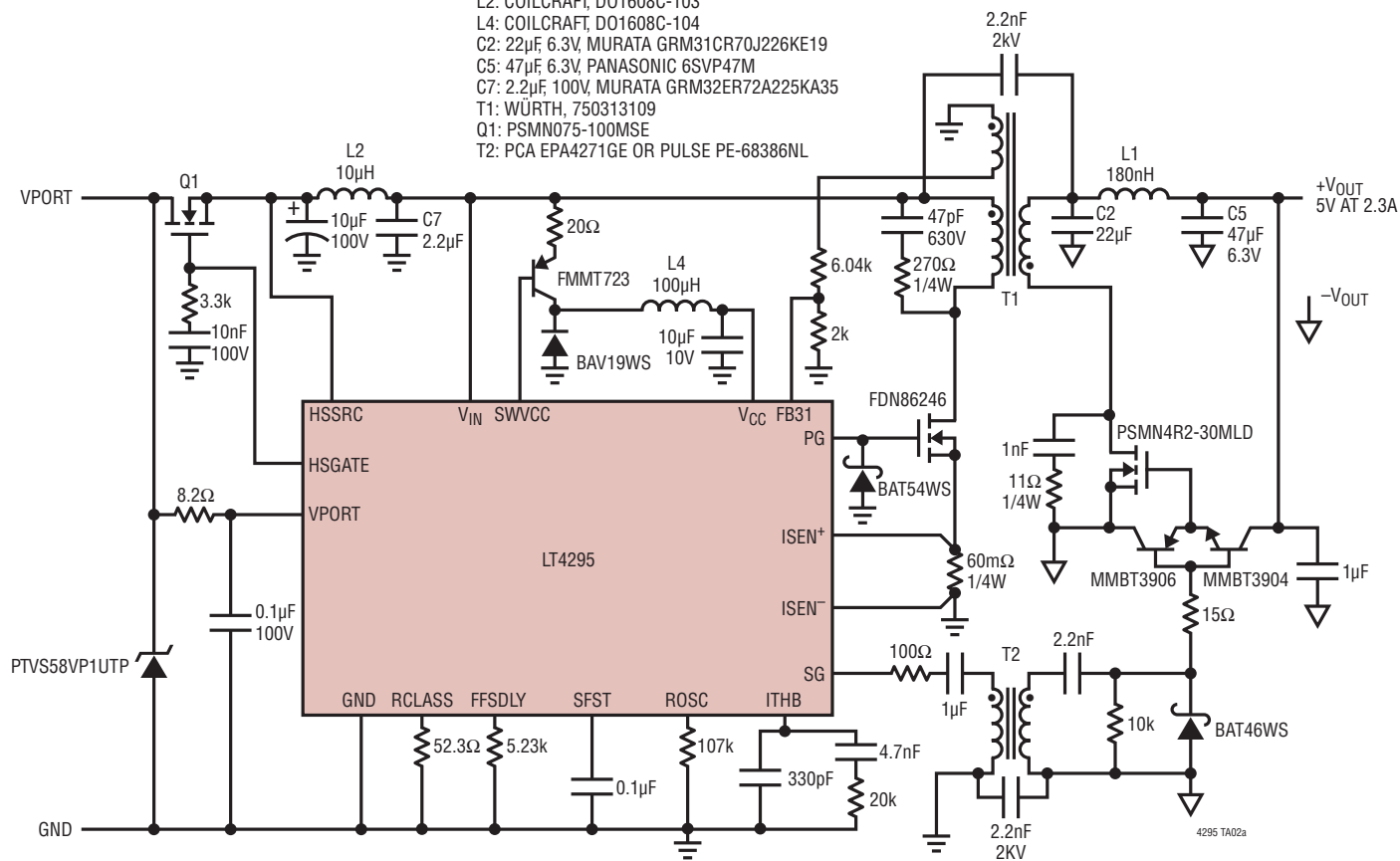
LT4295を過電圧から保護するため、SMAJ58Aなどの単方向トランジェント電圧サプレッサ(TVS)をVPORTピンとGNDピンの間に取り付けます。このTVSは、LT4295のVPORTピンとGNDピンにできるだけ近づけて配置する必要があります。補助電源入力が必要なPDアプリケーションの場合は、LT4295のできるだけ近くで V_{IN} とGNDの間にTVSを取り付けます。

ケーブル放電が著しく大きい場合やサージ保護については、弊社にお問い合わせください。

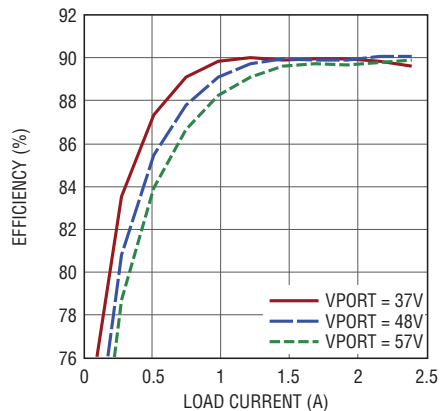
標準的応用例

フライバック・モードでの13W PoE電源、5V/2.3A出力

- L1: COILCRAFT, DO1813P-181HC
- L2: COILCRAFT, DO1608C-103
- L4: COILCRAFT, DO1608C-104
- C2: 22 μ F, 6.3V, MURATA GRM31CR70J226KE19
- C5: 47 μ F, 6.3V, PANASONIC 6SVP47M
- C7: 2.2 μ F, 100V, MURATA GRM32ER72A225KA35
- T1: WÜRTH, 750313109
- Q1: PSMN075-100MSE
- T2: PCA EPA4271GE OR PULSE PE-68386NL

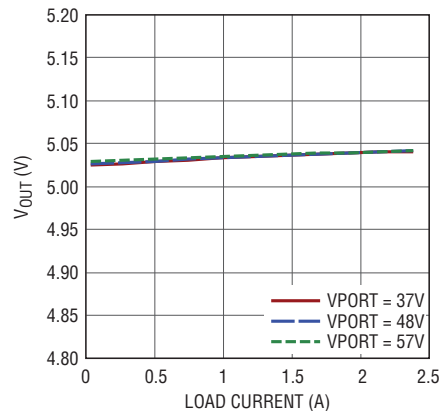


効率と負荷電流



4295 TA02b

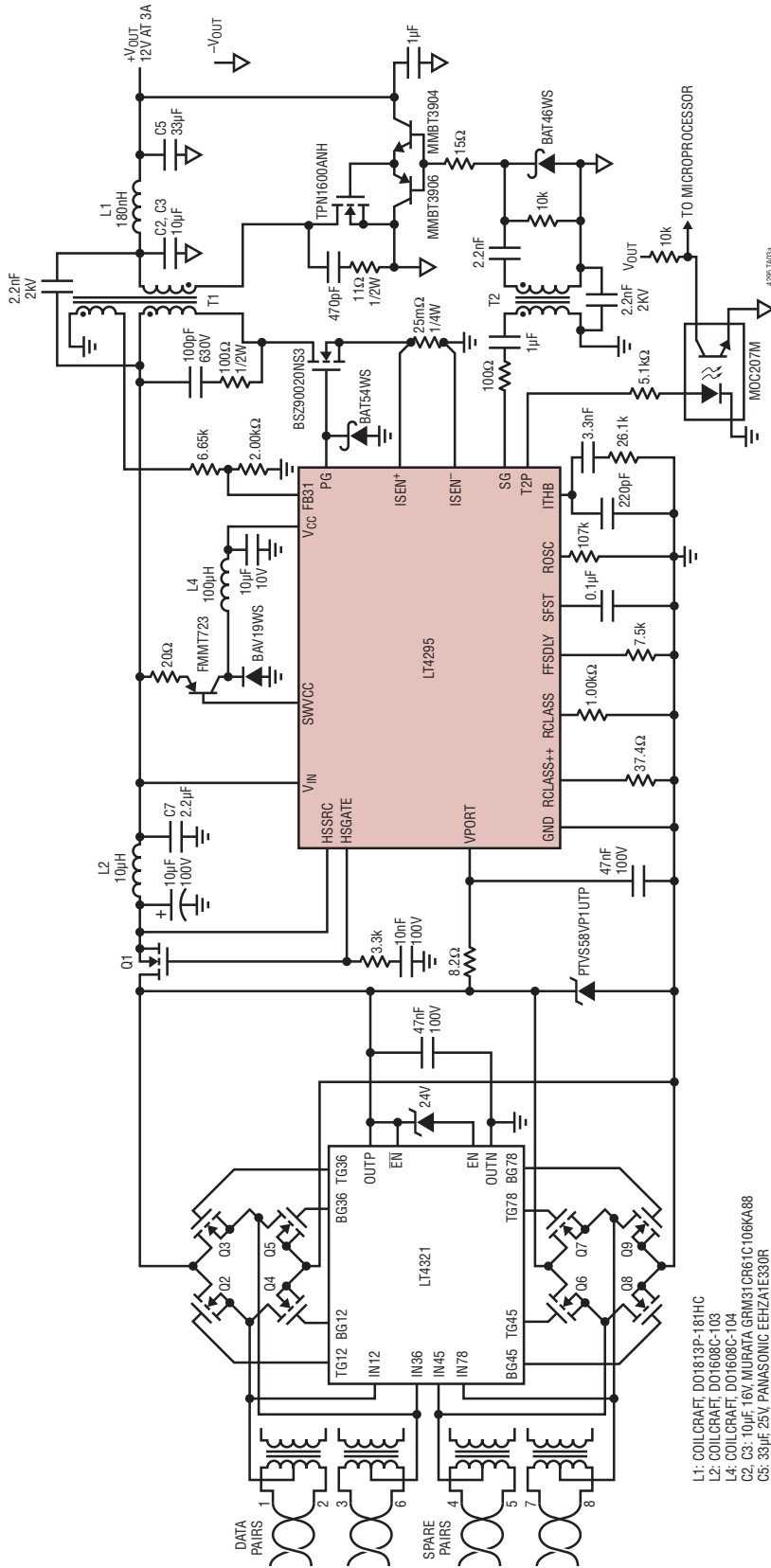
V_{OUT}と負荷電流



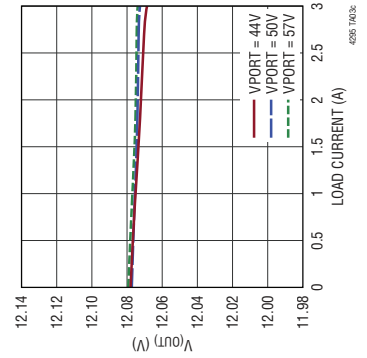
4295 TA02c

標準的応用例

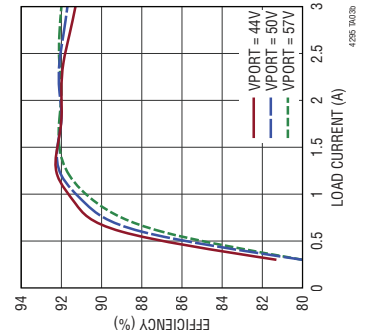
フライバック・モードでの40W PoE電源、12V/3A出力



V_{OUT}と負荷電流

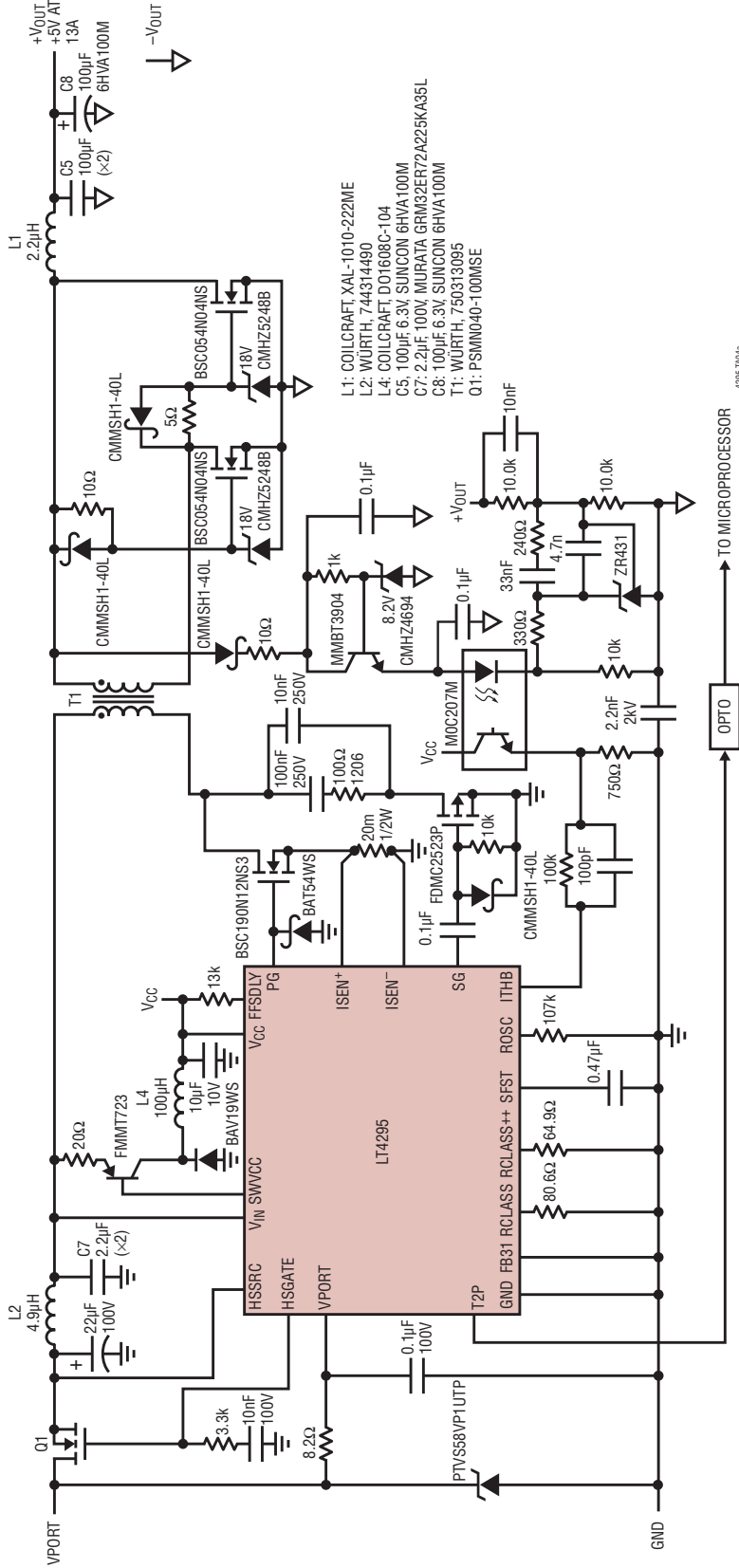


効率と負荷電流

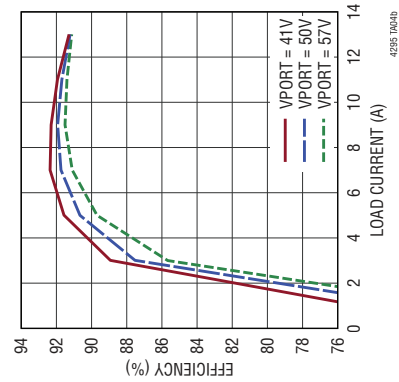


標準的応用例

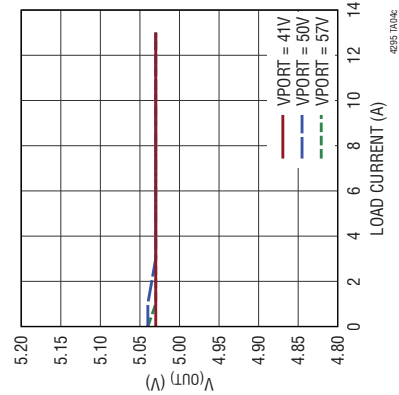
フォワード・モードでの71W PoE 電源、5V/13A 出力



効率と負荷電流



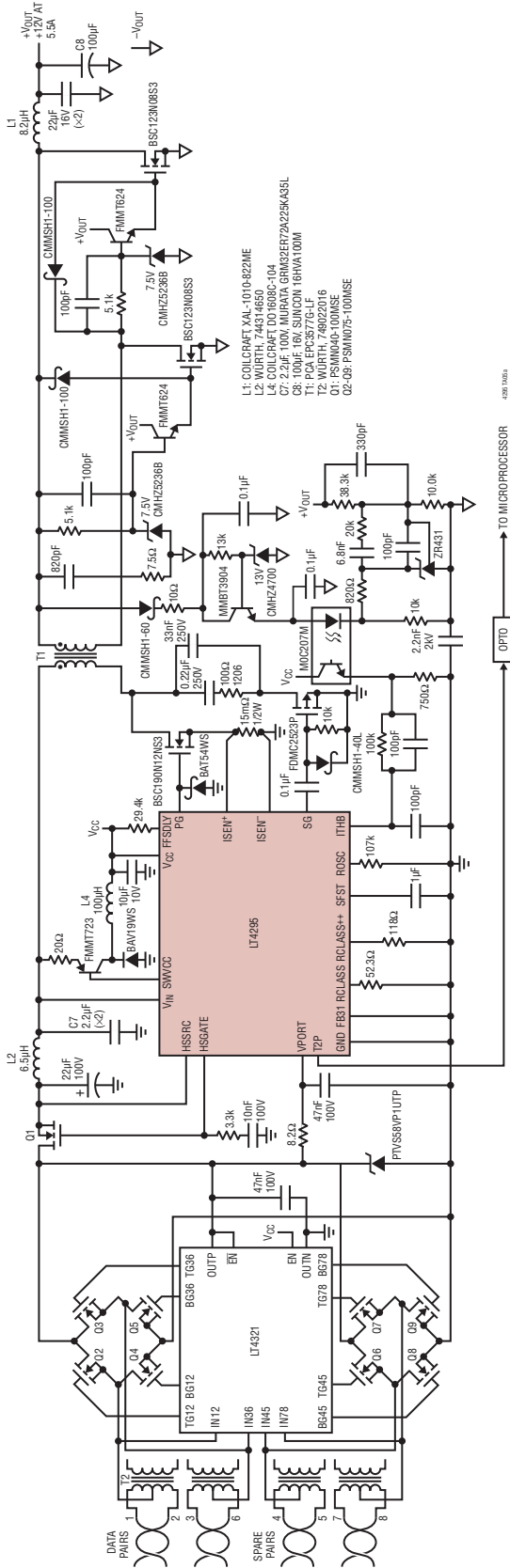
VOUTと負荷電流



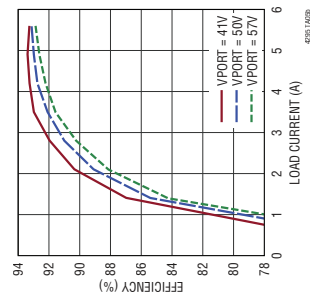
| CsFST (µF) | IsFST (ms) |
|------------|------------|
| 0.10 | 1.2 |
| 0.33 | 3.8 |
| 1.0 | 12 |
| 3.3 | 38 |

標準的応用例

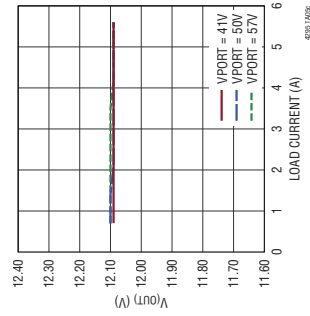
フォワード・モードでの71W PoE電源、12V/5.5A出力



効率と負荷電流



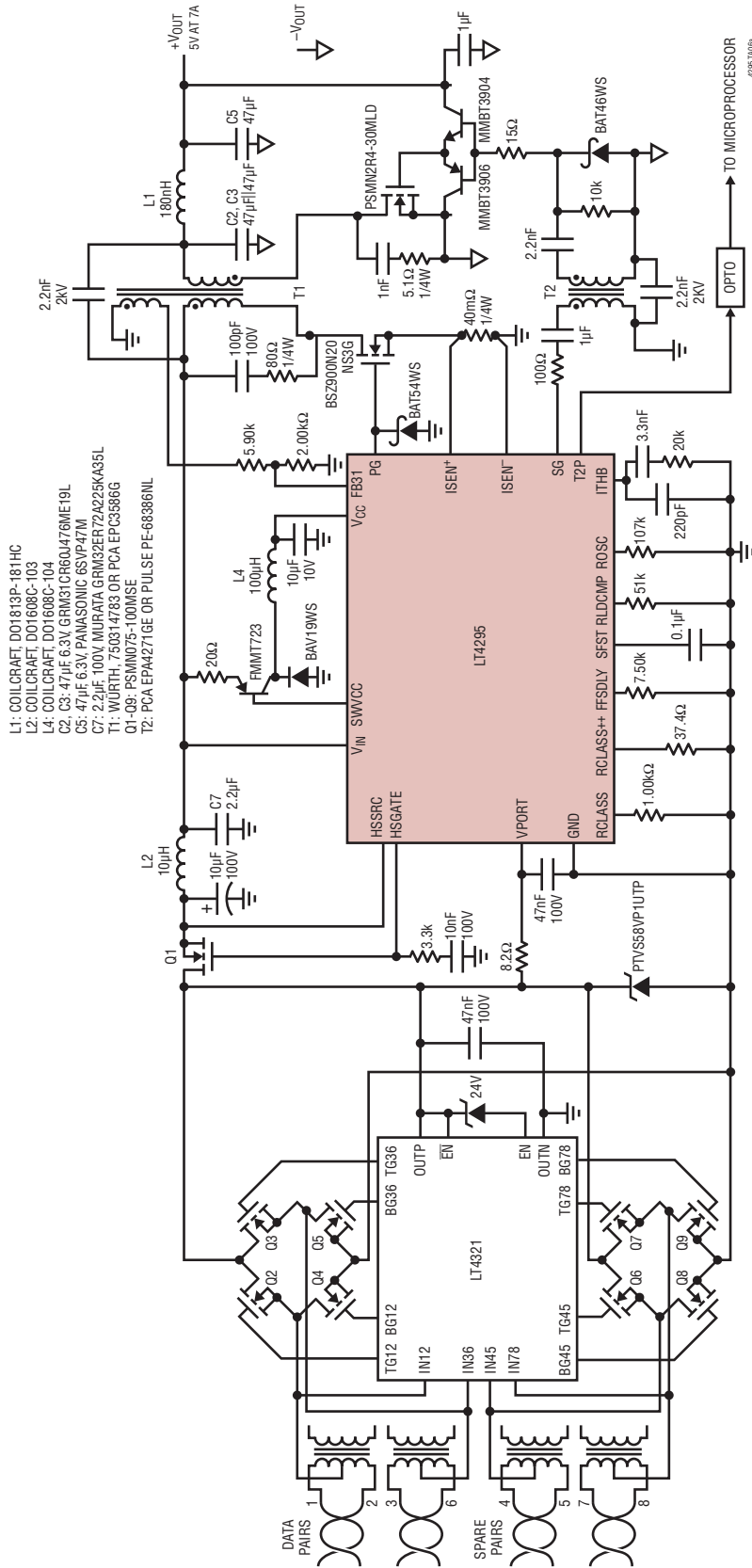
Vout と負荷電流



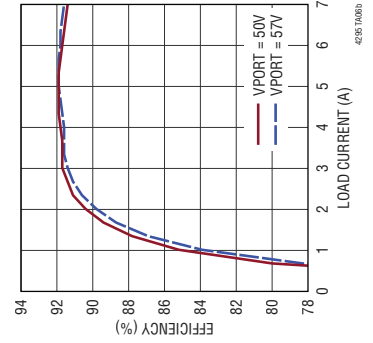
| CsFST (µF) | tsFST (ms) |
|------------|------------|
| 0.10 | 1.5 |
| 0.33 | 4.9 |
| 1.0 | 15 |
| 3.3 | 48 |

標準的応用例

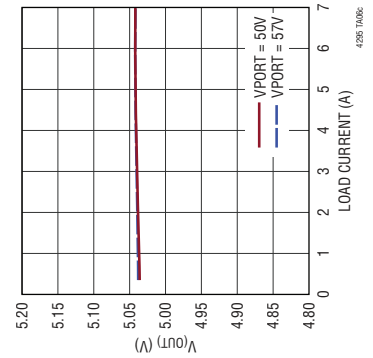
フライバック・モードでの40W PoE電源、5V/7A出力



効率と負荷電流

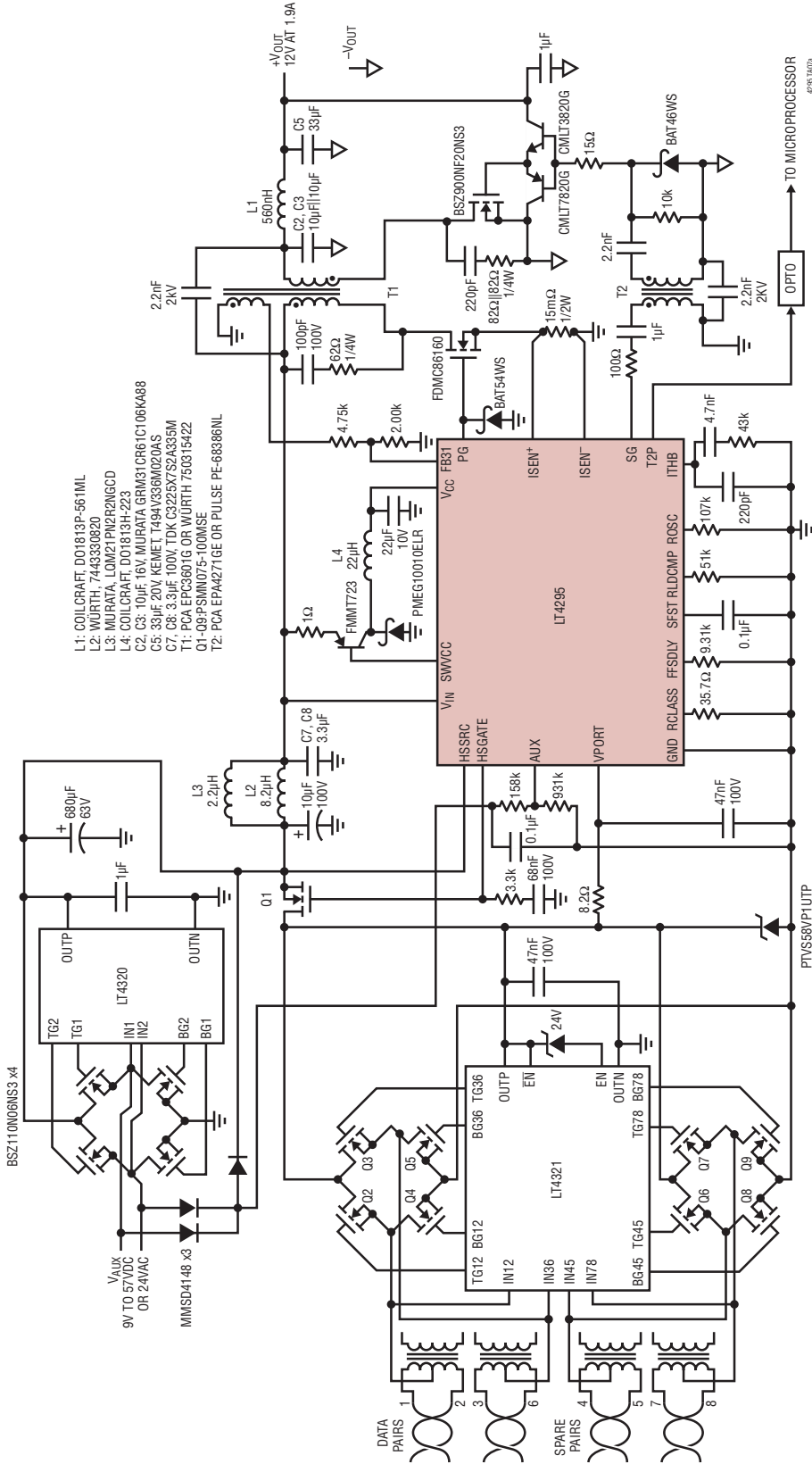


Voutと負荷電流

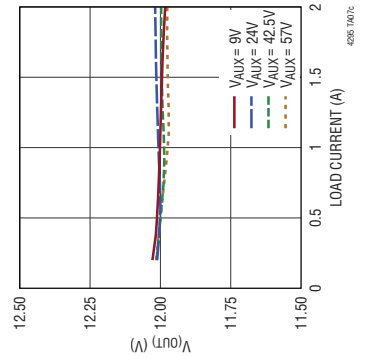


標準的応用例

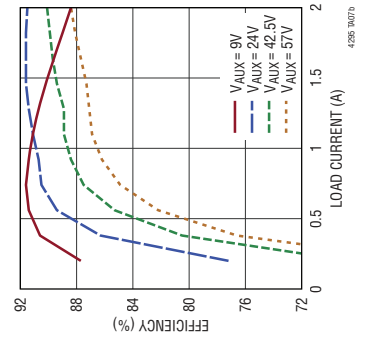
フライバック・モードでの25.5W PoE電源および9V~57Vの補助入力電源、12V/1.9A出力



Voutと負荷電流

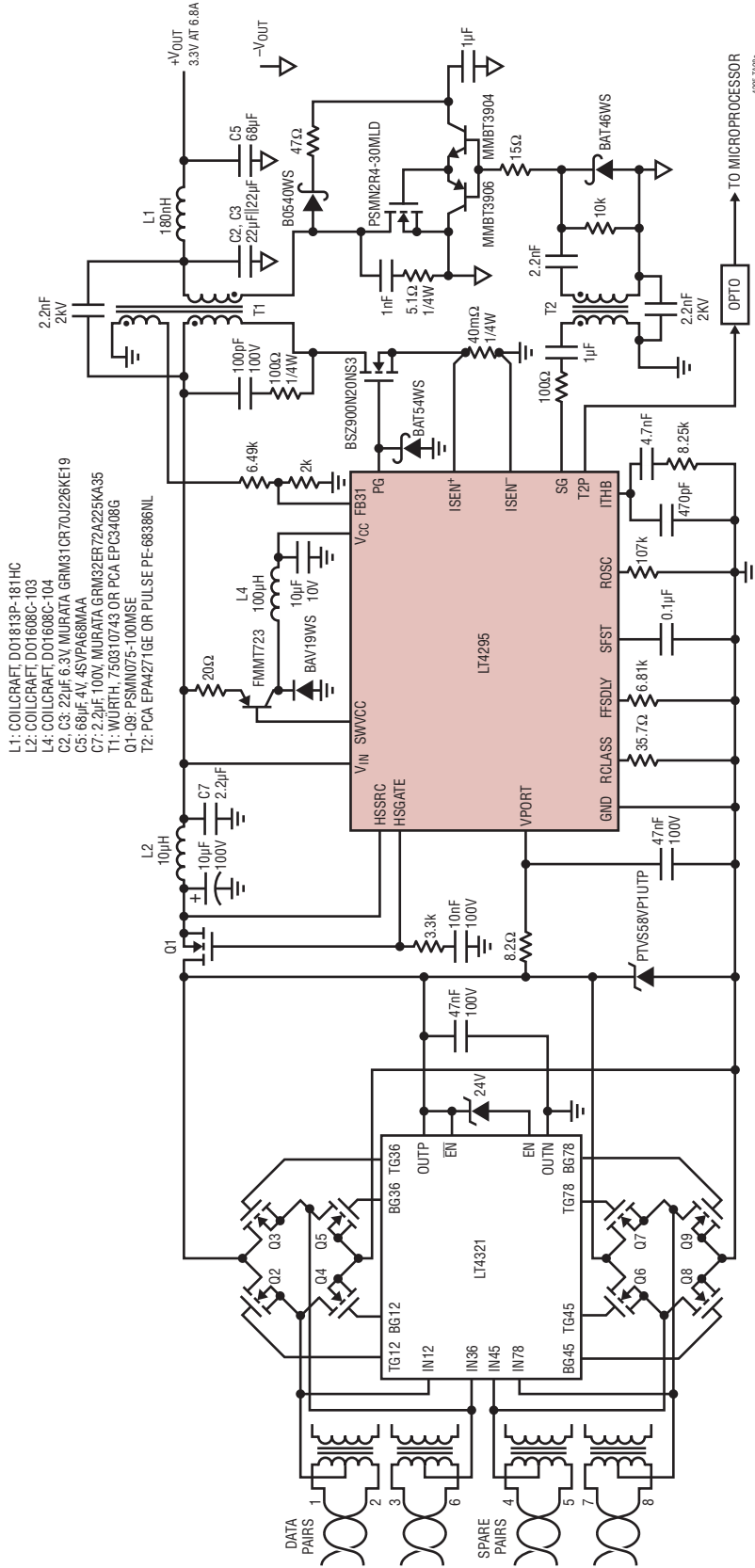


効率と負荷電流

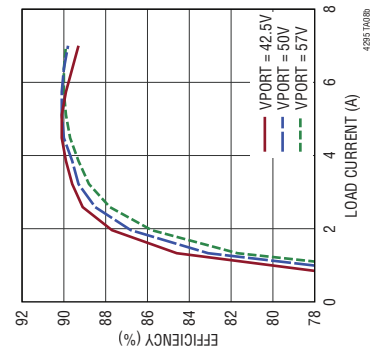


標準的応用例

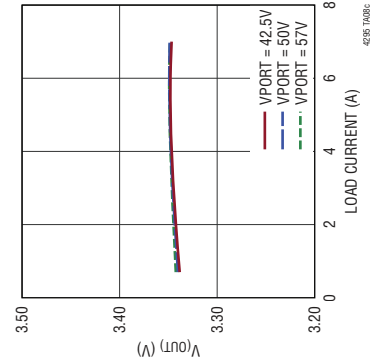
フライバック・モードでの25.5W PoE電源、3.3V/6.8A出力



効率と負荷電流

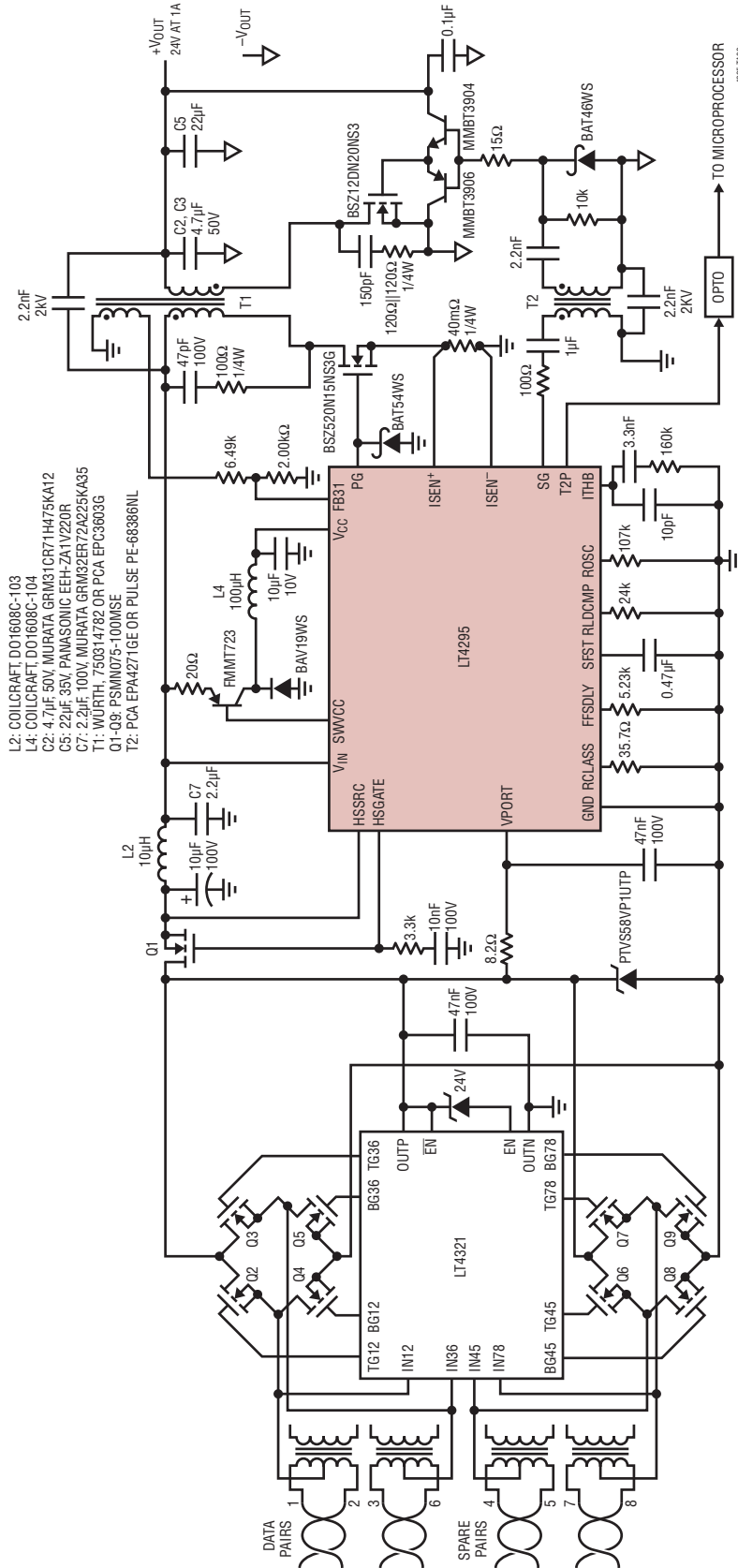


VOUTと負荷電流

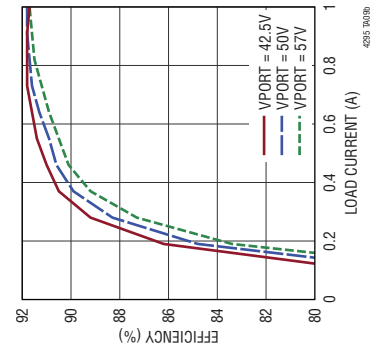


標準的応用例

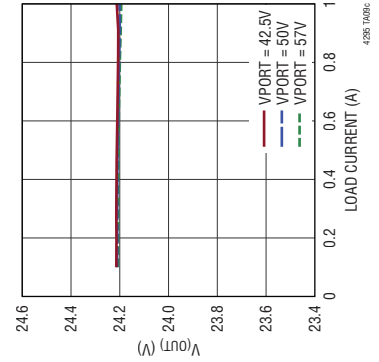
フライバック・モードでの25.5W PoE電源、24V/1A出力



効率と負荷電流

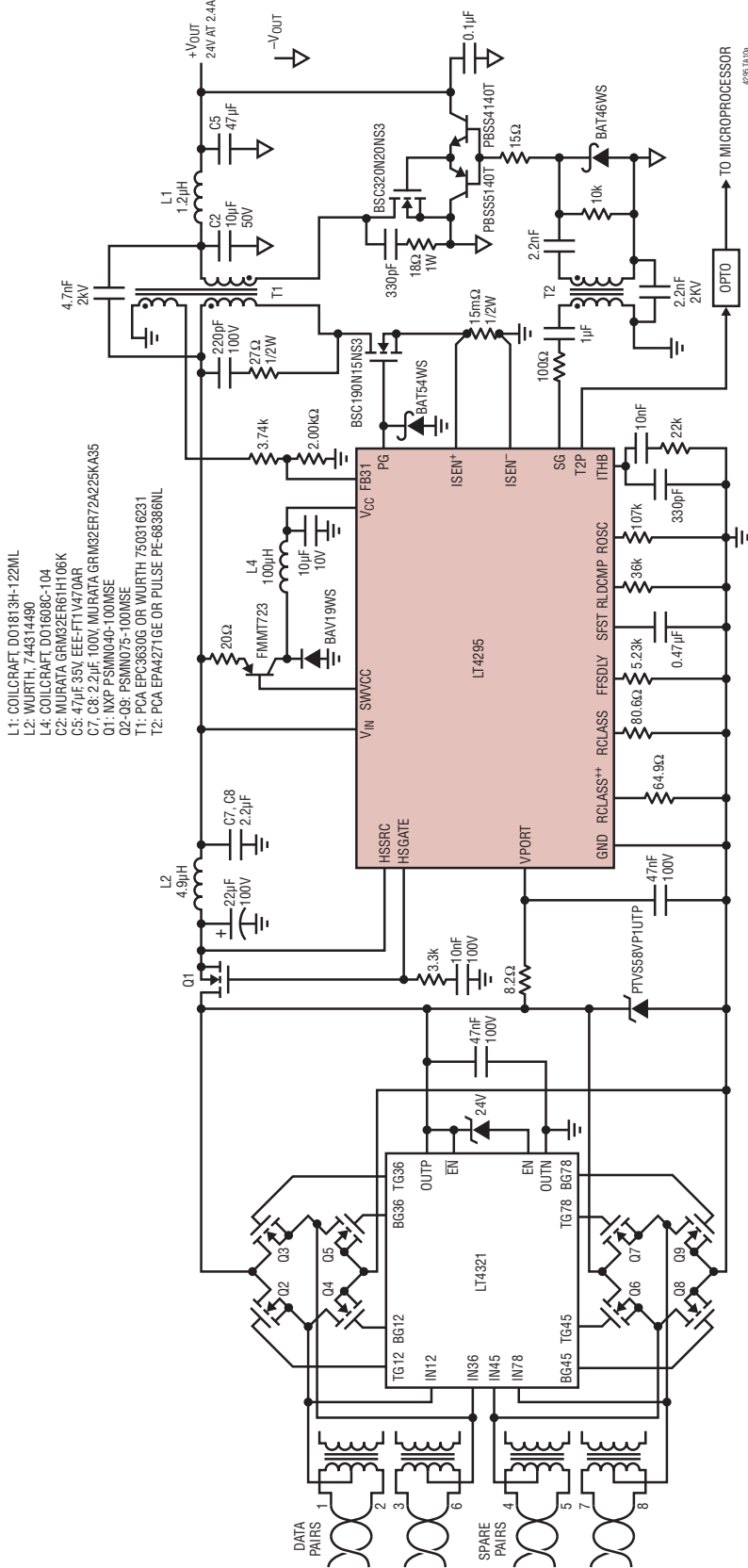


VOUTと負荷電流

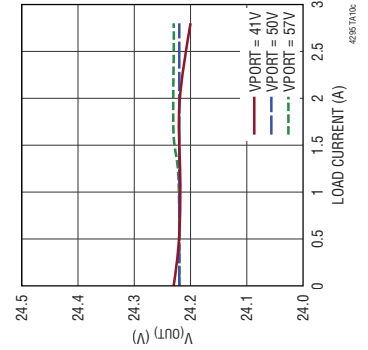


標準的応用例

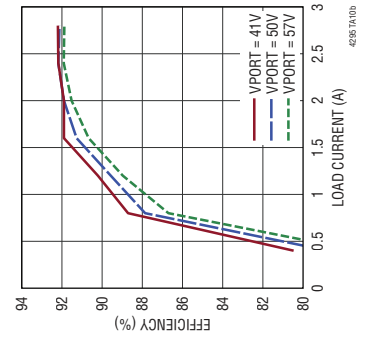
フライバック・モードでの62W PoE電源、24V/2.4A出力



Vout と負荷電流

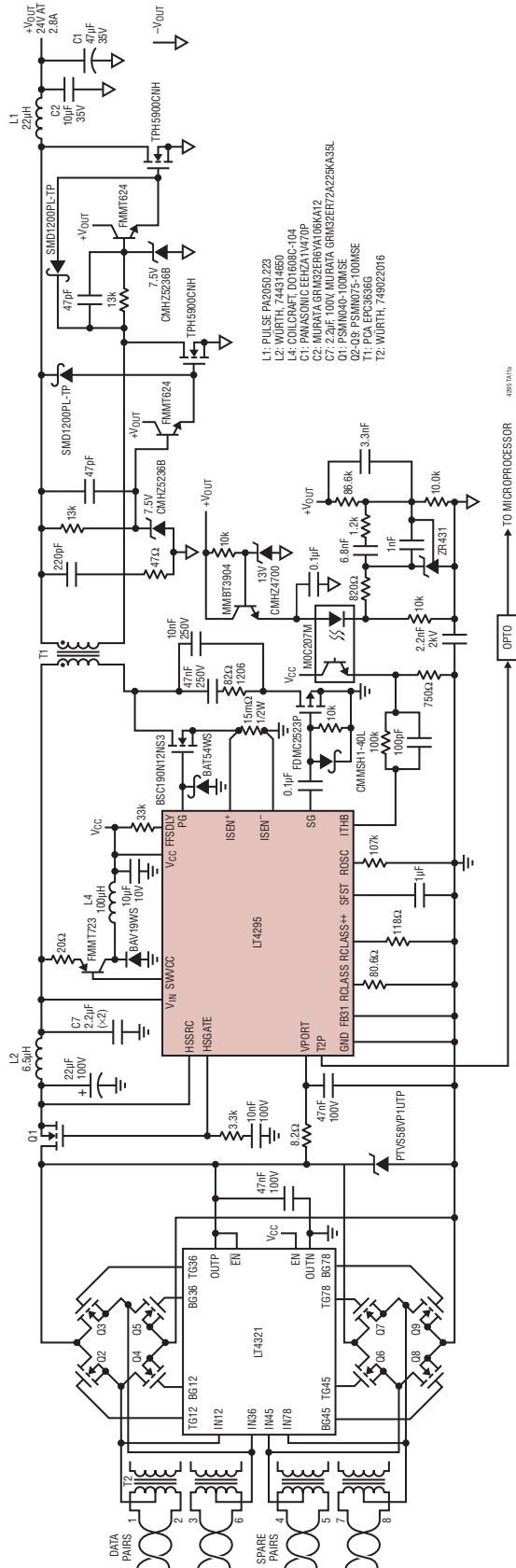


効率と負荷電流

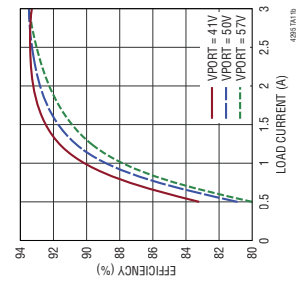


標準的応用例

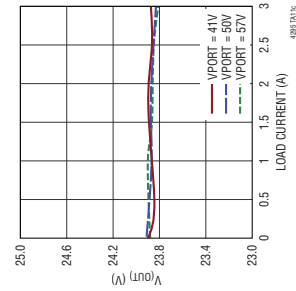
フォワード・モードでの71W PoE電源、24V/2.8A出力



効率と負荷電流



Voutと負荷電流

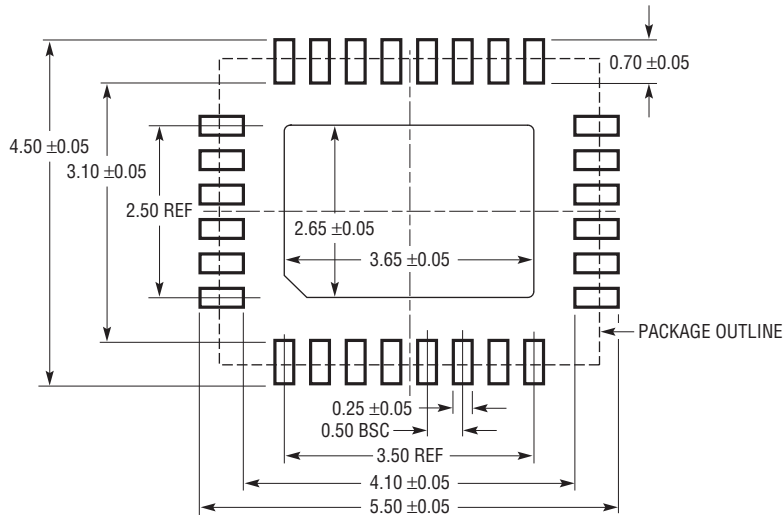


| CsFST (μF) | tsFST (ms) |
|------------|------------|
| 0.10 | 1.4 |
| 0.22 | 2.4 |
| 0.47 | 4.4 |
| 1.0 | 15 |
| 3.3 | 46 |

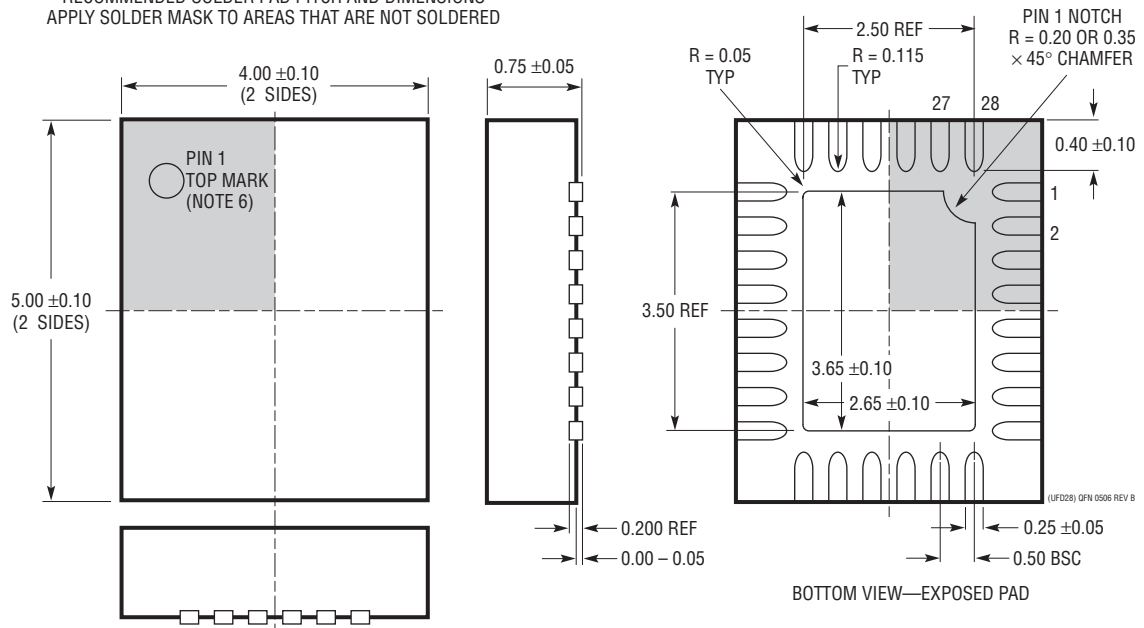
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/product/LT4295#packaging> を参照してください。

UFD Package
28-Lead Plastic QFN (4mm × 5mm)
 (Reference LTC DWG # 05-08-1712 Rev B)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED

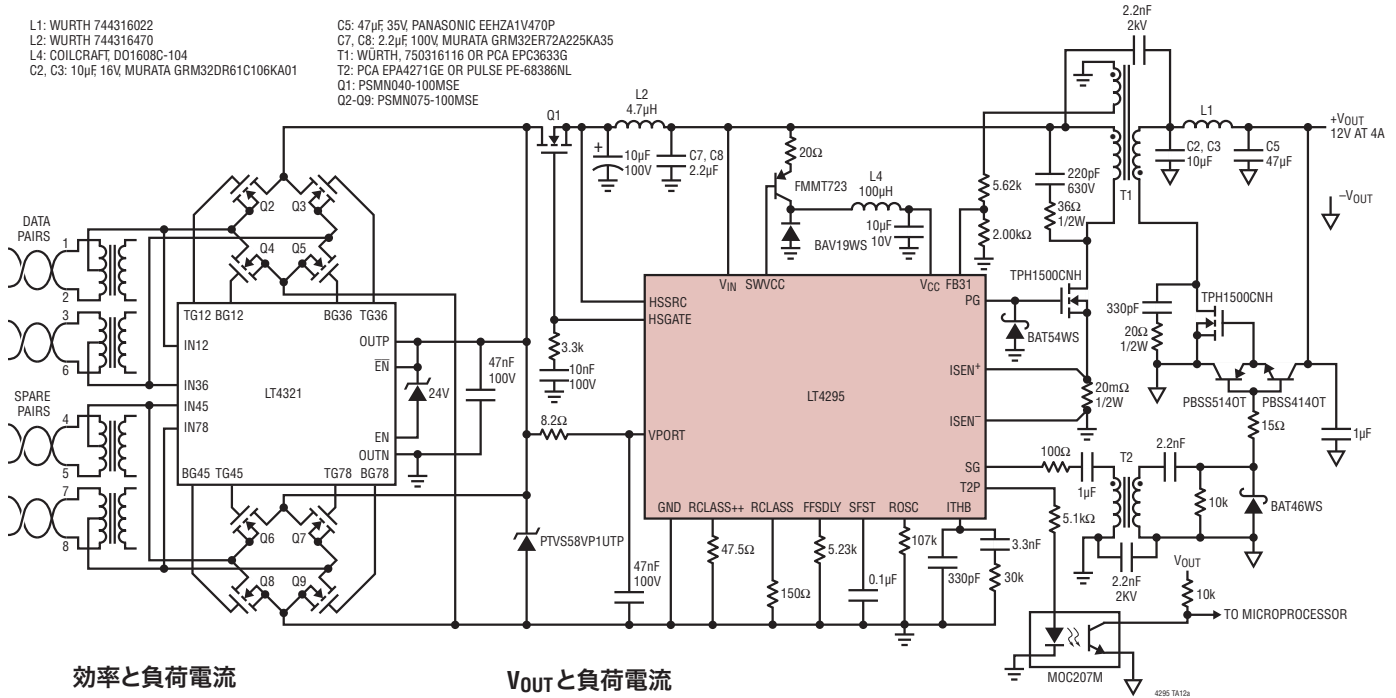


注記:

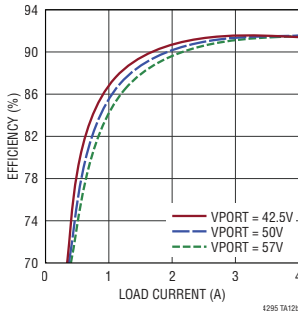
1. 図はJEDECパッケージ外形MO-220のバリエーション(WXXX-X)にするよう提案されている
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まないモールドのバリは (もしあれば) 各サイドで0.15mmを超えないこと
5. 露出パッドは半田メッキとする
6. 灰色の部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

標準的応用例

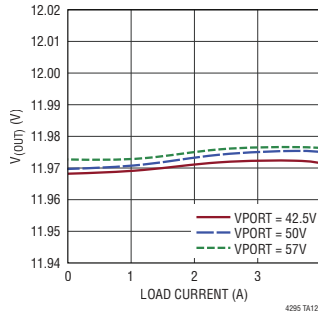
フライバック・モードでの51W PoE電源、12V/4A出力



効率と負荷電流



V_{OUT}と負荷電流



関連製品

| 製品番号 | 説明 | 注釈 |
|---|---|--|
| LTC4267/LTC4267-1/LTC4267-3 | スイッチング・レギュレータ内蔵の IEEE 802.3af PD インタフェース | 100V、400mA スイッチを内蔵、プログラム可能なクラス、200/300kHzの固定周波数PWM |
| LTC4269-1 | フライバック・スイッチング・レギュレータ内蔵の IEEE 802.3af PD インタフェース | 2イベント分類、プログラム可能なクラス、同期整流式 No-Opto フライバック・コントローラ、スイッチング周波数: 50kHz ~ 250kHz、補助電源サポート |
| LTC4269-2 | フォワード・スイッチング・レギュレータ内蔵の IEEE 802.3af PD インタフェース | 2イベント分類、プログラム可能なクラス、同期整流式フォワード・コントローラ、スイッチング周波数: 100kHz ~ 500kHz、補助電源サポート |
| LT4275A/B/C | LTPoE++/PoE+/PoE PD コントローラ | 外部スイッチ、LTPoE++をサポート |
| LT4276A/B/C | フォワード/フライバック・スイッチング・レギュレータ・コントローラを内蔵した LTPoE++/PoE+/PoE PD コントローラ | 外部スイッチ、LTPoE++のサポート、ユーザーが構成可能なクラス、フォワード動作または No-Opto フライバック動作、周波数、PG/SG 遅延、ソフトスタート、および最小9Vの補助電源サポート、(ハウスキーピング降圧電源、スロープ補償を含む) |
| LTC4278 | フライバック・スイッチング・レギュレータ内蔵の IEEE 802.3af PD インタフェース | 2イベント分類、プログラム可能なクラス、同期整流式 No-Opto フライバック・コントローラ、スイッチング周波数: 50kHz ~ 250kHz、12V 補助電源サポート |
| LTC4290/LTC4271 | 8ポート PoE/PoE+/LTPoE++ PSE コントローラ | トランスによる絶縁、IEEE802.3af、IEEE802.3at、および LTPoE++ PD に対応 |
| LT4320/LT4320-1 | 理想ダイオード・ブリッジ・コントローラ | 入力: 9V ~ 72V、DC ~ 600Hz、4つのNMOSFETを制御、ダイオードの電圧降下がない電圧の整流 |
| LT4321 | PoE 理想ダイオード・ブリッジ・コントローラ | IEEE 規定の PD 向けに8つのNMOSFETを制御、ダイオードの電圧降下がない電圧の整流 |

4295f