

A/DコンバータとI²Cモニタ機能を内蔵した負電圧Hot Swapコントローラ

特長

- 電源の入っている-48Vバックプレーンに安全に挿入可能
- 電流と電圧をモニタする10ビットADC
- I²C/SMBusインタフェースまたは1線ブロードキャスト・モード
- フローティング方式により、非常に高い電圧での動作が可能
- 突入電流制限と過電流制限を個別に調整可能
- 制御されたソフトスタート突入電流
- UV/OVスレッシュホールドとヒステリシスを調整可能
- 遅延付きのシーケンス制御されたパワーグッド出力
- パワーグッド入力のタイムアウトを調整可能
- フォルト後のラッチオフまたは自動リトライをプログラム可能
- フォルト後にホストに対してアラートを発行
- 28ピン細型SSOPおよび24ピン(4mm×5mm) QFNパッケージ

アプリケーション

- AdvancedTCAシステム
- 通信機器のインフラ
- -48V分散給電システム
- 電力モニタ

概要

LTC[®]4261/LTC4261-2は、通電状態のバックプレーンに対して基板の安全な挿入および引き抜きを可能にする負電圧Hot Swap[™]コントローラです。外付けのNチャンネル・パス・トランジスタを使用することにより、基板の電源電圧を調整可能な速度で上昇させることができます。このデバイスは、個別に調整可能な突入電流制限回路および過電流制限回路を内蔵しており、起動、入力ステップ、出力短絡の各状態時にパス・トランジスタに加わるストレスが最小限に抑えられます。過電流フォルト発生時のデフォルトの動作は、LTC4261がラッチオフであるのに対して、LTC4261-2は自動再試行です。

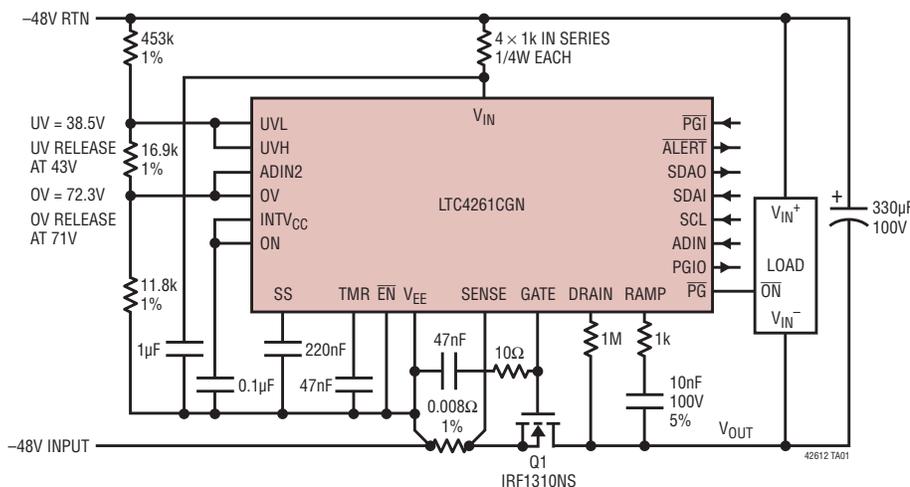
I²Cインタフェースと内蔵の10ビットA/Dコンバータにより、基板の電流、電圧、およびフォルト状態をモニタできます。単線式の一斉送信モードを使用できるので、2つの光アイソレータを取り除くことにより、インタフェースを簡略化できます。

このコントローラは、フォルトが発生するとホストに割り込み、出力電力が良好状態になると通知し、基板の挿入を検出して、外部電源モニタがタイムアウト期間内にパワーグッドを示すことができない場合はパス・トランジスタをオフにする追加機能も備えています。

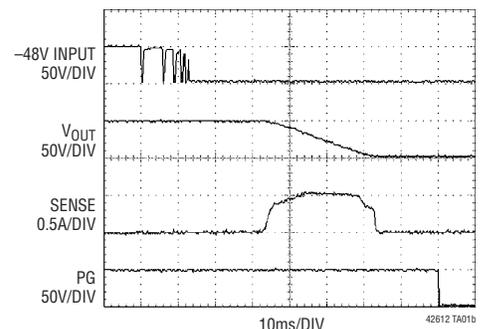
LT, LT, LTC, LTM, Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。Hot Swapはリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。7382167、8194379、8230151を含む米国特許により保護されています。

標準的応用例

I²CとADCを備えた-48V/200W Hot Swapコントローラ



起動動作



42612fd

LTC4261/LTC4261-2

絶対最大定格 (Note 1, 2)

V_{IN} (Note 3)	-0.3V ~ 10.65V
DRAIN (Note 4)	-0.3V ~ 3.5V
\overline{PGI} 、ON、 \overline{ALERT} 、SDAO、SDAI、SCL、ADIN、ADIN2、 OV、SENSE、ADR1、ADRO、 \overline{FLTIN} 、TMR、 SS、RAMPの電圧	-0.3V ~ $INTV_{CC} + 0.3V$
UVL、UVH、 \overline{EN}	-0.3V ~ 10V
GATEの電圧	-0.3V ~ $V_{IN} + 0.3V$
\overline{PG} 、PGIOの電圧	-0.3V ~ 80V
電源電圧 ($INTV_{CC}$)	-0.3V ~ 5.5V

動作周囲温度範囲

LTC4261C	0°C ~ 70°C
LTC4261I	-40°C ~ 85°C

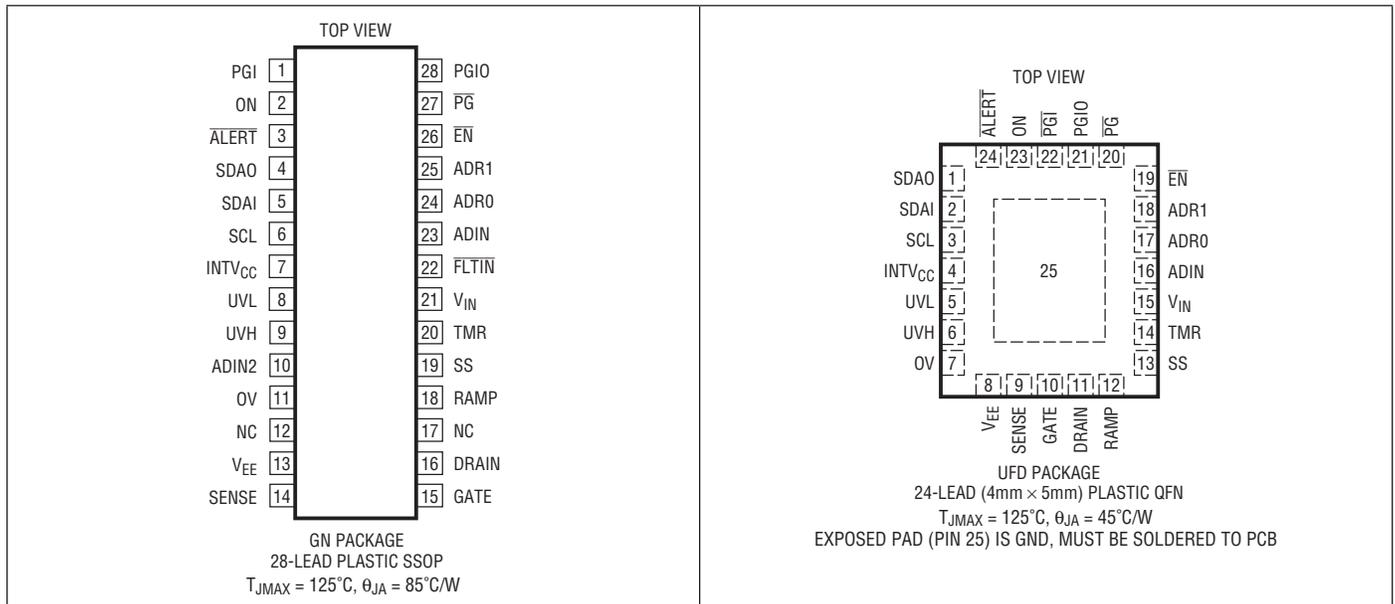
保存温度範囲

SSOP	-65°C ~ 150°C
QFN	-65°C ~ 125°C

リード温度 (半田付け、10秒)

SSOPのみ	300°C
--------------	-------

ピン配置



発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC4261CGN#PBF	LTC4261CGN#TRPBF	LTC4261CGN	28-Lead Plastic SSOP	0°C to 70°C
LTC4261IGN#PBF	LTC4261IGN#TRPBF	LTC4261IGN	28-Lead Plastic SSOP	-40°C to 85°C
LTC4261CGN-2#PBF	LTC4261CGN-2#TRPBF	LTC4261IGN-2	28-Lead Plastic SSOP	0°C to 70°C
LTC4261IGN-2#PBF	LTC4261IGN-2#TRPBF	LTC4261IGN-2	28-Lead Plastic SSOP	-40°C to 85°C
LTC4261CUFD#PBF	LTC4261CUFD#TRPBF	4261	24-Lead (4mm × 5mm) Plastic QFN	0°C to 70°C
LTC4261IUFD#PBF	LTC4261IUFD#TRPBF	4261	24-Lead (4mm × 5mm) Plastic QFN	-40°C to 85°C
LTC4261CUFD-2#PBF	LTC4261CUFD-2#TRPBF	42612	24-Lead (4mm × 5mm) Plastic QFN	0°C to 70°C
LTC4261IUFD-2#PBF	LTC4261IUFD-2#TRPBF	42612	24-Lead (4mm × 5mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電气的特性

●は全動作温度範囲での規格値を意味する。それ以外は $I_{IN} = 5\text{mA}$ 、 $T_A = 25^\circ\text{C}$ での値。(Note 2)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS	
共通								
V_Z	Shunt Regulator Voltage at V_{IN}	$I_{IN} = 5\text{mA}$	●	10.65	11.2	11.8	V	
ΔV_Z	Shunt Regulator Load Regulation	$I_{IN} = 5\text{mA}$ to 25mA	●		370	600	mV	
I_{IN}	V_{IN} Supply Current	$V_{IN} = V_Z - 0.3\text{V}$	●		2	5	mA	
$V_{IN(UVLO)}$	V_{IN} Undervoltage Lockout Threshold	V_{IN} Rising	●	8.5	9	9.5	V	
$\Delta V_{IN(UVLO)}$	V_{IN} Undervoltage Lockout Hysteresis		●	0.3	0.7	1	V	
$INTV_{CC}$	Internal Regulator Voltage	$I_{LOAD} = 1\text{mA}$ to 20mA , $I_{IN} = 25\text{mA}$	●	4.75	5	5.25	V	
ゲート・ドライブ								
V_{GATEH}	GATE Pin Output High Voltage	$V_{IN} = 10.65\text{V}$	●	10	10.25	10.5	V	
$I_{GATE(UP)}$	GATE Pin Pull-Up Current	$V_{GATE} = 4\text{V}$	●	-7.5	-11.5	-15.5	μA	
$I_{GATE(OFF)}$	GATE Turn-Off Current	$V_{SENSE} = 400\text{mV}$, $V_{GATE} = 4\text{V}$	●	45	90	120	mA	
		Gate Off, $V_{GATE} = 4\text{V}$	●	60	110	140	mA	
$t_{PHL(SENSE)}$	SENSE High to Current Limit Propagation Delay	$V_{SENSE} = 100\text{mV}$, GATE Open	●		0.5	1.5	μs	
		$V_{SENSE} = 300\text{mV}$, GATE Open	●		0.2	0.5	μs	
$t_{PHL(GATE)}$	GATE Off Propagation Delay	Input High (OV, $\overline{\text{EN}}$, $\overline{\text{PGI}}$), Input Low (ON, UVL), GATE Open	●		0.2	0.5	μs	
t_{PHLCB}	Circuit Breaker Gate Off Delay	$V_{GATE} < 2\text{V}$, GATE Open	●	440	530	620	μs	
I_{RAMP}	RAMP Pin Current	$V_{SS} = 2.56\text{V}$	●	-18	-20	-22	μA	
V_{SS}	SS Pin Clamp Voltage		●	2.43	2.56	2.69	V	
$I_{SS(UP)}$	SS Pin Pull-Up Current	$V_{SS} = 0\text{V}$	●	-7	-10	-13	μA	
$I_{SS(DN)}$	SS Pin Pull-Down Current	$V_{SS} = 2.56\text{V}$	●	6	12	20	mA	
入カピン								
$V_{UVH(TH)}$	UVH Threshold Voltage	V_{UVH} Rising	LTC4261C	●	2.534	2.56	2.586	V
			LTC4261I	●	2.522	2.56	2.598	
$V_{UVL(TH)}$	UVL Threshold Voltage	V_{UVL} Falling	LTC4261C	●	2.263	2.291	2.319	V
			LTC4261I	●	2.254	2.291	2.328	
$\Delta V_{UV(HYST)}$	Built-In UV Hysteresis	UVH and UVL Tied Together	●	256	269	282	mV	
δV_{UV}	UVH, UVL Minimum Hysteresis				15		mV	
$V_{UVLR(TH)}$	UVL Reset Threshold Voltage	V_{UVL} Falling	●	1.12	1.21	1.30	V	
$\Delta V_{UVLR(HYST)}$	UVL Reset Hysteresis				60		mV	
$V_{OV(TH)}$	OV Pin Threshold Voltage	V_{OV} Rising	LTC4261C	●	1.744	1.770	1.796	V
			LTC4261I	●	1.735	1.770	1.805	
$\Delta V_{OV(HYST)}$	OV Pin Hysteresis		●	18	37.5	62	mV	
ΔV_{SENSE}	Current Limit Sense Voltage Threshold	$V_{SENSE} - V_{EE}$	●	45	50	55	mV	
$V_{INPUT(TH)}$	ON, $\overline{\text{EN}}$, $\overline{\text{PGI}}$, $\overline{\text{FLTIN}}$ Threshold Voltage	ON, $\overline{\text{EN}}$, $\overline{\text{PGI}}$, $\overline{\text{FLTIN}}$ Falling or Rising	●	0.8	1.4	2	V	
$\Delta V_{INPUT(HYST)}$	ON, $\overline{\text{EN}}$, $\overline{\text{PGI}}$, $\overline{\text{FLTIN}}$ Hysteresis				170		mV	
$V_{PGIO(TH)}$	PGIO Pin Input Threshold Voltage	V_{PGIO} Rising	●	1.10	1.25	1.40	V	
$\Delta V_{PGIO(HYST)}$	PGIO Pin Input Hysteresis				100		mV	
I_{INPUT}	ON, $\overline{\text{EN}}$, UVH, UVL, OV, SENSE, $\overline{\text{PGI}}$, $\overline{\text{FLTIN}}$ Input Current	ON, $\overline{\text{EN}}$, UVH, UVL, OV, SENSE, $\overline{\text{PGI}}$, $\overline{\text{FLTIN}} = 3\text{V}$	●		0	± 2	μA	

LTC4261/LTC4261-2

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外は $I_{IN} = 5\text{mA}$ 、 $T_A = 25^\circ\text{C}$ での値。(Note 2)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
タイマ							
$V_{TMR(H)}$	TMR Pin High Threshold	V_{TMR} Rising	● 2.43	2.56	2.69	V	
$V_{TMR(L)}$	TMR Pin Low Threshold	V_{TMR} Falling	● 40	75	110	mV	
$I_{TMR(UP)}$	TMR Pin Pull-Up Current	Turn-On and Auto-Retry (Except OC) Delays, $V_{TMR} = 0.2\text{V}$	● -7	-10	-13	μA	
		Power Good, $\overline{\text{PGI}}$ Check and OC Auto-Retry Delays, $V_{TMR} = 0.2\text{V}$	● -3.5	-5	-6.5	μA	
$I_{TMR(DN)}$	TMR Pin Pull-Down Current	Delays Except $\overline{\text{PGI}}$ Check or OC Auto-Retry, $V_{TMR} = 2.56\text{V}$	● 6	12	20	mA	
		$\overline{\text{PGI}}$ Check and OC Auto-Retry Delays, $V_{TMR} = 2.56\text{V}$	● 3	5	7	μA	
出力ピン							
V_{PWRGD}	$\overline{\text{PG}}$, PGIO Pins Output Low	I_{PG} , $I_{PGIO} = 3\text{mA}$	●	0.8	1.6	V	
		I_{PG} , $I_{PGIO} = 500\mu\text{A}$	●	0.15	0.4	V	
I_{PWRGD}	$\overline{\text{PG}}$, PGIO Pins Leakage Current	$\overline{\text{PG}}$, $I_{PGIO} = 80\text{V}$	●	0	± 10	μA	
ADC							
	Resolution (No Missing Codes)	(Note 5)	● 10			Bits	
INL	Integral Nonlinearity	SENSE	●	± 0.5	± 2.5	LSB	
		ADIN2/OV, ADIN	●	± 0.25	± 1.25	LSB	
V_{OS}	Offset Error	SENSE	●		± 1.75	LSB	
		ADIN2/OV, ADIN	●		± 1.25	LSB	
	Full-Scale Voltage	SENSE	● 62.8	64	65.2	mV	
		ADIN2/OV, ADIN	● 2.514	2.560	2.606	V	
	Total Unadjusted Error	SENSE	●		± 1.8	%	
		ADIN2/OV, ADIN	●		± 1.6	%	
	Conversion Rate		● 5.5	7.3	9	Hz	
R_{ADIN}	ADIN, ADIN2 Pins Input Resistance	ADIN, ADIN2 = 1.28V	● 2	10		$\text{M}\Omega$	
I_{ADIN}	ADIN, ADIN2 Pins Input Current	ADIN, ADIN2 = 2.56V	●	0	± 2	μA	
I²C インタフェース							
$V_{ADR(H)}$	ADR0, ADR1 Input High Threshold		●	$\text{INTV}_{CC} - 0.8$	$\text{INTV}_{CC} - 0.5$	$\text{INTV}_{CC} - 0.3$	V
$V_{ADR(L)}$	ADR0, ADR1 Input Low Threshold		● 0.3	0.5	0.8	V	
$I_{ADR(IN)}$	ADR0, ADR1 Input Current	ADR0, ADR1 = 0V, 5V	●		± 80	μA	
		ADR0, ADR1 = 0.8V, ($\text{INTV}_{CC} - 0.8\text{V}$)	●	± 10		μA	
$V_{\overline{\text{ALERT}}(OL)}$	$\overline{\text{ALERT}}$ Pin Output Low Voltage	$I_{\overline{\text{ALERT}}} = 4\text{mA}$	●	0.2	0.4	V	
$V_{\text{SDAO}}(OL)$	SDAO Pin Output Low Voltage	$I_{\text{SDAO}} = 4\text{mA}$	●	0.2	0.4	V	
$I_{\text{SDAO}, \overline{\text{ALERT}}(IN)}$	SDAO, $\overline{\text{ALERT}}$ Input Current	SDAO, $\overline{\text{ALERT}} = 5\text{V}$	●	0	± 5	μA	
$V_{\text{SDAI}, \text{SCL}}(\text{TH})$	SDAI, SCL Input Threshold		● 1.6	1.8	2	V	

42612fd

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外は $I_{IN} = 5\text{mA}$ 、 $T_A = 25^\circ\text{C}$ での値。(Note 2)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$I_{SDAI,SCL(IN)}$	SDAI, SCL Input Current	SDAI, SCL = 5V ●		0	±2	μA
I²C インタフェースのタイミング (Note 5)						
$f_{SCL(MAX)}$	Maximum SCL Clock Frequency		400			kHz
t_{LOW}	Minimum SCL Low Period			0.65	1.3	μs
t_{HIGH}	Minimum SCL High Period			50	600	ns
$t_{BUF(MIN)}$	Minimum Bus Free Time Between Stop/Start Condition			0.12	1.3	μs
$t_{HD,STA(MIN)}$	Minimum Hold Time After (Repeated) Start Condition			140	600	ns
$t_{SU,STA(MIN)}$	Minimum Repeated Start Condition Set-Up Time			30	600	ns
$t_{SU,STO(MIN)}$	Minimum Stop Condition Set-Up Time			30	600	ns
$t_{HD,DAT(MIN)}$	Minimum Data Hold Time Input			-100	0	ns
$t_{HD,DATO(MIN)}$	Minimum Data Hold Time Output		300	600	900	ns
$t_{SU,DAT(MIN)}$	Minimum Data Set-Up Time Input			30	100	ns
$t_{SP(MAX)}$	Maximum Suppressed Spike Pulse Width		50	110	250	ns
t_{RST}	Stuck-Bus Reset Time	SCL or SDAI Held Low	25	66		ms
C_X	SCL, SDA Input Capacitance	SDAI Tied to SDAO		5	10	pF

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的の損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: 注記がない限り、ピンに流れ込む電流はすべて正で、すべての電圧はデバイスの GND (V_{IE}) を基準にしている。

Note 3: 内部シャント・レギュレータが V_{IN} ピンを最小 10.65V に制限する。このピンを 10.65V より高い電圧にドライブするとデバイスを損傷する恐れがある。このピンは、電流を 50mA 以下に制限する抵抗により、10.65V より高い電圧に安全に接続することができる。

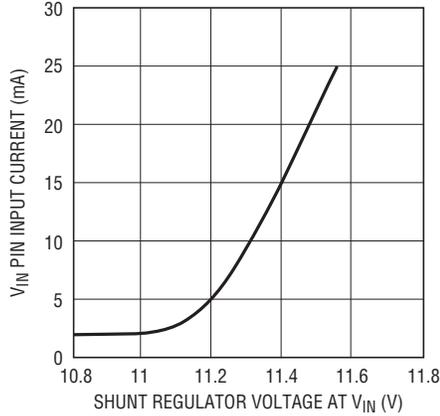
Note 4: 内部クランプが DRAIN ピンを最小 3.5V に制限する。このピンをクランプ電圧より高い電圧にドライブするとデバイスを損傷する恐れがある。このピンは、電流を 2mA 以下に制限する抵抗により、クランプ電圧より高い電圧に安全に接続することができる。

Note 5: 設計によって保証されており、テストされない。

LTC4261/LTC4261-2

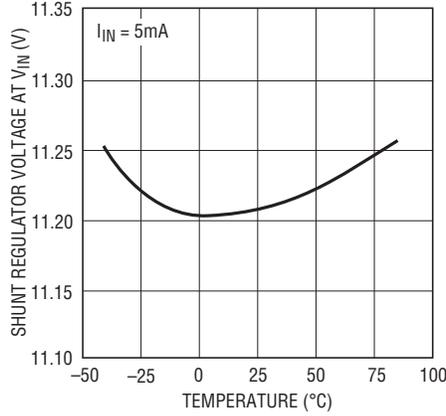
標準的性能特性 注記がない限り、 $I_{IN} = 5\text{mA}$ 、 $T_A = 25^\circ\text{C}$

シャント・レギュレータの
電圧と入力電流



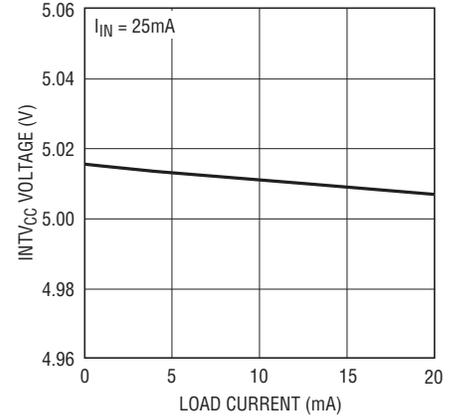
42612 G01

シャント・レギュレータの
電圧と温度



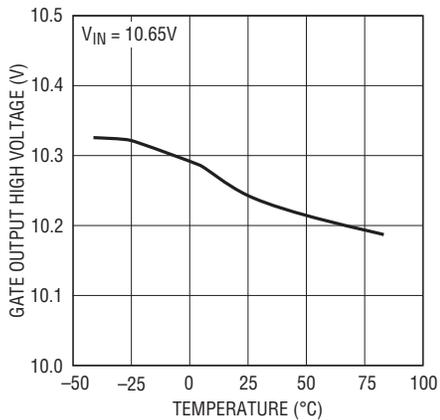
42612 G02

INTV_{CC} と負荷電流



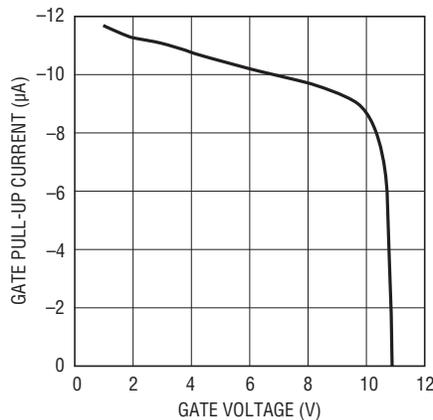
42612 G03

GATE 出力の“H”電圧と温度



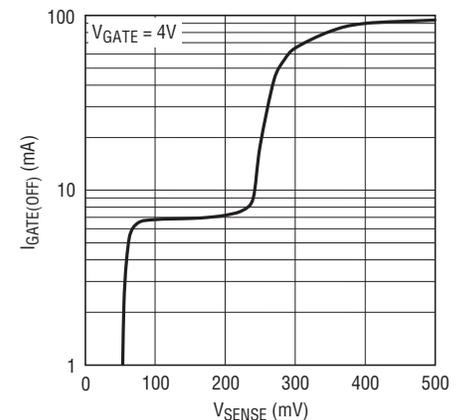
42612 G04

GATE のプルアップ電流と
GATE 電圧



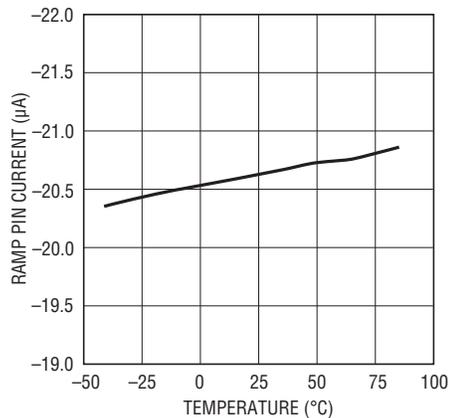
42612 G05

GATE ターンオフ電流と
SENSE 電圧



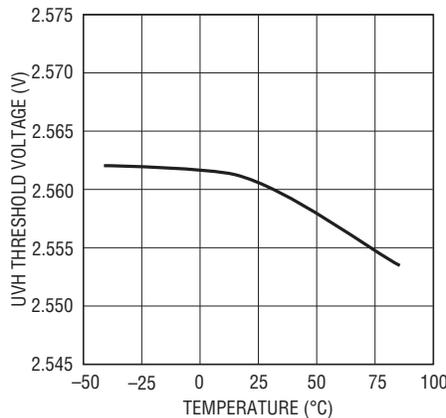
42612 G06

RAMP ピンの電流と温度



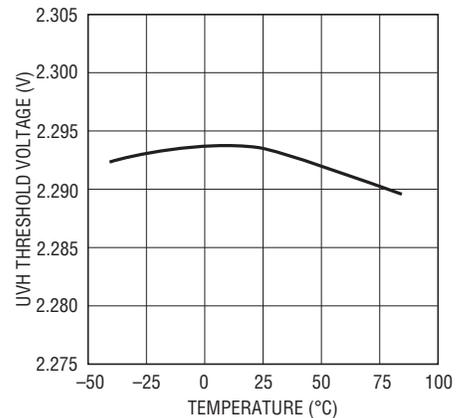
42612 G07

UVH スレッシュホールドと温度



42612 G08

UVL スレッシュホールドと温度

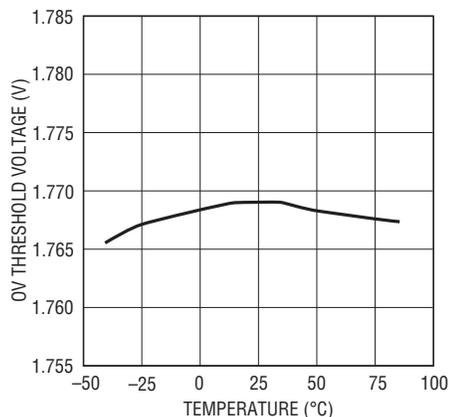


42612 G09

42612fd

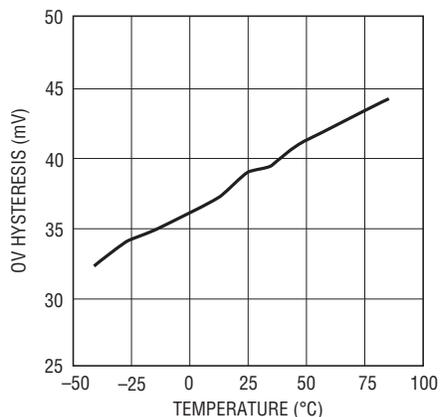
標準的性能特性 注記がない限り、 $I_{IN} = 5\text{mA}$ 、 $T_A = 25^\circ\text{C}$

OVスレッシュホールドと温度



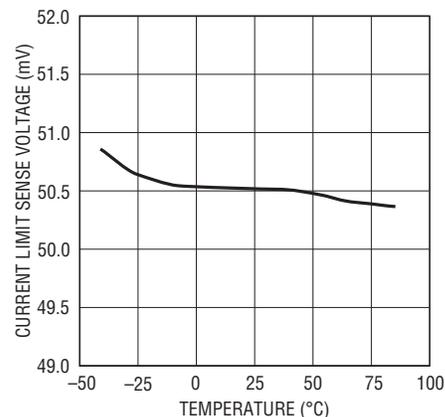
42612 G10

OVヒステリシスと温度



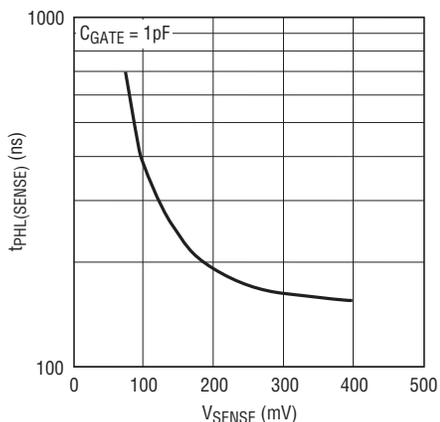
42612 G11

電流制限電圧と温度



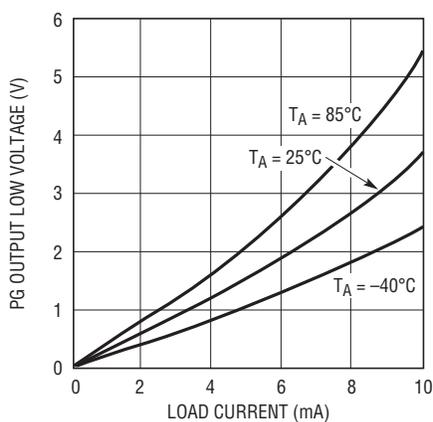
42612 G12

電流制限伝播遅延 ($t_{PHL}(\text{SENSE})$)と V_{SENSE}



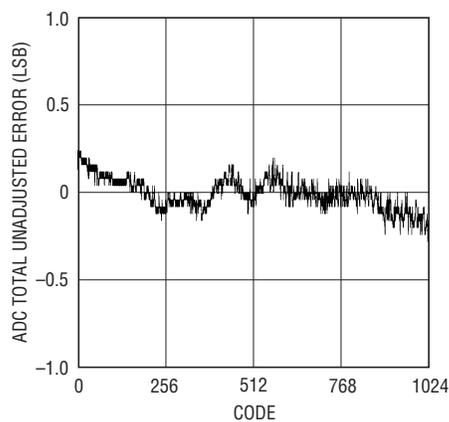
42612 G13

PG、PGIO出力の“L”電圧と負荷電流



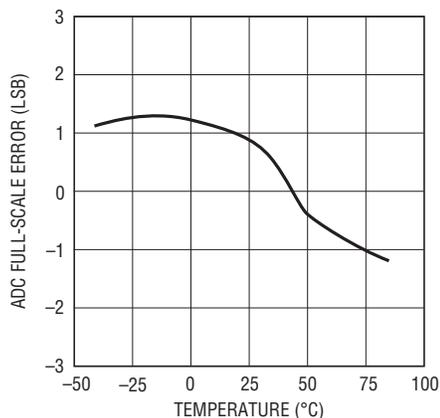
42612 G14

ADCの全未調整誤差とコード(ADINピン)



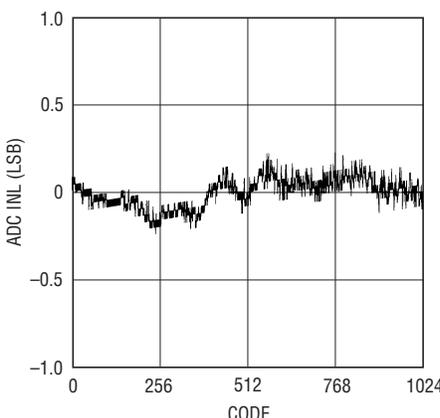
42612 G15

ADCのフルスケール誤差と温度(ADINピン)



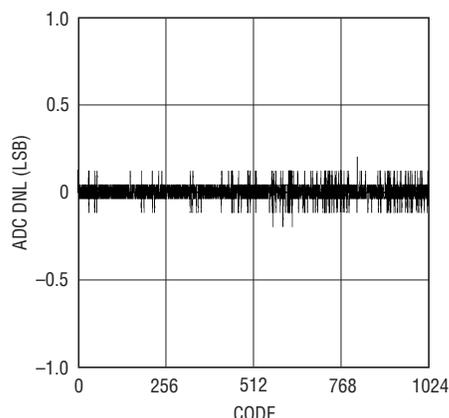
42612 G16

ADCのINLとコード(ADINピン)



42612 G17

ADCのDNLとコード(ADINピン)



42612 G18

42612fd

ピン機能 (SSOP/QFN)

ADIN (ピン 23/ピン 16) : ADC 入力。このピンに加えられる 0V と 2.56V の間の電圧は、内蔵 ADC によって測定することができます。使用しない場合は、 V_{EE} に接続します。

ADIN2 (ピン 10/NA) : 2 つ目の ADC 入力。QFN パッケージには備えられていません。

ADRO、ADR1 (ピン 24、25/ピン 17、18) : シリアル・バスのアドレス入力。これらのピンを V_{EE} に接続するか、オープンにするか、または $INTV_{CC}$ に接続すると、可能な 9 つのアドレスのうちの 1 つに設定されます。「アプリケーション情報」の表 1 を参照してください。

ALERT (ピン 3/ピン 24) : フォルト・アラート出力。オープンドレインのロジック出力で、フォルトが生じると V_{EE} に引き上げられてホスト・コントローラに対してアラートを発行します。フォルト・アラートは \overline{ALERT} レジスタによってイネーブルされます。「アプリケーション情報」を参照してください。使用しない場合は、 V_{EE} に接続します。

DRAIN (ピン 16/ピン 11) : ドレイン検出入力。このピンと N チャネル FET のドレイン端子 (V_{OUT}) の間に 1M の外付け抵抗を接続します。DRAIN ピンの電圧が 1.77V より低く、GATE ピンの電圧が $V_Z - 1.2V$ より高いと、パワーグッド出力が所定の遅延時間後にアサートされます。このピンの電圧は内部で 4V にクランプされています。

EN (ピン 26/ピン 19) : デバイスのイネーブル入力。“L”にすると、TMR ピンによって設定される起動デバウンス遅延時間の後、N チャネル FET をオンすることができます。このピンが “H” に引き上げられると、FET はオフします。このピンの遷移は FAULT レジスタに記録されます。“H” から “L” への遷移によってロジック回路が作動し、ON ピンの状態を読み出してフォルトをクリアします。外付けのプルアップが必要です。基板の接続のモニタに使用する場合、外付けコンデンサによるバウンス除去を行うことを推奨します。使用しない場合は、 V_{EE} に接続します。

露出パッド (ピン 25、QFN のみ) : 露出パッドはオープンのままにするか、デバイスのグラウンド (V_{EE}) に接続することができます。

FLTIN (ピン 22/NA) : 汎用フォルト入力。このピンが “L” になると、FAULT レジスタのビット 7 が 1 にラッチされます。このピンは外部フォルト状態の検出に使用され、このピンの状態が LTC4261 の FET 制御機能に影響を与えることはありません。QFN パッケージには備えられていません。使用しない場合は、 $INTV_{CC}$ に接続します。

GATE (ピン 15/ピン 10) : N チャネル FET のゲート・ドライブ出力。このピンは、内部電流源 I_{GATE} (SS ピンがクランプ電圧に達したとき 11.5 μ A) によってプルアップされています。 V_{IN} と $INTV_{CC}$ が UVLO スレッシュホールドを超え、UV 条件と OV 条件が満たされ、調整可能なタイマの遅延時間が経過するまで、GATE は “L” のままです。ターンオフの間 (フォルトまたは低電圧ロックアウト (V_{IN} または $INTV_{CC}$) によって生じる)、GATE と V_{EE} の間の 110mA のプルダウン電流源がアクティブになります。

INTV_{CC} (ピン 7/ピン 4) : 低電圧 (5V) 電源出力。これは、内部 UVLO スレッシュホールドが 4.25V の内部リニア・レギュレータの出力です。この電圧により、データ・コンバータとロジック制御回路が起動します。このピンは 0.1 μ F のコンデンサで V_{EE} にバイパスします。

ON (ピン 2/ピン 23) : オン制御入力。立ち上がりエッジで外部 N チャネル FET をオンし、立ち下がりエッジでオフします。このピンは、CONTROL レジスタの FET ON レジスタのビット D3 (したがって外部 FET) のパワーアップ時の状態を設定するのにも使用されます。たとえば、ON ピンが “H” に接続されていると、レジスタのビット D3 はパワーアップ後の 1 タイマ・サイクルで “H” になります。同様に、ON ピンが “L” に接続されていると、デバイスは、パワーアップ後に I²C バスを使用してレジスタのビット D3 が “H” に設定されるまでオフ状態に保たれます。このピンの “H” から “L” への遷移によってフォルトがクリアされます。

OV (ピン 11/ピン 7) : 過電圧検出入力。このピンを V_{EE} からの外部抵抗分割器に接続します。ピンの電圧が 1.77V を上回ると、N チャネル FET がオフします。過電圧状態がパワーグッド出力の状態に影響を与えることはありません。QFN パッケージでは、このピンも内蔵 ADC によって測定されます。使用しない場合は、 V_{EE} に接続します。

PG (ピン 27/ピン 20) : パワーグッド状態出力。このオープンドレイン・ピンは、(GATE が $V_Z - 1.2V$ に達して DRAIN が V_{EE} の 1.77V 以内になると) FET がオンしてからタイマ遅延後に “L” になり、ラッチされたままになります。パワーグッド出力は、過電圧フォルトを除き、GATE をプルダウンするすべてのイベントでリセットされます。使用しない場合は、 V_{EE} に接続します。

ピン機能 (SSOP/QFN)

PGI (ピン1/ピン22) : パワーグッド入力。このピンはPGIチェック・タイマとともにウォッチドッグとして機能し、DC/DCコンバータのパワーアップをモニタします。PGIピンは、PGIチェック・タイマの時間が経過する前に“L”にする必要があります。そうしないと、GATEピンがプルダウンされてラッチされたままになり、パワーバッド・フォルトがFAULTレジスタに記録されます。2番目のパワーグッドがラッチされた後、PGIタイマが始動し、その遅延は起動デバウンス遅延の4倍に等しくなります。使用しない場合は、V_{EE}に接続します。

PGIO (ピン28/ピン21) : 汎用入力/出力。オープン・ドレインのロジック出力およびロジック入力。PGピンが“L”になってからタイマ遅延後に“L”になり、2番目のパワーグッド出力を示すようにデフォルトで設定されています。表6に従って設定します。

RAMP (ピン18/ピン12) : 突入電流ランプ制御ピン。RAMPピンとFETのドレイン端子の間にコンデンサ(C_R)を接続することにより、突入電流を設定します。起動時、パス・トランジスタがオンし始めるまで、GATEピンがI_{GATE(UP)}によってプルアップされます。次いで、C_Rを通して電流I_{RAMP}が流れ、出力電圧V_{OUT}をランプダウンします。I_{RAMP}の値はSSピンの電圧によって制御されます。SSピンがクランプ電圧(2.56V)に達すると、I_{RAMP} = 20μAになります。V_{OUT}のランプレートと負荷コンデンサC_Lにより、突入電流I_{INRUSH} = (C_L/C_R) • I_{RAMP}が設定されます。

SCL (ピン6/ピン3) : シリアル・バスのクロック入力。SCLの立ち上がりエッジで、SDAIピンのデータがシフトインされ、SDAOピンのデータがシフトアウトされます。これは高インピーダンスのピンで、通常、マスタ・コントローラのSCLポートによってドライブされる受信側オプトアイソレータの出力に接続します。外付けプルアップ抵抗または電流源が必要です。使用しない場合は、INTV_{CC}にプルアップします。

SDAI (ピン5/ピン2) : シリアル・バスのデータ入力。これは、コマンド・ビット、データ・ビットおよびSDAOのアクノリッジ・ビットのシフトインに使用される高インピーダンス入力ピンです。外付けプルアップ抵抗または電流源が必要です。通常、マスタ・コントローラのSDAポートによってドライブされる受信側オプトアイソレータの出力に接続されます。マスタ・コントローラがSDAIとSDAOを分けている場合、適正なI²C通信を行うためには、SDAOで読み出されるデータをSDAIにエコーバツ

クする必要があります。使用しない場合は、INTV_{CC}にプルアップします。

SDAO (ピン4/ピン1) : シリアル・バスのデータ出力。データをマスタ・コントローラに送り返すため、または書き込み動作のアクノリッジを返すために使用されるオープン・ドレイン出力。外付けプルアップ抵抗または電流源が必要です。通常、マスタ・コントローラのSDAポートに出力する送信側オプトアイソレータの入力に接続されます。1線ブロードキャスト・モードの場合、SDAOピンは内部クロックでエンコードされた、選択されたデータを送出します。

SENSE (ピン14/ピン9) : 電流制限検出入力。外付けセンス抵抗(R_S)を流れる負荷電流は、アクティブ電流制限アンプによってモニタされ、50mV/R_Sに制御されます。V_{SENSE}が50mVに達すると、回路ブレーカ・タイマが始動して530μs後にパス・トランジスタをオフします。致命的な短絡が発生し、V_{SENSE}が250mVを超えると、高速応答コンパレータが直ちにGATEピンをプルダウンしてNチャネルFETの電流を制御します。

SS (ピン19/ピン13) : ソフトスタート入力。このピンにコンデンサを接続して、起動時の突入電流の上昇レート(dI/dt)を調整します。外付けソフトスタート・コンデンサ(C_{SS})を充電する10μAの内部電流源が電圧ランプを発生します。この電圧が電流に変換され、GATEピンを充電して出力電圧をランプダウンします。SSピンは2.56Vに内部クランプされていて、I_{GATE(UP)}を11.5μAに、I_{RAMP}を20μAに制限します。SSコンデンサがないと、SSピンは220μsで0Vから2.56Vまで上昇します。

TMR (ピン20/ピン14) : 遅延タイマ入力。このピンにコンデンサ(C_{TMR})を接続して、起動時、パワーグッド出力のプルダウン時、PGIチェック時、およびフォルト(過電圧フォルト以外)後の自動リトライ時にタイミング遅延を発生します。内部の10μAおよび5μAのプルアップ電流と5μAおよび12mAのプルダウン電流により、256ms • C_{TMR}/μFの公称遅延時間の倍数の遅延時間が設定されます。起動時と低電圧フォルトまたはパワーバッド・フォルトに続く自動リトライ時の遅延時間は公称遅延時間に等しくなります。シーケンス制御されたパワーグッド出力の遅延時間は、公称遅延時間の2倍になります。PGIチェックと過電流フォルトに続く自動リトライの遅延時間は、公称遅延時間の4倍になります。

ピン機能 (SSOP/QFN)

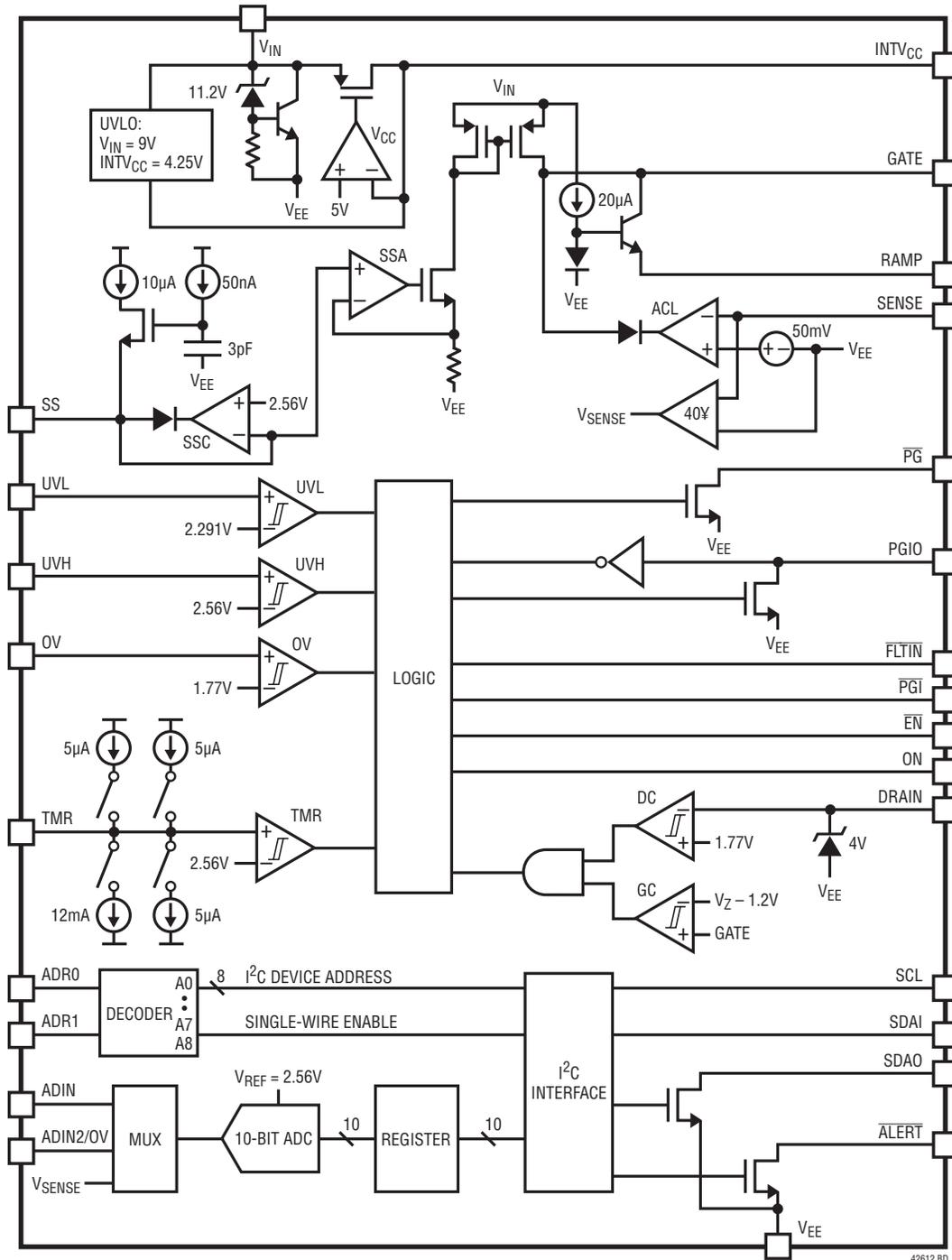
UVH (ピン9/ピン6) : 低電圧の“H”レベル入力。このピンを V_{EE} からの外部抵抗分割器に接続します。UVHピンの電圧が2.56Vを上回ると、パス・トランジスタをオンすることができます。このピンに小容量のコンデンサを接続すると、過渡とスイッチング・ノイズによるUVHスレッシュホールドへの影響を防ぎます。使用しない場合は、INTV_{CC}に接続します。

UVL (ピン8/ピン5) : 低電圧の“L”レベル入力。このピンを V_{EE} からの外部抵抗分割器に接続します。UVLピンの電圧が2.291Vを下回ると、パス・トランジスタがオフしてパワーグッド出力が高インピーダンスになります。このピンを1.21Vより低くすると、フォルトがリセットされ、パス・トランジスタを再度オンすることができます。使用しない場合は、INTV_{CC}に接続します。

V_{EE} (ピン13/ピン8) : 負電源電圧入力とデバイスのグラウンド。このピンは電源の負電圧側に接続します。

V_{IN} (ピン21/ピン15) : 正電源入力。このピンはドロッピング抵抗を介して正電源に接続します。内部シャント・レギュレータが V_{IN} を11.2Vにクランプします。内部の低電圧ロックアウト (UVLO) 回路が、 V_{IN} が9Vより高くなるまでGATEを“L”に保ちます。このピンは1 μ Fのコンデンサで V_{EE} にバイパスします。

ブロック図



42612 BD

動作

LTC4261/LTC4261-2は制御された状態で基板の電源電圧をオン/オフするように設計されているので、電源の入っている-48Vのバックプレーンに対して基板を安全に挿抜できます。また、このデバイスは10ビットの内蔵ADCとI²Cインタフェースを備えているので、基板の電流、電圧およびフォルト状態をモニタすることができます。LTC4261/LTC4261-2の主な機能回路を「ブロック図」に示します。

起動デバウンス遅延時間の後の通常動作時に、GATEピンが外部NチャネルFETをオンして負荷に電力を供給します。GATEピンはV_{IN}ピンの11.2Vのシャント安定化電源から電力を供給され、この電源はドロッピング抵抗を介して-48V RTNから得られます。ターンオン・シーケンスはSSピンのプルアップによって開始されます。SSピンの電圧は電流I_{GATE}(UP)に変換され、GATEをプルアップします。パスFETがオンして負荷コンデンサを充電し始めると、FETを流れる突入電流は、RAMPのコンデンサ(C_R)、負荷コンデンサ(C_L)、およびRAMPピンからC_Rに流れるランプ電流(I_{RAMP})の関数になります。

$$I_{\text{NRUSH}} = I_{\text{RAMP}} \cdot \frac{C_L}{C_R}$$

I_{RAMP}とI_{GATE}(UP)は、SSピンの電圧にほぼ比例し、SSがクランプ電圧(2.56V)に達すると、それぞれ20μAと11.5μAに制限されます。

過電流保護と短絡保護用にACLアンプが使用されています。このアンプは、SENSEピンの電圧とセンス抵抗R_Sを介して負荷電流をモニタします。過電流状態のとき、ACLアンプはアクティブ・サーボループのGATEをプルダウンすることにより、電流を50mV/R_Sに制限します。530μsのタイムアウト後、ACLアンプはパスFETをオフします。致命的な短絡が発生し、V_{SENSE}が250mVを超えると、高速応答コンパレータがGATEピンを直ちにプルダウンします。

DRAIN電圧とGATE電圧がモニタされ、負荷に電力を供給できるかどうかが決まります。パワーグッド信号はPGピン(1番目のパワーグッド信号)、PGIOピン(2番目のパワーグッド信号)の順でオンになり、それぞれ起動遅延時間の2倍の

デバウンス遅延時間があります。PGIOピンは汎用入力または出力に使用することもできます。PGIピンはウォッチドッグとして機能し、DC/DCモジュールの出力をモニタします。モジュールの出力が起動できないと、LTC4261/LTC4261-2はシャットダウンします。

TMRピンは、初期起動、フォルトに続く自動リトライ、パワーグッド出力およびPGIチェックのための遅延時間を発生します。

ロジック回路は、内部で生成される5V電源(INTV_{CC}ピンで利用可能)から電力を供給されます。パスFETをオンする前に、V_{IN}電圧とINTV_{CC}電圧の両方が低電圧ロックアウト・スレッショルドを超える必要があります。さらに、制御入力UVH、UVL、OV、EN、ONおよびPGIがコンパレータによってモニタされます。すべての起動条件が満たされるまで、FETはオフ状態に保たれます。

LTC4261/LTC4261-2には、10ビットのアナログ・デジタル・コンバータ(ADC)が内蔵されています。このADCは、SENSE抵抗の電圧のほか、ADIN2/OV(SSOP/QFN)ピンとADINピンの電圧を測定します。測定結果は内蔵レジスタに格納されます。

ADCのデータ・レジスタを読み出すためにI²Cインタフェースが備えられています。このインタフェースにより、ホストがデバイスをポーリングして、フォルトが発生しているかどうかを確認することができます。ALERTラインが割り込みに使用されていると、ホストはフォルトにリアルタイムで応答することができます。SDAラインはSDAI(入力)とSDAO(出力)に分割されており、システム・ホストとの光結合を容易にしています。2つのスリーステート・ピンADR0およびADR1は、8つのデバイス・アドレスのデコードに使用されます。このインタフェースは、ADR0ピンとADR1ピンを使って1線ブロードキャスト・モードに設定することも可能で、SCLラインにクロックを出力することなく、SDAOピンを介してADCデータとフォルト状態をホストに送出します。この1線の単方向通信は、I²Cインタフェースに必要なSCLとSDAIの2個のオプトカップラをなくすことにより、システム設計を簡素化します。

アプリケーション情報

LTC4261/LTC4261-2は-48V分散型電源システムとAdvanced TCAシステムに最適です。LTC4261を使用した基本的な200Wの応用回路を図1に示します。AdvancedTCA接続を使用したより複雑な応用回路を図2に示します。

入力電源

LTC4261/LTC4261-2の電力は、 V_{IN} ピンに接続された外付け電流制限抵抗(R_{IN})を介して-48V RTNから供給されます。内部シャント・レギュレータが V_{IN} の電圧を11.2V(V_Z)にクラ

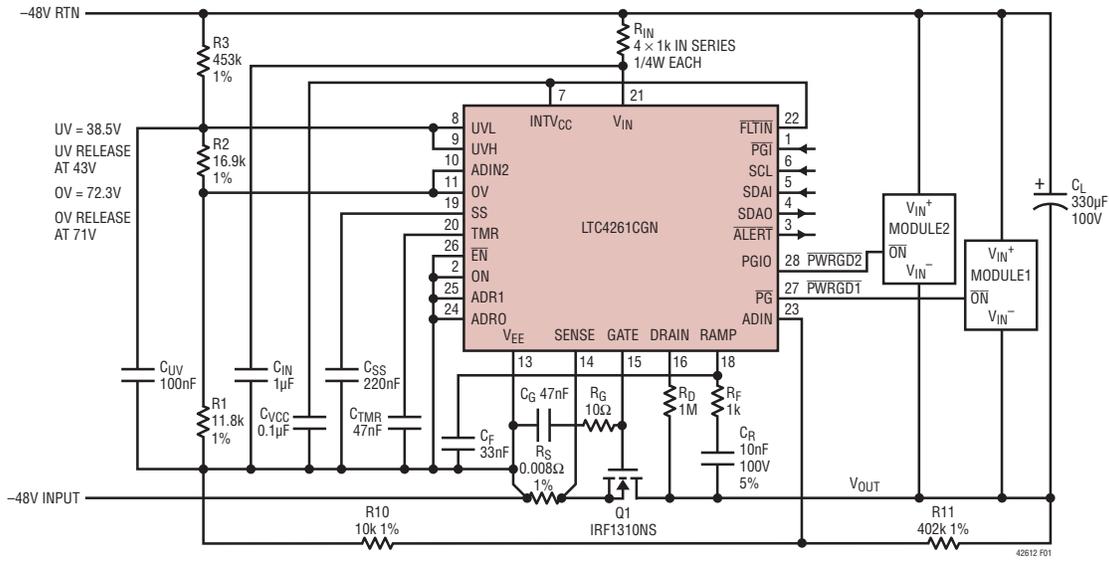


図1. LTC4261を使用した-48V/200W Hot Swapコントローラ、電流、入力電圧および V_{DS} のモニタ機能付き(5.6Aの電流制限、0.66Aの突入電流)

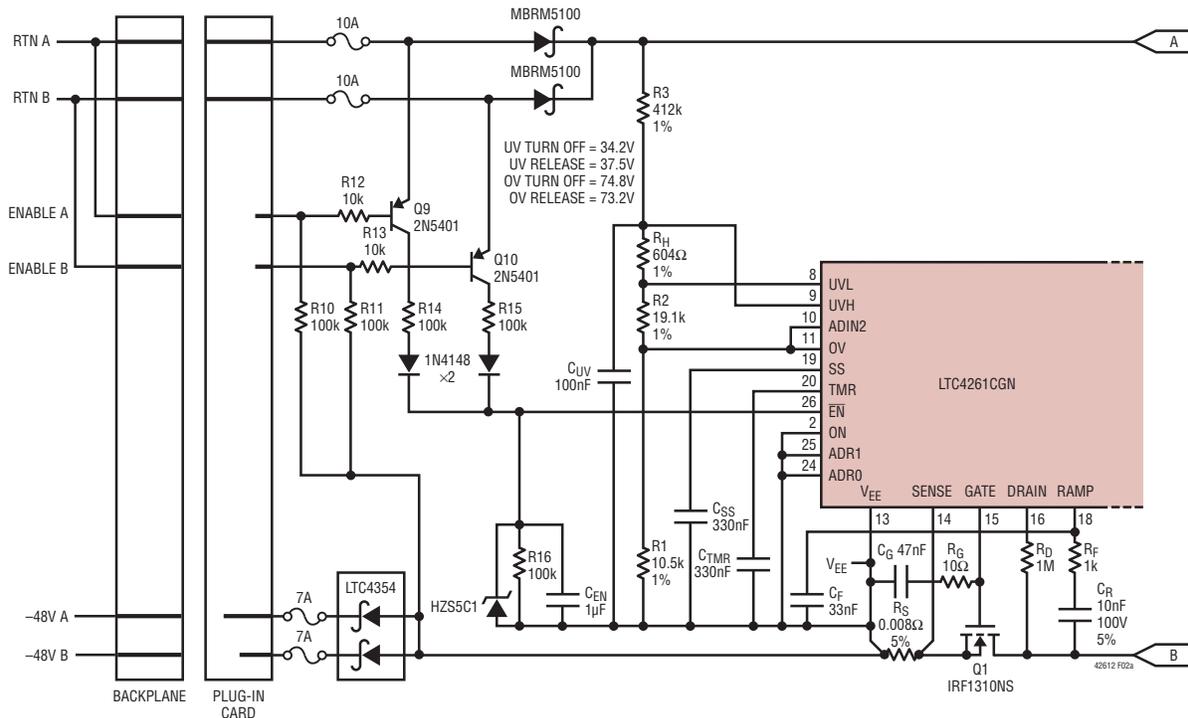


図2a. I^2C モードのLTC4261を使用した200W AdvancedTCA Hot Swapコントローラ、入力/出力のモニタおよびパワーグッド・ウォッチドッグ機能付き(パート1)

42612fd

LTC4261/LTC4261-2

アプリケーション情報

ンプし、ゲート・ドライバに電力を供給します。データ・コンバータとロジック制御回路は、11.2V 電源から5Vを引き出す内部リニア・レギュレータによって電力を供給されます。5V出力は、外部回路のドライブ用にINTV_{CC}ピンで利用可能です(負荷電流は最大20mA)。

V_{IN}とINTV_{CC}にはそれぞれ1μFと0.1μFのバイパス・コンデンサを推奨します。R_{IN}は、LTC4261/LTC4261-2の最大消費電流要件(5mA)に、所定の最小動作電圧でV_{IN}ピンとINTV_{CC}ピンによってドライブされるすべての外付け部品が必要とする消費電流を加えた値に対応するように選択します。

$$R_{IN} \leq \frac{V_{48V(MIN)} - V_Z(MAX)}{I_{IN(MAX)} + I_{EXTERNAL}}$$

抵抗の最大電力損失は次のとおりです。

$$P_{MAX} = \frac{(V_{48V(MAX)} - V_Z(MIN))^2}{R_{IN}}$$

1本の抵抗の電力損失が大きすぎる場合には、複数の低電力抵抗を直列に接続するか、または図3に示すように、独立したNPNバッファから外部負荷に電力を供給します。

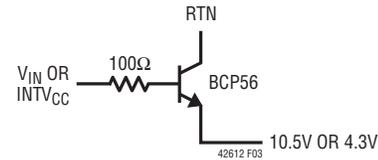


図3. NPNバッファが、外部負荷への電力供給時にR_{IN}の過度の電力損失を緩和

初期起動と突入電流制御

FETのターンオン・シーケンスを開始する前にいくつかの条件を満たす必要があります。まず、V_{IN}の電圧が9Vの低電圧ロックアウト・レベルを上回る必要があります。次に、内部電源INTV_{CC}が4.25Vの低電圧ロックアウト・レベルを超える必要があります。これにより、100μs ~ 160μsのパワーオン・リセット・パルスが生成され、その間、レジスタに関するセクションで説明するように、FAULTレジスタ・ビットがクリアされ、CONTROLレジスタ・ビットがセットまたはクリアされます。パワーオン・リセット・パルスの後、UVH、UVL、OVの各ピンの電圧がUVH > 2.56V、UVL > 2.291V、OV < 1.77Vの各要件を満たして入力電力が許容範囲内であることを知らせ、ENピンを“L”にする必要があります。TMRピンに接続された外付けコンデンサ(C_{TMR})によって設定される起動デバウンス遅延時間の間、上記のすべての条件を満たす必要があります。

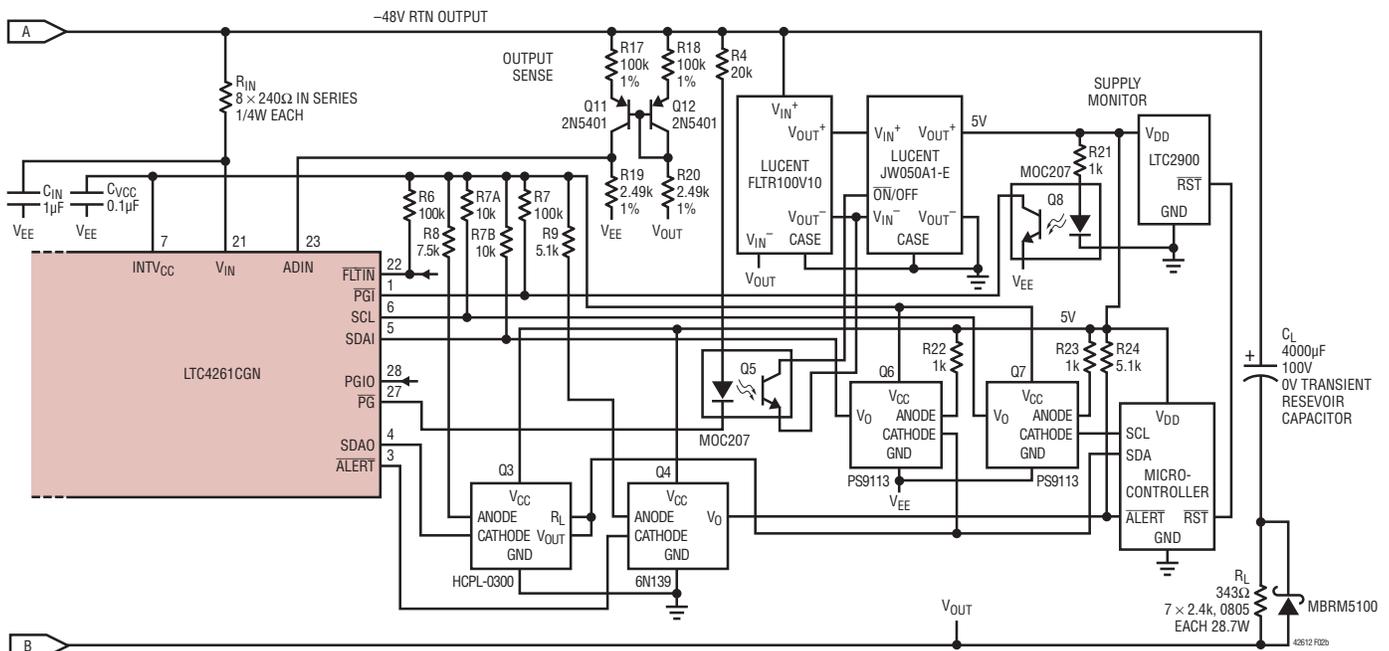


図2b. I²CモードのLTC4261を使用した200W AdvancedTCA Hot Swapコントローラ、入力/出力のモニタおよびパワーグッド・ウォッチドッグ機能付き(パート2)

42612fd

アプリケーション情報

C_{TMR} は TMR の電圧が 2.56V に達するまで 10 μ A のプルアップ電流によって充電されます。次いで、 C_{TMR} は 12mA の電流によって短時間で放電されます。TMR が 75mV 以下になると、初期遅延が終了します。起動遅延の持続時間は次式で与えられます。

$$t_D = 256\text{ms} \cdot \frac{C_{TMR}}{1\mu\text{F}}$$

起動遅延が終了する前に上記の条件のいずれかが満たされなくなると、 C_{TMR} が短時間で放電してターンオン・シーケンスが再び開始されます。起動遅延の間にすべての条件が満たされると、ON ピンがチェックされます。ON ピンが“H”の場合、FET がオンします。そうでない場合は、ON ピンを“H”にするか、または I²C インタフェースを介して CONTROL レジスタの FET ON ビット D3 を“1”にセットすると、FET がオンします。

FET のターンオン・シーケンスに続いて、SS ピンの外付けコンデンサ (C_{SS}) が 10 μ A のプルアップ電流で充電され、SS の電圧 (V_{SS}) が GATE をプルアップするための 11.5 μ A \cdot $V_{SS}/2.56\text{V}$ の電流 ($I_{GATE(UP)}$) に変換されます。GATE が FET スレッシュホルド電圧に達すると、FET に突入電流が流れ始め、RAMP ピンから 20 μ A \cdot $V_{SS}/2.56\text{V}$ の電流 (I_{RAMP}) が、RAMP と V_{OUT} の間に接続された外付けコンデンサ (C_R) を介して流れ出します。SS の電圧は 2.56V にクランプされており、 $I_{GATE(UP)} = 11.5\mu\text{A}$ と $I_{RAMP} = 20\mu\text{A}$ に対応しています。RAMP ピンの電圧は 1.1V に安定化されていて、 V_{OUT} のランプレートにより、突入電流が次のように決まります。

$$I_{INRUSH} = 20\mu\text{A} \cdot \frac{C_L}{C_R}$$

V_{SS} のランプレートにより、突入電流の dI/dt が次のように決まります。

$$\frac{dI_{INRUSH}}{dt} = 20\mu\text{A} \cdot \frac{C_L}{C_R} \cdot \frac{1\mu\text{F}}{256\text{ms} \cdot C_{SS}}$$

C_{SS} がないと、内部回路が SS ピンを約 220 μ s で 0V から 2.56V まで引き上げます。

V_{OUT} が V_{EE} までランプダウンすると、 I_{GATE} が GATE ピンに戻されて、GATE を V_{GATEH} までプルアップします。LTC4261/LTC4261-2 の起動シーケンスを図 4 に示します。

基板の挿入時と入力電力のステップ時に、内部クランプがオンして RAMP ピンを“L”に保ちます。コンデンサ C_F と抵抗 R_F が RAMP ピンのノイズを抑制します。適切に動作させるには、 $R_F \cdot C_R$ が 50 μ s を超えないようにします。 C_F の推奨値は $3 \cdot C_R$ です。

パワーグッド・モニタ

パス・トランジスタの V_{DS} が 1.77V を下回り、GATE が $V_Z - 1.2\text{V}$ を上回ると、図 4 に示すように、内部パワーグッド信号がラッチされ、連続する 3 つの遅延サイクルが開始されます。持続時間が $2t_D$ の 1 つ目の遅延サイクルが終了すると、パワーグッド信号が 1 つ目のモジュールをオンするので、PG ピンが“L”になります。2 つ目の遅延サイクル ($2t_D$) が終了すると、パワーグッド信号が 2 つ目のモジュールをオンするので、PGIO ピンが“L”になります。持続時間が $4t_D$ の 3 つ目の遅延サイクルは $\overline{\text{PGI}}$ のチェック用です。3 つ目の遅延サイクルが終了する前に、 $\overline{\text{PGI}}$ ピンを外部電源モニタ (図 2 の LTC2900 など) によって“L”にして、FET をオンに保つ必要があります。そうしないと、FET がオフし、FAULT レジスタにパワーバッド・フォルト (PBAD) が記録されます。 $2t_D$ のタイマ遅延は、5 μ A の電流で C_{TMR} を充電し、TMR が 2.56V に達したら 12mA の電流で C_{TMR} を放電することによって得られます。 $4t_D$ のタイマ遅延の場合、 C_{TMR} の充電電流と放電電流はどちらも 5 μ A です。 $\overline{\text{PGI}}$ と PGIO のパワーグッド信号は、過電圧フォルトを除き、FET のすべてのターンオフ状態のときにリセットされます。

ターンオフ・シーケンスと自動リトライ

以下のいずれの状態でも、110mA の電流で GATE がプルダウンすることによって FET がオフし、12mA の電流で C_{SS} と C_{TMR} が放電されます。

- ON ピンが“L”である、または CONTROL レジスタの ON ビットが 0 にセットされている。
- $\overline{\text{EN}}$ ピンが“H”である。
- UVL の電圧が 2.291V より低く、UVH の電圧が 2.56V より低い (低電圧フォルト)。
- OV の電圧が 1.77V より高い (過電圧フォルト)。
- V_{IN} の電圧が 9V より低い (V_{IN} の低電圧ロックアウト)。

アプリケーション情報

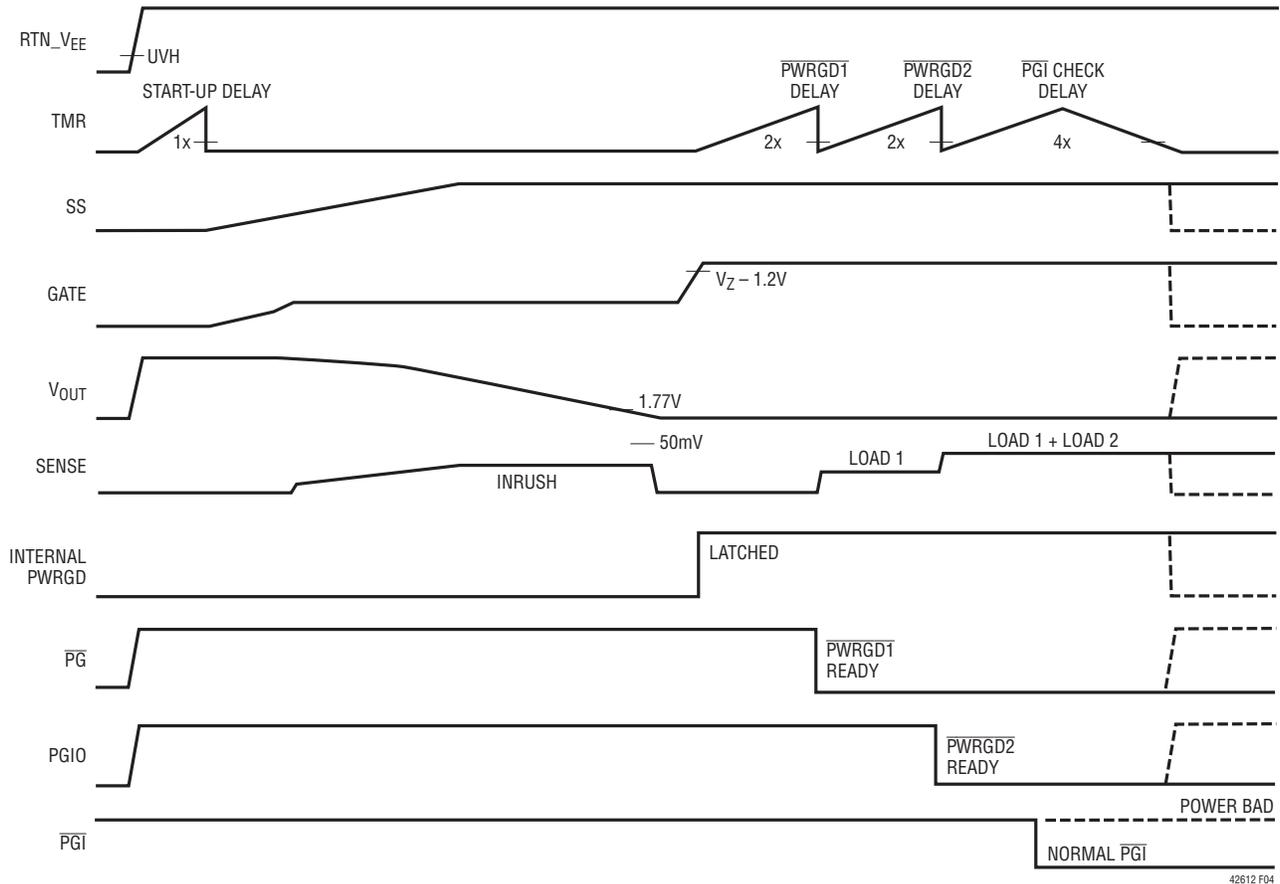


図4. LTC4261のターンオン・シーケンス

6. $INTV_{CC}$ の電圧が4.25Vより低い($INTV_{CC}$ の低電圧ロックアウト)。
 7. V_{SENSE} が50mVより高く、この状態が530 μ sより長く続く(過電流フォルト)。
 8. \overline{PGI} チェック・タイマの時間が経過したときに \overline{PGI} ピンが“H”である(パワーバッド・フォルト)。
- 1、2、5、6の各状態では、これらの状態が解消されると、前に説明したように、LTC4261/LTC4261-2は自動的にFETのターンオン・シーケンスを開始します。
- 3、4、7、8のいずれのフォルト状態でも、FETのオフ・モードは、CONTROLレジスタの対応する自動リトライ・ビットによってプログラム可能です。自動リトライ・ビットが0に設定される

と、フォルト状態に応じてFETがラッチオフします。自動リトライ・ビットが1に設定されると、フォルト状態が解消されてから遅延タイマが始動します。タイマの時間が経過すると、FETが自動リトライ・モードになり、ゲートがプルアップされます。低電圧フォルトまたはパワーバッド・フォルトに続く自動リトライには t_D の遅延時間があります。過電流フォルトに続く自動リトライには、追加の冷却時間を考慮した $4t_D$ の遅延時間があります。過電圧フォルトに続く自動リトライには遅延時間がありません。パワーアップ時の自動リトライ制御ビットとそれらのデフォルト値を表6に示します。過電流フォルトの後、LTC4261がデフォルトでラッチオフに設定されているのに対して、LTC4261-2はデフォルトで自動リトライに設定されていることに注意してください。

アプリケーション情報

ENとON

ENおよびONと、GATE、ALERTおよび内部レジスタA4、A7、B4、C4、D3の関係を表すロジック図を図5に示します。また、UV、OVの状態とその他いくつかのフォルト状態がGATEに影響を与えます。ENピンとONピンのロジック・スレッシュホールドは、 V_{EE} を基準にして0.8V～2V、最大入力リーク電流は±2μAです。

レジスタ・ビットA4はENの現在の状態を示し、ENの状態が変わると、B4が“H”にセットされます。ONピンの立ち上がりエッジと立ち下がりエッジで、FETオン制御ビットD3のセットとクリアが行われます。ENの立ち下がりエッジでONピンの“H”状態(ONが永続的に“H”になっている場合など)をラッチして、遅延時間後にD3のセットが可能なおもう1つの方法があります。B4とD3のどちらも、 I^2C によって直接セットまたはクリアが可能です。INTV_{CC}がUVLOスレッシュホールドを下回ると“L”にクリアされます。GATEピンの出力の状態はレジスタ・ビットA7によって制御されます。A7は、A4、D3、およびUV、OVなどのフォルトがない状態の論理和です。

過電流保護と過電流フォルト

LTC4261/LTC4261-2には、短絡状態と過電流状態からの2レベルの保護機能があります。SENSEピンと抵抗 R_S によって負荷電流がモニタされます。SENSEの電圧には2つの異なるスレッシュホールドがあります。アクティブ電流制限ループの起動

と530μsの回路ブレーカのタイマの始動のための50mVと、致命的な短絡や入力ステップが生じた場合にピーク電流を制限する高速GATEプルダウンのための250mVです。

過電流状態のとき、 R_S 両端の電圧降下が50mVを超えると、電流制限ループが起動して530μsの内部回路ブレーカ・タイマが起動します。電流制限ループはGATEをサーボ制御して、50mV/ R_S の一定出力電流を維持します。回路ブレーカ・タイマの時間が経過すると、110mAの電流でGATEをプルダウンすることによってFETがオフし、SSとTMRのコンデンサが放電してパワーグッド信号がリセットされます。この時点で、過電流検出ビットA2と過電流フォルト・ビットB2がセットされ、回路ブレーカ・タイマがリセットされます。

FETがオフすると、過電流検出ビットA2はクリアされます。過電流自動リトライ・ビットD2がセットされていると、FETは4 t_D の冷却時間の後、再び自動的にオンします。そうでない場合、FETは過電流フォルト・ビットB2がリセットされるまでオフ状態に保たれます。過電流フォルト・ビットがリセットされる(「フォルトのリセット」を参照)と、FETは4 t_D の遅延の後で再びオンすることができます。過電流フォルトに関連した4 t_D の冷却時間は、その他のどのフォルト状態によっても中断されません。過電流状態の後に自動リトライが行われるLTC4261/LTC4261-2の動作については、図6を参照してください。

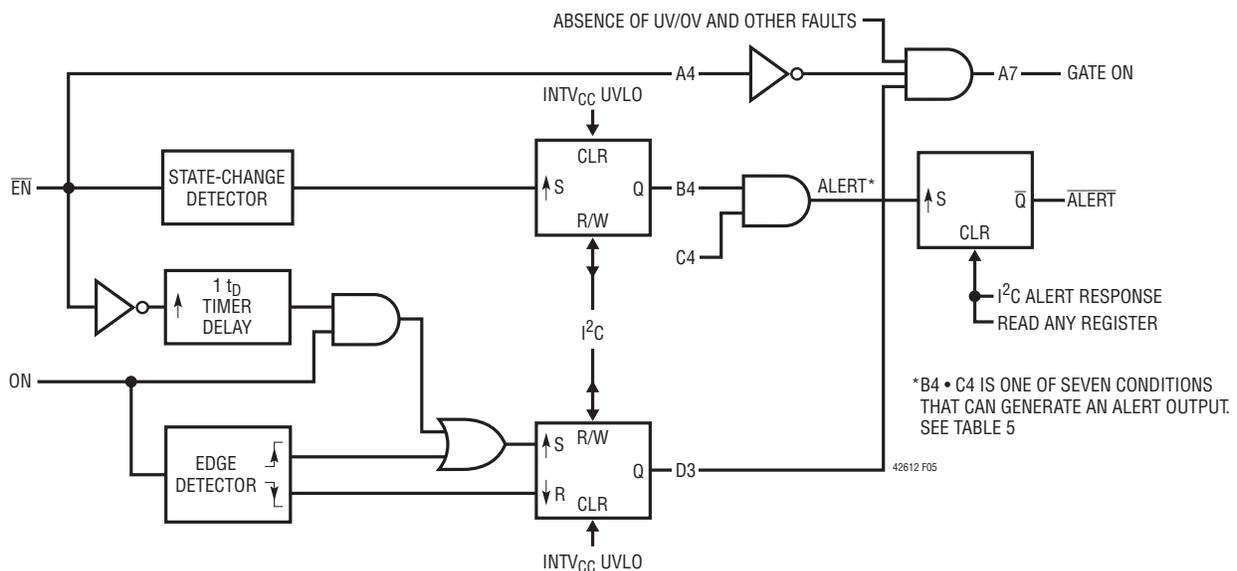


図5. ENピンとONピンのロジック・ブロック図

アプリケーション情報

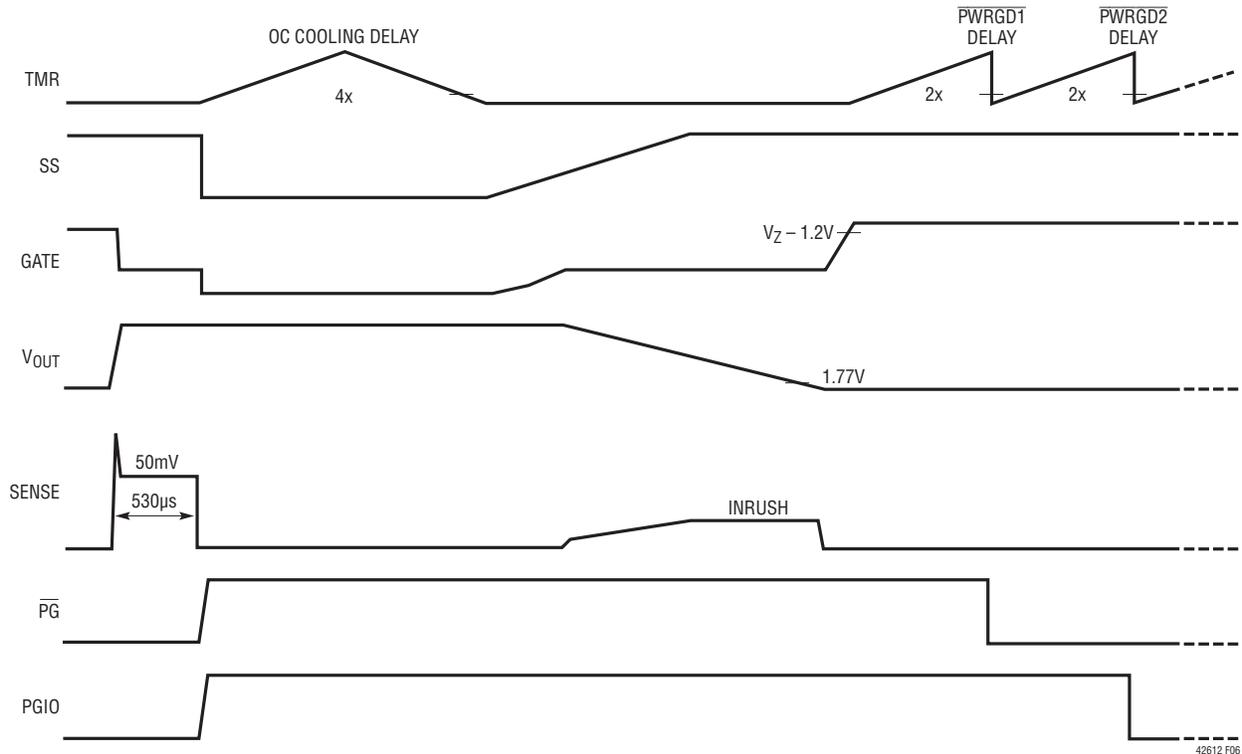


図6. 過電流フォルトと自動リトライ

負荷側で低インピーダンスの短絡が生じたり、バッテリー交換時に入力ステップが生じた場合、電流のオーバーシュートは避けられません。250mVのスレッシュホールドを備えた高速SENSEコンパレータがオーバーシュートを検出し、GATEを直ちに“L”にします。SENSEの電圧が50mVまで低下すると、電流制限ループが引き継ぎ、前に説明したように電流をサーボ制御します。短絡状態が530µs以上継続すると、FETがシャットダウンして過電流フォルトが記録されます。

入力をステップさせた場合、内部クランプがRAMPピンを1.1Vまで引き下げた後、突入電流制御回路が引き継ぎ、回路ブレーカ・タイマの時間が経過する前に電流制限ループを無効にします。デバイスはこの時点でオンになり、初期起動の動作をします。VOUTがIRAMPとCRによって設定される速度でランプダウンしてからGATEがプルアップされます。入力ステップ・シーケンスの間、PGピンおよびPGIOピン、TMRピン、SSピンのパワーグッド信号が中断されることはありません。図7の波形は、LTC4261/LTC4261-2が入力ステップに応答する様子を示しています。

電流制限スレッシュホールドは、負荷電流と突入電流の総和に対応できる十分大きな値に設定し、入力ステップが生じたときに

電流制限ループが起動しないようにしてください。突入電流の最大値は次式で与えられます。

$$I_{\text{INRUSH}} \leq 0.8 \cdot \frac{45\text{mV}}{R_S} - I_{\text{LOAD}}$$

ここで、係数0.8は、最小スレッシュホールド(45mV)と組み合わせてワーストケースのマーゲンとして使用されています。

図1に示すように、アクティブ電流制限回路は、GATEとVEEの間に接続されたコンデンサCGと直列抵抗RG(10Ω)を使って補償します。CGの推奨値は50nFです。この値はほとんどのパス・トランジスタ(Q1)に適しています。

過電圧フォルト

OVピンが1.77Vのスレッシュホールドを上回ると、過電圧フォルトが生じます。これにより、パス・トランジスタが直ちにオフし、過電圧検出ビットA0と過電圧フォルト・ビットB0がセットされ、SSピンがプルダウンされます。パワーグッド信号は過電圧フォルトに影響されないことに注意してください。その後、OVピンがスレッシュホールドより下に戻ると、レジスタ・ビットD0をクリアすることによって過電圧自動リトライがディスエーブルされて

42612fd

アプリケーション情報

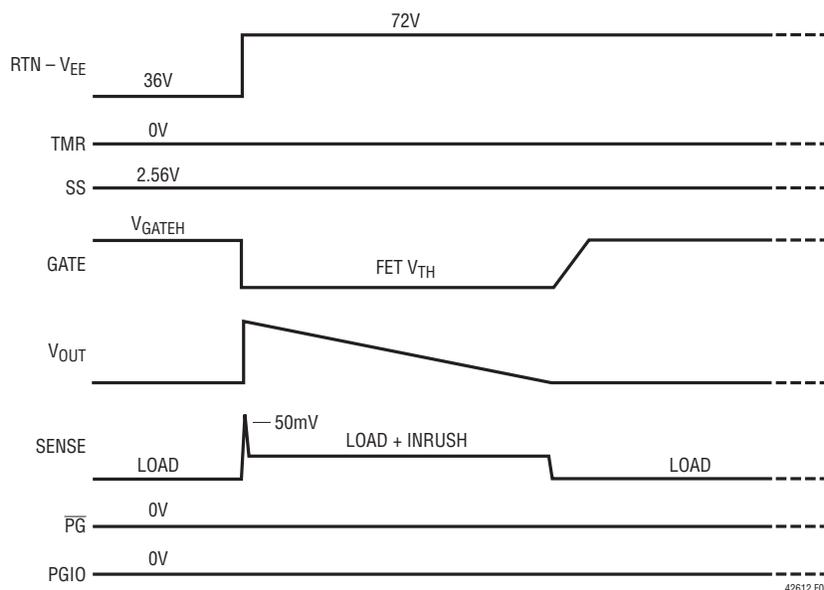


図7. -36Vから-72Vまでのステップ応答

いない限り、パス・トランジスタが再び(遅延なしに)直ちにオンすることができます。

低電圧コンパレータと低電圧フォルト

LTC4261/LTC4261-2は、UV スレッショルドとUV ヒステリシスを調整可能にするために、2つの低電圧ピンUVHおよびUVLを備えています。UVHピンとUVLピンには以下の高精度スレッショルドがあります。

UVHの上昇時、 $V_{UVH(TH)} = 2.56V$ でオン

UVLの下降時、 $V_{UVL(TH)} = 2.291V$ でオフ

UVHピンとUVLピンのどちらにも δV_{UV} (標準 15mV)の最小ヒステリシスがあります。入力電源の立ち上がりとしち下がりどちらでも、UVHピンとUVLピンの両方がスレッショルドを超えてコンパレータ出力の状態を変えるように、低電圧コンパレータが作動します。

UVH、UVL、およびOVスレッショルドの比は、43V～71Vの標準的な通信機器の動作範囲に適合し、図1に示すようにUVHとUVLを相互接続したときにUVヒステリシスが4.5Vになるように設計されています。ここで、内部のUVヒステリシスは、以下のようにUVLピンを基準にしています。

$$\Delta V_{UV(HYST)} = V_{UVH(TH)} - V_{UVL(TH)} = 0.269V$$

図1のように $R1 = 11.8k$ 、 $R2 = 16.9k$ および $R3 = 453k$ を使用すると、38.5Vの低電圧シャットダウン・スレッショルドと

72.3Vの過電圧シャットダウン・スレッショルドで、43.0V～70.7Vの標準的な動作範囲が得られます。

UVHピンとUVLピンを抵抗 R_H で分離することにより、UVヒステリシスを調整することができます(図8)。UVヒステリシスを大きくするには、図8aのようにUVLタップをUVHタップの上に配置します。UVヒステリシスを小さくするには、図8bのようにUVLタップをUVHタップの下に配置します。UVLピンを基準にしたUVヒステリシスは以下のように与えられます。

$V_{UVL} \geq V_{UVH}$ では、

$$\Delta V_{UVL(HYST)} = \Delta V_{UV(HYST)} + 2.56V \cdot \frac{R_H}{R1 + R2}$$

または、 $V_{UVL} < V_{UVH}$ では、

$$\Delta V_{UVL(HYST)} = \Delta V_{UV(HYST)} - 2.56V \cdot \frac{R_H}{R1 + R2 + R_H}$$

$V_{UVL} < V_{UVH}$ の場合、許容される最小UVヒステリシスはUVHとUVLでの最小ヒステリシスになります。この値は $\delta V_{UV} = 15mV$ で、 $R_{H(MAX)} = 0.11 \cdot (R1 + R2)$ のときです。

LTC4261/LTC4261-2は、 R_H が $R_{H(MAX)}$ より大きくてもUVコンパレータがチャタリングしないように設計されています。

UVLピンが2.291Vを下回り、UVHピンが $2.56V - \delta V_{UV}$ を下回ると、低電圧フォルトが生じます。これにより、FETがオフし、低電圧検出ビットA1と低電圧フォルト・ビットB1がセット

アプリケーション情報

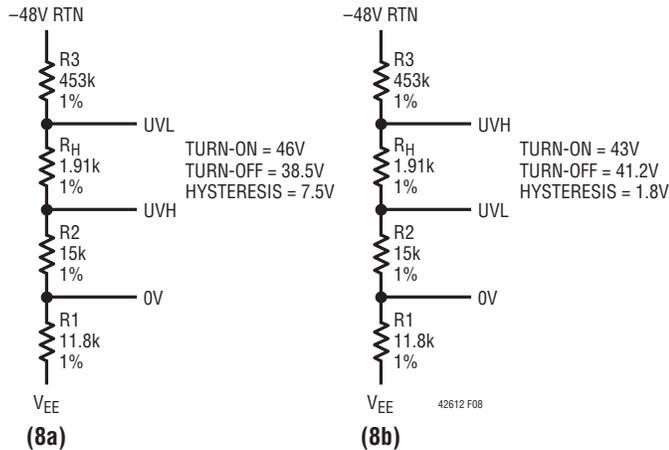


図8. 低電圧スレッシュホールドの調整
(ヒステリシスが大きい方が8aで小さい方が8b)

されます。 $\overline{\text{PG}}$ とPGIOのパワーグッド信号のリセットも行われます。

UVHピンが2.56Vを上回り、UVLピンが $2.291\text{V} + \delta V_{\text{UV}}$ を上回ると、低電圧検出ビットA1がクリアされます。 t_{D} の遅延時間の後、ビットD1をクリアすることによって低電圧自動リトライがディスエーブルされていない限り、FETが再びオンします。

デバイスに電源が投入される時、INTV_{CC}が低電圧ロックアウト・スレッシュホールド(4.25V)を超えた後、UVLが2.291Vのスレッシュホールドより低く、UVHが $2.56\text{V} - \delta V_{\text{UV}}$ より低いと、フォルト・レジスタに低電圧フォルトが記録されます。

ディスクリット抵抗の値(2%刻みの1%抵抗、1%刻みの0.1%抵抗)の表からの選択で妥協することにより、OVとUVの最高の精度をそれぞれのピンに個別の分割器を使用することで実現できます。これにより、抵抗の総数が3本または4本から最大6本に増加しますが、精度が最高になり、計算が大幅に簡略化され、基板変更なしに複数の標準仕様やカスタム仕様に対応するためのランニング・チェンジが容易になります。

ノイズ耐性を改善するため、UVピンとOVピンへの抵抗分割器をチップの近くに配置し、RTNおよびV_{EE}へのトレースを短くします。UVHピンから、またはUVLピン(および抵抗R2を介してOVピン)からV_{EE}に0.1 μF のコンデンサを接続すると、電源ノイズの除去に効果があります。

FET 短絡フォルト

FETがオフしているときに、2mV以上の電流検出電圧をデータ・コンバータが測定すると、FETの短絡フォルトが通知されます。この状態によって、FET短絡検出ビットA5とFET短絡フォルト・ビットB5がセットされます。

パワーバッド・フォルト

FETがオンして、パワーグッド出力が $\overline{\text{PG}}$ とPGIOを“L”にすると、 $4t_{\text{D}}$ の時間の遅延タイマが始動し、 $\overline{\text{PGI}}$ ピンのレベルがチェックされます(図3)。 $\overline{\text{PGI}}$ チェック・タイマの時間が経過する前に $\overline{\text{PGI}}$ ピンが1.4Vのスレッシュホールドより低くなると、FETはオン状態に保たれます。そうでない場合、FETは直ちにオフし、パワーグッド信号がリセットされ、パワーバッド検出ビットA3とパワーバッド・フォルト・ビットB3がセットされます。FETがオフすると、パワーバッド検出ビットA3はクリアされます。 $\overline{\text{PGI}}$ ピンが引き続き“L”になっている場合、ビットD4をセットすることによってパワーバッド自動リトライがイネーブルされているか、またはパワーバッド・フォルト・ビットB3がクリアされない限り、FETはオフ状態に保たれます。これら2つのいずれの状態でも、 t_{D} の遅延に続いてFETは再びオンし、前記のように $\overline{\text{PGI}}$ ピンが再びチェックされます。

外部フォルト・モニタ

$\overline{\text{FLTIN}}$ ピン(SSOPのみ)とPGIOピンが汎用入力として設定されると、ヒューズ切れなどの外部フォルト状態のモニタが可能になります。 $\overline{\text{FLTIN}}$ が1.4Vのスレッシュホールドより低くなると、FAULTレジスタのビットB7がセットされます。また、関連するアラート・ビットC7がALERTレジスタにあります。PGIOピンが汎用入力として設定された場合、PGIOの電圧が1.25Vより高いと、STATUSレジスタのビットA6とFAULTレジスタのビットB6の両方がセットされますが、このフォルトに関連するアラート・ビットは存在しません。外部フォルト状態がGATEの制御機能に直接影響することはありません。

フォルト・アラート

FAULTレジスタBのフォルト・ビットのいずれかがセットされている場合、 $\overline{\text{ALERT}}$ レジスタCの該当するビットをセットすることにより、オプションのバス・アラートを発生させることができます。これにより、選択されたフォルトだけがアラートを発生します。パワーアップ時のデフォルト状態では、フォルトのアラートを発生しません。アラートがイネーブルされると、対応するフォルトが $\overline{\text{ALERT}}$ ピンを“L”にします。バス・マスタ・コン

アプリケーション情報

トローラがアラート応答アドレスを送ると、図 14 に示すように、LTC4261/LTC4261-2 は SDA ラインでデバイス・アドレスを使って応答し、 $\overline{\text{ALERT}}$ を解放します。2 つの LTC4261 がデバイス・アドレスを使って同時に応答し、それらの間で衝突が生じると、下位のアドレスのデバイスがアービトレーションに勝ち、最初に応答します。デバイスがバス・マスタによって呼び出されると、 $\overline{\text{ALERT}}$ ラインも開放されます。

$\overline{\text{ALERT}}$ 信号が 1 つのフォルトに対して解放されると、FAULT レジスタが別のフォルトが生じたことを示すまで、または元のフォルトがクリアされてから再度生じるまで、 $\overline{\text{ALERT}}$ 信号は再び“L”になることはありません。これは、反復または継続するフォルトは、関連する FAULT レジスタ・ビットがクリアされるまで、アラートを発生しないことを意味することに注意してください。

フォルトのリセット

フォルトは以下のいずれかの状態でリセットされます。まず、FAULT レジスタ B に 0 を書き込むことにより、関連するフォルト・ビットがクリアされます。次に、ON ピンまたはビット D3 が“H”から“L”に移行するか、または INTV_{CC} が 4.25V の低電圧ロックアウトを下回ると、FAULT レジスタ全体がクリアされます。UVL ピンを 1.21V のリセット・スレッショルドより下にしても、FAULT レジスタ全体がクリアされます。UVL ピンを 1.21V より上で 2.291V より下に戻すとき、UVH ピンが 2.56V を下回ると、低電圧フォルト・ビット B1 がセットされます。これは、UVL ピンをトグルしてフォルトをリセットするときに UVH ピンを 2.56V より上に保つことにより、防ぐことができます。最後に、 $\overline{\text{EN}}$ が“H”から“L”になると、ビット B4 を除くすべてのフォルト・ビットがクリアされます。 $\overline{\text{EN}}$ の状態の変化を示すビット B4 がセットされます。

(STATUS レジスタ A に示されている) 継続して存在する状態に関連するフォルト・ビットはクリアすることができません。FAULT レジスタは、自動リトライが行われているときはクリアされません。自動リトライがディスエーブルされているときに、B0 (過電圧)、B1 (低電圧)、B2 (過電流) または B3 (パワーバッド) のフォルトが存在すると、FET をオフに保ちます。フォルト・ビットがクリアされてから、 t_{D} (B0、B1 および B3 の場合) または $4t_{\text{D}}$ (B4 の場合) の遅延時間が経過すると、FET は再びオンします。I²C を介して 0 を書き込むことによって過電圧フォルト・ビット B0 がクリアされると、遅延なしに FET をオンできること

に注意してください。自動リトライがイネーブルされていると、A0、A1、A2 または A3 の値が“H”のときには FET をオフに保ち、FAULT レジスタは無視されます。その後、A0、A1、A2 および A3 ビットがクリアされると、FET は再度オンすることができます。

LTC4261/LTC4261-2 のオンとオフ

I²C ポートとともに ON、 $\overline{\text{EN}}$ 、UV/OV、 $\overline{\text{FLTIN}}$ または PGIO ピンを使用した、多くのオン/オフ制御の方法が可能です。 $\overline{\text{EN}}$ ピンはロジック入力やフロート・スイッチの接点に適しており、I²C 制御は基板が中央制御プロセッサのコマンドだけで動作するシステムを意図したもので、ON ピンは、UV (UVH、UVL) ピンや OV ピンなどと同様、RTN 基準の信号で使えます。PGIO と $\overline{\text{FLTIN}}$ は直接には制御を行いませんが、接続検出などの重要な信号の I²C モニタに役立ちます。

オン/オフ制御は、I²C の介入の有無にかかわらず可能です。さらに、LTC4261/LTC4261-2 は、着脱可能な基板またはバックプレーンのどちらにも配置できます。自律的に動作している場合でも、I²C ポートは GATE 出力を制御することができますが、接続状態に応じて、 $\overline{\text{EN}}$ と ON は I²C によって設定された状態をその後無効にすることができます。UV、OV などのフォルト状態が生じると、 $\overline{\text{EN}}$ 、ON または I²C ポートの状態に関係なく、必要に応じて制御権を得て GATE 出力をオフします。LTC4261/LTC4261-2 のオン/オフ制御の 5 つの構成設定を図 9 に示します。

自律動作のためのピンの構成設定の選択は、制御信号の極性と電圧で決まります。

光絶縁。 ON ピンをドライブするオプトアイソレータを図 9a に示します。ON ピンの立ち上がりエッジと立ち下がりエッジで、GATE 出力のオンとオフが行われます。電源投入時に ON が既に“H”の場合、GATE は $1t_{\text{D}}$ だけ遅延します。ON の状態は、I²C ポートを介してレジスタ・ビット D3 で確認するかまたは無効にすることができます。この回路は、バックプレーンと基板のいずれに実装されたアプリケーションでも動作します。

ロジック制御。 ロジック信号による制御を行うアプリケーションを図 9b に示します。この場合も、ON ピンが入力として使用され、オプトアイソレータによる制御についての指摘事項がすべて適用されます。

アプリケーション情報

イジェクト・スイッチまたはループスルー接続検出。図9aのフォトランジスタを置き換えた、フロート・スイッチの接点または接続検出ループもONピンに適しています。挿入時のデバウンス遅延が必要な場合、 $\overline{\text{EN}}$ ピンを図9cに示すように使用します。図9aおよび図9bと同様に、この回路もバックプレーン・コネクタの両側で動作します。

RTNへの短絡ピン。図9dでは、UV分圧器のストリングを使って基板の挿入を検出します。この手法も同様に、バックプレーンと基板のいずれに実装されたアプリケーションにも適しています。

AdvancedTCA型制御。図2は、LTC4261とのインタフェースに $\overline{\text{EN}}$ を使用したATCAアプリケーションを示しています。レジスタ・ビットA4により、I²Cポートで $\overline{\text{EN}}$ の状態をモニタし、C4を“H”にセットすることによってビットB4にアラートを発生して、 $\overline{\text{EN}}$ の状態の変化を瞬時に知らせることができます。

I²Cのみの制御。 $\overline{\text{EN}}$ とONをロックアウトするには、図9eに示す構成設定を使用し、レジスタ・ビットD3でGATEピンを制御します。この回路はパワーアップ時にデフォルトでオフします。デフォルトでオンさせるには、ONピンをINTV_{CC}に接続します。 $\overline{\text{FLTIN}}$ またはPGIOを入力に使用して、接続検出などの制御信号をモニタすることができます。レジスタ・ビットD6およびD7を“H”にセットすることにより、PGIOは入力に設定され、その入力状態はロケーションB6に格納されます。 $\overline{\text{FLTIN}}$ は常

時入力で、その状態はレジスタ・ビットB7から得られます。C7が“H”にセットされると、 $\overline{\text{FLTIN}}$ はアラートを発生します。

データ・コンバータ

LTC4261/LTC4261-2は、SENSE、ADIN2/OV (SSOP/QFN) およびADINの(一連の)3つの異なる電圧を継続してモニタする、10ビットの $\Delta\Sigma$ アナログ・デジタル・コンバータ(ADC)を内蔵しています。SENSEピンとV_{EE}の間の電圧は、64mVのフルスケールと62.5 μ Vの分解能でモニタされ、データがレジスタEおよびFに格納されます。ADINピンとADIN2/OVピンは、2.56Vのフルスケールと2.5mVの分解能でモニタされます。ADIN2/OVピンのデータはレジスタGおよびHに格納されます。ADINピンのデータはレジスタIおよびJに格納されます。

レジスタE、F、G、H、I、およびJの結果は7.3Hzの周波数で更新されます。CONTROLレジスタのビットD5をセットするとテスト・モードになります。テスト・モードでは、これらのレジスタの更新を停止して、ソフトウェアのテストのための書き込みと読み出しができるようにします。ADCのデータ・レジスタを読み出す直前にテスト・モードにすることにより、2つのレジスタに分割された10ビット・データが同期します。

図1と図2に示されているように、ADINピンとADIN2ピンを使って、Hot Swapコントローラの入力電圧と出力電圧をモニタすることができます。

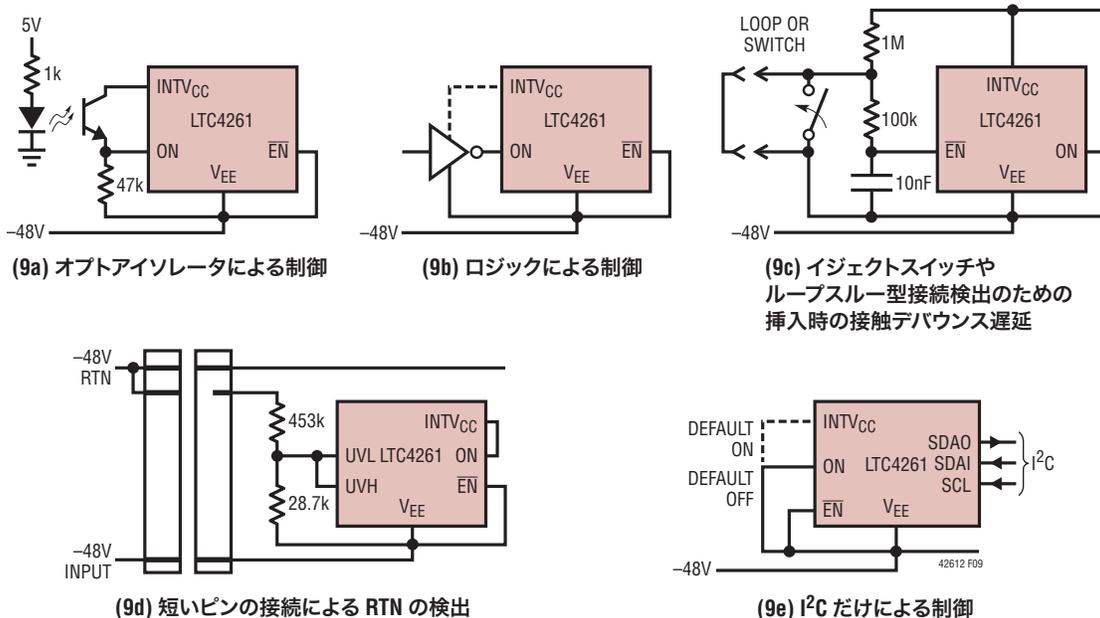


図9. LTC4261のオン/オフ制御

アプリケーション情報

PGIOピンの構成設定

CONTROLレジスタのビットD6とD7を使用したPGIOピンの可能な状態を表6に示します。パワーアップ時のデフォルト状態では、2番目のパワーグッド信号がレディー状態のときにPGIOピンが“L”になります。PGIOピンのその他の用途は、2番目のパワーグッド信号がレディー状態のときに高インピーダンスになること、汎用出力および汎用入力です。PGIOピンが汎用出力に構成設定された場合、ビットC6の状態がピンに送出されます。このピンが汎用入力に構成設定された場合には、PGIOの入力電圧が1.25Vより高いと、STATUSレジスタのビットA6とFAULTレジスタのビットB6の両方がセットされます。PGIOの入力電圧がその後1.25Vを下回ると、ビットA6はクリアされます。前に説明したように、FAULTレジスタをリセットすることにより、ビットB6をクリアすることができます。

設計例

設計例として、図1に示されている $C_L = 330\mu\text{F}$ を使用した200Wのアプリケーションを検討します。UVターンオフ・スレッシュホールドが38.5Vのときの動作電圧範囲は43V～71Vです。

設計フローは次の最大入力電流の計算から開始します。

$$I_{\text{MAX}} = \frac{200\text{W}}{36\text{V}} = 5.6\text{A}$$

ここで、36Vは最小入力電圧です。

センス抵抗 R_S の選択は、最小電流制限スレッシュホールドと最大入力電流によって次のように決まります。

$$R_S = \frac{\Delta V_{\text{SENSE(MIN)}}}{I_{\text{MAX}}} = \frac{45\text{mV}}{5.6\text{A}} = 8\text{m}\Omega$$

次の C_R を使って突入電流を0.66Aに設定します。

$$C_R = C_L \cdot \frac{I_{\text{RAMP}}}{I_{\text{INRUSH}}} = 330\mu\text{F} \cdot \frac{20\mu\text{A}}{0.66\text{A}} = 10\text{nF}$$

R_F と C_F の値は前に説明したように、1kと33nFを選択します。

FETは、起動または入力ステップ時の最大電力損失に対応できるものを選択します。 C_L を充電する突入電流と負荷電流を合わせた電流により、入力ステップ時の電力は一般に大きくなります。36Vの入力ステップに対して、FETの P^2t の合計は次式で概算されます。

$$P^2t = (36\text{V} \cdot I_{\text{MAX}})^2 \cdot \frac{t}{3}$$

ここで、 t は C_L を充電するのに要する時間です。

$$t = \frac{C_L \cdot 36\text{V}}{I_{\text{INRUSH}}} = \frac{330\mu\text{F} \cdot 36\text{V}}{0.66\text{A}} = 18\text{ms}$$

この式により、 P^2t の値は 244W^2 秒になります。

したがって、対象となるFETのSOA(安全動作領域)曲線によって与えられる P^2t の値は、 244W^2 秒より小さくなければなりません。IRF1310NSのSOA曲線から10msの間50V(250W)で5Aが得られ、これにより、 625W^2 秒の P^2t の値が与えられて要件が満たされます。

必要なUVおよびOVのスレッシュホールド電圧に対して、 R_1 、 R_2 および R_3 の値を設定すると以下ようになります。

$$V_{\text{UV(RISING)}} = 43\text{V}, V_{\text{UV(FALLING)}} = 38.5\text{V} (V_{\text{UVH(TH)}} = 2.56\text{V} \text{ および } V_{\text{UVH(TH)}} = 2.291\text{V} \text{ を使用})$$

$$V_{\text{OV(RISING)}} = 72.3\text{V}, V_{\text{OV(FALLING)}} = 70.7\text{V} (\text{上昇時の } V_{\text{OV(TH)}} = 1.77\text{V}, \text{下降時の } V_{\text{OV(TH)}} = 1.7325\text{V} \text{ を使用})$$

レイアウトに関する検討事項

精確に電流を検出するには、ケルビン接続を推奨します(図10)。トレースを適度な温度に保つための、アンプ1個当たりの1オンスの銅箔の最小トレース幅は0.02"です。アンプ1個あたり0.03"以上の幅にすることを推奨します。1オンスの銅には約 $530\mu\Omega$ /平方のシート抵抗があることに注意してください。高電流アプリケーションでは小さな抵抗が集まってたちまち影響を及ぼすようになります。

LTC4261の V_{EE} ピンは、メインの-48V入力プレーンとは異なる独立したプレーンに接続する必要があります。ノイズ耐性を改善するため、図10に示すように、全てのコンデンサ、抵抗分割器、光アイソレータ、およびI²Cの共通ラインは、-48V入力プレーンではなく、ローカルの V_{EE} プレーンに直接接続する必要があります。

アプリケーション情報

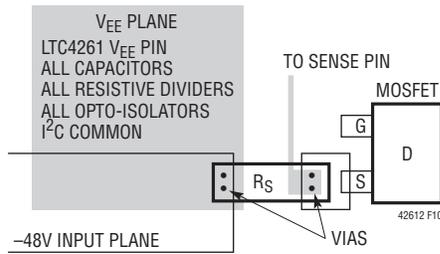


図10. V_{EE}プレーンのレイアウト例、
-48V入力プレーンと検出抵抗の接続

I²C インタフェース

LTC4261/LTC4261-2はI²C インタフェースを備えており、ADCのデータ・レジスタと他の4つのレジスタにアクセスして、パスFETのモニタと制御を行います。I²Cを使用した一般的なデー

タ転送フォーマットを図11に示します。LTC4261/LTC4261-2は読み出し/書き込みのスレーブ・デバイスで、SMBusバスのバイト読み出し、バイト書き込み、ワード読み出し、ワード書き込みの各コマンドをサポートします。ワード読み出しコマンドの2番目のワードは1番目のワードと同一になります。ワード書き込みコマンドの2番目のワードは無視されます。これらのコマンドのデータ・フォーマットを図12～図15に示します。

SDAへのオプトアイソレータの使用

LTC4261/LTC4261-2は、ホストとの光結合に便利のように、SDAラインをSDAI (入力)とSDAO (出力)に分割しています。オプトアイソレータを使用しない場合、SDAIとSDAOを相互接続して通常のSDAラインを形成します。オプトアイソレータを使用する場合には、SDAIピンを受信側オプトアイソレータの出力に接続し、SDAOピンを送信側オプトアイソレータの入力に接続します(図2を参照)。ホストがリアルタイムでフォルト

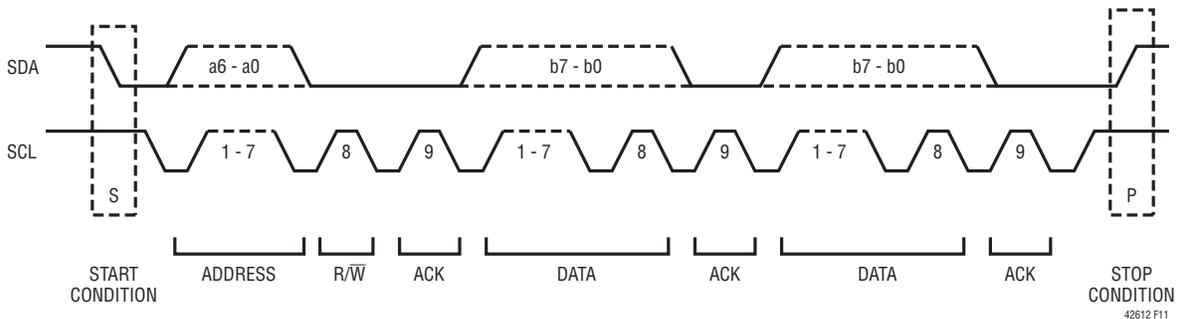


図11. I²CまたはSMBusを介したデータ転送

S	ADDRESS	W	A	COMMAND	A	DATA	A	P
0	0 1 a3:a0	0	0	X X X X b3:b0	0	b7:b0	0	

□ FROM MASTER TO SLAVE
■ FROM SLAVE TO MASTER

A: ACKNOWLEDGE (LOW)
 Ā: NOT ACKNOWLEDGE (HIGH)
 R: READ BIT (HIGH)
 W: WRITE BIT (LOW)
 S: START CONDITION
 P: STOP CONDITION

42612 F12

図12. LTC4261のシリアル・バスのSDAバイト書き込みプロトコル

S	ADDRESS	W	A	COMMAND	A	DATA	A	DATA	A	P
0	0 1 a3:a0	0	0	X X X X b3:b0	0	b7:b0	0	X X X X X X X X	0	

42612 F13

図13. LTC4261のシリアル・バスのSDAワード書き込みプロトコル

S	ADDRESS	W	A	COMMAND	A	S	ADDRESS	R	A	DATA	Ā	P
0	0 1 a3:a0	0	0	X X X X b3:b0	0	0	0 1 a3:a0	1	0	b7:b0	1	

42612 F14

図14. LTC4261のシリアル・バスのSDAバイト読み出しプロトコル

S	ADDRESS	W	A	COMMAND	A	S	ADDRESS	R	A	DATA	A	DATA	Ā	P
0	0 1 a3:a0	0	0	X X X X b3:b0	0	0	0 1 a3:a0	1	0	b7:b0	0	b7:b0	1	

42612 F15

図15. LTC4261のシリアル・バスのSDAワード読み出しプロトコル

アプリケーション情報

にตอบสนองするように、 $\overline{\text{ALERT}}$ ラインを割り込みに使用する場合、図2に示されているように、SDAOピンに対するのと同様の方法で $\overline{\text{ALERT}}$ ピンをオプトアイソレータに接続します。

START条件とSTOP条件

バスがアイドル状態のときは、SCLとSDAの両方が“H”でなければなりません。バス・マスタは、SCLを“H”に保ったままSDAを“H”から“L”に移行させることによって発行するSTART条件を使って、通信開始を知らせます。マスタはスレーブとの通信を終了したら、SCLを“H”に保ったままSDAを“L”から“H”に移行させることによりSTOP条件を発行します。これで、バスは別の通信を行える状態になります。

スタックバスのリセット

LTC4261/LTC4261-2のI²Cインタフェースは、スタックバスのリセット・タイマを備えています。SCLピンとSDAIピンのどちらかが“L”状態になると、タイマが始動します。SCLとSDAIの両方が“H”になると、タイマはリセットされます。SCLピンまたはSDAIピンが66ms以上“L”に保たれると、スタックバスのタイマ時間が経過して内部のI²Cステート・マシンがリセットされ、スタック“L”の状態が解除されてから通常の通信が可能になります。SCLピンとSDAIピンが交互に“L”に保たれる場合、タイマがリセット状態(SCLとSDAIの両方が“H”)になる前に、SCLとSDAIのOR結合された“L”の時間が66msを超えると、スタックバスのタイマ時間が経過してI²Cステート・マシンがリセットされます。

I²Cデバイスの呼び出し

表1に示すように、スリーステート・ピンADR0およびADR1を使って、8つの異なるI²Cバス・アドレスを選択することができます。ADR0=LとADR1=Hの設定は1線ブロードキャスト・モードをイネーブルするために使用されていることに注意してください。8つのI²Cバス・アドレスでは、アドレス・ビットB6、B5およびB4は(001)に設定され、最下位ビットB0はR/ $\overline{\text{W}}$ ビットです。また、LTC4261/LTC4261-2は2つの特別なアドレスに対応しています。アドレス(0011 111)は一括書き込み用で、個々のアドレス設定に関係なくすべてのLTC4261/LTC4261-2のアドレスへの書き込みで使用されます。アドレス(0001 100)はSMBusアラート応答アドレスです。LTC4261/LTC4261-2は、 $\overline{\text{ALERT}}$ ピンが“L”に引き下げられると、SMBusアラート応答プロトコルを使ってこのアドレスにアクノリッジを返します。

アクノリッジ

アクノリッジ信号はトランスミッタとレシーバの間のハンドシェイクに使用され、データの最終バイトが受信されたことを知らせます。トランスミッタは常にアクノリッジ・クロック・パルスの間SDAラインを解放します。スレーブがレシーバの場合、スレーブはこのパルスの間SDAラインが“L”を保つようにSDAラインをプルダウンして、データ受信のアクノリッジを返す必要があります。スレーブがSDAを“H”のままにしてアクノリッジを返さないと、マスタはSTOP条件を生成して通信を中断することができます。マスタがスレーブからデータを受信しているときは、マスタはクロック・パルスの間SDAラインをプルダウンしてデータの受信を知らせる必要があります。最終バイトを受信した後、マスタはSDAラインを“H”のままにして(アクノリッジを返さないで)、STOP条件を発行して通信を終了します。

書き込みプロトコル

マスタは、START条件とそれに続く7ビットのスレーブ・アドレスおよび0にセットされたR/Wビットによって通信を開始します。呼び出されたLTC4261/LTC4261-2がこれに対してアクノリッジを返すと、マスタはコマンド・バイトを送り、マスタが書き込みたい内部レジスタを知らせます。LTC4261/LTC4261-2はこれに対してアクノリッジを返し、次いでコマンド・バイトの下位4ビットを内部レジスタ・アドレス・ポインタにラッチします。次いで、マスタはデータ・バイトを送り、LTC4261/LTC4261-2が再度アクノリッジを返してデータを内部レジスタにラッチします。マスタがSTOP条件を送ると通信は終了します。ワード書き込みコマンドの場合のように、マスタが2番目のデータ・バイトを続けて送ると、2番目のデータ・バイトは、LTC4261/LTC4261-2からアクノリッジを返されますが無視されます。

読み出しプロトコル

マスタは、START条件とそれに続く7ビットのスレーブ・アドレスおよび0にセットされたR/Wビットによって読み出し動作を開始します。呼び出されたLTC4261/LTC4261-2がこれに対してアクノリッジを返すと、マスタはコマンド・バイトを送り、マスタが読み出したい内部レジスタを知らせます。LTC4261/LTC4261-2はこれに対してアクノリッジを返し、次いでコマンド・バイトの下位4ビットを内部レジスタ・アドレス・ポインタにラッチします。次いで、マスタは、反復START条件とそれに続き、R/ $\overline{\text{W}}$ ビットが今度は1にセットされた同様の7ビット・アドレスを送ります。LTC4261/LTC4261-2はアクノリッジを返し、

アプリケーション情報

要求されたレジスタの内容を送ります。マスタがSTOP条件を送ると通信は終了します。ワード読み出しコマンドの場合のように、マスタが送信されたデータ・バイトにアクノリッジを返すと、LTC4261/LTC4261-2は2番目のデータ・バイトとして要求されたレジスタの内容を再度送信します。トランザクションの終了時にレジスタ・アドレス・ポイントがクリアされないことに注意してください。このように、バイト読み出しプロトコルを使って、特定のレジスタを繰り返し読み出すことができます。

アラート応答プロトコル

LTC4261/LTC4261-2は、図16に示すSMBusアラート応答プロトコルを実行します。 $\overline{\text{ALERT}}$ レジスタCによってプロトコルを実行するようにイネーブルされると、LTC4261/LTC4261-2は、 $\overline{\text{ALERT}}$ ピンを“L”にすることによってフォルトに反応します。複数のLTC4261/LTC4261-2が $\overline{\text{ALERT}}$ ラインを共有することができ、プロトコルによって、マスタはどのLTC4261/LTC4261-2がラインを“L”に引き下げているかを判断することができます。マスタは最初にSTARTビットを送り、続いてR/Wビットを1にセットした特殊なアラート応答アドレス(0001100)bを送ります。 $\overline{\text{ALERT}}$ ピンを“L”にしているLTC4261/LTC4261-2がアクノリッジを返し、個々のスレーブ・アドレスを送り始めます。

S	ALERT RESPONSE ADDRESS	R	A	DEVICE ADDRESS	$\overline{\text{A}}$	P
0	001100	1	0	001a3:a0	0	1

42612 F16

図16. LTC4261のシリアル・バスのSDAアラート応答プロトコル

アービトラーションにより、最下位アドレスのLTC4261/LTC4261-2が優先権を得て、他のすべてのデバイスは応答を中止します。応答に成功したデバイスは $\overline{\text{ALERT}}$ ピンを解放し、他のデバイスは $\overline{\text{ALERT}}$ ピンを“L”に保ち続けます。ポーリングを使って、フォルトを検出したLTC4261/LTC4261-2を探すこともできます。また、 $\overline{\text{ALERT}}$ ピンを“L”にしているLTC4261/LTC4261-2は、読み出しまたは書き込みトランザクションの間に個別に呼び出されると、 $\overline{\text{ALERT}}$ ピンを解放します。

FAULTレジスタが別のフォルトが生じたことを示すまで、または元のフォルトがクリアされてから再度生じるまで、 $\overline{\text{ALERT}}$ 信号は再び“L”に引き下げられることはありません。これは、反復または継続するフォルトは、関連するFAULTレジスタ・ビットがクリアされるまで、アラートを発生しないことを意味します。

1線ブロードキャスト・モード

LTC4261/LTC4261-2は1線ブロードキャスト・モードを備えており、このモードでは、SCLラインにクロックを出力することなく、選択したレジスタのデータをSDAOピンに送出します(図17)。ADR1ピンを“H”に設定し、ADR0を“L”に設定することにより、1線ブロードキャスト・モードがイネーブルされます(I^2C インタフェースはディスエーブルされる)。3つのADCチャンネルの各変換の終了時に、図18に示すフォーマットの18ビットのストリームが15.3kHz \pm 20%のシリアル・データ・レートでSDAOに送出されます。データ・ビットは、マイクロコントローラやFPGAによって容易にデコード可能なマンチェスター符号化方式と同様の方法で、内部クロックを使ってエンコードされます。各データ・ビットは、非反転フェーズと反転フェーズで構成されます。各ADCチャンネルの変換時に、SDAOは“H”のアイドル状態になります。変換の終了時に、SDAOは“L”になります。STARTビットはデータ送信の開始を示し、ダミー・ビット(DMY)とともに使用されて内部クロック・サイクル(つまり、シリアル・データ・レート)を測定します。DMYビットの後に、ADCチャンネルを分類する2つのチャンネル・コード・ビットCH1およびCH0が続きます(表10を参照)。次いで、ADCチャンネルの10個のデータ・ビット(ADC9~0)と3つのFAULTレジスタ・ビット(B2、B1およびB0)が送出されます。パリティ・ビット(PRTY)で各データストリームが終了します。その後、SDAOラインはSDAOを“H”にしてアイドル・モードになります。

以下のデータ受信手順を推奨します。

- INTV_{CC}の立ち上がりエッジを待つ。
- SDAOの立ち下がりエッジを待つ。
- 最初の立ち下がりエッジはグリッチの可能性があるので、10 μ sの遅延後に再びチェックする。“H”に戻ったら再び待つ。“L”のままなら、これがSTARTビット。
- 次の“L”から“H”への遷移と“H”から“L”への遷移を使って、内部クロック・サイクルの1/2を測定する。

アプリケーション情報

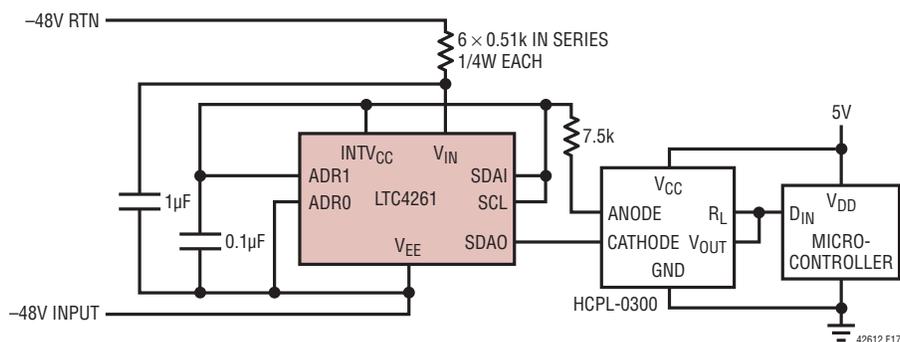


図 17. 1線ブロードキャスト・モード

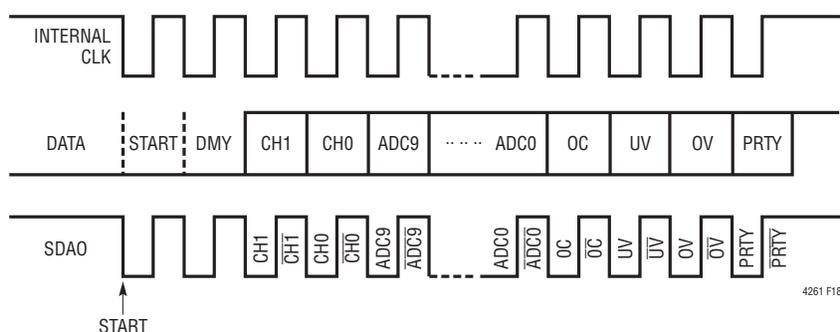


図 18. 1線ブロードキャストのデータ・フォーマット

4. 2番目の“L”から“H”への遷移(DMYビットの中間)を待つ。
5. クロック・サイクルの3/4待つ。
6. ビットCH1をサンプリングし、遷移を待つ。
7. クロック・サイクルの3/4待つ。
8. ビットCH0をサンプリングし、遷移を待つ。
9. クロック・サイクルの3/4待つ。
10. ADC9をサンプリングし、遷移を待つ。
11. すべてのビットが読み出されるまで継続する。

上記の手順は、マイクロコントローラに移植したり、FPGAのステート・マシンの設計に使用することができます。エッジが欠落した場合にはコードがタイムアウトします。18ビットすべてをクロックアウトするのに標準時間(1.2ms)の2倍以上かかると、読み出しを中断します。

LTC4261/LTC4261-2を使用したブロードキャスト・モードの標準的な応用回路を図19に示します。この回路で、FETの入力電圧 V_{DS} と V_{SENSE} がモニタされます。

レジスタ・アドレスと内容

レジスタ・アドレスと内容を表1と表2に示します。各レジスタ・ビットの機能の詳細を表3～表9に示します。

LTC4261/LTC4261-2

アプリケーション情報

表1. LTC4261のデバイス・アドレス指定

注釈	16進数のデバイス・アドレス	2進数のデバイス・アドレス								LTC4261のアドレス・ピン	
		6	5	4	3	2	1	0	R/W	ADR1	ADRO
一括書き込み	3E	0	0	1	1	1	1	1	0	X	X
アラート応答	19	0	0	0	1	1	0	0	1	X	X
0	20	0	0	1	0	0	0	0	X	L	L
1	22	0	0	1	0	0	0	1	X	L	NC
2	24	0	0	1	0	0	1	0	X	H	NC
3	26	0	0	1	0	0	1	1	X	L	H
4	28	0	0	1	0	1	0	0	X	NC	L
5	2A	0	0	1	0	1	0	1	X	NC	NC
6	2C	0	0	1	0	1	1	0	X	H	H
7	2E	0	0	1	0	1	1	1	X	NC	H
8	1線ブロードキャスト・モード									H	L

H = INV_{CC}に接続、L = V_{EE}に接続、NC = 接続なし(オープン状態)、X = ドントケア

表2. LTC4261のレジスタ・アドレスと内容

レジスタ・アドレス*	レジスタ名	読み出し/ 書き込み	注釈
00h	STATUS (A)	R	システムの状態情報
01h	FAULT (B)	R/W	フォルト・ログとPGIOの入力
02h	ALERT (C)	R/W	フォルトがフォルト・レジスタに記録された後、ALERTピンが“L”に引き下げられるかどうかを制御
03h	CONTROL (D)	R/W	フォルト後にデバイスがリトライするかどうかを制御、オン/オフ・スイッチの状態を設定
04h	SENSE (E)	R/W**	ADCの電流検出電圧データ(8 MSB)
05h	SENSE (F)	R/W**	ADCの電流検出電圧データ(2 LSB)
06h	ADIN2/OV (G)	R/W**	ADCのADIN2/OV(SSOP/QFN)電圧データ(8 MSB)
07h	ADIN2/OV (H)	R/W**	ADCのADIN2/OV(SSOP/QFN)電圧データ(2 LSB)
08h	ADIN (I)	R/W**	ADCのADIN電圧データ(8 MSB)
09h	ADIN (J)	R/W**	ADCのADIN電圧データ(2 LSB)

*レジスタ・アドレスのMSBのb7～b4は無視される。**ビットD5がセットされた場合に書き込み可能。

アプリケーション情報

表3. STATUSレジスタA(00h)—読み出し専用

ビット	名称	動作
A7	FETオン	FETの状態を示す; 1 = FET オン、0 = FET オフ
A6	PGIO入力	汎用入力に設定されたときのPGIOピンの状態を示す; 1 = PGIOが“H”、0 = PGIOが“L”
A5	FET短絡	FETがオフの間電流検出電圧が2mVを超えるとFETが短絡している可能性を示す; 1 = FETが短絡、0 = FETは短絡していない
A4	EN	ENピンの状態を示す; 1 = ENピンが“H”、0 = ENピンが“L”
A3	パワーバッド	PGIチェック・タイマの終了時にPGIが“H”のときのパワーバッドを示す; 1 = PGIが“H”、0 = PGIが“L”
A2	過電流	過電流状態を示す; 1 = 過電流、0 = 過電流ではない
A1	低電圧	UVHとUVLの両方が“L”のときの入力の低電圧を示す; 1 = UVHとUVLが“L”、0 = UVHまたはUVLが“H”
A0	過電圧	OVが“H”のときの入力の過電圧を示す; 1 = OVが“H”、0 = OVが“L”

表4. FAULTレジスタB(01h)—読み出し/書き込み

ビット	名称	動作
B7	外部フォルトの発生	FLTINが“L”になると1にラッチされる; 1 = FLTIN“L”状態が検出された、0 = FLTINが“L”になっていない
B6	PGIO入力“H”の発生	汎用入力に設定されたときにPGIOピンが“H”になると1にラッチされる; 1 = PGIO“H”が検出された、0 = PGIOが“L”のまま
B5	FET短絡フォルトの発生	FETがオフの間測定される電流検出電圧が2mVを超えたときにFET短絡が検出された可能性を示す; 1 = FET短絡フォルトが発生している、0 = FET短絡フォルトが発生していない
B4	ENの状態の変化	ENが状態を変えたときに基板が挿入されたか、または引き抜かれたことを示す; 1 = ENが状態を変えた、0 = ENが変化していない
B3	パワーバッド・フォルトの発生	PGIチェック・タイマの終了時にPGIが“H”のときのパワーバッドを示す; 1 = パワーバッド・フォルトが発生、0 = パワーバッド・フォルトが発生していない
B2	過電流フォルトの発生	過電流フォルトが発生したことを示す; 1 = 過電流フォルトが発生、0 = 過電流フォルトが発生していない
B1	低電圧フォルトの発生	UVHとUVLの両方が“L”になったときに入力低電圧フォルトが発生したことを示す; 1 = 低電圧フォルトが発生、0 = 低電圧フォルトが発生していない
B0	過電圧フォルトの発生	OVが“H”のとき入力の過電圧フォルトが発生したことを示す; 1 = 過電圧フォルトが発生、0 = 過電圧フォルトが発生していない

表5. ALERTレジスタC(02h)—読み出し/書き込み

ビット	名称	動作
C7	外部フォルト・アラート	FLTINが“L”のときに外部フォルトのアラートをイネーブルする; 1 = アラートをイネーブル、0 = アラートをディスエーブル(デフォルト)
C6	PGIO出力	出力として設定されているときのGPIOピンへの出力データ・ビット。デフォルトでは0
C5	FET短絡アラート	FETの短絡フォルトのアラートをイネーブルする; 1 = アラートをイネーブル、0 = アラートをディスエーブル(デフォルト)
C4	ENの状態変化のアラート	ENが状態を変えたときのアラートをイネーブルする; 1 = アラートをイネーブル、0 = アラートをディスエーブル(デフォルト)
C3	パワーバッド・アラート	パワーバッド・フォルトのアラートをイネーブルする; 1 = アラートをイネーブル、0 = アラートをディスエーブル(デフォルト)
C2	過電流アラート	過電流フォルトのアラートをイネーブルする; 1 = アラートをイネーブル、0 = アラートをディスエーブル(デフォルト)
C1	低電圧アラート	低電圧フォルトのアラートをイネーブルする; 1 = アラートをイネーブル、0 = アラートをディスエーブル(デフォルト)
C0	過電圧アラート	過電圧フォルトのアラートをイネーブルする; 1 = アラートをイネーブル、0 = アラートをディスエーブル(デフォルト)

LTC4261/LTC4261-2

アプリケーション情報

表 6. CONTROLレジスタD(03h)—読み出し/書き込み

ビット	名称	動作																				
D7:6	PGIO 設定	PGIO ピンの機能を設定する <table border="1"> <thead> <tr> <th>機能</th> <th>D6</th> <th>D7</th> <th>PGIOピン</th> </tr> </thead> <tbody> <tr> <td>パワーグッド(デフォルト)</td> <td>0</td> <td>0</td> <td>オープンドレイン</td> </tr> <tr> <td>パワーグッド</td> <td>0</td> <td>1</td> <td>オープンドレイン</td> </tr> <tr> <td>汎用出力</td> <td>1</td> <td>0</td> <td>PGIO = C6</td> </tr> <tr> <td>汎用入力</td> <td>1</td> <td>1</td> <td>PGIO = 高インピーダンス</td> </tr> </tbody> </table>	機能	D6	D7	PGIOピン	パワーグッド(デフォルト)	0	0	オープンドレイン	パワーグッド	0	1	オープンドレイン	汎用出力	1	0	PGIO = C6	汎用入力	1	1	PGIO = 高インピーダンス
機能	D6	D7	PGIOピン																			
パワーグッド(デフォルト)	0	0	オープンドレイン																			
パワーグッド	0	1	オープンドレイン																			
汎用出力	1	0	PGIO = C6																			
汎用入力	1	1	PGIO = 高インピーダンス																			
D5	テスト・モード・イネーブル	テスト・モードはADC動作を停止し、ADCレジスタへの書き込みをイネーブルする;1 = テスト・モードをイネーブル、0 = テスト・モードをディスエーブル(デフォルト)																				
D4	パワーバッド自動リトライ	パワーバッド・フォルト後に自動リトライをイネーブルする;1 = リトライをイネーブル、0 = リトライをディスエーブル(デフォルト)																				
D3	FETのオン制御	FETをオン/オフする;1 = FETをオン、0 = FETをオフ。起動デバウンス遅延の終了時にデフォルトでONピンの状態になる																				
D2	過電流自動リトライ	過電流フォルト後に自動リトライをイネーブルする;1 = リトライをイネーブル(デフォルト、LTC4261-2)、0 = リトライをディスエーブル(デフォルト、LTC4261)																				
D1	低電圧自動リトライ	低電圧フォルト後に自動リトライをイネーブルする;1 = リトライをイネーブル(デフォルト)、0 = リトライをディスエーブル																				
D0	過電圧自動リトライ	過電圧フォルト後に自動リトライをイネーブルする;1 = リトライをイネーブル(デフォルト)、0 = リトライをディスエーブル																				

表 7. SENSEレジスタE(04h)およびF(05h)—読み出し/書き込み

ビット	名称	動作
E7:0、F7:6	SENSE 電圧データ	LSBが62.5 μ Vでフルスケールが64mVの電流検出電圧の10ビット・データ
F5:0	予備	常に0に戻る、書き込み不可

表 8. ADIN2/OVレジスタG(06h)およびH(07h)—読み出し/書き込み

ビット	名称	動作
G7:0、H7:6	ADIN2/OV 電圧データ	LSBが2.5mVでフルスケールが2.56VのADIN2/OV(SSOP/QFN)電圧の10ビット・データ
H5:0	予備	常に0に戻る、書き込み不可

表 9. ADINレジスタI(08h)およびJ(09h) — 読み出し/書き込み

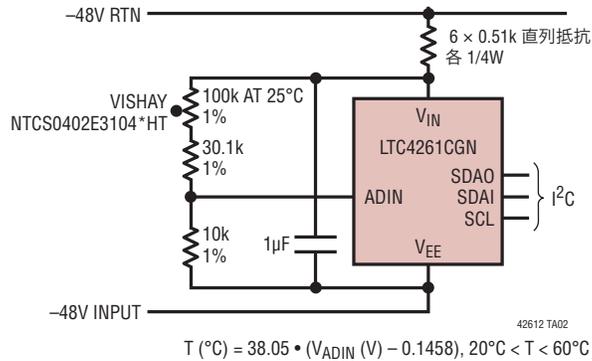
ビット	名称	動作
I7:0、J7:6	ADIN 電圧データ	LSBが2.5mVでフルスケールが2.56VのADIN電圧の10ビット・データ
J5:0	予備	常に0に戻る、書き込み不可

表 10. 1線ブロードキャスト・モードでのADCチャンネルの分類

CH1	CH0	ADCチャンネル
0	0	SENSE 電圧
0	1	ADIN2/OV(SSOP/QFN)電圧
1	0	ADIN 電圧

標準的性能特性

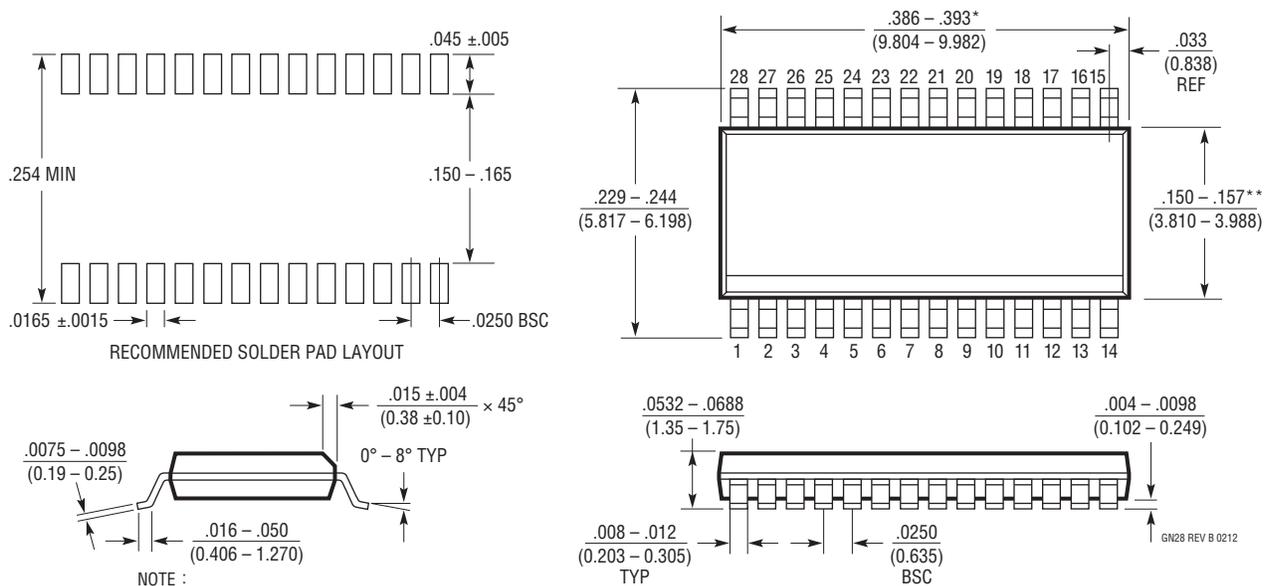
温度をモニタするためのLTC4261とサーミスタの利用



パッケージ

最新のパッケージの図面については<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

GN Package 28-Lead Plastic SSOP (Narrow .150 Inch) (Reference LTC DWG # 05-08-1641 Rev B)



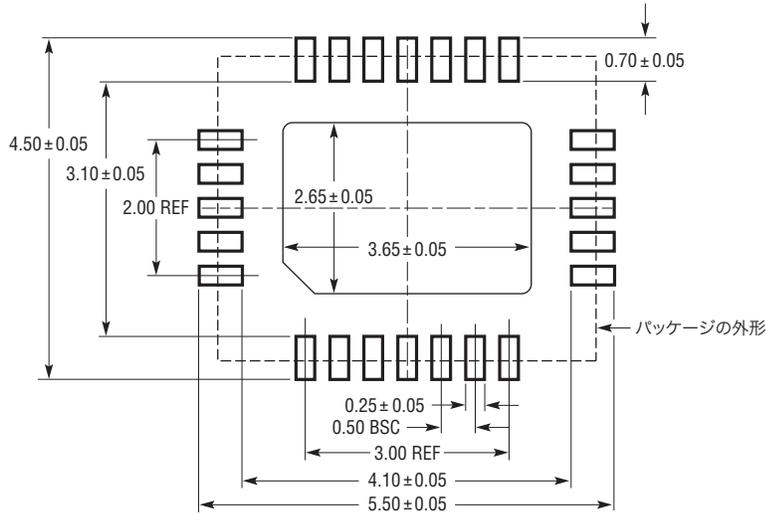
- NOTE :
- 標準寸法 : インチ
 - 寸法は $\frac{\text{インチ}}{\text{ミリメートル}}$
 - 図は実寸とは異なる
 - ピン1は斜めのエッジかへこみのいずれか
- * 寸法にはモールドのバリを含まない
モールドのバリは各サイドで 0.006" (0.152mm) を超えないこと
- ** 寸法にはリード間のバリを含まない
リード間のバリは各サイドで 0.010" (0.254mm) を超えないこと

LTC4261/LTC4261-2

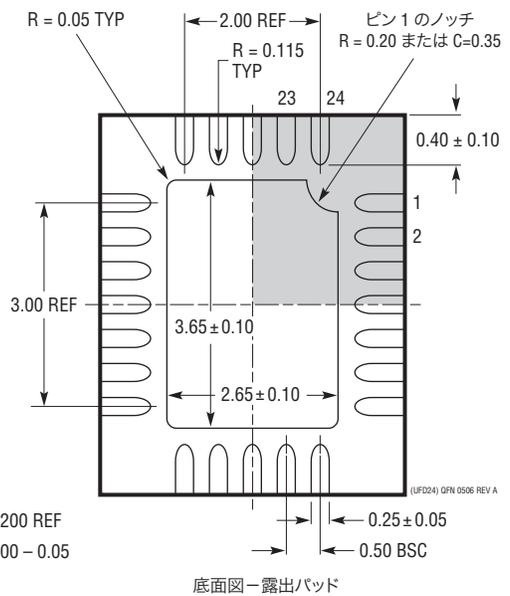
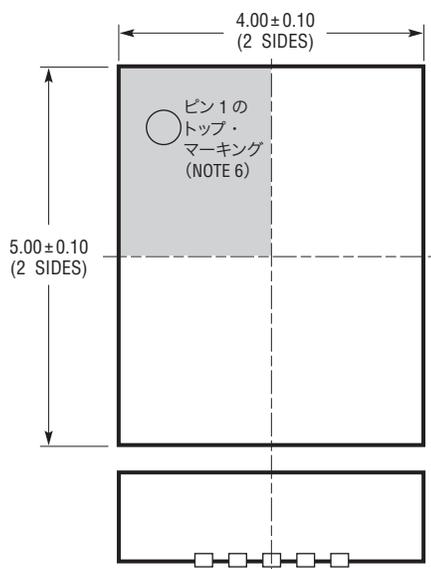
パッケージ

最新のパッケージの図面については <http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

UFD Package
24-Lead Plastic QFN (4mm × 5mm)
 (Reference LTC DWG # 05-08-1696 Rev A)



推奨する半田パッドのピッチと寸法
 半田付けされない領域には半田マスクを使用する



- NOTE :
1. 図は JEDEC パッケージ外形 MO-220 のバリエーション (WXXX-X) にするよう提案されている
 2. 図は実寸とは異なる
 3. すべての寸法はミリメートル
 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
モールドのバリは(もしあれば)各サイドで 0.15 mm を超えないこと
 5. 露出パッドは半田メッキとする
 6. 網掛けの部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

改訂履歴 (改訂履歴は Rev C から開始)

REV	日付	概要	ページ番号
C	9/11	「電気的特性」の Gate Turn-Off Current を変更	3
		「標準的性能特性」のグラフ G06 を更新	6
		「ピン機能」の SDAI (ピン 5/ピン 2) の記述を更新	9
		「ブロック図」を更新	11
		「動作」のセクションの文章を変更	12
		図 3 を追加	14
		図 4 を更新	16
		「アプリケーション情報」の文章を変更	14、17、18、22、24
		「標準的応用例」の図 17 を更新	34
		D	6/14
特許番号を追加	1		
遅延条件を、 $C_{GATE}=1\text{pF}$ から GATE Open に変更	3		
レイアウトに関する検討事項: -48V 入力プレーンからのローカルの V_{EE} プレーンの分離に関するパラグラフと図 10 を追加	23、24		

LTC4261/LTC4261-2

標準的応用例

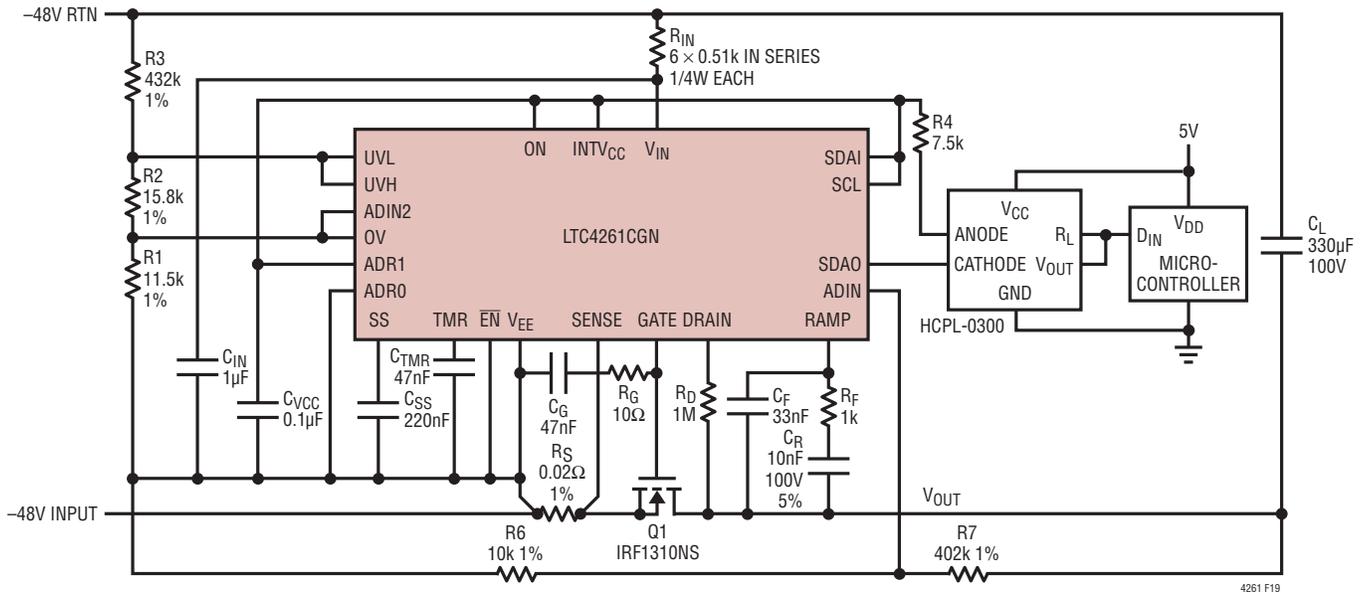


図 19. 1 線ブロードキャスト・モードを使用した LTC4261 の応用回路

関連製品

製品番号	説明	注釈
LT1640AH/LT1640AL	SO-8の負の高電圧 Hot Swap コントローラ	-10V ~ -80V の負の高電圧電源
LTC1921	デュアル-48V 電源およびヒューズ・モニタ	UV/OV モニタ、-10V ~ -80V 動作、MSOP パッケージ
LT4250L/LT4250H	SO-8の-48V Hot Swap コントローラ	アクティブ電流制限、-18V ~ -80V の電源
LTC4251/LTC4251-1	SOT-23の-48V Hot Swap コントローラ	高速アクティブ電流制限、-15V の電源
LTC4252-1/LTC4252-2 LTC4252A-1/ LTC4252A-2	MS8の-48V Hot Swap コントローラ	高速アクティブ電流制限、-15V の電源、±1% の UV/OV (LTC4252A)
LTC4253	シーケンサ付き、-48V Hot Swap コントローラ	シーケンス制御された3つのパワーグッド出力を備えた高速電流制限、-15V の電源
LTC4260	正の高電圧 Hot Swap コントローラ	I ² C と ADC を搭載、8.5V ~ 80V の電源
LTC4354	負電圧ダイオード OR コントローラおよびモニタ	2 個の N チャンネル MOSFET を制御、1µs のターンオフ時間、80V 動作