

I²C 互換モニタ付き正の高電圧 ホットスワップ・コントローラ

特長

- 電源の入ったバックプレーンに安全に挿入可能
- 電流と電圧をモニタする8ビット ADC
- I²C™/SMBus インタフェース
- 広い動作電圧範囲: 8.5V ~ 80V
- 外付けNチャンネルMOSFETのハイサイド・ドライブ
- 入力過電圧/低電圧保護
- フォールト後のラッチオフまたは自動リトライを選択可能
- フォールト後にホストに対してアラートを出力
- フォールドバック電流制限
- 24ピンSO、24ピン細型SSOPおよび32ピン(5mm×5mm) QFNパッケージ

アプリケーション

- 電子回路プレーカ
- ボードの活線挿入
- コンピュータ、サーバ

概要

LTC®4260 ホットスワップ™コントローラは電源の入ったバックプレーンに対するボードの安全な挿抜を可能にします。外付けNチャンネル・パス・トランジスタを使用して、調整可能なレートでボードの電源をランプアップさせることができます。I²C インタフェースと内蔵ADCにより、ボードの電流、電圧およびフォールト状態をモニタすることができます。

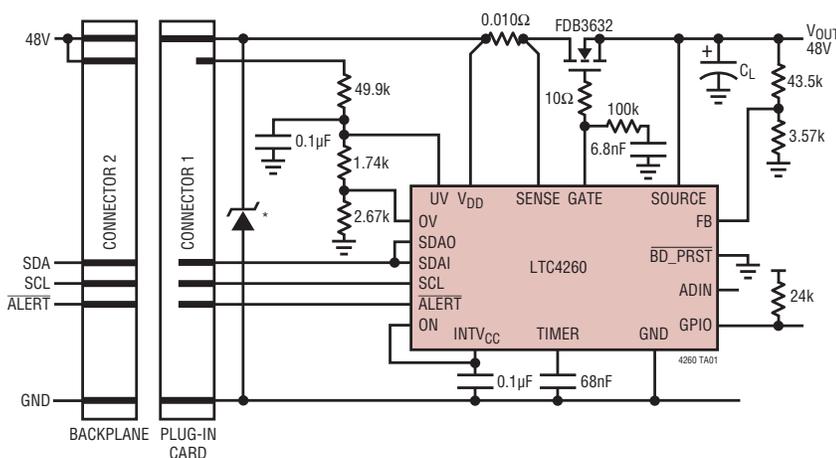
このデバイスは調整可能なアナログ・フォールドバック電流制限を特長にしており、ラッチオフ機能、または調節可能なタイムアウト遅延を超過してLTC4260が電流制限状態に留まった後の自動再起動を備えています。

このコントローラは、フォールトが生じるとホストに割込みをかけ、出力がパワーグッド状態になると通知し、負荷カードの挿入を検出してオン状態でもオフ状態でもパワーアップする追加機能を備えています。

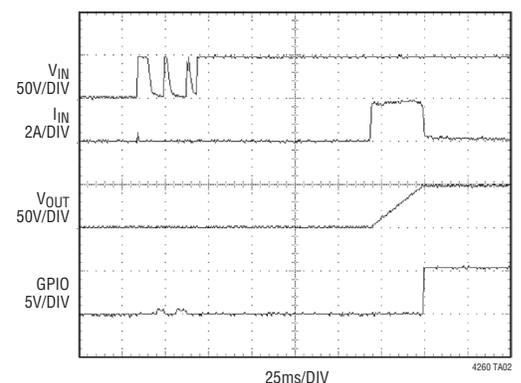
LT、LT、LTC、LTM、Burst Mode、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。Hot Swapはリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

カードに搭載した3A/48Vアプリケーション



起動波形



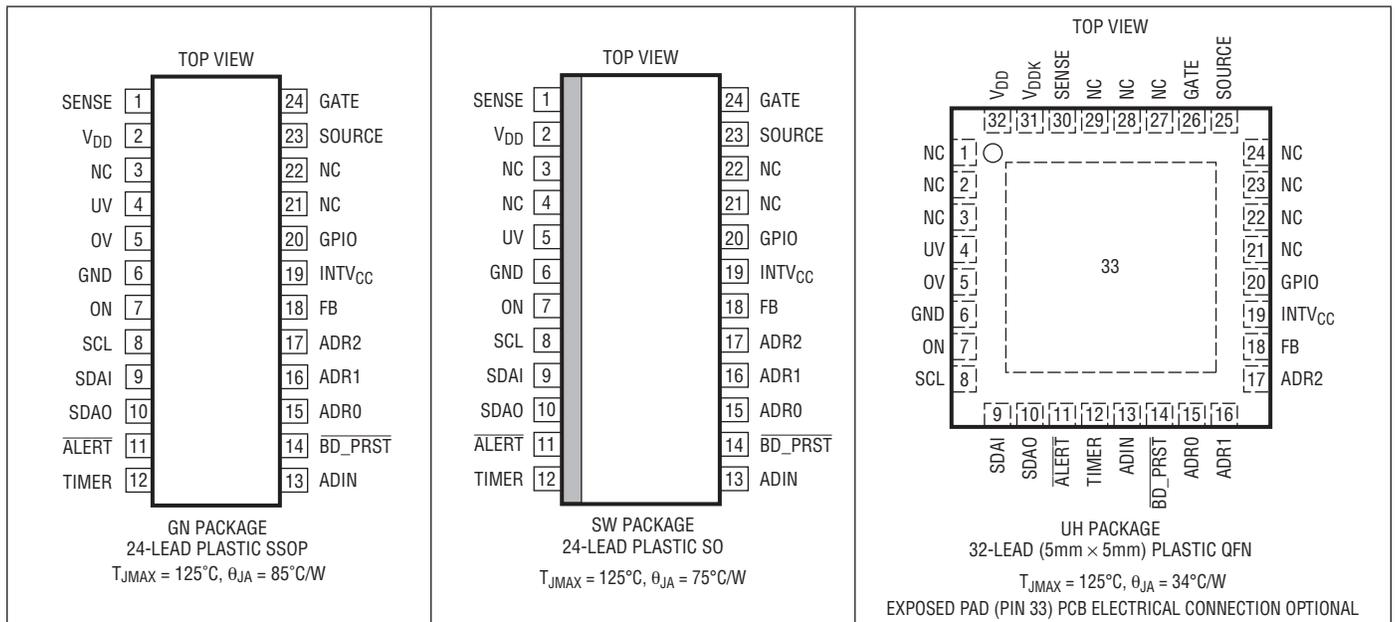
*DIODES INC. SMBT70A

LTC4260

絶対最大定格 (Notes 1, 2)

電源電圧 (V _{DD})	-0.3V ~ 100V	ALERT、SDAO	-0.3V ~ 6.5V
入力電圧		電源電圧 (INTV _{CC})	-0.3V ~ 6.2V
SENSE	(V _{DD} - 10V または -0.3V) ~ V _{DD}	動作温度範囲	
SOURCE	(GATE - 5V) ~ (GATE + 0.3V)	LTC4260C	0°C ~ 70°C
BD_PRST、FB、ON、OV、UV	-0.3V ~ 12V	LTC4260I	-40°C ~ 85°C
ADR0-ADR2、TIMER、ADIN	-0.3V ~ (INTV _{CC} + 0.3V)	保存温度範囲	
SCL、SDAI	-0.3V ~ 6.5V	GN、SWパッケージ	-65°C ~ 150°C
出力電圧		UHパッケージ	-65°C ~ 125°C
GPIO	-0.3V ~ 100V	リード温度 (半田付け、10秒)	
GATE (Note 3)	-0.3V ~ 100V	GN、SWパッケージのみ	300°C

ピン配置



発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC4260CGN#PBF	LTC4260CGN#TRPBF	LTC4260CGN	24-Lead Plastic SSOP	0°C to 70°C
LTC4260IGN#PBF	LTC4260IGN#TRPBF	LTC4260IGN	24-Lead Plastic SSOP	-40°C to 85°C
LTC4260CSW#PBF	LTC4260CSW#TRPBF	LTC4260CSW	24-Lead Plastic SO	0°C to 70°C
LTC4260ISW#PBF	LTC4260ISW#TRPBF	LTC4260ISW	24-Lead Plastic SO	-40°C to 85°C
LTC4260CUH#PBF	LTC4260CUH#TRPBF	4260	32-Lead (5mm × 5mm) Plastic QFN	0°C to 70°C
LTC4260IUH#PBF	LTC4260IUH#TRPBF	4260	32-Lead (5mm × 5mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。
*温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電气的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{DD} = 48\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
共通							
V_{DD}	Input Supply Range		●	8.5		80	V
I_{DD}	Input Supply Current		●		2	5	mA
$V_{DD(UVL)}$	V_{DD} Supply Undervoltage Lockout	V_{DD} Falling	●	7	7.45	7.9	V
$INTV_{CC(UVL)}$	V_{CC} Supply Undervoltage Lockout	$INTV_{CC}$ Falling	●	3.4	3.8	4.2	V
$INTV_{CC}$	Internal Regulator Voltage		●	5	5.5	6	V
ゲート・ドライブ							
t_D	Turn-On Delay		●	50	100	150	ms
ΔV_{GATE}	External N-Channel Gate Drive ($V_{GATE} - V_{SOURCE}$)	$V_{DD} = 20\text{V to } 80\text{V}$ $V_{DD} = 8.5\text{V to } 20\text{V}$	● ●	10 4.5	14 6	18 18	V V
$I_{GATE(UP)}$	External N-Channel Pull-Up Current	Gate Drive On, $V_{GATE} = 0\text{V}$	●	-14	-18	-22	μA
$I_{GATE(FST)}$	External N-Channel Fast Pull-Down	Fast Turn Off, $V_{GATE} = 48\text{V}$, $V_{SOURCE} = 43\text{V}$	●	300	600	1000	mA
$I_{GATE(DN)}$	External N-Channel Pull-Down Current	Gate Drive Off, $V_{GATE} = 58\text{V}$, $V_{SOURCE} = 48\text{V}$	●	0.7	1	1.4	mA
I_{SOURCE}	SOURCE Pin Input Current	SOURCE = 48V	●	200	400	600	μA
入力ピン							
$V_{ON(TH)}$	ON Pin Threshold Voltage	V_{ON} Rising	●	1.19	1.235	1.27	V
$\Delta V_{ON(HYST)}$	ON Pin Hysteresis		●	60	130	200	mV
$I_{ON(IN)}$	ON Pin Input Current	$V_{ON} = 1.2\text{V}$	●		0	± 1	μA
$V_{OV(TH)}$	OV Pin Threshold Voltage	V_{OV} Rising	●	3.43	3.5	3.56	V
$\Delta V_{OV(HYST)}$	OV Pin Hysteresis		●	70	90	120	mV
$I_{OV(IN)}$	OV Pin Input Current	$V_{OV} = 3.5\text{V}$	●		0	± 1	μA
$V_{UV(TH)}$	UV Pin Threshold Voltage	V_{UV} Rising	●	3.43	3.5	3.56	V
$\Delta V_{UV(HYST)}$	UV Pin Hysteresis		●	310	380	440	mV
$I_{UV(IN)}$	UV Pin Input Current	$V_{UV} = 3.5\text{V}$	●		0	± 2	μA
$V_{UV(RTH)}$	UV Pin Reset Threshold Voltage	V_{UV} Falling	●	1.18	1.235	1.27	V
$\Delta V_{UV(RHYST)}$	UV Pin Reset Threshold Hysteresis		●	80	160	250	mV
$\Delta V_{SENSE(TH)}$	Current Limit Sense Voltage Threshold ($V_{DD} - V_{SENSE}$)	$V_{FB} = 3.5\text{V}$ $V_{FB} = 0\text{V}$	● ●	45 10	50 20	55 30	mV mV
$I_{SENSE(IN)}$	SENSE Pin Input Current	$V_{SENSE} = 48\text{V}$	●	70	100	130	μA
V_{FB}	Foldback Pin Power Good Threshold	FB Rising	●	3.43	3.5	3.56	V
$\Delta V_{FB(HYST)}$	FB Pin Power Good Hysteresis		●	80	100	120	mV
I_{FB}	Foldback Pin Input Current	FB = 3.5V	●		0	± 2	μA
$V_{\overline{BD_PRST}}(TH)$	$\overline{BD_PRST}$ Input Threshold	$\overline{BD_PRST}$ Rising	●	1.2	1.235	1.27	V
$\Delta V_{\overline{BD_PRST}}(HYST)$	$\overline{BD_PRST}$ Hysteresis		●	70	130	190	mV
$I_{\overline{BD_PRST}}$	$\overline{BD_PRST}$ Pullup Current	$\overline{BD_PRST} = 0\text{V}$	●	-7	-10	-16	μA
$V_{GPIO(TH)}$	GPIO Pin Input Threshold	V_{GPIO} Rising	●	1.6	1.8	2	V
$\Delta V_{GPIO(HYST)}$	GPIO Pin Hysteresis				80		mV
$V_{GPIO(OL)}$	GPIO Pin Output Low Voltage	$I_{GPIO} = 2\text{mA}$	●		0.25	0.5	V
$I_{GPIO(IN)}$	GPIO Pin Input Leakage Current	$V_{GPIO} = 80\text{V}$	●		0	± 10	μA
R_{ADIN}	ADIN Pin Input Resistance	$V_{ADIN} = 1.28\text{V}$	●	2	10		$\text{M}\Omega$
I_{ADIN}	ADIN Pin Input Current	$V_{ADIN} = 2.56\text{V}$	●		0	± 1	μA

4260fc

LTC4260

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ の値。注記がない限り、 $V_{DD} = 48\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
タイマ							
$V_{\text{TIMER(H)}}$	TIMER Pin High Threshold	V_{TIMER} Rising	●	1.2	1.235	1.28	V
$V_{\text{TIMER(L)}}$	TIMER Pin Low Threshold	V_{TIMER} Falling	●	0.1	0.2	0.3	V
$I_{\text{TIMER(UP)}}$	TIMER Pin Pull-Up Current	$V_{\text{TIMER}} = 0\text{V}$	●	-80	-100	-120	μA
$I_{\text{TIMER(DN)}}$	TIMER Pin Pull-Down Current	$V_{\text{TIMER}} = 1.3\text{V}$	●	1.4	2	2.6	μA
$I_{\text{TIMER(RATIO)}}$	TIMER Pin Current Ratio $I_{\text{TIMER(DN)}}/I_{\text{TIMER(UP)}}$		●	1.6	2	2.7	%

ACパラメータ

$t_{\text{PLH(GATE)}}$	Input High (ON) to GATE High Propagation Delay	$C_{\text{GATE}} = 1\text{pF}$	●		1	3	μs
$t_{\text{PHL(GATE)}}$	Input High (OV, BD_PRST), Input Low (ON, UV) to GATE Low Propagation Delay	$C_{\text{GATE}} = 1\text{pF}$	●		0.5	3	μs
$t_{\text{PHL(SENSE)}}$	$(V_{\text{DD}} - \text{SENSE})$ High to GATE Low	$V_{\text{DD}} - \text{SENSE} = 200\text{mV}$, $C_{\text{GATE}} = 10\text{nF}$	●		0.4	1	μs

ADC

	Resolution (No Missing Codes)	(Note 4)	●	8			Bits
	Integral Nonlinearity	$V_{\text{DD}} - \text{SENSE}$ (Note 5)	●		± 0.5	± 2	LSB
		SOURCE	●		± 0.5	± 1.25	LSB
		ADIN	●		± 0.5	± 1.25	LSB
	Offset Error	$V_{\text{DD}} - \text{SENSE}$	●			± 1.5	LSB
		SOURCE	●			± 1	LSB
		ADIN	●			± 1	LSB
	Full Scale Error	(Note 6)	●			± 5	LSB
	Total Unadjusted Error	(Note 6)	●			± 5	LSB
	Full Scale Voltage (Code 255)	$V_{\text{DD}} - \text{SENSE}$ (Note 6)	●	75	76.5	78	mV
		SOURCE	●	100	102	104	V
		ADIN	●	2.50	2.55	2.60	V
	Conversion Rate				10		Hz

I²Cインタフェース

$V_{\text{ADR(H)}}$	ADR0 to ADR2 Input High Voltage Threshold			$\text{INTV}_{\text{CC}} - 0.6$	$\text{INTV}_{\text{CC}} - 0.45$	$\text{INTV}_{\text{CC}} - 0.25$	V
$V_{\text{ADR(L)}}$	ADR0 to ADR2 Input Low Voltage Threshold			0.25	0.45	0.65	V
$I_{\text{ADR(IN)}}$	ADR0 to ADR2 Input Current	ADR0 to ADR2 = 0V, 5.5V	●	-80		80	μA
$V_{\text{SDAI,SCL(TH)}}$	SDAI, SCL Input Threshold		●	1.6	1.8	2	V
$I_{\text{SDAI,SCL(IN)}}$	SDAI, SCL Input Current	SCL, SDAI = 5V	●		0	± 1	μA
$V_{\text{SDAO(OL)}}$	SDAO Output Low Voltage	$I_{\text{SDAO}} = 5\text{mA}$	●		0.2	0.4	V
$V_{\text{ALERT(OL)}}$	$\overline{\text{ALERT}}$ Output Low Voltage	$I_{\text{ALERT}} = 5\text{mA}$	●		0.2	0.4	V
$I_{\text{SDAO,ALERT(IN)}}$	SDAO, $\overline{\text{ALERT}}$ Input Current	SDAO, $\overline{\text{ALERT}} = 5\text{V}$	●		0	± 1	μA

電气的特性

● は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{DD} = 48\text{V}$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
I²C インタフェースのタイミング (Note 4)						
f _{SCL(MAX)}	Maximum SCL Clock Frequency	Operates with f _{SCL} ≤ f _{SCL(MAX)}	400			kHz
t _{BUF(MIN)}	Minimum Bus Free Time Between Stop/Start Condition			0.12	1.3	μs
t _{SU,STA(MIN)}	Minimum Repeated Start Condition Set-Up Time			30	600	ns
t _{HD,STA(MIN)}	Minimum Hold Time After (Repeated) Start Condition			140	600	ns
t _{SU,STO(MIN)}	Minimum Stop Condition Set-Up Time			30	600	ns
t _{SU,DAT(MIN)}	Minimum Data Set-Up Time Input			30	100	ns
t _{HD,DAT(MIN)}	Minimum Data Hold Time Input			-100	0	ns
t _{HD,DATO(MIN)}	Minimum Data Hold Time Output		300	500	900	ns
t _{SP(MAX)}	Maximum Suppressed Spike Pulse Width		50	110	250	ns
C _X	SCL, SDA Input Capacitance	SDAI Tied to SDAO		5	10	pF

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: 注記がない限り、ピンに流れ込む電流は全てプラス、ピンから流れ出す電流は全てマイナスで、全ての電圧はGNDを基準にしている。

Note 3: 最大定格のリミットはどちらのリミットであれ最初に生じる方として定義される。内部クランプにより、GATEピンはソースより最小10V高い電圧に制限される。このピンをクランプ電圧より高い電圧にドライブするとデバイスを損傷するおそれがある。

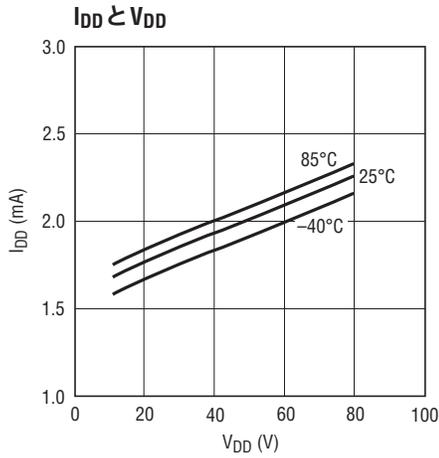
Note 4: 設計によって保証されており、テストされない。

Note 5: 積分非直線性は、精密アナログ入力電圧からのコードの偏差として定義されている。最大値の規定はLSBのステップ・サイズとシングルショット測定によって制限されている。標準値は量子化幅の1/4、1/2および3/4の領域から測定される。

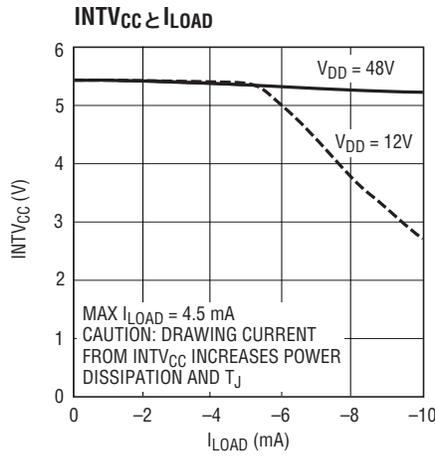
Note 6: V_{DD}検出チャンネルは、フルスケールはコード255であるが、200を超えるコードはオフセット・キャンセルによって捨てられることがある。フルスケール誤差と全未調整誤差は0~200のコード範囲で評価される。フルスケール電圧は理論的コード255に対応し、コード200の測定値から外挿される。

LTC4260

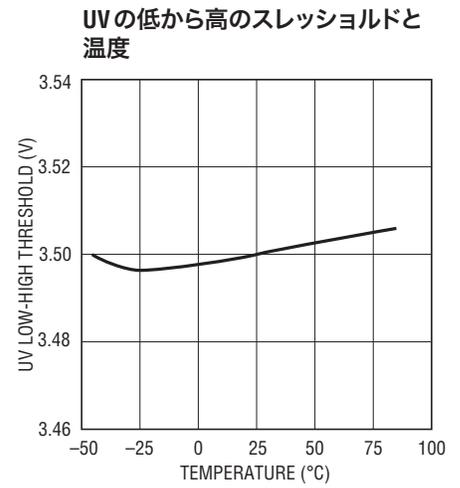
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 48\text{V}$ 。



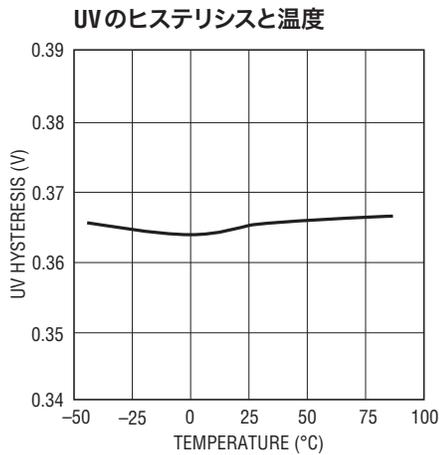
4260 G01



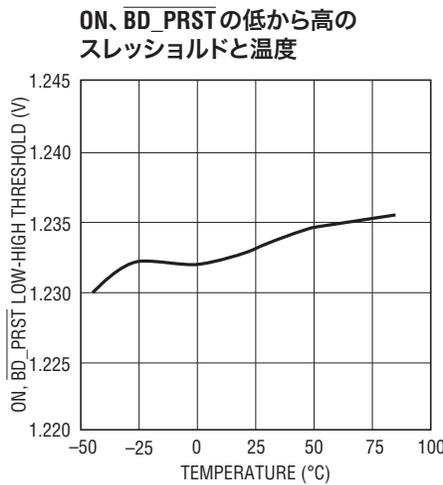
4260 G18



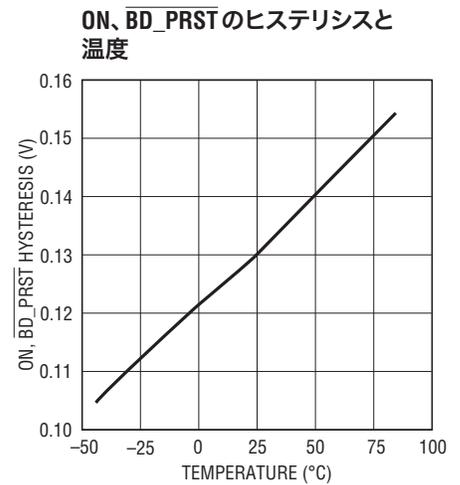
4260 G02



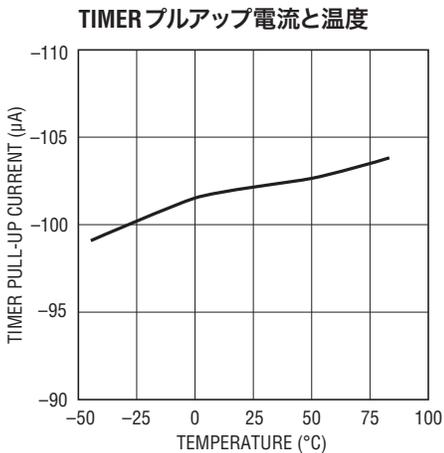
4260 G03



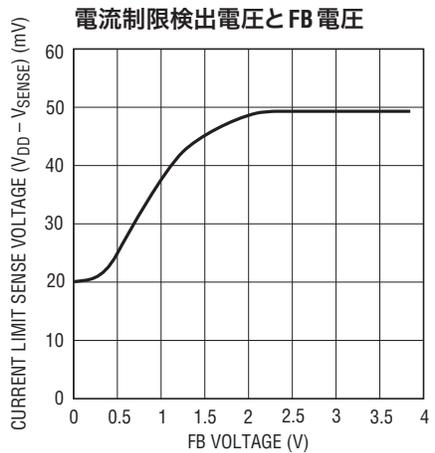
4260 G04



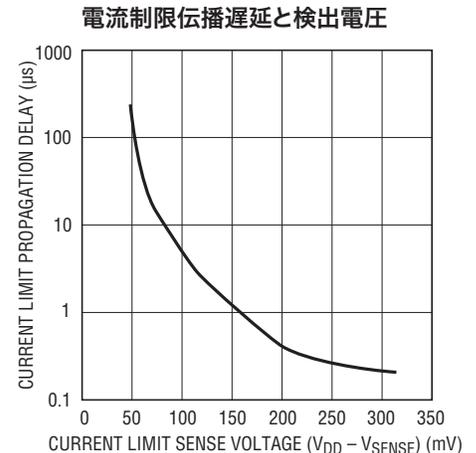
4260 G05



4260 G06

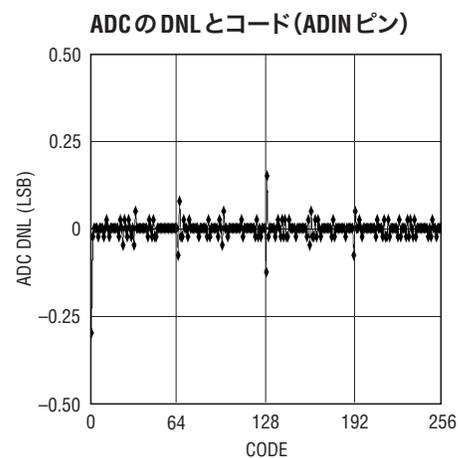
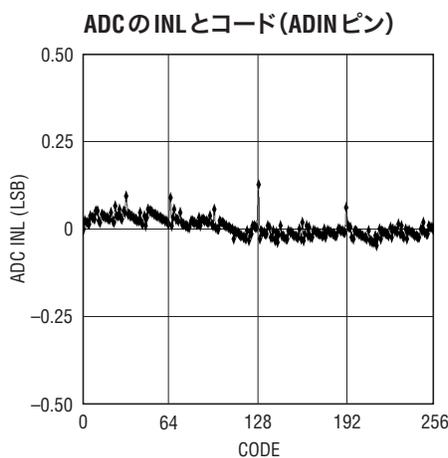
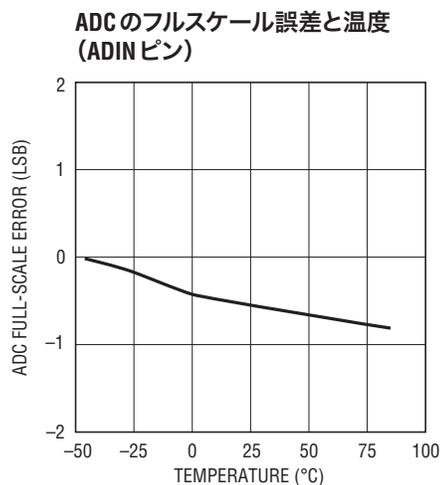
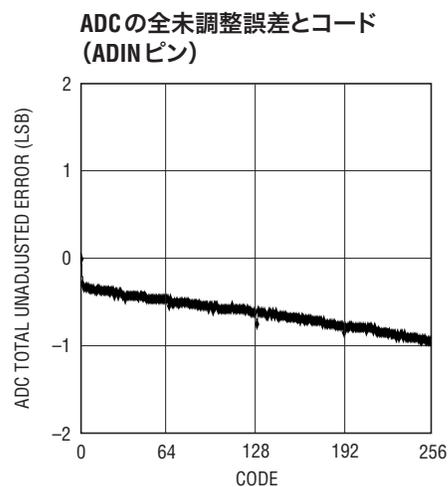
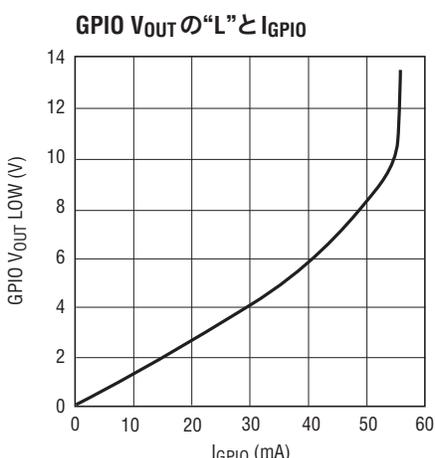
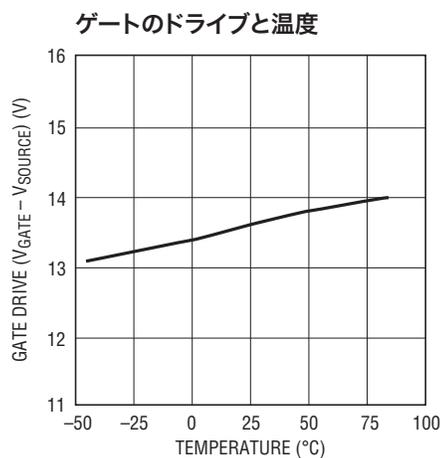
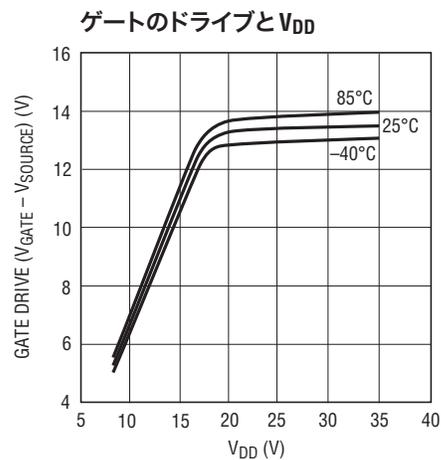
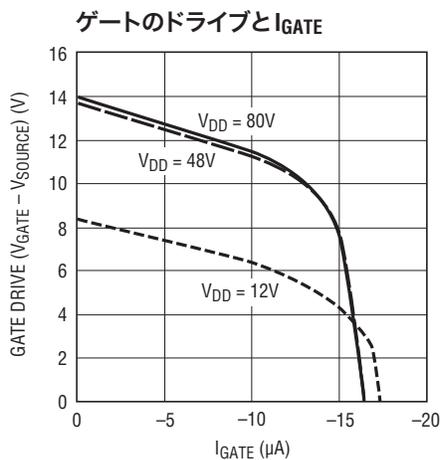
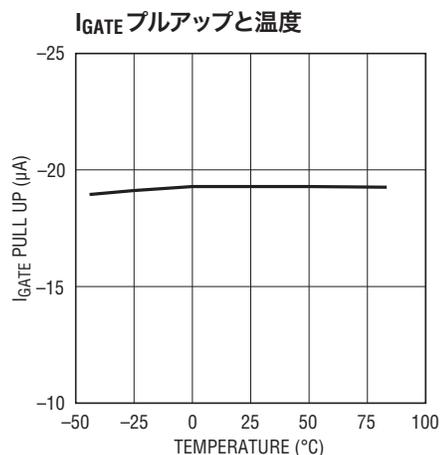


4260 G07



4260 G08

標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 48\text{V}$ 。



ピン機能

ADIN : ADC 入力。このピンに加えられた 0V と 2.56V の間の電圧は、内蔵 ADC によって測定することができます。使用しない場合はグラウンドに接続します。

ADR0 ~ ADR2 : シリアル・バスのアドレス入力。これらのピンをグラウンドに接続するか、オープンにするか、または INTV_{CC} に接続すると、可能な 27 アドレスの 1 つに構成設定されます。「アプリケーション情報」の表 1 を参照してください。

ALERT : フォールト・アラート出力。オープン・ドレインのロジック出力で、フォールト発生時にグラウンドに引き下げてホスト・コントローラにアラートを出すことができます。フォールト・アラートは ALERT レジスタによってイネーブルされます。このデバイスは SMBus のアラート・プロトコルに適合しています。「アプリケーション情報」を参照してください。使用しない場合はグラウンドに接続します。

BD_PRST : ボード検出入力。このピンを接地して N チャネル FET をイネーブルし、100ms のデバウンス遅延後にオンします。このピンが“H”のとき、FET はオフします。内部 10 μ A 電流源がこのピンをプルアップします。このピンの遷移は FAULT レジスタに記録されます。高から低へ遷移すると、ON ピンの状態を読み取るロジックがアクティブになり、フォールトをクリアします。「アプリケーション情報」を参照してください。

露出パッド (ピン 33、UH パッケージ) : 露出パッドはオープンのままにするか、デバイスのグラウンドに接続することができます。

FB : フォールドバックとパワーグッド入力。出力電圧からの抵抗分割器をこのピンに接続します。このピンの電圧が 3.41V より下に下がると、出力電力はバッドであると見なされ、電流制限が減少します。パワーバッド状態は GPIO ピンで表示することができます。パワーバッド・フォールトをこの状態でログすることができます。「アプリケーション情報」を参照してください。

GATE : 外部 N チャネル FET のゲート・ドライブ。18 μ A の内部電流源が外部 N チャネル MOSFET のゲートを充電します。このピンからグラウンドに接続された抵抗とコンデンサのネットワークにより、ターンオン・レートが設定され、アクティブ電流制限を補償します。ターンオフの間、1mA のプルダウン電流が流れます。短絡または低電圧ロックアウトの間 (V_{DD} または INTV_{CC})、GATE と SOURCE の間の 600 mA プルダウン電流源がアクティブになります。

GND : デバイスのグラウンド。

GPIO : 汎用入力/出力。オープン・ドレインのロジック出力およびロジック入力。既定では“L”になり、パワーバッドを表示します。表 3 に従って構成設定します。

INTV_{CC} : 内部低電圧電源のデカップリング出力。このピンからグラウンドに 0.1 μ F のコンデンサを接続します。このピンを使って、他のピンをロジック“H”にドライブすることができます。このピンの低電圧ロックアウト・スレッシュホールドは 3.8V です。

NC : NC。接続されていないピン。これらのピンは高電圧ピンと低電圧ピンの間に追加の間隔を与えます。

ON : オン制御入力。立上りエッジが外部 N チャネル FET をオンし、立下りエッジがオフします。このピンは FET ON ビット (したがって外部 FET) の起動時の状態を構成設定するのにも使われます。たとえば、ON ピンが“H”に接続されると、FET ON 制御ビット (A3) は起動後 100ms で“H”になります。同様に、ON ピンが“L”に接続されると、デバイスは、起動後、I²C バスを使って FET ON 制御ビットが“H”に設定されるまでオフしたままです。このピンが“H”から“L”へ遷移すると、フォールトがクリアされます。

OV (GN/UH パッケージ) : 過電圧コンパレータの入力。このピンを V_{DD} からの外部抵抗分割器に接続します。このピンの電圧が 3.5V より上に上がると、過電圧フォールトが検出され、スイッチがオフします。使用しない場合、GND に接続します。

SCL : シリアル・バス・クロック入力。SDA ピンのデータは SCL の立上りエッジでシフトされて入力または出力されます。これは高インピーダンス・ピンで、一般にマスタ・コントローラのオープン・コレクタ出力でドライブされます。外部プルアップ抵抗または電流ソースが必要です。

SDAI : シリアル・バス・データ入力。アドレス、命令またはデータのビットをシフトして入力するのに使われる高インピーダンス入力。通常は SDAO に接続されて SDA ラインを形成します。

ピン機能

SDAO : シリアル・バス・データ出力。オープン・ドレイン出力で、データをマスタ・コントローラに送るのに、また書込み動作をアクノリッジするのに使います。通常はSDAIに接続されてSDAラインを形成します。外部プルアップ抵抗または電流ソースが必要です。

SENSE : 電流センス入力。このピンを電流センス抵抗の出力に接続します。電流制限回路はGATEピンを制御して、V_{DD}ピンとSENSEピン間の検出電圧を、FBピンの電圧に依存して、50mV以下に制限します。このピンは8ビットADCへの入力として使われます。

SOURCE : NチャネルMOSFETのソース接続およびADCの入力。このピンは外部NチャネルMOSFETスイッチのソースに接続します。このピンは出力電圧をモニタするADCの入力としても機能します。ピンはゲートのプルダウン回路のリターンを与え、チャージポンプ回路の電源として機能します。

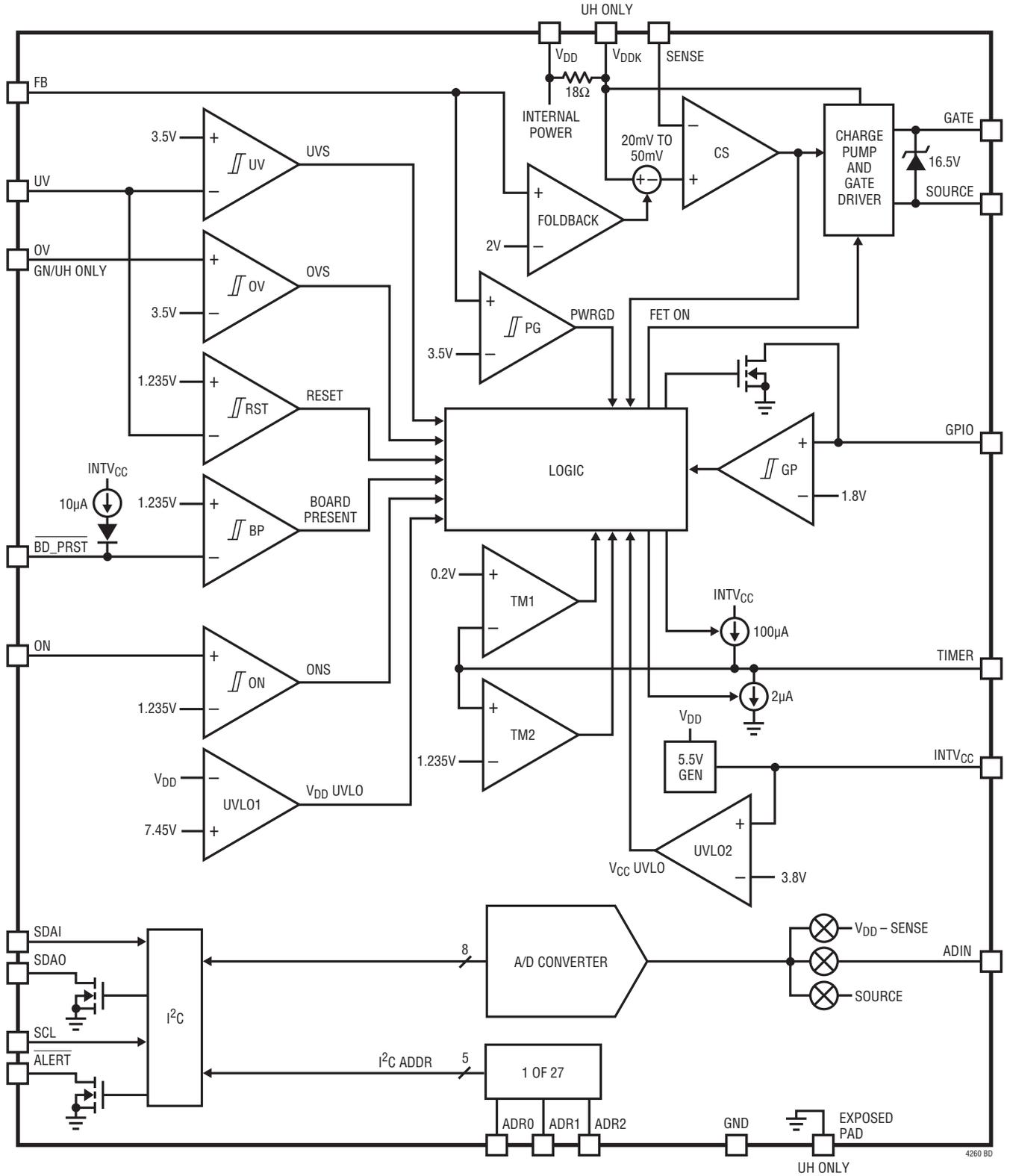
TIMER : タイマ入力。このピンとグラウンドの間にコンデンサを接続して、スイッチがオフする前の電流制限の12ms/μFの持続時間を設定します。オフ時間の長さは、電流制限の間の自動リトライがイネーブルされているとき518ms/μFです。0.1nFの最小値をこのピンに接続する必要があります。

UV : 低電圧コンパレータの入力。このピンをV_{DD}からの外部抵抗分割器に接続します。このピンの電圧が3.12Vより下がると、低電圧フォールトが検出され、スイッチがオフします。このピンを1.2Vより下に引き下げると、全てのフォールトがリセットされ、スイッチは再度オンすることができます。使用しない場合、INTV_{CC}に接続します。

V_{DD} : 電源電圧と電流検出入力。このピンの低電圧ロックアウト・スレッショルドは7.45Vです。

V_{DDK} (UHパッケージ) : V_{DD}と同じ。このピンはV_{DD}に接続します。V_{DDK}は内部で18Ωを介してV_{DD}に接続されています。

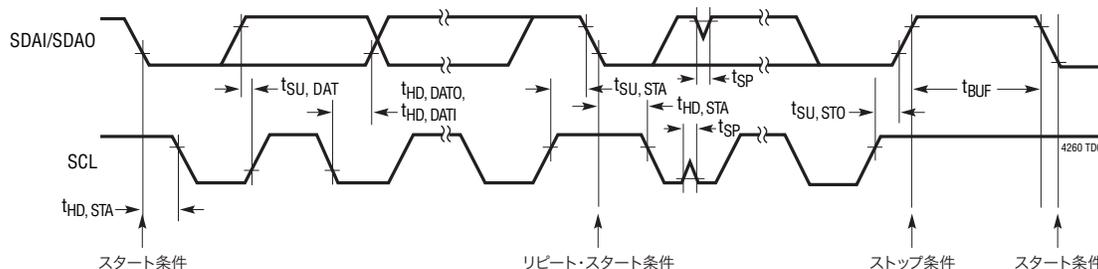
機能図



4260 BD

4260fc

タイミング図



動作

機能図はこのデバイスの主要な機能領域を示しています。LTC4260は管理された状態でボードの電源電圧をオン/オフするように設計されているので、電源の入っているバックプレーンに対して回路基板の安全な挿抜が可能です。通常動作時、チャージポンプとゲート・ドライバは外部Nチャンネル・パスFETのゲートをオンして電力を負荷に供給します。ゲート・ドライバは、SOURCEピンから電力を得るチャージポンプを使います。SOURCEピンがグランド電位るとき、チャージポンプは、 V_{DD} から得られる内部12V電源から給電されます。このため、ゲートが高い電圧に引き上げられるときSOURCEピンには200 μ Aの電流負荷が生じます。内部15Vゲート・ソース・クランプもゲート・ドライバに備わっています。

電流検出(CS)アンプは V_{DD} ピンとSENSEピンの電圧差を使って負荷電流をモニタします。CSアンプは、アクティブ制御ループ内のGATEからSOURCEの電圧を下げることで、負荷を流れる電流を制限します。CSアンプは V_{DD} ピンとSENSEピンの両方から100 μ Aの入力バイアス電流を必要とします。

出力からグランドへの短絡は、アクティブ電流制限の間大きな電力損失を生じます。この電力を制限するため、FBピンが2Vより下に下がるにつれ、フォールドバック・アンプが電流制限値を50mVから20mV (V_{DD} からSENSE電圧を差し引いた電圧)に直線的に減らします(「標準的性能特性」の曲線を参照)。

過電流状態が持続すると、TIMERピンはその電圧が1.2Vを超えるまで(コンパレータTM2)、100 μ A電流源によってランプアップし、過熱を防ぐためにパスFETをオフする時点をロジックに知らせます。このポイントで、TIMERピンは、電圧が0.2Vより下に下がるまで(コンパレータTM1)、2 μ A電流源を使っ

てランプダウンして、パス・トランジスタの温度が下がり、安全に再度オンできることをロジックに告げます。

FBピンとPGコンパレータを使って出力電圧がモニタされ、負荷に電力を供給できるかどうか決定します。パワーグッド状態が、オープン・ドレインのプルダウン・トランジスタを使って、GPIOピンによって知らされます。GPIOピンは汎用入力(GPコンパレータ)または出力ピンとして使うことができます。

LTC4260のモニタ・ブロックを機能図に示します。左側のコンパレータ・グループには、UV、OV、RST、BPおよびONの各コンパレータが含まれています。これらのコンパレータは、FETをオンする前に外部条件が有効かどうか決定するのに使われます。ただし、最初に2つの低電圧ロックアウト回路(UVLO1およびUVLO2)が入力電源と内部で発生させた5.5V電源(INTV_{CC})を検証し、ロジック回路の起動時初期化を行う必要があります。

LTC4260には8ビットA/Dコンバータが備わっています。このコンバータは3入力マルチプレクサを備えており、ADINピン、SOURCEピンおよび V_{DD} -SENSE電圧の中から選択します。

A/Dレジスタを読み出すためにI²Cインタフェースが備わっています。これにより、ホストがデバイスをポーリングして、フォールトが発生しているか判断することもできます。ALERTラインが割込みとして使用されると、ホストはリアルタイムでフォールトに応答することができます。標準的SDAラインはSDAI(入力)とSDAO(出力)に分割されます。これにより、SDAO出力から直接ドライブされるオプトアイソレータを使ってアプリケーションを簡素化します。I²Cデバイスのアドレスは、ADR0、ADR1およびADR2の各ピンを使ってデコードされます。これらの各入力には3つの状態を備えており、全部で27のデバイス・アドレスにデコードされます。

アプリケーション情報

LTC4260の標準的アプリケーションは、正電圧電源を使って個々のカードに配電する高可用性システムです。デバイスはカードの電圧と電流を測定し、過去および現在のフォールト状態を記録します。システムはI²Cを介して定期的に各LTC4260に問い合わせ、保存されている情報を読み出します。

LTC4260の基本的応用回路を図1に示します。外付け部品の選択の詳細については「設計例」のセクションで説明します。

ターンオン・シーケンス

ボード上の電源は、電力経路に外部Nチャンネル・パス・トランジスタ(Q1)を配置して制御します。センス抵抗(R_S)が電流を検出し、コンデンサC1がGATEのスルーレートを制御することに注意してください。抵抗R6は電流制御ループを補償し、R5はQ1の高周波発振を防ぎます。抵抗R1、R2およびR3は低電圧および過電圧を検出します。

いくつかの条件が満たされるまで、外部スイッチをオンすることはできません。まず、外部電源V_{DD}がその低電圧ロックアウト・レベルを超える必要があります。次に、内部で発生させた電源INTV_{CC}がその4.5V低電圧スレッシュホールドを超える必要があります。これにより、60μsと120μsのパワーオン・リセット・パルスが発生します。リセットの間、フォールト・レジスタはクリ

アされ、制御レジスタは、レジスタのセクションで説明されているように、セットまたはクリアされます。

パワーオン・リセット・パルスの後、LTC4260は以下のターンオン・シーケンスを行います。まず、入力電力が受け入れられる範囲内であることをUVピンとOVピンが表示する必要があり、BD_PRSTピンが“L”に引き下げられる必要があります。これら全ての条件が100msの間満たされて、挿入時のコンタクトバウンスが終了したことを保証する必要があります。

これらの初期条件が満たされると、ONピンがチェックされます。それが“H”だと、外部スイッチがオンします。それが“L”だと、ONピンが“H”になったとき、またはシリアル・バスのターンオン命令が受け取られたとき、外部スイッチがオンします。

スイッチは、GATEを18μA電流源で充電することによりオンされます(図2)。GATEピンの電圧は18μA/C1に等しい勾配で上昇し、電源の突入電流は次のように設定されます。

$$I_{INRUSH} = \frac{C_L}{C1} \cdot 18\mu A$$

GATE電圧がFETのスレッシュホールド電圧に達すると、スイッチがオンし始め、GATE電圧が増加するにつれSOURCE電圧がGATE電圧に追従します。

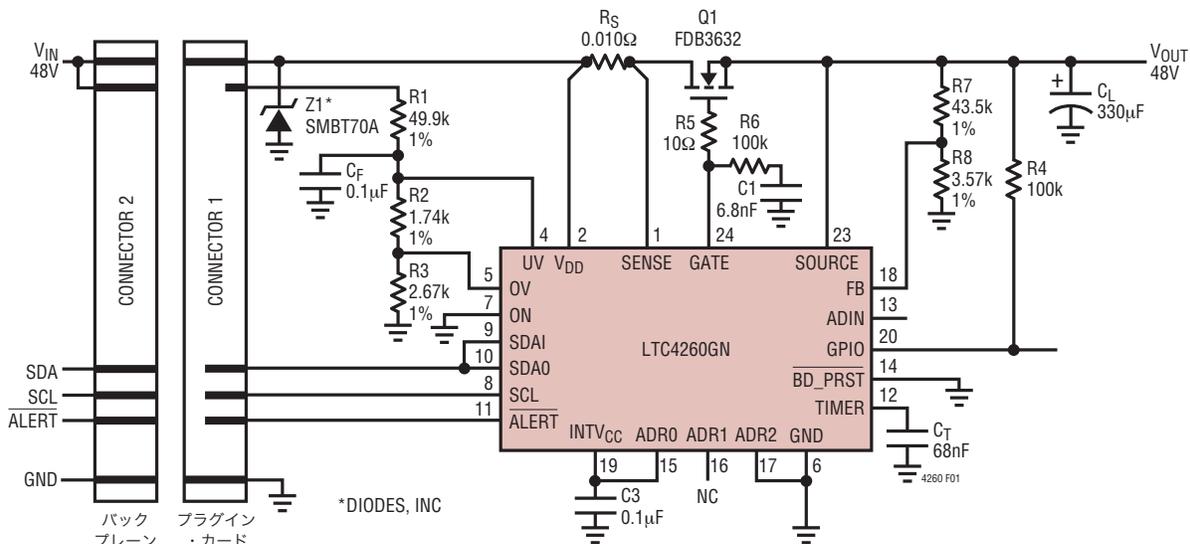


図1. カードに搭載した、5A/48Vアプリケーション

アプリケーション情報

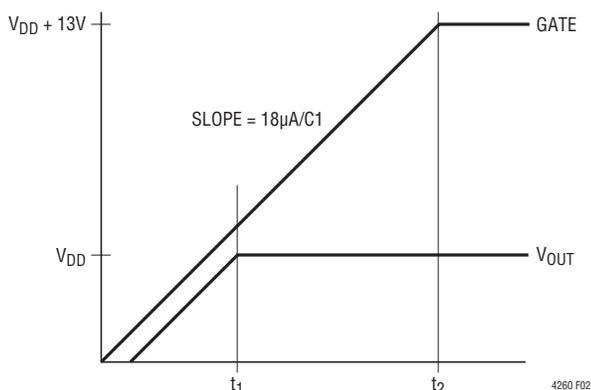


図2. 電源のターンオン

SOURCE電圧が上昇するにつれ、それをモニタしているFBピンも上昇します。電流検出抵抗 R_S 両端の電圧が高くなりすぎると、内部電流制限回路によって突入電流が制限されます。FBピンがその3.5Vのスレッシュホールドを超えると、(既定の構成設定の)GPIOピンが“L”であることを止め、電源が今やグッドであることを表示します。

ターンオフ・シーケンス

スイッチは様々な条件でオフすることができます。通常のターンオフは、ONピンが“L”になるか、またはシリアル・バスのターンオフ命令によって開始されます。さらに、いくつかのフォールト状態により、スイッチがオフします。これらには、入力の過電圧(OVピン)、入力の低電圧(UVピン)、過電流回路ブレーカ(SENSEピン)または $\overline{BD_PRST}$ の“H”への移行が含まれます。UV、OVまたは過電流フォールト・ビットにロジック1を書き込んでも、それらの自動リトライ・ビットが偽にセットされていると、スイッチをオフします。

通常、1mAの電流がGATEピンをグランドに引き下げてスイッチをオフします。スイッチがオフするとSOURCE電圧が低下し、FBピンがそのスレッシュホールドより下に下がると、GPIOが“L”に下がって出力電力がもはやグッドではないことを表示します。

V_{DD} ピンが5 μ sより長く7.5Vより下に下がると、またはINTV_{CC}が1 μ sより長く3.8Vより下に下がると、スイッチの高速シャットダウンが開始されます。GATEピンが600mAの電流によってSOURCEピンに引き下げられます。

過電流フォールト

LTC4260はフォールドバック付きの調節可能な電流制限を備えており、短絡や過度の負荷電流に対して保護します。アクティブ電流制限中のスイッチ内の過度の電力損失に対して保護するため、利用可能な電流がFBピンによって検出される出力電圧の関数として減少します。デバイスは可変過電流応答時間も備えています。「標準的性能特性」の曲線が、SENSEピンの電圧ステップからGATE電圧が下がり始めるまでの遅延を、オーバードライブの関数として示しています。

TIMERピンによって設定されるタイムアウト遅延より長く電流制限回路が作動すると過電流フォールトが生じます。 V_{DD} ピンとSENSEピン間の電流検出電圧が(フォールドバックに依存して)20mV~50mVに達すると、電流制限が始まります。GATEピンが600mAのGATEからSOURCEへの電流によって引き下げられます。電流検出電圧を50mVより下に制限するため、GATEの電圧が制御されます。このポイントで、TIMERピンからの外部タイミング・コンデンサを100 μ Aのプルアップ電流で充電することにより、回路ブレーカの時間遅延が開始されます。TIMERピンが1.2Vのスレッシュホールドに達すると、(GATEからグランドへの1mAの電流によって)外部スイッチがオフします。過電流検出ビット(C2)と過電流フォールト・ビット(D2)がこの時点でセットされます。

回路ブレーカの遅延時間は次式で与えられます。

$$t_{CB} = C_T \cdot 12 \text{ [ms/}\mu\text{F]}$$

スイッチがオフした後、TIMERピンがタイミング・コンデンサを2 μ Aのプルダウン電流で放電し始めます。TIMERピンがその0.2Vのスレッシュホールドに達すると過電流検出ビット(C2)がクリアされ、もし過電流フォールトがクリアされていれば、スイッチを再度オンすることができます。ただし、過電流自動トライ・ビット(A2)がセットされていると、(過電流フォールトをリセットすることなしに)スイッチは自動的に再度オンします。 C_T には0.1nFの最小値を使います。

図3の波形は、短絡に続いて出力がどのようにラッチオフするかを示しています。センス抵抗両端の電圧降下は、タイマがランプアップするとき20mVに保持されます。

アプリケーション情報

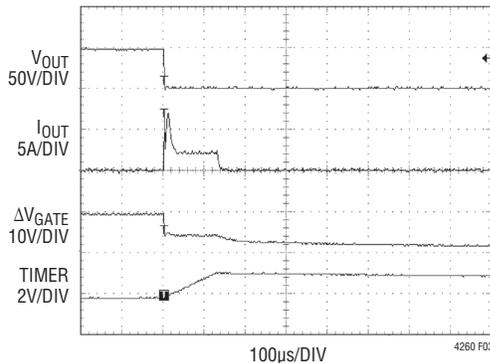


図3. 短絡波形

短絡時、電流制限検出電圧が150mVを超えると、アクティブ電流制限が高電流保護モードになり、GATEからSOURCEの電圧をゼロに引き下げて直ちに出力トランジスタをオフします。出力トランジスタの電流は数百ナノ秒の間に数十アンペアからゼロに減少します。高電流の間入力電圧は低下し、次いでFETがオフすると寄生インダクタンスにより上方にスパイクを生じます(「電源トランジェント」を参照)。この現象に続いて、デバイスは遅延後(入力電圧がUVLOスレッシュホールドより下に下がると、標準で100msの通常のターンオン遅延)に再度オンすることができ、オフする前にアクティブ電流制限に入ります。

過電圧フォールト

OVピンがその3.5Vのスレッシュホールドを超えて上昇すると、過電圧フォールトが生じます。これにより、(GATEからグラウンドへの1mAの電流により)スイッチが直ちにオフし、過電圧検出ビット(C0)と過電圧フォールト・ビット(D0)がセットされます。次いで、OVピンが再度100msの間スレッシュホールドより下に下がると、ビットA0をクリアして過電圧自動トライをディスエーブルしていない限り、スイッチは再度オンすることができます。

低電圧フォールト

UVピンがその3.12Vのスレッシュホールドより下に下がると、低電圧フォールトが生じます。これにより、(GATEからグラウンドへの1mAの電流により)スイッチが直ちにオフし、低電圧検出ビット(C1)と低電圧フォールト・ビット(D1)がセットされます。次いで、UVピンが再度100msの間スレッシュホールドより上に上がると、ビットA1をクリアして低電圧自動トライをディスエーブルしていない限り、スイッチは再度オンします。デバイスに電力が与えられると、INTV_{CC}がその4.5Vの低電圧ロックアウト・

スレッシュホールドを超えた後、UVがその3.12Vのスレッシュホールドより下だと、低電圧フォールトがフォールト・レジスタにログされます。

ボード検出の状態変化

$\overline{\text{BD_PRST}}$ ピンがトグルするときはずっと、ビットD4がセットされて状態が変化したことを表示します。 $\overline{\text{BD_PRST}}$ ピンが“H”になって、ボードの引抜きを表示すると、(GATEからグラウンドへの1mAの電流により)スイッチが直ちにオフし、ボード検出ビット(C4)がクリアされます。 $\overline{\text{BD_PRST}}$ ピンが“L”に引き下げられて、ボードの挿入を表示すると、D4以外の全てのビットがクリアされ、ボード検出ビット(C4)がセットされます。 $\overline{\text{BD_PRST}}$ ピンが100msの間“L”に留まると、ONピンの状態がFET On制御ビット(A3)に捕捉されます。これにより、ONピンが“H”に接続されていると、スイッチがオンします。 $\overline{\text{BD_PRST}}$ ピンには10μAの内部プルアップ電流源が備わっています。

フォールトによってシステムがシャットダウンした場合、単に負荷カードを引き抜いて再度挿入することによりシステムを再起動するのが望ましいことがあります。LTC4260とスイッチがバックプレーンやミッドプレーンに置かれ、負荷がプラグイン・カードに置かれている場合、 $\overline{\text{BD_PRST}}$ ピンを使って、プラグイン・カードが引き抜かれたとき検出することができます(図4を参照)。プラグイン・カードが再度挿入されると、(D4以外の)フォールト・レジスタはクリアされます。100ms後、ONピンの状態が制御レジスタのビットA3にラッチされます。このポイントで、システムは再度起動します。

プラグイン・カードの接続検出が $\overline{\text{BD_PRST}}$ ピンをドライブしていると、カードの挿入または引き抜きにより、ピン電圧にバウンスが生じることがあります。これにより、カードが引き抜かれたときフォールト・レジスタがクリアされます。このピンは、図4に示されているように、 $\overline{\text{BD_PRST}}$ ピンにフィルタ・コンデンサ(C _{$\overline{\text{BD_PRST}}$})を使ってデバウンスすることができます。フィルタ時間は次式で与えられます。

$$t_{\text{FILTER}} = C_{\overline{\text{BD_PRST}}} \cdot 123 \text{ [ms/}\mu\text{F]}$$

FET短絡フォールト

FETがオフしているとき2mV以上の電流検出電圧をデータ・コンバータが測定すると、FETの短絡フォールトが報告されます。この状態は、FET短絡検出ビット(C5)とFET短絡フォールトビット(D5)をセットします。

アプリケーション情報

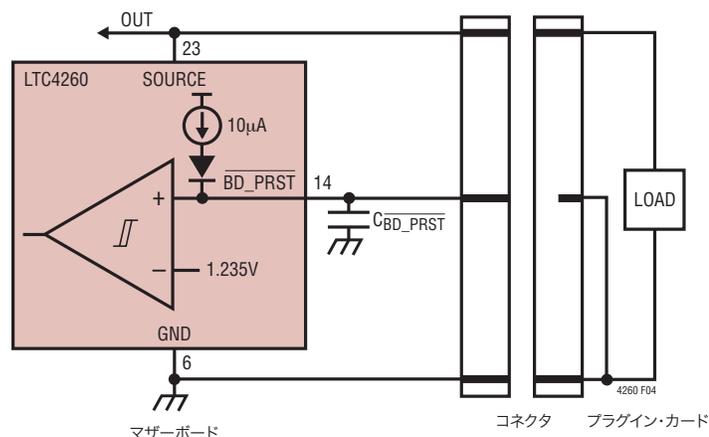


図4. プラグイン・カードの挿入/引抜き

パワーバッド検出/パワーバッド・フォールト

FBピンの電圧が3.41Vのスレッシュホールドより低くなると、パワーバッド検出ビットC3が“H”になります。このとき、GPIOピンがPWRGDとして設定されていると、GPIOピンは直ちに“L”になります。次いで、FBピンの電圧が上昇して再びスレッシュホールドを超えると、GPIOピンは高インピーダンス状態に戻り、ビットC3はクリアされます。

GATEからSOURCEの電圧が高いときにパワーバッド検出ビットC3がセットされると、パワーバッド・フォールト・ビットD3が“High”になります。ゲート電圧によるこのブランキングにより、パワーアップやパワーダウン時の誤ったパワーバッド・フォールトを防ぎます。

フォールト・アラート

FAULTレジスタD内のフォールト・ビットのどれかがセットされると、ALERTレジスタB内の適当なビットをセットすることにより、オプションのI²Cバス・アラートを発生させることができます。これにより、選択されたフォールトだけがアラートを発生させることができます。起動時の既定状態では、フォールトに対してアラートを出しません。アラートをイネーブルすると、対応するフォールトがALERTピンを“L”に引き下げます。バス・マスタ・コントローラが「アラート応答アドレス」をブロードキャストした後、図11に示されているように、LTC4260はSDA上でそのアドレスを使って応答し、ALERTをリリースします。2つのLTC4260がそれらのアドレスを使って同時に応答し、それらの間で衝突が起きると、低い方のアドレスのデバイスがアービトレーションに勝ち、最初に応答します。ALERTラインは、デバイスがバス・マスタによって呼び出された場合もリリースされます。

ALERT信号が1つのフォールトに対してリリースされると、FAULTレジスタが別のフォールトが生じたことを表示するまで、または元のフォールトがクリアされてから再度生じるまで、再び“L”に引き下げられることはありません。これは、反復する、または持続するフォールトは、関連したFAULTレジスタ・ビットがクリアされるまで、アラートを発生しないことを意味することに注意してください。

フォールトのリセット

フォールトは以下の条件のどれかでリセットされます。まず、シリアル・バスのコマンドによるFAULTレジスタDへのゼロの書込みにより、関連したフォールトがクリアされます。次に、ONピンまたはビットA3が“H”から“L”に移行するか、またはUNピンがその1.23Vのリセット・スレッシュホールドより下に下がるか、またはINTV_{CC}がその3.8Vの低電圧ロックアウト・スレッシュホールドより下に下がってスイッチがオフすると、FAULTレジスタ全体がクリアされます。最後に、BD_PRSTが“H”から“L”になると、FAULTビットのD0～D3およびD5だけがクリアされ、BD_PRSTの状態の変化を示すビットD4はセットされます。(STATUSレジスタCによって表示されている)依然存在するフォールトはクリアすることはできません。

FAULTレジスタは、自動リトライが行われるときはクリアされません。自動リトライがディスエーブルされているとき、D0、D1またはD2のフォールトが存在すると、スイッチはオフに保たれます。フォールトがクリアされると直ちに、スイッチがオンします。自動リトライがイネーブルされていると、C0、C1またはC2の“H”の値はスイッチをオフに保ち、FAULTレジスタは無視されます。続いて、C0、C1およびC2の各ビットがクリアされると、スイッチは再度オンすることができます。

データ・コンバータ

LTC4260は8ビット・データ・コンバータを内蔵しており、3つの異なる電圧を連続してモニタします。デルタシグマ・アーキテクチャは本質的に測定期間中に信号ノイズを平均化します。SOURCEピンは1/40の抵抗分割器を使って、0.4Vの分解能で102.4Vのフルスケール電圧をモニタします(分圧器は102.4Vを2.56Vに変換します)。ADINピンは2.56Vのフルスケールと10mVの分解能でモニタされ、V_{DD}ピンとSENSEピンの間の電圧は76.8mVのフルスケールと300µVの分解能でモニタされます。

各変換結果は、レジスタE、FおよびGに格納され、毎秒10回更新されます。CONTROLレジスタのビットA5をセットすると、テスト・モードが起動してデータ・コンバータによる更新を停止するので、ソフトウェアによるテストのため、レジスタE、FおよびGに対して書込みおよび読出しを行うことができます。

4260fc

アプリケーション情報

ゲート・ピンの電圧

「ゲート・ドライブとV_{DD}」の曲線が「標準的性能特性」に示されています。8.5Vの最小入力電源で、最小ゲート・ドライブ電圧は4.5Vです。入力電源電圧が20Vより高いと、ゲート・ドライブは少なくとも10Vなので、普通のN-FETを使うことができます。8.5V～20Vの範囲のアプリケーションでは、ロジック・レベルのN-FETを使って、ゲートを適切な導通状態に保つ必要があります。GATEピンはSOURCEピンより標準15V上の値にクランプされます。

GPIOピンの出力の構成設定

制御レジスタ・ビットのA6とA7を使ったGPIOピンの可能な状態を表3に示します。起動時、電力がグッドのとき(FBピンが3.5Vより大きいとき)、GPIOピンは既定の状態として高インピーダンスになります。GPIOピンの他の使い方として、電力がグッドのときプルダウンし、汎用の出力および汎用の入力としても機能します。

アクティブ電流ループの補償

アクティブ電流制限回路は、抵抗R6とスルーレート・コンデンサC1を使って補償します。C1の値は突入電流を制限するように計算します。R6の推奨値は100kです。この値はほとんどのパスFET(Q1)でうまく機能します。Q1のゲート容量が非常に小さければ、ループ補償の最良の方法はGATE端子とSOURCE端子の間に約10nFのコンデンサを追加することです。10Ω抵抗(R5)を追加すると、FETのGATE端子からのトレース容量を絶縁してQ1の自己発振を防ぎます。ゲート抵抗はMOSFETのボディの所に、またはその近くに配置します。

電源トランジェント

LTC4260は負荷ステップによって生じる電源トランジェントを乗り切るように設計されています。負荷に短絡が生じて、電源に戻る寄生インダクタンスが0.5μHより大きいと、アクティブ電流制限回路がGATEピンを引き下げる前に、電源が低落する可能性があります。この場合、低電圧モニタがパスFETをオフします。低電圧ロックアウト回路には、V_{DD}が7.5Vより下に下がった後5μsのフィルタ時間があります。UVピンは2μsで反応してGATEをオフしますが、フィルタ・コンデンサC_Fを追加して、短時間のトランジェントによって生じる不要のシャットダウンを防ぐことを推奨します。最終的には、UVピンまたは低電圧ロックアウトが応答して、電源が完全に低落する前に電流を制御下に置きます。

電源トランジェントに対する保護

LTC4260は最大100Vまでの電源で損傷を受けないことが100%テストされ、保証されています。ただし、100Vを超えるスパイクはデバイスを損傷するおそれがあります。短絡状態の間、電源トレースを流れる電流が大きく変化すると誘導性の電圧スパイクが生じ、100Vを超える可能性があります。スパイクを最小に抑えるには、電力トレースのインダクタンスを広いトレースや厚いトレースメッキを使って最小に抑えます。スナバ回路を追加すると電圧スパイクが減衰します。これは、0.1μFのコンデンサに直列な100Ω抵抗をV_{DD}とGNDの間に使って作られます。入力のサージ・サプレッサ(図1のZ1)は電圧スパイクをクランプします。

設計例

設計例として、以下の仕様を取り上げます。V_{IN} = 48V、I_{MAX} = 5A、I_{INRUSH} = 1A、C_L = 330μF、V_{UVON} = 43V、V_{UVOFF} = 38.5V、V_{OV} = 70V、V_{PWRGDUP} = 46V、V_{PWRGDDN} = 45VおよびI²C_{ADDRESS} = 1010011。センス抵抗(R_S)の選択は、50mVの過電流スレッシュホールドによって設定されます。

$$R_S = \frac{50\text{mV}}{I_{\text{MAX}}} = \frac{50\text{mV}}{5\text{A}} = 0.010\Omega$$

FETは、突入電流が出力コンデンサC_{OUT}を充電する間の電力損失を処理できるサイズにします。電力を求めるのに使われる方法は、次の原理に基づきます。

$$E_C = C_L \text{のエネルギー} = Q1 \text{のエネルギー}$$

したがって、次のようになります。

$$E_C = 1/2 CV^2 = 1/2(0.33\text{mF})(48\text{V})^2 = 0.38\text{J}$$

C_{OUT}を充電するのに要する時間を計算します。

$$t_{\text{CHARGUP}} = \frac{C_L \cdot V_{\text{IN}}}{I_{\text{INRUSH}}} = \frac{330\mu\text{F} \cdot 48\text{V}}{1\text{A}} = 16\text{ms}$$

FET内で失われる平均電力は次のとおりです。

$$P_{\text{DISS}} = \frac{E_C}{t_{\text{CHARGUP}}} = \frac{0.38\text{J}}{16\text{ms}} \approx 24\text{W}$$

アプリケーション情報

候補となるFETのSOA (safe operating area - 安全動作領域)の曲線を評価して、パッケージの熱容量が16msの間24Wに耐えられることを保証する必要があります。FairchildのFDB3632のSOA曲線は10msの間1A/50V (50W)を示しており、要件を満たしています。

突入電流はC1を使って1Aに設定されます。

$$C1 = C_L \frac{I_{GATE(UP)}}{I_{NRUSH}} = 0.33mF \frac{18\mu A}{1A} = 5.9nF$$

前に説明されているように、R5 = 10ΩとR6 = 100kの既定値が選択されています。

過電流の間にFET内で失われる電力を制限する必要があります。アクティブ電流制限はタイマを使って、FET内での過度のエネルギー損失を防ぎます。ワーストケースの電力はフォールドバック電流制限の電圧対電流のプロフィールが最大るとき生じます。これは、電流が5Aで電圧が48Vの1/2 (つまり24V)のとき生じます。このプロフィールを見るには、「標準的性能特性」の「電流制限検出電圧とFB電圧」の曲線を参照してください。120Wを耐え抜くには、FETのSOA曲線がこの電力レベルでの最大時間を支配します。この特定のFETは1ms以下の間300Wを許容します。したがって、C_Tを使って電流制限のタイムアウトを0.81msに設定すれば問題ありません。

$$C_T = \frac{0.81ms}{12 [ms/\mu F]} = 68nF$$

C_Tの最小値が0.1nFであることに注意してください。

UV、OVおよびPGの以下のスレッシュホールド電圧に対して、R1、R2、R3、R7およびR8を選択します。

V_{OV(RISING)} = 71.2V、V_{OV(FALLING)} = 69.44V (V_{OV(TH)} = 3.5V (上昇)および3.41V (下降)を使う)

V_{UV(RISING)} = 43V、V_{UV(FALLING)} = 38.5V (V_{UV(TH)} = 3.5V (上昇)および3.12V (下降)を使う)

V_{PG(RISING)} = 46.14V、V_{PG(FALLING)} = 45V (V_{FB} = 3.5V (上昇)および3.411V (下降)を使う)

さらに、0.1μFのセラミック・バイパス・コンデンサがINTV_{CC}ピンに接続されています。完全な回路を図1に示します。

レイアウトに関する検討事項

正確な電流検出を実現するには、ケルビン接続を推奨します。トレースが適切な温度に留まるようにするには、1オンス銅箔の最小トレース幅をアンペア当り0.02"にします。アンペア当り0.03"以上の幅にすることを推奨します。1オンス銅は約530μΩ/平方のシート抵抗を示すことに注意してください。高電流アプリケーションでは小さな抵抗が集まってたちまち影響を及ぼすようになります。ノイズ耐性を改善するには、UV、OVおよびFBの各ピンへの抵抗分割器をデバイスの近くに配置し、V_{DD}およびGNDへのトレースを短くします。C3 (INTV_{CC}ピンのバイパス・コンデンサ)をINTV_{CC}とGNDの間にできるだけ近づけて配置することも重要です。UVピン (および抵抗R2を介してOVピン)からGNDへの0.1μFのコンデンサも電源ノイズの除去に役立ちます。これらの問題に配慮したレイアウトを図5に示します。サージ・サプレッサ (Z1)が広いトレースを使って電源とグラウンドの間に配置されていることに注意してください。

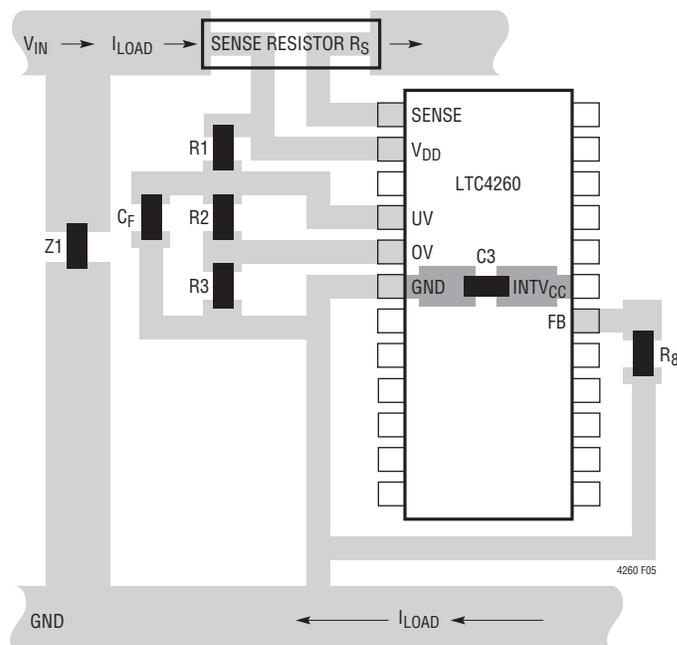


図5. R1、R2、R3、R8、C_F、C3、Z1
およびR_Sの推奨レイアウト

アプリケーション情報

デジタル・インタフェース

LTC4260は、I²CバスおよびSMBus（低電力デバイス向けのI²Cの拡張版）互換の2線式インタフェースを使ってバス・マスタと通信を行います。

LTC4260は読み出し/書き込みのスレーブ・デバイスで、SMBusの「バイト読み出し」、「バイト書き込み」、「ワード読み出し」、「ワード書き込み」の各命令をサポートします。「ワード読み出し」命令の2番目のワードは1番目のワードと同一になります。「ワード書き込み」命令の2番目のワードは無視されます。これらの命令のデータ・フォーマットを図6～図10に示します。

SDAへのオプトアイソレータの使用

LTC4260はSDAラインをSDAIとSDAOに分割しています。オプトアイソレータを使用しない場合、SDAIとSDAOを一緒に結線して通常のSDAラインを形成することができます。オプトアイソレータを使うときは、SDAIを受信側オプトアイソレータの出力に接続し、SDAOを送信側オプトアイソレータの入力に接続します（図13を参照）。

START条件とSTOP条件

バスがアイドル状態のときはSCLとSDAの両方が“H”でなければなりません（図6）。バス・マスタは、SCLが“H”の状態ですDAを“H”から“L”に遷移させて、START条件により、通信開始を知らせます。マスタはスレーブとの通信を終了したら、SCLを“H”に保ったままSDAを“L”から“H”に遷移させてSTOP条件を送信します。次いで、バスは別の通信のために解放されます。

I²Cデバイスのアドレス

スリーステートのADR0ピン～ADR2ピンを使って、27の異なるバス・アドレスを構成設定することができます。ピンの状態とアドレスの対応関係を表1に示します。アドレス・ビットB7とB6は内部で10に構成設定されていることに注意してください。さらに、LTC4260は2つの特殊アドレスに応答します。アドレス(1011 111)_bは、全てのLTC4260に（それらの個々のアドレス設定には関係なく）書き込むのに使われる一括書き込み用アドレスです。一括書き込みは、レジスタ・ビットA4をゼロに設定することにより、マスクすることができます。アドレス(0001 100)_bは「SMBusアラート応答アドレス」です。LTC4260が $\overline{\text{ALERT}}$ ピンを“L”に引き下げていると、SMBusアラート応答プロトコルを使って、このアドレスにアクノリッジを返します。

アクノリッジ

アクノリッジ信号はトランスミッタとレシーバの間のハンドシェイクに使われ、データの最後のバイトが受信されたことを知らせます。トランスミッタは常にアクノリッジ・クロック・パルスの間SDAラインを解放します。スレーブがレシーバの場合、レシーバはこのパルスの間SDAラインが“L”に留まるようにSDAラインを引き下げて、データの受信をアクノリッジする必要があります。スレーブがSDAを“H”のままにしてアクノリッジを返さないと、マスタはSTOP条件を発生して送信を中止することができます。マスタがスレーブからデータを受信するとき、データが受信されたことを知らせるため、マスタはクロック・パルスの間SDAラインを引き下げる必要があります。最後のバイトが受信された後、マスタはSDAラインを“H”のままにして（アクノリッジを返さないで）STOP条件を出力し、送信を終了します。

書き込みプロトコル

マスタは、START条件およびそれに続く7ビットのスレーブ・アドレスおよびゼロに設定されたR/ $\overline{\text{W}}$ ビットによって通信を開始します（図7）。呼び出されたLTC4260がこれに対してアクノリッジを返し、次いでマスタは命令バイトを送り、マスタがどの内部レジスタに書き込みたいかを知らせます。LTC4260はこれに対してアクノリッジを返し、次いで命令バイトの下位3ビットを内部レジスタ・アドレス・ポインタにラッチします。次いで、マスタはデータ・バイトを送り、LTC4260がもう一度アクノリッジを返し、データを内部レジスタにラッチします。マスタがSTOP条件を送ると送信が終了します。「ワード読み出し」命令の場合のように、マスタが2番目のデータ・バイトを続けて送ると、2番目のデータ・バイトはLTC4260によってアクノリッジされませんが、無視されます（図8）。

読み出しプロトコル

マスタは、START条件およびそれに続く7ビットのスレーブ・アドレスおよびゼロに設定されたR/ $\overline{\text{W}}$ ビットによって読み出し動作を開始します（図9）。呼び出されたLTC4260がこれに対してアクノリッジを返し、次いでマスタは命令バイトを送り、マスタがどの内部レジスタを読み出したいかを知らせます。LTC4260はこれに対してアクノリッジを返し、次いで命令バイトの下位3ビットを内部レジスタ・アドレス・ポインタにラッチします。次いで、マスタは、再度START条件およびそれに続く同じ7ビット・アドレスおよび今度は1に設定されたR/ $\overline{\text{W}}$ ビットを送ります。LTC4260はアクノリッジを返し、要求されたレジスタの内容を送ります。マスタがSTOP条件を送ると送信が終了しま

アプリケーション情報

す。「ワード読出し」命令の場合のように、マスタが送信されたデータ・バイトをアクノリッジすると(図12)、LTC4260は2番目のデータ・バイトとしてリクエストされたレジスタを反復します。

「レジスタ・アドレス」ポインタはトランザクションの終わりにクリアされないことに注意してください。このように、「バイト読出し」プロトコルを使って、特定のレジスタを繰返し読み出すことができます。

アラート応答プロトコル

LTC4260は、図11に示されているように、SMBusのアラート応答プロトコルを実装しています。ALERTレジスタBを介してそうするようにイネーブルされると、LTC4260は $\overline{\text{ALERT}}$ ピンを“L”に引き下げてフォールトに応答します。複数のLTC4260が共通 $\overline{\text{ALERT}}$ ラインを共有することができ、プロトコルによって、マスタはどのLTC4260がラインを“L”に引き下げているか決定することができます。マスタは最初にSTARTビットを送り、続いて $\text{R}/\overline{\text{W}}$ ビットを1にセットした特殊な「アラート応答アドレ

ス(0001 100)b」を送ります。 $\overline{\text{ALERT}}$ ピンを“L”に引き下げているLTC4260がアクノリッジを返し、その個別スレーブ・アドレスを送り始めます。

アービトレーション方式により、最下位アドレスのLTC4260が優先権を得ます。他のデバイスはそれらの応答を中止します。応答を済ませたLTC4260はその $\overline{\text{ALERT}}$ ピンをリリースし、他のLTC4260はそれらの $\overline{\text{ALERT}}$ ピンを引き続き“L”に保持します。フォールトを検出したLTC4260を、ポーリングを使って探すこともできます。また、 $\overline{\text{ALERT}}$ ピンを“L”に引き下げているLTC4260は、読出または書込みトランザクションの間に個別に呼び出されると、その $\overline{\text{ALERT}}$ ピンをリリースします。

FAULTレジスタが別のフォールトが生じたことを表示するまで、または元のフォールトがクリアされてから再度生じるまで、 $\overline{\text{ALERT}}$ 信号は再び“L”に引き下げられることはありません。これは、反復する、または持続するフォールトは、関連したFAULTレジスタ・ビットがクリアされるまで、アラートを発生しないことを意味することに注意してください。

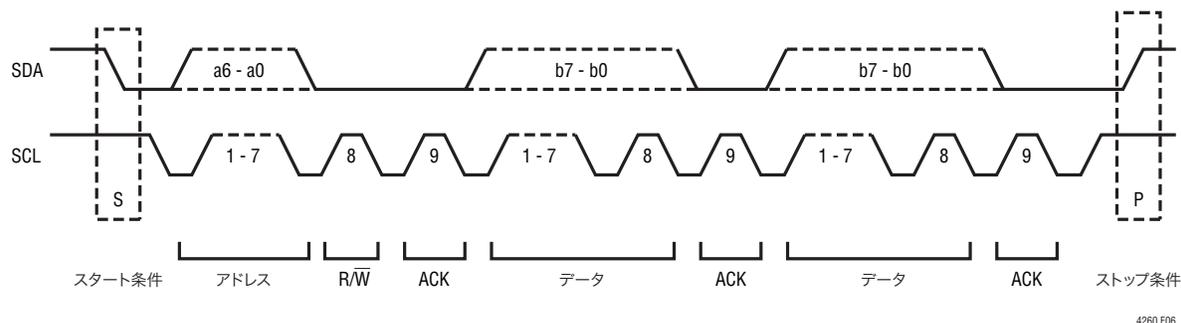


図6. I²CまたはSMBusを使ったデータ転送

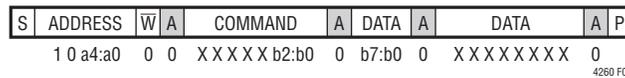
アプリケーション情報



- マスタからスレーブへ
- スレーブからマスタへ
- A: アクノリッジ (“L”)
- \bar{A} : アクノリッジせず (“H”)
- R: ビット読出し (“H”)
- \bar{W} : ビット書込み (“L”)
- S: スタート条件
- P: ストップ条件

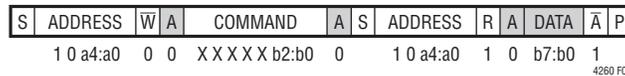
4260 F07

図 7. LTC4260 のシリアル・バスの SDA バイト書込みプロトコル



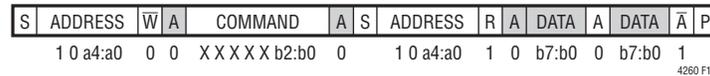
4260 F08

図 8. LTC4260 のシリアル・バスの SDA ワード書込みプロトコル



4260 F09

図 9. LTC4260 のシリアル・バスの SDA バイト読出しプロトコル



4260 F10

図 10. LTC4260 のシリアル・バスの SDA ワード読出しプロトコル



4260 F11

図 11. LTC4260 のシリアル・バスの SDA アラート応答プロトコル

アプリケーション情報

表 1. LTC4260 のデバイス・アドレス指定

注釈	16進数デバイス・アドレス	2進数デバイス・アドレス								LTC4260の アドレス・ピン		
		6	5	4	3	2	1	0	R/W	ADR2	ADR1	ADR0
一括書込み	BE	1	0	1	1	1	1	1	0	X	X	X
アラート応答	19	0	0	0	1	1	0	0	1	X	X	X
0	80	1	0	0	0	0	0	0	X	L	NC	L
1	82	1	0	0	0	0	0	1	X	L	H	NC
2	84	1	0	0	0	0	1	0	X	L	NC	NC
3	86	1	0	0	0	0	1	1	X	L	NC	H
4	88	1	0	0	0	1	0	0	X	L	L	L
5	8A	1	0	0	0	1	0	1	X	L	H	H
6	8C	1	0	0	0	1	1	0	X	L	L	NC
7	8E	1	0	0	0	1	1	1	X	L	L	H
8	90	1	0	0	1	0	0	0	X	NC	NC	L
9	92	1	0	0	1	0	0	1	X	NC	H	NC
10	94	1	0	0	1	0	1	0	X	NC	NC	NC
11	96	1	0	0	1	0	1	1	X	NC	NC	H
12	98	1	0	0	1	1	0	0	X	NC	L	L
13	9A	1	0	0	1	1	0	1	X	NC	H	H
14	9C	1	0	0	1	1	1	0	X	NC	L	NC
15	9E	1	0	0	1	1	1	1	X	NC	L	H
16	A0	1	0	1	0	0	0	0	X	H	NC	L
17	A2	1	0	1	0	0	0	1	X	H	H	NC
18	A4	1	0	1	0	0	1	0	X	H	NC	NC
19	A6	1	0	1	0	0	1	1	X	H	NC	H
20	A8	1	0	1	0	1	0	0	X	H	L	L
21	AA	1	0	1	0	1	0	1	X	H	H	H
22	AC	1	0	1	0	1	1	0	X	H	L	NC
23	AE	1	0	1	0	1	1	1	X	H	L	H
24	B0	1	0	1	1	0	0	0	X	L	H	L
25	B2	1	0	1	1	0	0	1	X	NC	H	L
26	B4	1	0	1	1	0	1	0	X	H	H	L

アプリケーション情報

表 2. LTC4260 のレジスタ・アドレスと内容

レジスタ・アドレス*	レジスタ名	読出し/ 書込み	注釈
00h	CONTROL (A)	R/W	フォールト後にデバイスがリトライするかどうか制御、スイッチの状態を設定
01h	ALERT (B)	R/W	フォールトがフォールト・レジスタにログされた後、ALERT ピンが“L”に引き下げられるかどうかを制御
02h	STATUS (C)	R	システムの状態情報
03h	FAULT (D)	R/W	フォールト・ログ
04h	SENSE (E)	R/W**	ADC の電流検出電圧データ
05h	SOURCE (F)	R/W**	ADC の SOURCE 電圧データ
06h, 07h	ADIN (G)	R/W**	ADC の ADIN 電圧データ

*レジスタ・アドレスの MSB の b7 ~ b3 は無視される。

**ビット A5 がセットされると書込み可能。

表 3. CONTROL レジスタ A (00h) – 読出し/書込み

ビット	名称	動作																				
A7:6	GPIO 構成設定	GPIO ピンの機能を構成設定																				
		<table border="1"> <thead> <tr> <th>機能</th> <th>A6</th> <th>A7</th> <th>GPIO PIN</th> </tr> </thead> <tbody> <tr> <td>パワーグッド (既定)</td> <td>0</td> <td>0</td> <td>GPIO = C3</td> </tr> <tr> <td>パワーバッド</td> <td>0</td> <td>1</td> <td>GPIO = C3</td> </tr> <tr> <td>汎用出力</td> <td>1</td> <td>0</td> <td>GPIO = B6</td> </tr> <tr> <td>汎用入力</td> <td>1</td> <td>1</td> <td>GPIO = Hi-Z</td> </tr> </tbody> </table>	機能	A6	A7	GPIO PIN	パワーグッド (既定)	0	0	GPIO = C3	パワーバッド	0	1	GPIO = C3	汎用出力	1	0	GPIO = B6	汎用入力	1	1	GPIO = Hi-Z
		機能	A6	A7	GPIO PIN																	
		パワーグッド (既定)	0	0	GPIO = C3																	
		パワーバッド	0	1	GPIO = C3																	
汎用出力	1	0	GPIO = B6																			
汎用入力	1	1	GPIO = Hi-Z																			
A5	テスト・モード・イネーブル	テスト・モードは ADC 動作を停止し、ADC レジスタへの書込みをイネーブルする 1 = テスト・モードをイネーブル、0 = テスト・モードをディスエーブル (既定)																				
A4	一括書込みイネーブル	アドレス (1011 111)b を使った一括書込みをイネーブルする 1 = 一括書込みをイネーブル (既定)、0 = 一括書込みをディスエーブル																				
A3	FET のオン制御	FET をオン/オフする 1 = FET をオンする、0 = FET をオフする。デバウンス遅延の終わりに既定で ON ピンの状態になる。																				
A2	過電流自動リトライ	過電流フォールト後、自動リトライをイネーブルする 1 = リトライをイネーブル、0 = リトライをディスエーブル (既定)																				
A1	低電圧自動リトライ	低電圧フォールト後、自動リトライをイネーブルする 1 = リトライをイネーブル (既定)、0 = リトライをディスエーブル																				
A0	過電圧自動リトライ	過電圧フォールト後、自動リトライをイネーブルする 1 = リトライをイネーブル (既定)、0 = リトライをディスエーブル																				

アプリケーション情報

表 4. ALERTレジスタB(01h) – 読出し/書込み

ビット	名称	動作
B7	予約	不使用
B6	GPIO出力	出力として構成設定されている場合 GPIOピンへの出力データ・ビット。既定では0
B5	FET短絡アラート	FETの短絡状態のアラートをイネーブル 1 = アラートをイネーブル、0 = アラートをディスエーブル(既定)
B4	BD_PRSTの状態変化	BD_PRSTが状態を変えたときイネーブルする 1 = アラートをイネーブル、0 = アラートをディスエーブル(既定)
B3	パワーバッド・アラート	出力電力がバッドのときアラートをイネーブルする 1 = アラートをイネーブル、0 = アラートをディスエーブル(既定)
B2	過電流アラート	過電流状態のアラートをイネーブルする 1 = アラートをイネーブル、0 = アラートをディスエーブル(既定)
B1	低電圧アラート	低電圧状態のアラートをイネーブルする 1 = アラートをイネーブル、0 = アラートをディスエーブル(既定)
B0	過電圧アラート	過電圧状態のアラートをイネーブルする 1 = アラートをイネーブル、0 = アラートをディスエーブル(既定)

表 5. STATUSレジスタC(02h) – 読出しのみ

ビット	名称	動作
C7	FETオン	FETの状態を表示 1 = FETをオンする、0 = FETをオフする。
C6	GPIO入力	GPIOピン状態 1 = GPIOを“H”、0 = GPIOを“L”
C5	FET短絡検出	FETがオフのとき電流検出電圧が2mVを超えると潜在的FET短絡を表示する 1 = FETが短絡している、0 = FETが短絡していない
C4	ボード検出	BD_PRSTが“L”のときボードが検出されたことを表示する 1 = BD_PRSTピンが“L”、0 = BD_PRSTピンが“H”
C3	パワーバッド	FBが“L”のとき電力がバッドであることを表示 1 = FBを“L”、0 = FBを“H”
C2	過電流	クールダウン・サイクルの間過電流状態を表示する 1 = 過電流、0 = 過電流ではない
C1	低電圧	UVが“L”のとき入力低電圧を表示 1 = UVを“L”、0 = UVを“H”
C0	過電圧	OVが“H”のとき入力過電圧を表示 1 = OVを“H”、0 = OVを“L”

アプリケーション情報

表 6. FAULTレジスタD(03h) – 読出し/書込み

ビット	名称	動作
D7:6	予約	
D5	FETの短絡フォールト発生	FETがオフのとき測定された電流検出電圧が2mV(コード0000111)を超えると潜在的FET短絡が検出されたことを表示する 1 = FETが短絡している、0 = FETが正常
D4	ボード検出状態が変化	BD_PRSTが状態を変えたとき、ボードが挿入された、または引き抜かれたことを表示する 1 = BD_PRSTが状態を変えた、0 = BD_PRSTが変化していない
D3	パワーバッド・フォールトが発生	GATEからSOURCEの電圧が高いときにFBが“L”になる(G3 = 1)と、電力がバッドであることを表示 1 = FBが“L”でゲート電圧が高い、0 = FBが“L”でゲート電圧が低い、もしくは、FBが“H”でゲート電圧が高いか低い
D2	過電流フォールトが発生	過電流フォールトが発生したことを表示 1 = 過電流フォールトが発生、0 = 過電流フォールトは発生していない
D1	低電圧フォールトが発生	UVが“L”になると入力低電圧フォールトが生じたことを表示 1 = UVが“L”、0 = UVが“H”
D0	過電圧フォールトが発生	OVが“H”になると入力過電圧フォールトが生じたことを表示 1 = OVが“H”、0 = OVが“L”

表 7. SENSEレジスタE(04h) – 読出し/書込み

ビット	名称	動作
E7:0	SENSE電圧データ	V _{DD} -SENSEの電流検出電圧のデータ。LSBが300μVでフルスケールが76.8mVの8ビットデータ

表 8. SOURCEレジスタF(05h) – 読出し/書込み

ビット	名称	動作
F7:0	SOURCE電圧データ	SOURCEピンの電圧データ。LSBが400mVでフルスケールが102.4Vの8ビットデータ

表 9. ADINレジスタG(06h) – 読出し/書込み

ビット	名称	動作
G7:0	ADIN電圧データ	ADINピンの電圧データ。LSBが10mVでフルスケールが2.56Vの8ビットデータ

アプリケーション情報

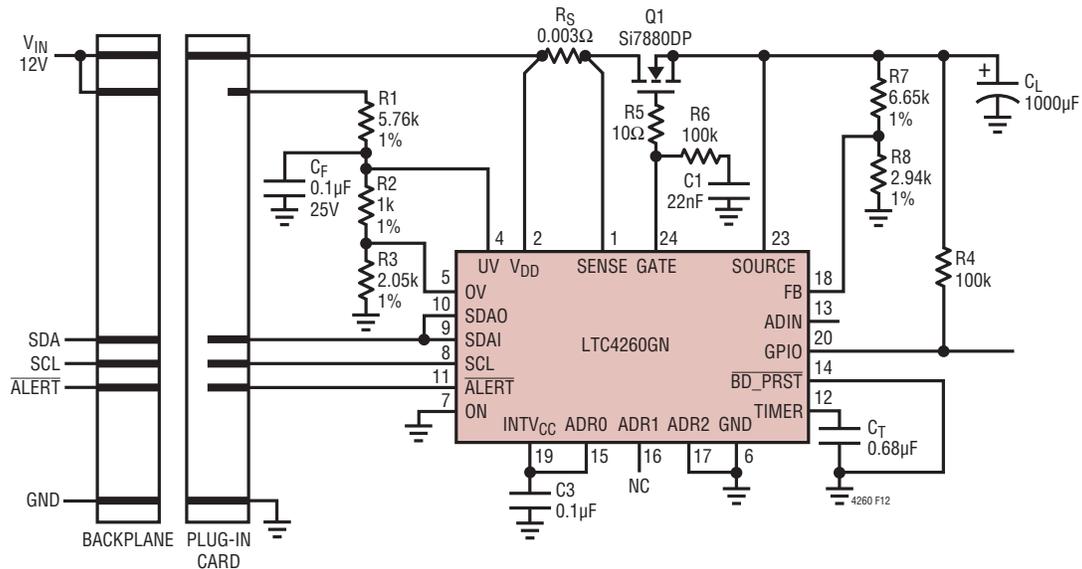


図12. カードに搭載した、12A/12Vアプリケーション

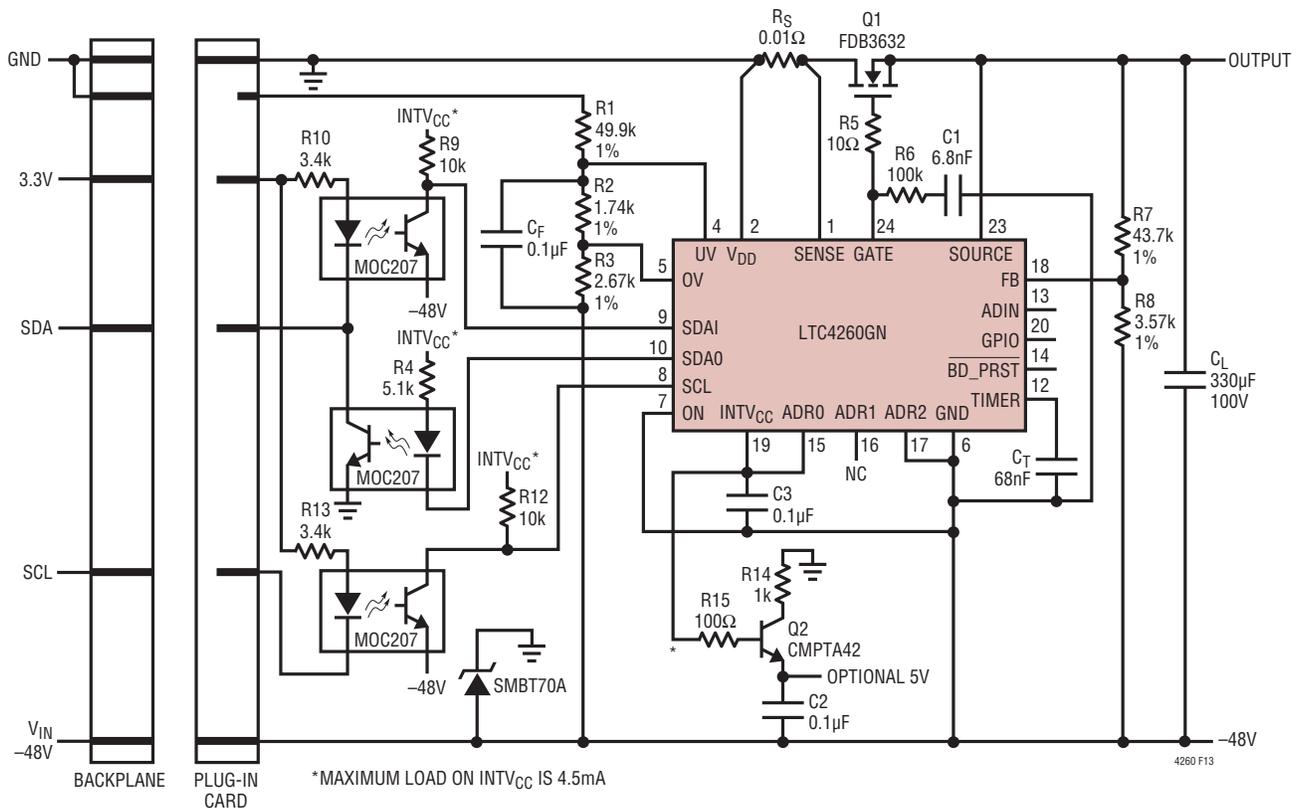
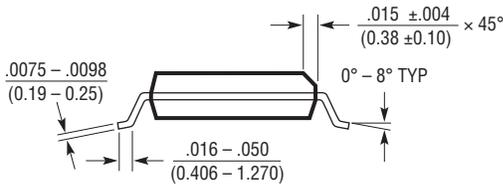
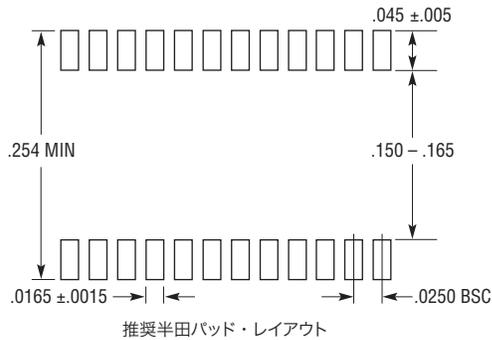


図13. カードに搭載した、3A/-48Vアプリケーション

パッケージ

最新のパッケージ図面については、<http://www.linear.com/designtools/packaging/> をご覧ください。

GN Package 24-Lead Plastic SSOP (Narrow .150 Inch) (Reference LTC DWG # 05-08-1641 Rev B)

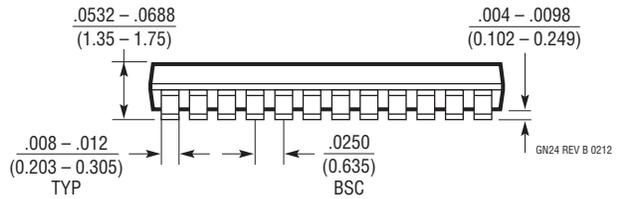
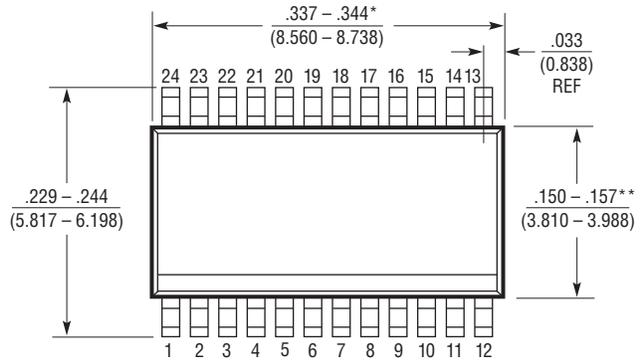


NOTE:

1. 標準寸法：インチ
2. 寸法は $\frac{\text{インチ}}{\text{(ミリメートル)}}$
3. 図は実寸とは異なる
4. ピン 1 は斜めのエッジかへこみのいずれか

* 寸法にはモールドのバリを含まない。
モールドのバリは各サイドで 0.006" (0.152mm) を超えないこと

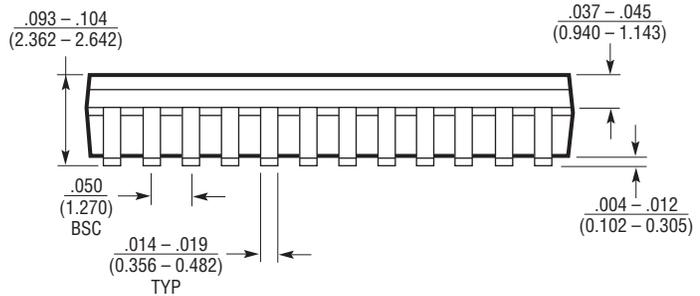
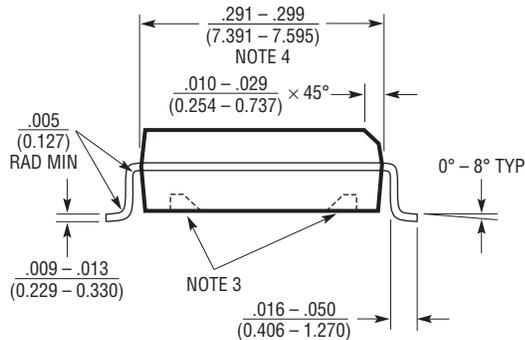
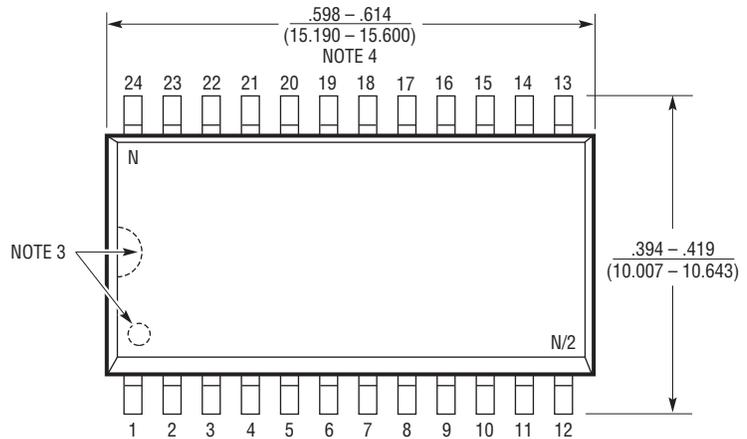
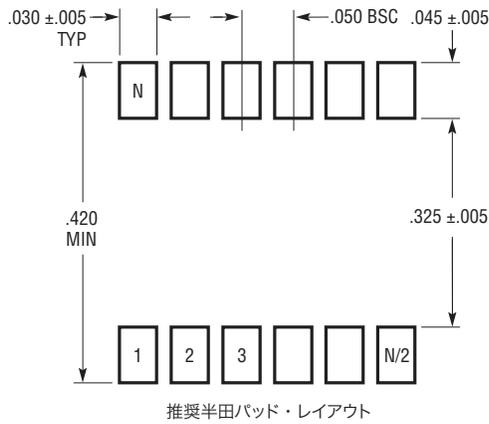
** 寸法にはリード間のバリを含まない。
リード間のバリは各サイドで 0.010" (0.254mm) を超えないこと



パッケージ

最新のパッケージ図面については、<http://www.linear.com/designtools/packaging/> をご覧ください。

SW Package
24-Lead Plastic Small Outline (Wide .300 Inch)
 (Reference LTC DWG # 05-08-1620)



NOTE:
 1. 寸法は $\frac{\text{インチ}}{\text{(ミリメートル)}}$

2. 図は実寸とは異なる
3. ピン 1 の識別、パッケージ上面のノッチとパッケージの底面のキャビティは製造時のオプションである。
 デバイスはオプション付きまたはオプション無しで供給することができる。
4. これらの寸法にはモールドのバリまたは突出部を含まない。
 モールドのバリまたは突出部は 0.006" (0.15mm) を超えないこと

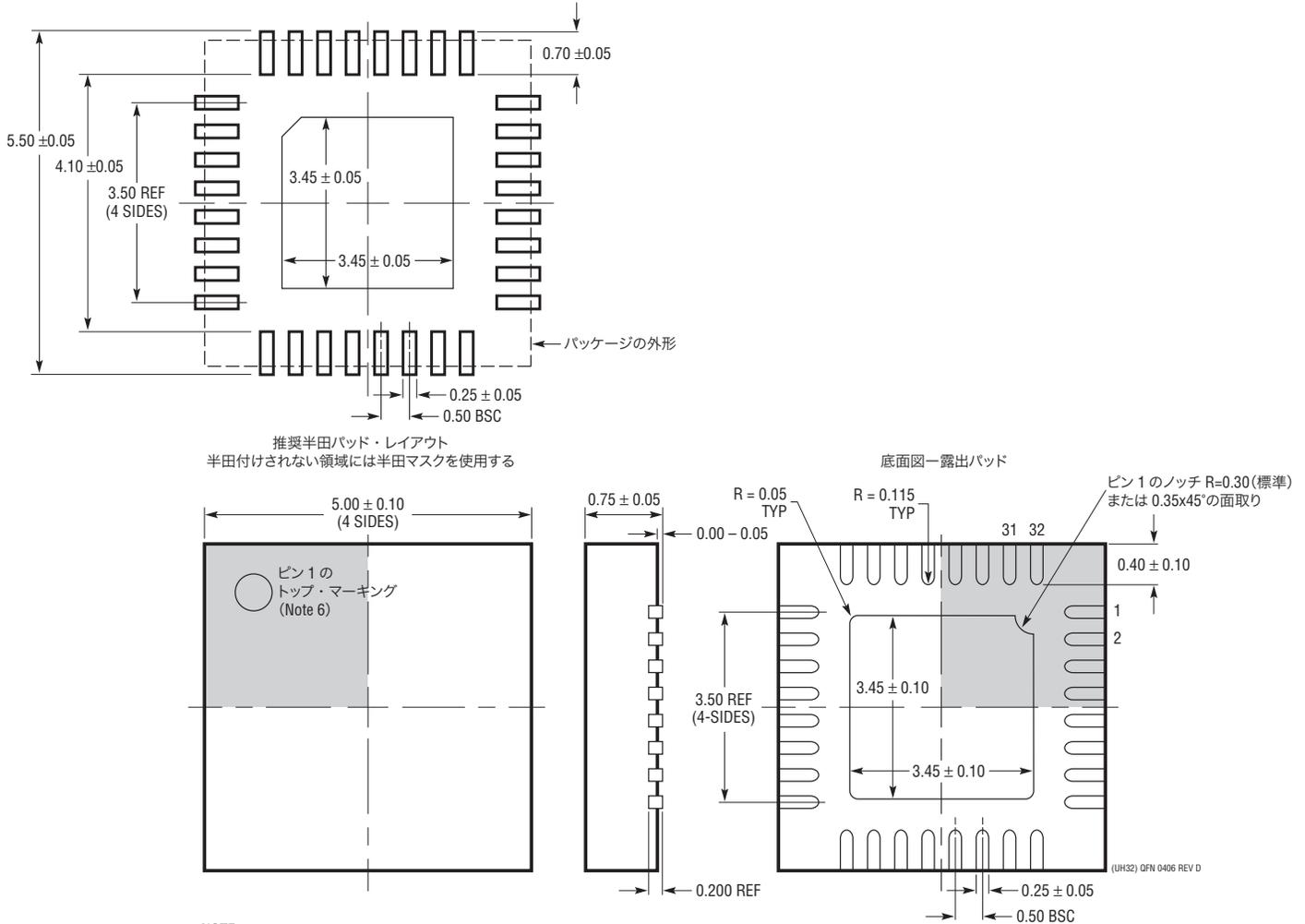
S24 (WIDE) 0502

LTC4260

パッケージ

最新のパッケージ図面については、<http://www.linear.com/designtools/packaging/> をご覧ください。

UH Package 32-Lead Plastic QFN (5mm × 5mm) (Reference LTC DWG # 05-08-1693 Rev D)



- NOTE:
1. 図は JEDEC パッケージ・アウトライン MO-220 のバリエーション WHHD-(X) に含めるよう提案されている (承認待ち)
 2. 図は実寸とは異なる
 3. 全ての寸法はミリメートル
 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは (もしあれば) 各サイドで 0.20mm を超えないこと
 5. 露出パッドは半田メッキとする
 6. 網掛けの部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

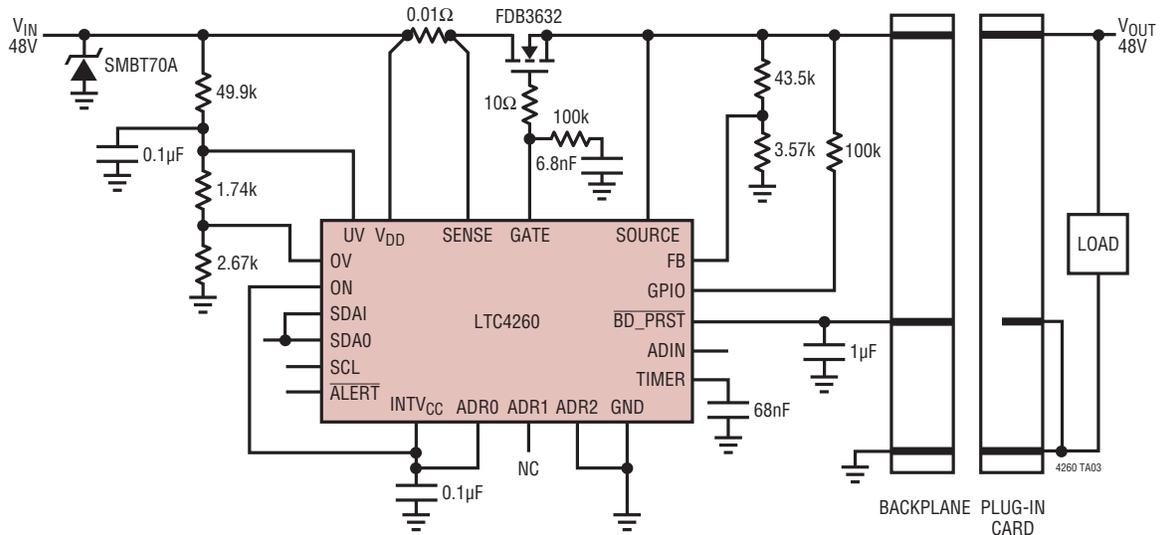
改訂履歴 (改訂履歴は Rev B から開始)

REV	日付	概要	ページ番号
B	1/12	I _{GATE(FST)} の条件と Min 値を改訂	3
C	5/13	ΔV _{GPIO(TH)} から誤った温度ドットを削除	3
		SOURCE の Full Scale Voltage を 102V に修正	4
		G13 の I _{LOAD} を I _{PGIO} に修正	7
		GATE ピンと SOURCE ピンの間に 16.5V クランプを記入	10
		「データ・コンバータ」セクション: デルタシグマ・アーキテクチャのノイズ平均化の利点を記述する文を追加	15
		図 13 の V _{IN} ラインに SMBT70A クランプを追加	25
		「標準的応用例」の SMAT70B を SMBT70A に変更	30

LTC4260

標準的応用例

バックプレーンに搭載された、挿入によるアクティブ・ターンオン付き、3A/48Vアプリケーション



関連製品

製品番号	説明	注釈
LT®1641-1/LT1641-2	正の高電圧ホットスワップ・コントローラ	アクティブ電流制限、9V～80Vの電源
LTC1921	デュアル-48V電源とヒューズ・モニタ	±200Vに耐え、低電圧/過電圧および外部ヒューズをモニタ
LTC2436	16ビット、2チャンネル・デルタシグマADC	ノイズ:800nVRMS、自動チャンネル選択付き2つの差動チャンネル
LTC4215	I ² C互換モニタ機能付きホットスワップ・コントローラ	2.9V～15V電源、8ビットADC、I ² C/SMBusインタフェース
LTC4240	I ² C I/O付きCompactPCIホットスワップ・コントローラ	3.3V、5Vおよび±12V電源、I ² Cを使った制御と状態
LT4250	SO-8入り-48Vホットスワップ・コントローラ	アクティブ電流制限、-20V～-80Vの電源
LTC4252	MSOP入り-48Vホットスワップ・コントローラ	高速アクティブ電流制限、ドレイン加速応答、-15Vからの電源
LT4256	開放回路検出付き正電圧48Vホットスワップ・コントローラ	フォールドバック電流制限、開放回路および過電流フォールト出力、最大80Vの電源
LTC4300A	ホットスワップ可能な2線バス・バッファ	容量性バッファリング、SDAとSCLのプリチャージおよびレベルシフト
LTC4301	電源に依存しないホットスワップ可能な2線バス・バッファ	容量性バッファリング、SDAとSCLのプリチャージおよびレベルシフト
LTC4302	アドレス指定可能な2線バス・バッファ	容量性バッファリング、SDAとSCLのプリチャージおよびレベルシフト、2線バス・コマンドによりイネーブル
LTC4354	負電圧ダイオードORコントローラ	8ピンDFNとSOパッケージ
LTC4357	正の高電圧の理想ダイオード・コントローラ	Nチャンネル、9V～80V、8ピンMSOPと6ピンDFNパッケージ

4260fc