

新規設計には推奨しません
 ドロップイン代替製品についてはLTC4251Bを参照してください

特長

- 電源の入った-48Vのバックプレーンにボードを安全に挿入/引抜き可能
- フローティング構成により、高電圧動作が可能
- 回路ブレーカ・タイマ付プログラム可能なアナログ電流制限
- 高速応答によってピーク・フォールト電流を制限
- プログラム可能なタイマ
- プログラム可能な低電圧/過電圧保護
- 高さの低い(1mm)ThinSOT™パッケージ

アプリケーション

- 活線挿入
- 電子回路ブレーカ
- -48V配電システム
- 負電源制御
- 電話局交換
- プログラム可能な電流制限回路
- 高信頼性サーバ
- ディスク・アレイ

概要

LTC®4251/LTC4251-1/LTC4251-2は、電源の入ったバックプレーンに対し、ボードを安全に挿入および引抜き可能にする負電圧ホットスワップ™コントローラです。出力電流は3段階の電流制限(時限式の回路ブレーカ、アクティブ電流制限、最悪の破滅的なフォールト条件においてピーク電流を制限する高速正帰還パス)によって制御されます。

プログラム可能な低電圧および過電圧検知器により、入力電源が所要の動作範囲を超えると負荷が切り離されます。LTC4251/LTC4251-1/LTC4251-2の電源入力シャントは一定供給されるので、電源電圧が非常に高い場合でも安全な動作が保証されます。マルチ機能タイマは初期起動に遅延を加え、回路ブレーカの応答時間を制御します。

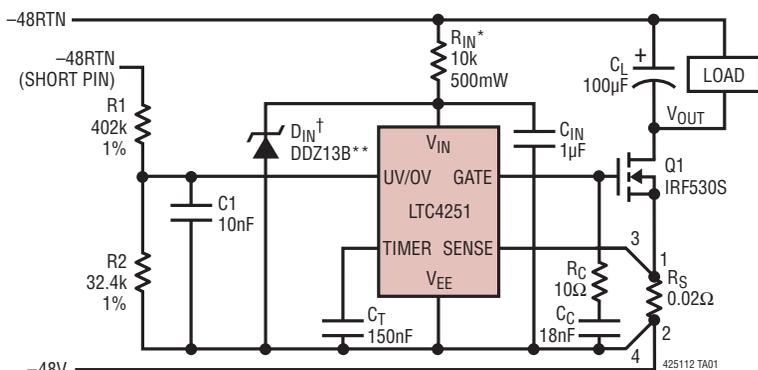
LTC4251のUV/OVスレッシュホールドは-43V~-75Vの標準テレコム動作範囲に適合するように設計されています。LTC4251-1はUV/OVスレッシュホールドにより、動作範囲が-36V~-72Vまで拡張されています。LTC4251-2のUVスレッシュホールドは-43Vのみです。

いずれのデバイスも6ピンSOT-23パッケージで供給されます。

LT, LTC, LTM, リニアテクノロジーおよびリニアのロゴはリニアテクノロジー社の登録商標です。Hot SwapおよびThinSOTはリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

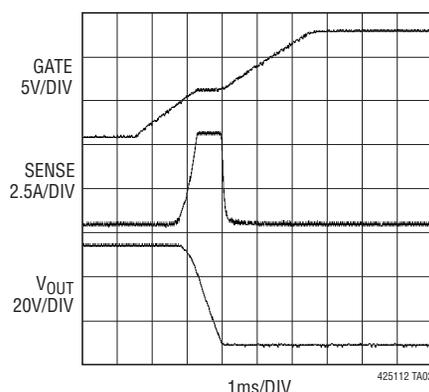
標準的応用例

-48V、2.5Aホットスワップ・コントローラ



*TWO 0.25W RESISTORS IN SERIES FOR
 R_{IN} ON THE PCB ARE RECOMMENDED.
 **DIODES, INC.
 †RECOMMENDED FOR HARSH ENVIRONMENTS

スタートアップ波形



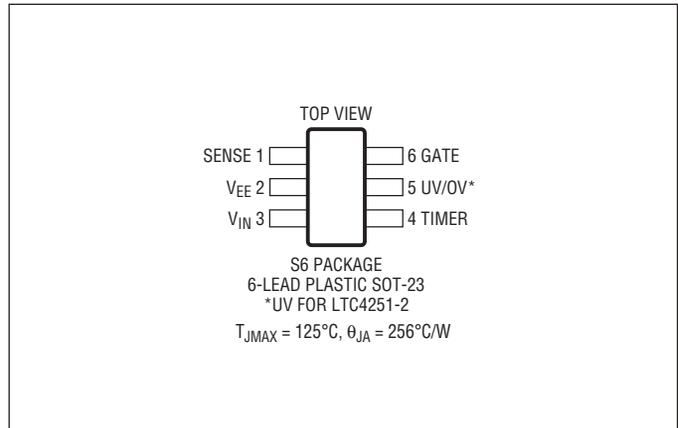
LTC4251/LTC4251-1/ LTC4251-2

絶対最大定格

(Note 1)、電圧は全て V_{EE} を基準とする。

V_{IN} への入力電流 (100 μ sのパルス)	100mA
V_{IN} ピンの最小電圧.....	-0.3V
Gate、UV/OV、Timer電圧.....	-0.3V~16V
Sense電圧.....	-0.6V~16V
Senseピンからの出力電流 (20 μ sのパルス).....	-200mA
最大接合部温度.....	125°C
動作温度範囲	
LTC4251C/LTC4251-1C/LTC4251-2C	0°C~70°C
LTC4251I/LTC4251-1I/LTC4251-2I.....	-40°C~85°C
保存温度範囲.....	-65°C~150°C
リード温度 (半田付け、10秒).....	300°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング	パッケージ	温度範囲
LTC4251CS6#PBF	LTC4251CS6#TRPBF	LTUQ	6-Lead Plastic SOT-23	0°C to 70°C
LTC4251IS6#PBF	LTC4251IS6#TRPBF	LTUR	6-Lead Plastic SOT-23	-40°C to 85°C
LTC4251-1CS6#PBF	LTC4251-1CS6#TRPBF	LTQU	6-Lead Plastic SOT-23	0°C to 70°C
LTC4251-1IS6#PBF	LTC4251-1IS6#TRPBF	LTQV	6-Lead Plastic SOT-23	-40°C to 85°C
LTC4251-2CS6#PBF	LTC4251-2CS6#TRPBF	LTK6	6-Lead Plastic SOT-23	0°C to 70°C
LTC4251-2IS6#PBF	LTC4251-2IS6#TRPBF	LTA AZ	6-Lead Plastic SOT-23	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。
非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 2、3)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_Z	V_{IN} to V_{EE} Zener Voltage	$I_{IN} = 2\text{mA}$	●	11.5	13	14.5	V
r_Z	V_{IN} to V_{EE} Zener Dynamic Impedance	$I_{IN} = 2\text{mA}$ to 30mA		5		Ω	
I_{IN}	V_{IN} Supply Current	UV/OV = 4V, $V_{IN} = (V_Z - 0.3\text{V})$	●	0.8	2	mA	
V_{LKO}	V_{IN} Undervoltage Lockout	Coming Out of UVLO (Rising V_{IN})	●	9.2	11.5	V	
V_{LKH}	V_{IN} Undervoltage Lockout Hysteresis			1		V	
V_{CB}	Circuit Breaker Current Limit Voltage	$V_{CB} = (V_{SENSE} - V_{EE})$	●	40	50	60	mV
V_{ACL}	Analog Current Limit Voltage	$V_{ACL} = (V_{SENSE} - V_{EE})$	●	80	100	120	mV
V_{FCL}	Fast Current Limit Voltage	$V_{FCL} = (V_{SENSE} - V_{EE})$	●	150	200	300	mV
I_{GATE}	GATE Pin Output Current	UV/OV = 4V, $V_{SENSE} = V_{EE}$, $V_{GATE} = 0\text{V}$ (Sourcing) UV/OV = 4V, $V_{SENSE} - V_{EE} = 0.15\text{V}$, $V_{GATE} = 3\text{V}$ (Sinking) UV/OV = 4V, $V_{SENSE} - V_{EE} = 0.3\text{V}$, $V_{GATE} = 1\text{V}$ (Sinking)	●	40	58 17 190	80	μA mA mA
V_{GATE}	External MOSFET Gate Drive	$V_{GATE} - V_{EE}$, $I_{IN} = 2\text{mA}$	●	10	12	V_Z	V

425112fc

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 2、3)

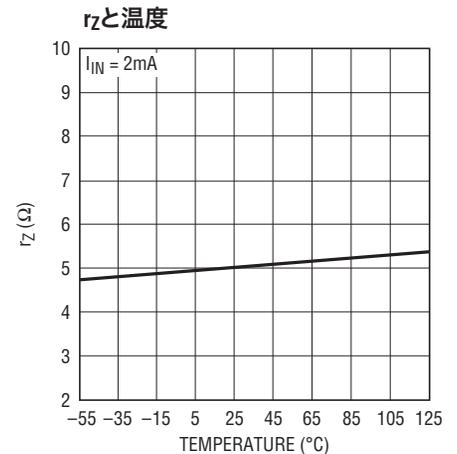
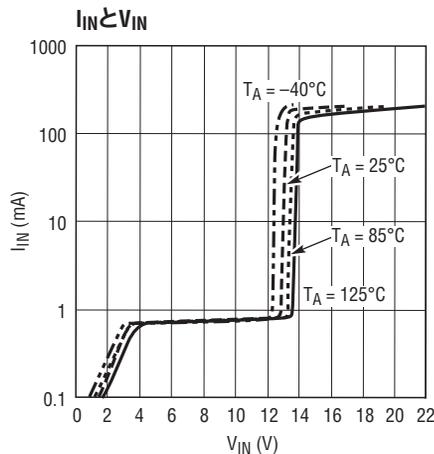
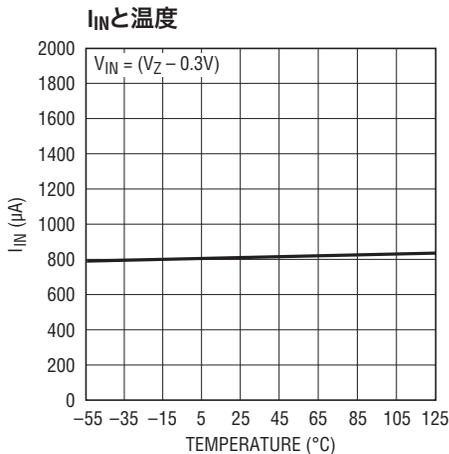
SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{GATEL}	Gate Low Threshold	(Before Gate Ramp-Up)		0.5		V
V_{UVHI}	UV Threshold High	LTC4251/LTC4251-2	● 3.075	3.225	3.375	V
		LTC4251-1	● 2.300	2.420	2.540	V
V_{UVLO}	UV Threshold Low	LTC4251/LTC4251-2	● 2.775	2.925	3.075	V
		LTC4251-1	● 2.050	2.160	2.270	V
V_{UVHST}	UV Hysteresis	LTC4251/LTC4251-2		0.30		V
		LTC4251-1		0.26		V
V_{OVHI}	OV Threshold High	LTC4251	● 5.85	6.15	6.45	V
		LTC4251-1	● 5.86	6.17	6.48	V
V_{OVLO}	OV Threshold Low	LTC4251	● 5.25	5.55	5.85	V
		LTC4251-1	● 5.61	5.91	6.21	V
V_{OVHST}	OV Hysteresis	LTC4251		0.60		V
		LTC4251-1		0.26		V
I_{SENSE}	SENSE Input Current	UV/OV = 4V, $V_{SENSE} = 50\text{mV}$	● -30	-15		μA
I_{INP}	UV/OV Input Current	UV/OV = 4V	●	± 0.1	± 1	μA
V_{TMRH}	Timer Voltage High Threshold			4		V
V_{TMRL}	Timer Voltage Low Threshold			1		V
I_{TMR}	Timer Current	Timer On (Initial Cycle, Sourcing), $V_{TMR} = 2\text{V}$		5.8		μA
		Timer Off (Initial Cycle, Sinking), $V_{TMR} = 2\text{V}$		28		mA
		Timer On (Circuit Breaker, Sourcing), $V_{TMR} = 2\text{V}$		230		μA
		Timer Off (Cooling Cycle, Sinking), $V_{TMR} = 2\text{V}$		5.8		μA
t_{PLUG}	UV Low to GATE Low			0.7		μs
t_{PHLOG}	OV High to GATE Low	LTC4251/LTC4251-1		1		μs

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: デバイスのピンに流れ込む電流は全て正、デバイスのピンから流れ出す電流は全て負。注記がない限り、全ての電圧は V_{EE} 基準。

Note 3: LTC4251-2では、UV/OV = 4VはUV = 4Vを指す。

標準的性能特性 LTC4251-2では、UV/OV = 4VはUV = 4Vを指す。

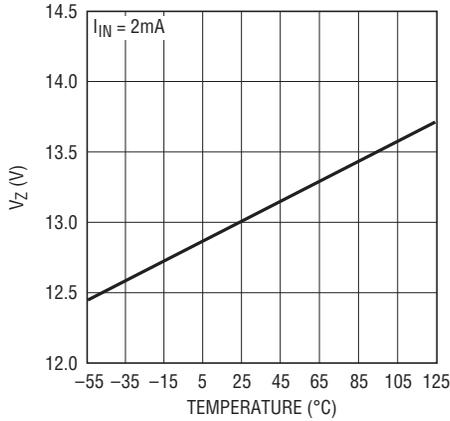


425112fc

LTC4251/LTC4251-1/ LTC4251-2

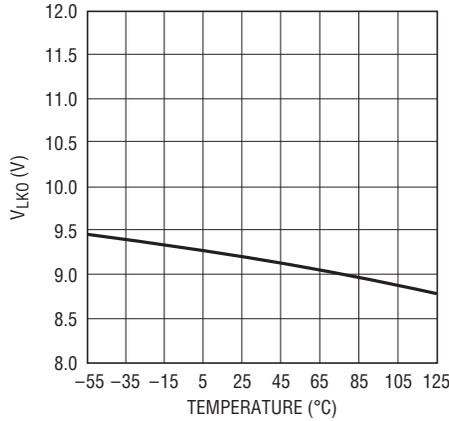
標準的性能特性 LTC4251-2では、UV/OV = 4VはUV = 4Vを指す。

V_Zと温度



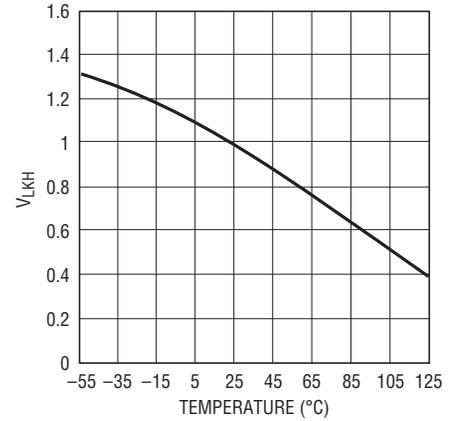
425112 G04

低電圧ロックアウトV_{LKO}と温度



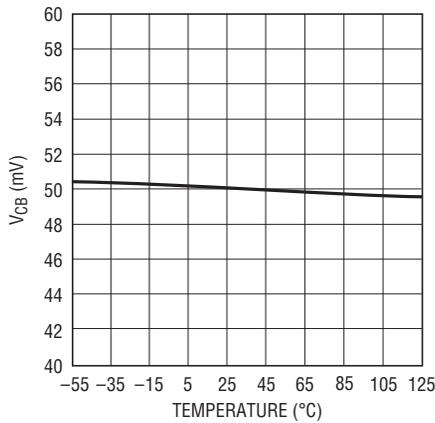
425112 G05

低電圧ロックアウト・
ヒステリシスV_{LKH}と温度



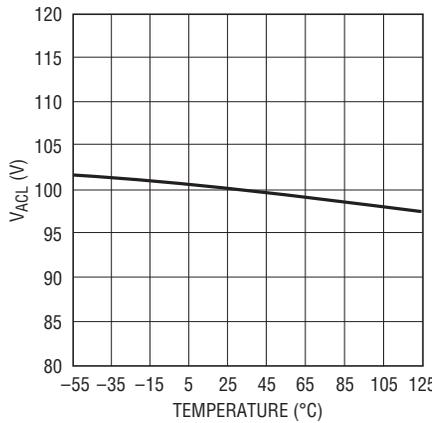
425112 G06

回路ブレーカ電流制限電圧V_{CB}と
温度



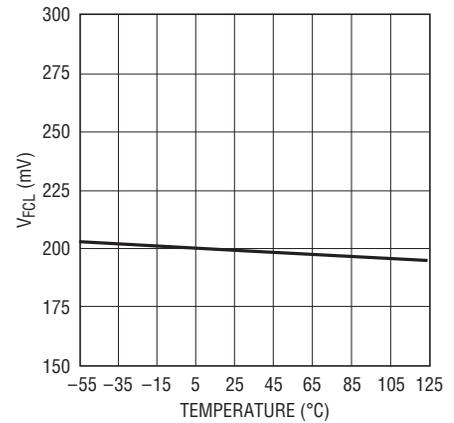
425112 G07

アナログ電流制限電圧V_{ACL}と
温度



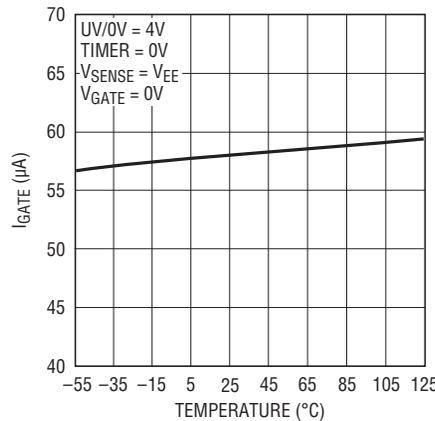
425112 G08

高速電流制限電圧V_{FCL}と温度



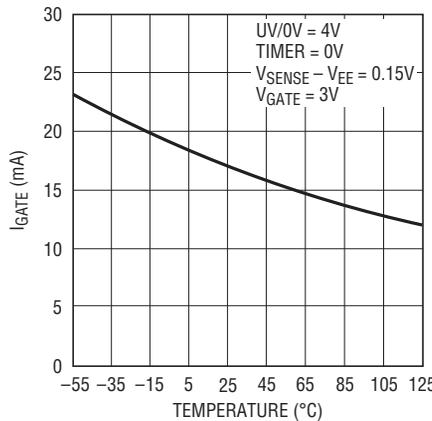
425112 G09

I_{GATE} (ソース)と温度



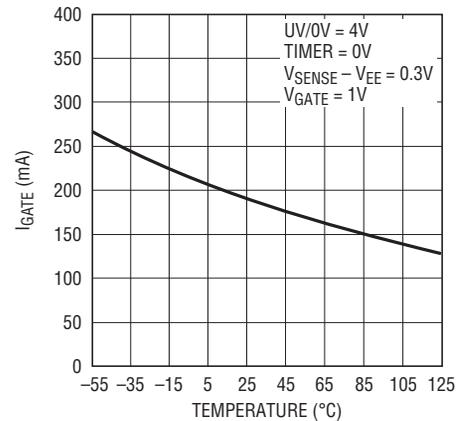
425112 G10

I_{GATE} (ACL、シンク)と温度



425112 G11

I_{GATE} (FCL、シンク)と温度

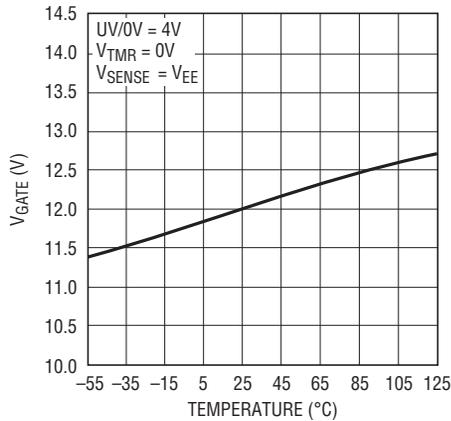


425112 G12

425112fc

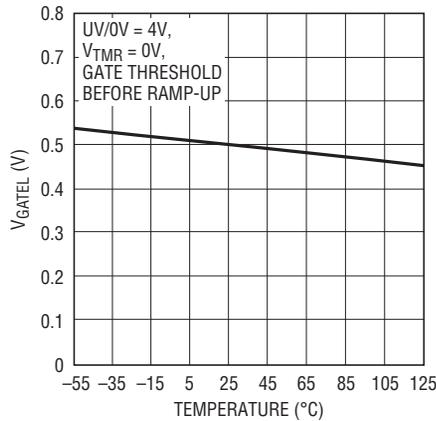
標準的性能特性 LTC4251-2では、UV/OV = 4VはUV = 4Vを指す。

V_{GATE}と温度



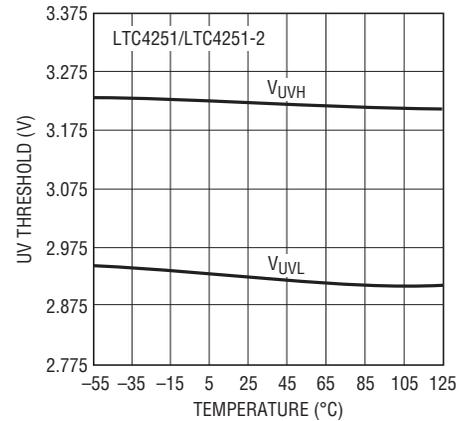
425112 G13

V_{GATEL}と温度



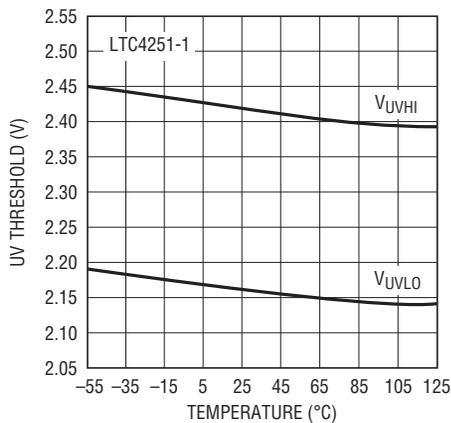
425112 G14

UVスレッシュホールドと温度



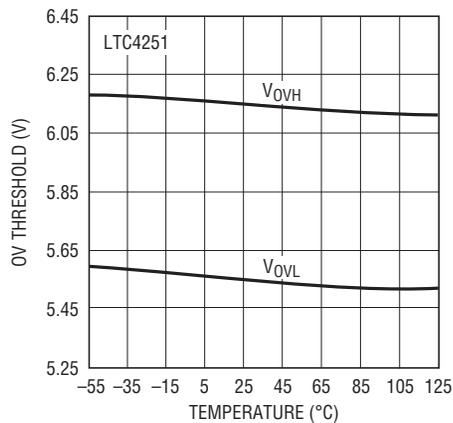
425112 G15

UVスレッシュホールドと温度



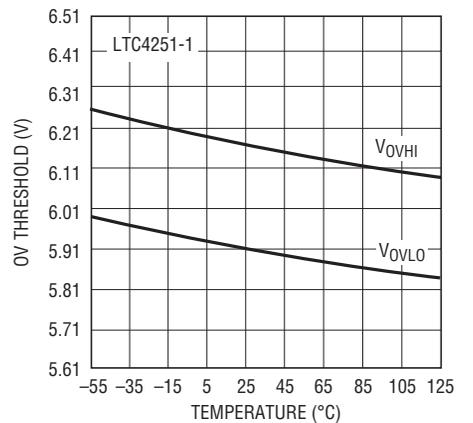
425112 G16

OVスレッシュホールドと温度



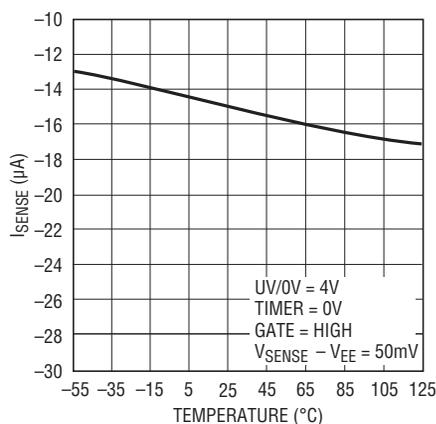
425112 G17

OVスレッシュホールドと温度



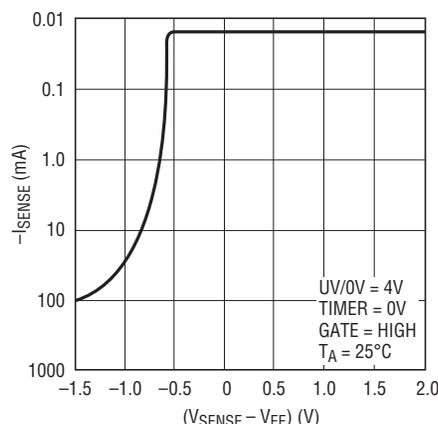
425112 G18

I_{SENSE}と温度



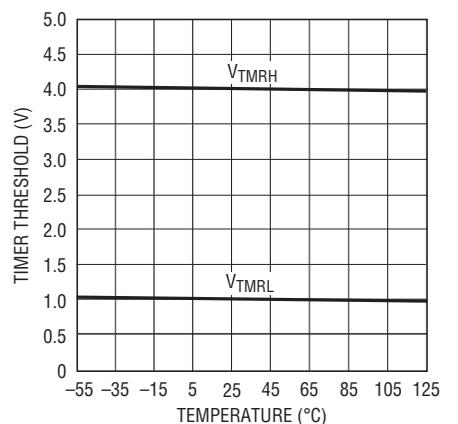
425112 G19

I_{SENSE}と(V_{SENSE}-V_{EE})



425112 G20

TIMERスレッシュホールドと温度

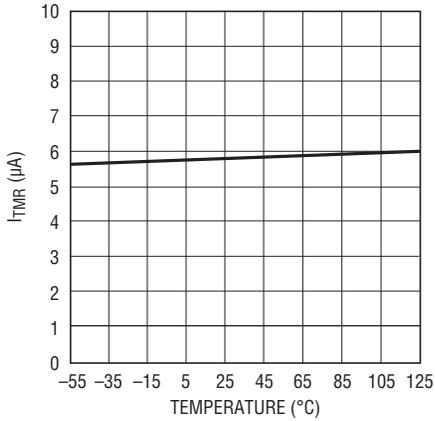


425112 G21

LTC4251/LTC4251-1/ LTC4251-2

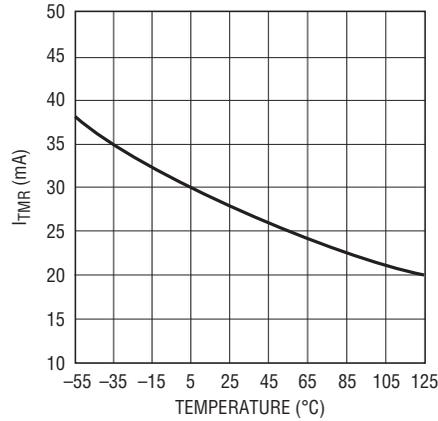
標準的性能特性 LTC4251-2では、UV/OV = 4VはUV = 4Vを指す。

I_{TMR} (初期サイクル、ソース)と温度



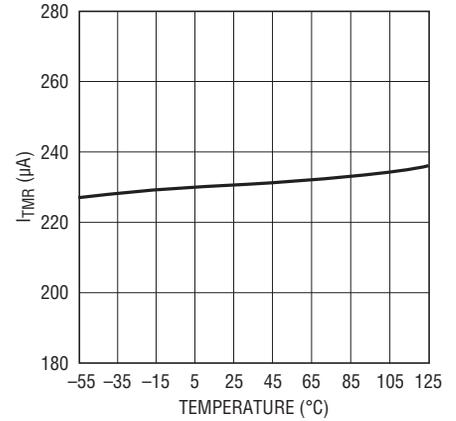
425112 G22

I_{TMR} (初期サイクル、シンク)と温度



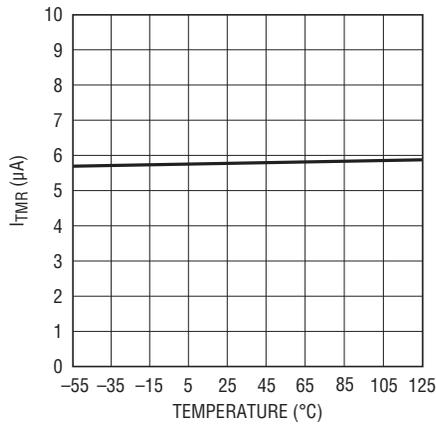
425112 G23

I_{TMR} (回路ブレーカ、ソース)と温度



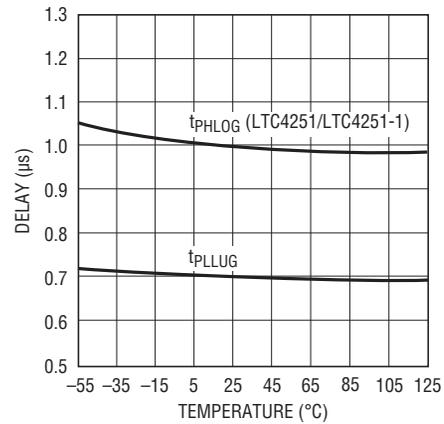
425112 G24

I_{TMR} (冷却サイクル、シンク)と温度



425112 G25

t_{PLLUG} 、 t_{PHLOG} と温度



425112 G26

ピン機能

LTC4251-2では、UV/OVはUVピンを指す。LTC4251-2のOVコンパレータはディスエーブルされている。文中の過電圧、OV、 V_{OVHI} 、および V_{OVLO} についての記述はLTC4251-2には適用されない。

SENSE (ピン1): 回路ブレーカ/電流制限SENSEピン。負荷電流はSENSEピンと V_{EE} ピン間に接続されたセンス抵抗 R_S でモニターされ、3段階で制御されます。SENSEピンが V_{CB} (50mV)を超えると、回路ブレーカ・コンパレータは230 μ AのTIMERピンのプルアップ電流をアクティブにします。 C_T が4Vまでチャージされると、LTC4251/LTC4251-1/LTC4251-2はラッチオフします。SENSEピンが V_{ACL} (100mV)を超えると、アナログ電流制限アンプが、GATEをプルダウンし、MOSFETの電流を V_{ACL}/R_S に制御します。破壊的な短絡が起きると、SENSEピンは100mVオーバーシュートする可能性があります。SENSEピンが V_{FCL} (200mV)に達すると、高速電流制限コンパレータが強力なプルダウンでGATEピンを“L”にします。SENSEピンを V_{EE} に接続すると、回路ブレーカと電流制限機能はオフになります。

センス抵抗、 V_{EE} 、SENSEピン間は、Kelvin-sense接続することを推奨します (図6参照)。

V_{EE} (ピン2): 負電源電圧入力。このピンを電源の負側に接続してください。

V_{IN} (ピン3): 正電源入力。このピンをドロップ抵抗を介して、電源の正側に接続してください。シャントレギュレータは、通常13Vに V_{IN} をクランプします。内部の低電圧ロックアウト (UVLO) 回路は、UV/OVピンより優先され、 V_{IN} ピンが V_{LKO} (9.2V) 以上になるまで、GATEピンを“L”に保持します。UVピンが“H”の時、OVピンは“L”になり、 V_{IN} はUVLO状態から抜け出し、GATEピンのランプアップを初期化する前に、TIMERピンは最初のタイミング・サイクルを開始します。 V_{IN} がおおよそ8.2V以下に落ちると、GATEピンは即座に“L”になります。

TIMER (ピン4): タイマ入力。TIMERピンは、スタートアップ時に遅延を持たせる為に、また出力過負荷状態の時にシャットダウンを遅らせる為に使用されます。以下の状態が満たされた時、TIMERピンは最初のタイミング・サイクルを開始します。UVピンが“H”、OVピンが“L”、 V_{IN} がUVLOを解除、TIMERピンが“L”、GATEピンが V_{GATEL} より低く、($V_{SENSE}-V_{EE}$)が V_{CB} より小さい。その時、5.8 μ Aのプルアップ電流で C_T を充電し、遅延時間を発生させます。 C_T が V_{TMRH} (4V)まで充電されると、タイミング・サイクルが終了し、TIMERピンは即座に“L”になり、GATEピンが動作を開始します。

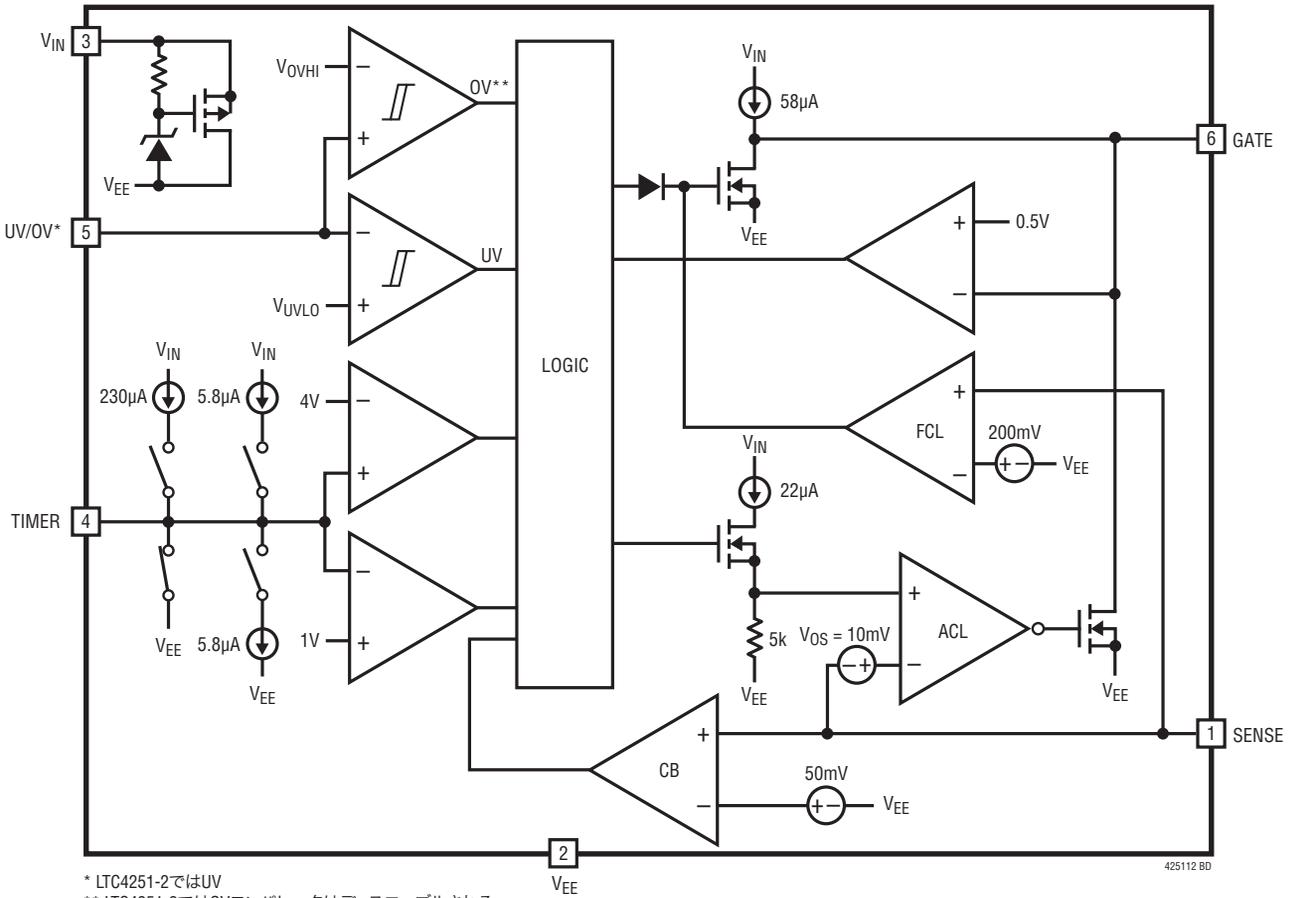
GATEピンが“H”の時に、SENSEピンが50mVを超えると、230 μ Aのプルアップ電流で C_T を充電します。TIMERピンが4Vになる前に、SENSEピンが50mV以下に落ちると、5.8 μ Aのプルダウン電流でゆっくり C_T を放電します。 C_T が最終的に4Vの V_{TMRH} スレッシュホールドまで充電されると、TIMERピンは5.8 μ Aのプルアップで“H”にラッチされ、GATEピンは即座に“L”になります。LTC4251/LTC4251-1/LTC4251-2のフォールト・ラッチは、外部デバイスでTIMERピンを“L”にするか、UV/OVピンを V_{UVLO} より下に引き下げることによって、クリアされます。

UV/OV (ピン5): 低電圧/過電圧入力。この2つの機能を持ったピンは、過電圧だけでなく、低電圧も検出します。UVコンパレータの“H”のスレッシュホールドは V_{UVHST} のヒステリシスを持って、 V_{UVHI} に設定されています。OVコンパレータの“H”スレッシュホールドは V_{OVHST} のヒステリシスを持って、 V_{OVHI} に設定されています。UV/OV < V_{UVLO} あるいはUV/OV > V_{OVHI} の時、GATEピンは“L”になります。UV/OV > V_{UVHI} およびUV/OV < V_{OVLO} の時、LTC4251/LTC4251-1/LTC4251-2はスタートアップを試みます。 V_{IN} ピンの内部のUVLOは常に、UV/OVピンより優先されます。UVピンを“L”にすると、内部のフォールト・ラッチはリセットされます。OVピンを“H”にすると、GATEピンは“L”になりますが、フォールト・ラッチはリセットされません。UV/OVピンに1nF~10nFのコンデンサを付けると、過渡時のノイズ、スイッチング・ノイズによって、UV/OVピンのスレッシュホールドが影響を受けるのをなくし、GATEピンのグリッチも防ぐことができます。

GATE (ピン6): NチャンネルMOSFETのゲート駆動出力。このピンは58 μ Aの電流源で“H”にプルアップされています。 V_{IN} (UVLO)、UV/OV、あるいはフォールト・ラッチが無効な状態になると、GATEピンは“L”になります。GATEピンは、SENSEピンで計ったフォールト電流を制御するようにアクティブにサーボ制御されます。GATEピンに補償コンデンサを接続すると、このループは安定します。コンパレータがGATEピンをモニターすることにより、最初のタイミング・サイクル、または過電圧発生後のGATE電圧のランプアップ、または電流制限フォールト後の再起動を許可する前に、コンパレータがGATEをモニタしてGATEを確実に“L”にします。

LTC4251/LTC4251-1/ LTC4251-2

ブロック図



動作

便宜上、本文においては以下を前提とする：1. UV/OVは、LTC4251-2ではUVピンを意味する。2. LTC4251-2のOVコンパレータはディスエーブルされているので、過電圧状態、OV、V_{OVHI}、およびV_{OVLO}についてのいかなる記述もLTC4251-2には適用されない。

活線挿入

動作中のバックプレーンに回路ボードを挿入する時、電源のバイパスコンデンサを充電するために、電源バスから非常に大きい過渡電流が流れることがあります。電流の流れによって、コネクタのピンを破壊したり、電源バスにグリッチが生じ、その結果、システムの他のボードがリセットされることがあります。LTC4251/LTC4251-1/LTC4251-2は、制御された方法で回路ボードの電源をオンするように設計されているので、グリッチを生じたりコネクタに損傷を与えることなしにボードの挿抜が可能です。

最初のスタートアップ

LTC4251/LTC4251-1/LTC4251-2は取り外し可能な回路ボードに使われ、外部のMOSFETスイッチを使用してコネクタと負荷、あるいは電源変換回路の間のバスを制御します(図1参照)。突入電流の制御と短絡保護はMOSFETによって行われます。

図2に詳細な回路を示します。-48Vと-48RTNは最も長いコネクタピンを介して電源供給を受け、ボードを挿入した時、最初に接続状態になります。この間、GATEピンはMOSFETをオフに保ちます。UV/OVピンは、内部の高精度のスレッシュホールド、及び外部の抵抗分圧回路によって、MOSFETをオンすべきかどうか、決定します。UV/OVピンには、コネクタが接続されているかどうかをモニターする機能もあります。抵抗分圧回路の上側は、挿入時に最後に接触する短いコネクタピンによって-48RTNを検出します。

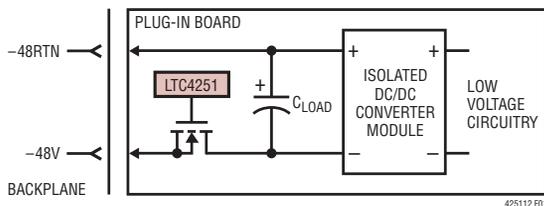


図1. 基本的なLTC4251のホットスワップ・トポロジー

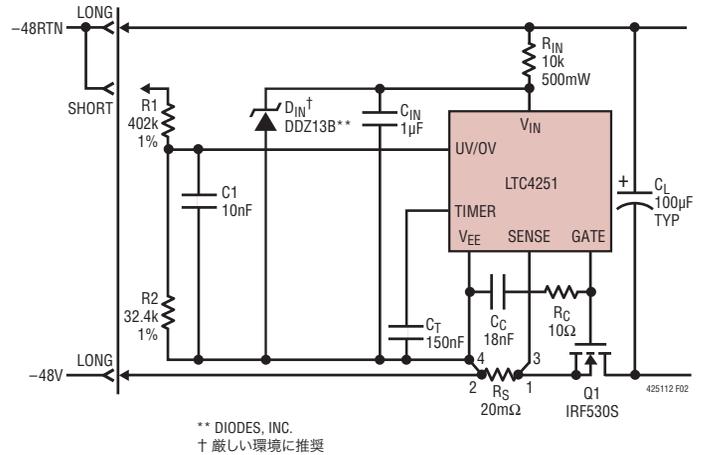


図2. -48V、2.5Aホットスワップコントローラ

インターロック条件

スタートアップ・シーケンスは、5つの最初のインターロック条件が満たされた時に開始されます。

1. 入力電圧V_{IN}が9.2V(V_{LKO})を超える。
2. UV/OVピンの電圧がV_{UVHI}~V_{OVLO}(LTC4251-2の場合はUV > V_{UVHI})の範囲に入る。
3. (SENSE-V_{EE})電圧が<50mV(V_{CB})。
4. タイマ・コンデンサ(C_T)の電圧が、1V(V_{TMRL})を下回る。
5. GATEピンが、0.5V(V_{GATEL})を下回る。

最初の2つの条件は常時モニタされ、残りの3つの条件は初期タイミングまたはGATEの立ち上がりの前にチェックされます。OV状態から抜け出したときは、TIMERピンの電圧要件は適用されません。詳細は「アプリケーション情報」の「タイミング波形」のセクションで説明されています。

TIMERピンは、C_Tに5.8μAの電流をソースすることによって、スタートアップ・シーケンスを開始します。V_{IN}、あるいはUV/OVが範囲外になると、スタートアップサイクルが停止し、TIMERピンがC_Tを1V以下まで放電し、前述の状態が再度満たされるのを待ちます。C_Tが4Vまで充電されると、TIMERピンは“L”になり、GATEピンはリリースされます。GATEピンは58μA(I_{GATE})をソースし、MOSFETのゲートと、関連の容量を充電します。

LTC4251/LTC4251-1/ LTC4251-2

動作

MOSFETが最初にオンするあいだ、外部部品の値、MOSFETの特性、及び公称設計電流によって2つの動作モードが可能です。ひとつは、負荷容量への突入電流が低い値のままになる様に、MOSFETがゆっくりオンするモードです。出力は単純に-48Vまでランプし、LTC4251/LTC4251-1/LTC4251-2は完全にMOSFETをオンします。ふたつめは、負荷電流が $100\text{mV}/R_S$ の電流制限スレッシュホールドを超えるモードです。この場合、LTC4251/LTC4251-1/LTC4251-2は負荷容量に $100\text{mV}/R_S$ の電流をソースすることによって、出力をランプします。どのスタートアップモードを使用するかにかかわらず、スタートアップ時間がTIMERピンの遅延時間以下になる様に、タイマ遅延を設定することが重要です。この条件が満たされない場合、LTC4251/LTC4251-1/LTC4251-2はひとつのTIMER遅延後にシャットダウンすることがあります。

ボードの引抜き

ボードをカードケージから引き抜く時、UV/OVピンの抵抗分圧回路が最初に接続を失います。これによって、MOSFETはオフになり、コネクタ内の電流が流れる方向が変わります。電源ピンがその次に接続を失う時、アーク放電は生じません。

電流の制御

短絡、及び過負荷状態に対しては、3段階の保護があります。負荷電流はSENSEピンと抵抗 R_S でモニターされます。SENSEピンには、3つの個別のスレッシュホールドがあります。タイマ付きの回路ブレーカ機能は 50mV 、アナログ電流制限ループは 100mV 、破壊的な短絡が起きた時にピーク電流を制限する高速のフィードフォワード・コンパレータは 200mV です。

出力の過負荷のため、 R_S の両端の電圧降下が 50mV を超えると、TIMERピンは C_T に $230\mu\text{A}$ をソースします。 C_T は 4V のスレッシュホールドまで充電され、LTC4251/LTC4251-1/LTC4251-2はラッチ・オフします。過負荷がなくなり、SENSEピンが 50mV 以下をセンスすると、 C_T はゆっくり放電($5.8\mu\text{A}$)します。このようにLTC4251/LTC4251-1/LTC4251-2の回路ブレーカ機能は低デューティ・サイクルの過負荷にも応答し、MOSFETの熱くなるのが早く、冷めるのが遅いという特性に対処しています。

より高い過負荷はアナログ電流制限ループで対処します。抵抗 R_S の両端の電圧降下が 100mV に達すると、電流制限ループはMOSFETのゲートをサーボ制御し、 $100\text{mV}/R_S$ の一定の出力電流を維持します。SENSEピンの電圧が 50mV を上回るため、この間TIMERピンは C_T を充電し、最終的にLTC4251/LTC4251-1/LTC4251-2はシャットダウンします。

LTC4251/LTC4251-1/LTC4251-2の負荷側に 48V 以上の駆動能力のある低インピーダンスの不具合が生じると、電流のスルーレートが軽く $50\text{A}/\mu\text{s}$ を超えることがあります。これらの状況下では、オーバーシュートは避けられません。スレッシュホールドが 200mV の高速SENSEコンパレータがオーバーシュートを検出し、弱い電流制限ループよりはるかに強力に、つまりはるかに高速にGATEピンを“L”に引っ張ります。その後、 $100\text{mV}/R_S$ の電流制限ループに切り替わり、上述の様に電流をサーボ制御します。以前のおり、TIMERピンが動作し、 C_T が 4V になると、LTC4251/LTC4251-1/LTC4251-2をラッチオフします。

UV/OVピンを一時的に“L”にするか、入力電圧 V_{IN} を内部UVLOスレッシュホールドの 8.2V より低くすることによって、LTC4251/LTC4251-1/LTC4251-2の回路ブレーカ・ラッチはリセットされます。

短絡は最も明らかな不具合の症状ですが、いくつかの動作条件で過電流保護が働きます。バックプレーン、あるいは負荷からのスパイク・ノイズ、一瞬の接触による入力ステップ、高い電源電圧、同じ電源バスを使用する隣接した回路ボードの不具合による過渡電流、あるいはホットスワップ不可能な製品の挿入によって、予期していた以上の入力電流が流れ、一時的に過電流状態が検出されることがあります。TIMERピンと C_T の動作によって、このような状態を絶ち、LTC4251/LTC4251-1/LTC4251-2は簡単な電流コンパレータをトリップしたり、場合によってはヒューズを切ったりする一時的な過負荷や障害を切り抜けることができます。

アプリケーション情報

シャント・レギュレータ

高速応答のシャント・レギュレータが V_{IN} ピンを13V(V_Z)にクランプします。電力は外部の電流制限抵抗 R_{IN} を通して $-48RTN$ から得られます。1 μ Fのデカップリング・コンデンサ C_{IN} は電源過渡をフィルタし、スタートアップ時に短時間の遅延を持たせます。

沿面距離の要件を満たすために、5.1k抵抗2個、または3.3k抵抗3個のように、 R_{IN} を2個以上の直列に接続したユニットに分割することができます。こうすることで、全体の間隔が1つの部品で設けられる間隔よりも広くなり、同時に各抵抗の下の間隙の電位を安定させます。LTC4251は基本的に低電圧のデバイスで、 $-48V$ を基準グランドとして動作します。ピンへのアーク放電に対する保護を強化するため、LTC4251および関連する全部品とその周辺の領域には、シャーン・グランド、リターン、または二次側の電源プレーンおよびグランド・プレーンなどの他のあらゆるプレーンがないようにします。

V_{IN} はパッケージの熱制限の範囲内で30mAを扱えるように定格が定められており、100 μ s、100mAのパルスに耐えられることがテストされています。それよりも大きな振幅のスパイクによる損傷から V_{IN} を保護するには、13Vのツェナー・ダイオードで V_{IN} を V_{EE} にクランプします。図2に示すように、 V_{EE} と V_{EE} を基準とするすべての部品をセンス抵抗のケルビン端子にスター接続してください。その際、 V_{IN} 、 C_{IN} 、 D_{IN} 、および V_{EE} の間トレース長をできる限り短くしてください。

内部の低電圧ロックアウト (UVLO)

内部回路は、 V_{IN} の低電圧をモニターします。正確なスレッシュホルド電圧は V_{LKO} とそのヒステリシス V_{LKH} で決定します。 V_{IN} が9.2V(V_{LKO})を超えるとデバイスがイネーブルされ、8.2V($V_{LKO}-V_{LKH}$)より低くなるとデイスエーブルされ、GATEピンは“L”になります。 V_{IN} ピンのUVLO機能とUV/OVピンを混同してはいけません。これらは全く別の機能です。

UV/OVコンパレータ

低電圧、及び過電圧を検出する二つのヒステリシス・コンパレータは以下のスレッシュホルドを使って2つの機能をもつUV/OVピンをモニターします。

V_{UVHI} でUVオン

V_{UVLO} でUVオフ

V_{OVHI} でOVオフ

V_{OVLO} でOVオン

LTC4251ではUVとOVのトリップ点の比は、標準的な通信機器の動作電圧範囲の43V~75Vを満たす様に設計されています。LTC4251-2では43VのUVスレッシュホルドのみが実装されています。

抵抗分圧回路(R_1 , R_2)で、電源電圧を調整します。 $R_1=402k$ 、 $R_2=32.4k$ にすると、標準的な動作電圧範囲の43.2V~74.4Vになります。その時、低電圧、過電圧シャットダウン・スレッシュホルドは、39.2V、82.5Vになります。スレッシュホルドの精度を保つためには、1%精度の分割器抵抗を使用することを推奨します。この R_1 , R_2 の値はLTC4251-2に使用することができます。

「標準的応用例」に示す R_1 - R_2 分割器の値では、設定される定常電流は100 μ Aより若干大きくなり、UV/OVピンのインピーダンスは30kになります。大抵のアプリケーションでは、300mVの低電圧ヒステリシスと、30kのインピーダンスによって、LTC4251/LTC4251-1/LTC4251-2はノイズに対して敏感ではなくなります。さらにノイズ耐性を高める必要がある場合は、UV/OVピンと V_{EE} 間に1nF~10nFのフィルタ・コンデンサを追加してください。

LTC4251-1のUVとOVのトリップ点のスレッシュホルドは、標準的な通信機器の $-36V$ ~ $-72V$ の動作範囲を含むように設計されています。

分圧器(R_1 , R_2)で、電源電圧を調整します。 $R_1 = 442k$, $R_2 = 34.8k$ にすると、標準的な動作電圧範囲33.2V~81Vになります。その場合、標準的な低電圧シャットダウン・スレッシュホルドと過電圧シャットダウン・スレッシュホルドは、それぞれ29.6Vと84.5Vになります。スレッシュホルドの精度を保つためには、1%精度の分圧抵抗を使用することを推奨します。

「標準的応用例」に示す R_1 - R_2 分圧器の値では、設定される定常電流は100 μ Aより若干大きくなり、UV/OVピンのインピーダンスは32kになります。大抵のアプリケーションでは、260mVの低電圧ヒステリシスと、32kのインピーダンスによって、LTC4251-1はノイズに対して敏感ではなくなります。さらにノイズ耐性を高める必要がある場合は、UV/OVピンと V_{EE} 間に1nF~10nFのフィルタ・コンデンサを追加してください。

UV/OVピンの動作

UVコンパレータに“L”を入力すると、LTC4251/LTC4251-1/LTC4251-2をリセットし、GATEピンとTIMERピンを“L”にします。UVピンが“L”から“H”になり、残りの3つのインターロック条件が満たされると、最初のタイミング・シーケンスが開始します。

LTC4251/LTC4251-1/ LTC4251-2

アプリケーション情報

OVコンパレータで過電圧状態を検出すると、GATEピンは“L”になり、それによって負荷をシャットダウンしますが、回路ブレーカのラッチはリセットしません。TIMERを除く全てのインターロック条件が満たされ、電源電圧が許容範囲内に戻ると、GATEピンは再スタートします。

TIMERピン

TIMERピンは複数の重要な機能を持っているので、その動作は少し複雑です。TIMERピンのコンデンサ C_T でLTC4251/LTC4251-1/LTC4251-2のタイミングを制御します。TIMERピンには4つの異なった充電、放電のモードがあります。

1. 5.8 μ A低速充電;最初のタイミング遅延
2. 230 μ A高速充電;回路ブレーカ遅延
3. 5.8 μ A低速放電;回路ブレーカの冷却
4. 低インピーダンス・スイッチ;低電圧ロックアウト、及び過電圧時に最初のタイミング遅延後にコンデンサをリセットします。

最初のスタートアップの為に、5.8 μ Aのプルアップ電流が使われます。4つのインターロック条件が満たされると、低インピーダンスのスイッチがオフされ、5.8 μ Aの電流源がイネーブルされます。 C_T は以下の式で与えられる時間で4Vに充電されます。

$$t = \frac{4V \cdot C_T}{5.8\mu A} \quad (1)$$

C_T が4V (V_{TMRH})になると、低インピーダンスのスイッチがオンして、 C_T を放電します。GATE出力がイネーブルになり、負荷をオンします。

回路ブレーカ・タイマ動作

SENSEピンが50mV以上の R_S の両端の電圧降下を検出すると、TIMERピンは C_T を230 μ Aで充電します。 C_T が4Vまで充電されると、GATEピンは“L”になり、LTC4251/LTC4251-1/LTC4251-2はラッチオフします。UV/OVピンが瞬間的に“L”になるか、 V_{IN} がUVLOになり、その後、復帰するまで、LTC4251/LTC4251-1/LTC4251-2はラッチオフのままです。回路ブレーカのタイムアウト期間は以下の式で与えられます。

$$t = \frac{4V \cdot C_T}{230\mu A} \quad (2)$$

間欠的な過負荷によって、SENSEピンが50mVのスレッシュホールドを超えることがあるかもしれませんが、その時間が十分短い時、TIMERピンは4Vに達せず、LTC4251/LTC4251-1/LTC4251-2はラッチオフしません。この状況に対処するために、SENSEピンの電圧が50mVより低い時は必ず、TIMERピンは C_T を5.8 μ Aのプルダウンでゆっくり放電します。したがって、総デューティ・サイクルが2.5%以上の間欠的な過負荷によって、結局は回路ブレーカをトリップし、LTC4251/LTC4251-1/LTC4251-2をラッチオフします。図3に1 μ Fに正規化した回路ブレーカの秒単位の応答時間を示します。 C_T の非対称な充放電はMOSFETの発熱の正しいゲージになります。

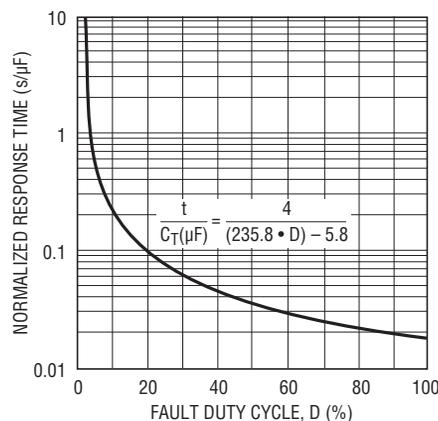


図3. 回路ブレーカの応答時間

GATE

GATEピンは、低電圧状態の時、最初のタイミングサイクルの間、過電圧状態の時、あるいは短絡後にLTC4251/LTC4251-1/LTC4251-2がラッチオフした時、“L” (V_{EE}) になります。GATEピンがオンすると、58 μ Aの電流源でMOSFETのゲートとその他関連した外部容量を充電します。 V_{IN} によってゲート駆動電圧は14.5V以下に制限されています。

最初に急に電源を加えた時のゲート・ドレイン間の容量 (C_{GD}) のフィードスルーによって、MOSFETをオンするのに十分なゲート・ソース間電圧が発生することがあります。独自の回路によって、 V_{IN} に実際に利用できる電圧がなくても、GATEを“L”にし、挿入時の電流スパイクをなくします。したがって、 C_{GD} を補償するためにゲート・ソース間に大容量の外付けコンデンサは必要ありません。その代わりに、小容量のコンデンサ C_C (10nF以上) が適当です。 C_C はまた、アナログ電流制限ループの補償も行います。

アプリケーション情報

SENSEピン

SENSEピンは、回路ブレーカ (CB) コンパレータ、アナログ電流制限 (ACL) アンプ、及び高速電流制限 (FCL) コンパレータでモニターされます。これら3つはそれぞれ V_{EE} を基準にしたSENSEピンの電位を測定します。SENSEピンの電圧が50mVを超えると、CBコンパレータは230 μ AのTIMERプルアップを動作させます。100mVになると、ACLアンプがMOSFETの電流をサーボ制御し、200mVになると、MOSFETの電流を制御するためにFCLコンパレータが急にGATEピンを“L”にします。これらの状態のいずれかが、TIMERピンが C_T を4Vまで充電する(式2参照)まで続くと、LTC4251/LTC4251-1/LTC4251-2はラッチオフし、GATEピンを“L”にします。

SENSEピンが100mV以上になると、ACLアンプはMOSFETの電流を制御する為に、GATEピンを下方にサーボ制御します。通常の動作時にはGATEピンはMOSFETをオーバードライブするので、ACLアンプはGATEピンをMOSFETのスレッシュホールドまで放電するのに時間を要します。軽い過負荷状態の時は、ACLアンプはMOSFETの電流を制御できますが、厳しい過負荷状態の時は、MOSFETの電流はオーバーシュートすることがあります。SENSEピンが200mVになると、FCLコンパレータに切り替わり、GATEピンを急速に V_{EE} の電位近くまで放電します。その後、FCLはリリースされ、ACLアンプに切り替わります。その間ずっと、TIMERピンは動作を続けます。FCLの効果は、MOSFETの電流を低減するのに有利になる様に、制御ループに非線形な応答を加えることです。

システムの誘導効果の為に、FCLは通常、電流制限ループを補正し過ぎ、GATEピンはアンダーシュートします。ループのゼロ(ゲートコンデンサと直列に抵抗 R_C を接続)はACLアンプを復帰させます。

短絡時の動作

負荷側の低インピーダンス短絡の為に生じる回路動作を図4に示します。まず、GATEピンが V_{GS} を制御しようとするので(Trace 3)、電流が $V_{SENSE} = 100\text{mV}$ (Trace 2)のアナログ電流制限レベルをオーバーシュートします。オーバーシュートによって、バックプレーンに負方向のグリッチが生じ、電流が $100\text{mV}/R_S$ まで下がると、バックプレーンは正方向のグリッチで応答します。

TIMERピンは C_T の充電を開始し(Trace 4)、アナログ電流制限ループはフォールト電流を $100\text{mV}/R_S$ に、この場合5A(Trace 2)に維持します。バックプレーンの電圧(Trace 1)が負荷によって垂下していることにご注意ください。 C_T が4Vになると、GATEピンはオフし、負荷電流はゼロに落ち、バックプレーンは100V以上まで上昇します。正のピークは通常MOSFETのアバランシェ・ブレイクダウンで制限され、入力 -48V と -48RTN 間に過渡電圧サプレッサ、例えばDiodes社のSMAT70A、を追加することによってさらに制限できます。

1枚のカードに低インピーダンスの短絡が起きると、同じバックプレーンに挿入されている他のカードの動作にも影響を及ぼすことがあります。図4のTrace1に見られる様に最初のグリッチとバックプレーンの落ち込みは、隣り合ったカードの出力コンデンサから電荷を奪い取ります。不具合のあるカードがシャットダウンすると、電流が流れ込み、コンデンサをリフレッシュします。全てのカードにLTC4251/LTC4251-1/LTC4251-2が使われていると、突入電流を $100\text{mV}/R_S$ に制限することによって応答します。 C_T の容量が適切であれば、コンデンサは C_T のタイムアウトが起こる十分前に再充電されます。

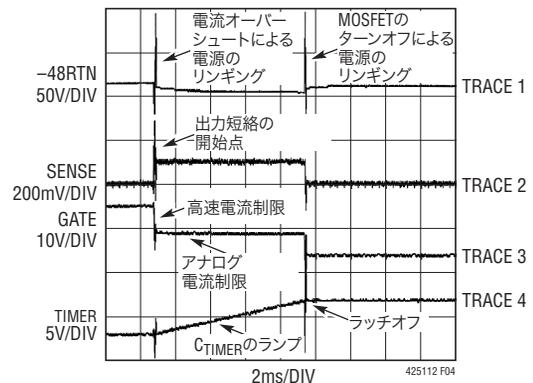


図4 出力短絡時の動作
(全ての波形は V_{EE} を基準)

MOSFETの選択

外部のMOSFETスイッチは、スタートアップ時に負荷容量を充電し、TIMERラッチオフが動作するまでの短絡状態に対処する為に、適当な安全動作領域 (SOA) を持っている必要があります。これらを考慮することは、DC電流定格より重要です。あるアプリケーションで適当なSOAをもったMOSFETは、常に必要な電流を扱うことができますが、その逆は真とは限りません。安全動作領域と有効な過渡時の温度インピーダンス・カーブに関しては、MOSFETの製造メーカーのデータシートをご参照ください。

LTC4251/LTC4251-1/ LTC4251-2

アプリケーション情報

MOSFETの選択には、3段階のプロセスがあります。まず、 R_S を計算し、それから負荷容量を充電するのに必要な時間を決めます。このタイミングに最大短絡電流と最大入力電圧を組み合わせることで、MOSFETのSOA曲線に対してチェックされる動作点が決まります。

設計を始める為に、まず必要な負荷電流 I_L と負荷容量 C_L を決めます。回路ブレーカの電流トリップ点 ($50\text{mV}/R_S$) は最大負荷電流に適合するように設定します。DC/DCコンバータへの最大入力電流は $V_{\text{SUPPLY(MIN)}}$ で生じると予測されることに注意してください。 R_S は以下の式で与えられます。

$$R_S = \frac{40\text{mV}}{I_{L(\text{MAX})}} \quad (3)$$

ここで、 40mV は保証された最低回路ブレーカスレッシュホールドです。

最初の充電プロセスでは、LTC4251/LTC4251-1/LTC4251-2はMOSFETを電流制限値で動作させることがあり、その時 R_S の両端電圧は $80\text{mV} \sim 120\text{mV}$ に強制されます。最小突入電流は以下の式で与えられます。

$$I_{\text{INRUSH(MIN)}} = \frac{80\text{mV}}{R_S} \quad (4)$$

最大短絡電流制限値は、最大 V_{SENSE} を使って計算するか、以下の式で与えられます。

$$I_{\text{SHORT-CIRCUIT(MAX)}} = \frac{120\text{mV}}{R_S} \quad (5)$$

TIMERピンのコンデンサ C_T は、予想される最も遅い充電速度に基づいて選択しなければなりません。そうでないと、負荷コンデンサが満充電になる前に、TIMERがタイムアウトになる可能性があります。 C_T の値は、負荷コンデンサを充電する最大時間にに基づいて計算されます。その時間は以下の式で与えられます。

$$t_{\text{CL CHARGE}} = \frac{C \cdot V}{I} = \frac{C_L \cdot V_{\text{SUPPLY(MAX)}}}{I_{\text{INRUSH(MIN)}}} \quad (6)$$

$I_{\text{INRUSH(MIN)}}$ に式(4)を代入し、(6)と(2)が同じと考えると、 C_T は以下の式で与えられます。

$$C_T = \frac{C_L \cdot V_{\text{SUPPLY(MAX)}} \cdot R_S \cdot 230\mu\text{A}}{(4\text{V} \cdot 80\text{mV})} \quad (7)$$

式(2)に戻ってTIMER期間を計算し、その値を $V_{\text{SUPPLY(MAX)}}$ および $I_{\text{SHORT-CIRCUIT(MAX)}}$ と一緒に使って、使用予定のMOSFETのSOA曲線をチェックします。

数値設計の一例として、 36V で入力電流が 1A の 30W の負荷を考えます。 $V_{\text{SUPPLY(MAX)}} = 72\text{V}$ 、 $C_L = 100\mu\text{F}$ とすると、式(3)によって、 $R_{\text{SENSE}} = 40\text{m}\Omega$ になり、式(7)によって、 $C_T = 207\text{nF}$ になります。 R_{SENSE} 、 C_T 、TIMER電流 ($230\mu\text{A}$)、及びTIMERスレッシュホールド (4V) のばらつきを考慮すると、計算で得られた値は1.5倍にする必要があります。最も近い標準コンデンサを使うと、 $C_T = 330\text{nF}$ になります。

短絡が起きると、式(2)に $C_T = 330\text{nF}$ を使って得られる 5.7ms の間、MOSFETには最大 $120\text{mV}/40\text{m}\Omega = 3\text{A}$ の電流が流れます。MOSFETはこれを基準に選択する必要があります。IRF530Sは 100V で 3A を 10ms 間扱えるので、安全にこのアプリケーションで使用できます。

設計の流れの要約

設計の流れを要約する為に、 50W 用に設計された図2のアプリケーションを考えます。

最大負荷電流の計算： $50\text{W}/36\text{V} = 1.4\text{A}$ 、変換効率を 83% とすると、 $I_{\text{IN(MAX)}} = 1.7\text{A}$ となります。

R_S の計算：式(3)より、 $R_S = 20\text{m}\Omega$

C_T の計算：式(7)より、 $C_T = 150\text{nF}$ (1.5倍の補正済み)

TIMER期間の計算：式(2)より、短絡タイムアウト期間は、 $t = 2.6\text{ms}$ となります。

最大短絡電流の計算：式(5)より、最大短絡電流は、 $120\text{mV}/20\text{m}\Omega = 6\text{A}$ にもなります。

MOSFETのSOAカーブの考慮：IRF530Sは 72V で 6A を 5ms 扱えますので、安全にこのアプリケーションで使用できます。

アプリケーション情報

周波数補償

LTC4251/LTC4251-1/LTC4251-2のアナログ電流制限ループの標準的な周波数補償ネットワークは、 V_{EE} に接続された直列の R_C (10 Ω)と C_C です。図5に補償コンデンサ C_C とMOSFETの C_{ISS} の関係を示します。図5の直線は、MOSFETの C_{ISS} スペックに基づいて、 C_C のスタート値を選択するのに使われます。いくつかのよく使用されるMOSFETに最適な C_C の値を示します。スタート値と C_C の最適値の差は非常に小さくなっています。しかしながら、補償値はボードを使って短絡の試験をして確認する必要があります。

図4で見た様に、短絡発生の開始点で、直列インダクタンスの為に、入力電源電圧は大きくリンギングします。この電圧がMOSFETのアバランシェを引き起こすと、MOSFETを介して出力に連続して電流が流れます。アナログ電流制限ループは、この電流の流れを制御できませんので、ループはアンダースhootします。この影響は、周波数補償では取り除くことができません。入力電源電圧をクランプし、MOSFETのアバランシェを防ぐ為に、ツェナー・ダイオードが必要です。

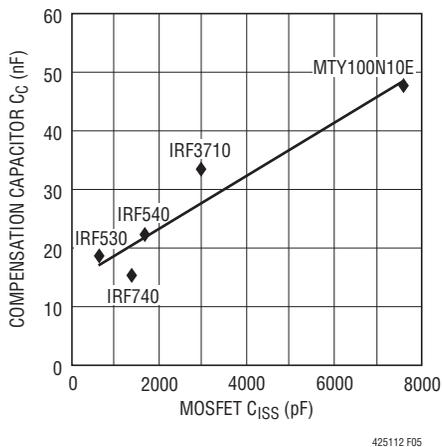


図5 補償コンデンサ C_C の推奨値とMOSFETの C_{ISS}

センス抵抗の考察

正しい回路ブレーカの動作の為に、センス抵抗とLTC4251/LTC4251-1/LTC4251-2の V_{EE} ピン、SENSEピン間の接続をケルビン・センスPCB接続にすることを強く推奨します。図6にLTC4251/LTC4251-1/LTC4251-2とセンス抵抗の正しい接続方法を示します。配線による誤差を最小限にする為に、PCBレ

アウトは、バランスを取り、対称にする必要があります。さらに、センス抵抗のPCBレイアウトはセンス抵抗の電力損失を最適化するために、優れた熱管理技術を使用する必要があります。

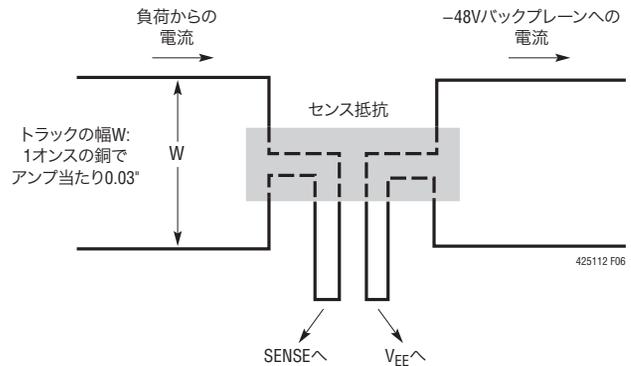


図6. PCB上のセンス抵抗接続

タイミング波形

システムのパワーアップ

ボードが既にバックプレーンに挿入されており、システムの電源が急に印加された場合の標準的なパワーアップ・シーケンスのタイミング波形を図7に詳しく示します。時間点1では、UV/OVピンと V_{OUT} と共に、電源が立ち上がります。 V_{IN} のバイパスコンデンサで設定したゆっくりした速度で V_{IN} が続いて立ち上がります。時間点2では、 V_{IN} は V_{LKO} を超え、内部ロジックが、 $V_{UVHI} < UV/OV < V_{OVLO}$ 、 $TIMER < V_{TMRL}$ 、 $GATE < V_{GATEL}$ 、及び $SENSE < V_{CB}$ の条件をチェックします。全ての条件が満たされると、最初のタイミングサイクルが開始し、TIMERコンデンサが5.8 μ Aのブルアップ電流源で充電されます。時間点3では、TIMERが V_{TMRH} スレッシュホールドに達し、最初のタイミングサイクルが終了します。その後、TIMERコンデンサは急速に放電されます。時間点4でスタートアップサイクルを始めるには、 V_{TMRL} スレッシュホールドに達し、 $GATE < V_{GATEL}$ 、及び $SENSE < V_{CB}$ という条件が満たされる必要があります。GATEピンは外部MOSFETのゲートと補償回路に58 μ A流し込みます。GATEピンの電圧がMOSFETのスレッシュホールドに達すると、負荷コンデンサに電流が流れ始めます。時間点5では、SENSEピンの電圧($V_{SENSE} - V_{EE}$)は、 V_{CB} のスレッシュホールドに達し、TIMERを動作させます。TIMERコンデ

アプリケーション情報

ンサは230 μ Aのプルアップ電流源で充電されます。時間点6では、アナログ電流制限ループが動作します。時間点6と7の間では、GATEピンの電圧は一定に保たれる必要があり、センス電圧は V_{ACL} に調整されます。負荷コンデンサが満充電に近くなるにしたがって、その電流は減少し始めます。時間点7では、負荷電流は降下し、センス電圧は V_{ACL} 以下に降下します。アナログ電流制限ループはシャットオフし、GATEピンはさらに上昇します。時間点8では、センス電圧は V_{CB} 以下に降下し、TIMERピンはここで5.8 μ Aのプルダウン電流源を介して放電します。時間点9では、GATEピンは V_{IN} で設定したその最大電圧に達します。

UV/OVピンを短いピンで制御する活線挿入

図8に示す例では、電力は長いコネクタ・ピンを通して供給されますが、UV/OVピンの分圧器は短いピンによって接続されます。これによって、LTC4251/LTC4251-1/LTC4251-2が動作を開始する前に電源がしっかり接続されます。時間点1では、電源ピンが接続し、 V_{IN} は V_{LKO} を通り過ぎて立ち上がります。時間点2では、UV/OVピンの抵抗分圧回路が接続され、その電圧は V_{UVHI} を超えます。さらに、内部ロジックが、 $V_{UVHI} < UV/OV < V_{OVHI}$ 、 $TIMER < V_{TMRL}$ 、 $GATE < V_{GATEL}$ 、及び $SENSE < V_{CB}$ の条件をチェックします。全ての条件が満たされると、最初のタイミング・サイクルを開始し、TIMERコンデンサは5.8 μ Aのプルアップ電流源で充電されます。時間点3では、TIMERピンが V_{TMRH} スレッシュホールドに達し、最初のタイミング・サイクルが終了します。その後TIMERコンデンサは急速に放電されます。時間点4では、スタートアップ・サイクルを始めるには、 V_{TMRL} スレッシュホールドに達し、 $GATE < V_{GATEL}$ 、及び $SENSE < V_{CB}$ の条件が満たされる必要があります。GATEピンは外部のMOSFETと補償回路に58 μ Aを流し込みます。GATEピンの電圧がMOSFETのスレッシュホールドに達すると、負荷コンデンサに電流が流れ始めます。時間点5では、SENSEピンの電圧($V_{SENSE} - V_{EE}$)は V_{CB} スレッシュホールドに達し、TIMERを動作させます。TIMERコンデンサは230 μ Aのプルアップ電流源で充電されます。時間点6では、アナログ電流制限ループが動作します。時間点6と7の間では、GATEピンの電圧は一定に保たれる必要があり、センス電圧は V_{ACL} に調整されます。負荷コンデンサが満充電に近くなるにしたがって、その電流は減少し始めます。時間点7では、負荷電流は降下し、センス電圧は V_{ACL} 以下に降下します。アナログ電流制限ル

プはシャットオフし、GATEピンはさらに上昇します。時間点8では、センス電圧は V_{CB} 以下に降下し、TIMERピンはここで5.8 μ Aのプルダウン電流源を介して放電します。時間点9では、GATEピンは V_{IN} で設定したその最大電圧に達します。

低電圧ロックアウトのタイミング

図9では、UV/OVピンが V_{UVLO} 以下に降下すると(時間点1)、TIMERピンとGATEピンが“L”になります。電流が流れていると、GATEピンが破壊されるので、SENSEピンの電圧はゼロまで減少します。UV/OVピンが回復し、 V_{UVHI} 以上になると(時間点2)、最初のタイミング・サイクルを開始し、それに続いてスタートアップ・サイクルが始まります。

過電圧グリッチがある低電圧タイミング

図10では、UV/OVピンが V_{UVHI} 以上になると(時間点1)、最初のタイミング・サイクルを開始します。時間点2に示す様に、システムバスの電圧が V_{OVHI} 以上になると、TIMERピンは放電します。時間点3では、電源電圧が復帰し、 V_{OVLO} スレッシュホールド以下に降下します。最初のタイミング・サイクルを開始し、それに続いてスタートアップ・サイクルが始まります。

過電圧のタイミング

図11の時間点1に示す様に、通常動作時にUV/OVピンが V_{OVHI} を超えると、TIMERピンの状態は影響を受けません。しかしながら、GATEピンは下に引っ張られ、負荷を切り離します。時間点2では、UV/OVピンは回復し、 V_{OVLO} スレッシュホールド以下に降下します。ゲートの立ち上がりサイクルが続いて起こります。負荷コンデンサを放電しきる程過電圧グリッチが長いと、時間点3から6に示す様に、完全なスタートアップ・サイクルが始まる場合があります。

タイマの動作

図12aでは、SENSEピンが V_{CB} を超えると、TIMERコンデンサが230 μ Aで充電されます。SENSEピンが V_{CB} 以下になると、5.8 μ Aで放電されます。図12bでは、TIMERピンが V_{TMRH} を超えると、TIMERピンは5.8 μ Aのプルアップで“H”にラッチされ、GATEピンは直ちに下に引っ張られます。図12cでは、複数の短時間の不具合により、TIMERコンデンサはTIMERピンがラッチされるまで充電されます。

アプリケーション情報

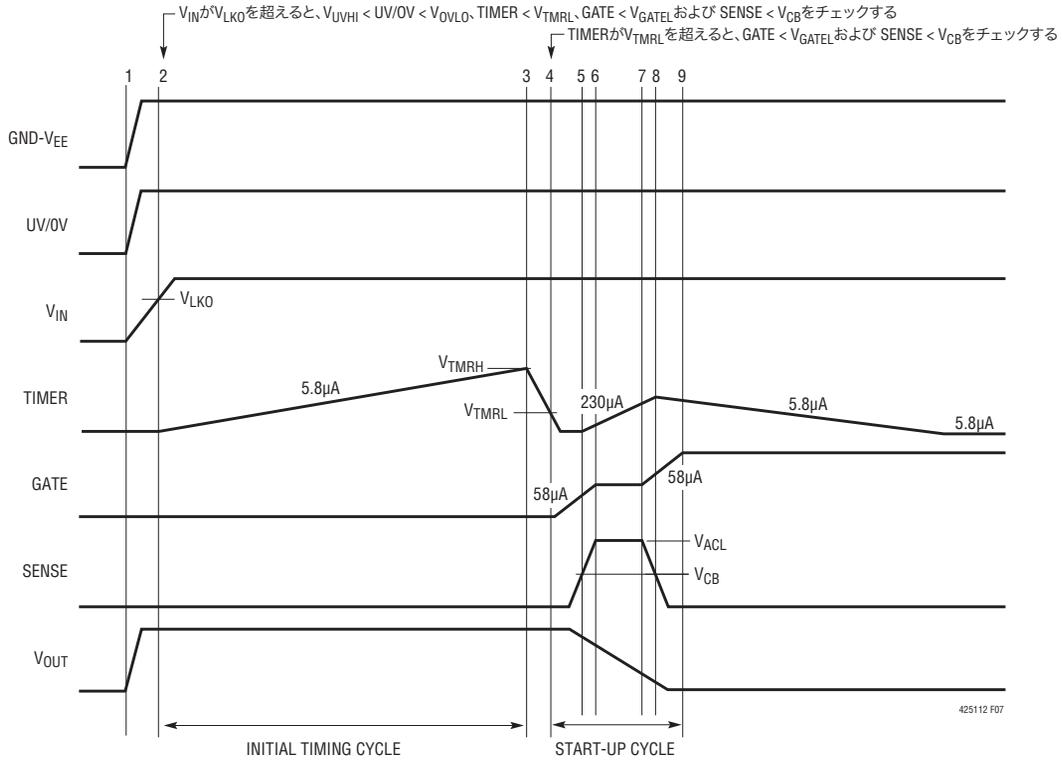


図7. システム・パワーアップのタイミング (全ての波形はV_{EE}を基準)

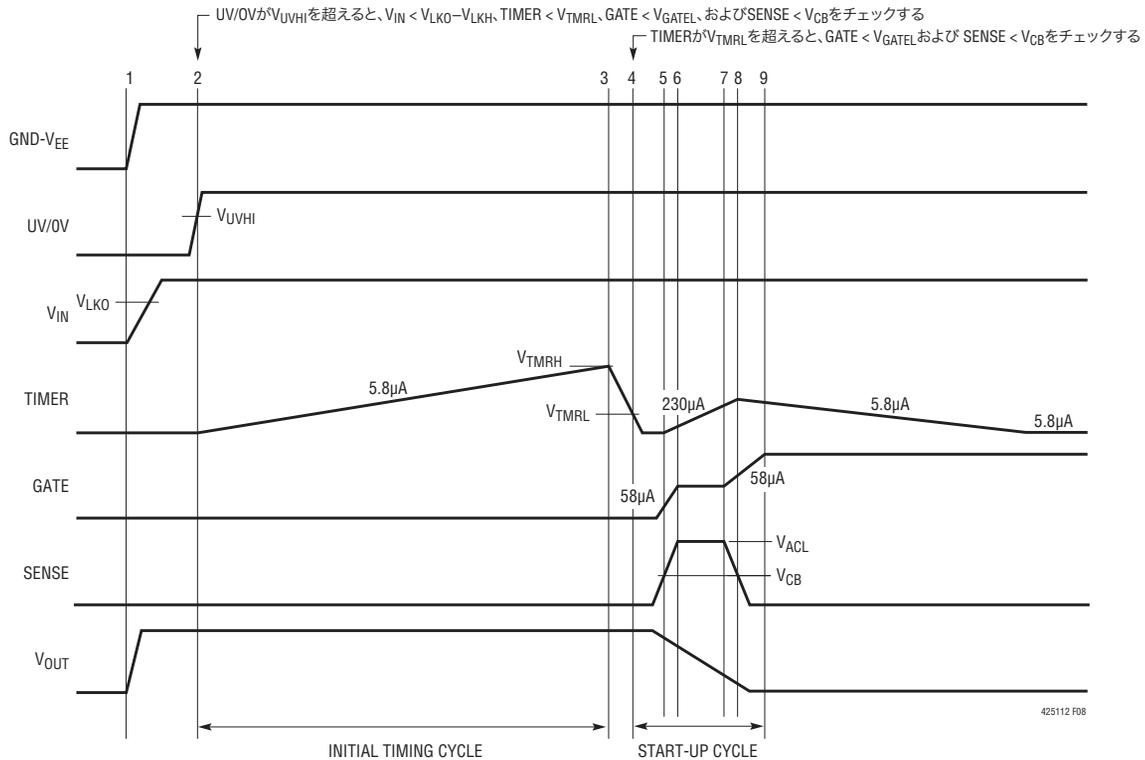


図8. 短いピンを使ったシステム・パワーアップのタイミング (全ての波形はV_{EE}を基準)

アプリケーション情報

アナログ電流制限と高速電流制限

図13aでは、SENSEピンが V_{ACL} を超えると、GATEピンはアナログ電流制限アンプ・ループで制御されます。SENSEピンが V_{ACL} 以下に降下すると、GATEピンはプルアップされます。図13bでは、重大な不具合が起きると、SENSEピンは V_{FCL} を超え、GATEピンはアナログ電流アンプが制御するまで、GATEは即座に下に引っ張られます。TIMERピンが V_{TMRH} に達すると、GATEピンは“L”になり、ラッチオフします。

不具合ラッチのリセット

図14に示す様に、ラッチされた不具合は、UV/OVピンを V_{UVLO} 以下にするか、TIMERピンを V_{TMRL} 以下にするとリセットされます。UV/OVピンでリセットすると、最初のタイミン

グ・サイクルを開始します。TIMERピンでリセットすると、最初のタイミング・サイクルはスキップされます。

内部ソフトスタート

内部のソフトスタート機能は、最初のスタートアップの間、アナログ電流制限アンプの正の入力を立ち上げます。立ち上げ時間は、おおよそ $200\mu s$ です。この機能は、スタートアップ時の負荷電流の di/dt を減少させます。図15に示す様に、ソフトスタートは、TIMERピンが V_{TMRH} から V_{TMRL} に遷移した時、あるいはUV/OVピンがOV不具合の後、 V_{OVLO} スレッシュホールド以下に落ちた時に開始されます。ソフトスタート期間後、負荷電流は V_{ACL}/R_s で制限されます。

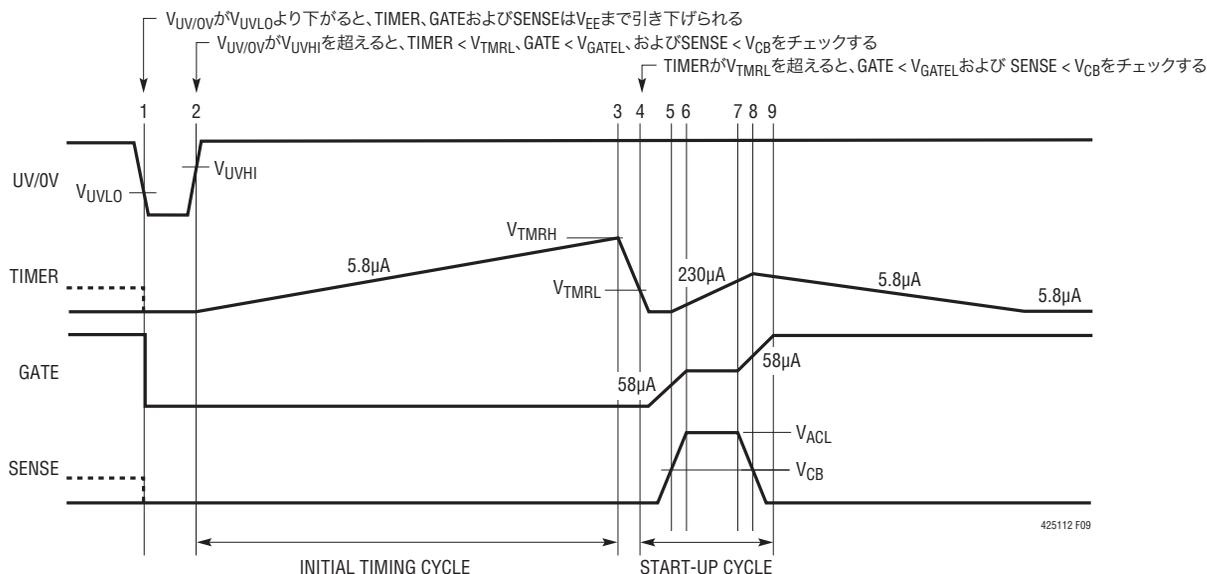


図9. 低電圧ロックアウトのタイミング(全ての波形は V_{EE} を基準)

アプリケーション情報

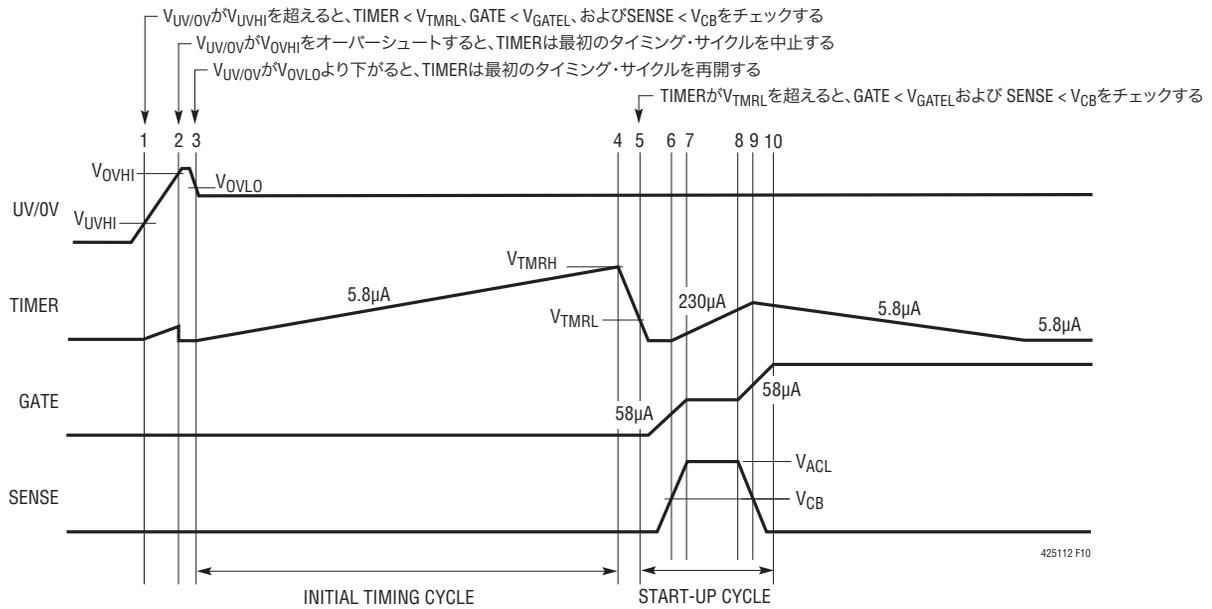


図10. 過電圧グリッチがある低電圧タイミング(全ての波形は V_{EE} を基準)

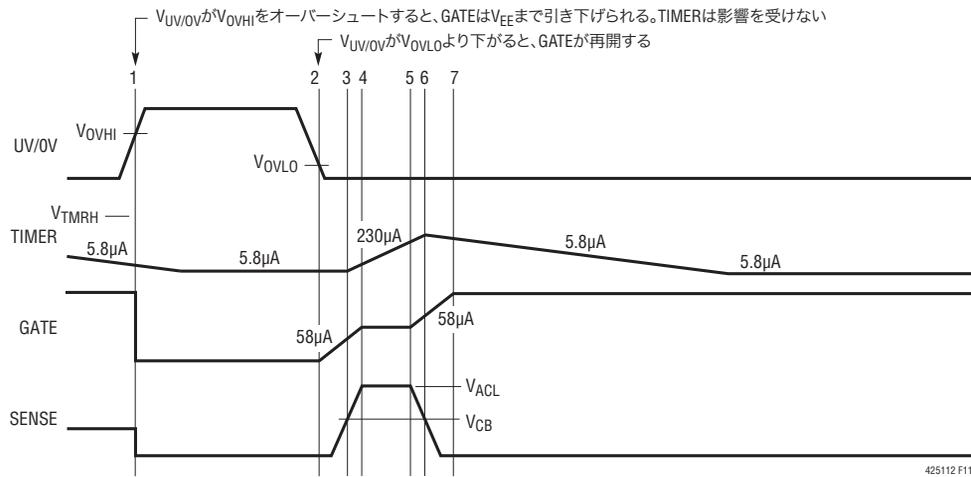
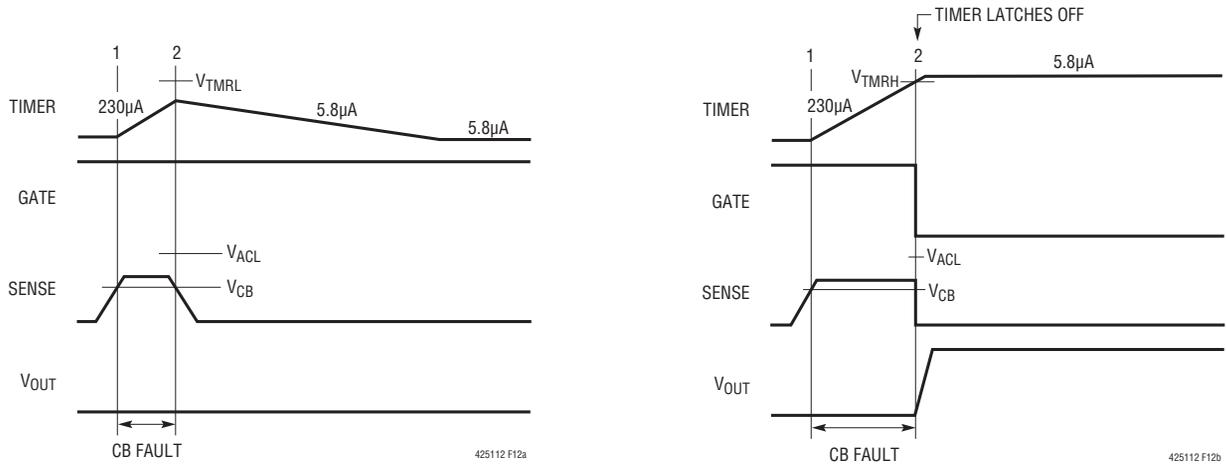


図11. 過電圧のタイミング(全ての波形は V_{EE} を基準)

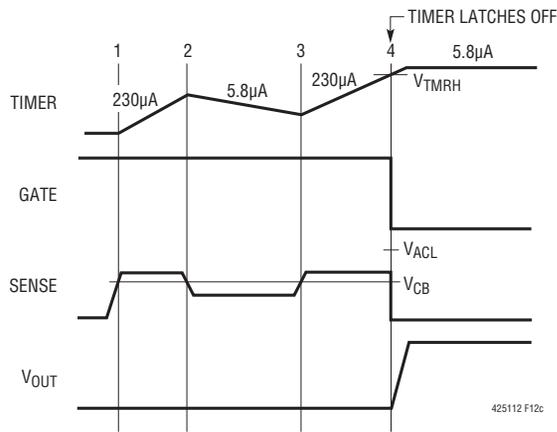
LTC4251/LTC4251-1/ LTC4251-2

アプリケーション情報



(12a) 短時間の回路ブレーカの不具合

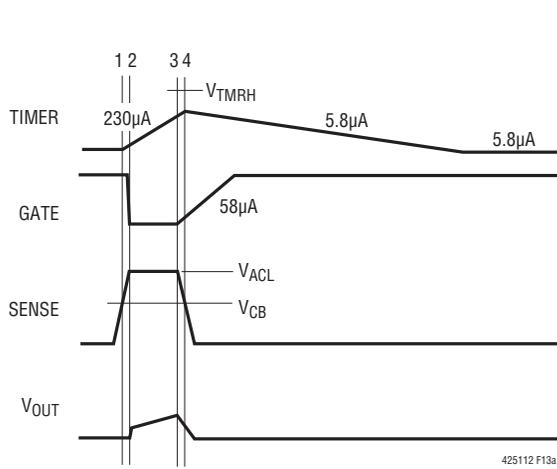
(12b) 回路ブレーカのタイムアウト



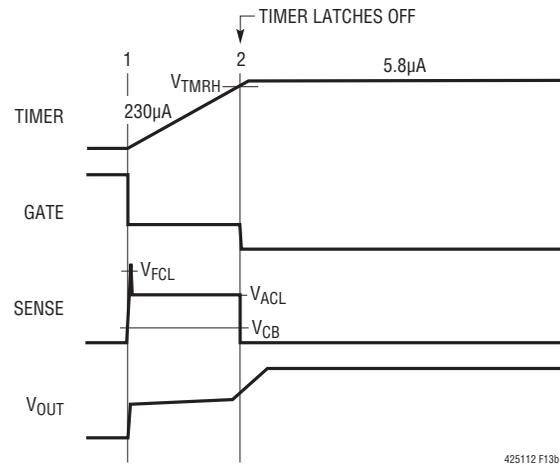
(12c) 複数の回路ブレーカの不具合

図12 タイマの動作 (全ての波形はV_{EE}を基準)

アプリケーション情報



(13a) アナログ電流制限の不具合



(13b) 高速電流制限の不具合

図13. 電流制限の動作(全ての波形はV_{EE}を基準)

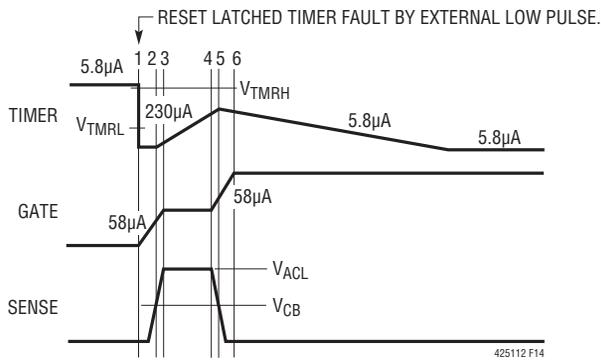


図14 ラッチされた不具合のリセットタイミング
(全ての波形はV_{EE}を基準)

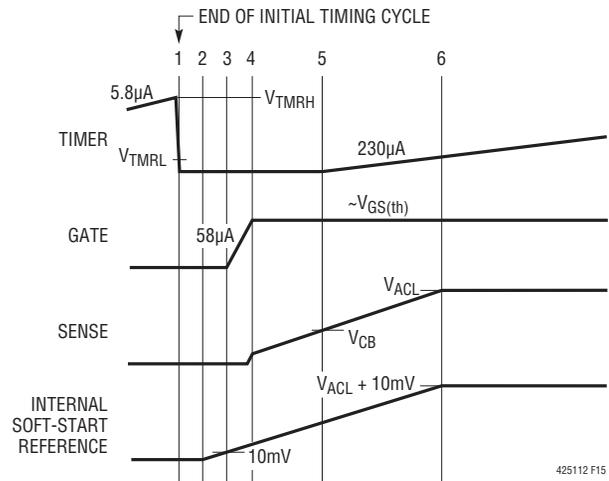


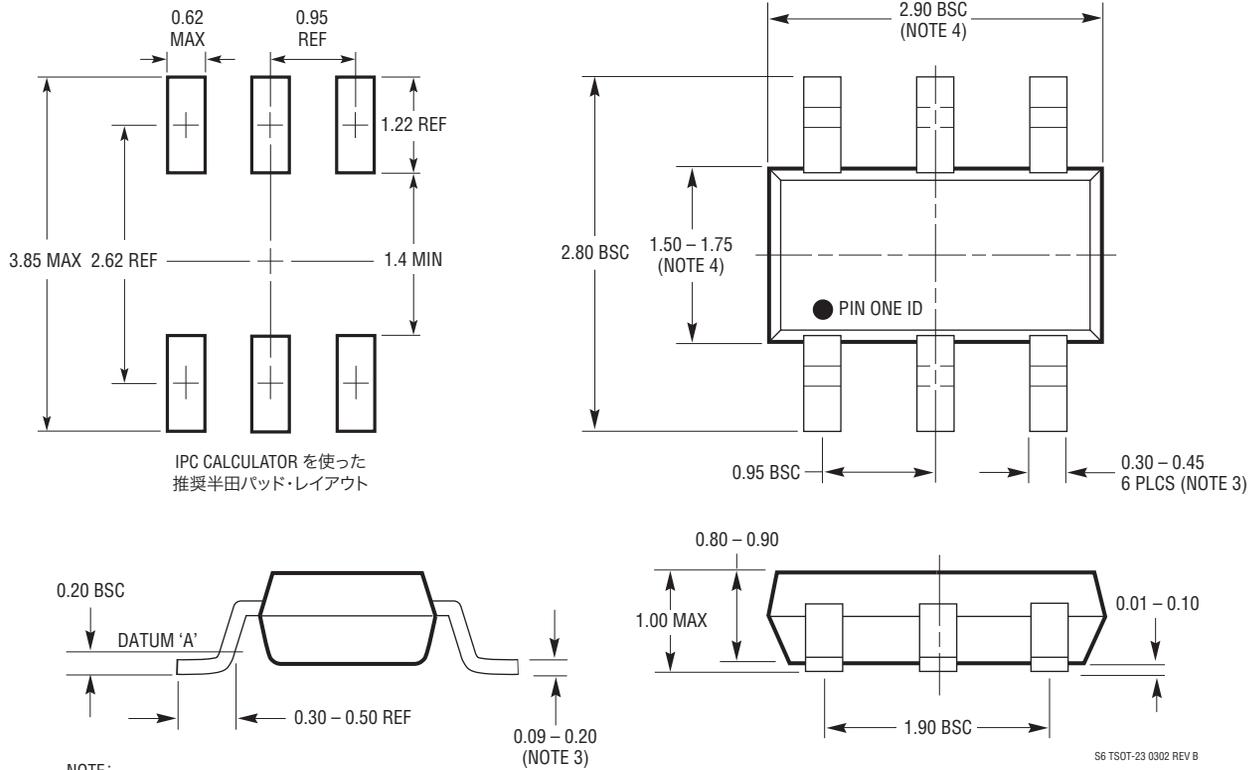
図15 内部ソフトスタートのタイミング
(全ての波形はV_{EE}を基準)

LTC4251/LTC4251-1/ LTC4251-2

パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> をご覧ください。

S6パッケージ
6ピン・プラスチックTSOT-23
 (Reference LTC DWG # 05-08-1636)



IPC CALCULATOR を使った
 推奨半田パッド・レイアウト

NOTE:

1. 寸法はミリメートル
2. 図は実寸とは異なる
3. 寸法には半田を含む
4. 寸法にはモールドのバリや金属のバリを含まない
5. モールドのバリは0.254mmを超えてはならない
6. JEDECパッケージ参照番号はMO-193

S6 TSOT-23 0302 REV B

改訂履歴 (改訂履歴はRev Bから開始)

REV	日付	概要	ページ番号
B	3/11	「標準的応用例」の図を改訂	1, 24
		「アプリケーション情報」の「シャント・レギュレータ」のセクションを差し替え	11
		「短絡時の動作」のセクションを改訂	13
C	3/12	新規設計には推奨しません	1

LTC4251/LTC4251-1/ LTC4251-2

標準的応用例

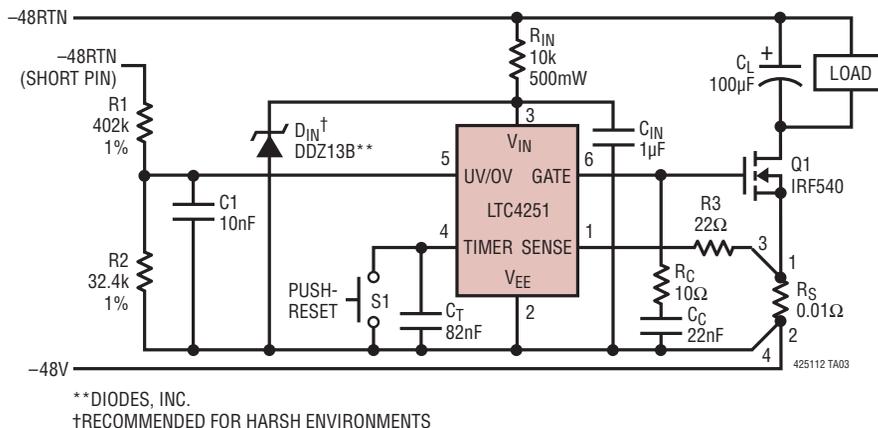


図16. 逆のSENSEピンの制限とTIMERピンにリセット・ボタンを付けた-48V/5Aのアプリケーション

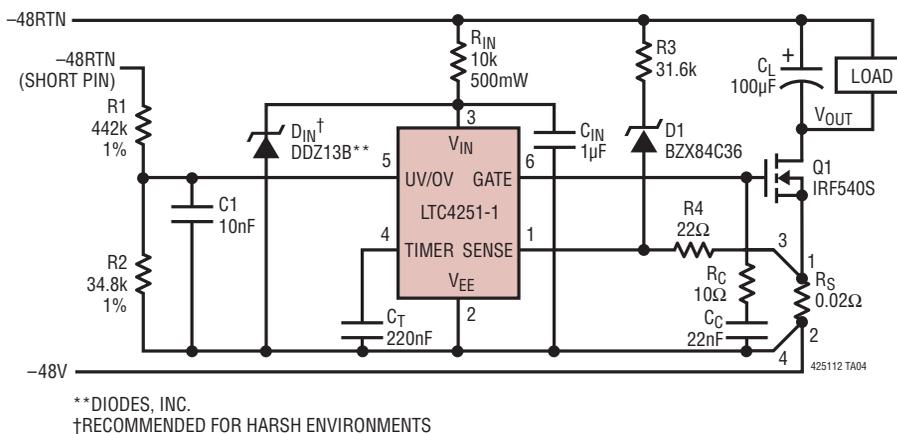


図17. 電力制限付き回路ブレーカのアプリケーション

関連製品

製品番号	説明	注釈
LT1640AH/LT1640AL	SO-8パッケージの負の高電圧ホットスワップ・コントローラ	負の高電圧電源、-10V~-80V
LT1641-1/LT1641-2	SO-8パッケージの正の高電圧ホットスワップ・コントローラ	9V~80Vで動作、自動リトライ/ラッチオフ
LTC1642	フォールト保護付きホットスワップ・コントローラ	3V~16.5Vで動作、33Vまでの過電圧保護
LTC1921	デュアル-48V電源およびヒューズ・モニタ	UVスレッシュホールド精度:±1V、OVスレッシュホールド精度:±1.5V、±200Vの過渡電圧に対する保護、状態表示のために3個のオプトアイソレータをドライブ
LT4250	SO-8パッケージの-48Vのホットスワップ・コントローラ	アクティブ電流制限、-18V~-80Vで動作
LTC4252-1/ LTC4252-2	MSOPパッケージの負電圧ホットスワップ・コントローラ	ドレイン電圧によって応答を加速する高速アクティブ電流制限、-15V電源
LTC4253	3出力のシーケンサ付き負電圧ホットスワップ・コントローラ	ドレイン電圧によって応答を加速する高速アクティブ電流制限、-15V電源

425112fc