

20V、500mA、超低ノイズ、 VIOC制御を備える超高PSRRリニア・レギュレータ

特長

- 超低RMSノイズ: $0.8\mu\text{V}_{\text{RMS}}$ (10Hz~100kHz)
- 超低スポット・ノイズ: $2\text{nV}/\sqrt{\text{Hz}}$ (10kHz時)
- 超高PSRR: 76dB (1MHz)
- 出力電流: 500mA
- 広い入力電圧範囲: 1.8V~20V
- 1個のコンデンサでノイズとPSRRを改善
- 100 μA のSETピン電流: 初期精度 $\pm 1\%$
- VIOCピンで上流のレギュレータを制御して、電力損失を最小限に抑える
- 1本の抵抗で出力電圧を設定
- プログラム可能な電流制限
- 低ドロップアウト電圧: 260mV
- 出力電圧範囲: 0V~15V
- プログラム可能なパワーグッド
- 高速起動機能
- 高精度のイネーブル/UVLO
- 低ノイズ化および大電流化のため並列接続可能
- フォールドバック特性の内部電流制限
- 出力コンデンサの最小値: 10 μF (セラミック)
- バッテリ逆接続保護および逆電流保護
- 12ピンMSOPおよび3mm \times 3mm DFNパッケージ

アプリケーション

- RF電源: PLL、VCO、ミキサ、LNA、PA
- 超低ノイズの計測装置
- 高速/高精度データ・コンバータ
- 医療用アプリケーション: 撮像、診断
- スイッチング電源のポスト・レギュレータ

説明

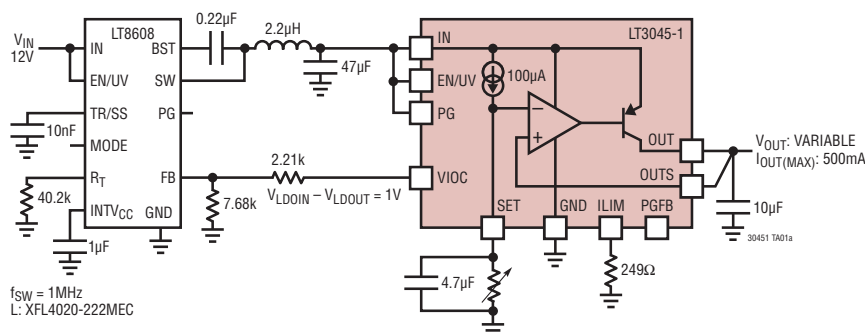
LT[®]3045-1は高性能の低ドロップアウト・リニア・レギュレータで、リニアテクノロジーの超低ノイズおよび超高PSRRアーキテクチャを特長としており、ノイズの影響を受けやすいアプリケーションの電力供給に対応します。後段に高性能の電圧バッファがある高精度の電流リファレンスとして設計されているので、LT3045-1は並列接続が容易であり、ノイズの低減、出力電流の増大、PCB上での熱放散を更に向上することができます。LT3045-1は、LT3045の一連の機能に加えて、上流のスイッチング・コンバータを制御してLT3045-1の両端で定電圧を維持するためのVIOCトラッキング機能を備えており、それによって電力損失を最小限に抑えます。

このデバイスは、標準で260mVのドロップアウト電圧のとき500mAを供給します。動作中の静止電流は公称2.3mAで、シャットダウン時は1 μA よりはるかに小さくなります。LT3045-1は出力電圧範囲が広い(0V~15V)上に単位利得動作を維持するので、設定出力電圧に関係なく、出力ノイズ、PSRR、帯域幅、負荷レギュレーションがほぼ一定になります。更に、このレギュレータは、プログラム可能な電流制限、高速起動機能、およびプログラム可能なパワーグッドによる出力電圧レギュレーションの表示といった特長も備えています。

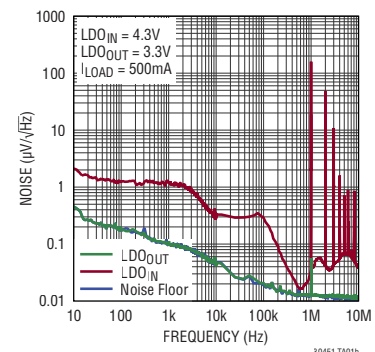
LT3045-1は最小10 μF のセラミック出力コンデンサで安定します。内蔵の保護回路には、逆バッテリー保護回路、逆電流保護回路、フォールドバック特性の内部電流制限回路、およびヒステリシスのある熱制限回路があります。LT3045-1は、熱特性が改善された12ピンMSOPパッケージおよび3mm \times 3mm DFNパッケージで供給されます。

LT、LT、LTC、LTM、Linear Technology、およびLinearのロゴは、アナログ・デバイセズ社の登録商標です。特許出願中。その他全ての商標は該当各社の財産です。

標準的応用例



ノイズ・スペクトル密度

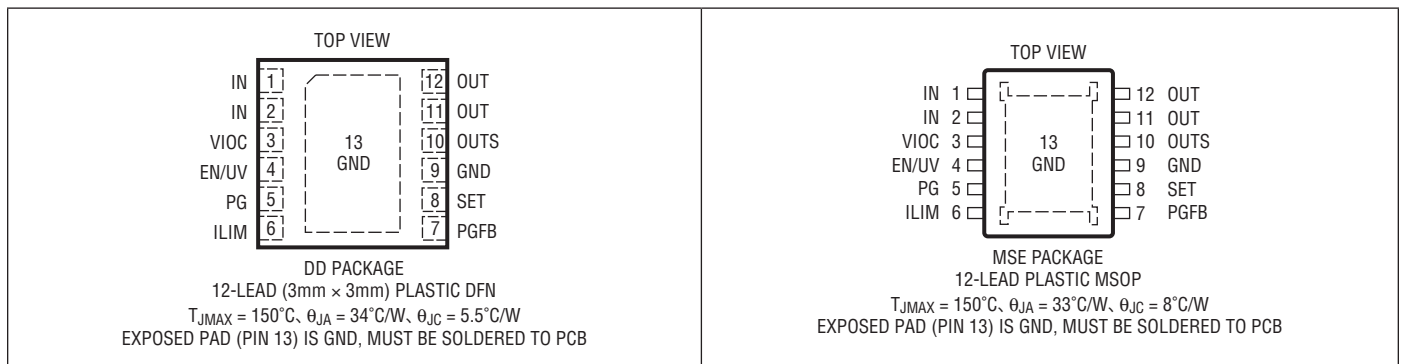


LT3045-1

絶対最大定格 (Note 1)

INピンの電圧.....	±22V	OUTピンの電圧 (Note 10)	-0.3V、16V
VIOCピンの電圧 (Note 10)	-0.3V、4V	OUT-OUTS間の電圧差 (Note 14)	±1.2V
EN/UVピンの電圧.....	±22V	IN-OUT間の電圧差.....	±22V
IN-EN/UV間の電圧差	±22V	IN-OUTS間の電圧差	±22V
PGピンの電圧 (Note 10)	-0.3V、22V	出力短絡時間.....	無期限
ILIMピンの電圧 (Note 10)	-0.3V、1V	動作接合部温度範囲 (Note 9)	
PGFBピンの電圧 (Note 10)	-0.3V、22V	Eグレード、Iグレード	-40°C ~ 125°C
SETピンの電圧 (Note 10).....	-0.3V、16V	保存温度範囲.....	-65°C ~ 150°C
SETピンの電流 (Note 7).....	±20mA	リード温度 (半田付け、10秒)	
OUTSピンの電圧 (Note 10).....	-0.3V、16V	MSEパッケージ	300°C
OUTSピンの電流 (Note 7).....	±20mA		

ピン配置



発注情報 <http://www.linear-tech.co.jp/product/LT3045-1#orderinfo>

無鉛仕上げ	テープ・アンド・リール	製品マーキング*	パッケージ	温度範囲
LT3045EDD-1#PBF	LT3045EDD-1#TRPBF	LHBR	12 Lead (3mm×3mm) Plastic DFN	-40°C to 125°C
LT3045IDD-1#PBF	LT3045IDD-1#TRPBF	LHBR	12 Lead (3mm×3mm) Plastic DFN	-40°C to 125°C
LT3045EMSE-1#PBF	LT3045EMSE-1#TRPBF	30451	12-Lead Plastic MSOP	-40°C to 125°C
LT3045IMSE-1#PBF	LT3045IMSE-1#TRPBF	30451	12-Lead Plastic MSOP	-40°C to 125°C

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープ・アンド・リールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

一部のパッケージは、#TRMPBF接尾部を付けることにより、指定の販売経路を通じて500個入りのリールで供給可能です。

LT3045のオプション

製品番号	VIOC機能
LT3045-1	あり
LT3045	なし

電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Input Voltage Range		●	2		20	V
Minimum IN Pin Voltage (Note 2)	$I_{LOAD} = 500\text{mA}$, V_{IN} UVLO Rising V_{IN} UVLO Hysteresis	●		1.78 75	2	V mV
Output Voltage Range	$V_{IN} > V_{OUT}$	●	0		15	V
SET Pin Current (I_{SET})	$V_{IN} = 2\text{V}$, $I_{LOAD} = 1\text{mA}$, $V_{OUT} = 1.3\text{V}$ $2\text{V} < V_{IN} < 20\text{V}$, $0\text{V} < V_{OUT} < 15\text{V}$, $1\text{mA} < I_{LOAD} < 500\text{mA}$ (Note 3)	●	99 98	100 100	101 102	μA μA
Fast Start-Up Set Pin Current	$V_{PGFB} = 289\text{mV}$, $V_{IN} = 2.8\text{V}$, $V_{SET} = 1.3\text{V}$			2		mA
Output Offset Voltage V_{OS} ($V_{OUT} - V_{SET}$) (Note 4)	$V_{IN} = 2\text{V}$, $I_{LOAD} = 1\text{mA}$, $V_{OUT} = 1.3\text{V}$ $2\text{V} < V_{IN} < 20\text{V}$, $0\text{V} < V_{OUT} < 15\text{V}$, $1\text{mA} < I_{LOAD} < 500\text{mA}$ (Note 3)	●	-1 -2		1 2	mV mV
Line Regulation: ΔI_{SET}	$V_{IN} = 2\text{V}$ to 20V , $I_{LOAD} = 1\text{mA}$, $V_{OUT} = 1.3\text{V}$	●		0.5	± 2	nA/V
Line Regulation: ΔV_{OS}	$V_{IN} = 2\text{V}$ to 20V , $I_{LOAD} = 1\text{mA}$, $V_{OUT} = 1.3\text{V}$ (Note 4)	●		0.5	± 3	$\mu\text{V}/\text{V}$
Load Regulation: ΔI_{SET}	$I_{LOAD} = 1\text{mA}$ to 500mA , $V_{IN} = 2\text{V}$, $V_{OUT} = 1.3\text{V}$	●		3		nA
Load Regulation: ΔV_{OS}	$I_{LOAD} = 1\text{mA}$ to 500mA , $V_{IN} = 2\text{V}$, $V_{OUT} = 1.3\text{V}$ (Note 4)	●		0.1	0.5	mV
Change in I_{SET} with V_{SET}	$V_{SET} = 1.3\text{V}$ to 15V , $V_{IN} = 20\text{V}$, $I_{LOAD} = 1\text{mA}$	●		30	400	nA
Change in V_{OS} with V_{SET}	$V_{SET} = 1.3\text{V}$ to 15V , $V_{IN} = 20\text{V}$, $I_{LOAD} = 1\text{mA}$ (Note 4)	●		0.03	0.6	mV
Change in I_{SET} with V_{SET}	$V_{SET} = 0\text{V}$ to 1.3V , $V_{IN} = 20\text{V}$, $I_{LOAD} = 1\text{mA}$	●		150	600	nA
Change in V_{OS} with V_{SET}	$V_{SET} = 0\text{V}$ to 1.3V , $V_{IN} = 20\text{V}$, $I_{LOAD} = 1\text{mA}$ (Note 4)	●		0.3	2	mV
Dropout Voltage	$I_{LOAD} = 1\text{mA}$, 50mA	●		220	275 330	mV mV
	$I_{LOAD} = 300\text{mA}$ (Note 5)	●		220	280 350	mV mV
	$I_{LOAD} = 500\text{mA}$ (Note 5)	●		260	350 450	mV mV
GND Pin Current $V_{IN} = V_{OUT(NOMINAL)}$ (Note 6)	$I_{LOAD} = 10\mu\text{A}$	●		2.2		mA
	$I_{LOAD} = 1\text{mA}$	●		2.4	4	mA
	$I_{LOAD} = 50\text{mA}$	●		3.5	5.5	mA
	$I_{LOAD} = 100\text{mA}$	●		4.3	7	mA
	$I_{LOAD} = 500\text{mA}$	●		15	25	mA
Output Noise Spectral Density (Notes 4, 8)	$I_{LOAD} = 500\text{mA}$, Frequency = 10Hz , $C_{OUT} = 10\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$, $V_{OUT} = 3.3\text{V}$			500		$\text{nV}/\sqrt{\text{Hz}}$
	$I_{LOAD} = 500\text{mA}$, Frequency = 10Hz , $C_{OUT} = 10\mu\text{F}$, $C_{SET} = 4.7\mu\text{F}$, $1.3\text{V} \leq V_{OUT} \leq 15\text{V}$			70		$\text{nV}/\sqrt{\text{Hz}}$
	$I_{LOAD} = 500\text{mA}$, Frequency = 10kHz , $C_{OUT} = 10\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$, $1.3\text{V} \leq V_{OUT} \leq 15\text{V}$			2		$\text{nV}/\sqrt{\text{Hz}}$
	$I_{LOAD} = 500\text{mA}$, Frequency = 10kHz , $C_{OUT} = 10\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$, $0\text{V} \leq V_{OUT} < 1.3\text{V}$			5		$\text{nV}/\sqrt{\text{Hz}}$
Output RMS Noise (Notes 4, 8)	$I_{LOAD} = 500\text{mA}$, BW = 10Hz to 100kHz , $C_{OUT} = 10\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$, $V_{OUT} = 3.3\text{V}$			2.5		μV_{RMS}
	$I_{LOAD} = 500\text{mA}$, BW = 10Hz to 100kHz , $C_{OUT} = 10\mu\text{F}$, $C_{SET} = 4.7\mu\text{F}$, $1.3\text{V} \leq V_{OUT} \leq 15\text{V}$			0.8		μV_{RMS}
	$I_{LOAD} = 500\text{mA}$, BW = 10Hz to 100kHz , $C_{OUT} = 10\mu\text{F}$, $C_{SET} = 4.7\mu\text{F}$, $0\text{V} \leq V_{OUT} < 1.3\text{V}$			1.8		μV_{RMS}
Reference Current RMS Output Noise (Notes 4, 8)	BW = 10Hz to 100kHz			6		nA_{RMS}
Ripple Rejection $1.3\text{V} \leq V_{OUT} \leq 15\text{V}$ $V_{IN} - V_{OUT} = 2\text{V}$ (Avg) (Notes 4, 8)	$V_{RIPPLE} = 500\text{mV}_{P-P}$, $f_{RIPPLE} = 120\text{Hz}$, $I_{LOAD} = 500\text{mA}$, $C_{OUT} = 10\mu\text{F}$, $C_{SET} = 4.7\mu\text{F}$			117		dB
	$V_{RIPPLE} = 150\text{mV}_{P-P}$, $f_{RIPPLE} = 10\text{kHz}$, $I_{LOAD} = 500\text{mA}$, $C_{OUT} = 10\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$			90		dB
	$V_{RIPPLE} = 150\text{mV}_{P-P}$, $f_{RIPPLE} = 100\text{kHz}$, $I_{LOAD} = 500\text{mA}$, $C_{OUT} = 10\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$			77		dB
	$V_{RIPPLE} = 150\text{mV}_{P-P}$, $f_{RIPPLE} = 1\text{MHz}$, $I_{LOAD} = 500\text{mA}$, $C_{OUT} = 10\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$			76		dB
	$V_{RIPPLE} = 80\text{mV}_{P-P}$, $f_{RIPPLE} = 10\text{MHz}$, $I_{LOAD} = 500\text{mA}$, $C_{OUT} = 10\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$			53		dB
Ripple Rejection $0\text{V} \leq V_{OUT} < 1.3\text{V}$ $V_{IN} - V_{OUT} = 2\text{V}$ (Avg) (Notes 4, 8)	$V_{RIPPLE} = 500\text{mV}_{P-P}$, $f_{RIPPLE} = 120\text{Hz}$, $I_{LOAD} = 500\text{mA}$, $C_{OUT} = 10\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$			104		dB
	$V_{RIPPLE} = 50\text{mV}_{P-P}$, $f_{RIPPLE} = 10\text{kHz}$, $I_{LOAD} = 500\text{mA}$, $C_{OUT} = 10\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$			85		dB
	$V_{RIPPLE} = 50\text{mV}_{P-P}$, $f_{RIPPLE} = 100\text{kHz}$, $I_{LOAD} = 500\text{mA}$, $C_{OUT} = 10\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$			72		dB
	$V_{RIPPLE} = 50\text{mV}_{P-P}$, $f_{RIPPLE} = 1\text{MHz}$, $I_{LOAD} = 500\text{mA}$, $C_{OUT} = 10\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$			64		dB
	$V_{RIPPLE} = 50\text{mV}_{P-P}$, $f_{RIPPLE} = 10\text{MHz}$, $I_{LOAD} = 500\text{mA}$, $C_{OUT} = 10\mu\text{F}$, $C_{SET} = 0.47\mu\text{F}$			54		dB
EN/UV Pin Threshold	EN/UV Trip Point Rising (Turn-On), $V_{IN} = 2\text{V}$	●	1.18	1.24	1.32	V
EN/UV Pin Hysteresis	EN/UV Trip Point Hysteresis, $V_{IN} = 2\text{V}$			130		mV

電気的特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
EN/UV Pin Current	$V_{EN/UV} = 0\text{V}, V_{IN} = 20\text{V}$	●			± 1	μA
	$V_{EN/UV} = 1.24\text{V}, V_{IN} = 20\text{V}$			0.03		μA
	$V_{EN/UV} = 20\text{V}, V_{IN} = 0\text{V}$	●		8	15	μA
Quiescent Current in Shutdown ($V_{EN/UV} = 0\text{V}$)	$V_{IN} = 6\text{V}$	●		0.3	1	μA
Internal Current Limit (Note 12)	$V_{IN} = 2\text{V}, V_{OUT} = 0\text{V}$	●	570	710	850	mA
	$V_{IN} = 12\text{V}, V_{OUT} = 0\text{V}$			700		mA
	$V_{IN} = 20\text{V}, V_{OUT} = 0\text{V}$	●	230	330	430	mA
Programmable Current Limit	Programming Scale Factor: $2\text{V} < V_{IN} < 20\text{V}$ (Note 11)			150		$\text{mA} \cdot \text{k}\Omega$
	$V_{IN} = 2\text{V}, V_{OUT} = 0\text{V}, R_{ILIM} = 300\Omega$	●	450	500	550	mA
	$V_{IN} = 2\text{V}, V_{OUT} = 0\text{V}, R_{ILIM} = 1.5\text{k}\Omega$	●	90	100	110	mA
PGFB Trip Point	PGFB Trip Point Rising	●	291	300	309	mV
PGFB Hysteresis	PGFB Trip Point Hysteresis			7		mV
PGFB Pin Current	$V_{IN} = 2\text{V}, V_{PGFB} = 300\text{mV}$			25		nA
PG Output Low Voltage	$I_{PG} = 100\mu\text{A}$	●		30	100	mV
PG Leakage Current	$V_{PG} = 20\text{V}$	●			1	μA
Reverse Input Current	$V_{IN} = -20\text{V}, V_{EN/UV} = 0\text{V}, V_{OUT} = 0\text{V}, V_{SET} = 0\text{V}$	●			100	μA
Reverse Output Current	$V_{IN} = 0, V_{OUT} = 5\text{V}, \text{SET} = \text{Open}$			14	25	μA
Minimum Load Required (Note 13)	$V_{OUT} < 1\text{V}$	●	10			μA
Thermal Shutdown	T_J Rising			165		$^\circ\text{C}$
	Hysteresis			8		$^\circ\text{C}$
Start-Up Time	$V_{OUT(\text{NOM})} = 5\text{V}, I_{\text{LOAD}} = 500\text{mA}, C_{\text{SET}} = 0.47\mu\text{F}, V_{IN} = 6\text{V}, V_{PGFB} = 6\text{V}$			55		ms
	$V_{OUT(\text{NOM})} = 5\text{V}, I_{\text{LOAD}} = 500\text{mA}, C_{\text{SET}} = 4.7\mu\text{F}, V_{IN} = 6\text{V}, V_{PGFB} = 6\text{V}$			550		ms
	$V_{OUT(\text{NOM})} = 5\text{V}, I_{\text{LOAD}} = 500\text{mA}, C_{\text{SET}} = 4.7\mu\text{F}, V_{IN} = 6\text{V}, R_{PG1} = 50\text{k}\Omega,$			10		ms
	$R_{PG2} = 700\text{k}\Omega$ (with Fast Start-Up to 90% of V_{OUT})					
Thermal Regulation	10ms Pulse			-0.01		$\%/W$
Input-to-Output Differential Voltage Control (VIOC) (Note 15)	VIOC Amplifier Gain			1		V/V
	VIOC Pin Voltage Range: $V_{OUT} > V_{VIOC} + 0.5\text{V}$	●	1		4	V
	VIOC Pin Voltage: $V_{OUT} \leq 1.5\text{V}, V_{IN} = 2.5\text{V}$			1		V
	VIOC Pin Source Current	●	200			μA
	VIOC Pin Sink Current: $V_{IN} \geq 2.5\text{V}$	●			15	μA

Note 1: 「絶対最大定格」のセクションに記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2: デバイスを確実に動作させるには、EN/UVピンのしきい値規格を満たす必要がある。

Note 3: 最大接合部温度は動作条件を制限する。特に内部の電流制限フォールドバックにより、 $V_{OUT} - V_{IN} \geq 12\text{V}$ の場合に電流制限値が減少するため、入力電圧と出力電流の可能な全ての組み合わせに対して安定化出力電圧規格が適用されるわけではない。最大出力電流で動作している場合は、入力電圧範囲を制限する。最大入力電圧で動作している場合は、出力電流範囲を制限する。

Note 4: OUTSはOUTに直接接続する。

Note 5: ドロップアウト電圧とは、規定の出力電流でレギュレーションを維持するのに必要な入出力間の最小電圧差のことである。ドロップアウト電圧は出力がレギュレーションから1%外れたときに測定される。この定義では、($V_{IN} = V_{OUT(\text{NOMINAL})}$)のときに測定されるハード・ドロップアウトと比較してドロップアウト電圧が高くなる。出力電圧が低い(1.5V未満)場合、ドロップアウト電圧は最小入力電圧規格によって制限される。標準的なアプリケーション回路で測定した、出力負荷電流および温度の関数としてのドロップアウト電圧の曲線については、「標準的性能特性」を参照。

電気的特性

Note 6: GNDピン電流は $V_{IN} = V_{OUT(NOMINAL)}$ および電流源負荷でテストされる。したがって、デバイスはドロップアウト電圧の条件で動作しているときにテストされる。これはワーストケースのGNDピン電流である。入力電圧が高くなると、GNDピン電流は減少する。GNDピン電流にはSETピン電流およびILIMピン電流が含まれないが、静止電流には含まれることに注意。

Note 7: SETピンとOUTSピンはダイオードと2本の25Ω直列抵抗を使用してクランプされる。5ms未満のトランジェントでは、このクランプ回路が定格を超える電流を流すことができる。詳細については「アプリケーション情報」を参照。

Note 8: SETピンの抵抗と並列にコンデンサを追加すると、出力電圧ノイズは減少する。このコンデンサを追加すると、SETピンの抵抗の熱ノイズおよびリファレンス電流のノイズがバイパスされる。こうすると、出力ノイズはエラーアンプのノイズと等しくなる。SETピンにバイパス・コンデンサを使用すると、起動時間も増加する。

Note 9: LT3045-1は T_J が T_A にほぼ等しくなるようなパルス負荷条件でテストされ、規定されている。LT3045-1Eは25°Cで全数テストされ、0°C～125°Cの範囲で性能が保証されている。-40°C～125°Cの動作温度範囲での仕様は設計、特性評価および統計学的なプロセス・コントロールとの相関で保証されている。LT3045-1Iは-40°C～125°Cの全動作接合部温度範囲で動作することが保証されている。接合部温度が高いと、動作寿命は短くなる。125°Cを超える接合部温度では動作寿命がディレーティングされる。

Note 10: VIOC、ILIM、PG、PGFB、SET、OUTS、およびOUTピンとGNDピンとの間には、内部に寄生ダイオードが存在する。フォルト状態時には、これらのピンをGNDピンの電圧より0.3Vを超えて低い電圧に駆動してはならない。通常動作時は、これらのピンの電圧を、GNDより高い電圧に留める必要がある。

Note 11: 電流制限の設定スケール係数は、内部バックアップ電流制限がアクティブではない場合に規定される。 $V_{IN} - V_{OUT}$ の電圧差が12Vを超える場合、内部電流制限にはフォールドバック保護が存在することに注意すること。

Note 12: 内部のバックアップ電流制限回路には、 $V_{IN} - V_{OUT} > 12V$ の場合に電流が減少するフォールドバック保護回路が組み込まれている。 $V_{IN} - V_{OUT}$ の全ての差動電圧で一定レベルの出力電流が供給される。電流制限と $V_{IN} - V_{OUT}$ の関係については、「標準的性能特性」のグラフを参照。

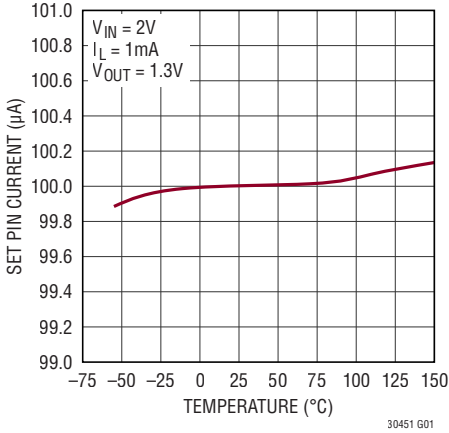
Note 13: 出力電圧が1V未満の場合、LT3045-1は安定性確保のため10μAの最小負荷電流が必要。

Note 14: OUT-OUTS間の最大電圧差は設計によって保証される。

Note 15: VIOCバッファは、 $V_{IN} - V_{OUT}$ または $V_{IN} - 1.5V$ ($V_{OUT} \leq 1.5V$ の場合)に等しい電圧を出力する。詳細については、「ブロック図」と「アプリケーション情報」のセクションを参照。VIOCピンのソース電流は、10μA～200μAの範囲で設定する必要がある。

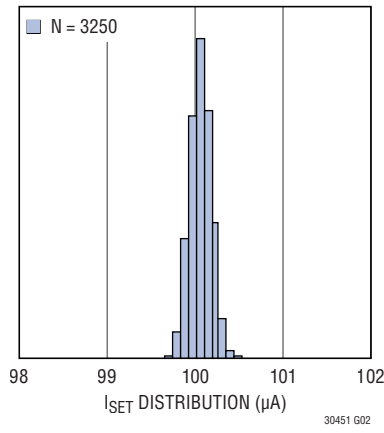
標準的性能特性 注記がない限り、 $T_J = 25^\circ\text{C}$ 。

SETピンの電流



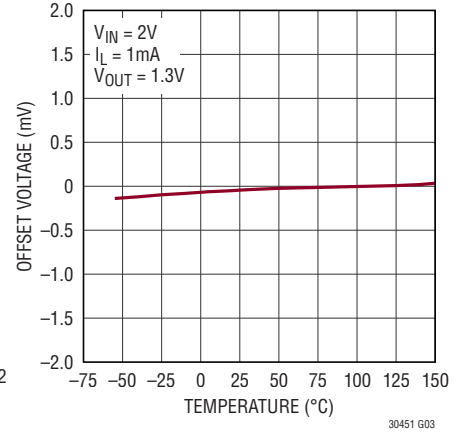
30451 G01

SETピンの電流



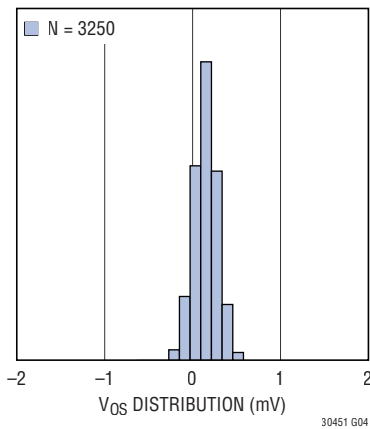
30451 G02

オフセット電圧 ($V_{OUT} - V_{SET}$)



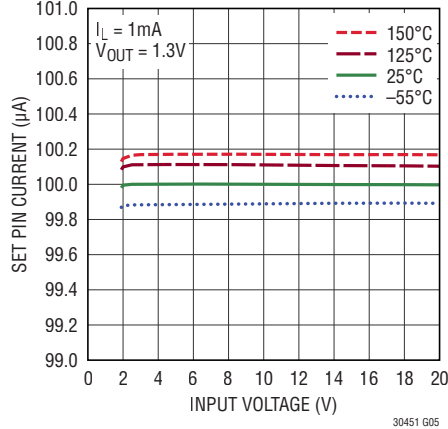
30451 G03

オフセット電圧



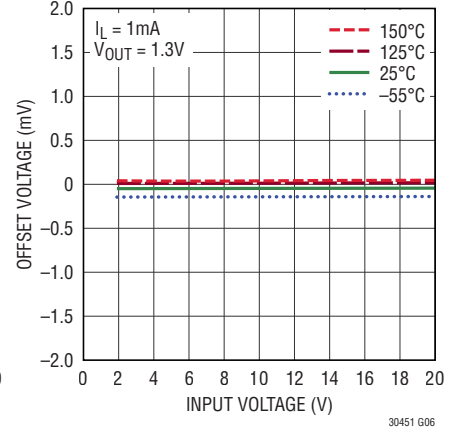
30451 G04

SETピンの電流



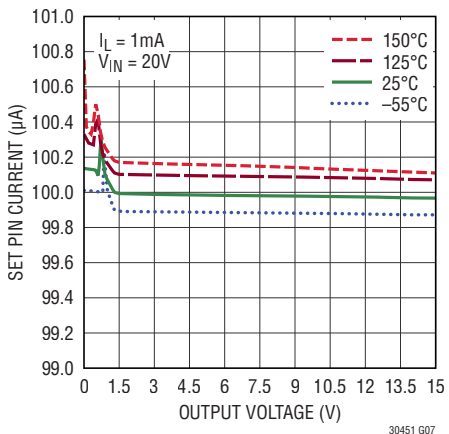
30451 G05

オフセット電圧 ($V_{OUT} - V_{SET}$)



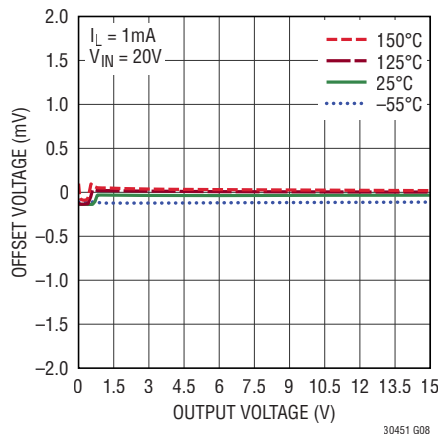
30451 G06

SETピンの電流



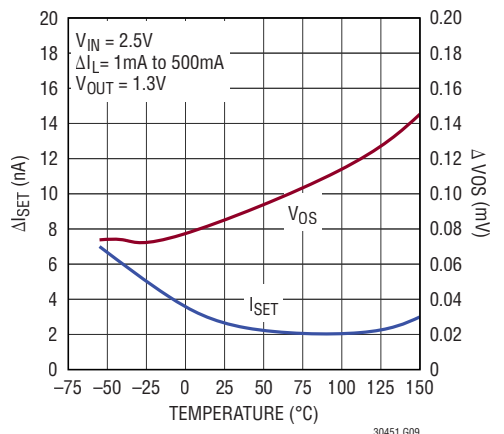
30451 G07

オフセット電圧 ($V_{OUT} - V_{SET}$)



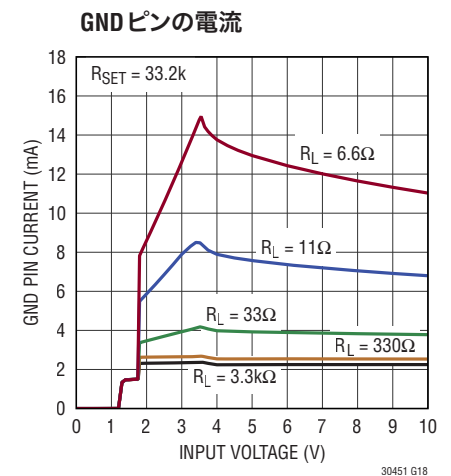
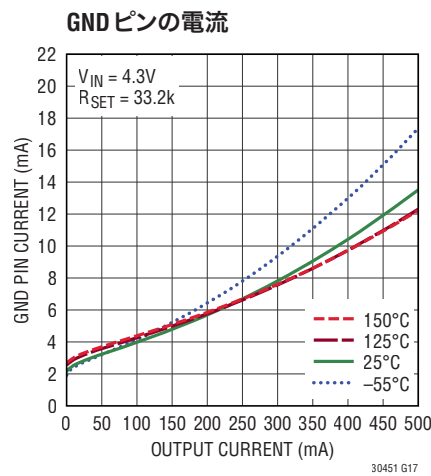
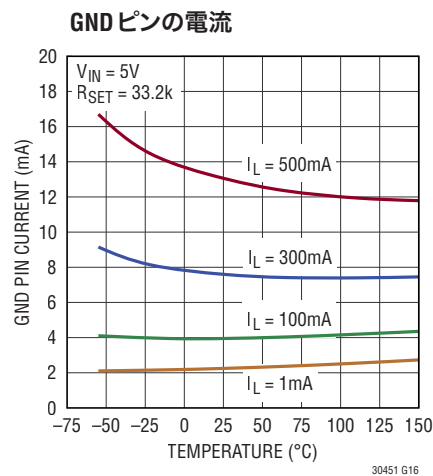
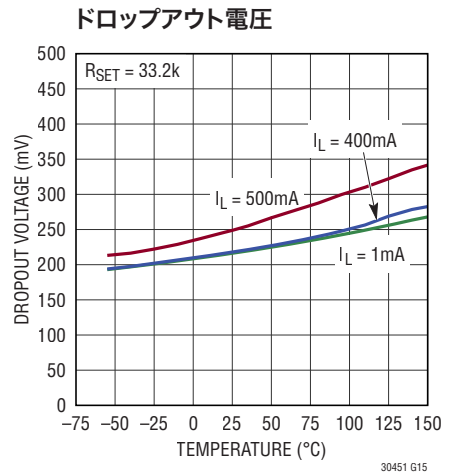
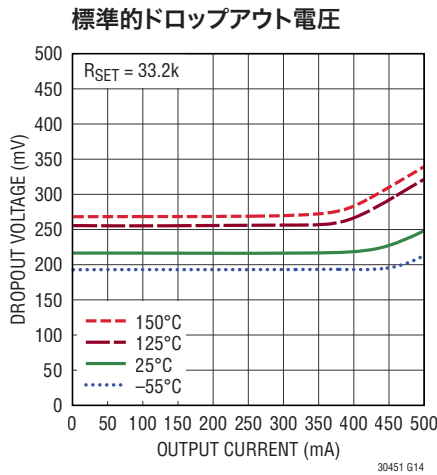
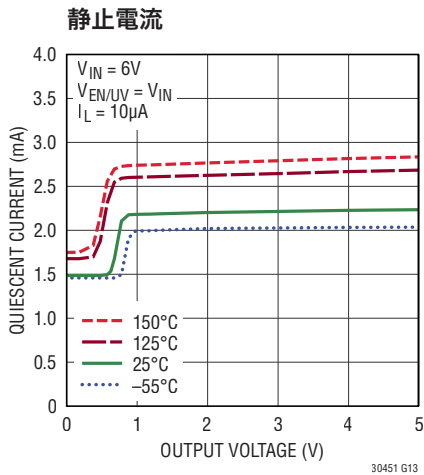
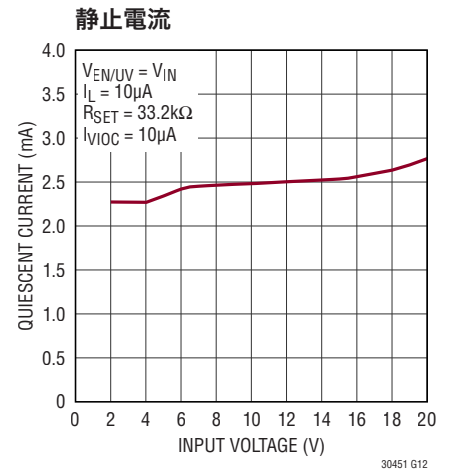
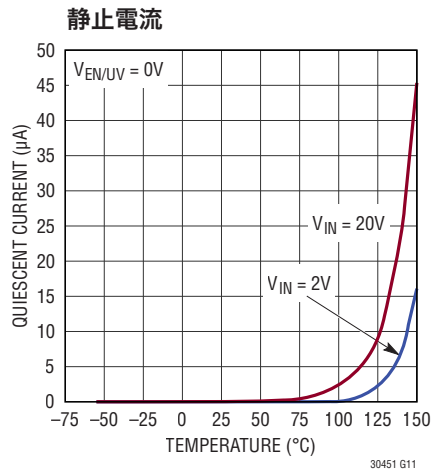
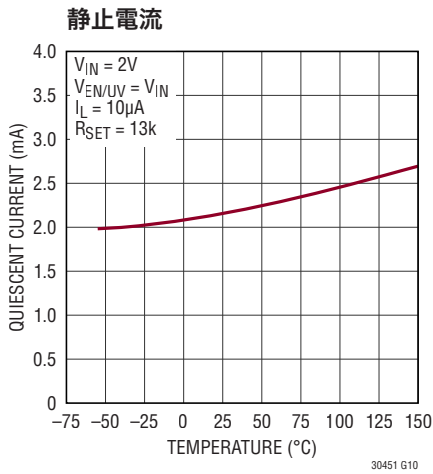
30451 G08

負荷レギュレーション



30451 G09

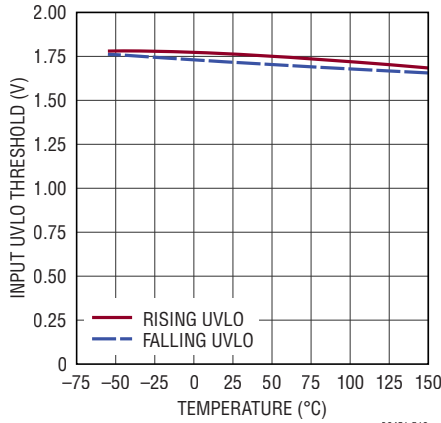
標準的性能特性 注記がない限り、 $T_J = 25^\circ\text{C}$ 。



LT3045-1

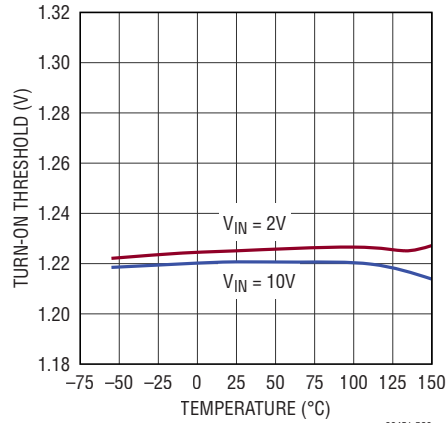
標準的性能特性 注記がない限り、 $T_J = 25^\circ\text{C}$ 。

最小入力電圧



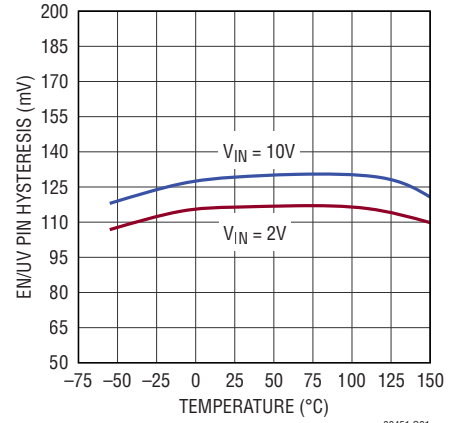
30451 G19

EN/UVのオンしきい値



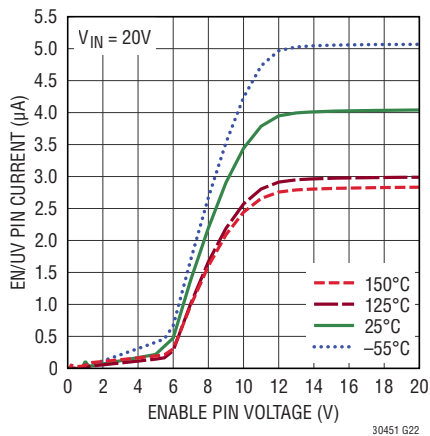
30451 G20

EN/UVピンのヒステリシス



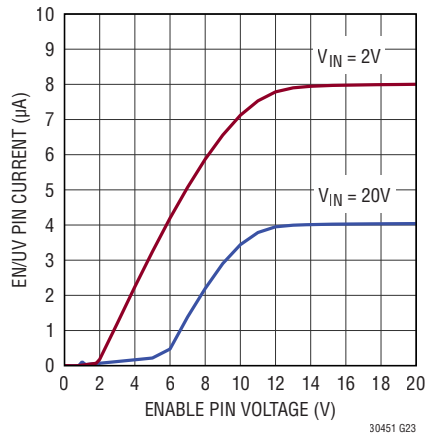
30451 G21

EN/UVピンの電流



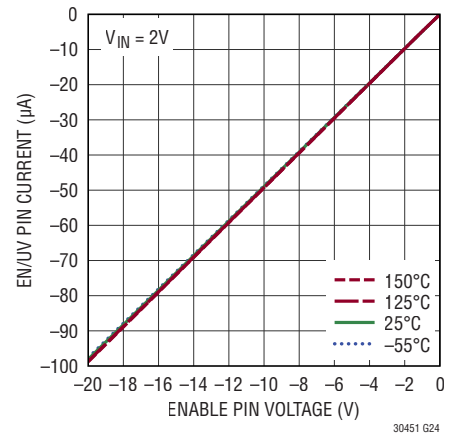
30451 G22

EN/UVピンの電流



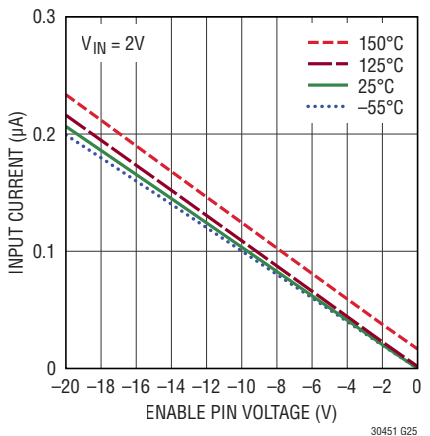
30451 G23

イネーブル・ピンの負電流



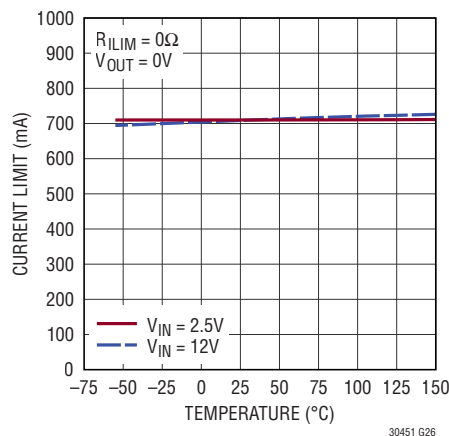
30451 G24

入力ピンの電流



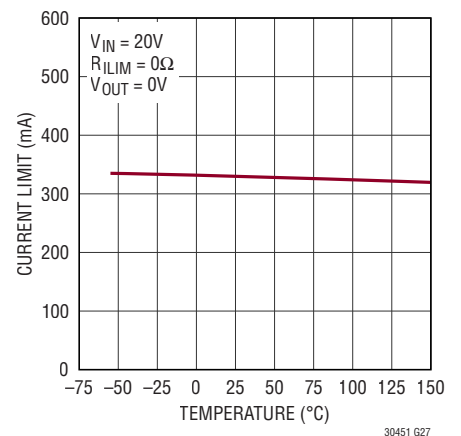
30451 G25

内部電流制限



30451 G26

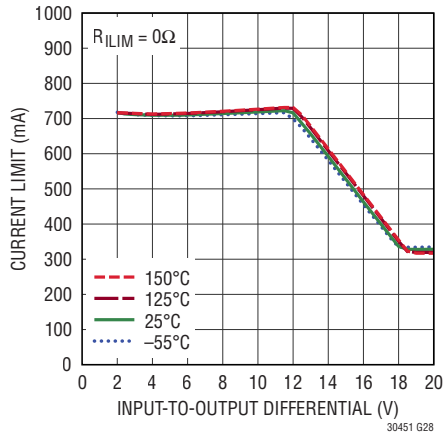
内部電流制限



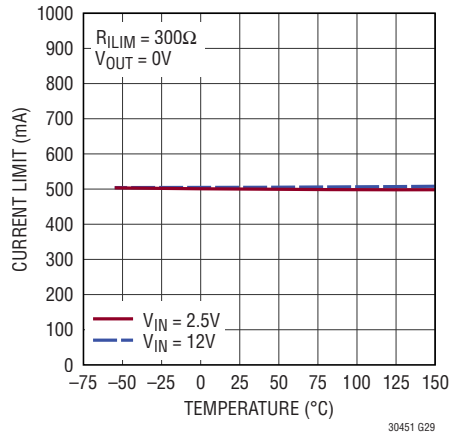
30451 G27

標準的性能特性 注記がない限り、 $T_J = 25^\circ\text{C}$ 。

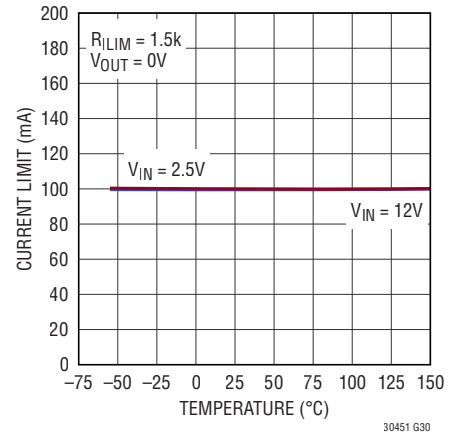
内部電流制限



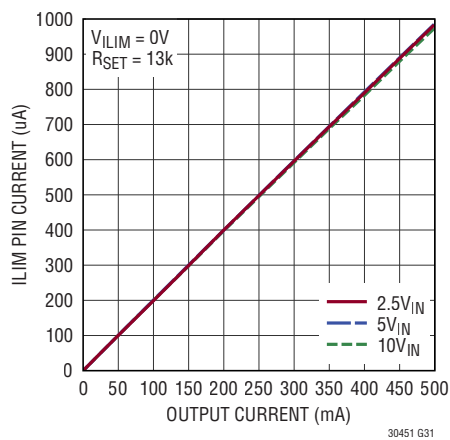
プログラム可能な電流制限



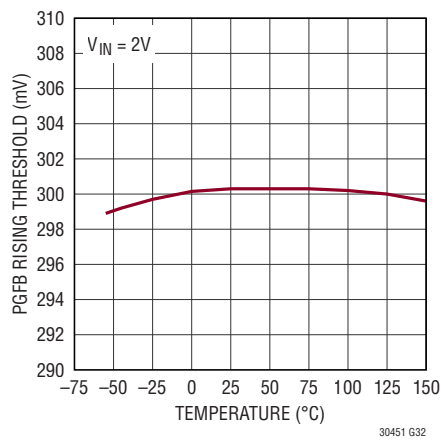
プログラム可能な電流制限



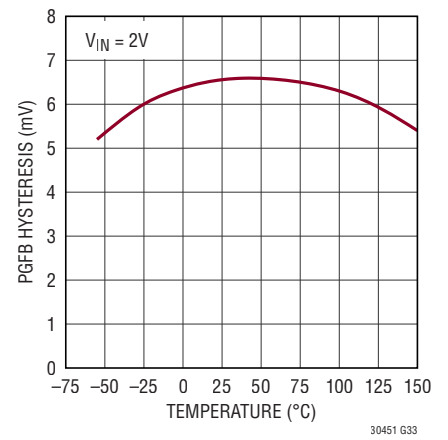
ILIMピンの電流



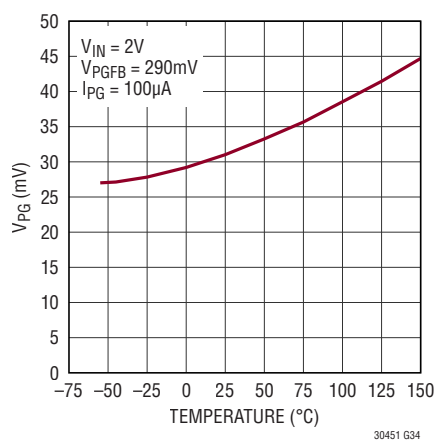
PGFBの上昇しきい値



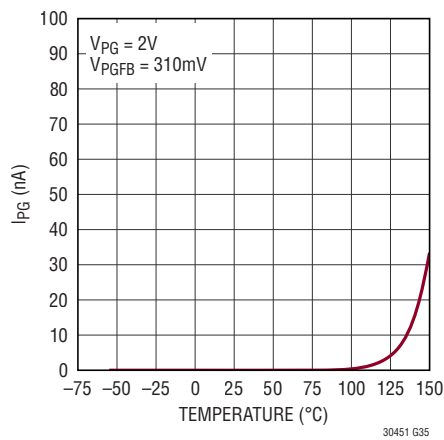
PGFBのヒステリシス



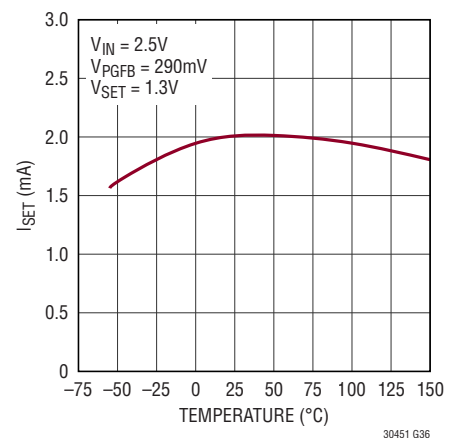
PG出力の“L”電圧



PGピンの漏れ電流

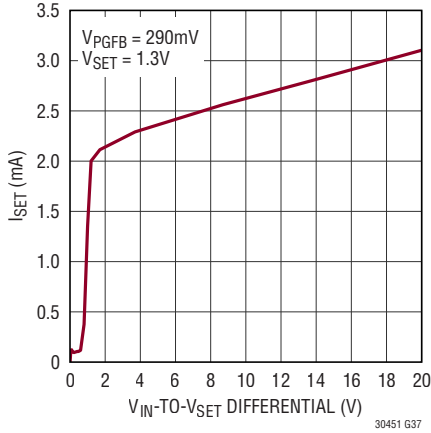


高速起動機能をイネーブルした場合の起動時のISET

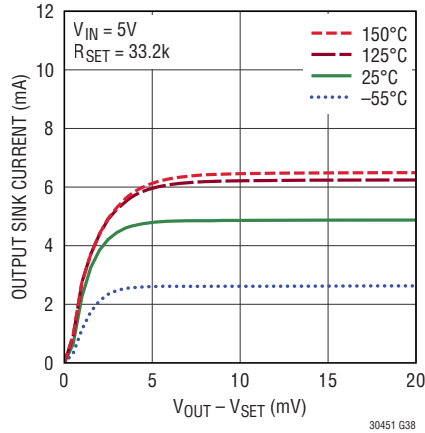


標準的性能特性 注記がない限り、 $T_J = 25^\circ\text{C}$ 。

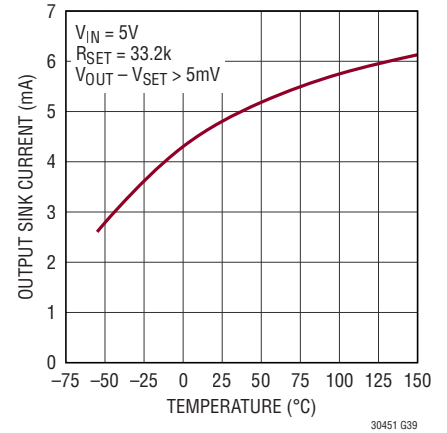
高速起動機能をイネールした
場合の起動時の I_{SET}



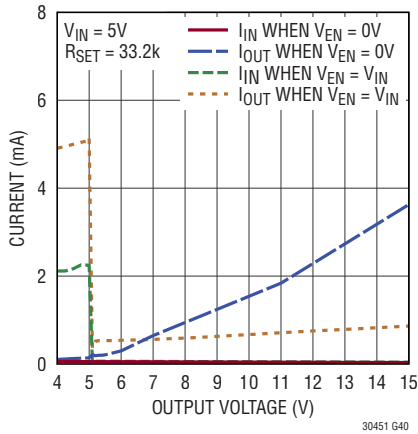
出力オーバーシュートからの
回復電流シンク回路



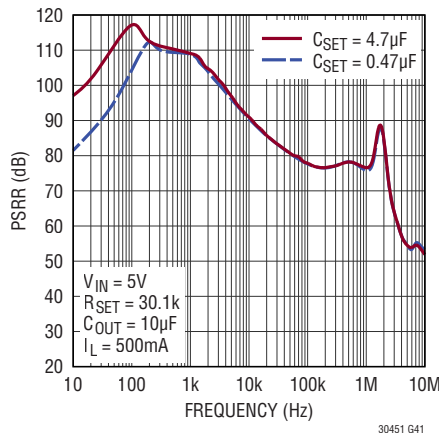
出力オーバーシュートからの
回復電流シンク回路



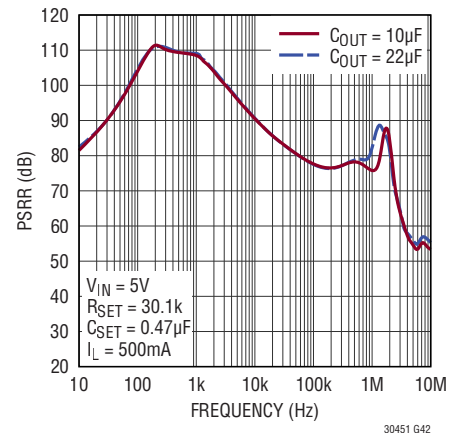
V_{OUT} (NOMINAL) より高い電圧を
強制した場合の V_{OUT}



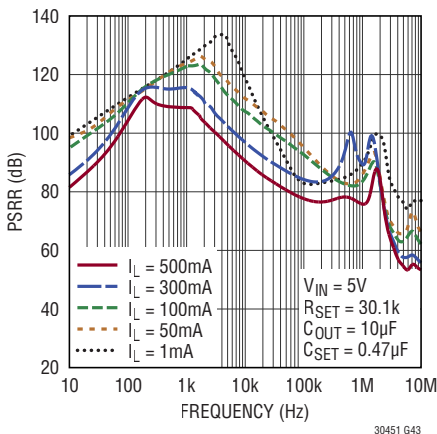
電源リップル除去比



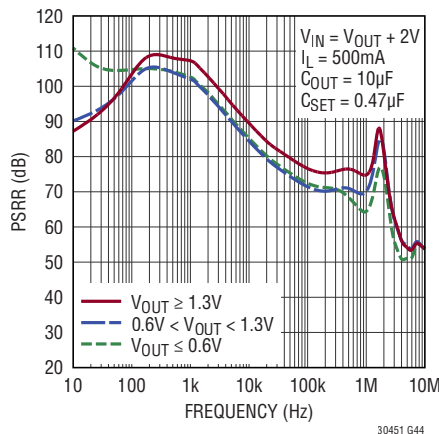
電源リップル除去比



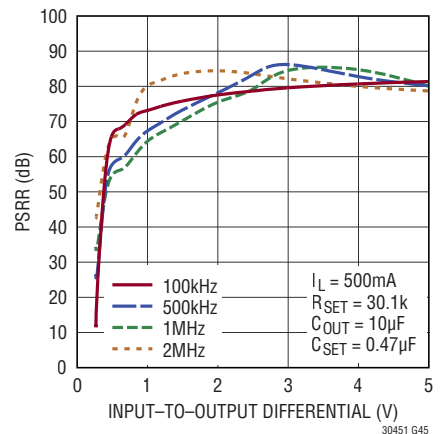
電源リップル除去比



エラーアンプ入力対の関数と
しての電源リップル除去比

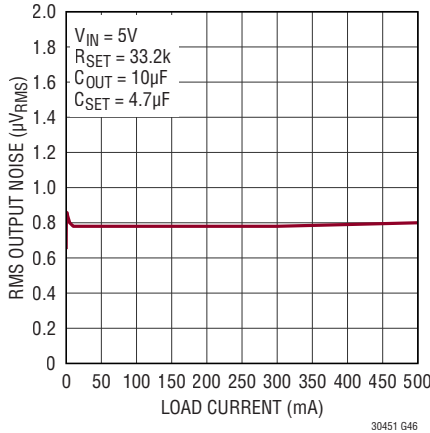


電源リップル除去比

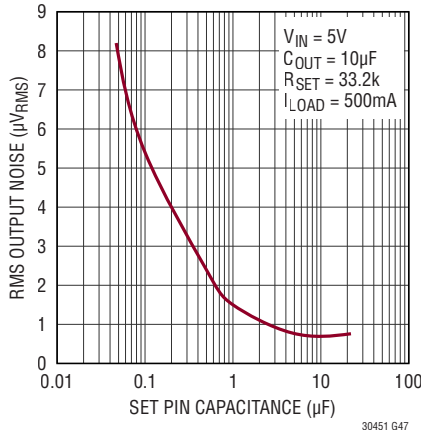


標準的性能特性 注記がない限り、 $T_J = 25^\circ\text{C}$ 。

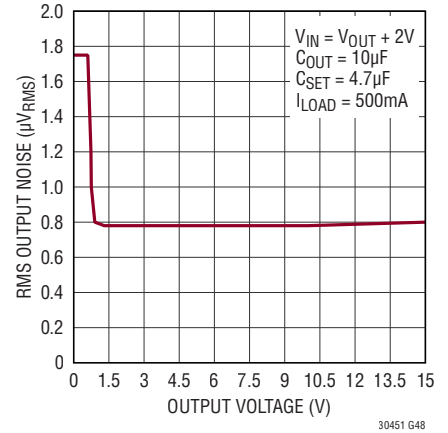
積分 RMS 出力ノイズ
(10Hz ~ 100kHz)



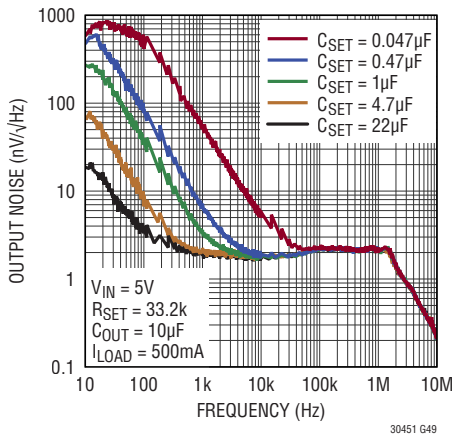
総合 RMS 出力ノイズ
(10Hz ~ 100kHz)



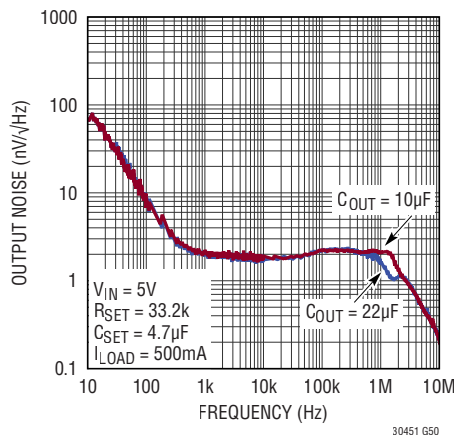
積分 RMS 出力ノイズ
(10Hz ~ 100kHz)



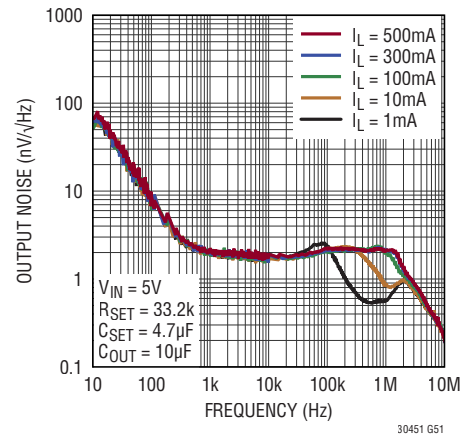
ノイズ・スペクトル密度



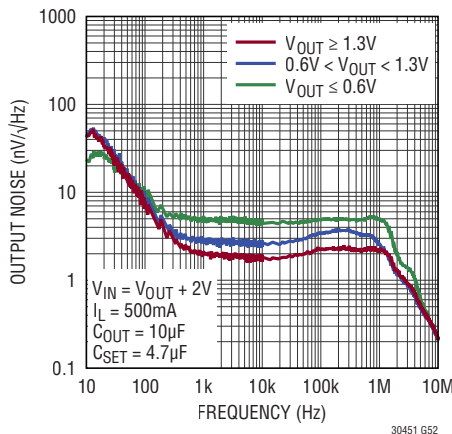
ノイズ・スペクトル密度



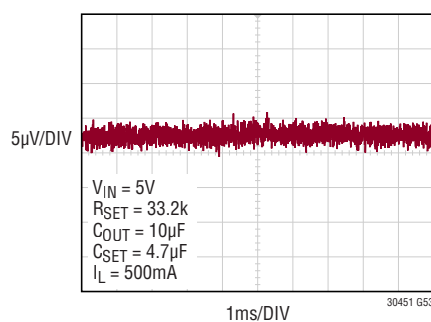
ノイズ・スペクトル密度



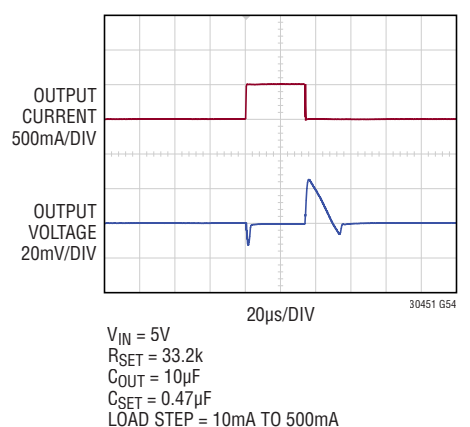
エラーアンプ入力対の関数と
してのノイズ・スペクトル密度



出力ノイズ: 10Hz ~ 100kHz



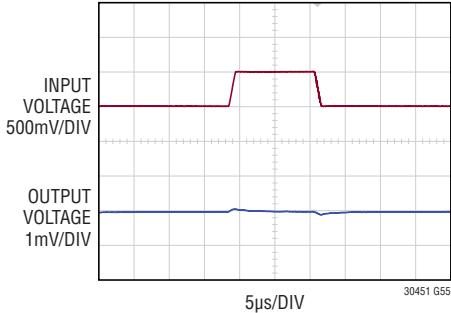
負荷トランジェント応答



LT3045-1

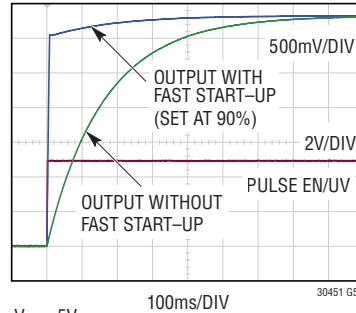
標準的性能特性 注記がない限り、 $T_J = 25^\circ\text{C}$ 。

入力トランジェント応答



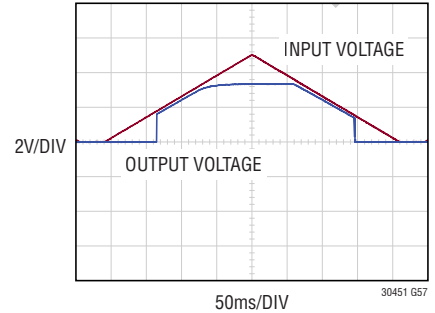
$V_{IN} = 4.5\text{V TO } 5\text{V}$
 $R_{SET} = 33.2\text{k}$
 $C_{OUT} = 10\mu\text{F}$
 $C_{SET} = 0.47\mu\text{F}$
 $I_L = 500\text{mA}$

C_{SET} が大容量のとき、
 高速起動回路がある場合と
 ない場合での起動時間



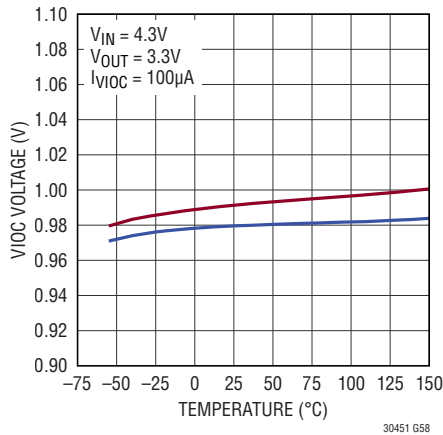
$V_{IN} = 5\text{V}$
 $R_{SET} = 33.2\text{k}$
 $C_{OUT} = 10\mu\text{F}$
 $C_{SET} = 4.7\mu\text{F}$
 $R_L = 6.6\Omega$

入力電源のランプアップと
 ランプダウン

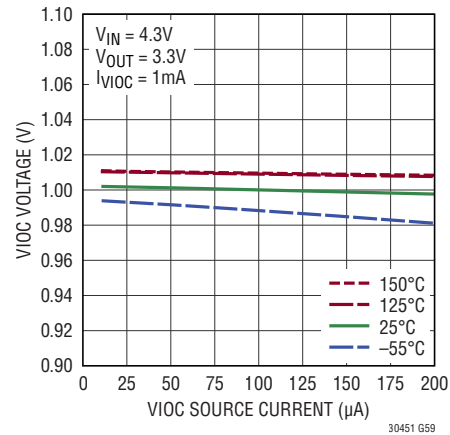


$V_{IN} = 0\text{V TO } 5\text{V}$
 $V_{EN/UV} = V_{IN}$
 $R_{SET} = 33.2\text{k}$
 $C_{OUT} = 10\mu\text{F}$
 $C_{SET} = 0.47\mu\text{F}$
 $R_L = 6.6\Omega$

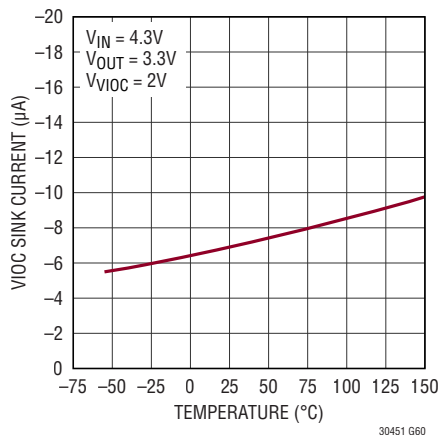
VIOCの電圧



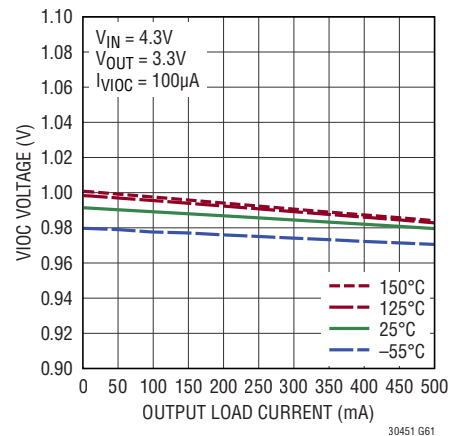
VIOCの電圧



VIOCのシンク電流



VIOCの電圧



ピン機能

IN (ピン1、2) : 入力。これらのピンはレギュレータに電力を供給します。LT3045-1はINピンにバイパス・コンデンサが必要です。一般に、バッテリーの出力インピーダンスは周波数とともに増加するので、バッテリー駆動アプリケーションではバイパス・コンデンサを実装します。4.7 μ Fの入力バイパス・コンデンサで通常は十分ですが、大量の負荷トランジエントが生じるアプリケーションでは、入力電源電圧の低下を防止するため、より大きな入力容量が必要な場合があります。入力コンデンサの適切な使用法と回路性能(特にPSRR)に関するその影響については、「アプリケーション情報」のセクションを参照してください。LT3045-1は、GND、OUTS、OUTの電圧を基準にしたINの逆電圧に耐えられます。バッテリーを逆に差し込むと生じる逆入力の場合には、LT3045-1はダイオードが入力に直列に接続されているかのように動作します。したがって、逆電流がLT3045-1に流れ込むことも、負電圧が負荷に現れることもありません。このデバイスはデバイス自体と負荷を保護します。

VIOC (ピン3) : 入出力間の電圧の制御。LT3045-1は、LT3045-1に給電するスイッチング・プリレギュレータを制御するためのトラッキング機能を備えています。VIOCピンは、プリレギュレータの帰還(FB)ピンを駆動してLT3045-1の入力電圧を $V_{OUT} + V_{VIOC}$ に維持するこのトラッキング機能の出力です。この機能は、PSRR性能を維持しながら電力損失を最小限に抑えます。詳細については、「アプリケーション情報」のセクションを参照してください。

EN/UV (ピン4) : イネーブル/UVLO。LT3045-1のEN/UVピンを“L”にすると、デバイスはシャットダウン状態になります。シャットダウン時の静止電流は1 μ A未満まで低下し、出力電圧はオフします。あるいは、EN/UVピンは、IN、EN/UV、およびGNDの間の抵抗分割器を使用して、入力電源の低電圧ロックアウト(UVLO)しきい値を設定することができます。LT3045-1が通常オンするのは、その立ち上がりエッジの場合はEN/UVの電圧が1.24Vを超えたときであり、立ち下がりエッジの場合はその値に130mVのヒステリシスが加わった電圧を超えたときです。EN/UVピンは入力電圧より高い電圧に駆動することが可能であり、正常な機能を維持することができます。使用しない場合、EN/UVはINに接続します。EN/UVピンはフロート状態にしないでください。

PG (ピン5) : パワーグッド。PGは出力電圧レギュレーションを示すオープンコレクタ・フラグです。PGが“L”になるのは、PGFBが300mV未満である場合です。パワーグッド機能が不要でない場合は、PGピンをフロート状態にします。LT3045-1のPGピンとGNDの間には寄生の基板ダイオードが存在します。通常動作時またはフォルト状態時に、PGピンをGND

の電圧より0.3Vを超えて低い電圧に駆動しないようにする必要があります。

ILIM (ピン6) : 電流制限の設定ピン。ILIMとGNDの間に抵抗を接続することにより、電流制限値を設定します。最高の精度を得るには、この抵抗をLT3045-1のGNDピンに直接ケルビン接続します。設定倍率は、公称150mA \cdot k Ω です。ILIMピンからは出力電流に比例した電流(1:500)が供給されるので、このピンは0V~300mVの範囲の電流モニタ・ピンとしても機能します。プログラム可能な電流制限機能が不要な場合は、ILIMをGNDに接続します。LT3045-1のILIMピンとGNDの間には寄生の基板ダイオードが存在します。通常動作時またはフォルト状態時に、ILIMピンをGNDの電圧より0.3Vを超えて低い電圧に駆動しないようにする必要があります。

PGFB (ピン7) : パワーグッドのフィードバック。立ち上がりエッジの場合はPGFBの電圧が300mVより高くなった場合、立ち下がりエッジの場合はその値に7mVのヒステリシスが加わった電圧より高くなった場合、PGピンは“H”になります。OUT、PGFB、およびGNDの間に外付け抵抗分割器を接続すると、伝達関数 $0.3V \cdot (1 + R_{PG2}/R_{PG1})$ により、プログラム可能なパワーグッドしきい値が設定されます。「アプリケーション情報」のセクションで説明したように、PGFBも高速起動回路を作動させます。パワーグッド機能と高速起動機能が必要でない場合は、PGFBをINに接続し、逆入力保護を追加する必要がある場合は、1N4148ダイオードのアノードをINに接続し、カソードをPGFBに接続します。詳細は「標準的応用例」のセクションを参照してください。LT3045-1のPGFBピンとGNDの間には寄生の基板ダイオードが存在します。通常動作時またはフォルト状態時に、PGFBピンをGNDの電圧より0.3Vを超えて低い電圧に駆動しないようにする必要があります。

SET (ピン8) : 設定ピン。このピンは、エラーアンプへの反転入力であり、LT3045-1のレギュレーション設定点です。SETは高精度の100 μ A電流を供給し、この電流はSETとGNDの間に接続した外付け抵抗を流れます。LT3045-1の出力電圧は $V_{SET} = I_{SET} \cdot R_{SET}$ によって決まります。出力電圧範囲は0~15Vです。SETとGNDの間にコンデンサを追加すると、ノイズ、PSRR、およびトランジエント応答が向上しますが、代償として起動時間が長くなります。負荷レギュレーションを最適化するため、SETピンの抵抗のグラウンド側を負荷に直接ケルビン接続します。LT3045-1のSETピンとGNDの間には寄生の基板ダイオードが存在します。通常動作時またはフォルト状態時に、SETピンをGNDの電圧より0.3Vを超えて低い電圧に駆動しないようにする必要があります。

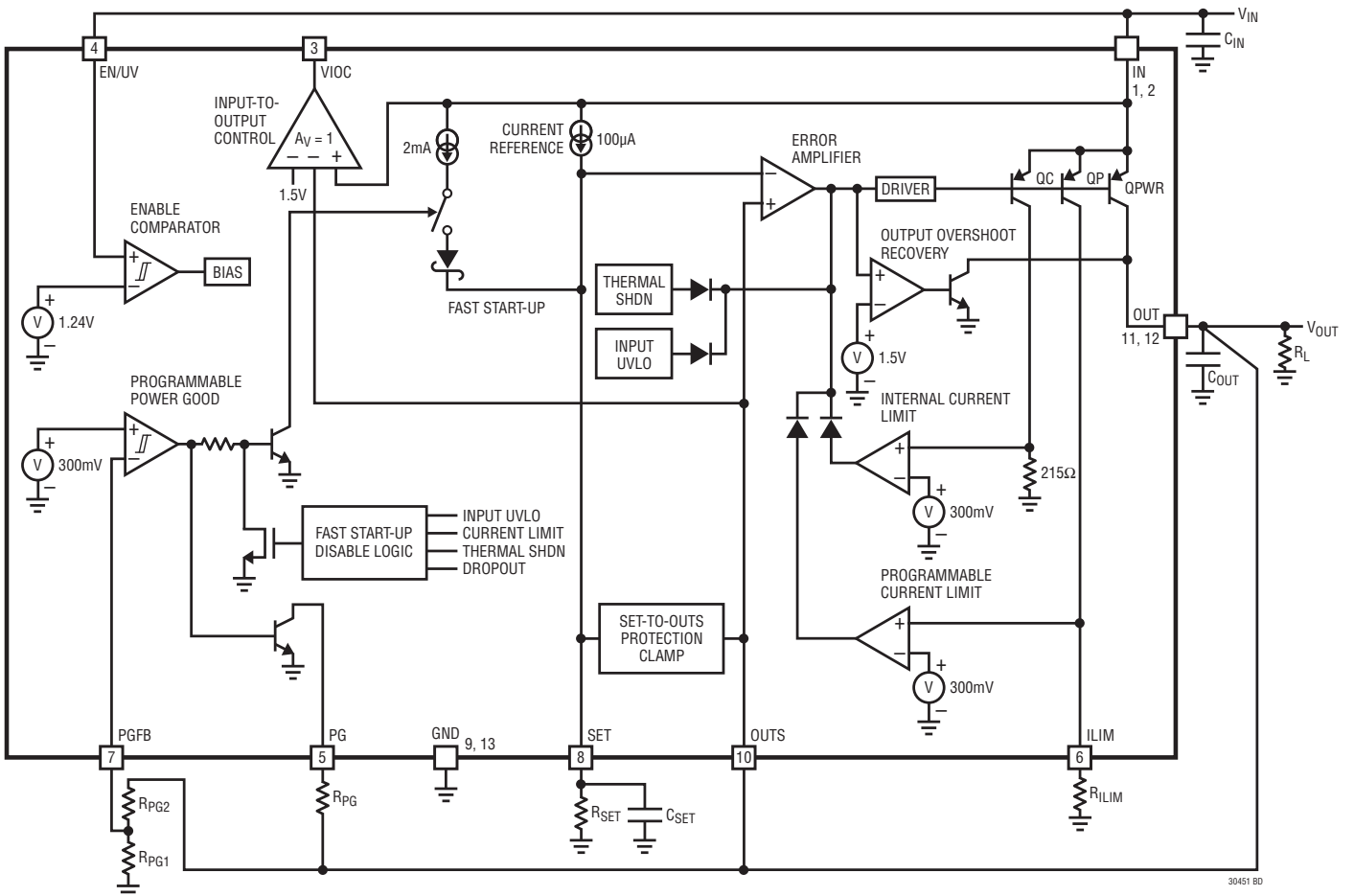
ピン機能

GND (ピン9、露出パッド・ピン13) : グランド。露出した裏面は、GNDへの電氣的接続箇所になっています。正常な電氣的性能および熱性能を確保するため、露出した裏面はPCBのグラウンドに半田付けしてGNDピンに直接接続してください。

OUTS (ピン10) : 出力検出。このピンはエラーアンプの非反転入力です。最適なトランジェント性能および負荷レギュレーションを得るため、OUTSは出力コンデンサと負荷に直接ケルビン接続します。また、出力コンデンサおよびSETピン・コンデンサのGND接続箇所も互いに直接接続します。LT3045-1のOUTSピンとGNDピンの間には寄生の基板ダイオードが存在します。通常動作時またはフォルト状態時に、OUTSピンをGNDの電圧より0.3Vを超えて低い電圧に駆動しないようにする必要があります。

OUT (ピン11、12) : 出力ピン。これらのピンは負荷に電力を供給します。安定性を確保するため、ESRが20mΩ未満でESLが2nHより小さい10μF以上の出力コンデンサを使用します。出力負荷トランジェントが大きい場合は、電圧トランジェントのピーク値を制限するために大きな値の出力容量が必要です。出力容量の詳細については、「アプリケーション情報」のセクションを参照してください。LT3045-1のOUTピンとGNDピンの間には寄生の基板ダイオードが存在します。通常動作時またはフォルト状態時に、OUTピンをGNDの電圧より0.3Vを超えて低い電圧に駆動しないようにする必要があります。

ブロック図



アプリケーション情報

LT3045-1は高性能の低ドロップアウト・リニア・レギュレータで、リニアテクノロジーの超低ノイズ(2nV/ $\sqrt{\text{Hz}}$ 、10kHz時)および超高PSRR(76dB、1MHz時)アーキテクチャを特長としており、ノイズの影響を受けやすいアプリケーションの電力供給に対応します。後段に高性能のレール・トゥ・レール電圧バッファがある高精度電流源として設計されているので、LT3045-1は並列接続が容易であり、ノイズの低減、出力電流の増大、PCB上での熱放散を更に向上することができます。このデバイスは、更にプログラム可能な電流制限、高速起動機能、およびプログラム可能なパワーグッドといった特長も備えています。

LT3045-1は使いやすく、高性能レギュレータに求められる保護機能を全て備えています。その他に、短絡保護回路、安全動作領域保護回路、逆バッテリー保護回路、逆電流保護回路、およびヒステリシスのあるサーマル・シャットダウン回路を内蔵しています。

LT3045-1は、LT3045の一連の機能に加えて、上流のスイッチング・コンバータを制御してLT3045-1の両端で定電圧を維持するためのVIOCトラッキング機能を備えており、それによって電力損失を最小限に抑えます。

出力電圧

LT3045-1はSETピンから流れ出す高精度の100 μA 電流源を内蔵しており、この電流源はエラーアンプの反転入力にも接続されています。図1は、SETとグランドの間に抵抗を接続することでエラーアンプのリファレンス電圧が発生することを示しています。このリファレンス電圧は、単にSETピンの電流とSETピンの抵抗の積です。エラーアンプの単位利得構成により、この電圧を低インピーダンス化した電圧が非反転入力(つまりOUTSピン)で生成されます。また、OUTSピンは外部でOUTピンに接続されます。

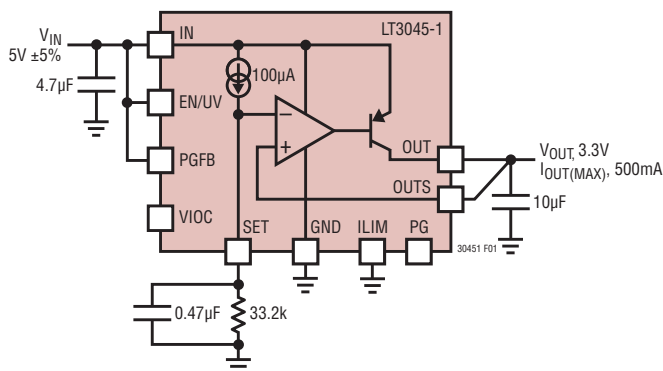


図1. 基本的な可変レギュレータ

LT3045-1のレール・トゥ・レール・エラーアンプと電流リファレンスにより、(抵抗が0 Ω の場合)0Vから(V_{IN} -ドロップアウト)までの広い出力電圧範囲(最大15V)が可能です。PNPベースの入力対は出力電圧が0V~0.6Vのときにアクティブになり、NPNベースの入力対は出力電圧が1.3Vより大きいときにアクティブになり、2つの入力対の出力電圧が0.6V~1.3Vの範囲内で滑らかに遷移します。NPNベースの入力対は、最善の総合性能が得られるように設計されています。エラーアンプ入力対でのオフセット電圧、SETピン電流、出力ノイズ、およびPSRRのばらつきの詳細については、「電気的特性」の表を参照してください。複数の一般的な出力電圧と、それに対応する1%精度のRSET抵抗を表1に示します。

表1. 一般的な出力電圧の1%抵抗

V _{OUT} (V)	R _{SET} (k Ω)
2.5	24.9
3.3	33.2
5	49.9
12	121
15	150

電流リファレンスを使用する利点は、従来のレギュレータで使用されている電圧リファレンスと比較すると、レギュレータが設定出力電圧と関係なく、常に単位利得構成で動作することです。これによって、LT3045-1のループ利得、周波数応答、および帯域幅を出力電圧から独立させることができます。その結果、ノイズ、PSRR、およびトランジェント性能が出力電圧によって変化しません。更に、SETピンの電圧を高い出力電圧に増幅するのにエラーアンプの利得が必要ないので、出力負荷レギュレーションは出力電圧の固定パーセント値としてではなく、数百 μV レンジで厳しく規定しています。

温度係数ゼロの電流源は非常に正確なので、SETピンの抵抗が、高精度の実現を制限する要因になることがあります。そのため、これには高精度の抵抗を選びます。更に、SETピンに流出または流入方向の漏れ電流経路が存在する場合は、出力電圧に誤差が生じます。必要に応じて、高品質の絶縁材料(例えば、テフロン、Kel-F)を使用します。更に、全ての絶縁表面を洗浄し、フラックスなどの残留物を除去することが必要になる場合があります。高温の環境では、SETピンで表面をコーティングして、防湿層を形成することが必要になる場合があります。

アプリケーション情報

SETピンに近い電位で動作するガードリングを使用してSETピンを囲み、基板の漏れ電流を最小限に抑えます。できれば、ガードリングをOUTピンに接続します。回路基板の両側をガードすることを推奨します。バルク漏れ電流の減少はガードリングの幅に依存します。SETピンから流れる、またはSETピンに流れる漏れ電流が100nAの場合、リファレンス電圧の誤差は0.1%になります。この大きさの漏れ電流は、他の漏れ電流源が加わって、特に動作温度範囲が広い場合に、出力電圧に著しい誤差を引き起こす場合があります。標準的なガードリング・レイアウト技法を図2に示します。

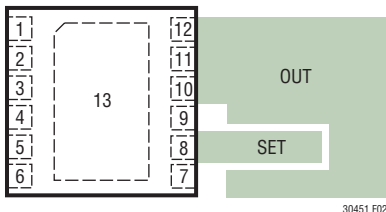


図2. DFNのガードリング・レイアウト

SETピンは高インピーダンス・ノードなので、不要な信号がSETピンに結合して不安定動作を引き起こす恐れがあります。これは、最小の出力コンデンサを使用して重負荷電流で動作する場合に、最も顕著になります。小容量でSETピンをグランドにバイパスすれば、この問題は解決します。10nFで十分です。

より高い精度または可変出力電圧が必要なアプリケーションでは、100 μ Aのシンク電流を流すことができる外部電源により、SETピンをアクティブに駆動することができます。高精度電圧リファレンスをSETピンに接続すると、リファレンス電流と抵抗の許容誤差に起因し、出力電圧に存在する誤差を全て取り除くことができます。

出力検出と安定性

LT3045-1のOUTSピンは、出力へのケルビン検出接続機能を果たします。SETピンの抵抗のGND側が負荷のGND側のケルビン検出接続箇所になります。

更に、超高PSRRを得るため、LT3045-1の帯域幅はきわめて高い値(約1MHz)になっているので、標準的な10 μ F(1206ケース・サイズ)のセラミック出力コンデンサの自己共振周波数(約1.6MHz)に非常に近い値になります。したがって、帰還ループの外側に余計なインピーダンス(ESRおよびESL)が加わらないようにすることが非常に重要です。そのため、図3に示すように、OUTSピンをC_{OUT}に直接接続し、CSETのGND

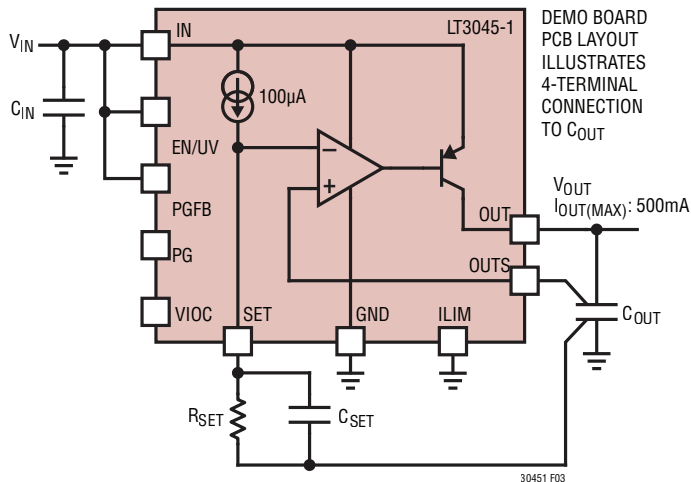


図3. C_{OUT}とC_{SET}の接続による最高性能の実現

側をC_{OUT}GND側に直接接続すると共に、C_{IN}とC_{OUT}のGND側を適度に近づけることにより、PCBトレースと半田のインダクタンスの影響を最小限に抑えます。これらの要件を満たす推奨レイアウトの詳細については、LT3045-1デモボードのマニュアルを参照してください。推奨レイアウトに従わない場合でもLT3045-1は十分に堅牢なので発振しませんが、実際のレイアウトによっては、位相/利得の余裕、ノイズ、およびPSRR性能が低下することがあります。

安定性と出力容量

LT3045-1は、安定性確保のため出力コンデンサが必要です。その帯域幅が広いことを考慮すると、リニアテクノロジーは低ESRで低ESLのセラミック・コンデンサを推奨します。安定性を確保するには、ESRが20m Ω 未満でESLが2nHより小さい10 μ F以上の出力容量が必要です。

10 μ Fのセラミック出力コンデンサ1個を使用して得られる高PSRR性能および低ノイズ性能を考慮すると、出力コンデンサの値を大きくしても性能の向上はごくわずかです。このレギュレータの帯域幅は出力容量が増大するにつれて減少するからです。そのため、10 μ Fの最小出力コンデンサより容量の大きなコンデンサを使用しても得られるものはほとんどありません。とはいえ、出力容量の値を大きくすると、負荷トランジェント時のピーク出力のずれは確実に減少します。LT3045-1が電力を供給する個々の部品のデカップリングに使用されるバイパス・コンデンサによって、出力コンデンサの実効値が増加することに注意してください。

アプリケーション情報

使用するセラミック・コンデンサの種類には、特に注意が必要です。セラミック・コンデンサはさまざまな誘電体を使用して製造されており、それぞれ温度や印加される電圧によって動作が異なります。最も広く使われている誘電体は、Z5U、Y5V、X5RおよびX7RのEIA温度特性コードによって規定されています。Z5UとY5Vの誘電体は小型パッケージで大容量を実現するには適していますが、図4および図5に示すように、電圧係数と温度係数が大きくなる傾向があります。5Vのレギュレータに使用する場合、16V 10 μ FのY5Vコンデンサは、印加されたDCバイアス電圧と動作温度範囲で1 μ F～2 μ Fの小さな実効値になる可能性があります。

X5RとX7Rの誘電体を使用すると更に安定した特性が得られるので、これらの方がLT3045-1に対する適性が高くなっています。X7Rの誘電体は全温度範囲にわたって安定性が優れており、X5Rは安価で大きな値のものが入手可能です。それでも、X5RおよびX7Rコンデンサを使用する場合、注意する必要があります。X5RとX7Rのコードは、動作温度範囲と全温度範囲での最大容量変化のみを規定します。X5RとX7RのDCバイアスによる容量変化はY5VやZ5Uの誘電体に比べると小さいですが、それでも容量が十分なレベルを下回るほど変化することがあります。図6に示すように、コンデンサのDCバイアス特性は部品のケースのサイズが大きいほど向上する傾向がありますが、**動作電圧での必要な容量を検証することを強く推奨します。**ケース・サイズが小さく電圧係数が優れているので、リニアテクノロジーでは村田製作所のGJ8シリーズ・セラミック・コンデンサの使用を推奨します。

高振動環境

電圧係数と温度係数だけが問題の原因ではありません。セラミック・コンデンサの中には圧電効果を示すものがあります。圧電素子は、機械的応力が加わると、圧電マイクロホンの動作原理と同様に、端子間に電圧が発生します。セラミック・コンデンサの場合は、システム内の機械的振動、または熱トランジエントによってこの応力が誘起されることがあります。

高振動環境でのLT3045-1アプリケーションには、3つの特異な圧電ノイズ発生源(入力と出力のセラミック・コンデンサ、SETピンのコンデンサ)があります。ただし、LT3045-1は広い周波数範囲にわたって出力インピーダンスが非常に小さいので、セラミック出力コンデンサを使用することで発生する出力ノイズは無視することができます。同様に、LT3045-1はPSRRが非常に高いので、セラミック入力コンデンサを使用することで発生する出力ノイズも無視することができます。それにもかかわらず、SETピンのインピーダンスが高いことを考慮した場

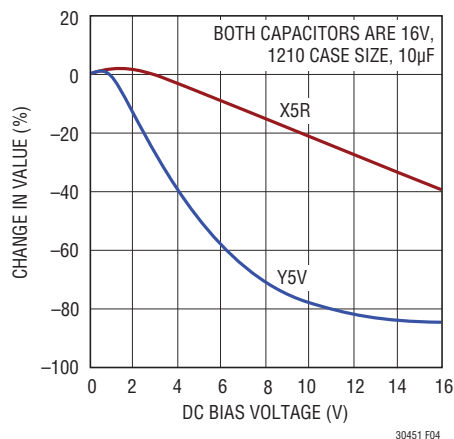


図4. セラミック・コンデンサのDCバイアス特性

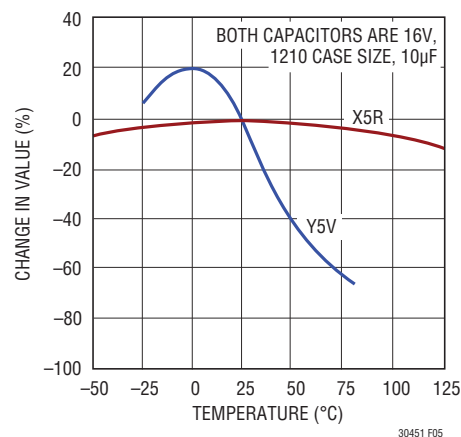


図5. セラミック・コンデンサの温度特性

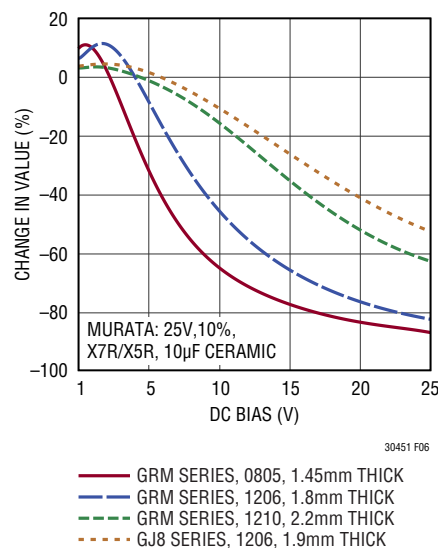


図6. 異なるケース・サイズでのコンデンサの電圧係数

アプリケーション情報

合、SETピンのセラミック・コンデンサからの圧電応答があると、大きな出力ノイズ(ピーク・トゥ・ピークで数百 μV)が発生します。ただし、SETピンのコンデンサはESRとESLの許容範囲が広いので、非圧電応答性の(タンタル、電解、またはフィルム)コンデンサをSETピンに使用することができます。とは言っても、電解コンデンサは1/fノイズが高くなる傾向があります。いずれの場合でも、表面実装コンデンサを使用することを強く推奨します。

安定性と入力容量

LT3045-1はINピンに4.7 μF 以上のコンデンサを接続すれば安定します。リニアテクノロジーでは、低ESRのセラミック・コンデンサの使用を推奨します。電源からLT3045-1の入力端子およびグランド端子までの導線が長い場合は、使用する入力コンデンサの値が小さい上に負荷電流が大きいと、不安定になることがあります。この原因は、導線のインダクタンスと入力コンデンサによって形成される共振LCタンク回路であり、LT3045-1の不安定性が原因ではありません。

導線の自己インダクタンス(単独のインダクタンス)は、導線の長さに正比例します。ただし、導線の直径は、その自己インダクタンスにほとんど影響しません。例えば、直径が0.26"のAWG2絶縁導線の自己インダクタンスは、直径が0.01"のAWG30導線のインダクタンスのおよそ半分です。1フィートのAWG30導線の自己インダクタンスは465nHです。

導線の自己インダクタンスを減らす方法はいくつか存在します。1つの方法は、LT3045-1に流れ込む電流を2つの並列な導体に分割することです。この場合、導線を更に離して配置すると、インダクタンスが減少します。例えば、わずか数インチ離して配置するだけで最大50%減少します。導線を分割すると、2つの等しいインダクタを並列に接続したことになります。ただし、導線を互いにきわめて近い位置に配置すると、導線の全自己インダクタンスに相互インダクタンスが加わります。したがって、こうした場合に50%減少させることはできません。全インダクタンスを低減する第2のより効果的な技法は、順方向電流および戻り電流の導体(入力導線およびグランド導線)を近づけて配置することです。AWG30の導線2本を0.02"離した場合、全インダクタンスは1本の導線の約1/5に減少します。

近くに装着したバッテリーでLT3045-1に電力を供給する場合は、4.7 μF の入力コンデンサで十分安定性を確保できます。ただし、遠く離れた電源からLT3045-1に電力を供給する場合には、より大きな値の入力コンデンサを使用します。おおまか

な目安としては、(4.7 μF の最小値とは別に)導線の長さ6"につき1 μF を使用してください。また、アプリケーションを安定化するために必要な最小入力容量も出力容量ならびに負荷電流によって変動します。LT3045-1の出力容量を増やすと効果的です。ただし、これには追加の入力バイパス容量と比較してかなりの大容量が必要です。また、電源とLT3045-1の入力の間直列抵抗を接続することもアプリケーションの安定化に役立ちます。わずか0.1 Ω ~0.5 Ω の小さな抵抗で十分です。このインピーダンスによってLCタンク回路の共振が減衰しますが、代償としてドロップアウト電圧が発生します。より優れた代替案としては、LT3045-1の入力に高ESRのタンタル・コンデンサまたは電解コンデンサを4.7 μF のセラミック・コンデンサと並列に使用する方法があります。

PSRRと入力容量

LT3045-1をスイッチング・コンバータのポスト・レギュレータとして使用するアプリケーションでは、LT3045-1の入力にコンデンサを直接接続すると、(スイッチング周波数の)AC電流がLT3045-1の近くを流れます。この比較的周波数の高いスイッチング電流により、LT3045-1の出力に結合する磁界が発生するので、その実効PSRRが低下します。PCB、スイッチング・プリレギュレータ、入力容量に大きく依存することではありますが、特にPSRRの低下は1MHzで30dBを容易に超えることがあります。この低下は、LT3045-1の半田を基板から除去した場合でも残ります。PC基板自体のPSRRが低下するからです。PSRRが低い従来のLDOでは無視できるものの、超高PSRRのLT3045-1では、レギュレータが備えている最大限の性能を引き出すために、高次の寄生成分に注意することが必要です。

(スイッチング・コンバータの出力コンデンサがLT3045-1から1インチより遠く離れて配置されていれば、)LT3045-1の近くを流れる高周波のスイッチング電流を低減するために、LT3045-1の入力コンデンサを完全に取り除くことができます。距離が長くなるにつれて、磁気結合は急激に減少します。それでも、スイッチング・プリレギュレータの場所がLT3045-1から離れすぎると(控えめに見て数インチ以上離れていると)、どのレギュレータの場合も、LT3045-1の入力は寄生LCの共振周波数で発振します。しかも、レギュレータの入力を一定の容量でバイパスすることは、たいていは非常に一般的(で望ましい)やり方です。したがって、このオプションは範囲がきわめて限定されており、最善の解決策ではありません。

アプリケーション情報

そのため、リニアテクノロジーでは、実現可能な最高の PSRR 性能が得られるように、LT3045-1 デモボードのレイアウトを使用することを推奨します。LT3045-1 デモボードのレイアウトでは、磁界相殺技法を使用して、この高周波電流に起因する PSRR 低下を防止しますが、一方で入力コンデンサを使用しています。

高周波スパイクのフィルタリング

LT3045-1 をスイッチング・コンバータのポスト・レギュレータとして使用するアプリケーションでは、その高 PSRR により、スイッチャ (スイッチング・コンバータ) のスイッチング周波数 (標準で 100kHz ~ 4MHz) に存在する「ノイズ」を実質的に抑えることができます。ただし、スイッチャのパワー・スイッチ遷移時間に対応した、LT3045-1 の帯域幅を超える超高周波 (数百 MHz) 「スパイク」は、LT3045-1 をほぼそのまま通過します。出力コンデンサには、これらのスパイクを吸収する目的も多少ありますが、こうした周波数ではその能力が ESL によって制限されます。フェライト・ビーズは、あるいはスイッチャの出力と LT3045-1 の入力との間の短い (例: 0.5") PCB トレースに伴うインダクタンスでも、これらの超高周波スパイクを抑える LC フィルタとして機能することができます。

出力ノイズ

LT3045-1 は、ノイズ性能に関して多くのメリットを提供します。従来のリニア・レギュレータには、複数のノイズ発生源があります。従来のレギュレータの最も重要なノイズ発生源は、その電圧リファレンス、エラーアンプ、および出力電圧設定用の抵抗分割器回路網から発生するノイズ、更にこの抵抗分割器で設定されるノイズ利得です。多くの低ノイズ・レギュレータでは、電圧リファレンスをピンから出力しているため、リファレンス電圧をバイパスすることによってノイズを低減できます。

LT3045-1 は大半のリニア・レギュレータとは異なり、電圧リファレンスを使用しませんが、代わりに 100 μ A の電流リファレンスを使用します。この電流リファレンスは、20pA/ $\sqrt{\text{Hz}}$ (10Hz ~ 100kHz の帯域幅で 6nA_{RMS}) の標準ノイズ電流レベルで動作します。発生する電圧ノイズは電流ノイズと抵抗値の積に等しくなり、これがエラーアンプのノイズと抵抗自体のノイズである $\sqrt{4kT R}$ と RMS で合計されます。ここで、k はボルツマン定数 (= 1.38 \cdot 10⁻²³ J/K) であり、T は絶対温度です。

従来のリニア・レギュレータが直面する 1 つの問題は、出力電圧を設定する抵抗分割器の利得によって、リファレンス・ノイズが増加することです。対照的に、LT3045-1 の単位利得フォロワ・アーキテクチャでは、SET ピンと出力の間に利得が存在しません。したがって、SET ピンの抵抗をコンデンサでバイパスすると、出力ノイズは設定出力電圧に依存しなくなります。その場合、発生する出力ノイズはエラーアンプのノイズだけで設定されます。これは、SET ピンのコンデンサとして 4.7 μ F を使用した場合、10kHz ~ 1MHz では標準で 2nV/ $\sqrt{\text{Hz}}$ となり、10Hz ~ 100kHz の帯域幅では 0.8 μ V_{RMS} となります。複数の LT3045-1 を並列に接続すると、ノイズは更に \sqrt{N} (N は並列レギュレータの数) だけ減少します。

ノイズ・スペクトル密度と、さまざまな負荷電流および SET ピン容量での RMS 積分ノイズについては、「標準的性能特性」のセクションを参照してください。

SET ピン (バイパス) の容量: ノイズ、PSRR、トランジェント応答、およびソフトスタート

SET ピンにバイパス・コンデンサを使用すると、出力ノイズが低減するだけでなく、PSRR とトランジェントの性能も向上します。ただし、バイパス・コンデンサに漏れ電流があると LT3045-1 の DC レギュレーションが低下するので注意してください。コンデンサに 100nA の漏れ電流があるだけで、0.1% の DC 誤差が発生します。そのため、品質の良い低漏れ電流のセラミック・コンデンサを使用することを推奨します。

また、SET ピンのバイパス・コンデンサを使用すると、出力がソフトスタートして、突入電流が制限されます。SET ピンの抵抗とコンデンサによって設定される RC 時定数によって、ソフトスタート時間を制御します。公称 V_{OUT} の 0 ~ 90% のランプアップ・レートは次の式で表されます。

$$t_{ss} \approx 2.3 \cdot R_{SET} \cdot C_{SET} \text{ (高速起動はデイスエーブル状態)}$$

高速起動

1/f ノイズ (100Hz 未満の周波数でのノイズ) を低く抑えることが必要な超低ノイズ・アプリケーションでは、SET ピンのコンデンサの値を大きくすることが必要です (最大 22 μ F)。こうすると、通常はレギュレータの起動時間が大幅に長くなりますが、LT3045-1 は起動時に SET ピンの電流を約 2mA まで増やす高速起動回路を内蔵しています。

アプリケーション情報

ブロック図に示すように、PGFBの電圧が300mVより低いときは2mAの電流源が作動状態を維持します。ただし、レギュレータが電流制限状態、ドロップアウト状態、サーマル・シャットダウン状態のいずれでもなく、入力電圧が V_{IN} の最小値より低くないことが前提です。

高速起動機能を使用しない場合は、PGFBをINまたはOUTに接続して、出力電圧を300mVより高くします。こうすると、パワーグッド機能もディスエーブルされることに注意してください。

イネーブル/UVLO

EN/UVピンは、レギュレータをマイクロパワー・シャットダウン状態にするために使用します。LT3045-1のEN/UVピンのターンオンしきい値は正確な1.24Vであり、130mVのヒステリシスがあります。このしきい値を入力電源から接続されている抵抗分割器と組み合わせて使うことで、レギュレータの低電圧ロックアウト(UVLO)の正確なしきい値を定めることができます。抵抗分割器回路網の値を次のように計算する場合には、「電気的特性」の表から、しきい値でのEN/UVピン電流(I_{EN})を考慮する必要があります。

$$V_{IN(UVLO)} = 1.24V \cdot \left(1 + \frac{R_{EN2}}{R_{EN1}} \right) + I_{EN} \cdot R_{EN2}$$

R_{EN1} が100kより小さい場合は、EN/UVピン電流(I_{EN})を無視できます。使用しない場合、EN/UVピンはINに接続します。

プログラム可能なパワーグッド

ブロック図に示すように、パワーグッドしきい値は、2つの外付け抵抗(R_{PG2} および R_{PG1})の比を使用してプログラムすることができます。

$$V_{OUT(PG_THRESHOLD)} = 0.3V \cdot \left(1 + \frac{R_{PG2}}{R_{PG1}} \right) + I_{PGFB} \cdot R_{PG2}$$

PGFBピンの電圧が300mVより高くなると、オープンコレクタのPGピンはデアサートされ、高インピーダンスになります。パワーグッド・コンパレータのヒステリシスは7mVであり、デグリッチ時間は5 μ sです。抵抗分割器回路網の値を決定する場合には、「電気的特性」の表からPGFBピン電流(I_{PGFB})を考慮する必要があります。 R_{PG1} が30kより小さい場合は、PGFBピン電流(I_{PGFB})を無視できます。パワーグッド機能を使用しない場合は、PGピンをフロート状態にします。プログラム可能なパワーグッド機能および高速起動機能は、出力電圧が300mVより低いときはディスエーブルされることに注意してください。

外部でプログラム可能な電流制限

ILIMピンの電流制限しきい値は300mVです。ILIMとGNDの間に抵抗を接続すると、ILIMピンから流れる最大電流が設定され、それによってLT3045-1の電流制限値が設定されます。150mA・k Ω の設定倍率を使用すると、電流制限値は次のように計算することができます。

$$\text{Current Limit} = \frac{150\text{mA} \cdot k\Omega}{R_{ILIM}}$$

例えば、1k Ω の抵抗を接続すると電流制限値は150mAに設定され、2k Ω の抵抗を接続すると電流制限値は75mAに設定されます。優れた精度を得るには、この抵抗をLT3045-1のGNDピンにケルビン接続します。

IN-OUT間の電圧差が12Vを超えた場合、LT3045-1のフォールドバック回路によって内部電流制限値は減少します。その結果、外部で設定された電流制限レベルよりも内部電流制限値が優先され、LT3045-1を安全動作領域(SOA)内に維持できます。「標準的性能特性」セクションの内部電流制限と出力間電圧差のグラフを参照してください。

ブロック図に示すように、ILIMピンからは出力電流に比例した電流(1:500)が供給されるので、このピンは0V~300mVの範囲の電流モニタ・ピンとしても機能します。外部電流制限機能または電流モニタ機能を使用しない場合は、ILIMをGNDに接続します。

出力オーバーシュートからの回復

最大負荷から無負荷(または軽負荷)への負荷ステップ時には、レギュレータが応答してパワー・トランジスタをオフにする前に出力電圧がオーバーシュートします。出力の状態が無負荷(または非常に軽い負荷)であるとすると、出力コンデンサを放電するのに長い時間がかかります。

ブロック図に示すように、LT3045-1は、OUTSの電圧がSETの電圧より高くなった場合に電流シンク回路をオンして出力コンデンサを放電するオーバーシュート回復回路を内蔵しています。この電流は標準で約4mAです。入力電圧が2.5Vより低い場合、または出力電圧が1.5Vより低い場合は、無負荷での回復はディスエーブルされます。

OUTSの電圧がSETの電圧より高い電圧に外部から保持されている場合は、電流シンク回路がオンして、OUTSの電圧をその設定電圧に戻そうとします。外部回路がOUTSを解放するまで、電流シンク回路はオンのままです。

アプリケーション情報

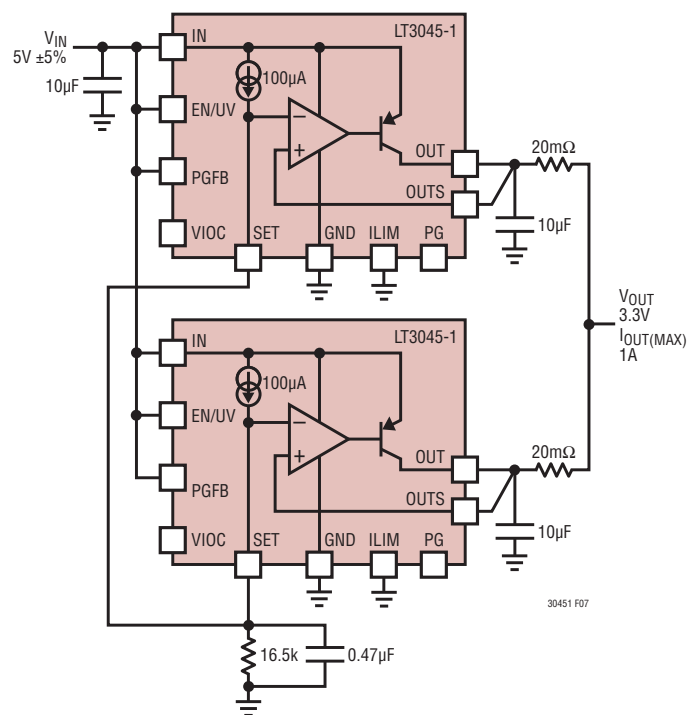


図7. 並列デバイス

直接の並列接続による大電流への対応

複数のLT3045-1を並列接続することにより、さらに高い出力電流を得ることができます。全てのSETピンを互いに接続し、全てのINピンを互いに接続します。少量のPCBトレースを使用してOUTピンを互いに接続し(安定抵抗として使用)、LT3045-1に流れる電流を均一にします。PCBトレースの抵抗をmΩ/インチ単位で表2に示します。

表2. PC基板のトレース抵抗

重量(オンス)	10ミル幅	20ミル幅
1	54.3	27.1
2	27.1	13.6

トレース抵抗はmΩ/インチで測定

並列接続された各LT3045-1のワーストケースのオフセットはわずか2mVなので、必要な安定抵抗の値は最小限に抑えられます。最大負荷のとき20%より高精度な出力電流分担を2つのLT3045-1(それぞれ20mΩのPCBトレース安定抵抗を使用)で実現する例を図7に示します。2つの20mΩ外付け抵抗による出力レギュレーションの低下量は、1Aの最大電流時にわずか10mVです。3.3V出力の場合、これによってレギュレーション精度に加わる誤差はわずか0.3%です。前述したように、OUTSピンは出力コンデンサに直接接続します。

3つ以上のLT3045-1を並列接続することにより、更に出力電流を増やして出力ノイズを低減することができます。複数のLT3045-1を並列に接続すると、PCB上の熱を分散するのも役立ちます。入出力間電圧差が大きいアプリケーションの場合は、入力直列抵抗を使用するか、LT3045-1と並列に接続した抵抗を使用すると、熱を更に分散することができます。

PCBレイアウトに関する検討事項

LT3045-1の広い帯域幅と超高PSRRを考慮すると、デバイスの性能を最大限に発揮するにはPCBレイアウトに注意を払う必要があります。レギュレータの性能を最大限に引き出す推奨レイアウトを図8に示します。詳細については、LT3045-1のDC2593A デモボード・マニュアルを参照してください。

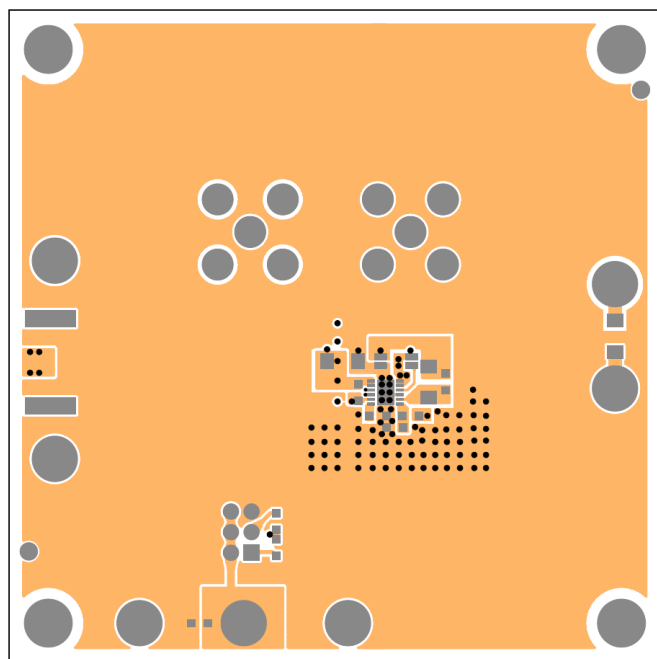


図8. DFNの推奨レイアウト

アプリケーション情報

高効率リニア・レギュレータ: 入出力間電圧制御 (VIOC)

VIOCピンは、上流のスイッチング・コンバータ(例えば、降圧、昇圧、昇降圧など)を制御して、LDOの出力電圧に関わらずLT3045-1の両端の定電圧を維持するために使用します。これによって、効率を最大化しながら、PSRR性能を維持します。VIOCピンは、INとOUTの間の電圧差または1.5Vのいずれか高い方の電圧を測定する高速ユニティゲイン・アンプの出力です。図9に示すように、VIOC機能は簡単に使用できます。VIOCピンを上流のスイッチング・コンバータの帰還(FB)ピンに接続するだけで、LT3045-1の入出力間の電圧差がスイッチング・コンバータの帰還電圧に安定化します。複数のLT3045-1を並列接続する場合、いずれかのLT3045-1のVIOCピンを上流のスイッチング・コンバータの帰還ピンに接続し、残りのVIOCピンをフロート状態にします。

VIOCバッファがスイッチング・コンバータの帰還ループ内にある間、VIOCバッファの高帯域幅を前提にすると、スイッチング・コンバータの周波数補償を調整する必要はありません。VIOCバッファでの位相遅延は、100kHzまでの周波数では通常は 2° 未満です。そのため、スイッチング・コンバータの帯域幅(通常は100kHzより非常に低い)の範囲内では、VIOCバッファは透過的になり、理想的なワイヤのように動作します。

例えば、100kHz未満の帯域幅および 50° の位相マージンを持つスイッチング・コンバータの場合、VIOCバッファを使用すると、位相マージンが最大で 2° 低下します。したがって、(VIOCピンを使用する)スイッチング・コンバータの位相マージンは、 48° 以上になります。VIOCバッファがスイッチング・コンバータの帰還ループ内にあることを前提として、VIOCピンの合計容量を20pF未満にする必要があります。

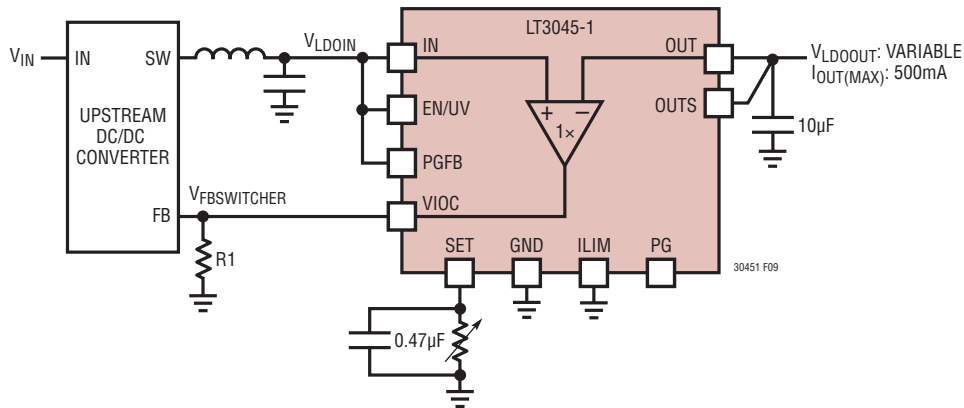


図9. VIOCの基本動作

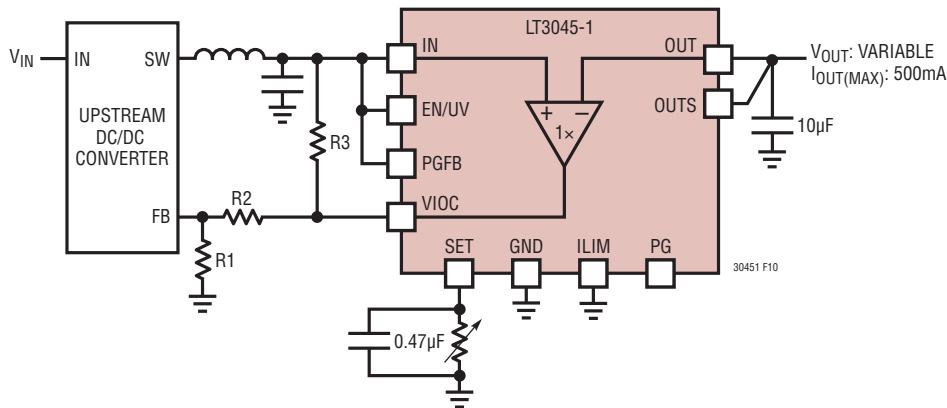


図10. 入出力間の電圧差の設定

アプリケーション情報

図10に示すように、入出力間の電圧差は、次の式を使用してさまざまなアプリケーションの必要性(PSRRと電力損失)に対応するように簡単に設定できます。

$$V_{LDOIN} - V_{LDOOUT} = V_{VIOC} = V_{FBSWITCHER} \cdot \frac{R1+R2}{R1}$$

また、LT3045-1のSETピンが開放された場合、LT3045-1の入力電圧がスイッチャの入力電圧に上昇することがあるため、LT3045-1の絶対最大定格に違反する可能性があります。これを防ぐために、レギュレータのVIOCピンとINピンの間で抵抗(R3)を使用して、次のようにLT3045-1の最大入力電圧を設定できます。

$$V_{(MAX)LDOIN} = V_{FBSWITCHER} \cdot \frac{R1+R2+R3}{R1} + I_{SINK} \cdot R3$$

さらに、VIOCピンは、200 μ Aの電流をソースし、15 μ Aの電流をシンクすることができます。最大LDO入力電圧(上で示されている)に対するシンク電流の影響を緩和するには、抵抗分割器が標準で100 μ A以上で動作するようにR1を選択します。

$V_{OUT} > 1.5V$ の場合、 $V_{IN} = V_{OUT} + V_{VIOC}$ となります。VIOCピンの電圧(したがって、入出力間の電圧差)は、1Vの最小値と、4Vまたは $V_{OUT} - 0.5V$ ($V_{OUT} > 1.5V$ の場合)のいずれか低いほうの最大値との間の任意の電圧に設定できます。スイッチング・レギュレータの帰還ピンの電圧が1V未満になるアプリケーションの場合、抵抗R1およびR2を使用して、VIOCピンの電圧が確実に前述した範囲内になるようにします。VIOCピンの電圧を上流のスイッチング・コンバータの帰還ピンよりも低く設定できないことに注意してください。

$V_{OUT} \leq 1.5V$ の場合、VIOCの設定範囲は $1V \pm 5\%$ です。VIOCをこの範囲外に設定した場合、LT3045-1の入力電圧は、R3を使用して設定した最大値に上昇します。VIOC機能を使用しない場合は、VIOCピンをフロート状態にします。

特定の最大VIOC設定電圧が V_{OUT} によって決まることを前提として、VIOC電圧の設定に注意する必要があります。例えば、VIOCが1Vに設定された場合、LDOのINとOUTの間の電圧差は、 $V_{OUT} > 1.5V$ では1Vに安定化されます。同様に、VIOCが2Vに設定された場合、レギュレータのINとOUTの間の電圧差は、 $V_{OUT} > 2.5V$ (すなわち、 $V_{VIOC} + 0.5V$)では2Vに安定化されます。ただし、この例で出力電圧が2.5V未満になった場合、LDOは、VIOCピンを2Vの適切なレベルに駆動できません。その結果、上流のプリレギュレータの出力が上昇し、それによってLT3045-1の入力電圧が、R3を使用して設定された最大電圧に上昇します。したがって、さまざまなフォルト状態で保護するために、R3を使用して最大 V_{IN} 電圧(20V未満)を設定する必要があります。

標準的なVIOCアプリケーション

図11に、LT8608降圧コンバータの出力のポスト・レギュレータとして使用される標準的なVIOCアプリケーションを示します。LDOの最大入力電圧が16.5Vに設定されて、VIOC電圧は1Vに設定されます。LT3045-1のEN/UVピンにパルスを供給した場合のLDOの入力電圧および出力電圧を図12に示します。この図からわかるように、LDOがディスエーブルされた場合、LDOの入力電圧が、VIOCピンの抵抗分割器によって設定された最大入力電圧になります。VIOCバッファを使用す

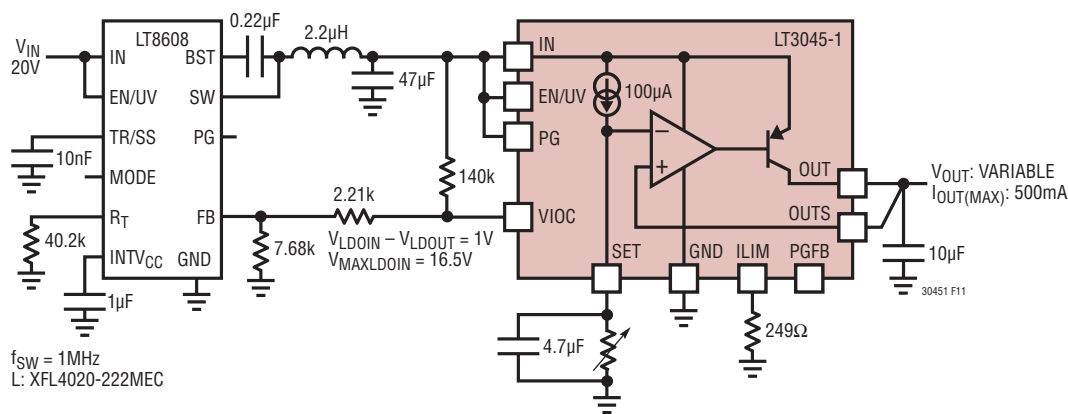


図11. LT3045-1を使用した標準的なポスト・レギュレータ・アプリケーション

LT3045-1

アプリケーション情報

るLT8608の負荷ステップ応答を図13に示します。3Vから4VへのSETピンのステップに対するLDOの入力電圧および出力電圧の応答を図14に示します。SETピンの電圧が0Vから10Vに上昇している間のLDOの出力電圧と入力電圧を図15に示します。この図からわかるように、LT8608の出力電圧は、LT3045の出力電圧が1.5Vよりも高い場合、この電圧に追従します。最後に、LT3045-1の入力および出力でのノイズ・スペクトル密度を図16に示します。

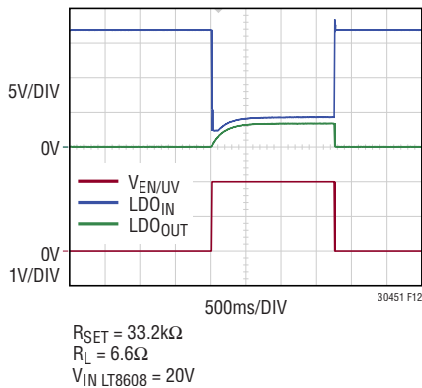


図12. LT3045-1のEN/UVのパルス

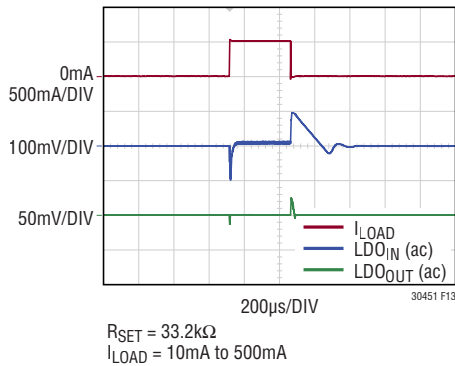


図13. VIOPバッファを使用した負荷ステップ応答

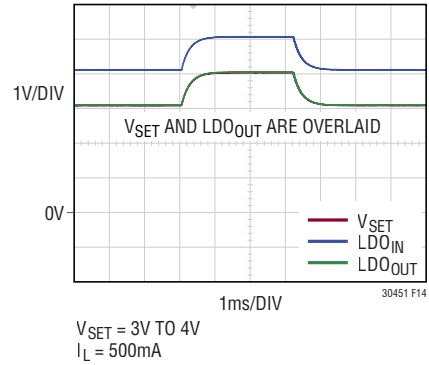


図14. 3Vから4VへのV_{SET}のステップ(その後、3Vに戻る)

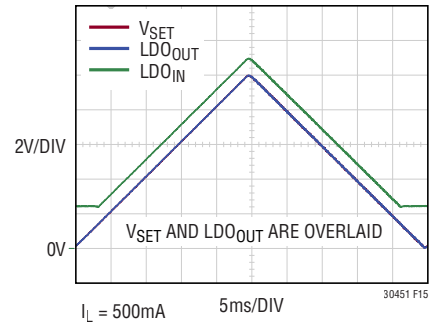


図15. 0Vから10VへのV_{SET}の上昇(その後、0Vに戻る)

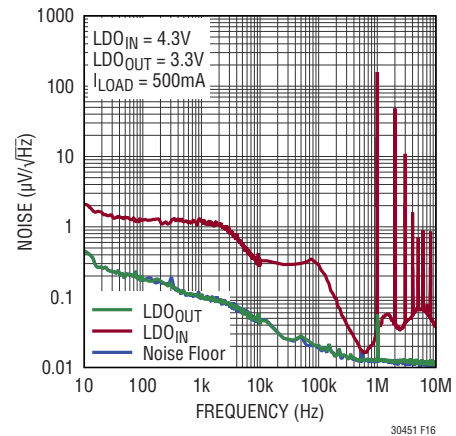


図16. LT3045-1の入力および出力のノイズ・スペクトル密度

アプリケーション情報

熱に関する検討事項

LT3045-1は、過負荷状態でデバイスを保護する電力制限回路および熱制限回路を内蔵しています。サーマル・シャットダウン温度は公称165°Cで、約8°Cのヒステリシスが組み込まれています。通常の連続負荷条件では、最大接合部温度(EグレードとIグレードでは125°C)を超えないようにしてください。接合部から周囲までの全ての熱抵抗源について検討することが重要です。熱抵抗源には、アプリケーションで規定されている、接合部-ケース間、ケース-ヒートシンク・インタフェース間、ヒートシンク抵抗、回路基板-周囲環境などがあります。更に、LT3045-1のごく近くの熱源を全て検討します。

DFNパッケージとMSOPパッケージの下側には、露出した金属部分がリードフレームからダイ・アタッチにわたって存在します。これら2つのパッケージでは、ダイの接合部からPCBの金属部分に熱を直接伝達し、最大動作接合部温度を制限できます。デュアルインラインのピン配置により、PCBの上面(部品側)にあるパッケージの端を超えて金属部分を伸ばすことができます。

表面実装デバイスの場合、PCBとその銅配線の熱分散能力を利用して放熱を実現します。レギュレータが発生する熱を分散するのに、銅ボード硬化材とメッキ・スルーホールを利用することもできます。

一定の基板寸法の銅箔面積に対する熱抵抗を表3と表4に示します。全ての測定は、静止空気中で、1オンスの切れ目のない内部プレーンと2オンスの上下プレーンを有し、合計基板厚が1.6mmの4層FR-4基板で行いました。4つの層にはサーマル・ビアが存在せず、電気的に絶縁されていました。PCBの層数、銅箔の重量、基板レイアウトおよびサーマル・ビアが熱抵抗の値に影響を与えます。熱抵抗と高熱伝導性テスト・ボードの詳細については、JEDEC規格JESD51、特にJESD51-7およびJESD51-12を参照してください。低い熱抵抗を実現するには、細部にわたる注意と慎重なPCBレイアウトが必要です。

表3. DFNパッケージで測定された熱抵抗

銅箔面積		基板面積	熱抵抗
上面*	底面		
2500mm ²	2500mm ²	2500mm ²	34°C/W
1000mm ²	2500mm ²	2500mm ²	34°C/W
225mm ²	2500mm ²	2500mm ²	35°C/W
100mm ²	2500mm ²	2500mm ²	36°C/W

* デバイスは上面に実装。

表4. MSOPパッケージで測定された熱抵抗

銅箔面積		基板面積	熱抵抗
上面*	底面		
2500mm ²	2500mm ²	2500mm ²	33°C/W
1000mm ²	2500mm ²	2500mm ²	33°C/W
225mm ²	2500mm ²	2500mm ²	34°C/W
100mm ²	2500mm ²	2500mm ²	35°C/W

* デバイスは上面に実装。

接合部温度の計算

例：出力電圧が3.3V、入力電圧が5V±5%、出力電流範囲が1mA～500mA、最大周囲温度が85°Cであるとする、最大接合部温度は何度でしょうか。

LT3045-1の電力損失は、次式で求められます。

$$I_{OUT(MAX)} \cdot (V_{IN(MAX)} - V_{OUT}) + I_{GND} \cdot V_{IN(MAX)}$$

ここで、

$$I_{OUT(MAX)} = 500\text{mA}$$

$$V_{IN(MAX)} = 5.25\text{V}$$

$$I_{GND}(I_{OUT} = 500\text{mA} \text{ および } V_{IN} = 5.25\text{V} \text{ 時}) = 12.5\text{mA}$$

したがって、次式が得られます。

$$P_{DISS} = 0.5\text{A} \cdot (5.25\text{V} - 3.3\text{V}) + 12.5\text{mA} \cdot 5.25\text{V} = 1\text{W}$$

DFNパッケージを使う場合、熱抵抗は銅の面積に応じて34°C/W～36°C/Wの範囲になります。したがって、周囲温度を超える接合部温度の上昇分はおよそ次のようになります。

$$1\text{W} \cdot 35^\circ\text{C/W} = 35^\circ\text{C}$$

最大接合部温度は、最大周囲温度と、周囲温度を超える最大接合部温度上昇分との和になります。これは次のとおりです。

$$T_{JMAX} = 85^\circ\text{C} + 35^\circ\text{C} = 120^\circ\text{C}$$

アプリケーション情報

過負荷状態からの回復

多くのICパワー・レギュレータと同様に、LT3045-1は安全動作領域(SOA)保護回路を内蔵しています。SOA保護回路は、入出力間電圧差が12Vを超えると作動します。SOA保護回路により、入出力間電圧差が増加するにつれて電流制限値が減少し、パワー・トランジスタは、入出力間電圧の全ての値についてLT3045-1の絶対最大定格まで安全動作領域内に保たれます。LT3045-1は、入出力間電圧差の全ての値について、一定の出力電流レベルを供給します。「標準的性能特性」セクションの電流制限の曲線を参照してください。電源が初めて投入されて入力電圧が上昇すると、出力は入力に追従して入出力間電圧差は小さい値に保たれるため、レギュレータは大量の出力電流を供給し、大電流負荷に対して起動できます。

ただし、電流制限フォールドバックにより、出力電圧が低く、負荷電流が大きい場合、高い入力電圧で問題が発生することがあります。このような状況が発生するのは、短絡状態が解消された後か、入力電圧が既に投入された状態の後にEN/UVピンを“H”にした場合です。このような場合の負荷曲線は出力電流のグラフと2点で交わります。このときには、レギュレータに2つの安定動作点が存在します。このように2つの交点があるので、出力を回復するには、入力電源を一旦0Vにしてから再度立ち上げることが必要な場合があります。フォールドバック電流制限保護回路を内蔵した他のリニア・レギュレータ(LT1965やLT1963Aなど)もこの現象を示すので、LT3045-1に特有の状況ではありません。

保護機能

LT3045-1は、バッテリー駆動アプリケーション向けにいくつかの保護機能を内蔵しています。高精度の電流制限機能および熱過負荷保護機能により、LT3045-1はその出力での過負荷状態およびフォルト状態に対して保護されます。通常動作では、接合部温度が125°C(Eグレード、Iグレード)を超えないようにしてください。

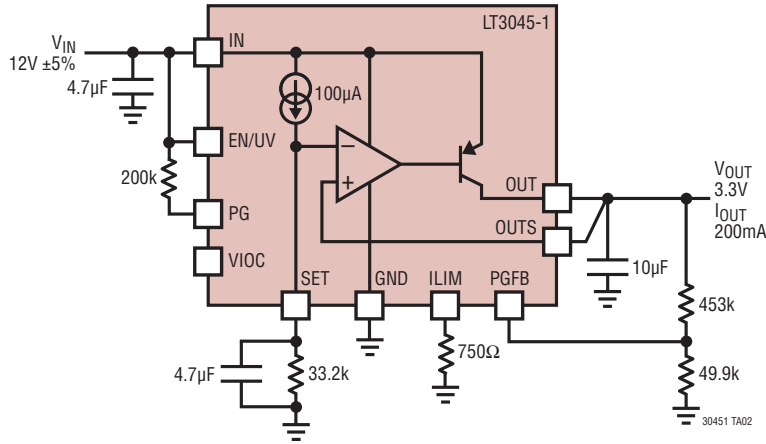
LT3045-1の低ノイズ・エラーアンプを保護するため、SET-OUTS間の保護クランプ回路は、クランプ回路を流れる最大DC電流を20mAに制限することにより、SETとOUTSの間の最大電圧を制限します。したがって、電源によってSETピンをアクティブに駆動するアプリケーションでは、電源の電流を20mA以下に制限する必要があります。更に、トランジエント・フォルト状態時にこれらのクランプ回路を流れるトランジエント電流を制限するには、SETピンのコンデンサ(C_{SET})の最大値を22μFに制限します。

LT3045-1は逆入力保護回路も内蔵しています。この回路により、INピンは入力電流を流すことも、またOUTピンに負電圧を発生させることなく、最大-20Vの逆電圧に耐えることができます。レギュレータは、逆向きに差し込まれたバッテリーからそれ自体と負荷を保護します。

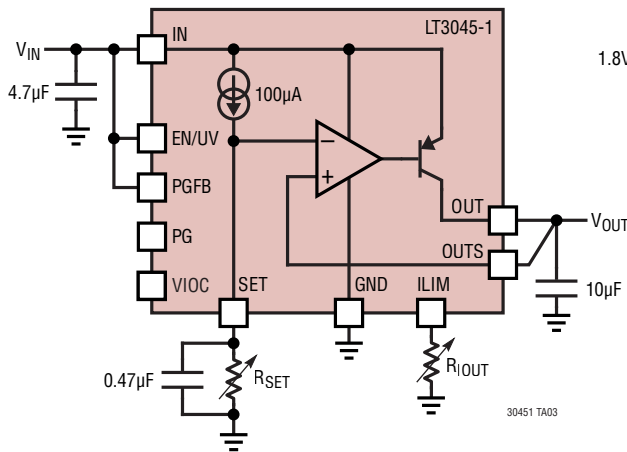
バックアップ・バッテリーが必要な回路では、さまざまな入力/出力状態が生じる可能性があります。入力をGND電位にするか、ほぼ中間の電圧にするか、または開放状態のままにしておくと、その間は出力電圧を保持することができます。これら全ての場合で、逆電流保護回路は出力から入力に電流が流れないようにしています。それでも、OUTS-SET間クランプ回路により、SETピンがフロート状態でない限り、SETピンの抵抗を介してGNDに電流が流れ込むことがあるだけでなく、出力オーバーシュート回復回路を介してGNDに最大15mAが流れることがあります。出力オーバーシュート回復回路を流れるこの電流は、OUTSピンとSETピンの間にショットキ・ダイオードを配置し、ショットキ・ダイオードのアノードをOUTSピン側にするによって大幅に低減することができます。

標準的応用例

12V 入力/3.3V 出力、積分ノイズ: 0.8μVRMS



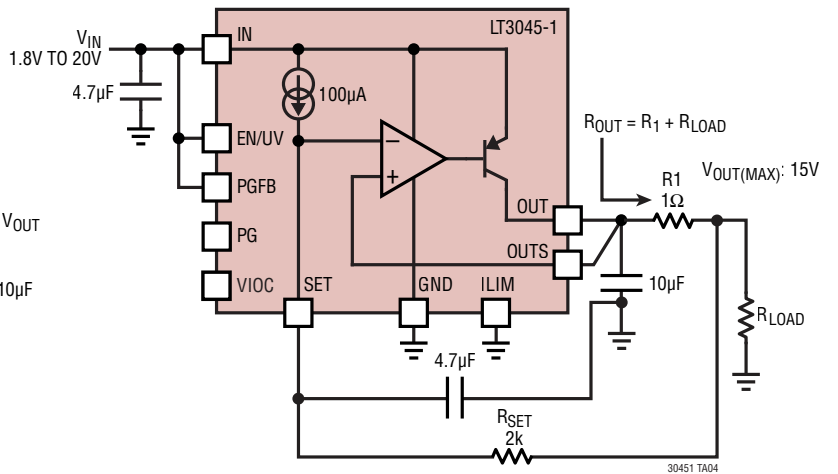
低ノイズ CC/CV 実験室用電源



$$V_{OUT(MAX)} = 100\mu A \cdot R_{SET}$$

$$I_{OUT(MAX)} = \frac{150mA \cdot k\Omega}{R_{IOUT}}$$

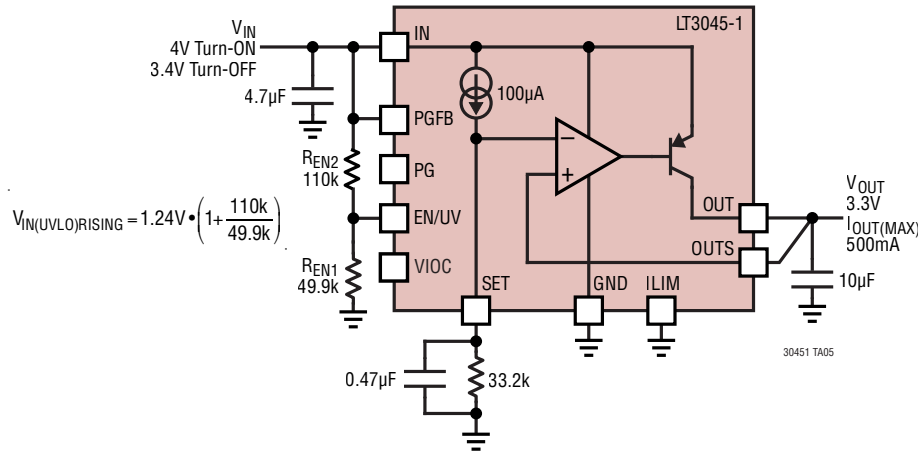
RF バイアス・アプリケーション向けの超低ノイズ電流源



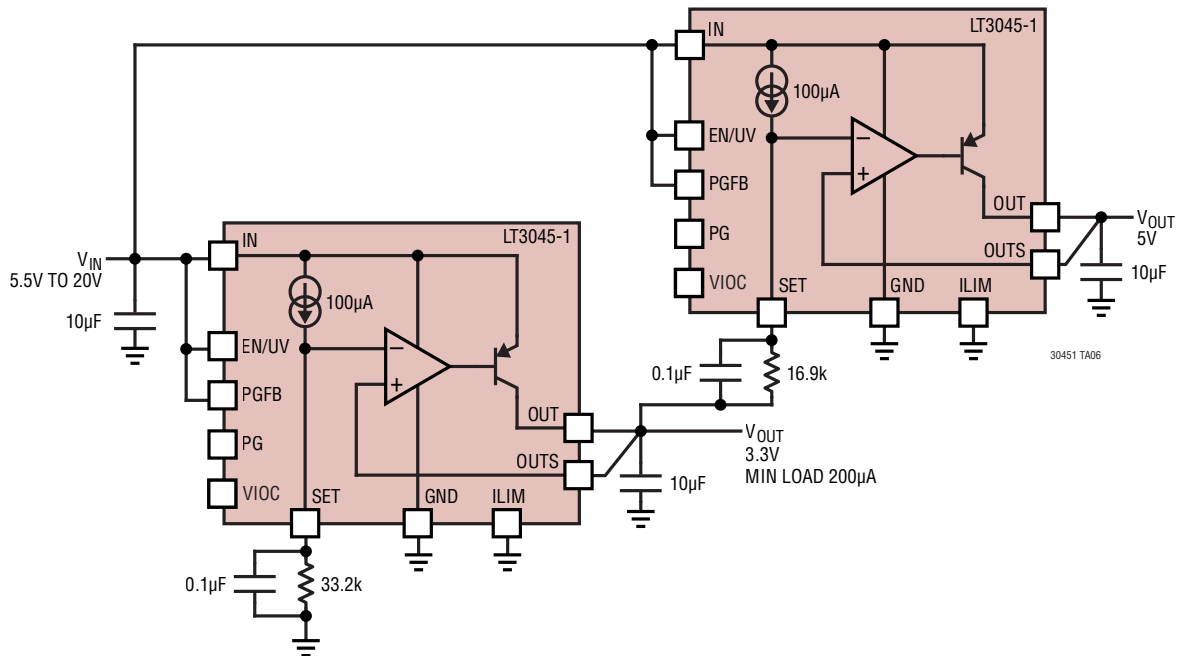
OUTPUT CURRENT NOISE = $0.8\mu VRMS/R_{OUT}$
 INCREASE R1 (AND RSET) TO REDUCE CURRENT NOISE

標準的応用例

低電圧ロックアウトの設定

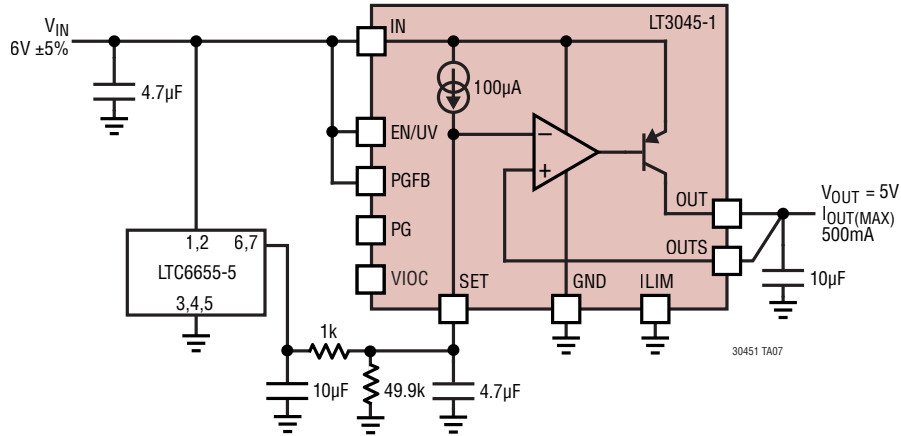


比例トラッキング

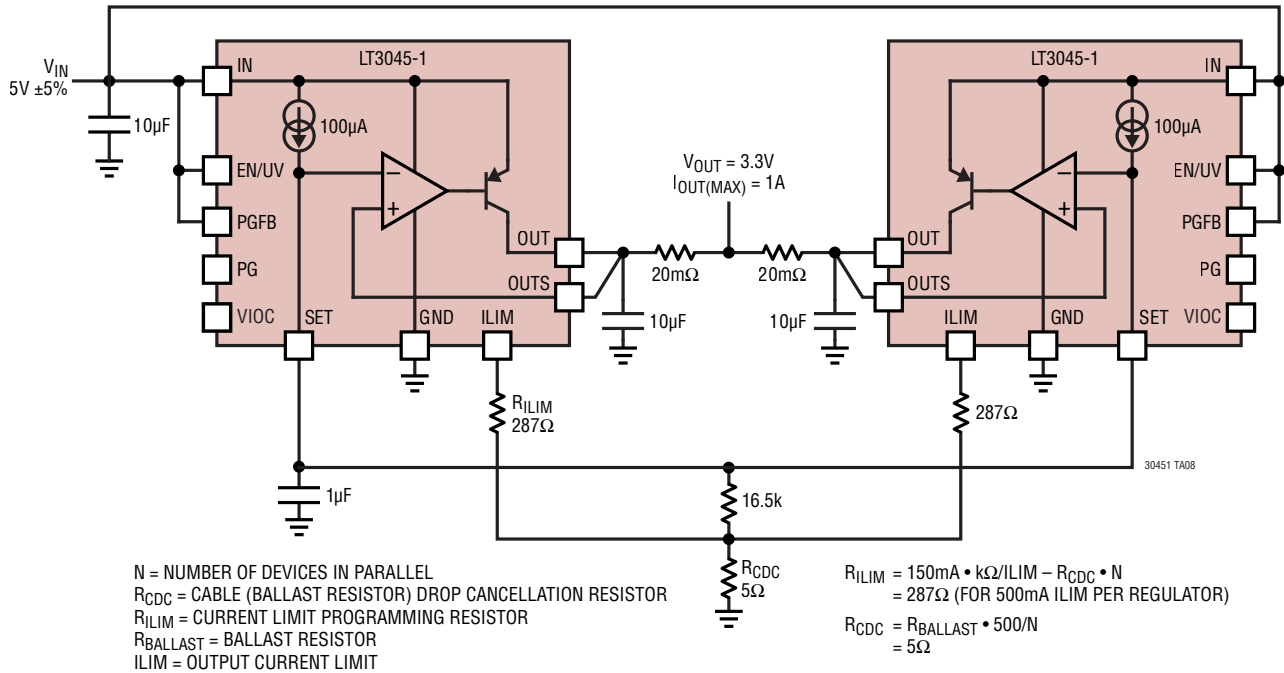


標準的応用例

超低1/fノイズのリファレンス・バッファ



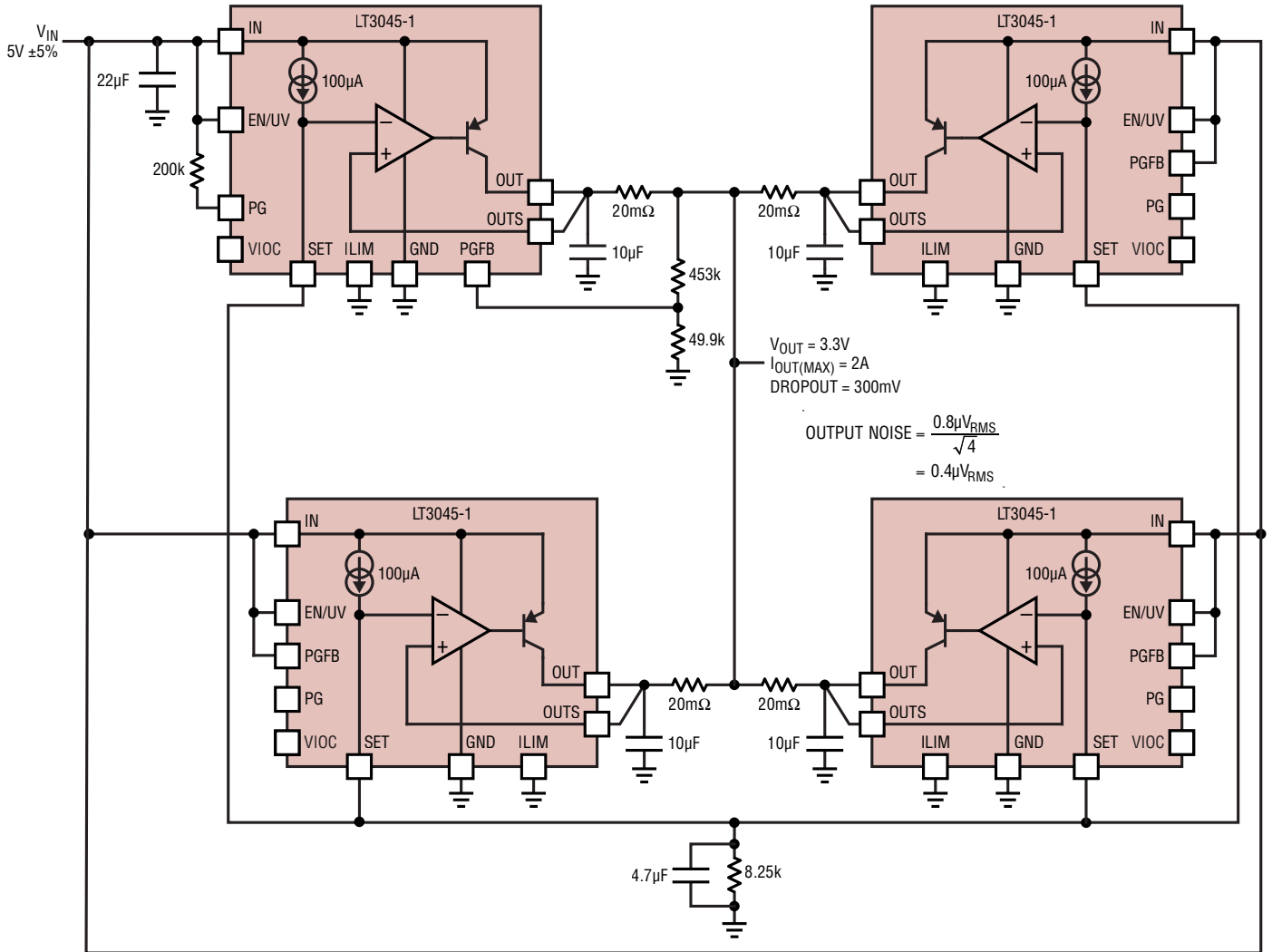
ILIM (電流モニタ)を使用した複数のデバイスの並列接続により安定抵抗での電圧降下を相殺



LT3045-1

標準的応用例

複数のLT3045-1の並列接続により出力電流2Aに対応



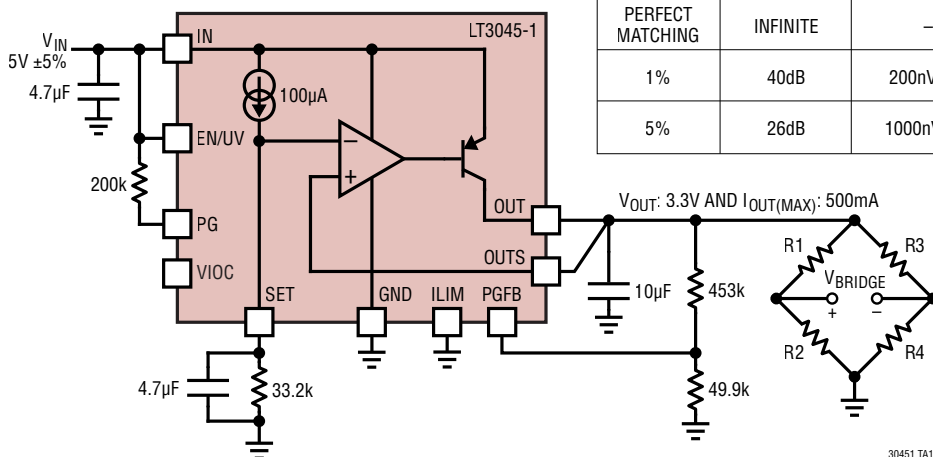
30451 TA09

標準的応用例

低ノイズ・ホイトストーン・ブリッジ電源

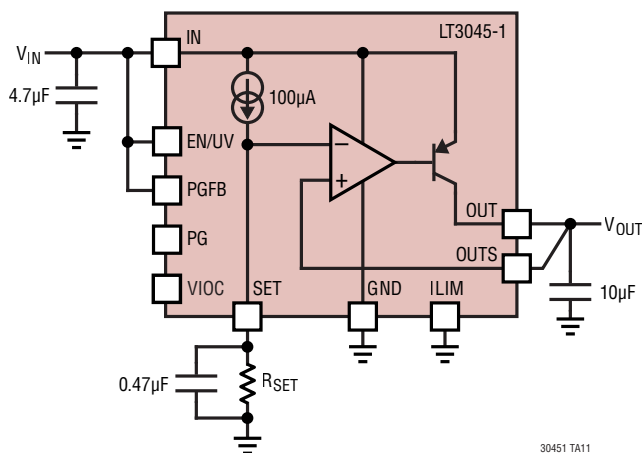
LT1763 NOISE: 20 μ V_{RMS} (10Hz TO 100kHz)
 LT3045-1 NOISE: 0.8 μ V_{RMS} (10Hz TO 100kHz)

RESISTOR TOLERANCE	BRIDGE PSRR	NOISE AT V _{BRIDGE} USING LT1763	NOISE AT V _{BRIDGE} USING LT3045-1
PERFECT MATCHING	INFINITE	-	-
1%	40dB	200nV _{RMS}	8nV _{RMS}
5%	26dB	1000nV _{RMS}	42.5nV _{RMS}



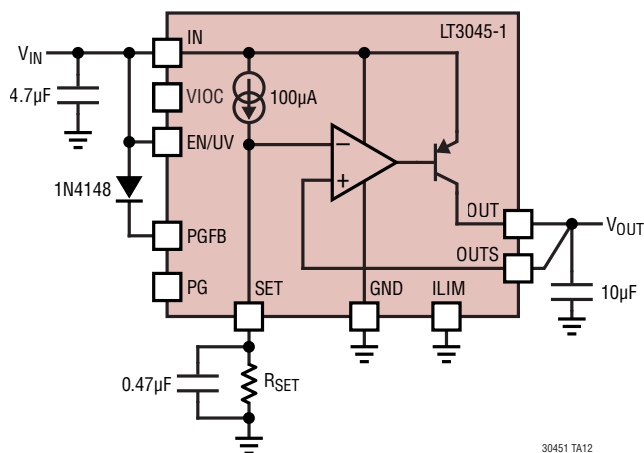
30451 TA10

逆入力保護なしでPGFBをディスエーブル



30451 TA11

逆入力保護ありでPGFBをディスエーブル

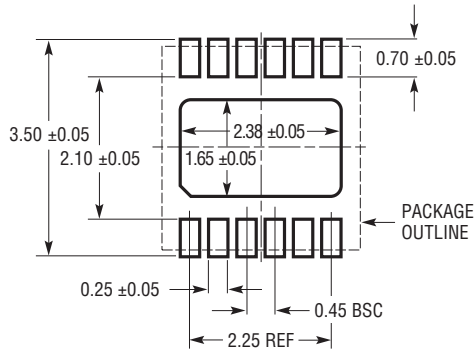


30451 TA12

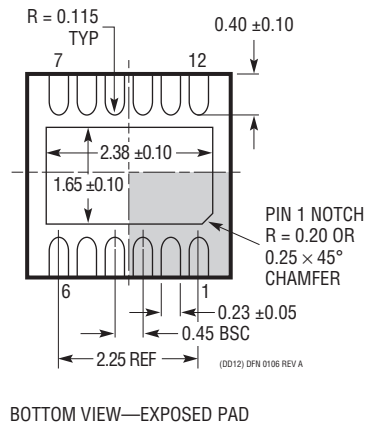
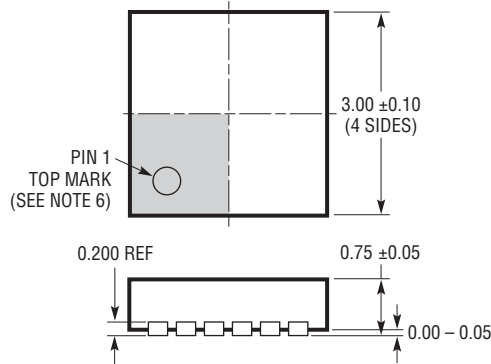
パッケージ

最新のパッケージ図は、<http://www.linear-tech.co.jp/product/LT3045-1#packaging> を参照してください。

DD Package 12-Lead Plastic DFN (3mm × 3mm) (Reference LTC DWG # 05-08-1725 Rev A)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



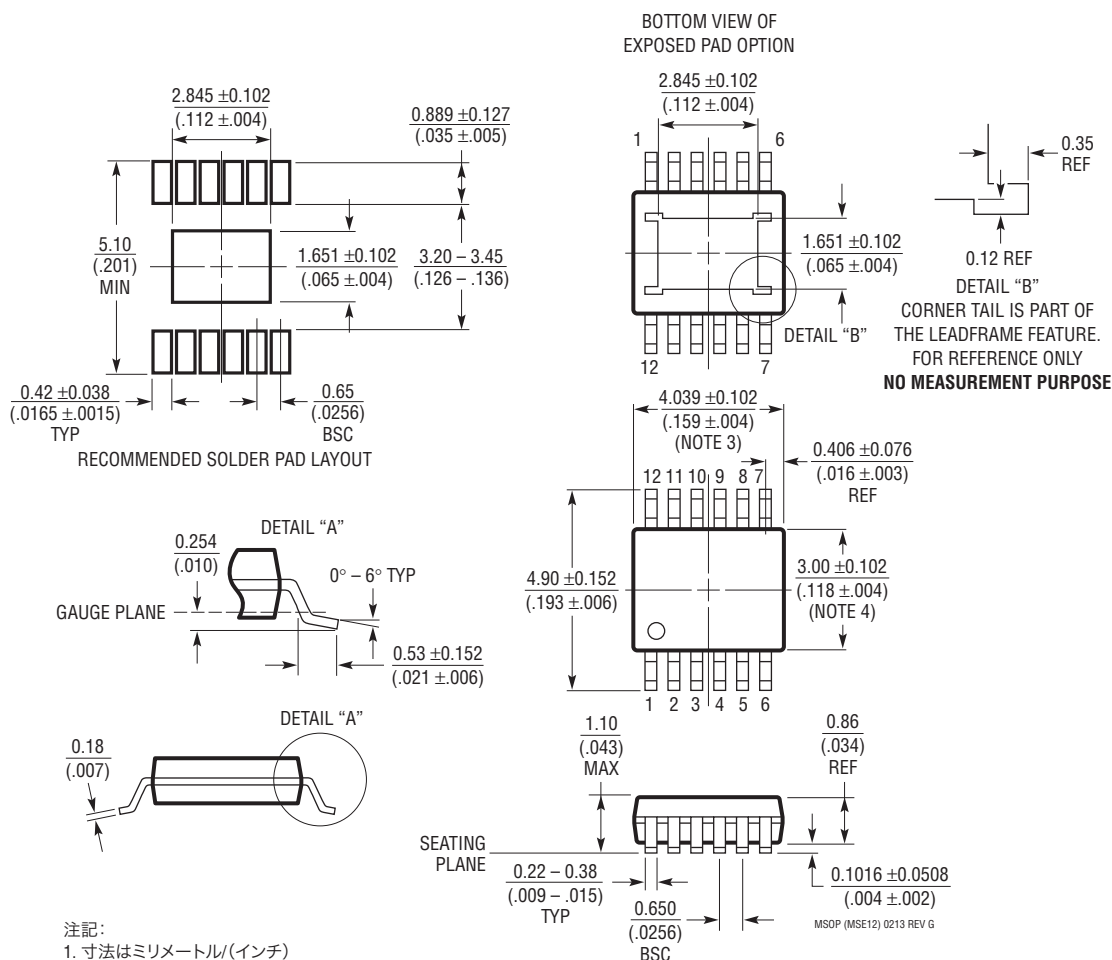
注記:

1. 図は JEDEC のパッケージ外形ではない
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは(もしあれば)各サイドで 0.15mm を超えないこと
5. 露出パッドおよびタイバーは半田メッキとする
6. 灰色の部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

パッケージの寸法

最新のパッケージ図は、<http://www.linear-tech.co.jp/product/LT3045-1#packaging> を参照してください。

MSE Package 12-Lead Plastic MSOP, Exposed Die Pad (Reference LTC DWG # 05-08-1666 Rev G)

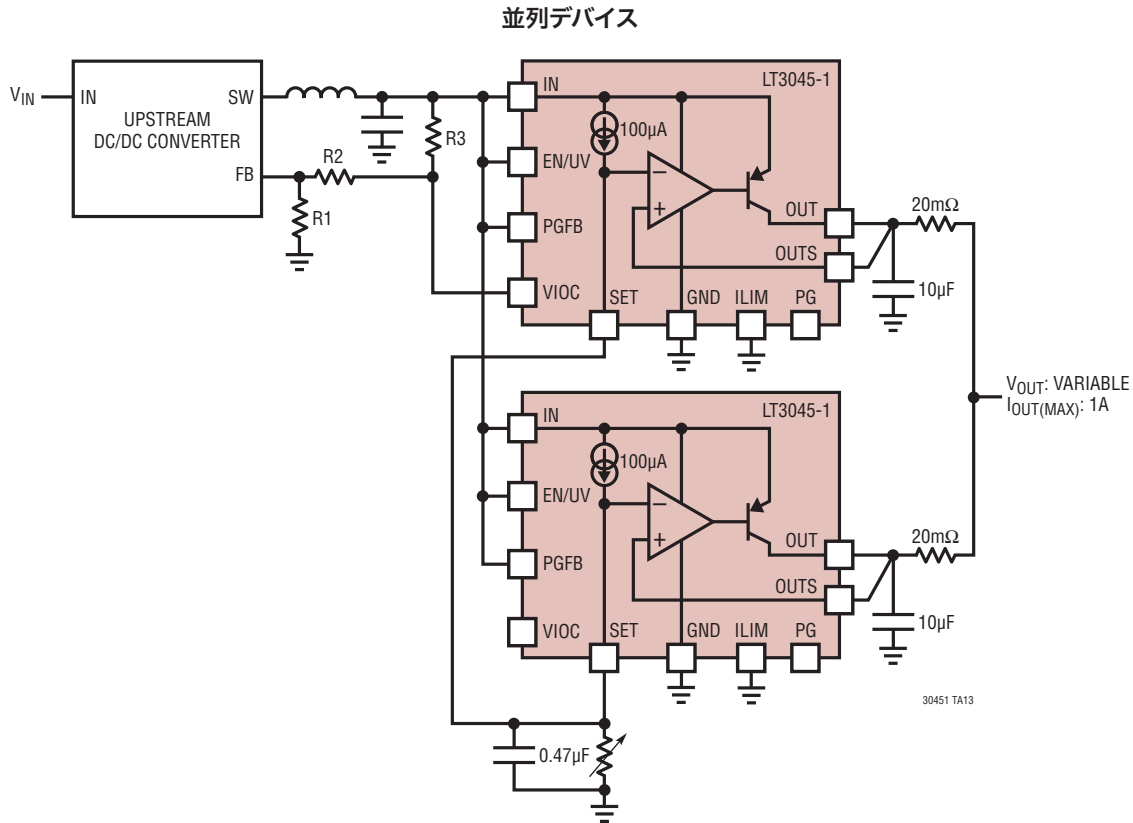


注記:

1. 寸法はミリメートル(インチ)
2. 図は実寸とは異なる
3. 寸法にはモールドのバリ、突出部、またはゲートのバリを含まない。
モールドのバリ、突出部、またはゲートのバリは、各サイドで0.152mm (0.006")を超えないこと
4. 寸法には、リード間のバリまたは突出部を含まない。
リード間のバリまたは突出部は、各サイドで0.152mm (0.006")を超えないこと
5. リードの平坦度(整形後のリードの底面)は最大0.102mm (0.004")であること
6. 露出パッドの寸法には、モールドのバリを含むE-PAD上のモールドのバリは、各サイドで0.254mm (0.010")を超えないこと

LT3045-1

標準的応用例



関連製品

製品番号	説明	注釈
LT1761	100mA、低ノイズLDO	ドロップアウト電圧: 300mV、低ノイズ: 20µVRMS、VIN = 1.8V ~ 20V、TSOT-23パッケージ
LT1763	500mA、低ノイズLDO	ドロップアウト電圧: 300mV、低ノイズ: 20µVRMS、VIN = 1.8V ~ 20V、4mm×3mm DFNおよびSO-8パッケージ
LT3042	200mA、超低ノイズおよび超高PSRR LDO	ノイズ: 0.8µVRMS、PSRR: 79dB (1MHz)、VIN = 1.8V ~ 20V、ドロップアウト電圧: 350mV、プログラム可能な電流制限およびパワーグッド、3mm×3mm DFNおよびMSOPパッケージ
LT3045	500mA、超低ノイズおよび超高PSRR LDO	ノイズ: 0.8µVRMS、PSRR: 76dB (1MHz)、VIN = 1.8V ~ 20V、ドロップアウト電圧: 260mV、プログラム可能な電流制限およびパワーグッド、3mm×3mm DFNおよびMSOPパッケージ
LT3065	ソフトスタート機能付き500mA低ノイズLDO	ドロップアウト電圧: 300mV、低ノイズ: 25µVRMS、VIN = 1.8V ~ 45V、3mm×3mm DFNおよびMSOPパッケージ
LT3080	並列接続可能、低ノイズの1.1A低ドロップアウト・リニア・レギュレータ	ドロップアウト電圧: 300mV (2電源動作)、低ノイズ: 40µVRMS、VIN: 1.2V ~ 36V、VOUT: 0V ~ 35.7V、電流ベースのリファレンス、1本の抵抗でVOUTを設定、直接並列接続可能 (オペアンプ不要)、セラミック・コンデンサで安定、TO-220、DD-PAK、SOT-223、MSOPおよび3mm×3mm DFN-8パッケージ、LT3080-1は安定抵抗を内蔵
LT3085	並列接続可能、低ノイズの500mA低ドロップアウト・リニア・レギュレータ	ドロップアウト電圧: 275mV (2電源動作)、低ノイズ: 40µVRMS、VIN: 1.2V ~ 36V、VOUT: 0V ~ 35.7V、電流ベースのリファレンス、1本の抵抗でVOUTを設定、直接並列接続可能 (オペアンプ不要)、セラミック・コンデンサで安定、MS8Eおよび2mm×3mm DFN-6パッケージ

30451f