

10ppm/°C リファレンス内蔵の デュアル 12/10/8 ビット I²C 電圧出力 DAC

特長

- 高精度リファレンス内蔵
2.5V フルスケール 10ppm/°C (LTC2633-L)
4.096V フルスケール 10ppm/°C (LTC2633-H)
- 最大 INL 誤差: ±1LSB (LTC2633A-12)
- 低ノイズ: 0.75mV_{p-p} (0.1Hz ~ 200kHz)
- -40°C ~ 125°C の温度範囲で単調性を保証
- 内部リファレンスまたは外部リファレンスを選択可能
- 電源範囲: 2.7V ~ 5.5V (LTC2633-L)
- 低消費電力動作: 0.4mA (3V 電源時)
- ゼロスケール/ミッドスケール/Hi-Z にパワー・オン・リセット
- ダブルバッファ・データ・ラッチ
- 8ピン ThinSOT™ パッケージ

アプリケーション

- モバイル通信
- プロセス制御および産業用オートメーション
- 電源マーージニング
- 携帯機器
- 車載機器

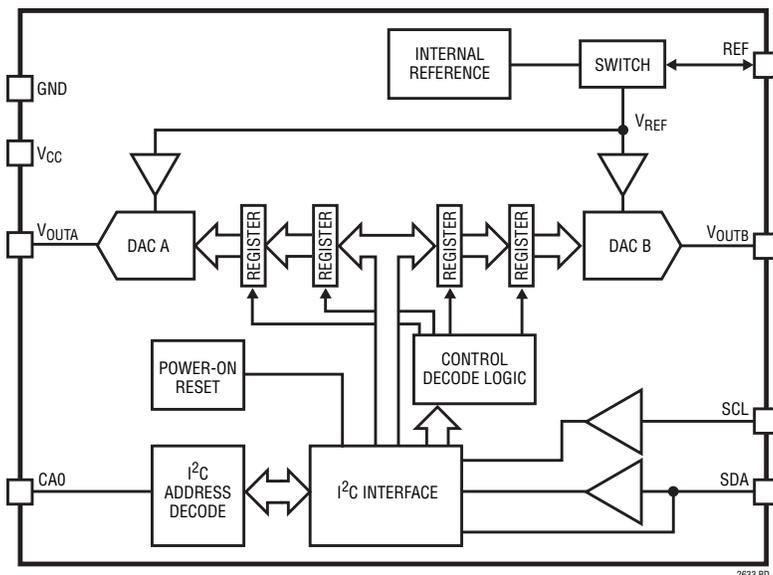
概要

LTC®2633 は、高精度、低ドリフトのリファレンスを内蔵した、デュアル 12 ビット、10 ビットおよび 8 ビット電圧出力 DAC ファミリーで、8 ピン TSOT-23 パッケージで供給されます。レール・トゥ・レール出力バッファを備えており、単調性が保証されています。LTC2633-L はフルスケール出力が 2.5V で、2.7V ~ 5.5V の単一電源で動作します。LTC2633-H はフルスケール出力が 4.096V で、4.5V ~ 5.5V の単一電源で動作します。各 DAC は外部リファレンスを使用した動作も可能で、DAC のフルスケール出力は外部リファレンス電圧に設定されます。

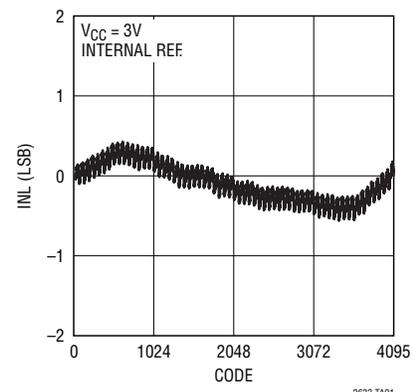
これらの DAC は、I²C 互換 2 線シリアル・インタフェースで通信を行います。LTC2633 は標準モード (クロック・レート: 100kHz) と高速モード (クロック・レート: 400kHz) のいずれでも動作します。また、LTC2633 はパワーオン・リセット回路を内蔵しています。起動後に内部リファレンス・モードでゼロスケールまたはミッドスケールにリセットするか、外部リファレンス・モードでミッドスケールにリセットするか、あるいは、リセットですべての DAC 出力を高インピーダンス状態にするかを選択できます。

LT、LT、LTC、LTM、Linear Technology および Linear のロゴはリニアテクノロジー社の登録商標です。ThinSOT はリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。5396245、5859606、6891433、6937178、7414561 を含む米国特許により保護されています。

ブロック図



積分非直線性 (LTC2633A-LZ12)
INL 曲線



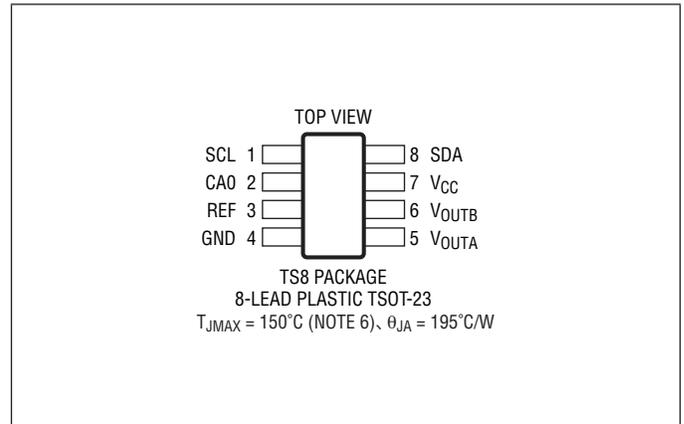
LTC2633

絶対最大定格

(Note 1, 2)

電源電圧 (V_{CC})	-0.3V ~ 6V
SCL, SDA	-0.3V ~ 6V
V_{OUTA} , V_{OUTB}	-0.3V ~ 最小 ($V_{CC} + 0.3V$, 6V)
CAO	-0.3V ~ 最小 ($V_{CC} + 0.3V$, 6V)
REF	-0.3V ~ 最小 ($V_{CC} + 0.3V$, 6V)
動作温度範囲		
LTC2633C	0°C ~ 70°C
LTC2633H (Note 3)	-40°C ~ 125°C
最大接合部温度	150°C
保存温度範囲	-65°C ~ 150°C
リード温度 (半田付け, 10秒)	300°C

ピン配置



発注情報

LTC2633 A C TS8 -L Z 12 #TRM PBF

鉛フリー指定

テープアンドリール

TR = 2,500 個テープアンドリール
TRM = 500 個テープアンドリール

分解能

12 = 12ビット
10 = 10ビット
8 = 8ビット

パワーオン・リセット

I = 内部リファレンス・モードでミッドスケールにリセット
X = 外部リファレンス・モードでミッドスケールにリセット (2.5Vのフルスケール電圧、内部リファレンス・モード・オプションのみ)
0 = 内部リファレンス・モードでミッドスケールにリセット、DAC出力はHi-Z (2.5Vのフルスケール電圧、内部リファレンス・モード・オプションのみ)
Z = 内部リファレンス・モードでゼロスケールにリセット

フルスケール電圧、内部リファレンス・モード

L = 2.5V
H = 4.096V

パッケージ

TS8 = 8ピン・プラスチック TSOT-23

温度グレード

C = コマーシャル温度範囲 (0°C ~ 70°C)
H = 車載温度範囲 (-40°C ~ 125°C)

電氣的グレード (オプション)

A = INLが最大 ±1LSB (12ビット)

製品番号

非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

2633fb

製品選択ガイド

製品番号	製品 マーキング**	内部リファレンス 使用時 VFS	パワーオン・ リセット時の コード	パワーオン時の リファレンス・ モード	分解能	V _{CC}	最大 INL
LTC2633A-LI12	LTFTC	2.5V • (4095/4096)	Mid-Scale	Internal	12-Bit	2.7V to 5.5V	±1LSB
LTC2633A-LX12	LTFTB	2.5V • (4095/4096)	Mid-Scale	External	12-Bit	2.7V to 5.5V	±1LSB
LTC2633A-LZ12	LTFSZ	2.5V • (4095/4096)	Zero-Scale	Internal	12-Bit	2.7V to 5.5V	±1LSB
LTC2633A-LO12*	LTFTV	2.5V • (4095/4096)	High Impedance	Internal	12-Bit	2.7V to 5.5V	±1LSB
LTC2633A-HI12	LTFTF	4.096V • (4095/4096)	Mid-Scale	Internal	12-Bit	4.5V to 5.5V	±1LSB
LTC2633A-HZ12	LTFTD	4.096V • (4095/4096)	Zero-Scale	Internal	12-Bit	4.5V to 5.5V	±1LSB
LTC2633-LI12	LTFTC	2.5V • (4095/4096)	Mid-Scale	Internal	12-Bit	2.7V to 5.5V	±2.5LSB
LTC2633-LI10	LTFTJ	2.5V • (1023/1024)	Mid-Scale	Internal	10-Bit	2.7V to 5.5V	±1LSB
LTC2633-LI8	LTFTQ	2.5V • (255/256)	Mid-Scale	Internal	8-Bit	2.7V to 5.5V	±0.5LSB
LTC2633-LX12	LTFTB	2.5V • (4095/4096)	Mid-Scale	External	12-Bit	2.7V to 5.5V	±2.5LSB
LTC2633-LX10	LTFTH	2.5V • (1023/1024)	Mid-Scale	External	10-Bit	2.7V to 5.5V	±1LSB
LTC2633-LX8	LTFTP	2.5V • (255/256)	Mid-Scale	External	8-Bit	2.7V to 5.5V	±0.5LSB
LTC2633-LZ12	LTFSZ	2.5V • (4095/4096)	Zero-Scale	Internal	12-Bit	2.7V to 5.5V	±2.5LSB
LTC2633-LZ10	LTFTG	2.5V • (1023/1024)	Zero-Scale	Internal	10-Bit	2.7V to 5.5V	±1LSB
LTC2633-LZ8	LTFTN	2.5V • (255/256)	Zero-Scale	Internal	8-Bit	2.7V to 5.5V	±0.5LSB
LTC2633-LO12*	LTFTV	2.5V • (4095/4096)	High Impedance	Internal	12-Bit	2.7V to 5.5V	±2.5LSB
LTC2633-LO10*	LTFTW	2.5V • (1023/1024)	High Impedance	Internal	10-Bit	2.7V to 5.5V	±1LSB
LTC2633-LO8*	LTFTX	2.5V • (255/256)	High Impedance	Internal	8-Bit	2.7V to 5.5V	±0.5LSB
LTC2633-HI12	LTFTF	4.096V • (4095/4096)	Mid-Scale	Internal	12-Bit	4.5V to 5.5V	±2.5LSB
LTC2633-HI10	LTFTM	4.096V • (1023/1024)	Mid-Scale	Internal	10-Bit	4.5V to 5.5V	±1LSB
LTC2633-HI8	LTFTS	4.096V • (255/256)	Mid-Scale	Internal	8-Bit	4.5V to 5.5V	±0.5LSB
LTC2633-HZ12	LTFTD	4.096V • (4095/4096)	Zero-Scale	Internal	12-Bit	4.5V to 5.5V	±2.5LSB
LTC2633-HZ10	LTFTK	4.096V • (1023/1024)	Zero-Scale	Internal	10-Bit	4.5V to 5.5V	±1LSB
LTC2633-HZ8	LTFTR	4.096V • (255/256)	Zero-Scale	Internal	8-Bit	4.5V to 5.5V	±0.5LSB

* 他のHi-Zオプションに関しては、弊社にお問い合わせください。

** 温度グレードは出荷時のコンテナのラベルで識別されます。

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外は T_A = 25°Cでの値。注記がない限り、V_{CC} = 2.7V ~ 5.5V、V_{OUT}に負荷なし。

LTC2633-LI12/-LI10/-LI8/-LX12/-LX10/-LX8/-LZ12/-LZ10/-LZ8/-LO12/-LO10/-LO8/LTC2633A-LI12/-LX12/-LZ12/-LO12 (V_{FS} = 2.5V)

SYMBOL	PARAMETER	CONDITIONS	LTC2633-8			LTC2633-10			LTC2633-12			LTC2633A-12			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
DC性能															
	Resolution		●	8		10		12		12				Bits	
	Monotonicity	V _{CC} = 3V, Internal Ref. (Note 4)	●	8		10		12		12				Bits	
DNL	Differential Nonlinearity	V _{CC} = 3V, Internal Ref. (Note 4)	●		±0.5		±0.5		±1		±1			LSB	
INL	Integral Nonlinearity	V _{CC} = 3V, Internal Ref. (Note 4)	●	±0.05	±0.5	±0.2	±1	±1	±2.5	±0.5	±1			LSB	
ZSE	Zero Scale Error	V _{CC} = 3V, Internal Ref., Code = 0	●	0.5	5	0.5	5	0.5	5	0.5	5			mV	
V _{OS}	Offset Error	V _{CC} = 3V, Internal Ref. (Note 5)	●	±0.5	±5	±0.5	±5	±0.5	±5	±0.5	±5			mV	
V _{OSTC}	V _{OS} Temperature Coefficient	V _{CC} = 3V, Internal Ref.		±10		±10		±10		±10				µV/°C	
GE	Gain Error	V _{CC} = 3V, Internal Ref.	●	±0.2	±0.8	±0.2	±0.8	±0.2	±0.8	±0.2	±0.8			%FSR	

LTC2633

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = 2.7\text{V} \sim 5.5\text{V}$ 、 V_{OUT} に負荷なし。

LTC2633-LI12/-LI10/-LI8/-LX12/-LX10/-LX8/-LZ12/-LZ10/-LZ8/-LO12/-LO10/-LO8/LTC2633A-LI12/-LX12/-LZ12/-LO12 ($V_{FS} = 2.5\text{V}$)

SYMBOL	PARAMETER	CONDITIONS	LTC2633-8			LTC2633-10			LTC2633-12			LTC2633A-12			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
G_{ETC}	Gain Temperature Coefficient	$V_{CC} = 3\text{V}$, Internal Ref. (Note 10) C-Grade H-Grade		10 10		10 10		10 10		10 10		10 10		ppm/ $^\circ\text{C}$ ppm/ $^\circ\text{C}$	
	Load Regulation	Internal Ref., Mid-Scale, $V_{CC} = 3\text{V} \pm 10\%$, $-5\text{mA} \leq I_{OUT} \leq 5\text{mA}$ $V_{CC} = 5\text{V} \pm 10\%$, $-10\text{mA} \leq I_{OUT} \leq 10\text{mA}$	●	0.009	0.016	0.035	0.064	0.14	0.256	0.14	0.256	0.14	0.256	LSB/mA	
			●	0.009	0.016	0.035	0.064	0.14	0.256	0.14	0.256	0.14	0.256	LSB/mA	
R_{OUT}	DC Output Impedance	Internal Ref., Mid-Scale, $V_{CC} = 3\text{V} \pm 10\%$, $-5\text{mA} \leq I_{OUT} \leq 5\text{mA}$ $V_{CC} = 5\text{V} \pm 10\%$, $-10\text{mA} \leq I_{OUT} \leq 10\text{mA}$	●	0.09	0.156	0.09	0.156	0.09	0.156	0.09	0.156	0.09	0.156	Ω	
			●	0.09	0.156	0.09	0.156	0.09	0.156	0.09	0.156	0.09	0.156	Ω	

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{OUT}	DAC Output Span	External Reference Internal Reference		0 to V_{REF} 0 to 2.5		V V
PSR	Power Supply Rejection	$V_{CC} = 3\text{V} \pm 10\%$ or $5\text{V} \pm 10\%$		-80		dB
I_{SC}	Short Circuit Output Current (Note 6) Sinking Sourcing	$V_{FS} = V_{CC} = 5.5\text{V}$ Zero Scale; V_{OUT} shorted to V_{CC} Full Scale; V_{OUT} shorted to GND	●	27 -28	48 -48	mA mA
DAC I_{SD}	DAC Output Current in High Impedance Mode	LO Options Only	●	0.01	± 0.5	μA

電源

V_{CC}	Positive Supply Voltage	For Specified Performance	●	2.7	5.5	V	
I_{CC}	Supply Current (Note 7)	$V_{CC} = 3\text{V}$, $V_{REF} = 2.5\text{V}$, External Reference $V_{CC} = 3\text{V}$, Internal Reference $V_{CC} = 5\text{V}$, $V_{REF} = 2.5\text{V}$, External Reference $V_{CC} = 5\text{V}$, Internal Reference	● ● ● ●		0.3 0.4 0.3 0.4	0.5 0.6 0.5 0.6	mA mA mA mA
I_{SD}	Supply Current in Power-Down Mode (Note 7)	$V_{CC} = 5\text{V}$	●		0.5	2	μA

リファレンス入力

	Input Voltage Range		●	1	V_{CC}	V	
	Resistance		●	120	160	200	k Ω
	Capacitance				12		pF
I_{REF}	Reference Current, Power Down Mode	DAC Powered Down	●		0.005	5	μA

リファレンス出力

	Output Voltage		●	1.24	1.25	1.26	V
	Reference Temperature Coefficient				± 10		ppm/ $^\circ\text{C}$
	Output Impedance				0.5		k Ω
	Capacitive Load Driving				10		μF
	Short Circuit Current	$V_{CC} = 5.5\text{V}$, REF Shorted to GND			2.5		mA

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = 2.7\text{V} \sim 5.5\text{V}$ 、 V_{OUT} に負荷なし。

LTC2633-LI12/-LI10/-LI8/-LX12/-LX10/-LX8/-LZ12/-LZ10/-LZ8/-LO12/-LO10/-LO8/LTC2633A-LI12/-LX12/-LZ12/-LO12 ($V_{FS} = 2.5\text{V}$)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
デジタルI/O						
V_{IL}	Low Level Input Voltage (SDA and SCL)	(Note 14)	●	-0.5	$0.3V_{CC}$	V
V_{IH}	High Level Input Voltage (SDA and SCL)	(Note 11)	●	$0.7V_{CC}$		V
$V_{IL(CAO)}$	Low Level Input Voltage on CA0	See Test Circuit 1	●		$0.15V_{CC}$	V
$V_{IH(CAO)}$	High Level Input Voltage on CA0	See Test Circuit 1	●	$0.85V_{CC}$		V
R_{INH}	Resistance from CA0 to V_{CC} to Set CA0 = V_{CC}	See Test Circuit 2	●		10	$k\Omega$
R_{INL}	Resistance from CA0 to GND to Set CA0 = GND	See Test Circuit 2	●		10	$k\Omega$
R_{INF}	Resistance from CA0 to V_{CC} or GND to Set CA0 = Float	See Test Circuit 2	●	2		$M\Omega$
V_{OL}	Low Level Output Voltage	Sink Current = 3mA	●	0	0.4	V
t_{OF}	Output Fall Time	$V_O = V_{IH(MIN)}$ to $V_O = V_{IL(MAX)}$, $C_B = 10\text{pF}$ to 400pF (Note 12)	●	$20 + 0.1C_B$	250	ns
t_{SP}	Pulse Width of Spikes Suppressed by Input Filter		●	0	50	ns
I_{IN}	Input Leakage	$0.1V_{CC} \leq V_{IN} \leq 0.9V_{CC}$	●		1	μA
C_{IN}	I/O Pin Capacitance	(Note 8)	●		8	pF
C_B	Capacitive Load for Each Bus Line		●		400	pF
C_{CA0}	External Capacitive Load on Address Pin CA0		●		10	pF

AC性能

t_s	Settling Time	$V_{CC} = 3\text{V}$ (Note 9) $\pm 0.39\%$ ($\pm 1\text{LSB}$ at 8 Bits) $\pm 0.098\%$ ($\pm 1\text{LSB}$ at 10 Bits) $\pm 0.024\%$ ($\pm 1\text{LSB}$ at 12 Bits)				μs
					3.4	μs
					4.0	μs
	Voltage Output Slew Rate			1.0		$\text{V}/\mu\text{s}$
	Capacitive Load Driving			500		pF
	Glitch Impulse	At Mid-Scale Transition		2.8		$\text{nV}\cdot\text{s}$
	DAC-to-DAC Crosstalk	1 DAC Held at FS, 1 DAC Switch 0-FS		5.2		$\text{nV}\cdot\text{s}$
	Multiplying Bandwidth	External Reference		320		kHz
e_n	Output Voltage Noise Density	At $f = 1\text{kHz}$, External Reference At $f = 10\text{kHz}$, External Reference At $f = 1\text{kHz}$, Internal Reference At $f = 10\text{kHz}$, Internal Reference		180		$\text{nV}/\sqrt{\text{Hz}}$
				160		$\text{nV}/\sqrt{\text{Hz}}$
				200		$\text{nV}/\sqrt{\text{Hz}}$
				180		$\text{nV}/\sqrt{\text{Hz}}$
	Output Voltage Noise	0.1Hz to 10Hz, External Reference 0.1Hz to 10Hz, Internal Reference 0.1Hz to 200kHz, External Reference 0.1Hz to 200kHz, Internal Reference $C_{REF} = 0.1\mu\text{F}$		30		μV_{P-P}
				35		μV_{P-P}
				680		μV_{P-P}
				730		μV_{P-P}

LTC2633

タイミング特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V_{CC} = 2.7\text{V} \sim 5.5\text{V}$ 。
(図1を参照) (Note 13)

LTC2633-LI12/-LI10/-LI8/-LX12/-LX10/-LX8/-LZ12/-LZ10/-LZ8/-LO12/-LO10/-LO8/LTC2633A-LI12/-LX12/-LZ12/-LO12 ($V_{FS} = 2.5\text{V}$)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f_{SCL}	SCL Clock Frequency		●	0	400	kHz
$t_{HD(STA)}$	Hold Time (Repeated) Start Condition		●	0.6		μs
t_{LOW}	Low Period of the SCL Clock Pin		●	1.3		μs
t_{HIGH}	High Period of the SCL Clock Pin		●	0.6		μs
$t_{SU(STA)}$	Set-Up Time for a Repeated Start Condition		●	0.6		μs
$t_{HD(DAT)}$	Data Hold Time		●	0	0.9	μs
$t_{SU(DAT)}$	Data Set-Up Time		●	100		ns
t_r	Rise Time of Both SDA and SCL Signals	(Note 12)	●	$20 + 0.1C_B$	300	ns
t_f	Fall Time of Both SDA and SCL Signals	(Note 12)	●	$20 + 0.1C_B$	300	ns
$t_{SU(STO)}$	Set-Up Time for Stop Condition		●	0.6		μs
t_{BUF}	Bus Free Time Between a Stop and Start Condition		●	1.3		μs

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = 4.5\text{V} \sim 5.5\text{V}$ 、 V_{OUT} に負荷なし。

LTC2633-HI12/-HI10/-HI8/-HZ12/-HZ10/-HZ8/LTC2633A-HI12/-HZ12 ($V_{FS} = 4.096\text{V}$)

SYMBOL	PARAMETER	CONDITIONS	LTC2633-8			LTC2633-10			LTC2633-12			LTC2633A-12			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
DC性能															
	Resolution		●	8		10		12		12				Bits	
	Monotonicity	$V_{CC} = 5\text{V}$, Internal Ref. (Note 4)	●	8		10		12		12				Bits	
DNL	Differential Nonlinearity	$V_{CC} = 5\text{V}$, Internal Ref. (Note 4)	●		± 0.5		± 0.5		± 1		± 1		± 1	LSB	
INL	Integral Nonlinearity	$V_{CC} = 5\text{V}$, Internal Ref. (Note 4)	●	± 0.05	± 0.5	± 0.2	± 1	± 1	± 2.5	± 0.5	± 1			LSB	
ZSE	Zero Scale Error	$V_{CC} = 5\text{V}$, Internal Ref., Code = 0	●	0.5	5	0.5	5	0.5	5	0.5	5	0.5	5	mV	
V_{OS}	Offset Error	$V_{CC} = 5\text{V}$, Internal Ref. (Note 5)	●	± 0.5	± 5	± 0.5	± 5	± 0.5	± 5	± 0.5	± 5	± 0.5	± 5	mV	
V_{OSTC}	V_{OS} Temperature Coefficient	$V_{CC} = 5\text{V}$, Internal Ref.		± 10		± 10		± 10		± 10		± 10		$\mu\text{V}/^\circ\text{C}$	
GE	Gain Error	$V_{CC} = 5\text{V}$, Internal Ref.	●	± 0.2	± 0.8	± 0.2	± 0.8	± 0.2	± 0.8	± 0.2	± 0.8	± 0.2	± 0.8	%FSR	
GE_{TC}	Gain Temperature Coefficient	$V_{CC} = 5\text{V}$, Internal Ref. (Note 10) C-Grade H-Grade		10 10		10 10		10 10		10 10		10 10		ppm/ $^\circ\text{C}$ ppm/ $^\circ\text{C}$	
	Load Regulation	$V_{CC} = 5\text{V} \pm 10\%$, Internal Ref. Mid-Scale, $-10\text{mA} \leq I_{OUT} \leq 10\text{mA}$	●	0.006	0.01	0.022	0.04	0.09	0.16	0.09	0.16	0.09	0.16	LSB/mA	
R_{OUT}	DC Output Impedance	$V_{CC} = 5\text{V} \pm 10\%$, Internal Ref. Mid-Scale, $-10\text{mA} \leq I_{OUT} \leq 10\text{mA}$	●	0.09	0.156	0.09	0.156	0.09	0.156	0.09	0.156	0.09	0.156	Ω	

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = 4.5\text{V} \sim 5.5\text{V}$ 、 V_{OUT} に負荷なし。

LTC2633-HI12/-HI10/-HI8/-HZ12/-HZ10/-HZ8/LTC2633A-HI12/-HZ12 ($V_{FS} = 4.096\text{V}$)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{OUT}	DAC Output Span	External Reference		0 to V_{REF}		V	
		Internal Reference		0 to 4.096		V	
PSR	Power Supply Rejection	$V_{CC} = 5\text{V} \pm 10\%$		-80		dB	
I_{SC}	Short Circuit Output Current (Note 6)	$V_{FS} = V_{CC} = 5.5\text{V}$ Zero Scale; V_{OUT} shorted to V_{CC} Full Scale; V_{OUT} shorted to GND	● ●	Sinking	27	48	mA
				Sourcing	-28	-48	mA

電源

V_{CC}	Positive Supply Voltage	For Specified Performance	●	4.5	5.5	V
I_{CC}	Supply Current (Note 7)	$V_{CC} = 5\text{V}$, $V_{REF} = 4.096\text{V}$, External Reference	●	0.4	0.6	mA
		$V_{CC} = 5\text{V}$, Internal Reference	●	0.5	0.7	mA
I_{SD}	Supply Current in Power-Down Mode (Note 7)	$V_{CC} = 5\text{V}$	●	0.5	2	μA

リファレンス入力

	Input Voltage Range		●	1	V_{CC}	V	
	Resistance		●	120	160	200	$\text{k}\Omega$
	Capacitance			12		pF	
I_{REF}	Reference Current, Power Down Mode	DAC Powered Down	●	0.005	5	μA	

リファレンス出力

	Output Voltage		●	2.032	2.048	2.064	V
	Reference Temperature Coefficient				± 10		ppm/ $^\circ\text{C}$
	Output Impedance				0.5		$\text{k}\Omega$
	Capacitive Load Driving				10		μF
	Short Circuit Current	$V_{CC} = 5.5\text{V}$, REF Shorted to GND			4		mA

デジタルI/O

V_{IL}	Low Level Input Voltage (SDA and SCL)	(Note 14)	●	-0.5	$0.3V_{CC}$	V
V_{IH}	High Level Input Voltage (SDA and SCL)	(Note 11)	●	$0.7V_{CC}$		V
$V_{IL(CAO)}$	Low Level Input Voltage on CAO	See Test Circuit 1	●		$0.15V_{CC}$	V
$V_{IH(CAO)}$	High Level Input Voltage on CAO	See Test Circuit 1	●	$0.85V_{CC}$		V
R_{INH}	Resistance from CAO to V_{CC} to Set CAO = V_{CC}	See Test Circuit 2	●		10	$\text{k}\Omega$
R_{INL}	Resistance from CAO to GND to Set CAO = GND	See Test Circuit 2	●		10	$\text{k}\Omega$
R_{INF}	Resistance from CAO to V_{CC} or GND to Set CAO = Float	See Test Circuit 2	●	2		$\text{M}\Omega$
V_{OL}	Low Level Output Voltage	Sink Current = 3mA	●	0	0.4	V
t_{OF}	Output Fall Time	$V_O = V_{IH(MIN)}$ to $V_O = V_{IL(MAX)}$, $C_B = 10\text{pF}$ to 400pF (Note 12)	●	$20 + 0.1C_B$	250	ns
t_{SP}	Pulse Width of Spikes Suppressed by Input Filter		●	0	50	ns
I_{IN}	Input Leakage	$0.1V_{CC} \leq V_{IN} \leq 0.9V_{CC}$	●		1	μA

LTC2633

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = 4.5\text{V} \sim 5.5\text{V}$ 、 V_{OUT} に負荷なし。

LTC2633-HI12/-HI10/-HI8/-HZ12/-HZ10/-HZ8/LTC2633A-HI12/-HZ12 ($V_{FS} = 4.096\text{V}$)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
C_{IN}	I/O Pin Capacitance	(Note 8)	●		8	pF
C_B	Capacitive Load for Each Bus Line		●		400	pF
C_{CA0}	External Capacitive Load on Address Pin CA0		●		10	pF

AC性能

t_s	Settling Time	$V_{CC} = 5\text{V}$ (Note 9)				
		$\pm 0.39\%$ ($\pm 1\text{LSB}$ at 8 Bits)		3.7		μs
		$\pm 0.098\%$ ($\pm 1\text{LSB}$ at 10 Bits)		4.0		μs
		$\pm 0.024\%$ ($\pm 1\text{LSB}$ at 12 Bits)		4.7		μs
	Voltage Output Slew Rate			1.0		$\text{V}/\mu\text{s}$
	Capacitive Load Driving			500		pF
	Glitch Impulse	At Mid-Scale Transition		3.0		$\text{nV}\cdot\text{s}$
	DAC-to-DAC Crosstalk	1 DAC Held at FS, 1 DAC Switch 0-FS		6.7		$\text{nV}\cdot\text{s}$
	Multiplying Bandwidth	External Reference		320		kHz
e_n	Output Voltage Noise Density	At $f = 1\text{kHz}$, External Reference		180		$\text{nV}/\sqrt{\text{Hz}}$
		At $f = 10\text{kHz}$, External Reference		160		$\text{nV}/\sqrt{\text{Hz}}$
		At $f = 1\text{kHz}$, Internal Reference		250		$\text{nV}/\sqrt{\text{Hz}}$
		At $f = 10\text{kHz}$, Internal Reference		230		$\text{nV}/\sqrt{\text{Hz}}$
	Output Voltage Noise	0.1Hz to 10Hz, External Reference		30		μV_{P-P}
		0.1Hz to 10Hz, Internal Reference		40		μV_{P-P}
		0.1Hz to 200kHz, External Reference		680		μV_{P-P}
		0.1Hz to 200kHz, Internal Reference		750		μV_{P-P}
		$C_{REF} = 0.1\mu\text{F}$				

タイミング特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $V_{CC} = 4.5\text{V} \sim 5.5\text{V}$ 。
(図1を参照) (Note 13)

LTC2633-HI12/-HI10/-HI8/-HZ12/-HZ10/-HZ8/LTC2633A-HI12/-HZ12 ($V_{FS} = 4.096\text{V}$)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f_{SCL}	SCL Clock Frequency		0		400	kHz
$t_{HD(STA)}$	Hold Time (Repeated) Start Condition		0.6			μs
t_{LOW}	Low Period of the SCL Clock Pin		1.3			μs
t_{HIGH}	High Period of the SCL Clock Pin		0.6			μs
$t_{SU(STA)}$	Set-Up Time for a Repeated Start Condition		0.6			μs
$t_{HD(DAT)}$	Data Hold Time		0		0.9	μs
$t_{SU(DAT)}$	Data Set-Up Time		100			ns
t_r	Rise Time of Both SDA and SCL Signals	(Note 12)	$20 + 0.1C_B$		300	ns
t_f	Fall Time of Both SDA and SCL Signals	(Note 12)	$20 + 0.1C_B$		300	ns
$t_{SU(STO)}$	Set-Up Time for Stop Condition		0.6			μs
t_{BUF}	Bus Free Time Between a Stop and Start Condition		1.3			μs

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: 全ての電圧はGNDを基準にしている。

Note 3: 高い温度は動作寿命に悪影響を及ぼす。温度が 105°C を超えると、動作寿命は短くなる。

Note 4: 直線性と単調性はコード k_L からコード $2^N - 1$ まで定義されている。ここで、 N は分解能で、 k_L は $k_L = 0.016 \cdot (2^N / V_{FS})$ で与えられ、最も近い整数のコードに丸められている。 $V_{FS} = 2.5\text{V}$ および $N = 12$ の場合、 $k_L = 26$ となり、直線性はコード 26 からコード 4,095 まで定義される。 $V_{FS} = 4.096\text{V}$ で $N = 12$ の場合、 $k_L = 16$ となり、直線性はコード 16 からコード 4,095 まで定義される。

Note 5: コード 16 (LTC2633-12)、コード 4 (LTC2633-10) またはコード 1 (LTC2633-8) およびフルスケールでの測定から推測される。

Note 6: このデバイスには短時間の過負荷状態の間デバイスを保護するための電流制限が備わっている。電流制限時に接合部温度が最大定格を超えることがある。規定された最高動作接合部温度を超えた動作が継続すると、デバイスの信頼性を損なうおそれがある。

Note 7: 0V または V_{CC} でのデジタル入力。

Note 8: 設計によって保証されているが、製造時にはテストされない。

Note 9: 内部リファレンス・モード DAC は 1/4 スケールから 3/4 スケールへ、さらに 3/4 スケールから 1/4 スケールへステップさせる。負荷は GND に並列に接続した $2\text{k}\Omega$ と 100pF 。

Note 10: 温度係数は出力電圧の最大変化を規定温度範囲で割って計算される。

Note 11: 最大 $V_{IH} = V_{CC(MAX)} + 0.5\text{V}$

Note 12: $C_B = 1$ 本のバスラインの容量 (pF)。

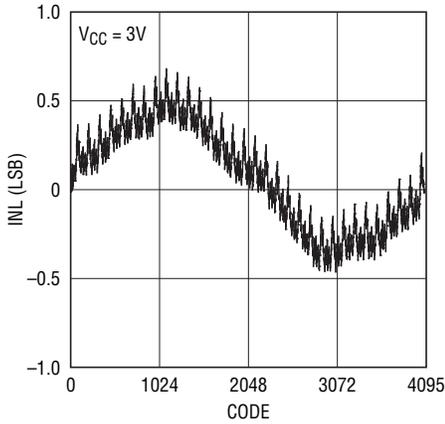
Note 13: すべての値は $V_{IH} = V_{IH(MIN)}$ および $V_{IL} = V_{IL(MAX)}$ のレベルを基準にしている。

Note 14: 最小 V_{IL} は絶対最大定格を超える。この状態はデバイスに損傷を与えないが、性能を低下させることがある。

LTC2633

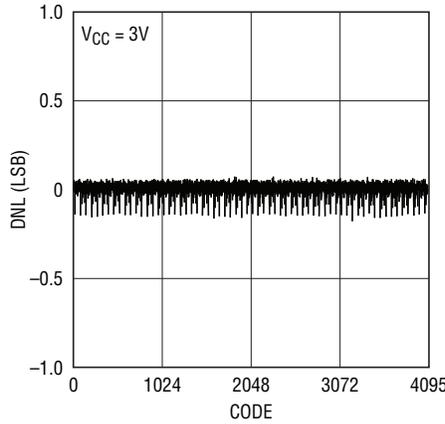
標準的性能特性 T注記がない限り、 $T_A = 25^\circ\text{C}$ 。
LTC2633-L12 (内部リファレンス、 $V_{FS} = 2.5\text{V}$)

積分非直線性 (INL)



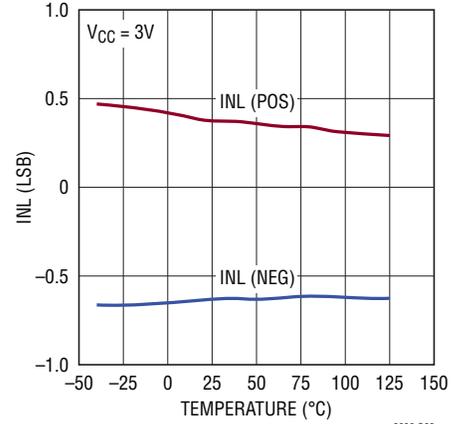
2633 G01

微分非直線性 (DNL)



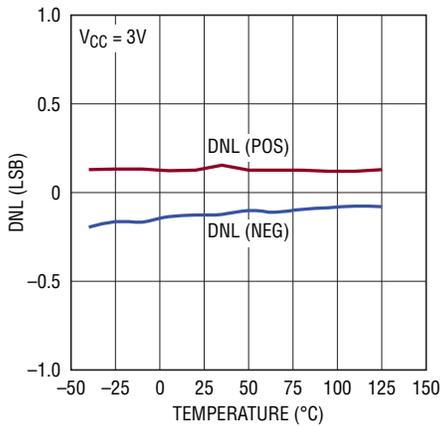
2633 G02

INLと温度



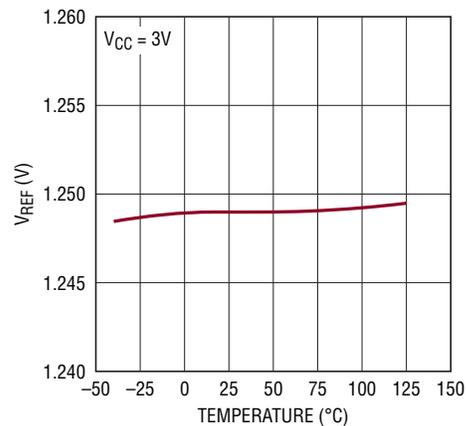
2633 G03

DNLと温度



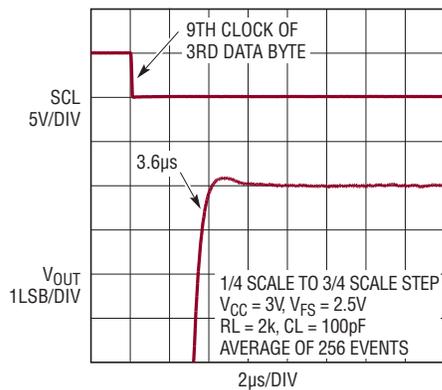
2633 G04

リファレンス出力電圧と温度



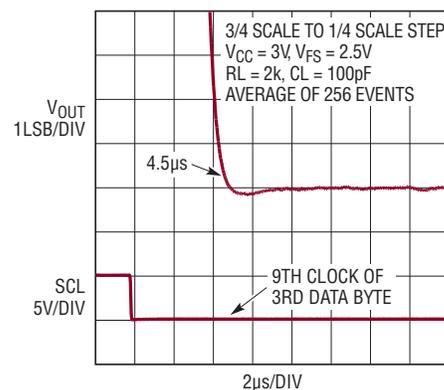
2633 G05

±1LSBへのセトリング
(立ち上がり)



2633 G06

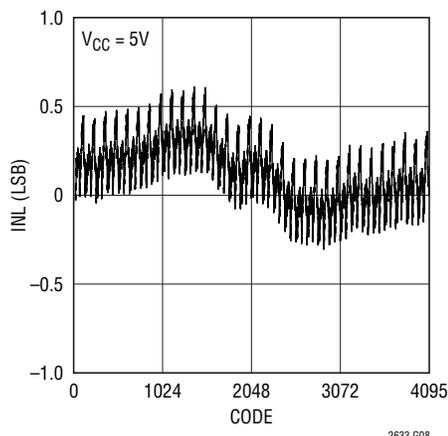
±1LSBへのセトリング
(立ち下がり)



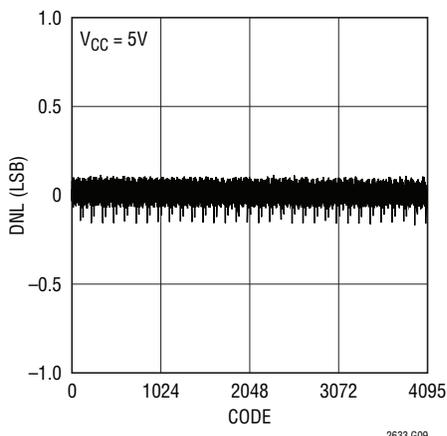
2633 G07

標準的性能特性 T注記がない限り、 $T_A = 25^\circ\text{C}$ 。
LTC2633-H12(内部リファレンス、 $V_{FS} = 4.096\text{V}$)

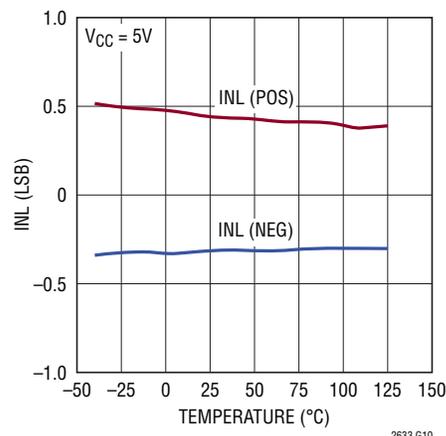
積分非直線性 (INL)



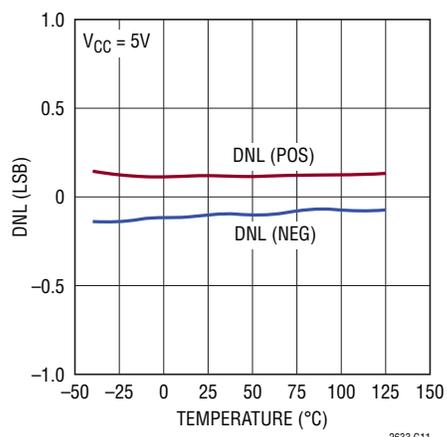
微分非直線性 (DNL)



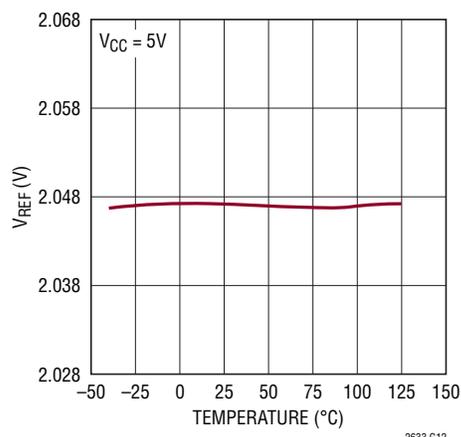
INLと温度



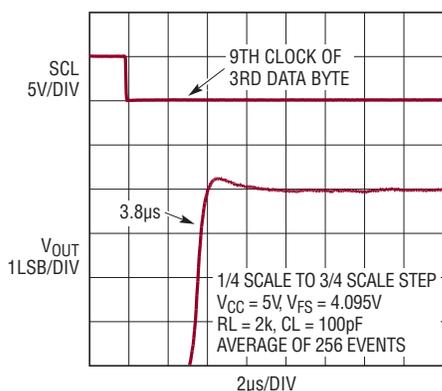
DNLと温度



リファレンス出力電圧と温度

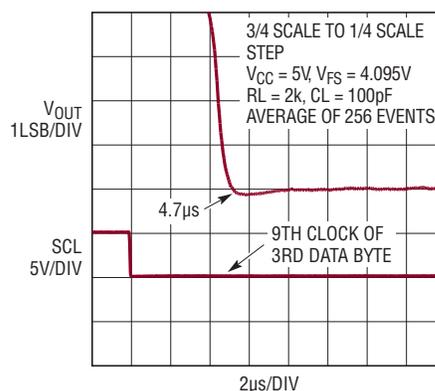


±1LSBへのセトリング (立ち上がり)



2633 G13

±1LSBへのセトリング (立ち下がり)

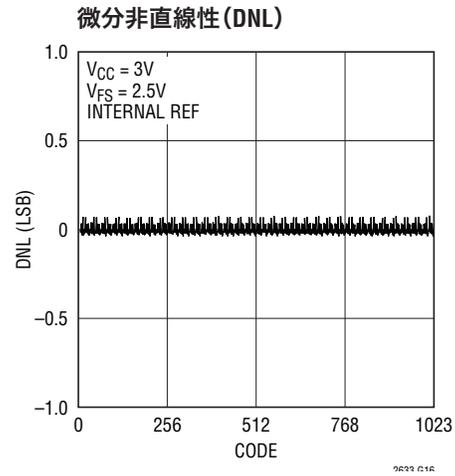
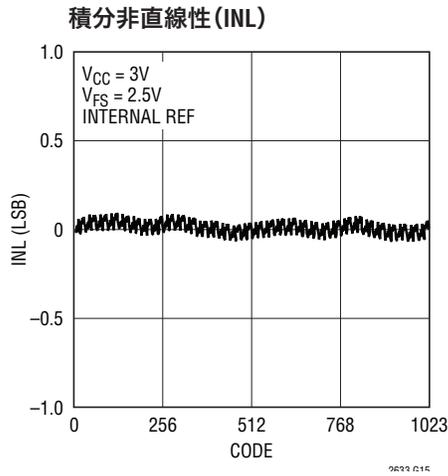


2633 G14

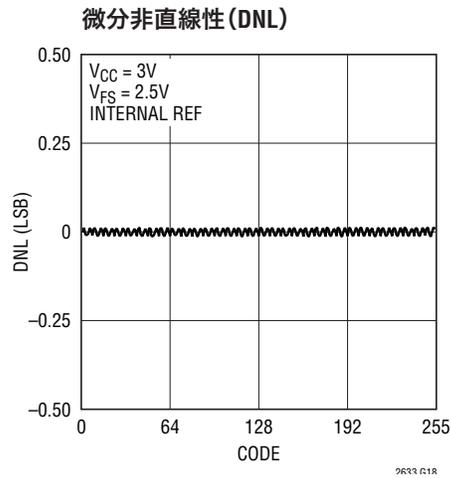
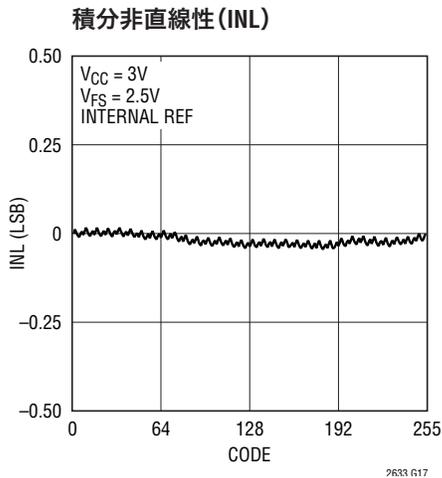
LTC2633

標準的性能特性 T注記がない限り、 $T_A = 25^\circ\text{C}$ 。

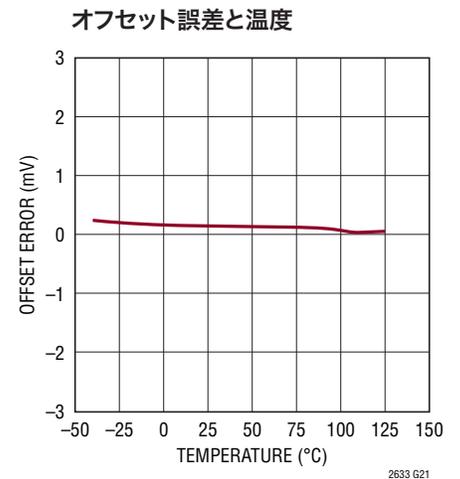
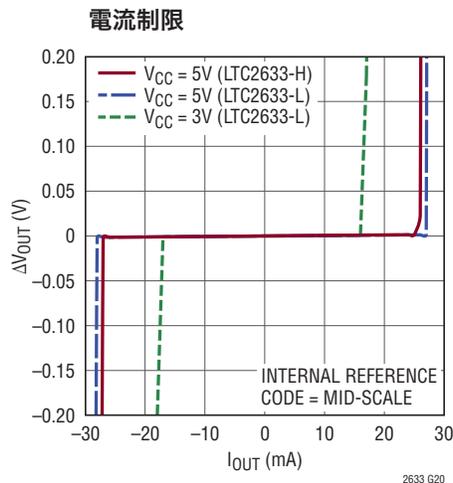
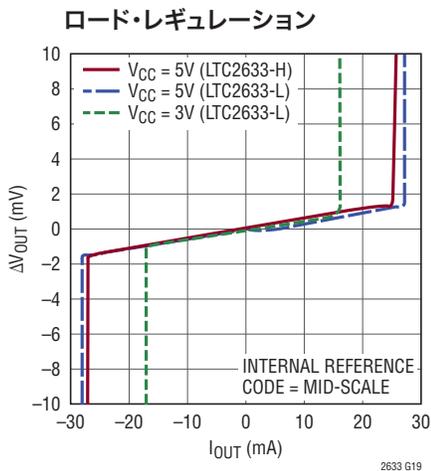
LTC2633-10



LTC2633-8



LTC2633

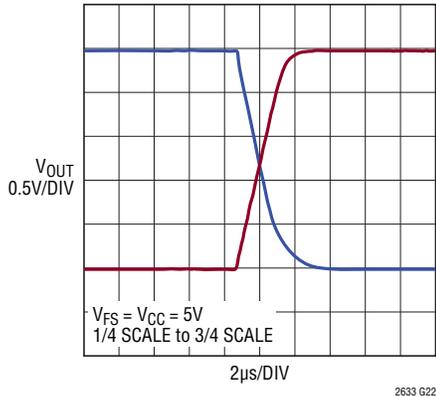


2633fb

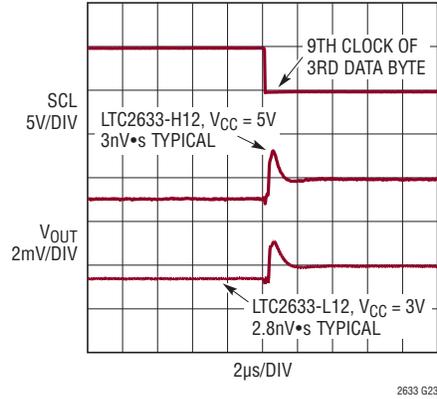
標準的性能特性 T注記がない限り、 $T_A = 25^\circ\text{C}$ 。

LTC2633

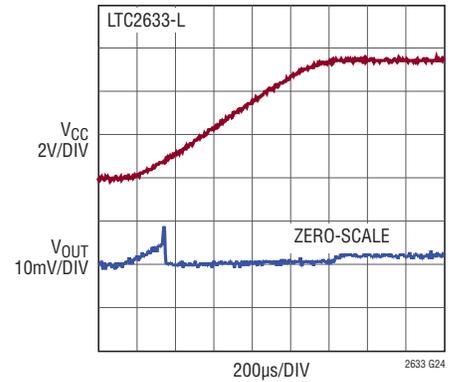
大信号応答



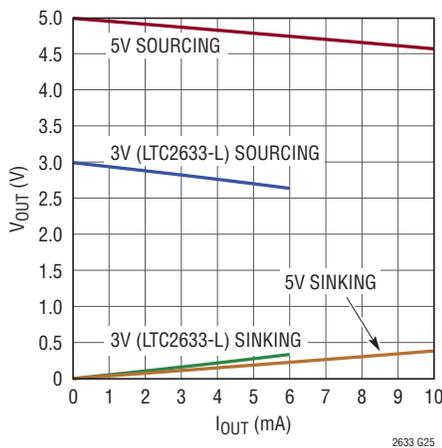
ミッドスケール・グリッチ・インパルス



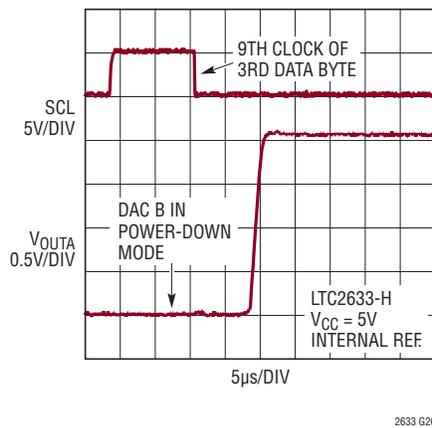
パワーオン・リセット・グリッチ



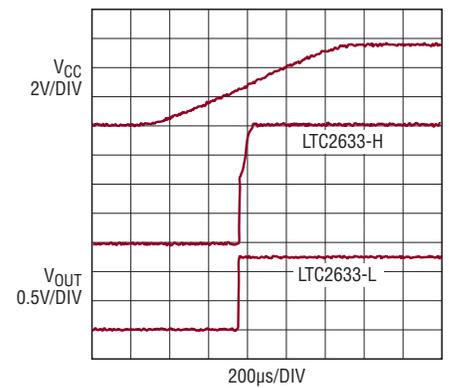
レールの空き高と出力電流



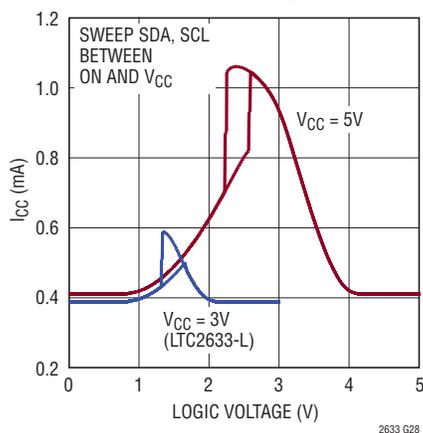
パワーダウン終了からミッドスケールまで



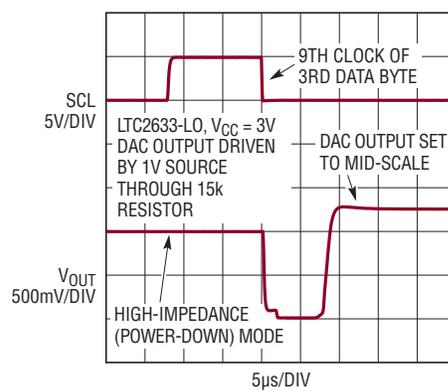
ミッドスケールへのパワーオン・リセット



電源電流とロジック電圧



Hi-Zオプションのパワーダウンの終了

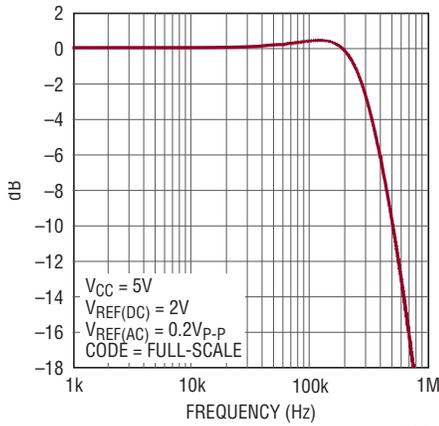


LTC2633

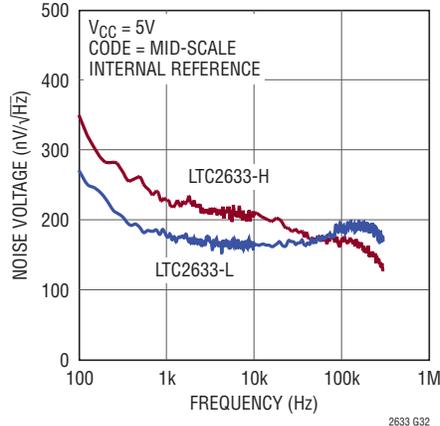
標準的性能特性 T注記がない限り、 $T_A = 25^\circ\text{C}$ 。

LTC2633

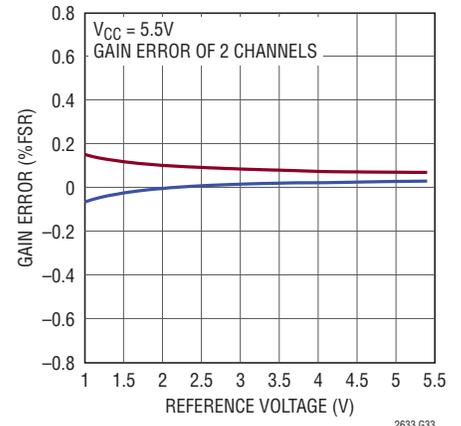
乗算帯域幅



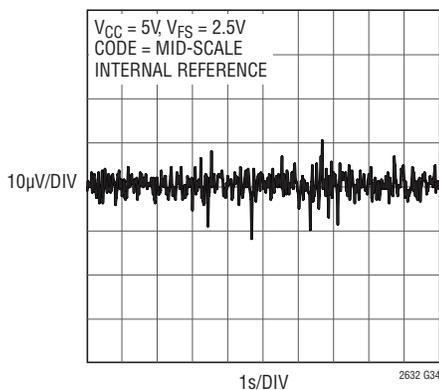
ノイズ電圧と周波数



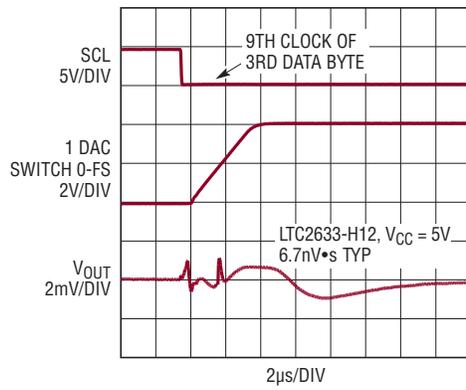
利得誤差とリファレンス入力



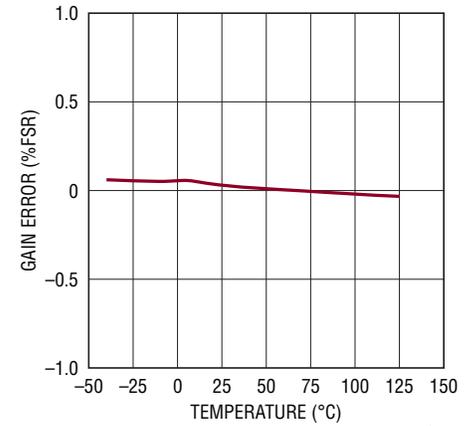
0.1Hz～10Hz 電圧ノイズ



DAC間クロストーク(動的)



利得誤差と温度



ピン機能

SCL (ピン1): シリアル・クロック入力。データはクロックの立ち上がりエッジでシフトされてSDAピンにされます。この高インピーダンス・ピンには、プルアップ抵抗またはV_{CC}への電流源が必要です。

CA0 (ピン2): チップ・アドレスのビット0。このピンをV_{CC}またはGNDに接続するか、またはフロートさせて、デバイスのI²Cスレーブ・アドレスを選択します(表1を参照)。

REF (ピン3): リファレンス電圧の入力または出力。外部リファレンス・モードが選択されているとき、REFはで(1V ≤ V_{REF} ≤ V_{CC})、与えられる電圧によってDACのフルスケール出力電圧が設定されます。内部リファレンスが選択されると、10ppm/°Cの1.25V (LTC2633-L)または2.048V (LTC2633-H)の内部リファレンス(1/2フルスケール)がこのピンで利用可能になります。この出力は最大10µF (0.1µFを推奨)でGNDにバ

イパスすることができ、外部DC負荷電流をドライブするときにはバッファする必要があります。

GND (ピン4): グランド。

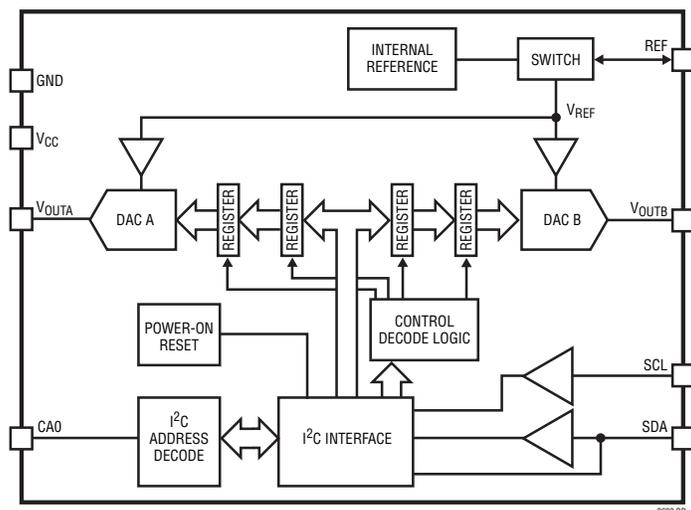
VOUTA、VOUTB (Pins 5、6): DACのアナログ電圧出力。

VCC (ピン7): 電源電圧入力。2.7V ≤ V_{CC} ≤ 5.5V (LTC2633-L)または4.5V ≤ V_{CC} ≤ 5.5V (LTC2633-H)。0.1µFのコンデンサを使ってグランドにバイパスします。

SDA (ピン8): シリアル・データの双方向ピン。データはシフトされてSDAピンにされ、SDAピンによってアクノリッジされます。このピンはデータがシフトされてされている間は高インピーダンス・ピンになり、アクノリッジの間はオープン・ドレインのNチャンネル出力になります。SDAには、プルアップ抵抗またはV_{CC}への電流源が必要です。

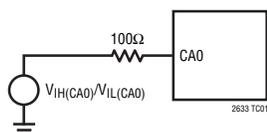
2633fb

ブロック図

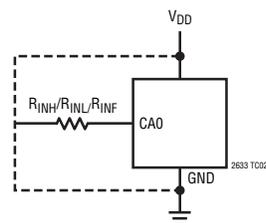


テスト回路 I²C デジタル I/O のテスト回路 (「電気的特性」を参照)

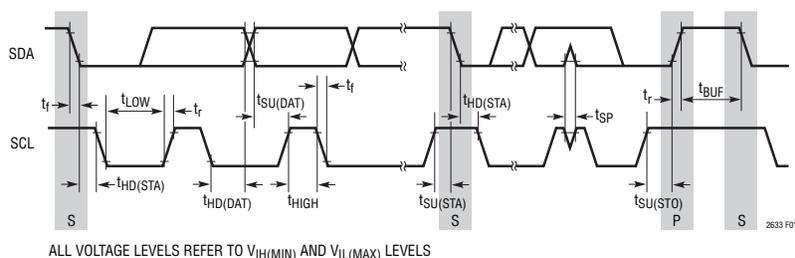
テスト回路 1



テスト回路 2



タイミング図



ALL VOLTAGE LEVELS REFER TO $V_{IH(MIN)}$ AND $V_{IL(MAX)}$ LEVELS

図 1. I²C のタイミング

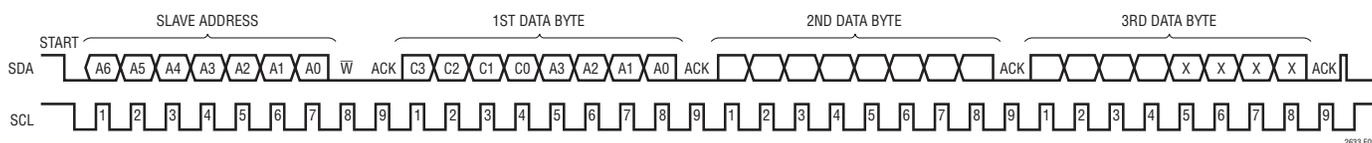


図 2. LTC2633 の標準的なバイト書き込みトランザクション

動作

LTC2633は、デュアル電圧出力DACのファミリーであり、8ピンのTSOTパッケージで供給されます。各DACは外部リファレンスでレール・トゥ・レールで動作するか、または内蔵リファレンスで設定されるフルスケール電圧で動作することができます。精度(12、10、8ビット)、パワーオン・リセット値(内部リファレンス・モードでゼロスケールまたはミッドスケール、または外部リファレンス・モードでミッドスケール)、DACのパワーダウン時の出力負荷(高インピーダンスまたは200kΩ)、フルスケール電圧(2.5Vまたは4.096V)の18通りの組み合わせが可能です。LTC2633は2線式I²Cインタフェースを使って制御します。

パワーオン・リセット

LTC2633-HZ/LZは電源が最初に入れられたとき出力をゼロスケールにクリアして、システムの初期状態を一定に保ち、回復可能にします。

アプリケーションによっては、DACの起動時に下流の回路がアクティブ状態であり、この間DACからのゼロではない出力の影響を受けやすくなる場合があります。LTC2633にはパワーオン・グリッチを減少させる回路が備わっています。パワーオン時、アナログ出力は標準でゼロスケールの10mV上より下です。グリッチ振幅は一般に電源のランプ時間が増加するにつれて低下します。「標準的性能特性」のセクションの「パワーオン・リセット・グリッチ」を参照してください。

LTC2633-HI/LI/LXは代替のリセットを備えており、電源が最初に与えられたとき出力をミッドスケールに設定します。LTC2633-LIとLTC2633-HIは内部リファレンス・モードでパワーアップし、出力はそれぞれ1.25Vと2.048Vのミッドスケール電圧に設定されます。LTC2633-LXは外部リファレンス・モードでパワーアップし、出力は外部リファレンスのミッドスケールに設定されます。LTC2633-LOは内部リファレンス・モードでパワーアップし、全DACチャネルが高インピーダンス状態になります(パワーダウン)。入力レジスタとDACレジスタはミッドスケールのコードに設定され、内部リファレンスだけがパワーアップするので、パワーアップ時の消費電流は標準180μAになります。既定のリファレンス・モードの選択については、「リファレンス・モード」のセクションで説明されています。

電源シーケンス制御

REF(ピン3)の電圧は $-0.3V \leq V_{REF} \leq (V_{CC} + 0.3V)$ の範囲に保つ必要があります(「絶対最大定格」を参照)。V_{CC}の電圧が遷移している電源のターンオン・シーケンスとターンオフ・シーケンスの間、これらのリミットが守られるように特に注意が必要です。

伝達関数

デジタルからアナログへの伝達関数は次のとおりです。

$$V_{OUT(IDEAL)} = \left(\frac{k}{2^N} \right) V_{REF}$$

ここで、kはDACの2進数入力コードに相当する10進数、Nは分解能、V_{REF}は内部リファレンス・モードでは2.5V(LTC2633-LI/LTC2633-LX/LTC2633-LO/LTC2633-LZ)または4.096V(LTC2633-HI/LTC2633-HZ)のどちらかであり、外部リファレンス・モードではREFの電圧です。

I²Cシリアル・インタフェース

LTC2633は2線式標準I²Cインタフェースを使ってホストと通信します。バス信号相互のタイミング関係をタイミング図(図1と図2)に示します。2本のバスラインSDAとSCLはバスが使用されていないとき“H”にする必要があります。これらのラインには外付けのプルアップ抵抗または電流源が必要です。これらのプルアップ抵抗の値は電源によって異なり、I²C規格から求めることができます。高速モードで動作するI²Cバスでは、バス容量が200pFを超えると、アクティブ・プルアップが必要になります。

LTC2633は受信のみの(スレーブ)デバイスです。マスタはLTC2633に書き込むことができます。マスタからの読み出し要求に対してLTC2633はアクノリッジを返しません(NAK)。

動作

START(S)条件とSTOP(P)条件

バスが使用されていないときは、SCLとSDAの両方が“H”でなければなりません。バス・マスタはSTART条件を送って通信開始をスレーブ・デバイスに知らせます。START条件は、SCLを“H”に保ったままSDAを“H”から“L”に遷移させることによって発生させます。

マスタはスレーブとの通信を終了したら、STOP条件を送ります。STOP条件は、SCLを“H”に保ったままSDAを“L”から“H”に遷移させることによって発生させます。その後は、バスは自由に別のI²Cデバイスと通信を行うことができます。

アクノリッジ

アクノリッジ信号は、マスタとスレーブ間のハンドシェイクに使われます。スレーブによって生成されるアクノリッジは、情報の最新のバイトが受信されたことをマスタに知らせます。アクノリッジに関連したクロック・パルスはマスタによって生成されます。マスタはアクノリッジ・クロック・パルスの間SDAライン(“H”)を解放します。スレーブ・レシーバはアクノリッジ・クロック・パルスの間SDAバスラインを引き下げ、アクノリッジ・クロック・パルスが“H”の間安定して“L”に保つ必要があります。LTC2633はこの方法によるマスタからの書き込みに応答しますが、読み出し動作に対してはアクノリッジを返しません。その場合、SDAはACKクロック・パルスの間“H”に保たれます。

チップ・アドレス

CA0の状態によってデバイスのスレーブ・アドレスが決まります。このピンは、V_{CC}、GNDまたはフロートの3つの状態のいずれかに設定することができます。これにより、3つの選択可能なデバイス・アドレスが生じます。スレーブ・アドレスの割当を表1に示します。

表1. スレーブ・アドレスのマッピング

CA0	A6	A5	A4	A3	A2	A1	A0
GND	0	0	1	0	0	0	0
フロート	0	0	1	0	0	0	1
V _{CC}	0	0	1	0	0	1	0
グローバル・アドレス	1	1	1	0	0	1	1

アドレス・ピンによって選択されたアドレス以外に、デバイスはグローバル・アドレスにも応答します。このアドレスにより、I²Cバスの3バイトの1回の書き込みトランザクションを使って、LTC2633の全てのデバイスへの共通書き込みを行うことができます。表1の最後に示されているグローバル・アドレスは7ビットのハードワイヤード・アドレスで、CA0で選択することはできません。別のアドレスが必要ならば、弊社にお問い合わせください。

アドレス・ピン(CA0)は、それらがフロート状態かどうか判断するためアドレス検出時にドライブされるので、そのピンに許される容量性負荷は最大10pFです。

ワード書き込みのプロトコル

マスタはSTART条件と7ビットのスレーブ・アドレス、それに続く書き込みビット(W)=0を使ってLTC2633との通信を開始します。LTC2633は、7ビットのスレーブ・アドレスが(CA0で設定される)そのデバイスのアドレスまたはグローバル・アドレスに一致すると、9番目のクロックでSDAピンを“L”に引き下げてアクノリッジします。マスタは次に3バイトのデータを送ります。LTC2633は、各データ・バイト転送の9番目のクロックでSDAラインを“L”に引き下げることにより、各データ・バイトをアクノリッジします。3バイトのデータをすべて受け取った後、LTC2633は24ビットの入力ワードで指定されたコマンドを実行します。

有効な7ビットのスレーブ・アドレスの後に3バイトを超えるデータ・バイトが送信されると、LTC2633はそれらの余分なデータ・バイトをアクノリッジしません(SDAは、9つめのクロックで“H”)。

動作

3データ・バイトのフォーマットを図3に示します。入力ワードの最初の1バイトは4ビットのコマンドと、それに続く4ビットのDACアドレスで構成されます。次の2バイトには16ビットのデータ・ワードが含まれ、それはMSBからLSBに向かって並んだ12、10、または8ビットの入力コードと、それに続く4、6または8ビットのドントケア・ビットで構成されます(それぞれ、LTC2633-12、LTC2633-10およびLTC2633-8)。LTC2633の標準的な書き込みトランザクションを図4に示します。

コマンド・ビット(C3～C0)とアドレス(A3～A0)の割り当てを表3と表4に示します。表の中の最初の4つのコマンドは書き込みと更新です。書き込み操作により、16ビットのデータ・ワードが32ビット・シフト・レジスタから入力レジスタにロードされます。更新操作では、データ・ワードが入力レジスタからDACレジスタにコピーされます。いったんDACレジスタにコピーされると、データ・ワードはアクティブな12、10、あるいは8ビット入力コードになり、DAC出力でアナログ電圧に変換されます。「書き込みと更新」は最初の2つのコマンドを組み合わせます。また、パワーダウン・モードであれば、更新操作により、DACがパワーアップします。データ・バスとレジスタを「ブロック図」に示します。

表3. コマンドのコード

コマンド*				
C3	C2	C1	C0	
0	0	0	0	入力レジスタnに書き込む
0	0	0	1	DACレジスタnを更新(パワーアップ)する
0	0	1	0	入力レジスタnに書き込み、 全てを更新(パワーアップ)する
0	0	1	1	DACレジスタnに書き込み、 更新(パワーアップ)する
0	1	0	0	nをパワーダウン
0	1	0	1	デバイス(全てのDACとリファレンス)を パワーダウン
0	1	1	0	内部リファレンスを選択する (リファレンスをパワーアップ)
0	1	1	1	外部リファレンスを選択する (内部リファレンスをパワーダウン)
1	1	1	1	動作なし

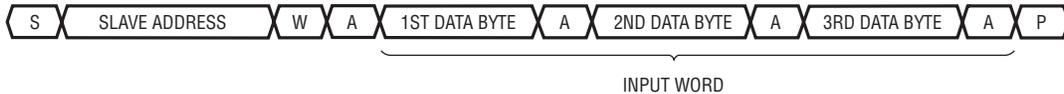
*示されていないコマンドは予備のため使用不可。

表4. アドレス・コード

アドレス(n)*				
A3	A2	A1	A0	
0	0	0	0	DAC A
0	0	0	1	DAC B
1	1	1	1	両方のDAC

*示されていないアドレス・コードは予備のため、使用不可。

WRITE WORD PROTOCOL LTC2633



INPUT WORD (LTC2633-12)



INPUT WORD (LTC2633-10)



INPUT WORD (LTC2633-8)



2633 F03

図3. コマンドとデータ入力フォーマット

動作

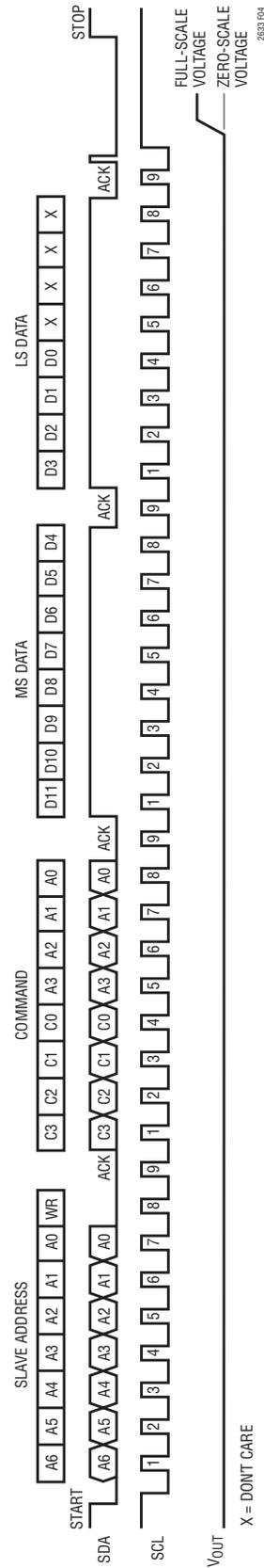


図 4. LTC2633 の標準的な入力波形 - DAC の出力をフルスケールにプログラム

動作

リファレンス・モード

精確な外部リファレンスを利用できないか、またはスペースの制約のため外部リファレンスが望ましくないアプリケーションのため、LTC2633はユーザーが選択できる内蔵リファレンスを備えています。内蔵リファレンスの電圧は内部で2倍に増幅され、フルスケールのDAC出力電圧範囲を与えます。LTC2633-LI/LTC2633-LX/LTC2633-LO/LTC2633-LZのフルスケール出力は2.5Vです。LTC2633-HI/LTC2633-HZのフルスケール出力は4.096Vです。内部リファレンスは電源電圧がよく安定化されていないアプリケーションで役立ちます。内部リファレンス・モードはコマンド0110bを使って選択することができます。起動時にはLTC2633-HZ/LTC2633-LZでは既定であり、LTC2633-HI/LTC2633-LI/LTC2633-LOでもそうです。

10ppm/°Cの1.25V (LTC2633-LI/LTC2633-LX/LTC2633-LO/LTC2633-LZ) または2.048V (LTC2633-HI/LTC2633-HZ) の内部リファレンスをREFピンで利用可能です。REFピンにバイパス容量を追加するとノイズ性能が改善されます。0.1μFを推奨しますが、最大10μFまで発振させずにドライブすることができます。この出力は外部DC負荷電流をドライブするときはバッファする必要があります。

代わりに、コマンド0111bを使って、DACを外部リファレンス・モードで動作させることもできます。このモードでは、外部からREFピンに与えられる入力電圧がリファレンス($1V \leq V_{REF} \leq V_{CC}$)を与えるので、消費電流が減少します。与えられた外部リファレンスの電圧がDACのフルスケール出力電圧を設定します。外部リファレンス・モードがLTC2633-LXのパワーオン時のデフォルトです。

LTC2633-HZ/LTC2633-LZ/LTC2633-HI/LTC2633-LI/LTC2633-LOのリファレンス・モード(パワーオン時のデフォルトは内部リファレンス)は、パワーアップ後にソフトウェアのコマンドによって変更することができます。LTC2633-LXの場合も同様です(パワーオン時のデフォルトは外部リファレンス)。

パワーダウン・モード

電力が制限されているアプリケーションでは、2本のDAC出力の両方は必要ないときはパワーダウン・モードを使って消費電流を減らすことができます。パワーダウン時、バッファ・アンプ、バイパス回路および内蔵リファレンス回路はディスエーブルされ、実質的に電流は流れません。DAC出力は高インピーダンス状態になり、出力ピンは個別の200kΩ抵抗によって受

動的にグラウンドに引き下げられます(LTC-2633-L1/LTC2633-LX/LTC2633-LO/LTC2633-LZ/LTC2633-HI/LTC2633-HZ)。LTC2633-LOオプションの場合、パワーダウンの間出力ピンは受動的にグラウンドに引き下げられず、高インピーダンス状態(オープン回路状態)になり、消費電流が標準で0.1μA未満になります。LTC2633-LOオプションは全DAC出力がこの高インピーダンス状態でパワーアップし、ソフトウェアの更新命令が与えられるまでその状態に留まります。全てのLTC2633のオプションで、入力レジスタとDACレジスタの内容はパワーダウンの間乱されません。

どのチャンネルまたは複数のチャンネルのどの組み合わせでも、適切なDACアドレス(n)と組み合わせたコマンド0100bを使ってパワーダウン・モードにすることができます。消費電流は各DACのパワーダウンにより約30%減少します。コマンド0111bを使って外部リファレンスを選択すると、内蔵リファレンスは自動的にパワーダウンします。さらに、「デバイスをパワーダウン」コマンド(0101b)を使って、すべてのDACチャンネルと内蔵リファレンスを一緒にパワーダウン・モードにすることができます。内蔵リファレンスがパワーダウン・モードのとき、REFピンは高インピーダンス(標準で $>1G\Omega$)になります。すべてのパワーダウン・コマンドで、16ビットのデータ・ワードは無視されます。

表1に示されているように、DACの更新を含むどのコマンドを実行しても、通常の動作を再開することができます。選択されたDACは、その電圧出力が更新されるとパワーアップします。パワーダウン状態のDACがパワーアップされ、更新されると、通常のセトリングが遅延させられます。更新コマンドの前に片方のDACだけがパワーダウン状態の場合、パワーアップ遅延は10μsです。ただし、両方のDACおよび内部リファレンスがパワーダウンされると、個々のDACのアンプやリファレンス・バッファに加えて、主バイパス発生回路ブロックが自動的にシャットダウンされます。この場合、パワーアップ遅延は12μsです。内部リファレンスのパワーアップはそれをパワーダウンしたコマンドに依存します。「外部リファレンスを選択」コマンド(0111b)を使ってリファレンスをパワーダウンした場合、「内部リファレンスを選択」コマンド(0110b)を使わない限り再度パワーアップすることができません。ただし、「デバイスをパワーダウン」コマンド(0101b)を使ってリファレンスをパワーダウンした場合、「内部リファレンスを選択する」コマンド(0110b)に加えて、DACをパワーアップするソフトウェアのどのコマンドでも内蔵リファレンスがパワーアップします。

動作

電圧出力

LTC2633の内蔵レール・トゥ・レール・アンプは5Vで最大10mA (3Vで最大5mA)までの電流をソースまたはシンクする限り保証されたロード・レギュレーションを行います。

ロード・レギュレーションは、広い範囲の負荷電流にわたって定格電圧精度を維持するアンプの能力の指標です。負荷電流を強制的に変化させたときの出力電圧の変化の測定値はLSB/mAで表現されます。

DC出力インピーダンスはロード・レギュレーションと等価で、単にLSB/mAから Ω に単位を変えて計算するだけで求めることができます。アンプのDC出力インピーダンスはレールから十分離れた負荷をドライブしているとき 0.1Ω です。

どちらかのレールから負荷電流が流れているとき、そのレールを基準にした出力電圧の空き高は出力デバイスの標準チャネル抵抗 50Ω によって制限されます(たとえば、1mAをシンクしているとき、最小出力電圧は $50\Omega \cdot 1\text{mA}$ 、つまり50mVになります)。

「標準性能特性」のセクションの「レールの空き高と出力電流」のグラフを参照してください。

アンプは最大500pFの容量性負荷を安定してドライブします。

レール・トゥ・レール出力に関する検討事項

どんなレール・トゥ・レールの電圧出力のデバイスでも、出力は電源電圧範囲内に制限されます。

DACのアナログ出力はグランドより下には下がれないので、図5bに示すように、これらの出力が最低コードで制限されることがあります。同様に、REFピンが V_{CC} に接続されているとき、フルスケールの近くで出力が制限されることがあります。 $V_{REF} = V_{CC}$ で、DACのフルスケール誤差(FSE)が正のとき、図5cに示すように、最高コードの出力が V_{CC} に制限されます。 V_{REF} が $V_{CC} - \text{FSE}$ より小さいと、フルスケールの制限は生じません。

オフセットと直線性は、DACの伝達関数の(出力の制限が生じない)領域にわたって定義され、テストされます。

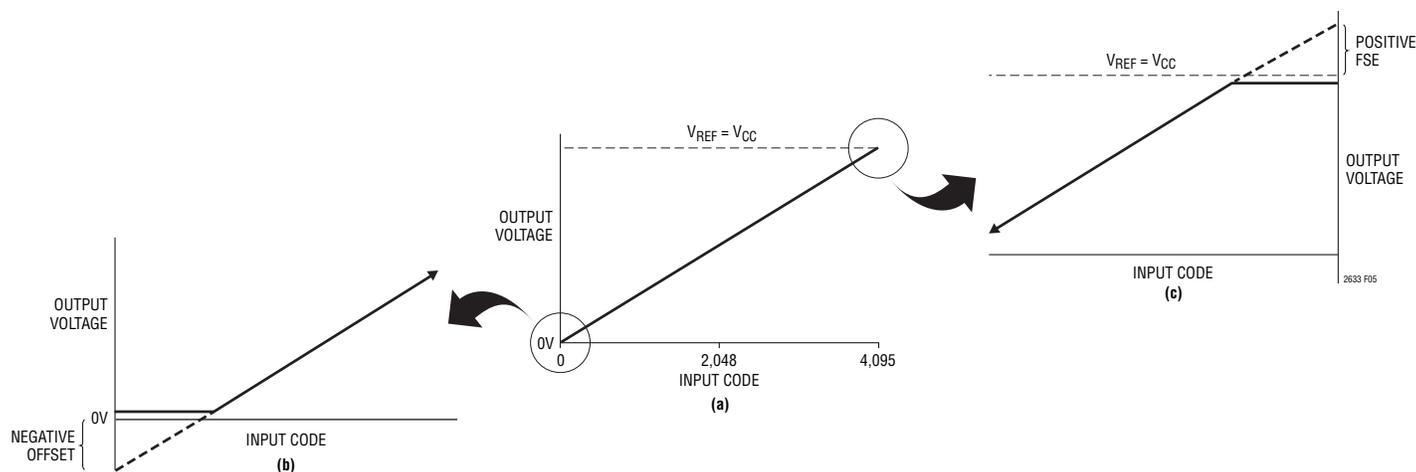


図5. DACの伝達曲線に対するレール・トゥ・レール動作の影響(12ビットの場合)

- (a) 全体の伝達関数
- (b) ゼロに近いコードに対する負のオフセットの影響
- (c) フルスケールに近いコードに対する正のフルスケール誤差の影響

動作

基板のレイアウト

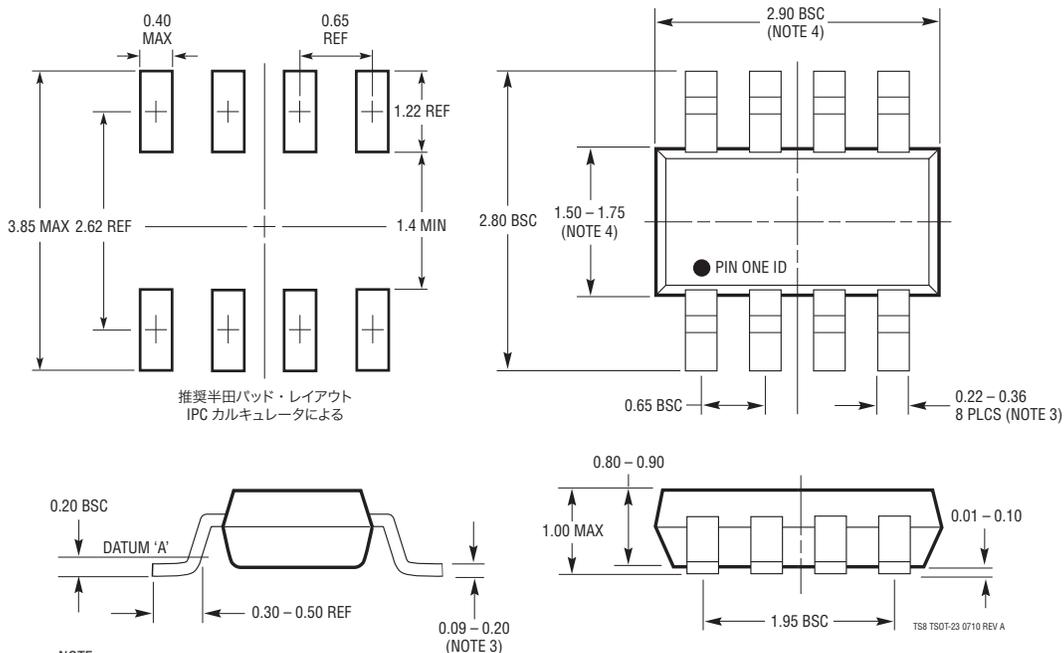
PCボードには、回路のアナログ部分とデジタル部分のために別の領域が必要です。1枚の切れ目のないグランド・プレーンを使い、アナログ信号とデジタル信号をプレーンの別の領域に注意深く配線します。これにより、デジタル信号を敏感なアナログ信号から遠ざけ、デジタル・グランド電流とグランド・プレーンのアナログ部分の間の相互作用を最小に抑えます。LTC2633のGNDピンからグランド・プレーンまでの抵抗はできるだけ小さくします。この抵抗はデバイスの実効DC出力インピーダンス(標準で 0.1Ω)に直接追加されます。LTC2633は、同種の他のデバイスに比べて、これらの影響を受けやすいということはないことに注意してください。それどころか、大きな内部抵抗によって達成可能な性能が制限されることはなく、レイアウトに基づく性能向上を明らかに示すことができます。

誤差を最小に抑える別の手法として、別の基板層に配置した別の電源グランド・リターン・トレースを使います。トレースは電源がボードに接続されるポイントとDACのグランド・ピンの間に置きます。こうして、DACのグランド・ピンはアナログ・グランド、デジタル・グランドおよび電源グランドの共通ポイントになります。LTC2633が大きな電流をシンクしているとき、この電流はグランド・ピンから直接電源グランドのトレースに流れ、アナログ・グランド・プレーンの電圧には影響を与えません。

場合によっては、グランド・プレーンを遮って、デジタル・グランドの電流をプレーンのデジタル部分に限定しなければならないことがあります。これを行うときは、目的に役立つ必要な範囲でだけプレーンに間隙を作り、どのトレースも間隙の上をまたがないようにします。

パッケージ

TS8パッケージ
8ピン・プラスチックTSOT-23
 (Reference LTC DWG # 05-08-1637 Rev A)



- NOTE:
1. 寸法はミリメートル
 2. 図は実寸とは異なる
 3. 寸法には半田を含む
 4. 寸法にはモールドのバリや金属のバリを含まない
 5. モールドのバリは0.254mmを超えてはならない
 6. JEDEC パッケージ参照番号は MO-193

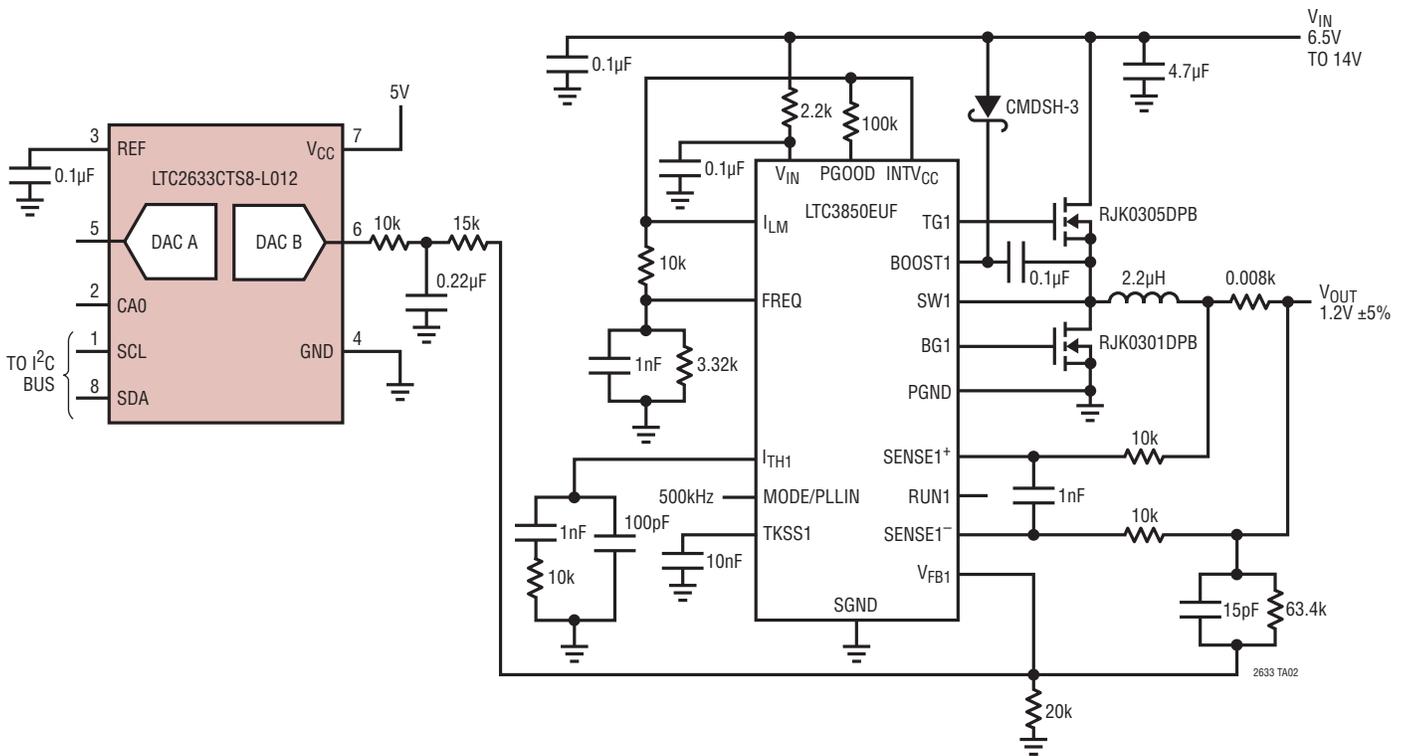
改訂履歴

REV	日付	概要	ページ番号
A	3/11	製品番号を修正。	2～9、13、16、 20、26
B	3/11	「標準的応用例」の図のタイトルを改訂。	24

LTC2633

標準的応用例

LTC3850を使った電圧マーキング・アプリケーション(1.2V±5%) – LTC2633-LO オプションのみ



関連製品

製品番号	説明	注釈
LTC2632	デュアル 12/10/8 ビット、SPI V _{OUT} DAC、内部リファレンス付き	電源範囲: 2.7V ~ 5.5V、10ppm/°C リファレンス、外部 REF モード、レール・トゥ・レール出力、8 ピン ThinSOT™ パッケージ
LTC2607/ LTC2617/ LTC2627	デュアル 16/14/12 ビット、I ² C V _{OUT} DAC、外部リファレンス付き	260μA/DAC、電源範囲: 2.7V ~ 5.5V、レール・トゥ・レール出力、16 ピン SSOP パッケージ
LTC2602/ LTC2612/ LTC2622	デュアル 16/14/12 ビット、SPI V _{OUT} DAC、外部リファレンス付き	300μA/DAC、電源範囲: 2.5V ~ 5.5V、レール・トゥ・レール出力、8 ピン MSOP パッケージ
LTC1662	デュアル 10 ビット、SPI V _{OUT} DAC、外部リファレンス付き	1.5μA/DAC、電源範囲: 2.7V ~ 5.5V、レール・トゥ・レール出力、8 ピン MSOP パッケージ
LTC2630/ LTC2631	シングル 12/10/8 ビット、SPI/I ² C V _{OUT} DAC、10ppm/°C リファレンス付き	180μA/DAC、電源範囲: 2.7V ~ 5.5V、10ppm/°C リファレンス、レール・トゥ・レール出力、SC70 パッケージ (LTC2630)/ThinSOT パッケージ (LTC2631)
LTC2640	シングル 12/10/8 ビット、SPI V _{OUT} DAC、10ppm/°C リファレンス付き	180μA/DAC、電源範囲: 2.7V ~ 5.5V、10ppm/°C リファレンス、外部 REF モード、レール・トゥ・レール出力、ThinSOT パッケージ
LTC2634/ LTC2635	クワッド 12/10/8 ビット、SPI/I ² C V _{OUT} DAC、10ppm/°C リファレンス付き	INL: ±2.5LSB、電源範囲: 2.7V ~ 5.5V、10ppm/°C リファレンス、外部 REF モード、16 ピン 3mm×3mm QFN パッケージおよび 10 ピン MSOP パッケージ
LTC2636/ LTC2637	オクタル 12/10/8 ビット、SPI/I ² C V _{OUT} DAC、10ppm/°C リファレンス付き	125μA/DAC、電源範囲: 2.7V ~ 5.5V、10ppm/°C リファレンス、外部 REF モード、レール・トゥ・レール出力、14 ピン 4mm×3mm DFN パッケージおよび 10 ピン MSOP パッケージ
LTC2654/ LTC2655	クワッド 16/12 ビット、SPI/I ² C V _{OUT} DAC、最大 10ppm/°C リファレンス付き	INL: 最大 ±4LSB (16 ビット) および オフセット誤差: ±2mV、レール・トゥ・レール出力、20 ピン 4mm×4mm QFN パッケージおよび 16 ピン 細型 SSOP パッケージ
LTC2656/ LTC2657	オクタル 16/12 ビット、SPI/I ² C V _{OUT} DAC、最大 10ppm/°C リファレンス付き	INL: 最大 ±4LSB (16 ビット) および オフセット誤差: ±2mV、レール・トゥ・レール出力、20 ピン 4mm×5mm QFN パッケージおよび 16 ピン TSSOP パッケージ

2633fb