

I²Cインタフェースを備えた クワッド16/14/12ビット レール・トゥ・レールDAC

特長

- 最小のピン互換クワッドDAC
LTC2609: 16ビット
LTC2619: 14ビット
LTC2629: 12ビット
- 全温度範囲で単調性を保証
- 個別のリファレンス入力を装備
- 27のアドレスを選択可能
- 400kHz I²C™ インタフェース
- 広い電源範囲: 2.7V~5.5V
- 低消費電力動作: 250μA/DAC (3V電源時)
- 1μA (最大)への個別チャンネル・パワーダウン
- 高いレール・トゥ・レール出力ドライブ: ±15mA (最小)
- 非常に小さいDAC間クロストーク: 5μV
- LTC2609/LTC2619/LTC2629:
ゼロスケールにパワーオン・リセット
- LTC2609-1/LTC2619-1/LTC2629-1:
ミッドスケールにパワーオン・リセット
- 小型16ピン細型SSOPパッケージ

アプリケーション

- モバイル通信
- プロセス制御、産業用オートメーション
- 自動テスト装置および計測

概要

LTC[®]2609/LTC2619/LTC2629はクワッド16、14、12ビット、2.7V~5.5V動作、レール・トゥ・レール電圧出力DACで、16ピンSSOPパッケージで供給されます。高性能出力バッファを内蔵しており、単調性が保証されています。

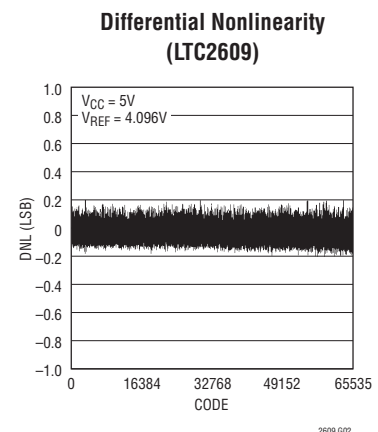
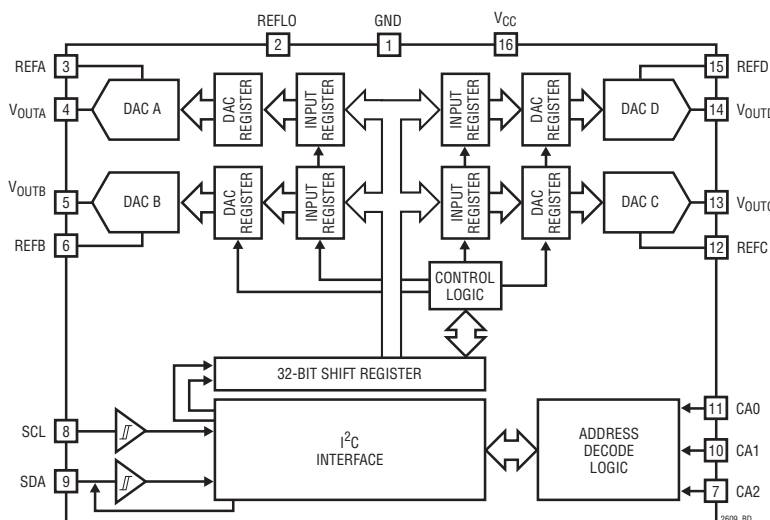
16および14ビットDACとしてボード実装密度が非常に高く、単一電源の電圧出力DACとして出力ドライブとロード・レギュレーションが優れています。

これらのデバイスは、I²C互換の2線式シリアル・インタフェースを使用します。LTC2609/LTC2619/LTC2629は標準モード(クロック・レート100kHz)と高速モード(クロック・レート400kHz)のいずれでも動作します。

LTC2609/LTC2619/LTC2629はパワーオン・リセット回路を内蔵しています。起動時の出力電圧はゼロスケールから10mV以内になり、起動後は、有効な書き込みと更新が発生するまでゼロスケールに維持されます。LTC2609-1/LTC2619-1/LTC2629-1はパワーオン・リセット回路によってミッドスケールにリセットされます。有効な書き込みと更新が発生するまで、電圧出力はミッドスケールに維持されます。

LT, LTC, LTM, Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。他のすべての商標はそれぞれの所有者に所有権があります。5396245を含む米国特許によって保護されています。他にも特許申請中。

ブロック図

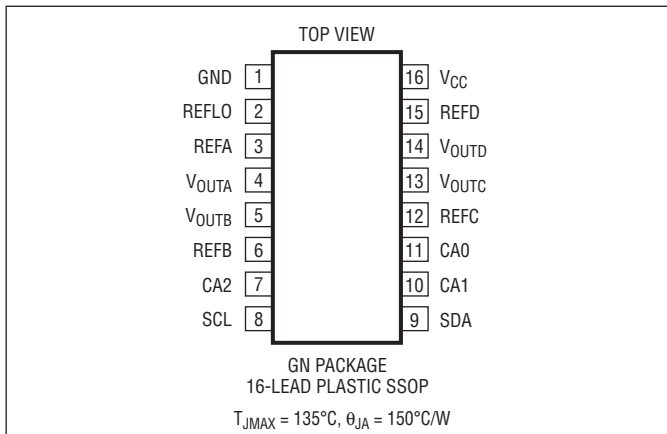


LTC2609/LTC2619/LTC2629

絶対最大定格 (Note 1)

任意のピンからGND -0.3V~6V
 任意のピンからV_{CC} -6V~0.3V
 最大接合部温度 125°C
 保存温度範囲 -65°C~125°C
 リード温度 (半田付け、10秒) 300°C
 動作温度範囲:
 LTC2609C/LTC2619C/LTC2629C
 LTC2609C-1/LTC2619C-1/LTC2629C-1 0°C~70°C
 LTC2609I/LTC2619I/LTC2629I
 LTC2609I-1/LTC2619I-1/LTC2629I-1 -40°C~85°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2609CGN#PBF	LTC2609CGN#TRPBF	2609	16-Lead Plastic SSOP	0°C to 70°C
LTC2609CGN-1#PBF	LTC2609CGN-1#TRPBF	26091	16-Lead Plastic SSOP	-40°C to 85°C
LTC2609IGN#PBF	LTC2609IGN#TRPBF	2609I	16-Lead Plastic SSOP	0°C to 70°C
LTC2609IGN-1#PBF	LTC2609IGN-1#TRPBF	2619I1	16-Lead Plastic SSOP	-40°C to 85°C
LTC2619CGN#PBF	LTC2619CGN#TRPBF	2619	16-Lead Plastic SSOP	0°C to 70°C
LTC2619CGN-1#PBF	LTC2619CGN-1#TRPBF	26191	16-Lead Plastic SSOP	-40°C to 85°C
LTC2619IGN#PBF	LTC2619IGN#TRPBF	2619I	16-Lead Plastic SSOP	0°C to 70°C
LTC2619IGN-1#PBF	LTC2619IGN-1#TRPBF	2619I1	16-Lead Plastic SSOP	-40°C to 85°C
LTC2629CGN#PBF	LTC2629CGN#TRPBF	2629	16-Lead Plastic SSOP	0°C to 70°C
LTC2629CGN-1#PBF	LTC2629CGN-1#TRPBF	26291	16-Lead Plastic SSOP	-40°C to 85°C
LTC2629IGN#PBF	LTC2629IGN#TRPBF	2629I	16-Lead Plastic SSOP	0°C to 70°C
LTC2629IGN-1#PBF	LTC2629IGN-1#TRPBF	2629I1	16-Lead Plastic SSOP	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{REFA} = \text{REFB} = \text{REFC} = \text{REFD} = 4.096\text{V}$ ($V_{\text{CC}} = 5\text{V}$)、 $\text{REFA} = \text{REFB} = \text{REFC} = \text{REFD} = 2.048\text{V}$ ($V_{\text{CC}} = 2.7\text{V}$)、 $\text{REFLO} = 0\text{V}$ 、 V_{OUT} は無負荷。

SYMBOL	PARAMETER	CONDITIONS	LTC2629/LTC2629-1			LTC2619/LTC2619-1			LTC2609/LTC2609-1			UNITS	
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
DC Performance													
	Resolution		●	12			14			16		Bits	
	Monotonicity	(Note 2)	●	12			14			16		Bits	
DNL	Differential Nonlinearity	(Note 2)	●						± 1			LSB	
INL	Integral Nonlinearity	(Note 2)	●		± 1	± 4		± 4	± 16		± 16	± 64	LSB
	Load Regulation	$V_{\text{REF}} = V_{\text{CC}} = 5\text{V}$, Mid-Scale $I_{\text{OUT}} = 0\text{mA}$ to 15mA Sourcing	●		0.02	0.125		0.1	0.5		0.3	2	LSB/mA
		$I_{\text{OUT}} = 0\text{mA}$ to 15mA Sinking	●		0.02	0.125		0.1	0.5		0.4	2	LSB/mA
		$V_{\text{REF}} = V_{\text{CC}} = 2.7\text{V}$, Mid-Scale $I_{\text{OUT}} = 0\text{mA}$ to 7.5mA Sourcing	●		0.04	0.25		0.2	1		0.7	4	LSB/mA
		$I_{\text{OUT}} = 0\text{mA}$ to 7.5mA Sinking	●		0.05	0.25		0.2	1		0.8	4	LSB/mA
ZSE	Zero-Scale Error	Code = 0	●		1.5	9		1.5	9		1.5	9	mV
V_{OS}	Offset Error	(Note 4)	●		± 1	± 9		± 1	± 9		± 1	± 9	mV
	V_{OS} Temperature Coefficient				± 6			± 6			± 6		$\mu\text{V}/^\circ\text{C}$
GE	Gain Error		●		± 0.1	± 0.7		± 0.1	± 0.7		± 0.1	± 0.7	%FSR
	Gain Temperature Coefficient				± 3			± 3			± 3		ppm/ $^\circ\text{C}$

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{REFA} = \text{REFB} = \text{REFC} = \text{REFD} = 4.096\text{V}$ ($V_{\text{CC}} = 5\text{V}$)、 $\text{REFA} = \text{REFB} = \text{REFC} = \text{REFD} = 2.048\text{V}$ ($V_{\text{CC}} = 2.7\text{V}$)、 $\text{REFLO} = 0\text{V}$ 、 V_{OUT} は無負荷。(Note 9)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
PSR	Power Supply Rejection	$V_{\text{CC}} \pm 10\%$			-80		dB
R_{OUT}	DC Output Impedance	$V_{\text{REF}} = V_{\text{CC}} = 5\text{V}$, Mid-Scale; $-15\text{mA} \leq I_{\text{OUT}} \leq 15\text{mA}$	●		0.030	0.15	Ω
		$V_{\text{REF}} = V_{\text{CC}} = 2.7\text{V}$, Mid-Scale; $-7.5\text{mA} \leq I_{\text{OUT}} \leq 7.5\text{mA}$	●		0.035	0.15	Ω
	DC Crosstalk (Note 10)	Due to Full-Scale Output Change (Note 11)			± 5		μV
		Due to Load Current Change			± 4		$\mu\text{V}/\text{mA}$
		Due to Powering Down (Per Channel)			± 4		μV
ISC	Short-Circuit Output Current	$V_{\text{CC}} = 5.5\text{V}$, $V_{\text{REF}} = 5.5\text{V}$ Code: Zero-Scale; Forcing Output to V_{CC}	●	15	36	60	mA
		Code: Full-Scale; Forcing Output to GND	●	15	36	60	mA
		$V_{\text{CC}} = 2.7\text{V}$, $V_{\text{REF}} = 2.7\text{V}$ Code: Zero-Scale; Forcing Output to V_{CC}	●	7.5	22	50	mA
		Code: Full-Scale; Forcing Output to GND	●	7.5	30	50	mA

Reference Input

	Input Voltage Range		●	0		V_{CC}	V
	Resistance	Normal Mode	●	88	125	160	$\text{k}\Omega$
	Capacitance				14		pF
I_{REF}	Reference Current, Power Down Mode	DAC Powered Down	●		0.001	1	μA

Power Supply

V_{CC}	Positive Supply Voltage	For Specified Performance	●	2.7		5.5	V
I_{CC}	Supply Current	$V_{\text{CC}} = 5\text{V}$ (Note 3)	●		1.25	2	mA
		$V_{\text{CC}} = 3\text{V}$ (Note 3)	●		1	1.6	mA
		DAC Powered Down (Note 3) $V_{\text{CC}} = 5\text{V}$	●		0.35	1	μA
		DAC Powered Down (Note 3) $V_{\text{CC}} = 3\text{V}$	●		0.15	1	μA

LTC2609/LTC2619/LTC2629

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、REFA = REFB = REFC = REFD = 4.096V ($V_{CC} = 5\text{V}$)、REFA = REFB = REFC = REFD = 2.048V ($V_{CC} = 2.7\text{V}$)、REFLO = 0V、 V_{OUT} は無負荷。(Note 9)

Digital I/O (Note 9)

V_{IL}	Low Level Input Voltage (SDA and SCL)		●		$0.3V_{CC}$	V
V_{IH}	High Level Input Voltage (SDA and SCL)		●	$0.7V_{CC}$		V
$V_{IL(CAn)}$	Low Level Input Voltage on CA_n ($n = 0, 1, 2$)	See Test Circuit 1	●		$0.15V_{CC}$	V
$V_{IH(CAn)}$	High Level Input Voltage on CA_n ($n = 0, 1, 2$)	See Test Circuit 1	●	$0.85V_{CC}$		V
R_{INH}	Resistance from CA_n ($n = 0, 1, 2$) to V_{CC} to Set $CA_n = V_{CC}$	See Test Circuit 2	●		10	k Ω
R_{INL}	Resistance from CA_n ($n = 0, 1, 2$) to GND to Set $CA_n = \text{GND}$	See Test Circuit 2	●		10	k Ω
R_{INF}	Resistance from CA_n ($n = 0, 1, 2$) to V_{CC} or GND to Set $CA_n = \text{Float}$	See Test Circuit 2	●	2		M Ω
V_{OL}	Low Level Output Voltage	Sink Current = 3mA	●	0	0.4	V
t_{OF}	Output Fall Time	$V_O = V_{IH(MIN)}$ to $V_O = V_{IL(MAX)}$, $C_B = 10\text{pF}$ to 400pF (Note 7)	●	$20 + 0.1C_B$	250	ns
t_{SP}	Pulse Width of Spikes Suppressed by Input Filter		●	0	50	ns
I_{IN}	Input Leakage	$0.1V_{CC} \leq V_{IN} \leq 0.9V_{CC}$	●		1	μA
C_{IN}	I/O Pin Capacitance	(Note 12)	●		10	pF
C_B	Capacitive Load for Each Bus Line		●		400	pF
C_{CAX}	External Capacitive Load on Address Pins CA_n ($n = 0, 1, 2$)		●		10	pF

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、REFA = REFB = REFC = REFD = 4.096V ($V_{CC} = 5\text{V}$)、REFA = REFB = REFC = REFD = 2.048V ($V_{CC} = 2.7\text{V}$)、REFLO = 0V、 V_{OUT} は無負荷。

SYMBOL	PARAMETER	CONDITIONS	LTC2629/LTC2629-1			LTC2619/LTC2619-1			LTC2609/LTC2609-1			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
AC Performance												
t_S	Settling Time (Note 5)	$\pm 0.024\%$ ($\pm 1\text{LSB}$ at 12 Bits)	7			7			7			μs
		$\pm 0.006\%$ ($\pm 1\text{LSB}$ at 14 Bits)				9			9			μs
		$\pm 0.0015\%$ ($\pm 1\text{LSB}$ at 16 Bits)							10			μs
	Settling Time for 1LSB Step (Note 6)	$\pm 0.024\%$ ($\pm 1\text{LSB}$ at 12 Bits)	2.7			2.7			2.7			μs
		$\pm 0.006\%$ ($\pm 1\text{LSB}$ at 14 Bits)				4.8			4.8			μs
		$\pm 0.0015\%$ ($\pm 1\text{LSB}$ at 16 Bits)							5.2			μs
	Voltage Output Slew Rate		0.7			0.7			0.7			V/ μs
	Capacitive Load Driving		1000			1000			1000			pF
	Glitch Impulse	At Mid-Scale Transition	12			12			12			nV \cdot s
	Multiplying Bandwidth		180			180			180			kHz
e_n	Output Voltage Noise Density	At $f = 1\text{kHz}$	120			120			120			$\text{nV}/\sqrt{\text{Hz}}$
		At $f = 10\text{kHz}$	100			100			100			$\text{nV}/\sqrt{\text{Hz}}$
	Output Voltage Noise	0.1Hz to 10Hz	15			15			15			μV_{P-P}

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(図1を参照) (Note 8、9)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{CC} = 2.7\text{V to } 5.5\text{V}$						
f_{SCL}	SCL Clock Frequency		●	0	400	kHz
$t_{HD(STA)}$	Hold Time (Repeated) Start Condition		●	0.6		μs
t_{LOW}	Low Period of the SCL Clock Pin		●	1.3		μs
t_{HIGH}	High Period of the SCL Clock Pin		●	0.6		μs
$t_{SU(STA)}$	Set-Up Time for a Repeated Start Condition		●	0.6		μs
$t_{HD(DAT)}$	Data Hold Time		●	0	0.9	μs
$t_{SU(DAT)}$	Data Set-Up Time		●	100		ns
t_r	Rise Time of Both SDA and SCL Signals	(Note 7)	●	$20 + 0.1C_B$	300	ns
t_f	Fall Time of Both SDA and SCL Signals	(Note 7)	●	$20 + 0.1C_B$	300	ns
$t_{SU(STO)}$	Set-Up Time for Stop Condition		●	0.6		μs
t_{BUF}	Bus Free Time Between a Stop and Start Condition		●	1.3		μs
t_1	Falling Edge of 9th Clock of the 3rd Input Byte to LDAC High or Low Transition		●	400		ns
t_2	LDAC Low Pulse Width		●	20		ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: 直線性と単調性はコード k_L からコード $2^N - 1$ まで定義されている。ここで、 N は分解能で、 k_L は $k_L = 0.016(2^N/V_{REF})$ で与えられ、最も近い整数のコードに丸められている。 $V_{REF} = 4.096\text{V}$ で $N = 16$ の場合、 $k_L = 256$ となり、直線性はコード256からコード65,535まで定義される。

Note 3: SDA、SCLは0Vまたは V_{CC} 、CA0、CA1およびCA2はフロート。

Note 4: コード k_L (Note 2) とフルスケールでの測定から推測される。

Note 5: $V_{CC} = 5\text{V}$ 、 $V_{REF} = 4.096\text{V}$ 。DACは1/4スケールから3/4スケールへ、さらに3/4スケールから1/4スケールへステップさせる。負荷はGNDに並列に接続した2kと200pF。

Note 6: $V_{CC} = 5\text{V}$ 、 $V_{REF} = 4.096\text{V}$ 。DACはハーフスケールと(ハーフスケール-1)の間を $\pm 1\text{LSB}$ でステップさせる。負荷はGNDに並列に接続した2kと200pF。

Note 7: $C_B = 1$ 本のバスラインの容量(pF)。

Note 8: すべての値は $V_{IH(MIN)}$ と $V_{IL(MAX)}$ のレベルを基準にしている。

Note 9: これらの仕様はLTC2609/LTC2609-1、LTC2619/LTC2619-1、LTC2629/LTC2629-1に適用される。

Note 10: DCクロストークは、注記がない限り、 $V_{CC} = 5\text{V}$ 、 $REFA = REFB = REFC = REFD = 4.096\text{V}$ で、ミッドスケールに設定されたDACを使って測定される。

Note 11: $R_L = 2\text{k}\Omega$ をGNDまたは V_{CC} に接続。

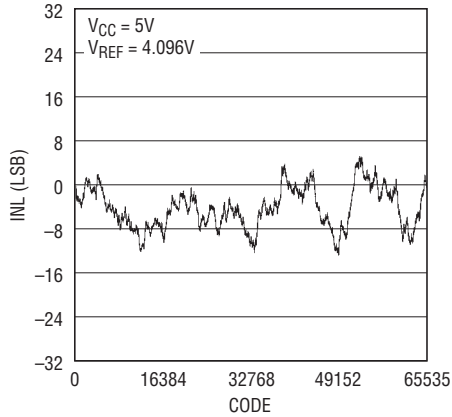
Note 12: 設計によって保証されているが、製造時にはテストされない。

LTC2609/LTC2619/LTC2629

標準的性能特性

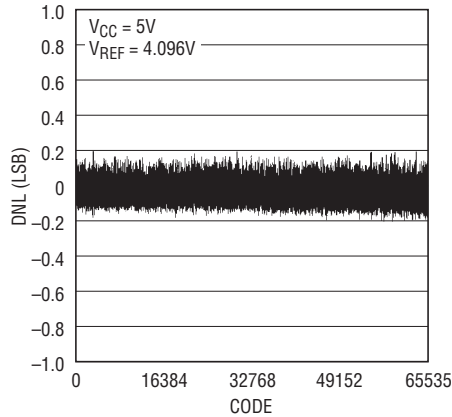
LTC2609

積分非直線性 (INL)



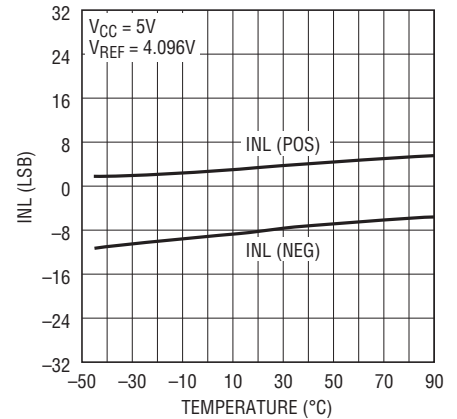
2609 G01

微分非直線性 (DNL)



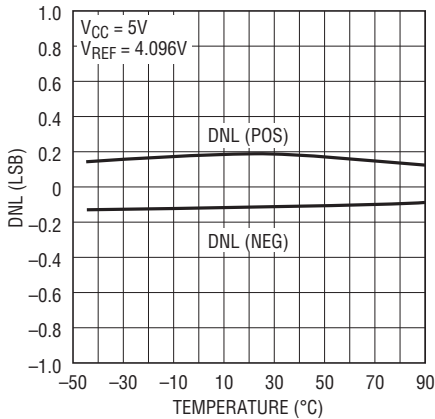
2609 G02

INLと温度



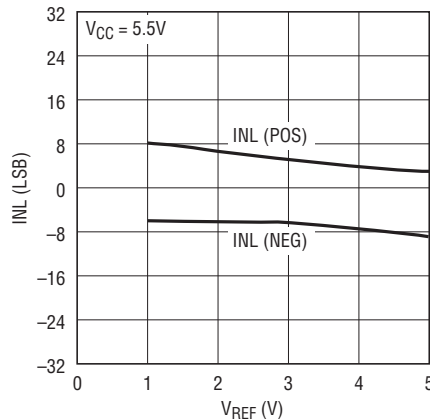
2609 G03

DNLと温度



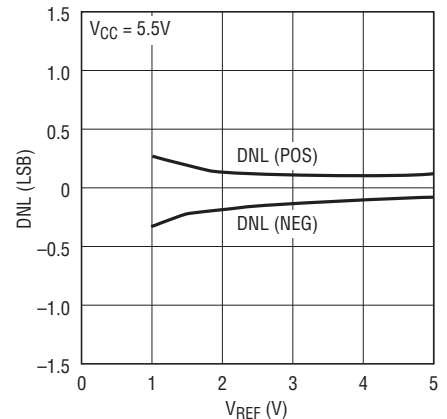
2609 G04

INLとVREF



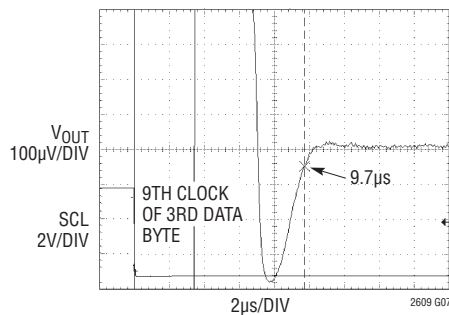
2609 G05

DNLとVREF



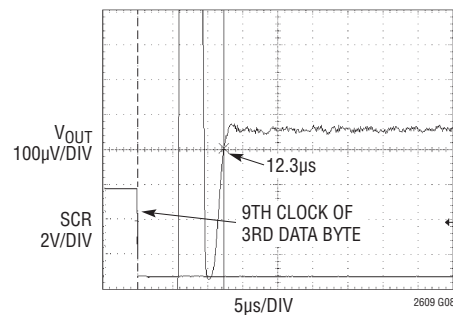
2609 G06

±1LSBへのセトリング



$V_{CC} = 5V, V_{REF} = 4.096V$ 。
1/4スケールから3/4スケールへのステップ
 $R_L = 2k, C_L = 200pF$
2048イベントの平均

フルスケール・ステップのセトリング

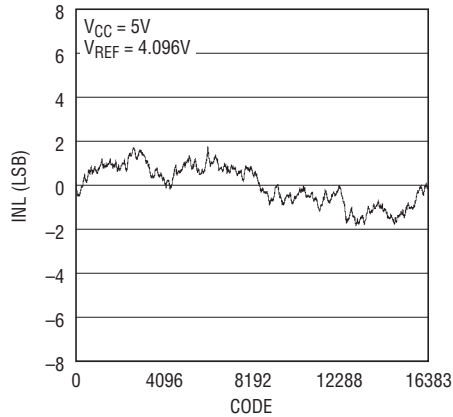


±1LSBへのセトリング
 $V_{CC} = 5V, V_{REF} = 4.096V$ 。
コード512から65535へのステップ
2048イベントの平均

標準的性能特性

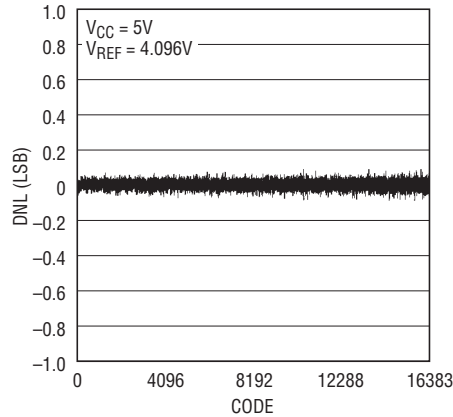
LTC2619

積分非直線性 (INL)



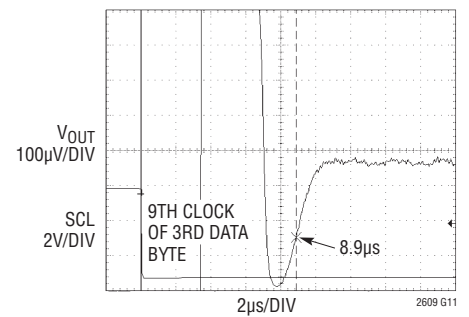
2609 G09

微分非直線性 (DNL)



2609 G10

±1LSBへのセトリング

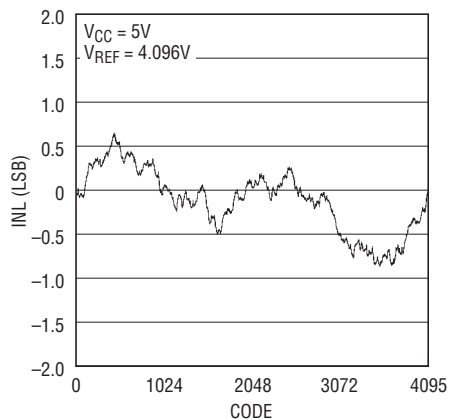


2609 G11

$V_{CC} = 5V$, $V_{REF} = 4.096V$
1/4 SCALE TO 3/4 SCALE STEP
 $R_L = 2k$, $C_L = 200pF$
AVERAGE OF 2048 EVENTS

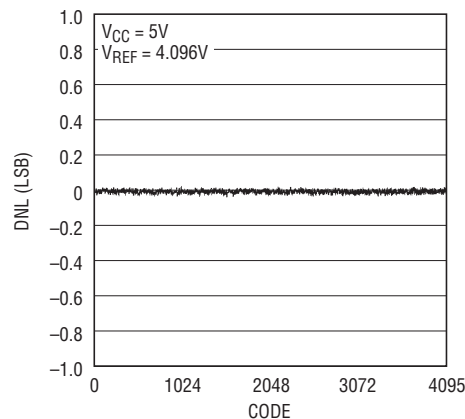
LTC2629

積分非直線性 (INL)



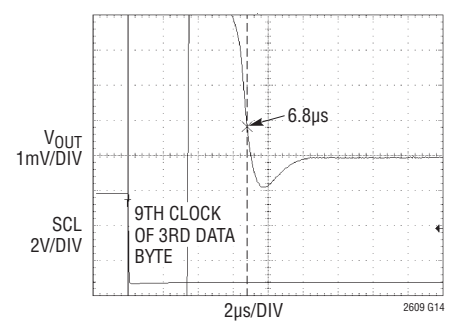
2609 G12

微分非直線性 (DNL)



2609 G13

±1LSBへのセトリング



2609 G14

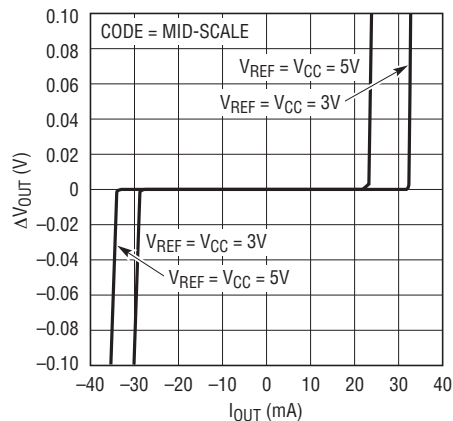
$V_{CC} = 5V$, $V_{REF} = 4.096V$
1/4 SCALE TO 3/4 SCALE STEP
 $R_L = 2k$, $C_L = 200pF$
AVERAGE OF 2048 EVENTS

LTC2609/LTC2619/LTC2629

標準的性能特性

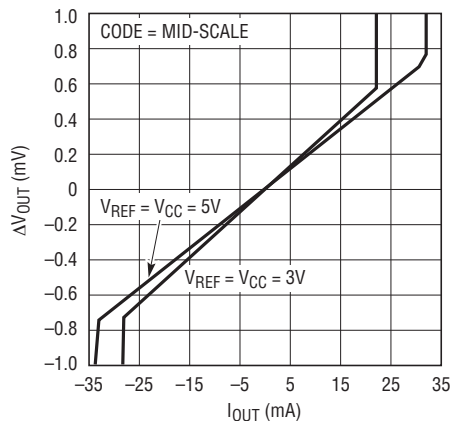
LTC2609/LTC2619/LTC2629

電流制限



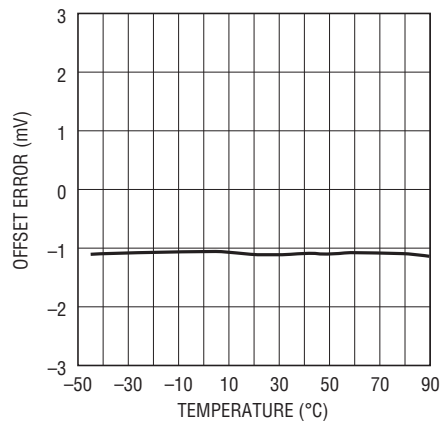
2609 G15

ロード・レギュレーション



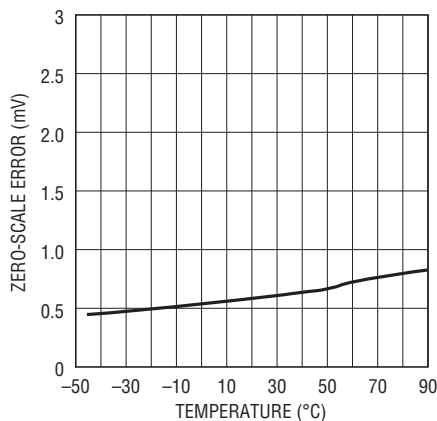
2609 G16

オフセット誤差と温度



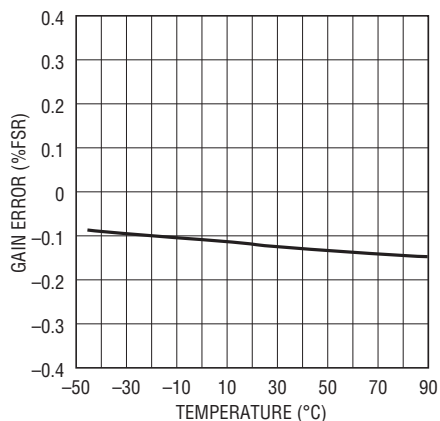
2609 G17

ゼロスケール誤差と温度



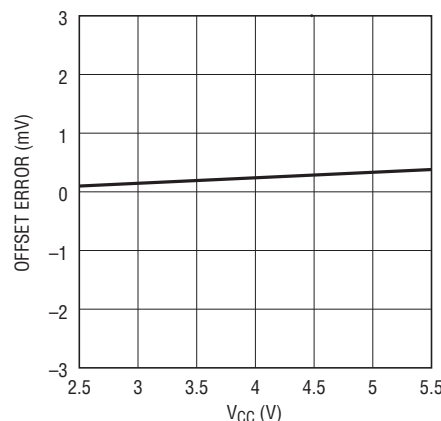
2609 G18

利得誤差と温度



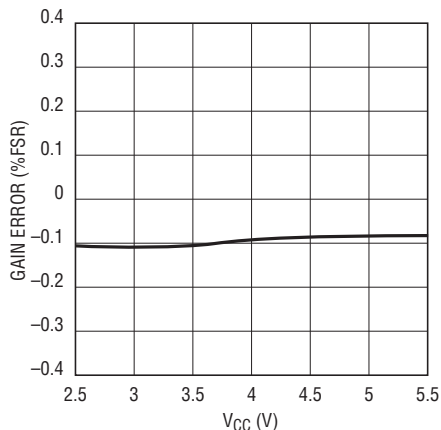
2609 G19

オフセット誤差とVCC



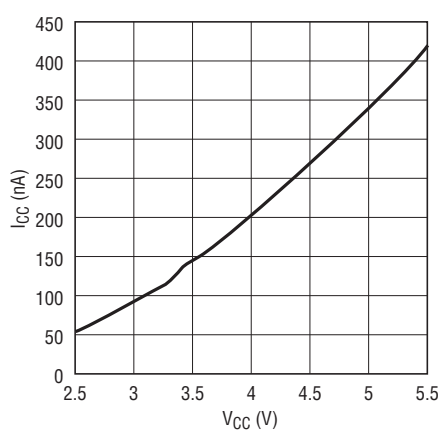
2609 G20

利得誤差とVCC



2609 G21

I_{CC}シャットダウンとVCC

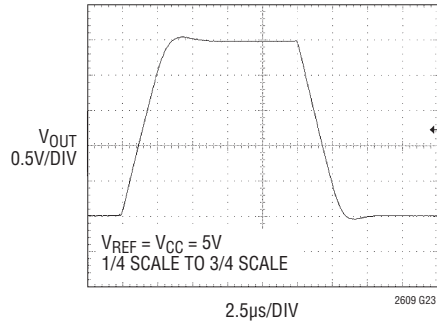


2609 G22

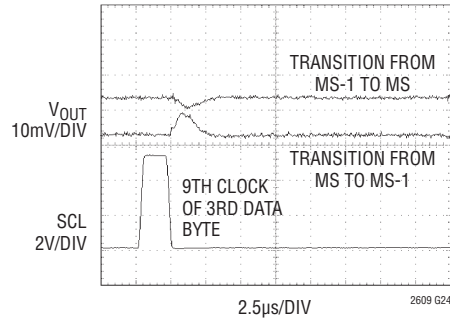
標準的性能特性

LTC2609/LTC2619/LTC2629

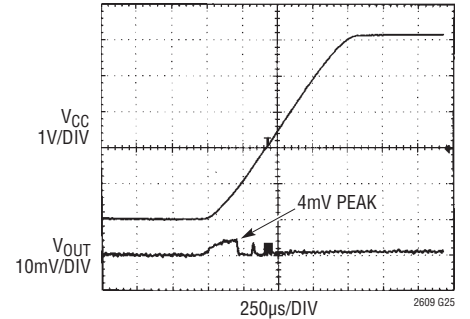
大信号応答



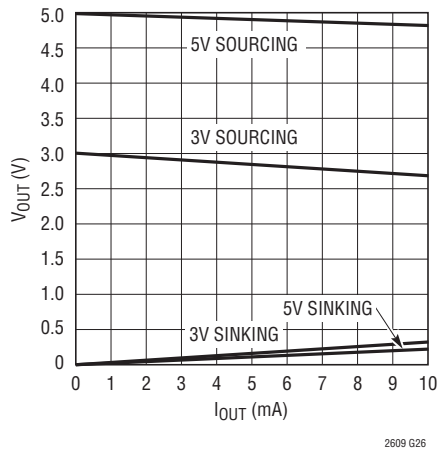
ミッドスケール・グリッチ・インパルス



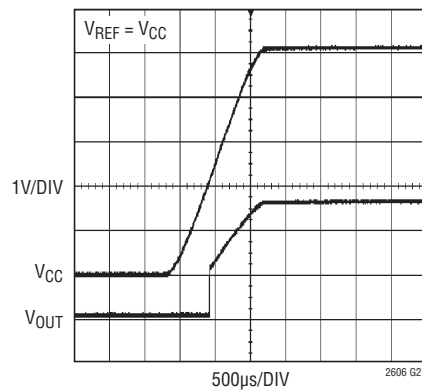
パワーオン・リセット・グリッチ



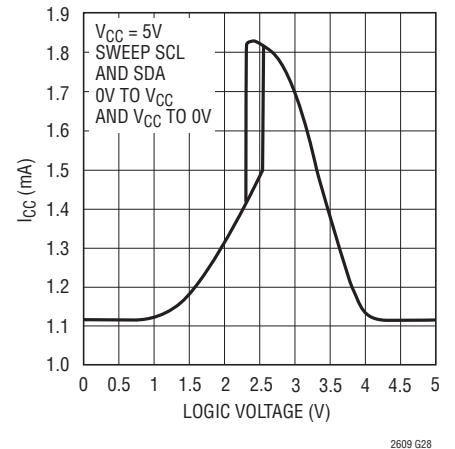
レールの空き高と出力電流



ミッドスケールにパワーオン・リセット



電源電流とロジック電圧

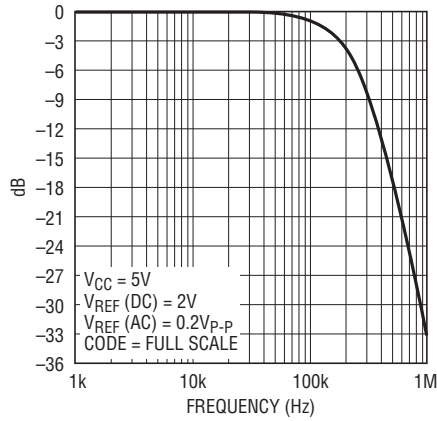


LTC2609/LTC2619/LTC2629

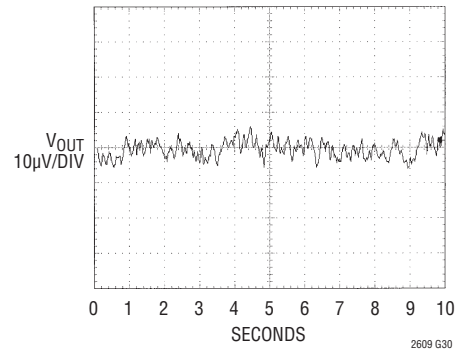
標準的性能特性

LTC2609/LTC2619/LTC2629

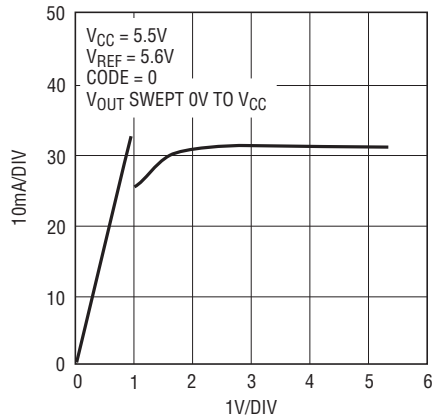
乗算帯域幅



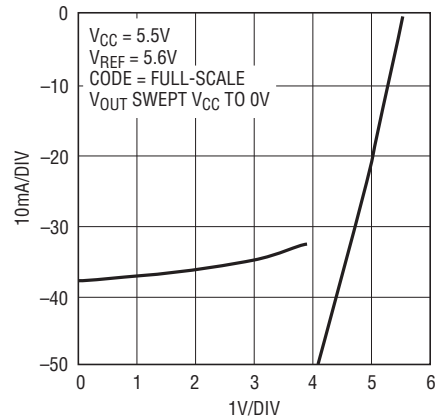
出力電圧ノイズ、0.1Hz~10Hz



短絡出力電流とVOUT(シンク)



短絡出力電流とVOUT(ソース)



ピン機能

GND (ピン1): アナログ・グラウンド。

REFLO (ピン2): リファレンス・ロー。このピンの電圧がすべてのDACのゼロスケール(ZS)を設定します。このピンは $V_{CC} = 5V$ でグラウンドより1V上まで、 $V_{CC} = 3V$ でグラウンドより100mV上まで上げることができます。

REFA~REFD (ピン3、6、12、15): 各DACのリファレンス電圧入力。REFxはDACのフルスケール電圧を設定します。 $REFLO \leq REFx \leq V_{CC}$ 。

VOUTA~VOUTD (ピン4、5、13、14): DACのアナログ電圧出力。出力範囲はREFLO~REFxです。

CA2 (ピン7): チップ・アドレスのビット2。このピンを V_{CC} またはGNDに接続するか、またはフロートさせて、デバイスのI²Cスレーブ・アドレスを選択します(表1)。

SCL (ピン8): シリアル・クロック入力ピン。データはクロックの立上りエッジでシフトされてSDAピンに入力されます。この高インピーダンス・ピンにはプルアップ抵抗または V_{CC} への電流源が必要です。

SDA (ピン9): シリアル・データの双方向ピン。データはシフトされてSDAピンに入力され、SDAピンによってアクノリッジされません。このピンはデータがシフトされて入力されるとき高インピーダンス・ピンになり、アクノリッジの間はオープン・ドレインのNチャンネル出力になります。SDAにはプルアップ抵抗または V_{CC} への電流源が必要です。

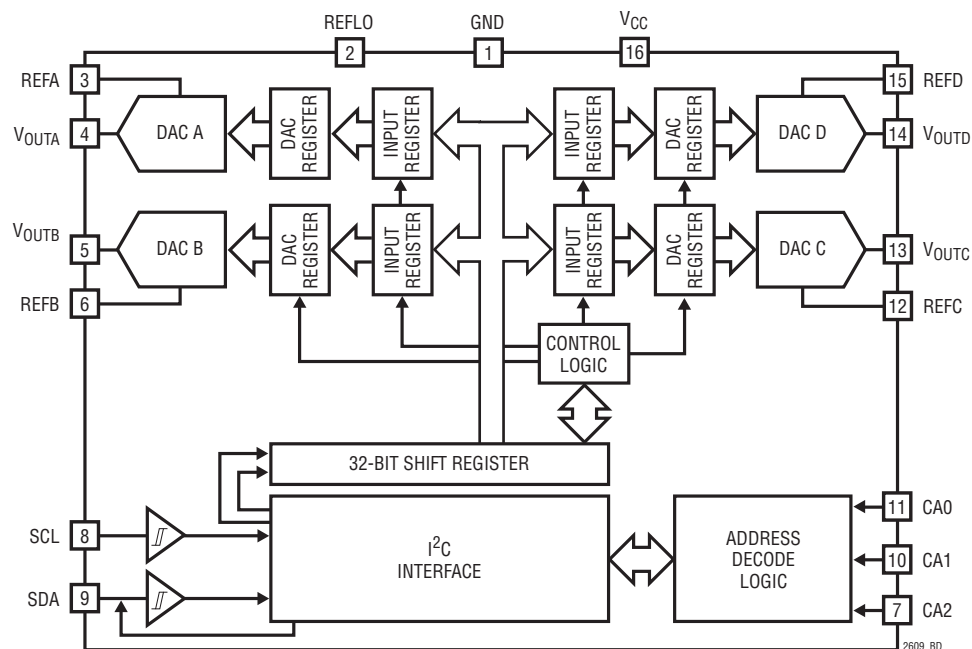
CA1 (ピン10): チップ・アドレスのビット1。このピンを V_{CC} またはGNDに接続するか、またはフロートさせて、デバイスのI²Cスレーブ・アドレスを選択します(表1)。

CA0 (ピン11): チップ・アドレスのビット0。このピンを V_{CC} またはGNDに接続するか、またはフロートさせて、デバイスのI²Cスレーブ・アドレスを選択します(表1)。

VCC (ピン16): 電源電圧入力。 $2.7V \leq V_{CC} \leq 5.5V$ 。

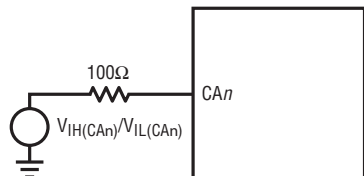
LTC2609/LTC2619/LTC2629

ブロック図

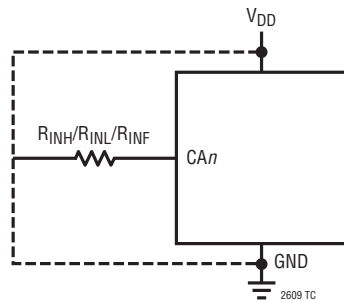


テスト回路

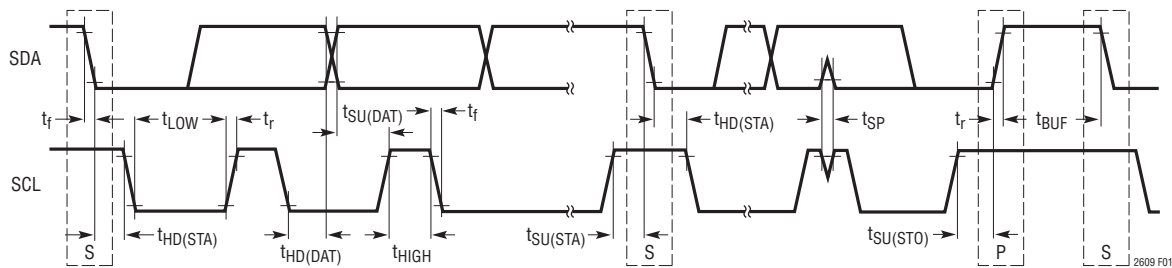
テスト回路1



テスト回路2



タイミング図



すべての電圧レベルは $V_{IH(MIN)}$ と $V_{IL(MAX)}$ のレベルを基準にしている。

図1

動作

パワーオン・リセット

LTC2609/LTC2619/LTC2629は電源が最初に入れられたとき出力をゼロスケールにクリアして、システムの初期状態を一定に保ち、反復可能にします。LTC2609-1/LTC2619-1/LTC2629-1は電源が最初に入れられたとき電圧出力をミッドスケールに設定します。

アプリケーションによっては、DACの起動時に下流の回路がアクティブ状態であり、この間DACからのゼロではない出力に対して敏感な場合があります。LTC2609/LTC2619/LTC2629はパワーオン・グリッチを減らす回路を備えています。さらに、電源のランプレートを小さくすることにより、グリッチの振幅をいくらか小さくすることができます。たとえば、電源が1msで5Vまでランプする場合、パワーオン時にアナログ出力がグランドより10mV(標準)以上上昇することはありません。「標準的性能特性」のセクションの「パワーオン・リセット・グリッチ」を参照してください。

電源シーケンシング

REFx(ピン3、6、12および15)の電圧は $-0.3V \leq \text{REFx} \leq V_{CC} + 0.3V$ の範囲に保ちます(「絶対最大定格」を参照)。電源のターンオン・シーケンスとターンオフ・シーケンスの間(このときV_{CC}(ピン16)の電圧は遷移しています)、これらのリミットが守られるように特に注意が必要です。REFxピンは、図2に示されているショットキー・ダイオードを使って最大電圧より下に留まるようにクランプすることができますので、シーケンシングの制約が緩和されます。

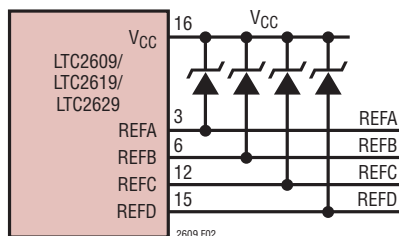


図2. 電源シーケンシングに利用したショットキー・ダイオード

伝達関数

デジタルからアナログへの伝達関数は次のとおりです。

$$V_{\text{OUT(IDEAL)}} = \left(\frac{k}{2^N} \right) [\text{REFx} - \text{REFLO}] + \text{REFLO}$$

ここで、kはDACの2進数入力コードに相当する10進数、Nは分解能、REFxはREFA、REFB、REFCおよびREFD(ピン3、6、12および15)の電圧です。

シリアル・デジタル・インタフェース

LTC2609/LTC2619/LTC2629は2線式標準I²Cインタフェースを使ってホストと通信します。バス信号相互のタイミング関係をタイミング図(図1)に示します。バスを使用しない場合、2本のバスライン(SDAとSCL)は“H”にする必要があります。これらのラインには外付けのプルアップ抵抗または電流源が必要です。これらのプルアップ抵抗の値は電源に依存し、I²C規格から求めることができます。高速モードで動作するI²Cバスの場合、バス容量が200pFより大きいとアクティブ・プルアップが必要になります。内部ESD保護ダイオードを介したI²Cバスラインのロードを避けるため、I²Cバスがアクティブの時にはLTC2609/LTC2619/LTC2629からV_{CC}電源を取り外してはなりません。

LTC2609/LTC2619/LTC2629は受信のみの(スレーブ)デバイスです。マスタはLTC2609/LTC2619/LTC2629に書き込むことができます。マスタの読み出しに対してLTC2609/LTC2619/LTC2629は応答しません。

START(S)信号とSTOP(P)信号

バスが使用されていないとき、SCLとSDAの両方が“H”でなければなりません。バス・マスタはSTART信号を送って通信開始をスレーブ・デバイスに知らせます。START信号はSCLを“H”に保ったままSDAを“H”から“L”に遷移させて発生させます。

マスタはスレーブとの通信を終了したら、STOP信号を送ります。STOP信号はSCLを“H”に保ったままSDAを“L”から“H”に遷移させて発生させます。この後、バスは別のI²Cデバイスとの通信のために自由に使えます。

アクノリッジ

アクノリッジ信号はマスタとスレーブ間のハンドシェイクに使われます。スレーブによって生成されるアクノリッジ(アクティブ“L”)は、情報の最新のバイトが受信されたことをマスタに知らせます。アクノリッジに関連したクロック・パルスはマスタによって生成されます。マスタはアクノリッジ・クロック・パルスの間SDAライン(“H”)を解放します。スレーブ・レシーバはアクノリッジ・クロック・パルスの間SDAバスラインを引き下げ、アク

動作

ノリッジ・クロック・パルスが“H”の間安定して“L”に保つ必要があります。LTC2609/LTC2619/LTC2629はこのようにしてマスタによる書き込みに対して応答します。LTC2609/LTC2619/LTC2629は読み出しに対してはアクノリッジしません(アクノリッジ・クロック・パルスの間SDAは“H”に保たれます)。

チップ・アドレス

CA0、CA1およびCA2の状態によってデバイスのスレーブ・アドレスが決まります。ピンCA0、CA1およびCA2はそれぞれV_{CC}、GNDまたはフロートの3つの状態の1つに設定することができます。これにより、27の選択可能なデバイス・アドレスが生じます。スレーブ・アドレスの割当てを表1に示します。

表1. スレーブ・アドレスのマップ

CA2	CA1	CA0	SA6	SA5	SA4	SA3	SA2	SA1	SA0
GND	GND	GND	0	0	1	0	0	0	0
GND	GND	FLOAT	0	0	1	0	0	0	1
GND	GND	V _{CC}	0	0	1	0	0	1	0
GND	FLOAT	GND	0	0	1	0	0	1	1
GND	FLOAT	FLOAT	0	1	0	0	0	0	0
GND	FLOAT	V _{CC}	0	1	0	0	0	0	1
GND	V _{CC}	GND	0	1	0	0	0	1	0
GND	V _{CC}	FLOAT	0	1	0	0	0	1	1
GND	V _{CC}	V _{CC}	0	1	1	0	0	0	0
FLOAT	GND	GND	0	1	1	0	0	0	1
FLOAT	GND	FLOAT	0	1	1	0	0	1	0
FLOAT	GND	V _{CC}	0	1	1	0	0	1	1
FLOAT	FLOAT	GND	1	0	0	0	0	0	0
FLOAT	FLOAT	FLOAT	1	0	0	0	0	0	1
FLOAT	FLOAT	V _{CC}	1	0	0	0	0	1	0
FLOAT	V _{CC}	GND	1	0	0	0	0	1	1
FLOAT	V _{CC}	FLOAT	1	0	1	0	0	0	0
FLOAT	V _{CC}	V _{CC}	1	0	1	0	0	0	1
V _{CC}	GND	GND	1	0	1	0	0	1	0
V _{CC}	GND	FLOAT	1	0	1	0	0	1	1
V _{CC}	GND	V _{CC}	1	1	0	0	0	0	0
V _{CC}	FLOAT	GND	1	1	0	0	0	0	1
V _{CC}	FLOAT	FLOAT	1	1	0	0	0	1	0
V _{CC}	FLOAT	V _{CC}	1	1	0	0	0	1	1
V _{CC}	V _{CC}	GND	1	1	1	0	0	0	0
V _{CC}	V _{CC}	FLOAT	1	1	1	0	0	0	1
V _{CC}	V _{CC}	V _{CC}	1	1	1	0	0	1	0
GLOBAL ADDRESS			1	1	1	0	0	1	1

アドレス・ピンによって選択されたアドレス以外に、デバイスはグローバル・アドレスにも応答します。このアドレスにより、I²Cバスの3バイトの1回の書き込みトランザクションで、LTC2609、LTC2619およびLTC2629のすべてのデバイスへの共通書き込みを行うことができます。グローバル・アドレスは7ビットの組み込みハードワイヤード・アドレスで、CA0、CA1およびCA2で選択することはできません。

CA0、CA1、CA2およびグローバル・アドレスの状態に対応したアドレスを表1に示します。アドレス・ピン(CA0、CA1およびCA2)は(それらがフロートされているか判断するため)アドレス検出時にドライブされるので、これらのピンに許容される最大容量性負荷は10pFです。

ワード書き込みのプロトコル

マスタはSTART信号と7ビットのスレーブ・アドレス、それに続く書き込みビット(W) = 0を使ってLTC2609/LTC2619/LTC2629との通信を開始します。LTC2609/LTC2619/LTC2629は、7ビットのスレーブ・アドレスが(CA0、CA1およびCA2で設定される)そのデバイスのアドレスまたはグローバル・アドレスに一致すると、9番目のクロックでSDAピンを“L”に引き下げてアクノリッジします。マスタは次に3バイトのデータを送ります。LTC2609/LTC2619/LTC2629は、各データ・バイト転送の9番目のクロックでSDAラインを“L”に引き下げることにより、各データ・バイトをアクノリッジします。3バイトのデータをすべて受け取った後、LTC2609/LTC2619/LTC2629は24ビットの入力ワードで指定されたコマンドを実行します。

有効な7ビットのスレーブ・アドレスの後、3バイトを超えるデータが送られても、LTC2609/LTC2619/LTC2629は余分のデータ・バイトはアクノリッジしません(9番目のクロックの間SDAは“H”)。

3データ・バイトのフォーマットを図3に示します。入力ワードの最初の1バイトは4ビットのコマンドと4ビットのDACアドレスで構成されます。次の2バイトは16ビットのデータ・ワードで構成されます。16ビットのデータ・ワードは、MSBからLSBに向かって並んだ16、14、または12ビットの入力コードと、それに続く0、2または4ビットのドントケア(対象外)ビットで構成されます(それぞれ、LTC2609、LTC2619およびLTC2629)。LTC2609の標準的書き込みトランザクションを図4に示します。

コマンド(C3~C0)とアドレス(A3~A0)の割当てを表2に示します。表の中の最初の4つのコマンドは書き込みと更新の操作です。

動作

LTC2609/LTC2619/LTC1629の書き込みワード・プロトコル

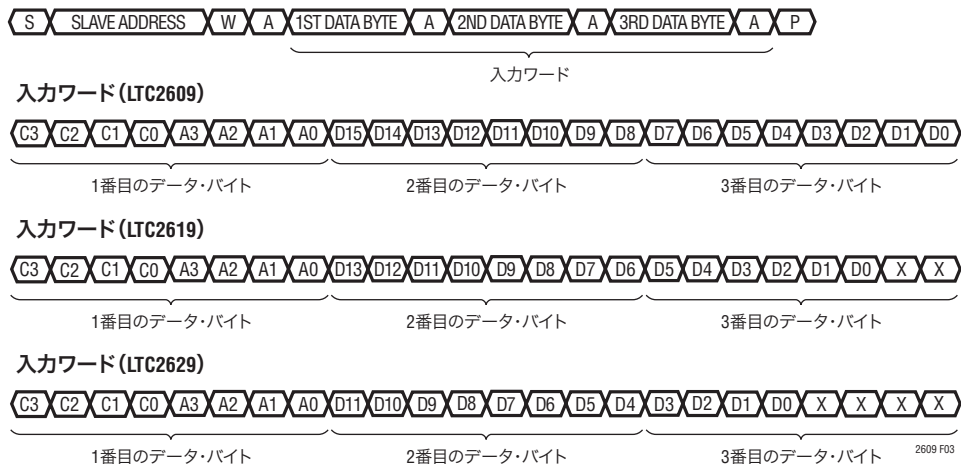


図3

表2

コマンド*				
C3	C2	C1	C0	
0	0	0	0	入力レジスタnに書き込む
0	0	0	1	DACのレジスタnを更新(パワーアップ)する
0	0	1	0	入力レジスタnに書き込み、すべてのnを更新(パワーアップ)する
0	0	1	1	nに書き込み、更新(パワーアップ)する
0	1	0	0	nをパワーダウン
1	1	1	1	動作なし
アドレス(n)*				
A3	A2	A1	A0	
0	0	0	0	DAC A
0	0	0	1	DAC B
0	0	1	0	DAC C
0	0	1	1	DAC D
1	1	1	1	All DACs

*示されていないコマンドとアドレス・コードは予備であり、使用してはならない。

書き込み操作は、32ビットのシフト・レジスタから16ビットのデータ・ワードを、選択されたDAC (n) の入力レジスタにロードします。更新操作はデータ・ワードを入力レジスタからDACレジスタにコピーします。DACレジスタにコピーされると、データ・ワードはアクティブな16、14、または12ビットの入力コードになり、DAC出力でアナログ電圧に変換されます。また、パワーダウン・モードであれば、更新操作により、選択されたDACがパワーアップされます。データ・パスとレジスタをブロック図に示します。

パワーダウン・モード

電力が制限されているアプリケーションでは、4本の出力のすべては必要ないときはパワーダウン・モードを使って電源電流を減らすことができます。パワーダウン時、バッファ・アンプ、バイアス回路およびリファレンス入力はディスエーブルされ、実質的に電流は流れません。DAC出力は高インピーダンス状態になり、出力ピンは個別の90k抵抗によって受動的にREFLOに引き下げられます。入力レジスタとDACレジスタの内容はパワーダウンのあいだ乱されません。

どのチャンネルまたは複数のチャンネルのどの組み合わせでも、適切なDACアドレス(n)と組み合わせたコマンド0100bを使ってパワーダウン・モードにすることができます。16ビットのデータ・ワードは無視されます。電源電流は各DACのパワーダウンにより約1/4だけ減少します。REFx (ピン3、6、12および15) の実効抵抗は、対応するDACがパワーダウンしているとき、高インピーダンス (標準 >1GΩ) になります。表2に示されているように、DACの更新を含むどのコマンドを実行しても、通常の動作を再開することができます。

選択されたDACはその電圧出力が更新されるとパワーアップされます。パワーダウン状態のDACがパワーアップされ、更新されると、通常のセトリングが遅延させられます。更新コマンドの前にパワーダウン状態のDACが3つ以下の場合、パワーアップ遅延は5μsです。

動作

他方、4つのすべてのDACがパワーダウンされると、個々のDACのアンプやリファレンス入力に加えて、主バイアス発生回路ブロックが自動的にシャットダウンされます。この場合、パワーアップ遅延時間は $12\mu\text{s}$ ($V_{CC} = 5\text{V}$ の場合)または $30\mu\text{s}$ ($V_{CC} = 3\text{V}$ の場合)です。

電圧出力

レール・トゥ・レール・アンプは 5V で最大 15mA (2.7V で最大 7.5mA)をソースまたはシンクするときロード・レギュレーションが保証されています。

ロード・レギュレーションは、広い範囲の負荷条件にわたって定格電圧精度を維持する、アンプの能力の指標です。負荷電流を強制的に 1mA 変化させたときの出力電圧の変化の測定値は LSB/mA で表現されます。

DC出力インピーダンスはロード・レギュレーションと等価で、単に LSB/mA からオームに単位を変えて計算するだけで求めることができます。アンプのDC出力インピーダンスはレールから十分離れた負荷をドライブしているとき 0.035Ω です。

どちらかのレールから負荷電流が流れているとき、そのレールを基準にした出力電圧の空き高は出力デバイスの標準的チャネル抵抗 30Ω によって制限されます。たとえば、 1mA をシンクしているとき、最小出力電圧 = $30\Omega \cdot 1\text{mA} = 30\text{mV}$ になります。「標準性能特性」のセクションの「レールの空き高と出力電流」のグラフを参照してください。

アンプは最大 1000pF の容量性負荷を安定してドライブします。

基板のレイアウト

これらのデバイスのすぐれたロード・レギュレーションとDCクロストークの性能は、幾分は「信号」グラウンドと「電源」グラウンドを分離することにより実現されます。

PCボードには、回路のアナログ部分とデジタル部分のために別の領域が必要です。こうすれば、敏感なアナログ信号からデジタル信号を離しておくことができ、分離されたデジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンを使いやすくなり、容量性および抵抗性の相互反応を最小に抑えられます。

デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは1点接続し、デバイスのグラウンド・ピンにできるだけ近づけてシステムのスター・グラウンドを形成します。理想的には、アナログ・グラウンド・プレーンはボードの部品側に配置し、デバイスをノイズからシールドするためにデバイスの下にくるようにします。アナログ・グラウンドは(必要なピン・パッドやビア以外は)遮るもののない連続したプレーンにして、信号用トレースは別のレイヤに配置します。

GNDピンはデバイス内の電源電流のリターンパスとして機能し、アナログ・グラウンドに接続します。GNDピンからシステムのスター・グラウンドまでの抵抗はできるだけ小さくします。ゼロスケールDACの出力電圧をゼロにしたいときは、REFLO (ピン2)をシステムのスター・グラウンドに接続します。

レール・トゥ・レール出力に関する検討事項

どんなレール・トゥ・レールの電圧出力のデバイスでも、出力は電源電圧範囲内に制限されます。

デバイスのアナログ出力はグラウンドより下には下がれないので、図4bに示されているように、これらの出力は最低コードを制限することがあります。同様に、REFピンが V_{CC} に接続されているとき、フルスケールの近くで出力が制限されることがあります。REFx = V_{CC} で、DACのフルスケール誤差(FSE)が正のとき、最高コードの出力が、図4cに示されているように、 V_{CC} に制限されます。REFxが $V_{CC} - \text{FSE}$ より小さいと、フルスケールの制限は生じません。

オフセットと直線性は、DACの伝達関数の(出力の制限が生じない)領域にわたって定義され、テストされます。

動作

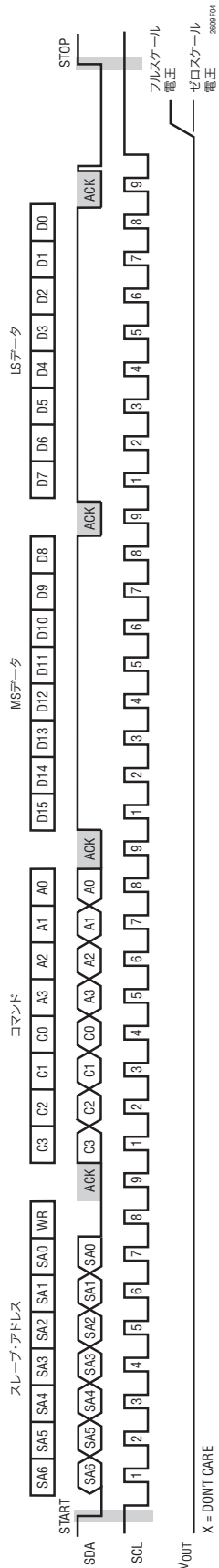


図4. LTC2609の標準的入力波形 - DACの出力をフルスケールにプログラム

動作

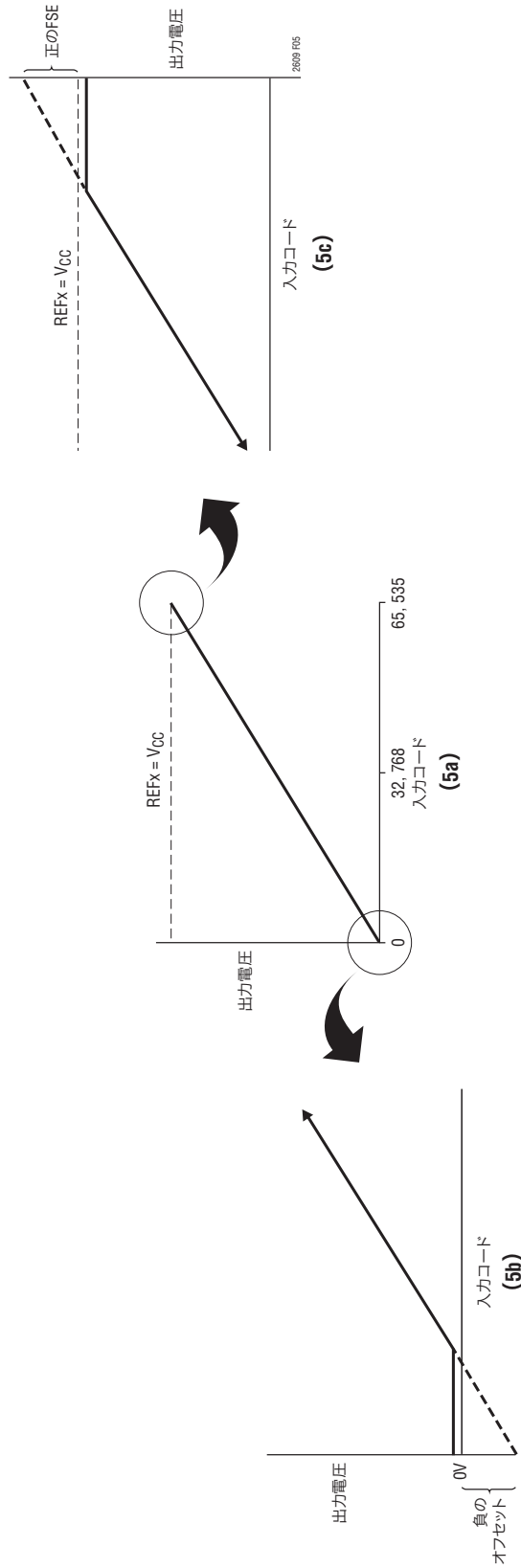
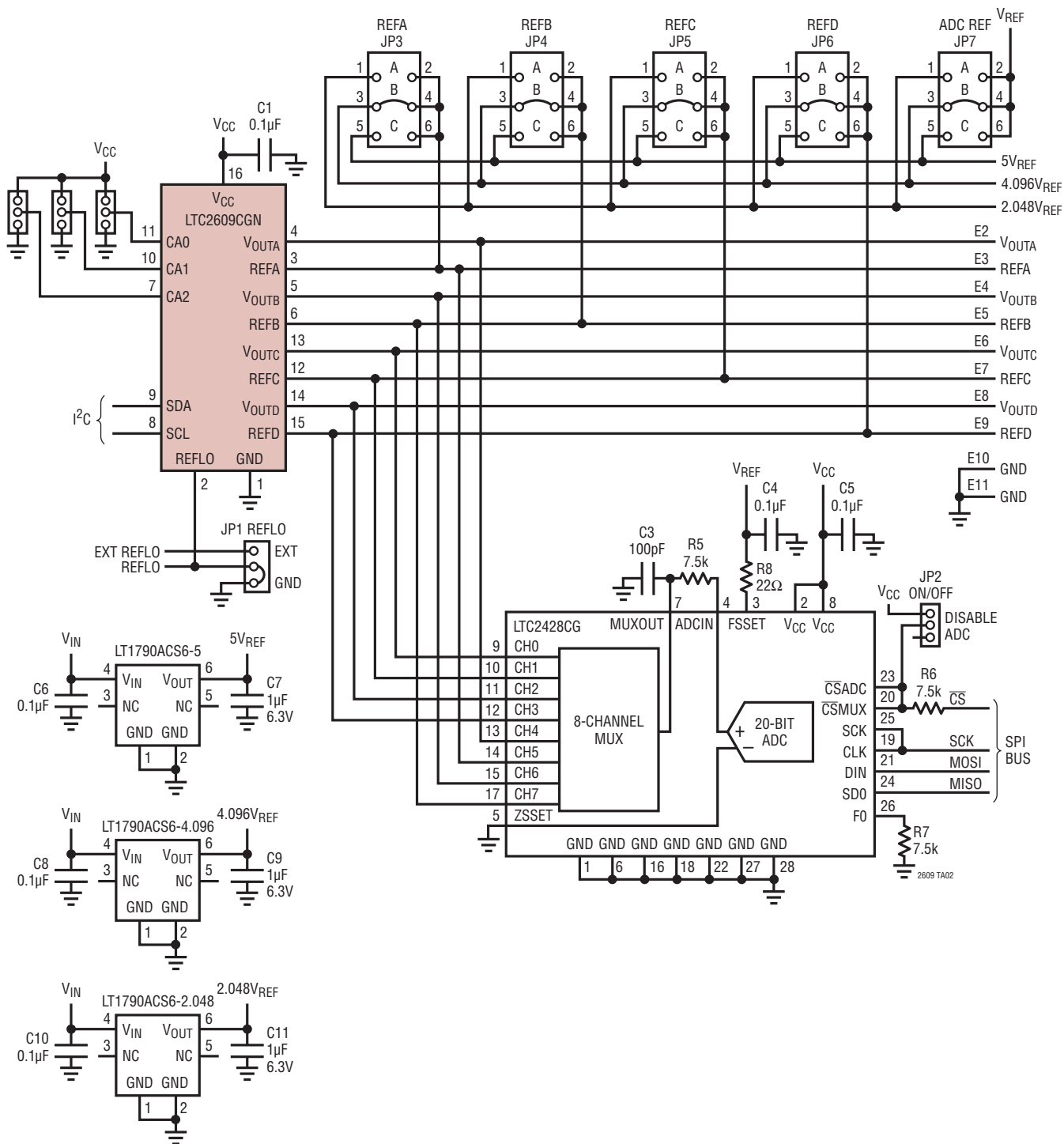


図5. DAC伝達曲線に対するレール・トゥ・レール動作の影響。(a)全体の伝達関数、(b)ゼロスケール近くのコードに対する負のオフセットの影響、(c)フルスケール近くのコードに対する正のフルスケール誤差の影響

LTC2609/LTC2619/LTC2629

標準的応用例

デモ用ボードの回路図 - ボード上の20ビットADCにより主要な性能パラメータを測定



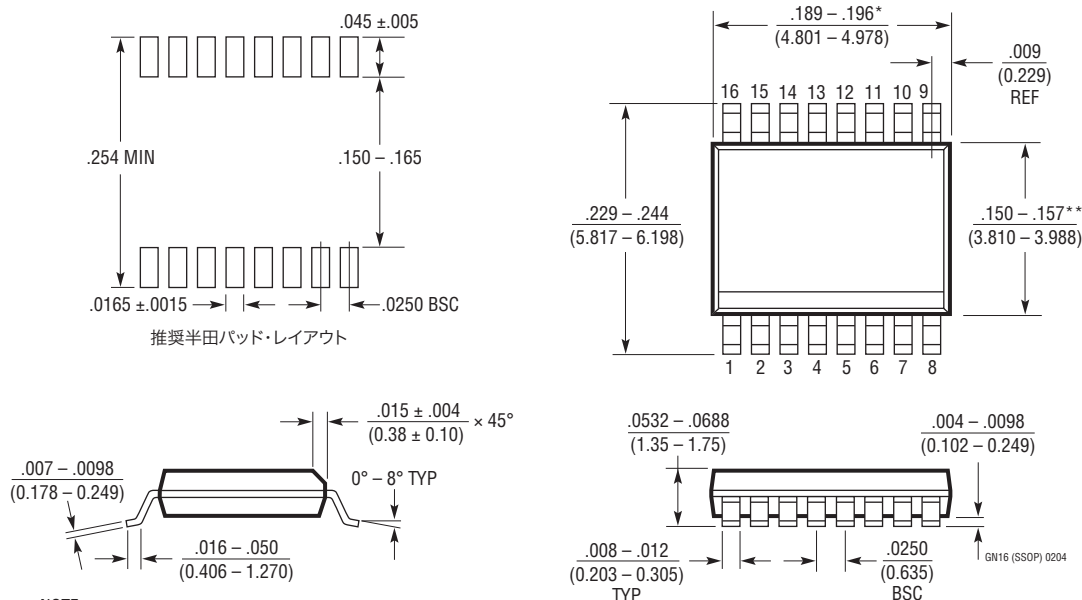
改訂履歴 (Rev Aよりスタート)

REV	日付	修正内容	頁番号
A	11/09	ピン配置の変更	2
		発注情報の変更	2
		電気的特性 注1の変更	4
		シリアル・デジタル・インタフェースに文章追加	13

LTC2609/LTC2619/LTC2629

パッケージ

GNパッケージ 16ピン・プラスチックSSOP (Reference LTC DWG # 05-08-1641)



NOTE:
 1. 標準寸法: インチ
 2. 寸法は (ミリメートル)
 3. 図は実寸とは異なる

* 寸法にはモールドのバリを含まない。モールドのバリは各サイドで 0.006° (0.152mm) を超えないこと
 ** 寸法にはリード間のバリを含まない。リード間のバリは各サイドで 0.010° (0.254mm) を超えないこと

関連製品

製品番号	説明	注釈
LTC1458/LTC1458L	追加機能付きレール・トゥ・レール出力のクワッド12ビットDAC	LTC1458: $V_{CC} = 4.5V \sim 5.5V$, $V_{OUT} = 0V \sim 4.096V$ LTC1458L: $V_{CC} = 2.7V \sim 5.5V$, $V_{OUT} = 0V \sim 2.5V$
LTC1654	レール・トゥ・レール V_{OUT} のデュアル14ビットDAC	プログラム可能な速度/電力、 $3.5\mu s/750\mu A$, $8\mu s/450\mu A$
LTC1655/LTC1655L	シリアル・インタフェース付きシングル16ビット V_{OUT} DAC (SO-8)	$V_{CC} = 5V$ (3V)、低消費電力、グリッチ低減
LTC1657/LTC1657L	5V/3Vの平行16ビット V_{OUT} DAC	低消費電力、グリッチ低減、レール・トゥ・レール V_{OUT}
LTC1660/LTC1665	16ピン細型SSOPのオクタール10/8ビット V_{OUT} DAC	$V_{CC} = 2.7V \sim 5.5V$ 、マイクロパワー、レール・トゥ・レール出力
LTC1821	平行16ビット電圧出力DAC	10Vのステップに対して $2\mu s$ で高精度16ビット・セトリング
LTC2600/LTC2610 LTC2620	16ピンSSOPのオクタール16/14/12ビット V_{OUT} DAC	$250\mu A$ /DAC、 $2.5V \sim 5.5V$ 電源範囲、レール・トゥ・レール出力、SPIシリアル・インタフェース
LTC2601/LTC2611 LTC2621	10ピンSSOPのシングル16/14/12ビット V_{OUT} DAC	$250\mu A$ /DAC、 $2.5V \sim 5.5V$ 電源範囲、レール・トゥ・レール出力、SPIシリアル・インタフェース
LTC2602/LTC2612 LTC2622	8ピンMSOPのデュアル16/14/12ビット V_{OUT} DAC	$300\mu A$ /DAC、 $2.5V \sim 5.5V$ 電源範囲、レール・トゥ・レール出力、SPIシリアル・インタフェース
LTC2604/LTC2614 LTC2624	16ピンSSOPのクワッド16/14/12ビット V_{OUT} DAC	$250\mu A$ /DAC、 $2.5V \sim 5.5V$ 電源範囲、レール・トゥ・レール出力、SPIシリアル・インタフェース
LTC2605/LTC2615 LTC2625	16ピンSSOPのオクタール16/14/12ビット V_{OUT} DAC	$250\mu A$ /DAC、 $2.7V \sim 5.5V$ 電源範囲、レール・トゥ・レール出力
LTC2606/LTC2616 LTC2626	10ピンDFNのシングル16/14/12ビット V_{OUT} DAC、 I^2C インタフェース	$270\mu A$ /DAC、 $2.7V \sim 5.5V$ 電源範囲、レール・トゥ・レール出力

26091929fa