

特長

- 最小のピン互換デュアルDAC
LTC2607: 16ビット
LTC2617: 14ビット
LTC2627: 12ビット
- 全温度範囲で単調性を保証
- 27のアドレスを選択可能
- 400kHz I²Cインタフェース
- 広い電源電圧範囲: 2.7V~5.5V
- 低消費電力動作: 260μ/DAC (3V電源時)
- 1μA(最大)のパワーダウン
- 高いレール・トゥ・レール出力ドライブ: ±15mA(最小)
- 超低クロストーク: 30μV
- ダブルバッファ・データ・ラッチ
- 非同期DAC更新ピン
- LTC2607/LTC2617/LTC2627: ゼロスケールに
パワーオン・リセット
- LTC2607-1/LTC2617-1/LTC2627-1: ミッドスケールに
パワーオン・リセット
- 小型(3mm×4mm) 12ピンDFNパッケージ

アプリケーション

- モバイル通信
- プロセス制御、産業用オートメーション
- 計測
- 自動テスト装置

概要

LTC[®]2607/LTC2617/LTC2627はデュアル16、14、12ビット、2.7V~5.5V動作、レール・トゥ・レール電圧出力DACで、12ピンDFNパッケージで供給されます。高性能出力バッファを内蔵しており、単調性が保証されています。

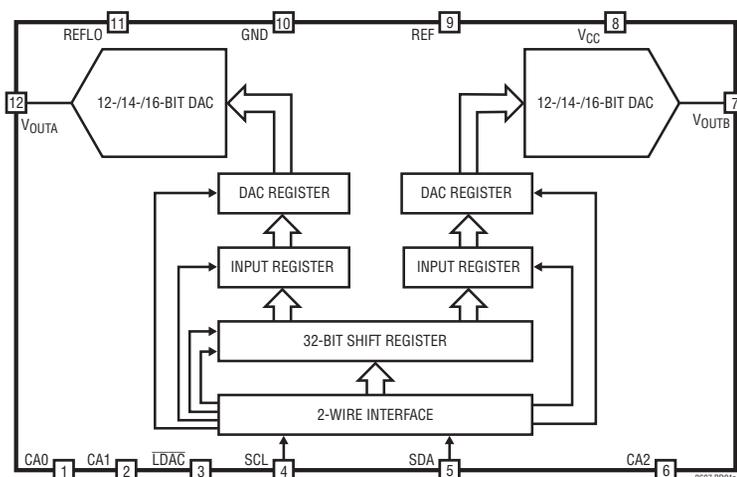
これらのデバイスにより、16ビットおよび14ビットDACの基板実装密度の新たな基準が確立され、単一電源、電圧出力DACの出力ドライブ、ロード・レギュレーションの標準性能レベルが向上します。

これらのデバイスは、I²C互換の2線シリアル・インタフェースを使用します。LTC2607/LTC2617/LTC2627は標準モード(クロック・レート100kHz)と高速モード(クロック・レート400kHz)のいずれでも動作します。非同期更新ピン($\overline{\text{LDAC}}$)も備えています。

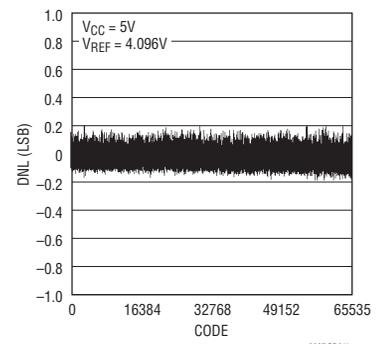
LTC2607/LTC2617/LTC2627はパワーオン・リセット回路を内蔵しています。起動時の出力電圧はゼロスケールから10mV以内で、起動後は、有効な書き込みや更新が行われるまでゼロスケールに維持されます。LTC2607-1/LTC2617-1/LTC2627-1はパワーオン・リセット回路によってミッドスケールにリセットされます。有効な書き込みや更新が行われるまで、電圧出力はミッドスケールに維持されます。

LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリアテクノロジー社の登録商標です。他のすべての商標はそれぞれの所有者に所有権があります。5396245および6891433を含む米国特許によって保護されています。特許出願中。

ブロック図



微分非直線性
(LTC2607)



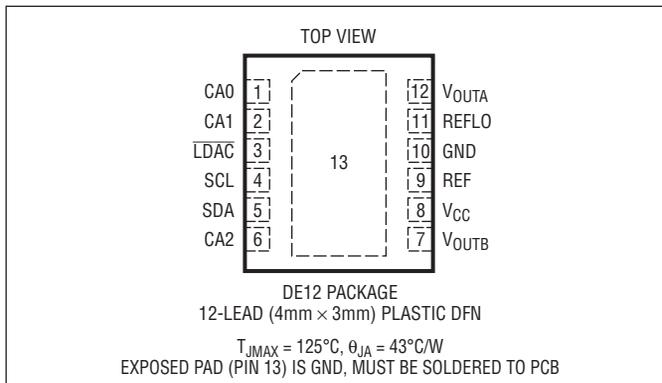
LTC2607/LTC2617/LTC2627

絶対最大定格

(Note 1)

すべてのピン-GND間	-0.3V~6V
すべてのピン-V _{CC} 間	-6V~0.3V
最大接合部温度	125°C
保存温度範囲	-65°C~125°C
リード温度(半田付け、10秒)	300°C
動作温度範囲:	
LTC2607C/LTC2617C/LTC2627C	
LTC2607C-1/LTC2617C-1/LTC2627C-1	0°C~70°C
LTC2607I/LTC2617I/LTC2627I	
LTC2607I-1/LTC2617I-1/LTC2627I-1	-40°C~85°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2607CDE#PBF	LTC2607CDE#TRPBF	2607	12-Lead (4mm x 3mm) Plastic DFN	0°C to 70°C
LTC2607IDE#PBF	LTC2607IDE#TRPBF	2607	12-Lead (4mm x 3mm) Plastic DFN	-40°C to 85°C
LTC2607CDE-1#PBF	LTC2607CDE-1#TRPBF	26071	12-Lead (4mm x 3mm) Plastic DFN	0°C to 70°C
LTC2607IDE-1#PBF	LTC2607IDE-1#TRPBF	26071	12-Lead (4mm x 3mm) Plastic DFN	-40°C to 85°C
LTC2617CDE#PBF	LTC2617CDE#TRPBF	2617	12-Lead (4mm x 3mm) Plastic DFN	0°C to 70°C
LTC2617IDE#PBF	LTC2617IDE#TRPBF	2617	12-Lead (4mm x 3mm) Plastic DFN	-40°C to 85°C
LTC2617CDE-1#PBF	LTC2617CDE-1#TRPBF	26171	12-Lead (4mm x 3mm) Plastic DFN	0°C to 70°C
LTC2617IDE-1#PBF	LTC2617IDE-1#TRPBF	26171	12-Lead (4mm x 3mm) Plastic DFN	-40°C to 85°C
LTC2627CDE#PBF	LTC2627CDE#TRPBF	2627	12-Lead (4mm x 3mm) Plastic DFN	0°C to 70°C
LTC2627IDE#PBF	LTC2627IDE#TRPBF	2627	12-Lead (4mm x 3mm) Plastic DFN	-40°C to 85°C
LTC2627CDE-1#PBF	LTC2627CDE-1#TRPBF	26271	12-Lead (4mm x 3mm) Plastic DFN	0°C to 70°C
LTC2627IDE-1#PBF	LTC2627IDE-1#TRPBF	26271	12-Lead (4mm x 3mm) Plastic DFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{REF} = 4.096\text{V}$ ($V_{\text{CC}} = 5\text{V}$)、 $\text{REF} = 2.048\text{V}$ ($V_{\text{CC}} = 2.7\text{V}$)、 $\text{REFLO} = 0\text{V}$ 、 V_{OUT} は無負荷。

SYMBOL	PARAMETER	CONDITIONS	LTC2627/LTC2627-1			LTC2617/LTC2617-1			LTC2607/LTC2607-1			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
DC性能												
	Resolution		●	12		14		16			Bits	
	Monotonicity	(Note 2)	●	12		14		16			Bits	
DNL	Differential Nonlinearity	(Note 2)	●		±0.5		±1		±1		LSB	
INL	Integral Nonlinearity	(Note 2)	●	±1.5	±4	±5	±16	±19	±64		LSB	
	Load Regulation	$V_{\text{REF}} = V_{\text{CC}} = 5\text{V}$, Mid-Scale $I_{\text{OUT}} = 0\text{mA}$ to 15mA Sourcing $I_{\text{OUT}} = 0\text{mA}$ to 15mA Sinking	●	0.02	0.125	0.1	0.5	0.35	2		LSB/mA	
		$V_{\text{REF}} = V_{\text{CC}} = 2.7\text{V}$, Mid-Scale $I_{\text{OUT}} = 0\text{mA}$ to 7.5mA Sourcing $I_{\text{OUT}} = 0\text{mA}$ to 7.5mA Sinking	●	0.03	0.125	0.1	0.5	0.42	2		LSB/mA	
			●	0.04	0.25	0.2	1	0.7	4		LSB/mA	
			●	0.05	0.25	0.2	1	0.8	4		LSB/mA	
ZSE	Zero-Scale Error	Code = 0	●	1	9	1	9	1	9		mV	
V_{OS}	Offset Error	(Note 6)	●	±1	±9	±1	±9	±1	±9		mV	
	V_{OS} Temperature Coefficient			±7		±7		±7			$\mu\text{V}/^\circ\text{C}$	
GE	Gain Error		●	±0.15	±0.7	±0.15	±0.7	±0.15	±0.7		%FSR	
	Gain Temperature Coefficient			±4		±4		±4			ppm/ $^\circ\text{C}$	

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{REF} = 4.096\text{V}$ ($V_{\text{CC}} = 5\text{V}$)、 $\text{REF} = 2.048\text{V}$ ($V_{\text{CC}} = 2.7\text{V}$)、 $\text{REFLO} = 0\text{V}$ 、 V_{OUT} は無負荷。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
PSR	Power Supply Rejection	$V_{\text{CC}} \pm 10\%$			-80		dB
R_{OUT}	DC Output Impedance	$V_{\text{REF}} = V_{\text{CC}} = 5\text{V}$, Mid-Scale; $-15\text{mA} \leq I_{\text{OUT}} \leq 15\text{mA}$	●		0.032	0.15	Ω
		$V_{\text{REF}} = V_{\text{CC}} = 2.7\text{V}$, Mid-Scale; $-7.5\text{mA} \leq I_{\text{OUT}} \leq 7.5\text{mA}$	●		0.035	0.15	Ω
	DC Crosstalk (Note 4)	Due to Full Scale Output Change (Note 5) Due to Load Current Change Due to Powering Down (Per Channel)			±4		μV
				±3		$\mu\text{V}/\text{mA}$	
				±30		μV	
I_{SC}	Short-Circuit Output Current	$V_{\text{CC}} = 5.5\text{V}$, $V_{\text{REF}} = 5.5\text{V}$ Code: Zero Scale; Forcing Output to V_{CC}	●	15	36	60	mA
		Code: Full Scale; Forcing Output to GND	●	15	37	60	mA
		$V_{\text{CC}} = 2.7\text{V}$, $V_{\text{REF}} = 2.7\text{V}$ Code: Zero Scale; Forcing Output to V_{CC} Code: Full Scale; Forcing Output to GND	●	7.5	22	50	mA
			●	7.5	30	50	mA

リファレンス入力

	Input Voltage Range		●	0		V_{CC}	V
	Resistance	Normal Mode	●	44	64	80	$\text{k}\Omega$
	Capacitance				30		pF
I_{REF}	Reference Current, Power Down Mode	DAC Powered Down	●		0.001	1	μA

LTC2607/LTC2617/LTC2627

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、REF = 4.096V ($V_{CC} = 5\text{V}$)、REF = 2.048V ($V_{CC} = 2.7\text{V}$)、REFLO = 0V、 V_{OUT} は無負荷。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
電源							
V_{CC}	Positive Supply Voltage	For Specified Performance	●	2.7		5.5	V
I_{CC}	Supply Current	$V_{CC} = 5\text{V}$ (Note 3)	●		0.66	1.3	mA
		$V_{CC} = 3\text{V}$ (Note 3)	●		0.52	1	mA
		DAC Powered Down (Note 3) $V_{CC} = 5\text{V}$	●		0.4	1	μA
		DAC Powered Down (Note 3) $V_{CC} = 3\text{V}$	●		0.10	1	μA
デジタルI/O (Note 11)							
V_{IL}	Low Level Input Voltage (SDA and SCL)		●			$0.3V_{CC}$	V
V_{IH}	High Level Input Voltage (SDA and SCL)		●	$0.7V_{CC}$			V
$V_{IL(LDAC)}$	Low Level Input Voltage (LDAC)	$V_{CC} = 4.5\text{V to } 5.5\text{V}$	●			0.8	V
		$V_{CC} = 2.7\text{V to } 5.5\text{V}$	●			0.6	V
$V_{IH(LDAC)}$	High Level Input Voltage (LDAC)	$V_{CC} = 2.7\text{V to } 5.5\text{V}$	●	2.4			V
		$V_{CC} = 2.7\text{V to } 3.6\text{V}$	●	2.0			V
$V_{IL(CAn)}$	Low Level Input Voltage on CA_n ($n = 0, 1, 2$)	See Test Circuit 1	●			$0.15V_{CC}$	V
$V_{IH(CAn)}$	High Level Input Voltage on CA_n ($n = 0, 1, 2$)	See Test Circuit 1	●	$0.85V_{CC}$			V
R_{INH}	Resistance from CA_n ($n = 0, 1, 2$) to V_{CC} to Set $CA_n = V_{CC}$	See Test Circuit 2	●			10	k Ω
R_{INL}	Resistance from CA_n ($n = 0, 1, 2$) to GND to Set $CA_n = \text{GND}$	See Test Circuit 2	●			10	k Ω
R_{INF}	Resistance from CA_n ($n = 0, 1, 2$) to V_{CC} or GND to Set $CA_n = \text{Float}$	See Test Circuit 2	●	2			M Ω
V_{OL}	Low Level Output Voltage	Sink Current = 3mA	●	0		0.4	V
t_{OF}	Output Fall Time	$V_O = V_{IH(MIN)}$ to $V_O = V_{IL(MAX)}$, $C_B = 10\text{pF to } 400\text{pF}$ (Note 9)	●	$20 + 0.1C_B$		250	ns
t_{SP}	Pulse Width of Spikes Suppressed by Input Filter		●	0		50	ns
I_{IN}	Input Leakage	$0.1V_{CC} \leq V_{IN} \leq 0.9V_{CC}$	●			1	μA
C_{IN}	I/O Pin Capacitance	Note 12	●			10	pF
C_B	Capacitive Load for Each Bus Line		●			400	pF
C_{CAX}	External Capacitive Load on Address Pins CA_n ($n = 0, 1, 2$)		●			10	pF

電气的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{REF} = 4.096\text{V}$ ($V_{\text{CC}} = 5\text{V}$)、 $\text{REF} = 2.048\text{V}$ ($V_{\text{CC}} = 2.7\text{V}$)、 $\text{REFLO} = 0\text{V}$ 、 V_{OUT} は無負荷。

SYMBOL	PARAMETER	CONDITIONS	LTC2627/LTC2627-1			LTC2617/LTC2617-1			LTC2607/LTC2607-1			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
AC性能												
t_s	Settling Time (Note 7)	$\pm 0.024\%$ ($\pm 1\text{LSB}$ at 12 Bits)	7			7			7			μs
		$\pm 0.006\%$ ($\pm 1\text{LSB}$ at 14 Bits)				9			9			μs
		$\pm 0.0015\%$ ($\pm 1\text{LSB}$ at 16 Bits)							10			μs
	Settling Time for 1LSB Step (Note 8)	$\pm 0.024\%$ ($\pm 1\text{LSB}$ at 12 Bits)	2.7			2.7			2.7			μs
		$\pm 0.006\%$ ($\pm 1\text{LSB}$ at 14 Bits)				4.8			4.8			μs
		$\pm 0.0015\%$ ($\pm 1\text{LSB}$ at 16 Bits)							5.2			μs
	Voltage Output Slew Rate		0.8			0.8			0.8			$\text{V}/\mu\text{s}$
	Capacitive Load Driving		1000			1000			1000			pF
	Glitch Impulse	At Mid-Scale Transition	12			12			12			$\text{nV} \cdot \text{s}$
	Multiplying Bandwidth		180			180			180			kHz
e_n	Output Voltage Noise Density	At $f = 1\text{kHz}$	120			120			120			$\text{nV}/\sqrt{\text{Hz}}$
		At $f = 10\text{kHz}$	100			100			100			$\text{nV}/\sqrt{\text{Hz}}$
	Output Voltage Noise	0.1Hz to 10Hz	15			15			15			$\mu\text{V}_{\text{P-P}}$

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(図1を参照) (Note 10, 11)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{\text{CC}} = 2.7\text{V} \sim 5.5\text{V}$						
f_{SCL}	SCL Clock Frequency		●	0	400	kHz
$t_{\text{HD(STA)}}$	Hold Time (Repeated) Start Condition		●	0.6		μs
t_{LOW}	Low Period of the SCL Clock Pin		●	1.3		μs
t_{HIGH}	High Period of the SCL Clock Pin		●	0.6		μs
$t_{\text{SU(STA)}}$	Set-Up Time for a Repeated Start Condition		●	0.6		μs
$t_{\text{HD(DAT)}}$	Data Hold Time		●	0	0.9	μs
$t_{\text{SU(DAT)}}$	Data Set-Up Time		●	100		ns
t_r	Rise Time of Both SDA and SCL Signals	(Note 9)	●	$20 + 0.1C_B$	300	ns
t_f	Fall Time of Both SDA and SCL Signals	(Note 9)	●	$20 + 0.1C_B$	300	ns
$t_{\text{SU(STO)}}$	Set-Up Time for Stop Condition		●	0.6		μs
t_{BUF}	Bus Free Time Between a Stop and Start Condition		●	1.3		μs
t_1	Falling Edge of 9th Clock of the 3rd Input Byte to LDAC High or Low Transition		●	400		ns
t_2	LDAC Low Pulse Width		●	20		ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、絶対最大定格状態が長時間続くと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: 直線性と単調性はコード k_L からコード $2N-1$ まで定義されている。ここで、 N は分解能で、 k_L は $k_L = 0.016(2^N/V_{\text{REF}})$ で求められ、最も近い整数のコードに丸められている。 $V_{\text{REF}} = 4.096\text{V}$ で $N = 16$ の場合、 $k_L = 256$ となり、直線性はコード256からコード65,535まで定義される。

Note 3: SDA、SCL、およびLDACは0Vまたは V_{CC} 、CA0、CA1、およびCA2はフロート状態。

Note 4: DCクロストークは、注記がない限り、 $V_{\text{CC}} = 5\text{V}$ および $V_{\text{REF}} = 4.096\text{V}$ で、ミッドスケールで測定されたDACを使って測定される。

Note 5: $R_L = 2\text{k}\Omega$ をGNDまたは V_{CC} に接続。

Note 6: コード k_L (Note 2) とフルスケールでの測定から推定される。

Note 7: $V_{\text{CC}} = 5\text{V}$ 、 $V_{\text{REF}} = 4.096\text{V}$ 。DACは1/4スケールから3/4スケールへ、さらに3/4スケールから1/4スケールへステップさせる。負荷はGNDに並列に接続した2kと200pF。

Note 8: $V_{\text{CC}} = 5\text{V}$ 、 $V_{\text{REF}} = 4.096\text{V}$ 。DACはハーフスケールと(ハーフスケール-1)の間を $\pm 1\text{LSB}$ でステップさせる。負荷はGNDに並列に接続した2kと200pF。

Note 9: $C_B = 1$ 本のバスラインの容量(pF)。

Note 10: すべての値は $V_{\text{IH(MIN)}}$ と $V_{\text{IL(MAX)}}$ のレベルを基準にしている。

Note 11: これらの仕様はLTC2607/LTC2607-1、LTC2617/LTC2617-1、LTC2627/LTC2627-1に適用される。

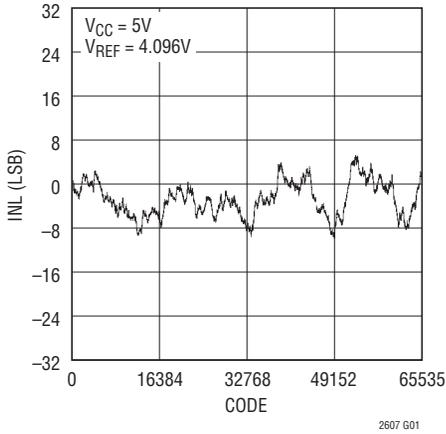
Note 12: 設計によって保証されており、製造時にはテストされない。

LTC2607 / LTC2617 / LTC2627

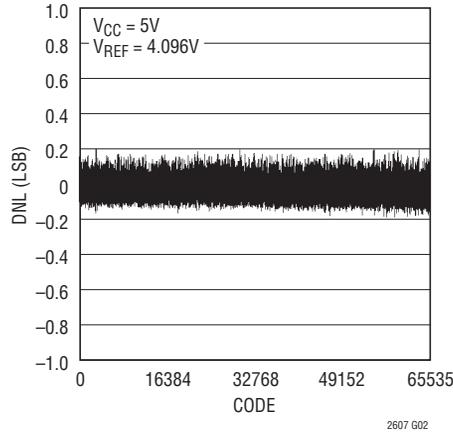
標準的性能特性

LTC2607

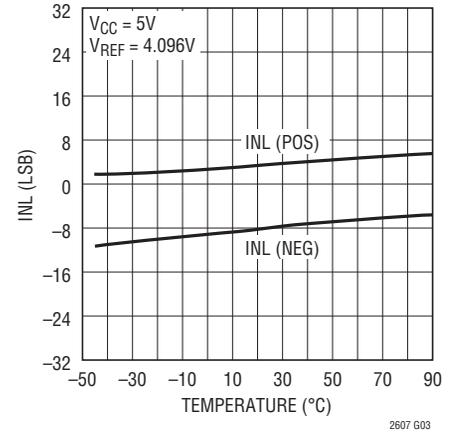
積分非直線性 (INL)



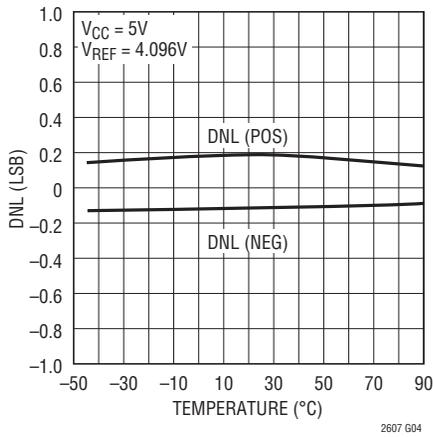
微分非直線性 (DNL)



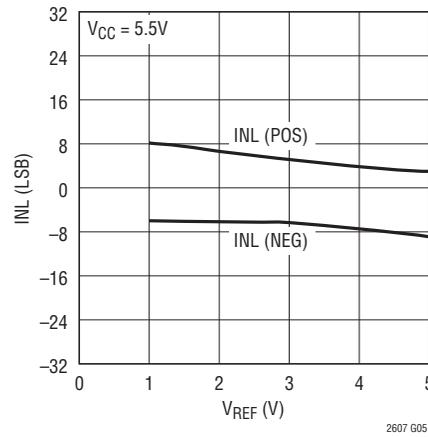
INLと温度



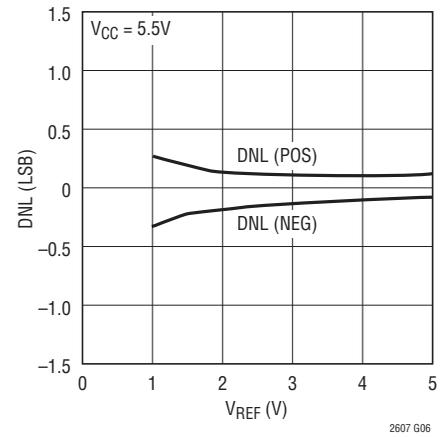
DNLと温度



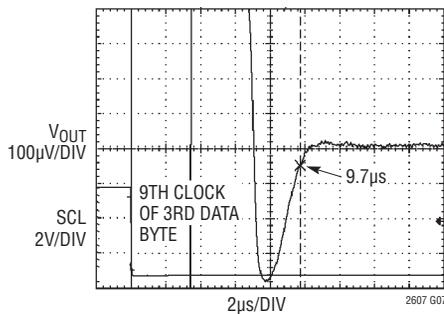
INLとVREF



DNLとVREF

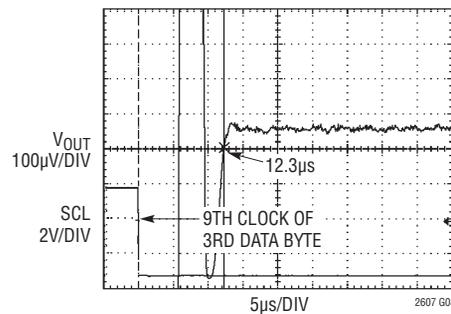


±1LSBへのセトリング



$V_{CC} = 5V$, $V_{REF} = 4.096V$
 1/4-SCALE TO 3/4-SCALE STEP
 $R_L = 2k$, $C_L = 200pF$
 AVERAGE OF 2048 EVENTS

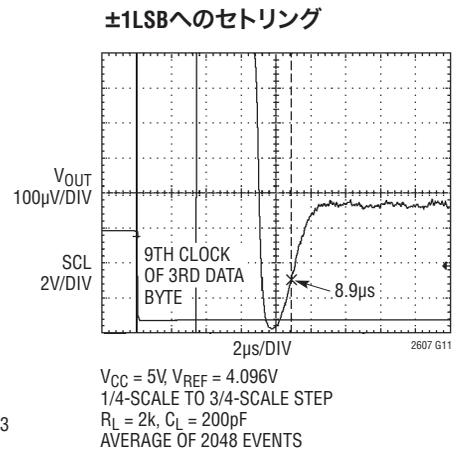
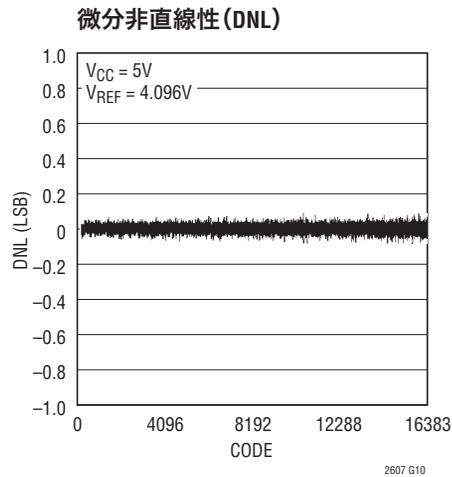
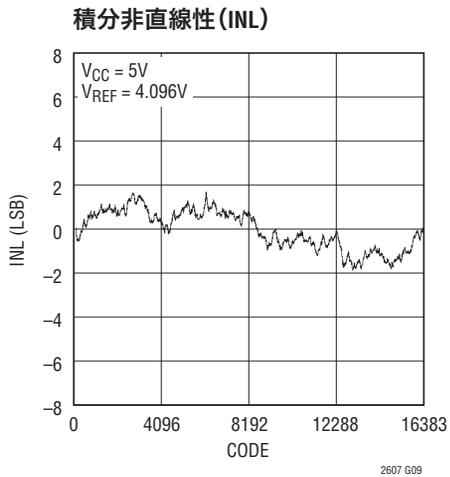
フルスケール・ステップのセトリング



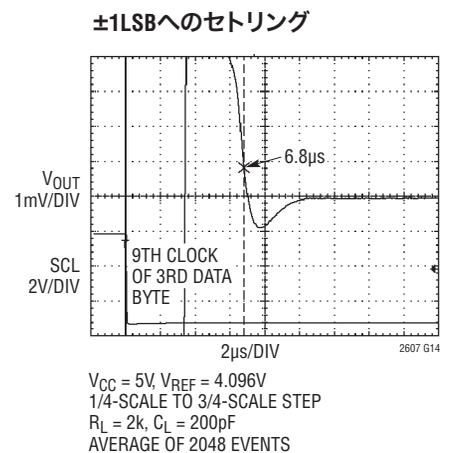
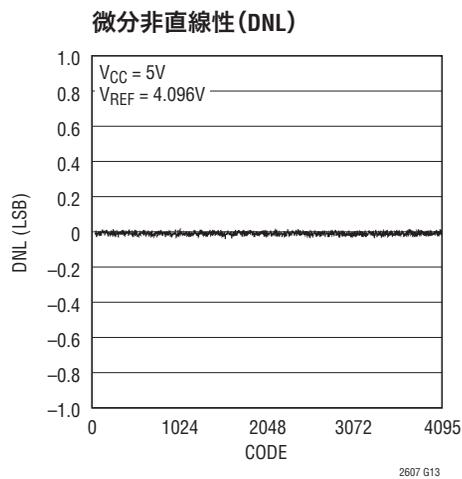
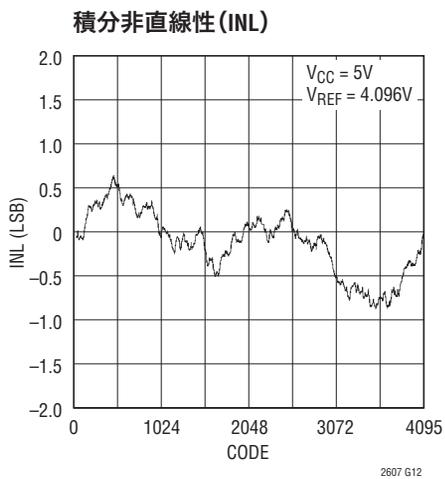
SETTLING TO ±1LSB
 $V_{CC} = 5V$, $V_{REF} = 4.096V$
 CODE 512 TO 65535 STEP
 AVERAGE OF 2048 EVENTS

標準的性能特性

LTC2617



LTC2627

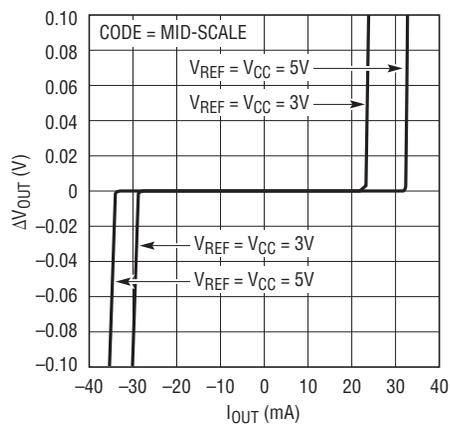


LTC2607/LTC2617/LTC2627

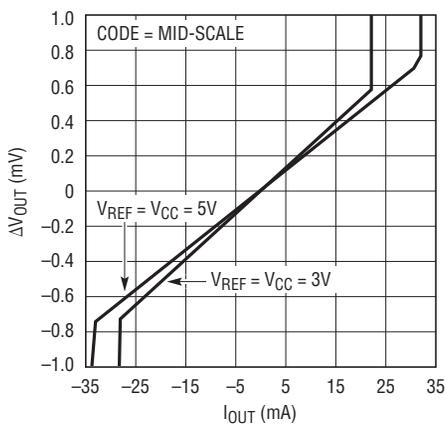
標準的性能特性

LTC2607/LTC2617/LTC2627

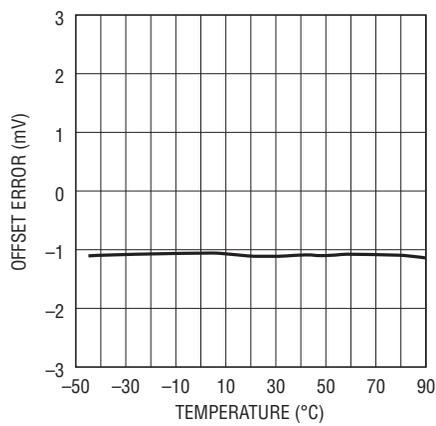
電流制限



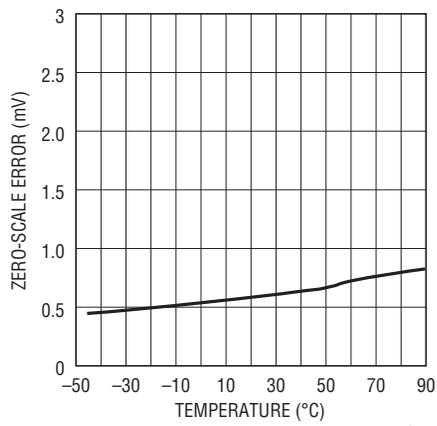
ロード・レギュレーション



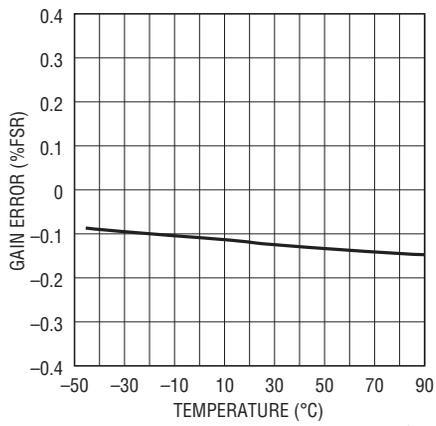
オフセット誤差と温度



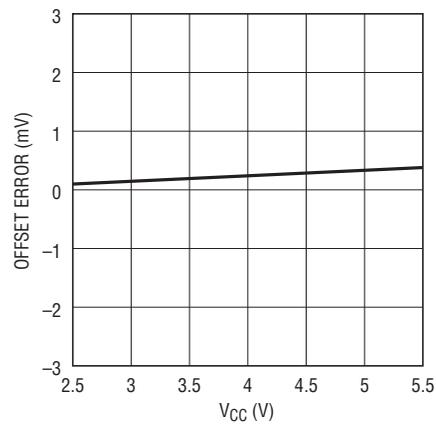
ゼロスケール誤差と温度



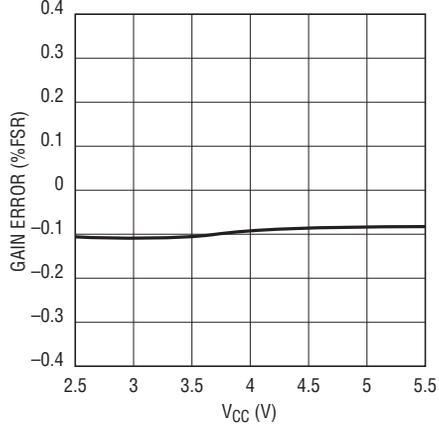
利得誤差と温度



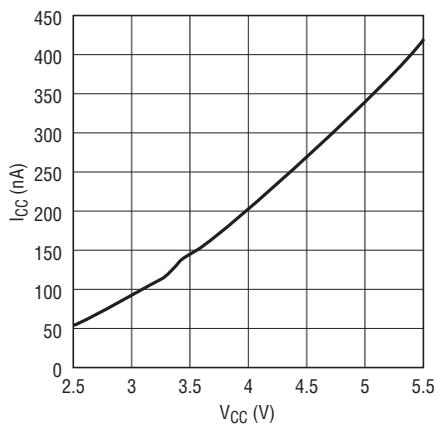
オフセット誤差とVCC



利得誤差とVCC



ICcシャットダウンとVCC

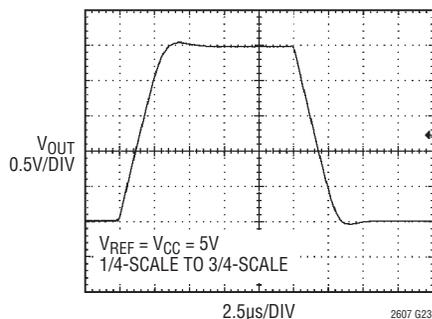


26071727fa

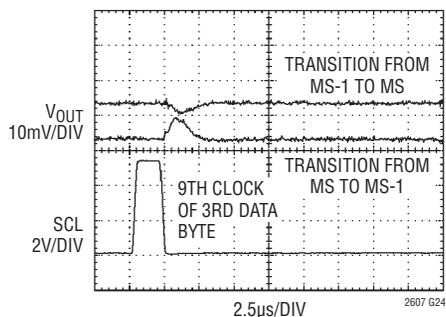
標準的性能特性

LTC2607/LTC2617/LTC2627

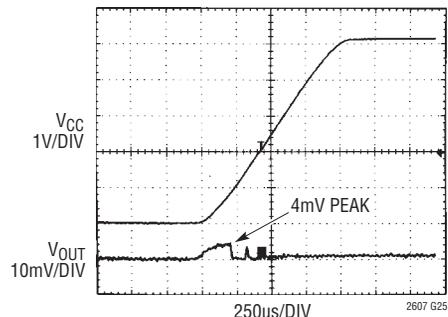
大信号応答



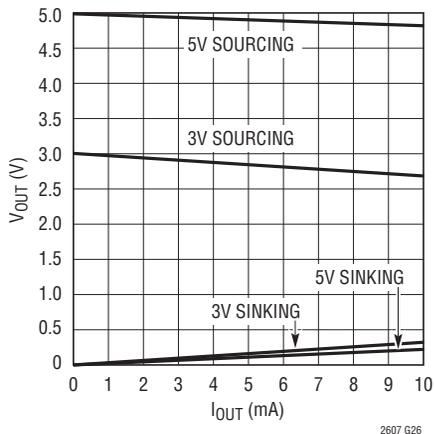
ミッドスケール・グリッチ・インパルス



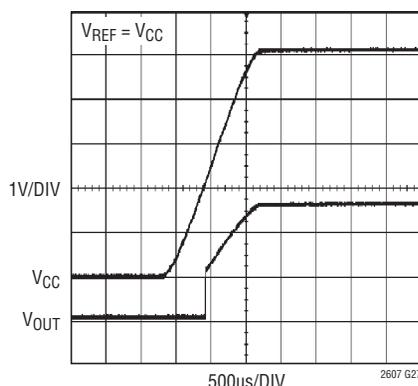
ゼロスケールにパワーオン・リセット



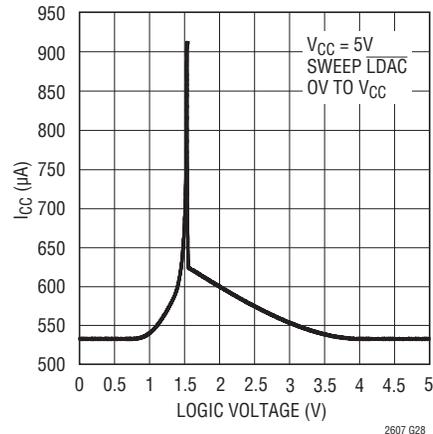
レールでのヘッドルームと出力電流



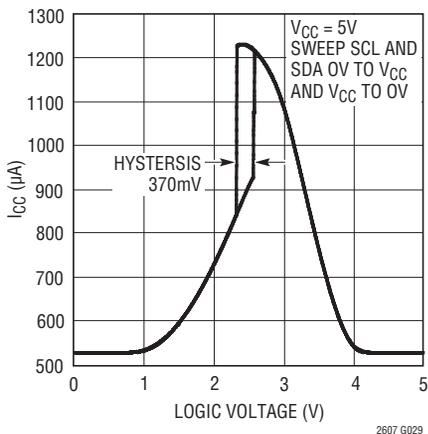
ミッドスケールにパワーオン・リセット



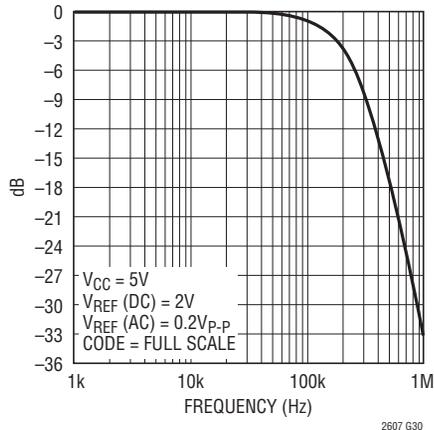
消費電流とロジック電圧



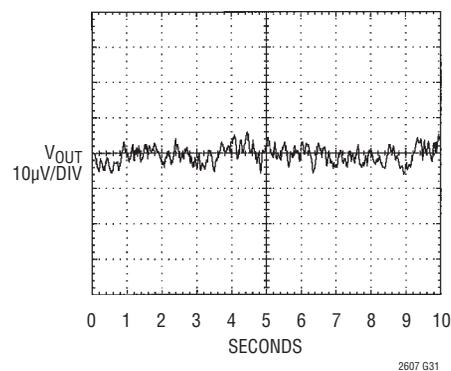
消費電流とロジック電圧



乗算帯域幅

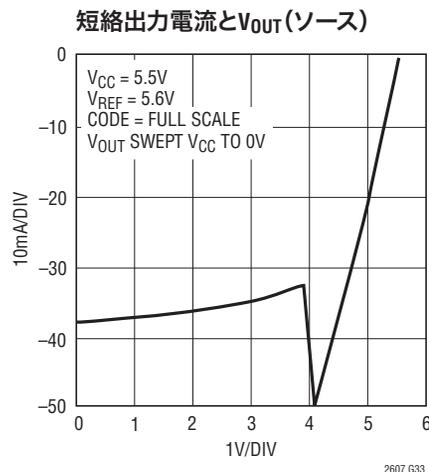
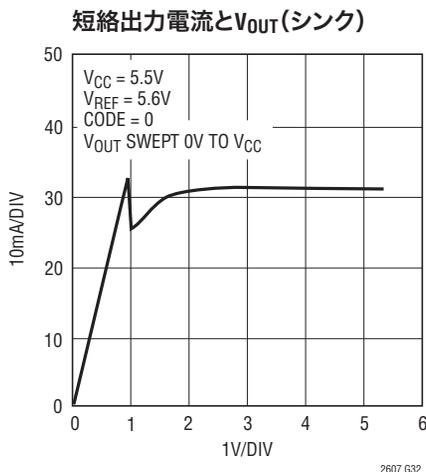


出力電圧ノイズ、0.1Hz~10Hz



標準的性能特性

LTC2607/LTC2617/LTC2627



ピン機能

CA0 (ピン1): チップ・アドレスのビット0。このピンをV_{CC}またはGNDに接続するか、またはフロートさせて、デバイスのI²Cスレーブ・アドレスを選択します(表1)。

CA1 (ピン2): チップ・アドレスのビット1。このピンをV_{CC}またはGNDに接続するか、またはフロートさせて、デバイスのI²Cスレーブ・アドレスを選択します(表1)。

LDAC (ピン3): 非同期DAC更新。デバイスに4バイトが書き込まれた後でこの入力に立ち下がりエッジが生じると、DACレジスタが入力レジスタの内容で直ちに更新されます。32ビットのデータすべて(スレーブ・アドレスを含む4バイト)をデバイスに書き込み転送せずにこの入力を“L”にすると、DAC出力が更新されることなくスリープ状態のDACが起動します。LDACが“L”のとき、ソフトウェア・パワーダウンはデイスエーブルされます。LDACは“H”に接続するとデイスエーブルされます。

SCL (ピン4): シリアル・クロック入力ピン。データはクロックの立上りエッジでシフトされてSDAピンに入力されます。この高インピーダンス・ピンにはプルアップ抵抗またはV_{CC}への電流源が必要です。

SDA (ピン5): シリアル・データの双方向ピン。データはシフトされてSDAピンに入力され、SDAピンによってアクノリッジされます。このピンはデータがシフトされて入力される時高インピーダンスになり、アクノリッジの間はオープン・ドレインのNチャネル出力になります。SDAにはプルアップ抵抗またはV_{CC}への電流源が必要です。

CA2 (ピン6): チップ・アドレスのビット2。このピンをV_{CC}またはGNDに接続するか、またはフロートさせて、デバイスのI²Cスレーブ・アドレスを選択します(表1)。

V_{OUTB} (ピン7): DACのアナログ電圧出力。出力範囲はV_{REFLO} ~ V_{REF}です。

V_{CC} (ピン8): 電源電圧入力。2.7V ≤ V_{CC} ≤ 5.5V。

REF (ピン9): リファレンス電圧入力。入力範囲はV_{REFLO} ≤ V_{REF} ≤ V_{CC}です。

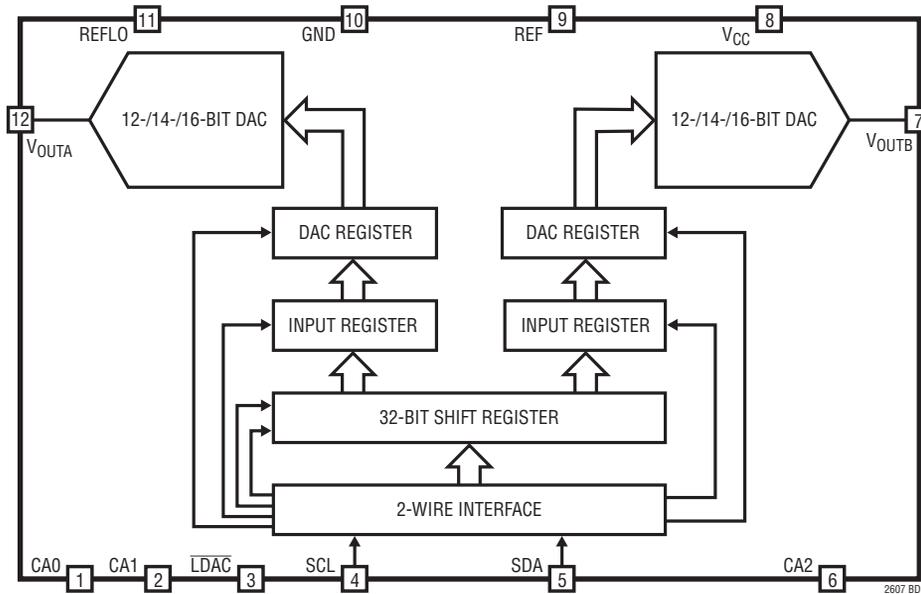
GND (ピン10): アナログ・グラウンド。

REFLO (ピン11): リファレンス・ロー。このピンの電圧がすべてのDACのゼロスケール(ZS)電圧を設定します。V_{REFLO}ピンは、V_{CC} = 5Vでは1Vまでの電圧、またはV_{CC} = 3Vでは100mVまでの電圧で使用することができます。

V_{OUTA} (ピン12): DACのアナログ電圧出力。出力範囲はV_{REFLO} ~ V_{REF}です。

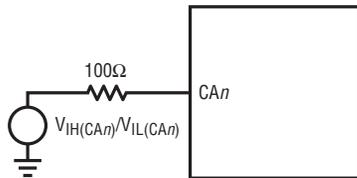
露出パッド (ピン13): グラウンド。PCBグラウンドに半田付けする必要があります。

ブロック図

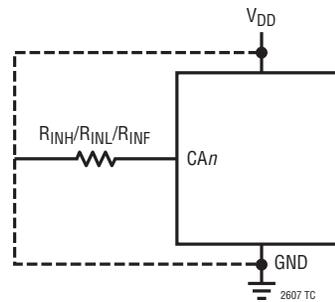


テスト回路

テスト回路1



テスト回路2



タイミング図

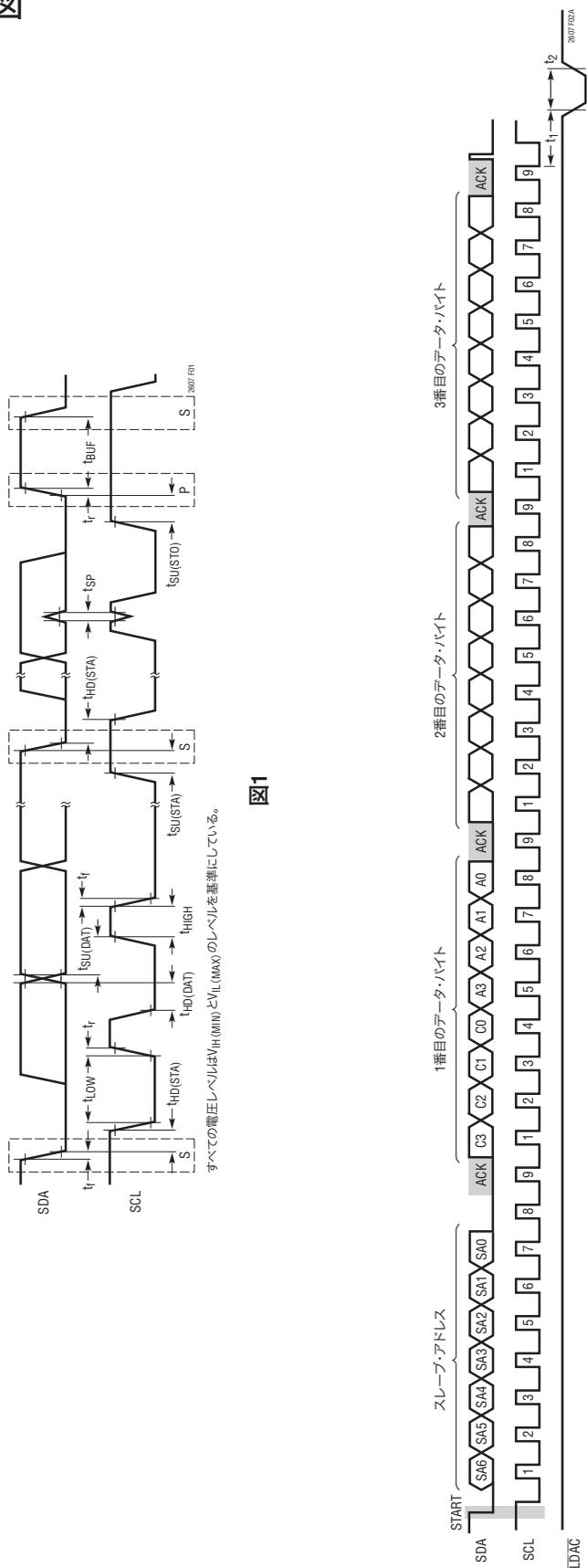
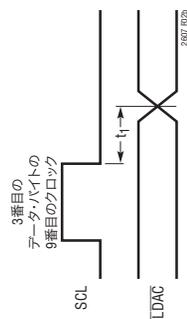


図2a



動作

パワーオン・リセット

LTC2607/LTC2617/LTC2627は電源が最初に入れられたとき出力をゼロスケールにクリアして、システムの初期状態を一定に保ち、反復可能にします。LTC2607-1/LTC2617-1/LTC2627-1は電源が最初に入れられたとき電圧出力をミッドスケールに設定します。

アプリケーションによっては、DACの起動時に下流の回路がアクティブ状態であり、この間DACからのゼロではない出力に対して敏感な場合があります。LTC2607/LTC2617/LTC2627はパワーオン・グリッチを減らす回路を備えています。さらに、電源のランプレートを小さくすることにより、グリッチの振幅をいくらか小さくすることができます。たとえば、電源が1msで5Vまでランプする場合、パワーオン時にアナログ出力がグランドより10mV(標準)以上上昇することはありません。「標準的性能特性」の「パワーオン・リセット・グリッチ」を参照してください。

電源シーケンス制御

REF(ピン9)の電圧は $-0.3V \leq V_{REF} \leq V_{CC} + 0.3V$ の範囲に保ちます(「絶対最大定格」を参照)。電源のターンオン・シーケンスとターンオフ・シーケンスの間(V_{CC} (ピン8)の電圧が遷移しているとき)これらのリミットが守られるように特に注意が必要です。

伝達関数

デジタルからアナログへの伝達関数は次のとおりです。

$$V_{OUT(IDEAL)} = \left(\frac{k}{2^N} \right) (V_{REF} - V_{REFLO}) + V_{REFLO}$$

ここで、kはDACの2進数入力コードに相当する10進数、Nは分解能、 V_{REF} はREF(ピン6)の電圧です。

シリアル・デジタル・インタフェース

LTC2607/LTC2617/LTC2627は標準の2線I²Cインタフェースを使ってホストと通信します。バス信号相互のタイミング関係をタイミング図(図1および図2)に示します。バスを使用しない場合、2本のバスライン(SDAとSCL)は“H”にする必要があります。これらのラインには外付けプルアップ抵抗または電流源が必要です。これらのプルアップ抵抗の値は電源に依存し、I²C規格から求めることができます。高速モードで動作するI²Cバスの場合、バス容量が200pFより大きいとアクティブ・プル

アップが必要になります。I²Cバスがアクティブな場合、内部のESD保護ダイオードを介してI²Cバス・ラインに負荷がかからないように、LTC2607/LTC2617/LTC2627からV_{CC}電源を取り去らないでください。

LTC2607/LTC2617/LTC2627は受信のみの(スレーブ)デバイスです。マスタはLTC2607/LTC2617/LTC2627に書き込むことができます。マスタからの読み出しに対してLTC2607/LTC2617/LTC2627は応答しません。

START(S)条件とSTOP(P)条件

バスが使用されていないとき、SCLとSDAの両方が“H”でなければなりません。バス・マスタはSTART条件を送って通信開始をスレーブ・デバイスに知らせます。START条件はSCLを“H”に保ったままSDAを“H”から“L”に遷移させて発生させます。

マスタはスレーブとの通信を終了したら、STOP条件を送ります。STOP条件はSCLを“H”に保ったままSDAを“L”から“H”に遷移させて発生させます。この後、バスは別のI²Cデバイスとの通信のために自由に使えます。

アクノリッジ

アクノリッジ信号はマスタとスレーブ間のハンドシェイクに使われます。スレーブによって生成されるアクノリッジ(アクティブ“L”)は、情報の最新のバイトが受信されたことをマスタに知らせます。アクノリッジに関連したクロック・パルスはマスタによって生成されます。マスタはアクノリッジ・クロック・パルスの間SDAライン(“H”)を解放します。スレーブ・レシーバは、アクノリッジ・クロック・パルスの間SDAバスラインを引き下げ、アクノリッジ・クロック・パルスが“H”の間安定して“L”に保つ必要があります。LTC2607/LTC2617/LTC2627はこのようにしてマスタによる書き込みに対して応答します。LTC2607/LTC2617/LTC2627は読み出しに対してはアクノリッジを返しません(アクノリッジ・クロック・パルスの間SDAは“H”に保たれます)。

チップ・アドレス

CA0、CA1およびCA2の状態によってデバイスのスレーブ・アドレスが決まります。ピンCA0、CA1およびCA2はそれぞれV_{CC}、GNDまたはフロートの3つの状態の1つに設定することができます。これにより、デバイスの27の選択可能なアドレスが生成されます。スレーブ・アドレスの割当を表1に示します。

動作

表1. スレーブ・アドレスのマップ

CA2	CA1	CA0	SA6	SA5	SA4	SA3	SA2	SA1	SA0
GND	GND	GND	0	0	1	0	0	0	0
GND	GND	FLOAT	0	0	1	0	0	0	1
GND	GND	V _{CC}	0	0	1	0	0	1	0
GND	FLOAT	GND	0	0	1	0	0	1	1
GND	FLOAT	FLOAT	0	1	0	0	0	0	0
GND	FLOAT	V _{CC}	0	1	0	0	0	0	1
GND	V _{CC}	GND	0	1	0	0	0	1	0
GND	V _{CC}	FLOAT	0	1	0	0	0	1	1
GND	V _{CC}	V _{CC}	0	1	1	0	0	0	0
FLOAT	GND	GND	0	1	1	0	0	0	1
FLOAT	GND	FLOAT	0	1	1	0	0	1	0
FLOAT	GND	V _{CC}	0	1	1	0	0	1	1
FLOAT	FLOAT	GND	1	0	0	0	0	0	0
FLOAT	FLOAT	FLOAT	1	0	0	0	0	0	1
FLOAT	FLOAT	V _{CC}	1	0	0	0	0	1	0
FLOAT	V _{CC}	GND	1	0	0	0	0	1	1
FLOAT	V _{CC}	FLOAT	1	0	1	0	0	0	0
FLOAT	V _{CC}	V _{CC}	1	0	1	0	0	0	1
V _{CC}	GND	GND	1	0	1	0	0	1	0
V _{CC}	GND	FLOAT	1	0	1	0	0	1	1
V _{CC}	GND	V _{CC}	1	1	0	0	0	0	0
V _{CC}	FLOAT	GND	1	1	0	0	0	0	1
V _{CC}	FLOAT	FLOAT	1	1	0	0	0	1	0
V _{CC}	FLOAT	V _{CC}	1	1	0	0	0	1	1
V _{CC}	V _{CC}	GND	1	1	1	0	0	0	0
V _{CC}	V _{CC}	FLOAT	1	1	1	0	0	0	1
V _{CC}	V _{CC}	V _{CC}	1	1	1	0	0	1	0
GLOBAL ADDRESS			1	1	1	0	0	1	1

アドレス・ピンによって選択されたアドレス以外に、デバイスはグローバル・アドレスにも応答します。このアドレスにより、I²Cバスの3バイトの1回の書き込みトランザクションで、LTC2607、LTC2617およびLTC2627のすべてのデバイスへの共通書き込みを行うことができます。グローバル・アドレスは7ビットの組み込みハードワイヤード・アドレスで、CA0、CA1およびCA2で選択することはできません。

CA0、CA1、CA2およびグローバル・アドレスの状態に対応したアドレスを表1に示します。アドレス・ピン(CA0、CA1およびCA2)は(それらがフロートされているか判断するため)アドレス検出時にドライブされるので、これらのピンに許容される最大容量性負荷は10pFです。

ワード書き込みのプロトコル

マスタはSTART条件と7ビットのスレーブ・アドレス、それに続く書き込みビット(W) = 0を使ってLTC2607/LTC2617/LTC2627との通信を開始します。LTC2607/LTC2617/LTC2627は、7ビットのスレーブ・アドレスが(CA0、CA1およびCA2で設定される)そのデバイスのアドレスまたはグローバル・アドレスに一致すると、9番目のクロックでSDAピンを“L”に引き下げてアクノリッジを返します。マスタは次に3バイトのデータを送ります。LTC2607/LTC2617/LTC2627は、各データ・バイト転送の9番目のクロックでSDAラインを“L”に引き下げることにより、各データ・バイトにアクノリッジを返します。3バイトのデータをすべて受け取った後、LTC2607/LTC2617/LTC2627は24ビットの入力ワードで指定されたコマンドを実行します。

有効な7ビットのスレーブ・アドレスの後、3バイトを超えるデータが送られても、LTC2607/LTC2617/LTC2627は余分なデータ・バイトにアクノリッジを返しません9番目のクロックの間SDAは“H”。

3データ・バイトのフォーマットを図3に示します。入力ワードの最初の1バイトは4ビットのコマンド・ワードC3~C0と4ビットのDACアドレスA3~A0で構成されます。次の2バイトは16ビットのデータ・ワードで構成されます。16ビットのデータ・ワードは、MSBからLSBに向かって並んだ16、14、または12ビットの入力コードと、それに続く0、2または4ビットのドントケア(対象外)ビットで構成されます(それぞれ、LTC2607、LTC2617およびLTC2627)。LTC2607の標準的な書き込みトランザクションを図4に示します。

コマンド(C3~C0)とアドレス(A3~A0)の割当てを表2に示します。表の中の最初の4つのコマンドは書き込みと更新の操作です。書き込み操作により、32ビットのシフトレジスタから16ビットのデータ・ワードが、選択されたDAC (n)の入力レジスタにロードされます。更新操作により、データ・ワードが入力レジスタからDACレジスタにコピーされます。DACレジスタにコピーされると、データ・ワードはアクティブな16、14、または12ビットの入力コードになり、DAC出力でアナログ電圧に変換されます。また、選択されたDACがパワーダウン・モードであれば、更新操作によってパワーアップされます。データ・パスとレジスタを「ブロック図」に示します。

動作

LTC2607/LTC2617/LTC2627のワード書き込みのプロトコル

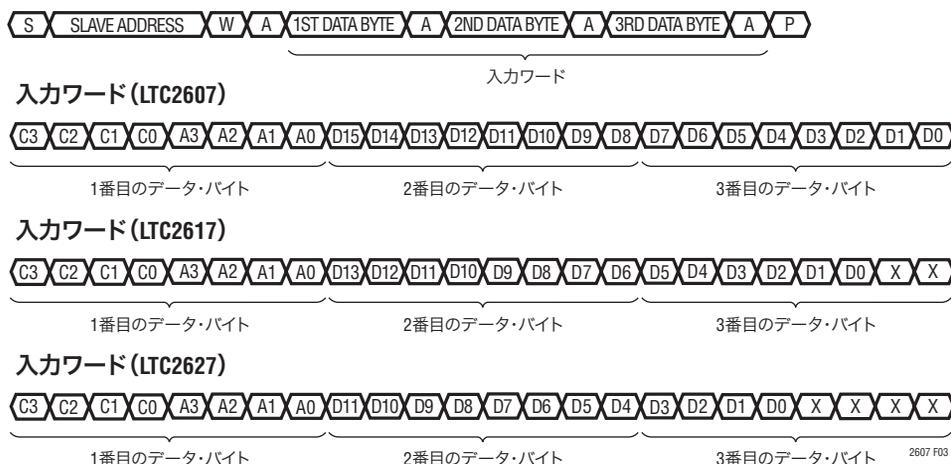


図3

表2

コマンド*				
C3	C2	C1	C0	
0	0	0	0	入力レジスタに書き込む
0	0	0	1	DACレジスタを更新(パワーアップ)する
0	0	1	1	書き込み、更新(パワーアップ)する
0	1	0	0	パワーダウンする
1	1	1	1	非動作
アドレス*				
A3	A2	A1	A0	
0	0	0	0	DAC A
0	0	0	1	DAC B
1	1	1	1	すべてのDAC

*示されていないコマンド・コードとアドレス・コードは予備であり、使用してはならない。

パワーダウン・モード

電力が制限されているアプリケーションでは、DAC出力の1つまたは両方が必要ないときはパワーダウン・モードを使って消費電流を減らすことができます。パワーダウン時、バッファ・アンプ、バイアス回路およびリファレンス入力にはディスエーブルされ、実質的に電流は流れません。DAC出力は高インピーダンス状態になり、出力ピンは90k抵抗によって受動的にV_{REFLO}に引き下げられます。入力レジスタとDACレジスタの内容はパワーダウンのあいだに影響を受けることはありません。

どちらか1つまたは両方のDACチャンネルは、適切なDACアドレスと組み合わせたコマンド0100bを使ってパワーダウン・モードにすることができます。16ビットのデータ・ワードは無視されます。消費電流とリファレンス電流は各DACのパワーダウンにより約50%減少します。REF(ピン9)の実効抵抗はそれに従って増加し、両方のDACがパワーダウンすると高インピーダンス(標準>1GΩ)になります。

表2に示されているように、DACの更新を含むどのコマンドを実行しても、または次のセクションで説明するように非同期更新(LDAC)を行っても、通常の動作を再開することができます。選択されたDACはその電圧出力が更新されるとパワーアップされます。パワーダウン状態のDACがパワーアップされ、更新されると、通常のセトリングに遅延が生じます。更新コマンドの前に2個のDACの片方がパワーダウン状態の場合、パワーアップ遅延は5μsです。他方、両方のDACがパワーダウンされる場合には、DACのアンプやリファレンス入力に加えて、主バイアス生成回路が自動的にシャットダウンされているので、パワーアップ遅延時間は12μs(V_{CC} = 5Vの場合)または30μs(V_{CC} = 3Vの場合)になります。

LDACを使用したDACの非同期更新

表2に示す更新コマンドのほか、LDACピンによっても、DACレジスタが入力レジスタの内容で非同期に更新されます。入力ワードがデバイスにクロックインされているときは、非同期更新はディスエーブルされます。

動作

すべての入力ワードがデバイスに書き込まれた後、 $\overline{\text{LDAC}}$ ピンが“L”になると、DACレジスタが入力レジスタの内容で更新されます。

入力ワードがデバイスに書き込まれている途中、3バイトのデータがすべて書き込まれる前に $\overline{\text{LDAC}}$ ピンに“L”に立ち下がるパルスが入力されると、DACをパワーアップしますが出力は更新されません。すべての入力ワードがデバイスに書き込まれた後も $\overline{\text{LDAC}}$ が“L”を維持すると、 $\overline{\text{LDAC}}$ の状態が認識され、直前に転送された24ビット・ワードで指定されたコマンドが実行されて、DAC出力が更新されます。

$\overline{\text{LDAC}}$ が“L”になると、 I^2C バスの動作状態に関係なく、DACはパワーアップされます。

3番目のデータ・バイトの9番目のクロックの立ち下がりエッジで $\overline{\text{LDAC}}$ が“L”の場合、入力ワードで指定されたどのソフトウェア・パワーダウン・コマンドも実行されません。 $\overline{\text{LDAC}}$ は“H”に接続するとディスエーブルされます。

電圧出力

2個のレール・トゥ・レール・アンプのどちらも、5Vで最大15mA (3Vで最大7.5mA)をソースまたはシンクするときのロード・レギュレーションが保証されています。

ロード・レギュレーションは、広い範囲の負荷条件にわたって定格電圧精度を維持する、アンプの能力の指標です。負荷電流を強制的に1mA変化させたときの出力電圧の変化の測定値はLSB/mAで表されます。

DC出力インピーダンスはロード・レギュレーションに相当し、単にLSB/mAからオームに単位を変えて計算するだけで求めることができます。レールから十分離れた負荷をドライブしているときのアンプのDC出力インピーダンスは0.035Ωです。

どちらかのレールから負荷電流が流れているとき、そのレールを基準にした出力電圧のヘッドルームは出力デバイスの30Ωの標準チャンネル抵抗によって制限されます。たとえば、1mAをシンクしているとき、最小出力電圧 = $30\Omega \cdot 1\text{mA} = 30\text{mV}$ になります。「標準的性能特性」の「レールでのヘッドルームと出力電流」のグラフを参照してください。

このアンプは最大1000pFの容量性負荷を安定してドライブします。

基板のレイアウト

ロード・レギュレーションのすぐれた性能は、信号グラウンドと電源グラウンド(それぞれ、REFLOピンとGNDピン)を分離することによってある程度実現されます。

PCボードには、回路のアナログ部分用とデジタル部分用に別の領域が必要です。こうすることにより、敏感なアナログ信号からデジタル信号を離しておくことができ、分離されたデジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンを使いやすくなり、相互干渉が最小限に抑えられます。

デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは1点接続し、システムのスター・グラウンドを形成します。理想的には、アナログ・グラウンド・プレーンはボードの部品側に配置し、デバイスをノイズからシールドするためにデバイスの下を通すようにします。アナログ・グラウンドは(必要なピン・パッドやビアを除き)連続した切れ目のないプレーンにして、信号用トレースは別の層に配置します。

GNDピンはデバイス内の電源電流のリターン・パスとして機能するので、アナログ・グラウンドに接続します。GNDピンからアナログ電源のリターンまでの抵抗はできるだけ小さくします。この抵抗は、負荷電流をシンクするとき出力デバイスのチャンネル抵抗に直接加算されます。ゼロスケールDACの出力電圧をゼロにする必要がある場合には、REFLOピンをシステムのスター・グラウンドに接続します。REFLOピンとGNDピンのあいだのトレース抵抗を共有することは好ましくありません。それは、この抵抗がデバイスの実効DC出力インピーダンス(標準0.035Ω)に加算されるからです。

レール・トゥ・レール出力に関する検討事項

どのようなレール・トゥ・レールの電圧出力のデバイスでも、出力は電源電圧範囲内に制限されています。

デバイスのアナログ出力はグラウンドを下回ることができないので、図5bに示されているように、この出力によって最小コードが制限されることがあります。同様に、REFピンが V_{CC} に接続されている場合、フルスケールの近くで制限が生じることがあります。 $V_{REF} = V_{CC}$ で、DACのフルスケール誤差(FSE)が正の場合、最大コードの出力が、図5cに示されているように、 V_{CC} に制限されます。 V_{REF} が $V_{CC} - \text{FSE}$ より小さいと、フルスケールの制限は生じません。

オフセットと直線性は、DACの伝達関数の(出力の制限が生じない)領域にわたって定義され、テストされます。

動作

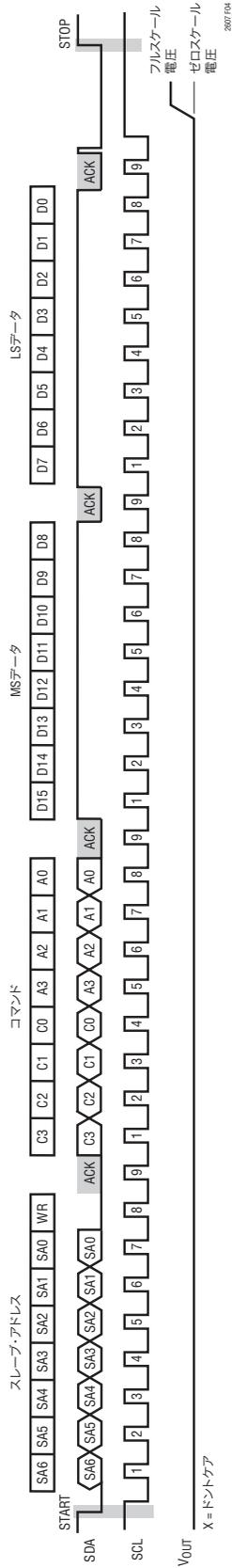


図4. LTC2607の標準的入力波形 — DACの出力をフルスケールにプログラム

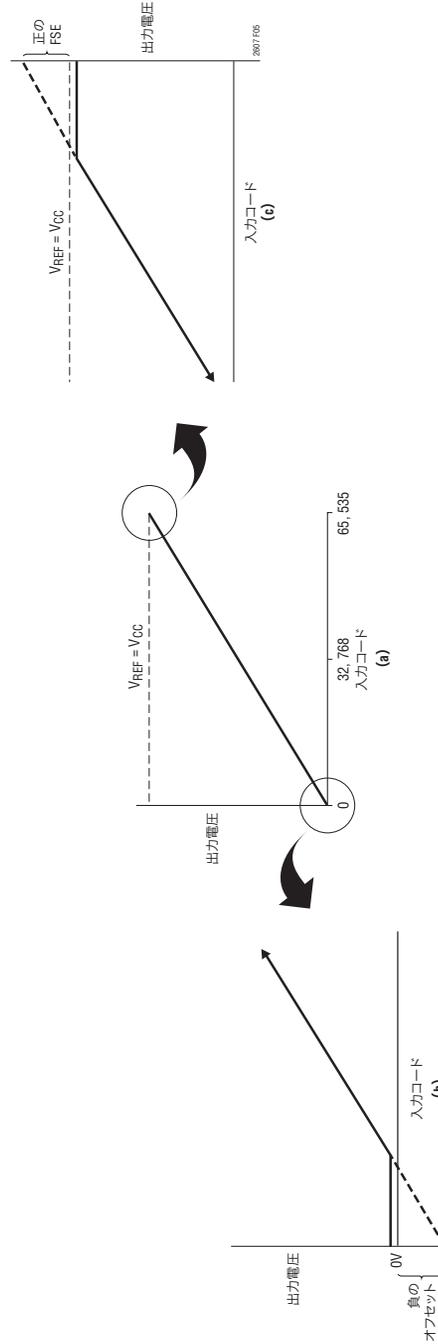
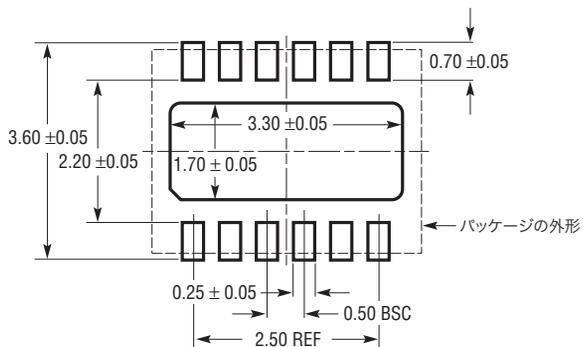


図5. DACの伝達曲線に対するレール・トゥ・レール動作の影響。(a) 全体の伝達関数 (b) ゼロスケール近くのコードに対する負のオフセットの影響 (c) フルスケール近くのコードに対する正のフルスケール誤差の影響

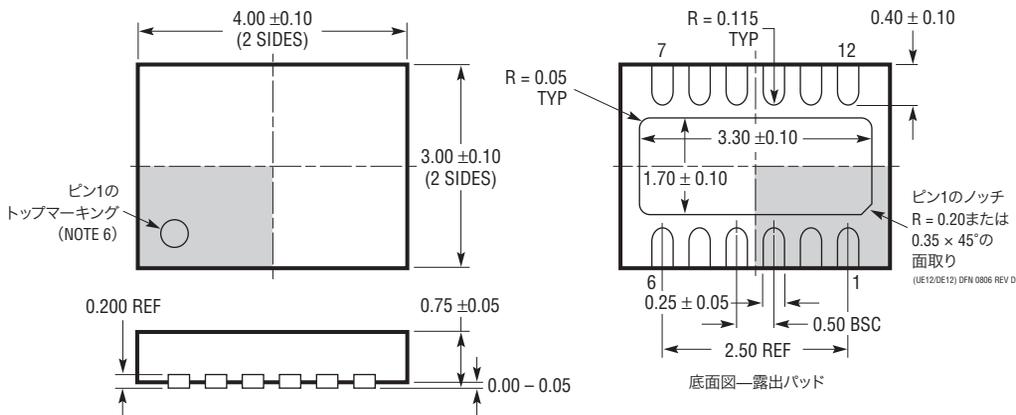
LTC2607/LTC2617/LTC2627

パッケージ

DE/UEパッケージ
12ピン・プラスチックDFN (4mm×3mm)
(Reference LTC DWG # 05-08-1695 Rev D)



推奨する半田パッドのピッチと寸法
半田付けされない領域には半田マスクを使用する



NOTE:

1. 図はJEDECのパッケージ外形MO-229のバージョンのバリエーション(WGED)として提案
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

改訂履歴

REV	日付	説明	ページ番号
A	1/10	特長の改訂	1
		ピン配置の追加と発注情報の更新	2
		「シリアル・デジタル・インタフェース」の追加	13

