

特長

- 最小のピン互換シングルDAC:
LTC2606: 16ビット
LTC2616: 14ビット
LTC2626: 12ビット
- 全温度範囲で16ビット単調性を保証
- 27のアドレスを選択可能
- 400kHz I²Cインタフェース
- 広い電源範囲: 2.7V~5.5V
- 低消費電力動作: 3Vで270μA
- 1μA(最大)のパワーダウン
- 高いレール・トゥ・レール出力ドライブ: ±15mA(最小)
- ダブルバッファ・データ・ラッチ
- 非同期DAC更新ピン
- LTC2606/ LTC2616/ LTC2626: ゼロスケールに
パワーオン・リセット
- LTC2606-1/ LTC2616-1/ LTC2626-1: ミッドスケールに
パワーオン・リセット
- 小型(3mm×3mm) 10ピンDFNパッケージ

アプリケーション

- モバイル通信
- プロセス制御、産業用オートメーション
- 計測
- 自動試験装置

概要

LTC[®]2601/2616/2626は、10ピンDFNパッケージのシングル16/14/12ビット2.7V~5.5Vレール・トゥ・レール電圧出力DACです。これらのデバイスは高性能出力バッファを内蔵し、単調性が保証されています。

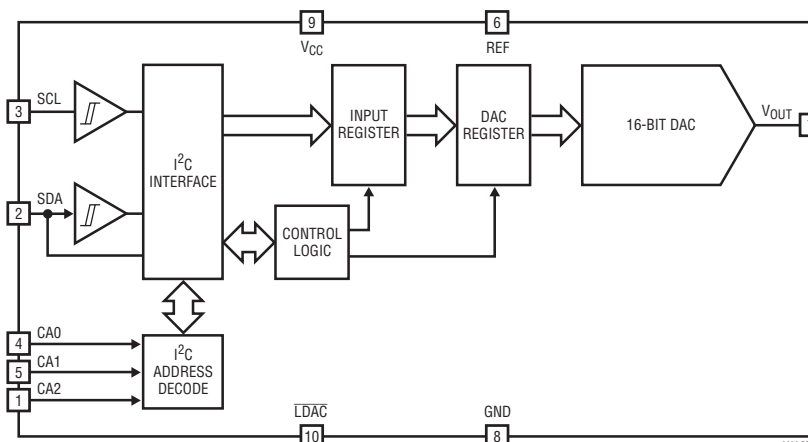
これらのデバイスは、16および14ビットDACの新たなボード実装密度のベンチマークを確立し、単一電源の電圧出力DACの出力ドライブ、ロード・レギュレーションの性能標準を高めています。

これらのデバイスは2線I²C対応のシリアル・インタフェースを使用しています。LTC2606/LTC2616/LTC2626は、標準モード(最大クロック・レート100kHz)と高速モード(最大クロック・レート400kHz)のいずれでも動作します。非同期DAC更新ピン(LDAC)も備えています。

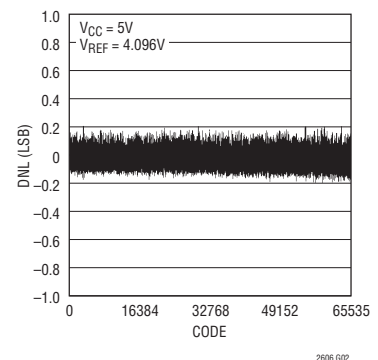
LTC2606/LTC2616/LTC2626は、パワーオン・リセット回路を内蔵しています。パワーアップ時の出力電圧上昇はゼロスケールから10mV以内であり、パワーアップ後は有効な書き込み、更新が行われるまでゼロスケールにとどまります。LTC2606-1/LTC2616-1/LTC2626-1は、パワーオン・リセット回路によってミッドスケールにリセットされます。電圧出力は、有効な書き込み、更新が発生するまでミッドスケールにとどまります。

LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。他のすべての商標はそれぞれの所有者に所有権があります。

標準的応用例



微分非直線性
(LTC2606)



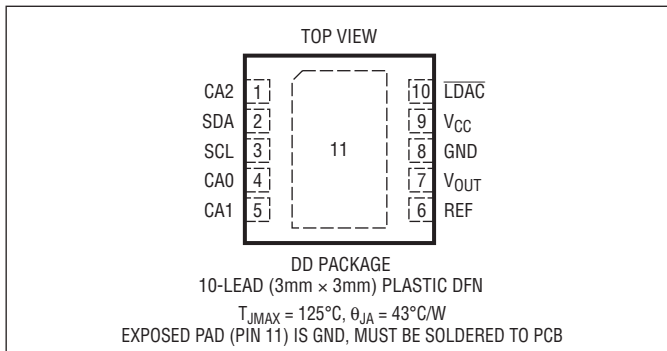
LTC2606/LTC2616/LTC2626

絶対最大定格

(Note 1)

| | |
|---------------------------------------|-------------|
| すべてのピンからGND | -0.3V~6V |
| すべてのピンからV _{CC} | -6V~0.3V |
| 最大接合部温度..... | 125°C |
| 保存温度範囲..... | -65°C~125°C |
| リード温度(半田付け、10秒)..... | 300°C |
| 動作温度範囲 | |
| LTC2606C/LTC2616C/LTC2626C | |
| LTC2606-1C/LTC2616-1C/LTC2626-1C..... | 0°C~70°C |
| LTC2606I/LTC2616I/LTC2626I | |
| LTC2606-1I/LTC2616-1I/LTC2626-1I..... | -40°C~85°C |

ピン配置



発注情報

| 鉛フリー仕様 | テープアンドリール | 部品マーキング* | パッケージ | 温度範囲 |
|------------------|--------------------|----------|---------------------------------|---------------|
| LTC2606CDD#PBF | LTC2606CDD#TRPBF | LAJX | 10-Lead (3mm x 3mm) Plastic DFN | 0°C to 70°C |
| LTC2606IDD#PBF | LTC2606IDD#TRPBF | LAJX | 10-Lead (3mm x 3mm) Plastic DFN | -40°C to 85°C |
| LTC2606CDD-1#PBF | LTC2606CDD-1#TRPBF | LAJW | 10-Lead (3mm x 3mm) Plastic DFN | 0°C to 70°C |
| LTC2606IDD-1#PBF | LTC2606IDD-1#TRPBF | LAJW | 10-Lead (3mm x 3mm) Plastic DFN | -40°C to 85°C |
| LTC2616CDD#PBF | LTC2616CDD#TRPBF | LBPQ | 10-Lead (3mm x 3mm) Plastic DFN | 0°C to 70°C |
| LTC2616IDD#PBF | LTC2616IDD#TRPBF | LBPQ | 10-Lead (3mm x 3mm) Plastic DFN | -40°C to 85°C |
| LTC2616CDD-1#PBF | LTC2616CDD-1#TRPBF | LBPR | 10-Lead (3mm x 3mm) Plastic DFN | 0°C to 70°C |
| LTC2616IDD-1#PBF | LTC2616IDD-1#TRPBF | LBPR | 10-Lead (3mm x 3mm) Plastic DFN | -40°C to 85°C |
| LTC2626CDD#PBF | LTC2626CDD#TRPBF | LBPS | 10-Lead (3mm x 3mm) Plastic DFN | 0°C to 70°C |
| LTC2626IDD#PBF | LTC2626IDD#TRPBF | LBPS | 10-Lead (3mm x 3mm) Plastic DFN | -40°C to 85°C |
| LTC2626CDD-1#PBF | LTC2626CDD-1#TRPBF | LBPT | 10-Lead (3mm x 3mm) Plastic DFN | 0°C to 70°C |
| LTC2626IDD-1#PBF | LTC2626IDD-1#TRPBF | LBPT | 10-Lead (3mm x 3mm) Plastic DFN | -40°C to 85°C |
| 鉛フリー仕様 | テープアンドリール | 部品マーキング* | パッケージ | 温度範囲 |
| LTC2606CDD | LTC2606CDD#TR | LAJX | 10-Lead (3mm x 3mm) Plastic DFN | 0°C to 70°C |
| LTC2606IDD | LTC2606IDD#TR | LAJX | 10-Lead (3mm x 3mm) Plastic DFN | -40°C to 85°C |
| LTC2606CDD-1 | LTC2606CDD-1#TR | LAJW | 10-Lead (3mm x 3mm) Plastic DFN | 0°C to 70°C |
| LTC2606IDD-1 | LTC2606IDD-1#TR | LAJW | 10-Lead (3mm x 3mm) Plastic DFN | -40°C to 85°C |
| LTC2616CDD | LTC2616CDD#TR | LBPQ | 10-Lead (3mm x 3mm) Plastic DFN | 0°C to 70°C |
| LTC2616IDD | LTC2616IDD#TR | LBPQ | 10-Lead (3mm x 3mm) Plastic DFN | -40°C to 85°C |
| LTC2616CDD-1 | LTC2616CDD-1#TR | LBPR | 10-Lead (3mm x 3mm) Plastic DFN | 0°C to 70°C |
| LTC2616IDD-1 | LTC2616IDD-1#TR | LBPR | 10-Lead (3mm x 3mm) Plastic DFN | -40°C to 85°C |
| LTC2626CDD | LTC2626CDD#TR | LBPS | 10-Lead (3mm x 3mm) Plastic DFN | 0°C to 70°C |
| LTC2626IDD | LTC2626IDD#TR | LBPS | 10-Lead (3mm x 3mm) Plastic DFN | -40°C to 85°C |
| LTC2626CDD-1 | LTC2626CDD-1#TR | LBPT | 10-Lead (3mm x 3mm) Plastic DFN | 0°C to 70°C |
| LTC2626IDD-1 | LTC2626IDD-1#TR | LBPT | 10-Lead (3mm x 3mm) Plastic DFN | -40°C to 85°C |

電气的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{REF} = 4.096\text{V}$ ($V_{\text{CC}} = 5\text{V}$)、 $\text{REF} = 2.048\text{V}$ ($V_{\text{CC}} = 2.7\text{V}$)、 V_{OUT} は無負荷。

| SYMBOL | PARAMETER | CONDITIONS | LTC2626/LTC2626-1 | | | LTC2616/LTC2616-1 | | | LTC2606/LTC2606-1 | | | UNITS |
|-----------------------|---|--|-------------------|-----------|-----------|-------------------|-----------|-----------|-------------------|-----|-----|------------------------------|
| | | | MIN | TYP | MAX | MIN | TYP | MAX | MIN | TYP | MAX | |
| DC Performance | | | | | | | | | | | | |
| | Resolution | | ● | 12 | | 14 | | 16 | | | | Bits |
| | Monotonicity | (Note 2) | ● | 12 | | 14 | | 16 | | | | Bits |
| DNL | Differential Nonlinearity | (Note 2) | ● | | ± 0.5 | | ± 1 | | ± 1 | | | LSB |
| INL | Integral Nonlinearity | (Note 2) | ● | ± 1 | ± 4 | ± 4 | ± 16 | ± 14 | ± 64 | | | LSB |
| | Load Regulation | $V_{\text{REF}} = V_{\text{CC}} = 5\text{V}$, Mid-Scale | ● | 0.025 | 0.125 | 0.1 | 0.5 | 0.5 | 2 | | | LSB/mA |
| | | $I_{\text{OUT}} = 0\text{mA}$ to 15mA Sourcing | ● | 0.05 | 0.125 | 0.2 | 0.5 | 0.7 | 2 | | | LSB/mA |
| | | $V_{\text{REF}} = V_{\text{CC}} = 2.7\text{V}$, Mid-Scale | ● | 0.05 | 0.25 | 0.2 | 1 | 0.9 | 4 | | | LSB/mA |
| | | $I_{\text{OUT}} = 0\text{mA}$ to 7.5mA Sourcing | ● | 0.1 | 0.25 | 0.4 | 1 | 1.5 | 4 | | | LSB/mA |
| ZSE | Zero-Scale Error | Code = 0 | ● | 1 | 9 | 1 | 9 | 1 | 9 | | | mV |
| V_{OS} | Offset Error | (Note 5) | ● | ± 1 | ± 9 | ± 1 | ± 9 | ± 1 | ± 9 | | | mV |
| | V_{OS} Temperature Coefficient | | | ± 5 | | ± 5 | | ± 5 | | | | $\mu\text{V}/^\circ\text{C}$ |
| GE | Gain Error | | ● | ± 0.1 | ± 0.7 | ± 0.1 | ± 0.7 | ± 0.1 | ± 0.7 | | | %FSR |
| | Gain Temperature Coefficient | | | ± 8.5 | | ± 8.5 | | ± 8.5 | | | | ppm/ $^\circ\text{C}$ |

LTC2606/LTC2616/LTC2626

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{REF} = 4.096\text{V}$ ($V_{\text{CC}} = 5\text{V}$)、 $\text{REF} = 2.048\text{V}$ ($V_{\text{CC}} = 2.7\text{V}$)、 V_{OUT} は無負荷。(Note 11)

| SYMBOL | PARAMETER | CONDITIONS | MIN | TYP | MAX | UNITS | |
|------------------|------------------------------|--|--------|--------------|--------------|----------------------|----------|
| PSR | Power Supply Rejection | $V_{\text{CC}} = \pm 10\%$ | | -81 | | dB | |
| R_{OUT} | DC Output Impedance | $V_{\text{REF}} = V_{\text{CC}} = 5\text{V}$, Mid-Scale; $-15\text{mA} \leq I_{\text{OUT}} \leq 15\text{mA}$ $V_{\text{REF}} = V_{\text{CC}} = 2.7\text{V}$, Mid-Scale; $-7.5\text{mA} \leq I_{\text{OUT}} \leq 7.5\text{mA}$ | ● ● | 0.05 0.06 | 0.15 0.15 | Ω Ω | |
| I_{SC} | Short-Circuit Output Current | $V_{\text{CC}} = 5.5\text{V}$, $V_{\text{REF}} = 5.5\text{V}$ Code: Zero-Scale; Forcing Output to V_{CC} Code: Full-Scale; Forcing Output to GND | ● ● | 15 15 | 34 36 | 60 60 | mA mA |
| | | $V_{\text{CC}} = 2.7\text{V}$, $V_{\text{REF}} = 2.7\text{V}$ Code: Zero-Scale; Forcing Output to V_{CC} Code: Full-Scale; Forcing Output to GND | ● ● | 7.5 7.5 | 22 29 | 50 50 | mA mA |

Reference Input

| | | | | | | | |
|------------------|------------------------------------|------------------|---|----|-------|-----------------|---------------|
| | Input Voltage Range | | ● | 0 | | V_{CC} | V |
| | Resistance | Normal Mode | ● | 88 | 124 | 160 | k Ω |
| | Capacitance | | | | 15 | | pF |
| I_{REF} | Reference Current, Power Down Mode | DAC Powered Down | ● | | 0.001 | 1 | μA |

Power Supply

| | | | | | | | |
|-----------------|-------------------------|---|---|-----|-------|-----|---------------|
| V_{CC} | Positive Supply Voltage | For Specified Performance | ● | 2.7 | | 5.5 | V |
| I_{CC} | Supply Current | $V_{\text{CC}} = 5\text{V}$ (Note 3) | ● | | 0.340 | 0.5 | mA |
| | | $V_{\text{CC}} = 3\text{V}$ (Note 3) | ● | | 0.27 | 0.4 | mA |
| | | DAC Powered Down (Note 3) $V_{\text{CC}} = 5\text{V}$ | ● | | 0.35 | 1 | μA |
| | | DAC Powered Down (Note 3) $V_{\text{CC}} = 3\text{V}$ | ● | | 0.10 | 1 | μA |

Digital I/O (Note 11)

| | | | | | | | |
|-----------------------------|---|---|---|------------------------|--|---------------------|---------------|
| V_{IL} | Low Level Input Voltage (SDA and SCL) | | ● | -0.5 | | $0.3V_{\text{CC}}$ | V |
| V_{IH} | High Level Input Voltage (SDA and SCL) | (Note 8) | ● | $0.7V_{\text{CC}}$ | | | V |
| $V_{\text{IL(LDAC)}}$ | Low Level Input Voltage (LDAC) | $V_{\text{CC}} = 4.5\text{V}$ to 5.5V | ● | | | 0.8 | V |
| | | $V_{\text{CC}} = 2.7\text{V}$ to 5.5V | ● | | | 0.6 | V |
| $V_{\text{IH(LDAC)}}$ | High Level Input Voltage (LDAC) | $V_{\text{CC}} = 2.7\text{V}$ to 5.5V | ● | 2.4 | | | V |
| | | $V_{\text{CC}} = 2.7\text{V}$ to 3.6V | ● | 2.0 | | | V |
| $V_{\text{IL(CA}n\text{)}}$ | Low Level Input Voltage on $\text{CA}n$ ($n = 0, 1, 2$) | See Test Circuit 1 | ● | | | $0.15V_{\text{CC}}$ | V |
| $V_{\text{IH(CA}n\text{)}}$ | High Level Input Voltage on $\text{CA}n$ ($n = 0, 1, 2$) | See Test Circuit 1 | ● | $0.85V_{\text{CC}}$ | | | V |
| R_{INH} | Resistance from $\text{CA}n$ ($n = 0, 1, 2$) to V_{CC} to Set $\text{CA}n = V_{\text{CC}}$ | See Test Circuit 2 | ● | | | 10 | k Ω |
| R_{INL} | Resistance from $\text{CA}n$ ($n = 0, 1, 2$) to GND to Set $\text{CA}n = \text{GND}$ | See Test Circuit 2 | ● | | | 10 | k Ω |
| R_{INF} | Resistance from $\text{CA}n$ ($n = 0, 1, 2$) to V_{CC} or GND to Set $\text{CA}n = \text{Float}$ | See Test Circuit 2 | ● | 2 | | | M Ω |
| V_{OL} | Low Level Output Voltage | Sink Current = 3mA | ● | 0 | | 0.4 | V |
| t_{OF} | Output Fall Time | $V_{\text{O}} = V_{\text{IH(MIN)}}$ to $V_{\text{O}} = V_{\text{IL(MAX)}}$, $C_{\text{B}} = 10\text{pF}$ to 400pF (Note 9) | ● | $20 + 0.1C_{\text{B}}$ | | 250 | ns |
| t_{SP} | Pulse Width of Spikes Suppressed by Input Filter | | ● | 0 | | 50 | ns |
| I_{IN} | Input Leakage | $0.1V_{\text{CC}} \leq V_{\text{IN}} \leq 0.9V_{\text{CC}}$ | ● | | | 1 | μA |
| C_{IN} | I/O Pin Capacitance | (Note 4) | ● | | | 10 | pF |
| C_{B} | Capacitive Load for Each Bus Line | | ● | | | 400 | pF |
| C_{CAX} | External Capacitive Load on Address Pins $\text{CA}n$ ($n = 0, 1, 2$) | | ● | | | 10 | pF |

26061626fb

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $\text{REF} = 4.096\text{V}$ ($V_{\text{CC}} = 5\text{V}$)、 $\text{REF} = 2.048\text{V}$ ($V_{\text{CC}} = 2.7\text{V}$)、 V_{OUT} は無負荷。

| SYMBOL | PARAMETER | CONDITIONS | LTC2626/LTC2626-1 | | | LTC2616/LTC2616-1 | | | LTC2606/LTC2606-1 | | | UNITS |
|-----------------------|--------------------------------------|--|-------------------|-----|-----|-------------------|-----|-----|-------------------|-----|-----|------------------------------|
| | | | MIN | TYP | MAX | MIN | TYP | MAX | MIN | TYP | MAX | |
| AC Performance | | | | | | | | | | | | |
| t_s | Settling Time (Note 6) | $\pm 0.024\%$ ($\pm 1\text{LSB}$ at 12 Bits) | 7 | | | 7 | | | 7 | | | μs |
| | | $\pm 0.006\%$ ($\pm 1\text{LSB}$ at 14 Bits) | | | | 9 | | | 9 | | | μs |
| | | $\pm 0.0015\%$ ($\pm 1\text{LSB}$ at 16 Bits) | | | | | | | 10 | | | μs |
| | Settling Time for 1LSB Step (Note 7) | $\pm 0.024\%$ ($\pm 1\text{LSB}$ at 12 Bits) | 2.7 | | | 2.7 | | | 2.7 | | | μs |
| | | $\pm 0.006\%$ ($\pm 1\text{LSB}$ at 14 Bits) | | | | 4.8 | | | 4.8 | | | μs |
| | | $\pm 0.0015\%$ ($\pm 1\text{LSB}$ at 16 Bits) | | | | | | | 5.2 | | | μs |
| | Voltage Output Slew Rate | | 0.75 | | | 0.75 | | | 0.75 | | | $\text{V}/\mu\text{s}$ |
| | Capacitive Load Driving | | 1000 | | | 1000 | | | 1000 | | | pF |
| | Glitch Impulse | At Mid-Scale Transition | 12 | | | 12 | | | 12 | | | $\text{nV}\cdot\text{s}$ |
| | Multiplying Bandwidth | | 180 | | | 180 | | | 180 | | | kHz |
| e_n | Output Voltage Noise Density | At $f = 1\text{kHz}$ | 120 | | | 120 | | | 120 | | | $\text{nV}/\sqrt{\text{Hz}}$ |
| | | At $f = 10\text{kHz}$ | 100 | | | 100 | | | 100 | | | $\text{nV}/\sqrt{\text{Hz}}$ |
| | Output Voltage Noise | 0.1Hz to 10Hz | 15 | | | 15 | | | 15 | | | $\mu\text{V}_{\text{P-P}}$ |

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(図1を参照) (Note 10, 11)

| SYMBOL | PARAMETER | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|--|------------|-----|---------------|-----|---------------|
| $V_{\text{CC}} = 2.7\text{V}$ to 5.5V | | | | | | |
| f_{SCL} | SCL Clock Frequency | | ● | 0 | 400 | kHz |
| $t_{\text{HD(STA)}}$ | Hold Time (Repeated) Start Condition | | ● | 0.6 | | μs |
| t_{LOW} | Low Period of the SCL Clock Pin | | ● | 1.3 | | μs |
| t_{HIGH} | High Period of the SCL Clock Pin | | ● | 0.6 | | μs |
| $t_{\text{SU(STA)}}$ | Set-Up Time for a Repeated Start Condition | | ● | 0.6 | | μs |
| $t_{\text{HD(DAT)}}$ | Data Hold Time | | ● | 0 | 0.9 | μs |
| $t_{\text{SU(DAT)}}$ | Data Set-Up Time | | ● | 100 | | ns |
| t_r | Rise Time of Both SDA and SCL Signals | (Note 9) | ● | $20 + 0.1C_B$ | 300 | ns |
| t_f | Fall Time of Both SDA and SCL Signals | (Note 9) | ● | $20 + 0.1C_B$ | 300 | ns |
| $t_{\text{SU(STO)}}$ | Set-Up Time for Stop Condition | | ● | 0.6 | | μs |
| t_{BUF} | Bus Free Time Between a Stop and Start Condition | | ● | 1.3 | | μs |
| t_1 | Falling Edge of 9th Clock of the 3rd Input Byte to LDAC High or Low Transition | | ● | 400 | | ns |
| t_2 | LDAC Low Pulse Width | | ● | 20 | | ns |

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、絶対最大定格状態が長時間続くと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: 直線性と単調性はコード k_L からコード $2^N - 1$ まで定義されている。ここで、 N は分解能で、 k_L は $k_L = 0.016(2^N/V_{\text{REF}})$ で求められ、最も近い整数コードに丸められている。 $V_{\text{REF}} = 4.096\text{V}$ で $N = 16$ の場合、 $k_L = 256$ となり、直線性はコード256からコード65,535まで定義される。

Note 3: 0V または V_{CC} でのデジタル入力。

Note 4: 設計によって保証されており、製造時のテストは行なわれない。

Note 5: コード256 (LTC2606/ LTC2606-1)、コード64 (LTC2616/ LTC2616-1)またはコード16 (LTC2626/ LTC2626-1)およびフルスケールでの測定から推定される。

Note 6: $V_{\text{CC}} = 5\text{V}$ 、 $V_{\text{REF}} = 4.096\text{V}$ 。DACは1/4スケールから3/4スケールへ、さらに3/4スケールから1/4スケールへステップさせる。負荷はGNDに200pFと並列に接続した2k。

Note 7: $V_{\text{CC}} = 5\text{V}$ 、 $V_{\text{REF}} = 4.096\text{V}$ 。DACはハーフスケールとハーフスケール-1の間を $\pm 1\text{LSB}$ でステップさせる。負荷はGNDに200pFと並列に接続した2k。

Note 8: 最大 $V_{\text{IH}} = V_{\text{CC}}(\text{MAX}) + 0.5\text{V}$

Note 9: $C_B = 1$ パスラインの容量 (pF)。

Note 10: いずれの値も $V_{\text{IH}}(\text{MIN})$ と $V_{\text{IL}}(\text{MAX})$ レベルを基準にしている。

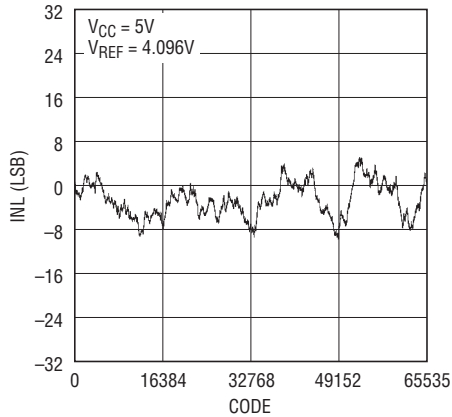
Note 11: これらの仕様は、LTC2606/ LTC2606-1、LTC2616/ LTC2616-1、LTC2626/ LTC2626-1に適用される。

LTC2606/LTC2616/LTC2626

標準的性能特性

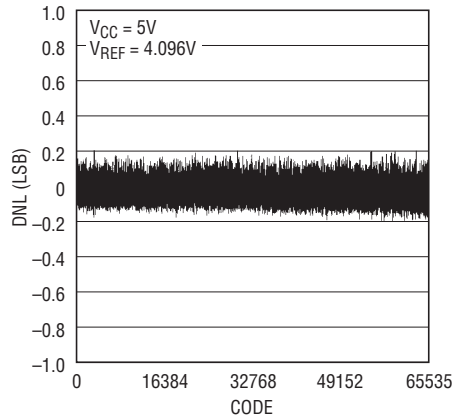
LTC2606

積分非直線性 (INL)



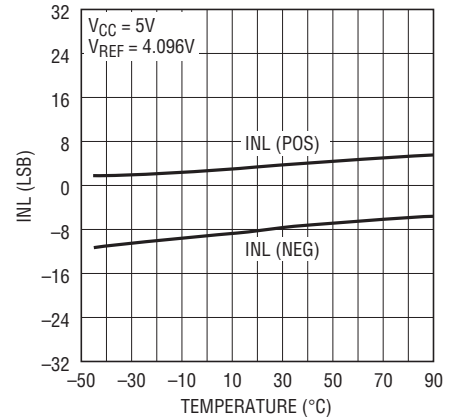
2606 G01

微分非直線性 (DNL)



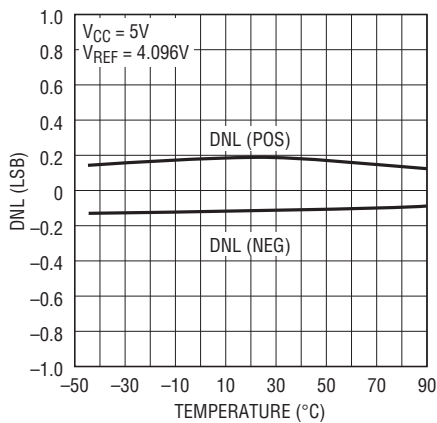
2606 G02

INLと温度



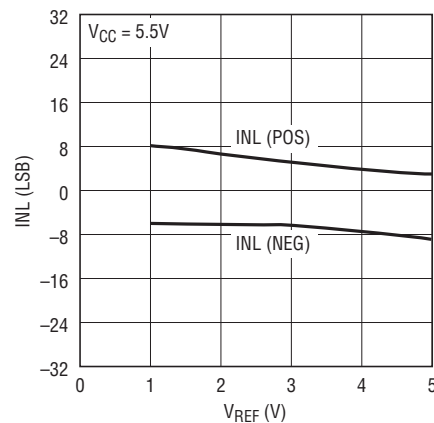
2606 G03

DNLと温度



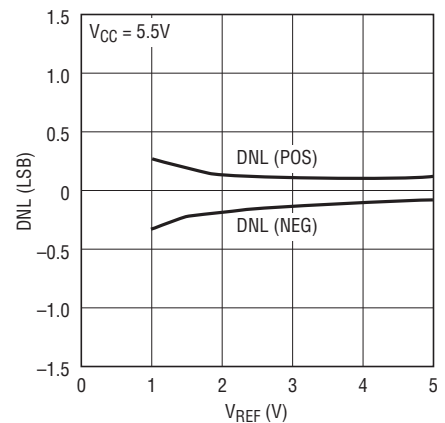
2606 G04

INLとVREF



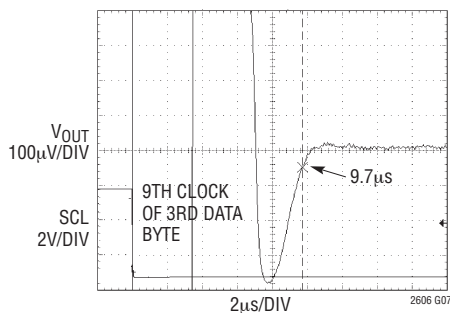
2606 G05

DNLとVREF



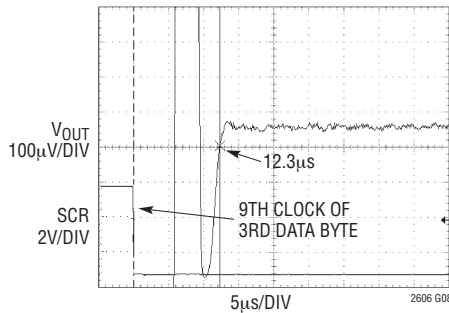
2606 G06

±1LSBへのセトリング



$V_{CC} = 5V$, $V_{REF} = 4.096V$
1/4-SCALE TO 3/4-SCALE STEP
 $R_L = 2k$, $C_L = 200pF$
AVERAGE OF 2048 EVENTS

フルスケール・ステップのセトリング

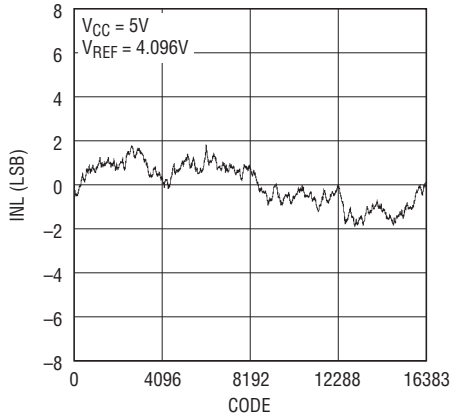


SETTLING TO $\pm 1LSB$
 $V_{CC} = 5V$, $V_{REF} = 4.096V$
CODE 512 TO 65535 STEP
AVERAGE OF 2048 EVENTS

標準的性能特性

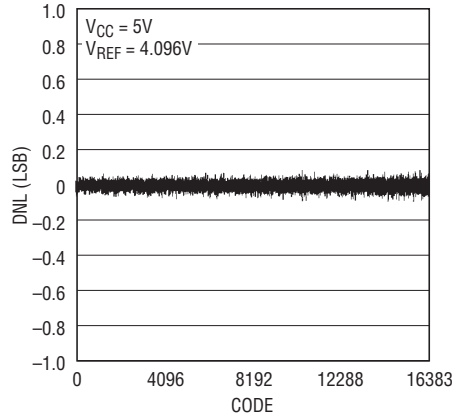
LTC2616

積分非直線性 (INL)



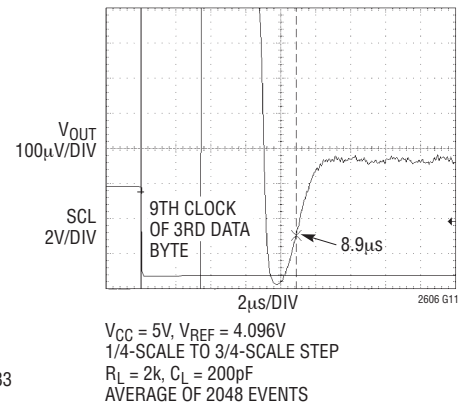
2606 G09

微分非直線性 (DNL)



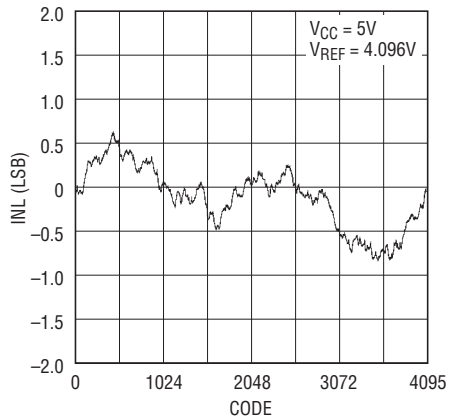
2606 G10

±1LSBへのセリング



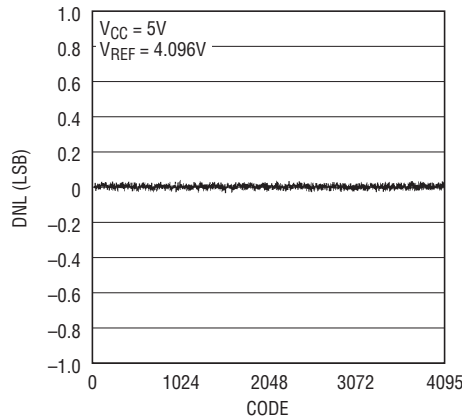
LTC2626

積分非直線性 (INL)



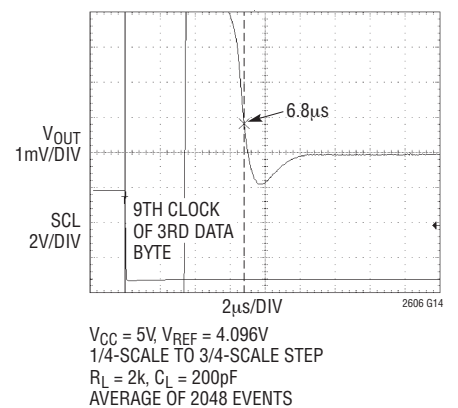
2606 G12

微分非直線性 (DNL)



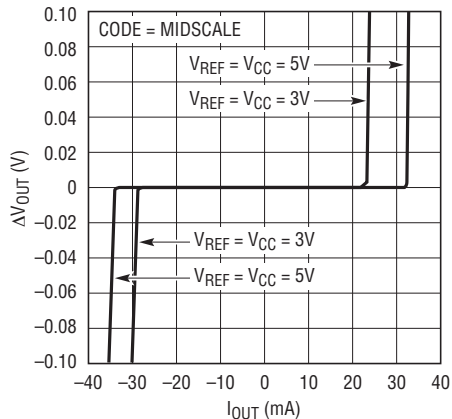
2606 G13

±1LSBへのセリング



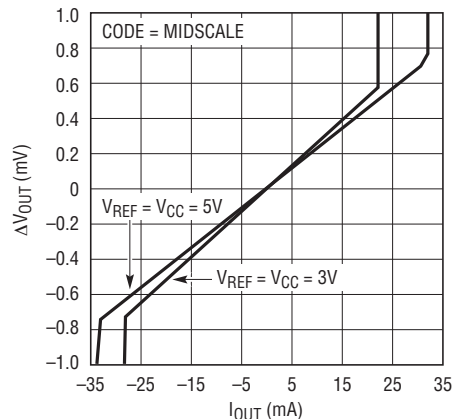
LTC2606/LTC2616/LTC2626

電流制限



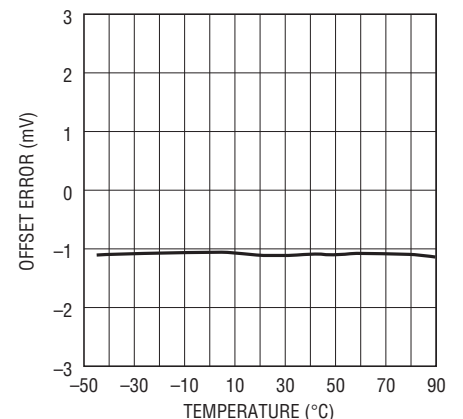
2606 G17

ロード・レギュレーション



2606 G18

オフセット誤差と温度



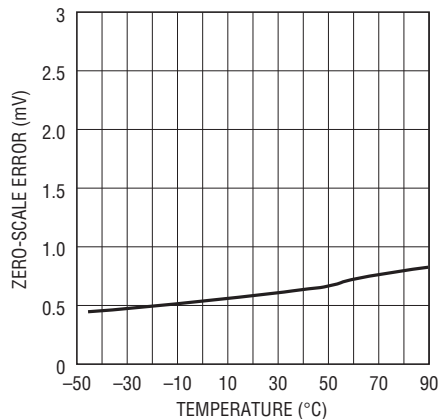
2606 G19

LTC2606/LTC2616/LTC2626

標準的性能特性

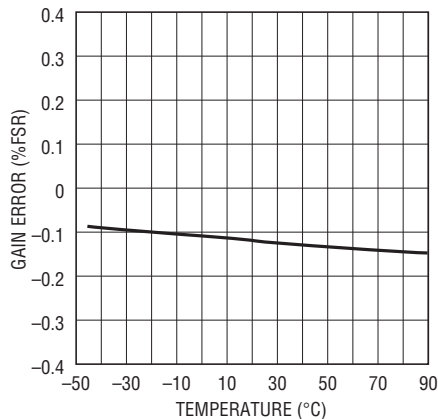
LTC2606/LTC2616/LTC2626

ゼロスケール誤差と温度



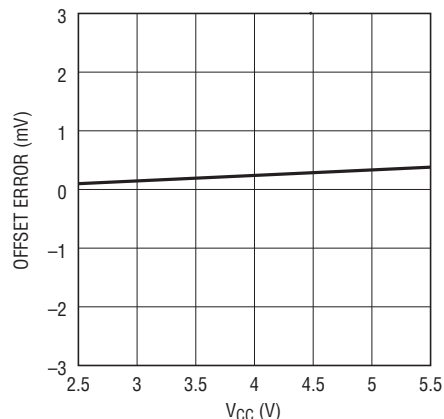
2606 G20

利得誤差と温度



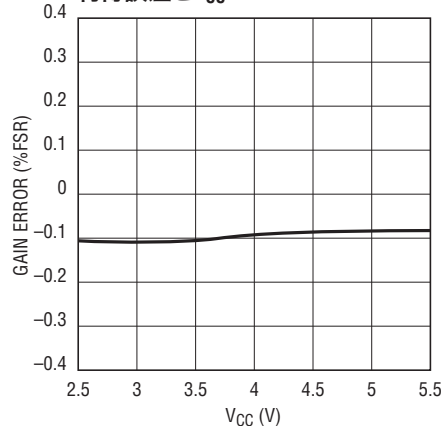
2606 G21

オフセット誤差とV_{CC}



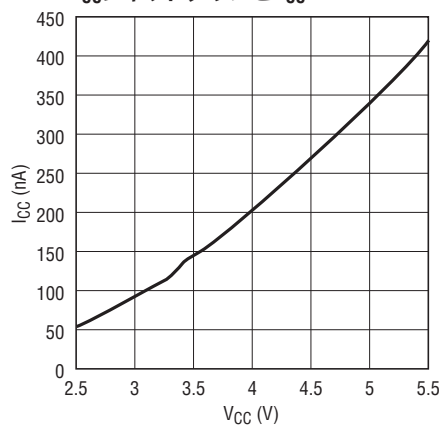
2606 G22

利得誤差とV_{CC}



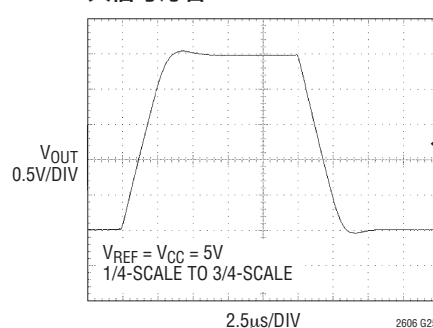
2606 G23

I_{CC}シャットダウンとV_{CC}



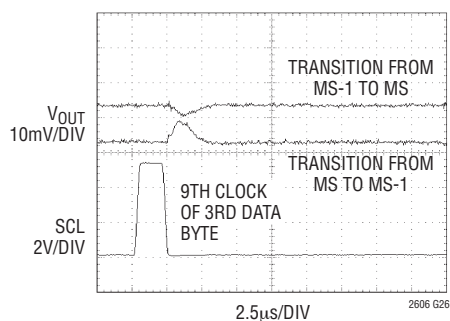
2606 G24

大信号応答



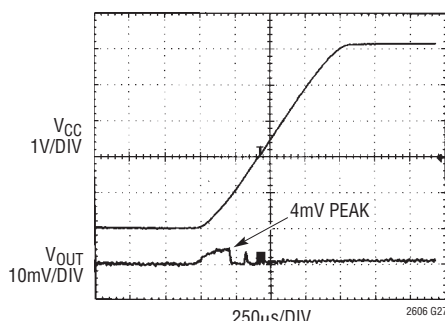
2606 G25

ミッドスケール・グリッチ・インパルス



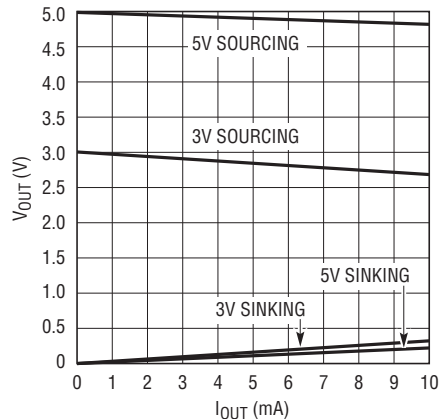
2606 G26

パワーオン・リセット・グリッチ



2606 G27

レールでのヘッドルームと出力電流

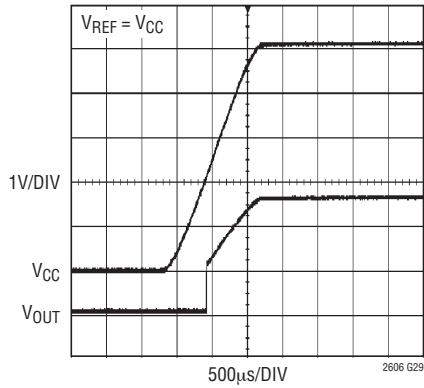


2606 G28

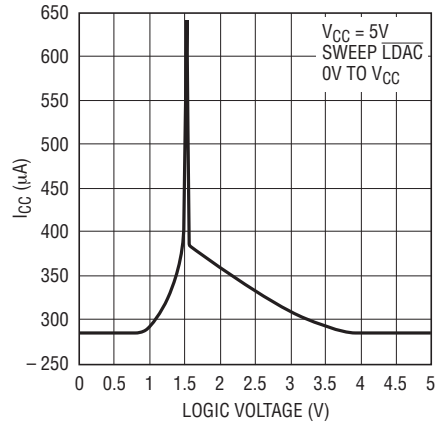
標準的性能特性

LTC2606/LTC2616/LTC2626

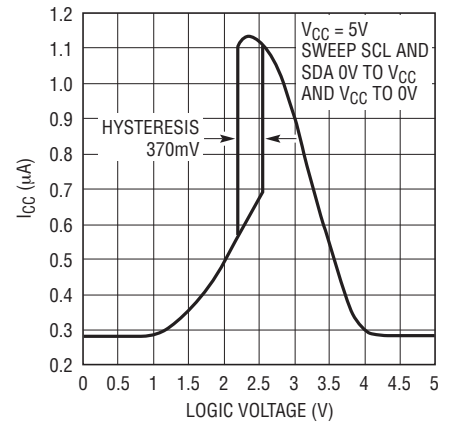
ミッドスケールにパワーオン・リセット



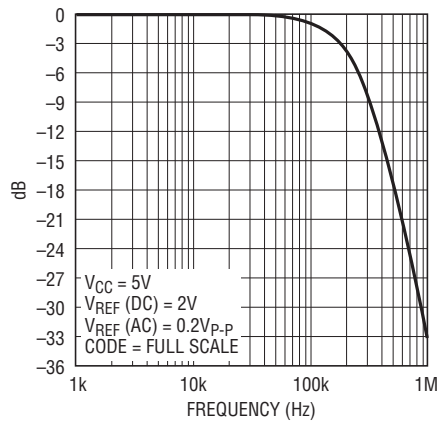
消費電流とロジック電圧



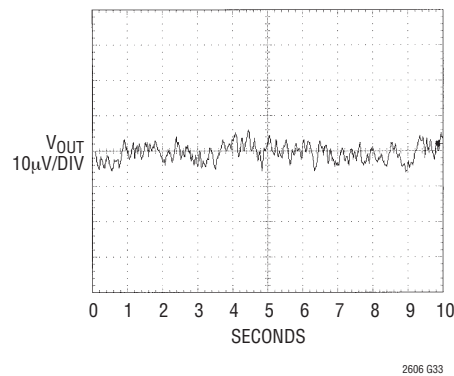
消費電流とロジック電圧



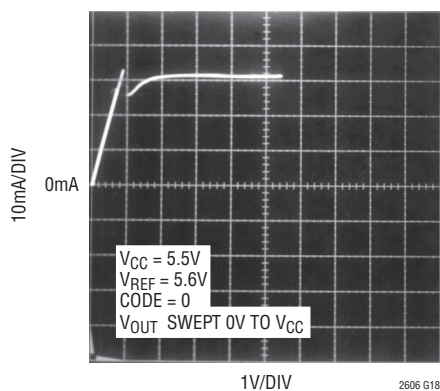
乗算帯域幅



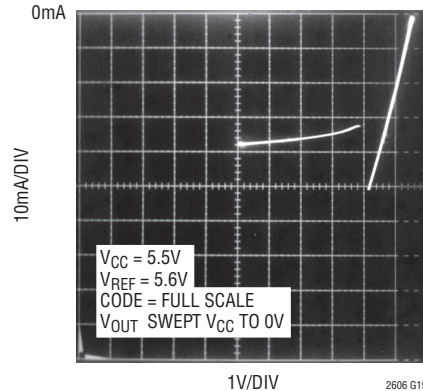
出力電圧ノイズ、0.1Hz~10Hz



短絡出力電流とVOUT(シンク)



短絡出力電流とVOUT(ソース)



ピン機能

CA2 (ピン1): デバイスのアドレス・ビット2。このピンをV_{CC}またはGNDに接続するか、フローティングのままにして、デバイスのI²Cスレーブ・アドレスを選択します(表1)。

SDA (ピン2): シリアル・データ双方向ピン。データは、SDAピンにシフトされ、SDAピンで肯定応答が行なわれます。データがシフトされて入力されるときは、このピンはハイ・インピーダンス状態です。肯定応答するときは、オープン・ドレインNチャネル出力です。SDAには、V_{CC}へのプルアップ抵抗または電流ソースが必要です。

SCL (ピン3): シリアル・クロック入力ピン。クロックの立ち上がりエッジでデータがSDAピンにシフトされます。このハイ・インピーダンス・ピンには、V_{CC}へのプルアップ抵抗または電流ソースが必要です。

CA0 (ピン4): デバイスのアドレス・ビット0。このピンをV_{CC}またはGNDに接続するか、フローティングのままにして、デバイスのI²Cスレーブ・アドレスを選択します(表1)。

CA1 (ピン5): デバイスのアドレス・ビット1。このピンをV_{CC}またはGNDに接続するか、フローティングのままにして、デバイスのI²Cスレーブ・アドレスを選択します(表1)。

REF (ピン6): リファレンス電圧入力。 $0V \leq V_{REF} \leq V_{CC}$ 。

V_{OUT} (ピン7): DACのアナログ電圧出力。出力範囲は、0V～V_{REF}です。

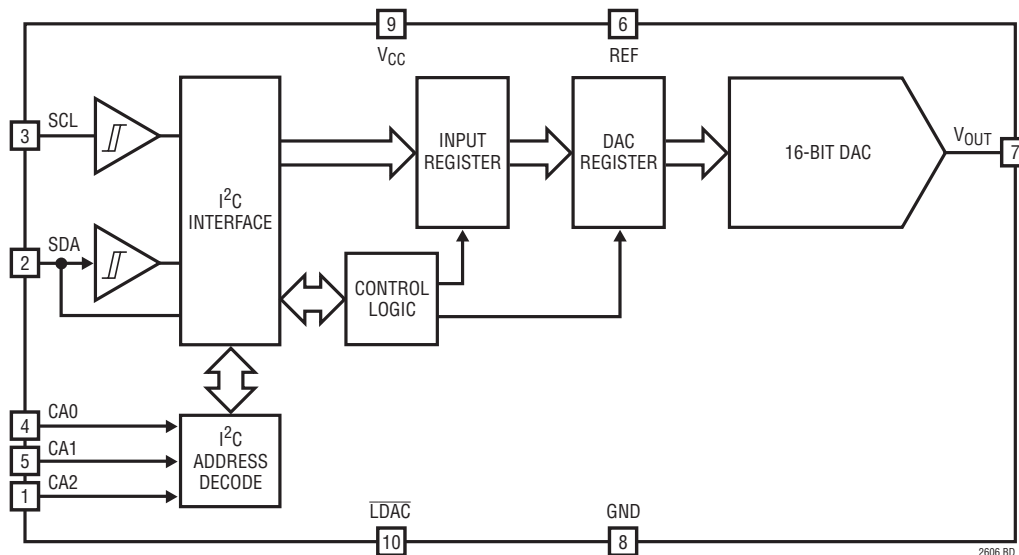
GND (ピン8): アナログ・グラウンド。

V_{CC} (ピン9): 電源電圧入力。 $2.7V \leq V_{CC} \leq 5.5V$ 。

\overline{LDAC} (ピン10): 非同期DAC更新。デバイスに4バイトが書き込まれた後、この入力の立ち下がりがエッジにより、DACレジスタが入力レジスタの内容で直ちに更新されます。完全な32ビット(スレーブ・アドレスを含め4バイト)のデータ書き込み転送なしに、この入力をLにしても、DAC出力は更新されません。 \overline{LDAC} がLのとき、ソフトウェア・パワーダウンはデイスエーブルされます。

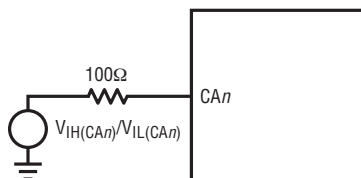
露出パッド (ピン11): グラウンド。PCBのグラウンドに半田付けする必要があります。

ブロック図

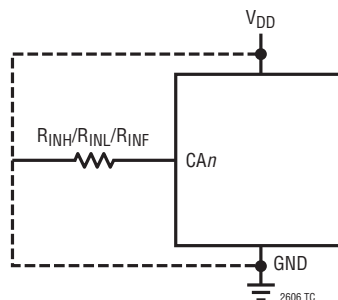


テスト回路

テスト回路1



テスト回路2



タイミング図

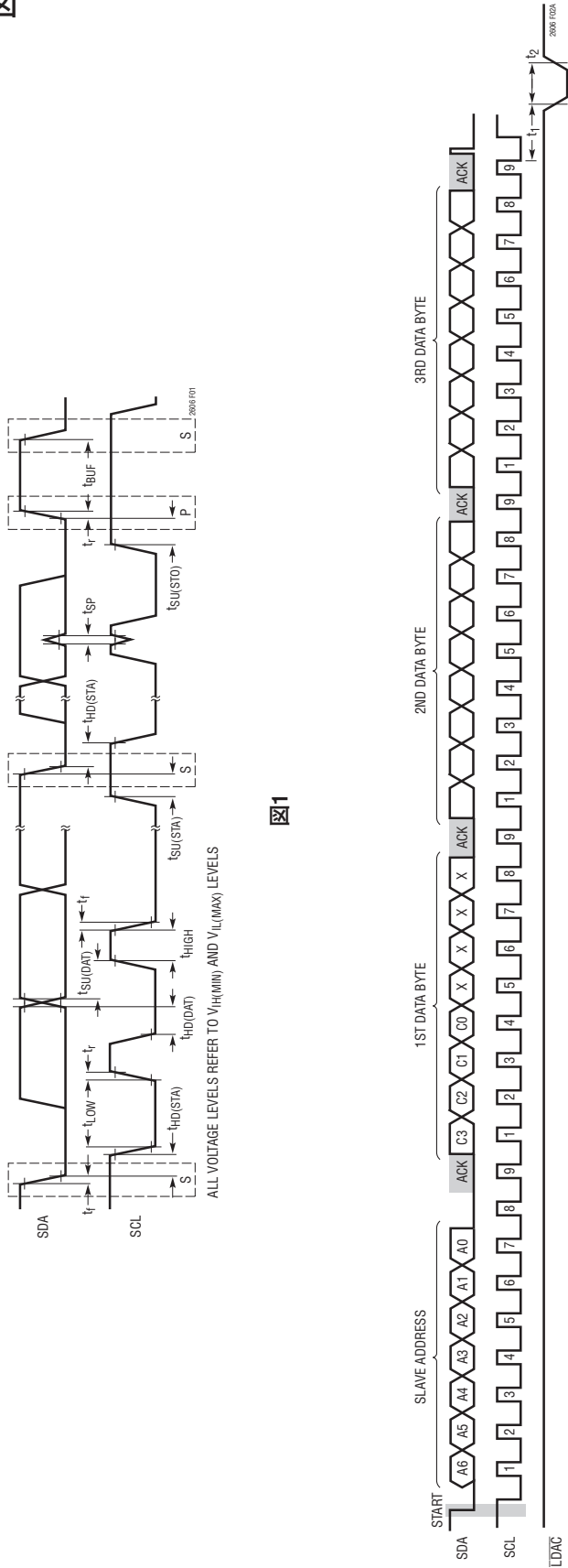


図1

図2a

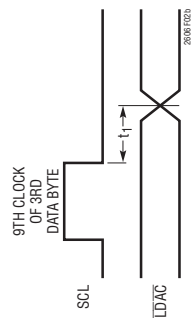


図2b

動作

パワーオン・リセット

LTC2606/LTC2616/LTC2626は、最初の電源投入時に出力をゼロスケールにクリアして、システムの初期状態を一定に保ち、反復可能にします。LTC2606-1/LTC2616-1/LTC2626-1は、最初の電源投入時に電圧出力をミッドスケールに設定します。

アプリケーションによっては、DACのパワーアップ時に下流の回路がアクティブ状態であり、この間DACからの非ゼロの出力の影響を受けやすくなることがあります。LTC2606/LTC2616/LTC2626には、パワーオン・グリッチを低減させる回路が装備されています。さらに、電源のランプ・レートを低減させることによって、グリッチ振幅をいくらでも縮小することができます。たとえば、電源投入時に電源が1msで5Vまでランプする場合、パワーオン時にアナログ出力がグランドより10mV(標準)以上上昇することはあえません。「標準的性能特性」のセクションの「パワーオン・リセット・グリッチ」を参照してください。

電源シーケンス制御

REF(ピン6)の電圧は、 $-0.3V \leq V_{REF} \leq V_{CC} + 0.3V$ の範囲に保つ必要があります(「絶対最大定格」を参照)。電源のターンオン・シーケンスとターンオフ・シーケンスで V_{CC} (ピン9)の電圧が遷移しているとき、これらのリミットが守られるように特に注意が必要です。

伝達関数

デジタルからアナログへの伝達関数は次のとおりです。

$$V_{OUT(IDEAL)} = \left(\frac{k}{2^N} \right) V_{REF}$$

ここで、kはDACの2進数の入力コードに相当する10進数、Nは分解能、 V_{REF} はREF(ピン6)の電圧です。

シリアル・デジタル・インタフェース

LTC2606/LTC2616/LTC2626は標準の2線I²Cインタフェースを使用してホストと通信します。タイミング図(図1および図2)はバス上の信号のタイミング関係を示します。SDAとSCLの2つのバス・ラインは、バスが使用されていないときは、“H”である必要があります。これらのラインには、外部プルアップ抵抗

または電源ソースが必要です。これらのプルアップ抵抗の値は、電源によって異なり、I²Cの仕様から得ることができます。高速モードで動作するI²Cバスでは、バス容量が200pFを超えると、アクティブ・プルアップが必要になります。内部のESD保護ダイオードを通してI²Cバスに負荷がかかるのを避けるため、I²Cバスがアクティブのときには、LTC2606/LTC2616/LTC2626から V_{CC} 電源を取り去らないでください。

LTC2606/LTC2616/LTC2626は受信専用(スレーブ)デバイスです。マスタはLTC2606/LTC2616/LTC2626に書き込むことができます。LTC2606/LTC2616/LTC2626は、マスタからの読み出しに対して応答しません。

スタート(S)条件とストップ(P)条件

バスが使用されていないときは、SCLとSDAのいずれもが“H”である必要があります。バス・マスタは、スタート条件を送信することで通信開始をスレーブに伝えます。SCLが“H”のときに、SDAが“H”から“L”に遷移することによってスタート条件が生成されます。

マスタがスレーブとの通信を終了すると、ストップ条件を送出します。SCLが“H”のときに、SDAを“L”から“H”に遷移させることによって、ストップ条件が生成されます。その後は、バスは他のI²Cデバイスと通信を行なうために解放されます。

肯定応答

肯定応答信号を使用して、マスタとスレーブ間のハンドシェイクを行ないます。スレーブによって生成された肯定応答(アクティブ・ロー)信号で情報の最新バイトが受信されたことをマスタに知らせます。肯定応答に伴うクロック・パルスはマスタによって生成されます。マスタは、肯定応答クロック・パルスの間SDAラインを解放(“H”)します。スレーブ・レシーバは、肯定応答クロック・パルスの“H”期間の間SDAバス・ラインが安定した“L”状態になるように、SDAバス・ラインを肯定応答クロック・パルスの間プルダウンする必要があります。LTC2606/LTC2616/LTC2626はこのようにしてマスタからの書き込みに応答します。LTC2606/LTC2616/LTC2626は、読み出しには応答しません(肯定応答クロック・パルス期間の間、SDAは“H”のままです)。

動作

デバイスのアドレス

CA0、CA1およびCA2の状態ではデバイスのスレーブ・アドレスが決まります。CA0、CA1およびCA2の各ピンは、それぞれV_{CC}、GNDまたはフロートのいずれか1つの状態に設定することができます。それがそのデバイスの27の選択可能なアドレスになります。これらのスレーブ・アドレスの割当てを表1に示します。

表1. スレーブ・アドレス・マップ

| CA2 | CA1 | CA0 | A6 | A5 | A4 | A3 | A2 | A1 | A0 |
|-----------------|-----------------|-----------------|----|----|----|----|----|----|----|
| GND | GND | GND | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| GND | GND | FLOAT | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| GND | GND | V _{CC} | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| GND | FLOAT | GND | 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| GND | FLOAT | FLOAT | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| GND | FLOAT | V _{CC} | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| GND | V _{CC} | GND | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| GND | V _{CC} | FLOAT | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| GND | V _{CC} | V _{CC} | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| FLOAT | GND | GND | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| FLOAT | GND | FLOAT | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| FLOAT | GND | V _{CC} | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| FLOAT | FLOAT | GND | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| FLOAT | FLOAT | FLOAT | 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| FLOAT | FLOAT | V _{CC} | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| FLOAT | V _{CC} | GND | 1 | 0 | 0 | 0 | 0 | 1 | 1 |
| FLOAT | V _{CC} | FLOAT | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| FLOAT | V _{CC} | V _{CC} | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| V _{CC} | GND | GND | 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| V _{CC} | GND | FLOAT | 1 | 0 | 1 | 0 | 0 | 1 | 1 |
| V _{CC} | GND | V _{CC} | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| V _{CC} | FLOAT | GND | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| V _{CC} | FLOAT | FLOAT | 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| V _{CC} | FLOAT | V _{CC} | 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| V _{CC} | V _{CC} | GND | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| V _{CC} | V _{CC} | FLOAT | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| V _{CC} | V _{CC} | V _{CC} | 1 | 1 | 1 | 0 | 0 | 1 | 0 |
| GLOBAL ADDRESS | | | 1 | 1 | 1 | 0 | 0 | 1 | 1 |

デバイスは、アドレス・ピンによって選択されたアドレスだけでなく、グローバル・アドレスにも応答します。このアドレスによって、LTC2606、LTC2616およびLTC2626の全デバイスへの共通書き込みが、I²Cバス上での3バイトの一度の書き込み動作で可能になります。グローバル・アドレスは、7ビットのデバイス内部のハードワイヤード・アドレスであり、CA0、CA1およびCA2では選択されません。

CA0、CA1およびCA2の状態に対応するアドレスとグローバル・アドレスを表1に示します。アドレス・ピン(CA0、CA1およびCA2)に許容される最大容量性負荷は、10pFです。これらのピンは、フロートしているかどうかを確認するため、アドレス検出時にドライブされるからです。

書き込みワード・プロトコル

マスタは、スタート条件と7ビット・スレーブ・アドレスに続く書き込みビット(W) = 0によってLTC2606/LTC2616/LTC2626との通信を開始します。7ビット・スレーブ・アドレスがデバイスのアドレス(CA0、CA1およびCA2によって設定)またはグローバル・アドレスと一致すると、9つめのクロックでSDAピンを“L”に引き下げて、LTC2606/LTC2616/LTC2626による肯定応答が行なわれます。そこでマスタは、3バイトのデータを送出します。LTC2606/LTC2616/LTC2626は、各データ・バイト伝送の9つめのクロックでSDAラインを“L”に引き下げることでデータの各バイトを肯定応答します。データの3バイトをすべて受信すると、LTC2606/LTC2616/LTC2626は、24ビット入力ワードで指定されたコマンドを実行します。

有効な7ビット・スレーブ・アドレス後に3バイトを超える3データ・バイトが送信されると、LTC2606/LTC2616/LTC2626はそれらの余分なデータ・バイトを肯定応答しません(SDAは、9つめのクロックで“H”)。

3つのデータ・バイトの書式を図3に示します。入力ワードの最初の1バイトは、4ビットのコマンドと4ビットのドントケア・ビットで構成されます。その次の2バイトは、16ビット・データ・ワードです。16ビット・データ・ワードは、MSBからLSBに至る16、14、12ビットの入力ワードで構成され、それに0、2、4ビットのドントケア・ビットが続きます(それぞれLTC2606、LTC2616、LTC2626に該当)。代表的なLTC2606書き込み動作を図4に示します。

コマンド(C3~C0)の割り当てを表2に示します。表2の最初の4つのコマンドが書き込みおよび更新動作のものです。書き込み動作によって32ビット・シフト・レジスタから16ビット・データ・ワードを入力レジスタにロードします。更新動作で、データ・ワードは入力レジスタからDACレジスタにコピーされ、DAC出力でアナログ電圧に変換されます。DACがパワーダウン・モードのときは、更新動作によってもDACがパワーアップされます。データ・パスとレジスタをブロック図に示します。

動作

Write Word Protocol for LTC2606/LTC2616/LTC1626

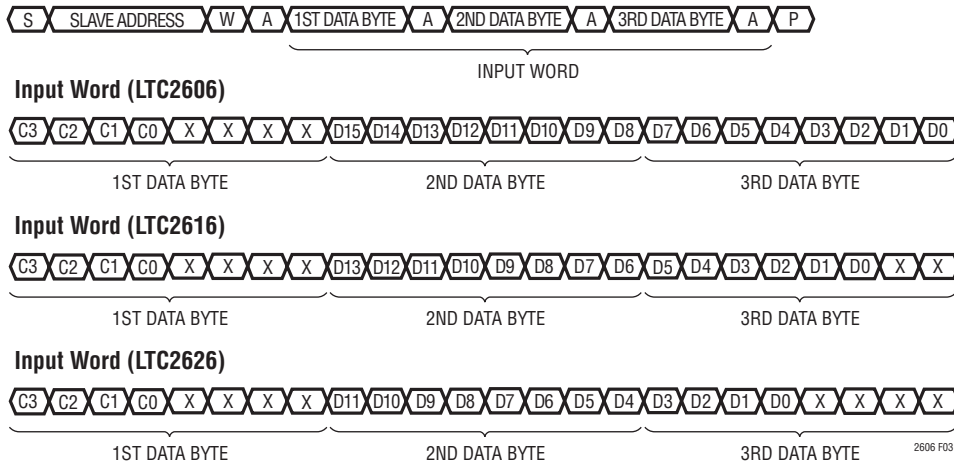


図3

パワーダウン・モード

電力に制約のあるアプリケーションでは、DAC出力を必要としなければ、パワーダウン・モードを使用して消費電流を軽減することができます。パワーダウン時には、バッファ・アンプ、バイアス回路およびリファレンス入力が無効化されるので、実質的に電流は流れません。DAC出力はハイ・インピーダンス状態になり、出力ピンは個々の90k抵抗によって受動的にグラウンドに引き下げられます。入力レジスタとDACレジスタの内容はパワーダウンの間に影響を受けることはありません。

表2

| COMMAND* | | | | |
|----------|----|----|----|----------------------|
| C3 | C2 | C1 | C0 | |
| 0 | 0 | 0 | 0 | 入力レジスタに書き込む |
| 0 | 0 | 0 | 1 | DACレジスタを更新(パワーアップ)する |
| 0 | 0 | 1 | 1 | 書き込み、更新(パワーアップ)する |
| 0 | 1 | 0 | 0 | パワーダウンする |
| 1 | 1 | 1 | 1 | 動作なし |

*表示されないコマンド・コードは予備のため、使用不可。

DACチャネルは、コマンド0100_bを使用してパワーダウン・モードにすることができます。16ビットのデータ・ワードは無視されます。DACがパワーダウンすると、消費電流とリファレンス電流がほぼゼロに減少し、REFの実効抵抗がハイ・インピーダンス入力(通常1GΩ以上)となります。

通常動作は、表2に示すように、DAC更新を含むどのコマンドを実行しても、または、次項で説明するように非同期更新

(LDAC)を実行しても再開できます。DACはその電圧出力が更新されるとパワーアップされます。パワーダウン状態のDACのパワーアップおよび更新時、通常のセリングに遅延が生じます。DACアンプおよびリファレンス入力だけでなく、メイン・バイアス生成回路ブロックも自動的にシャットダウンされているので、パワーアップ遅延時間は次の通りです。

12μs (V_{CC} = 5Vの場合) または 30μs (V_{CC} = 3Vの場合)

LDACを使用した非同期DAC更新

表2に示された更新コマンドだけでなく、LDACピンも、DACレジスタを入力レジスタの内容で非同期更新します。入力ワードがデバイスにクロックされている、非同期更新は無効化されます。

完全な入力ワードがデバイスに書き込まれた後、LDACピンを“L”にすると、DACレジスタが入力レジスタの内容で更新されません。

入力ワードがデバイスに書き込まれている途中、3バイト・データの書き込み完了前にLDACピンに“L”に立ち下がるパルスが与えられると、DACはパワーアップされますが、出力は更新されません。完全な入力ワードをデバイスに書き込み後に、LDACが“L”のままならば、LDACが認識され、転送されたばかりの24ビット・ワードで指定されたコマンドが実行され、DAC出力が更新されます。

動作

$\overline{\text{LDAC}}$ が“L”になると、 I^2C バスの動作状態とは無関係に、DACがパワーアップされます。

データの3番目のバイトの9つめのクロックの立ち下がりエッジで $\overline{\text{LDAC}}$ が“L”だと、入力ワードで指定されたどのソフトウェア・パワーダウン・コマンドも禁止されます。

電圧出力

レール・トゥ・レール・アンプが5Vで最大15mA (3Vで7.5mA) をソースまたはシンクするとき、ロード・レギュレーションが保証されます。

ロード・レギュレーションは、広い範囲の負荷条件にわたって定格電圧精度を維持するアンプ性能の指標です。負荷電流を強制的に1mA変化させたときの出力電圧の変化の測定値は、LSB/mAで表わされます。

DC出力インピーダンスは、ロード・レギュレーションに相当し、LSB/mAから Ω に単位を変えて計算するだけで求めることができます。レールから十分離れた負荷をドライブしているときのアンプのDC出力インピーダンスは、0.050 Ω です。

どちらか一方のレールから負荷電流が流れている場合、そのレールを基準にした出力電圧のヘッドルームは出力デバイスの標準25 Ω のチャネル抵抗によって制限されます。たとえば、1mAをシンクしていると、最小出力電圧 = 25 Ω \cdot 1mA = 25mVになります。「標準的性能特性」の項目の「レールでのヘッドルームと出力電流」のグラフを参照してください。

このアンプは、最大1000pFの容量性負荷を安定してドライブします。

ボード・レイアウト

優れたロード・レギュレーション性能は、「信号」グラウンドと「電源」グラウンドを内部的に分離し、共有内部抵抗を減らすことによってある程度実現します。

GNDピンは、リファレンス電圧と出力電圧の基準となるノードおよびデバイスの消費電流のリターン・パスとしての両方の機能があります。したがって、定格性能を確実に得るためには、接地方式とボード・レイアウトに十分な注意を払う必要があります。

PCボードには、回路のアナログ部分およびデジタル部分とで別々の領域を用意する必要があります。こうすることで周囲の影響を受けやすいアナログ信号からデジタル信号を離しておくことができ、分離されたデジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンを使いやすくなり、容量性および抵抗性の相互干渉を最小限に抑えることができます。

デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンを一点接続し、デバイスのグラウンド・ピンにできるだけ近づけてシステムのスター・グラウンドを形成します。理想的には、アナログ・グラウンド・プレーンはボードの部品側に配置し、それをノイズからシールドするためにデバイスの下を通すようにします。アナログ・グラウンドは、必要なリードパッドやビアを除き、連続した切れ目のないプレーンにし、信号トレースは別の層に配置します。

デバイスのグラウンド・ピンは、アナログ・グラウンドに接続します。GNDピンからシステムのスター・グラウンドまでの抵抗はできるだけ小さくします。この抵抗は、デバイスの実効DC出力インピーダンス (通常0.050 Ω) に直接追加されます。同じタイプの他のデバイスに比べ、LTC2606/ LTC2616/ LTC2626はこれらの影響を受けやすいことはなく、過度の内部抵抗で達成可能な性能が制約を受けることなく、かえってレイアウトをベースにして性能を改善できる可能性があることに注意してください。

レール・トゥ・レール出力に関する検討事項

レール・トゥ・レールの電圧出力デバイスのどれでも、出力は電源電圧範囲内に制限されます。

デバイスのアナログ出力はグラウンドを下回ることができないので、図5bに示すように最下位コードが制限されることがあります。同様に、REFピンが V_{CC} に接続されていると、フルスケール近くでも制限されることがあります。 $V_{REF} = V_{CC}$ で、DACのフルスケール誤差 (FSE) が正の場合、図5cに示すように最上位コードの出力が V_{CC} で制約を受けます。 V_{REF} が $V_{CC} - \text{FSE}$ より小さい場合は、フルスケールの制約は生じません。

オフセットと直線性は、DACの伝達関数の、出力制限が生じない領域にわたって定義され、テストされます。

動作

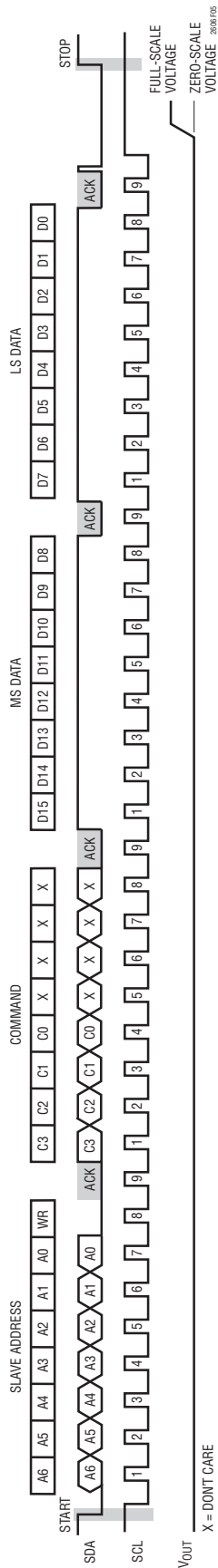


図4. 標準的なLTC2606入力波形—フルスケールのプログラミングDAC出力

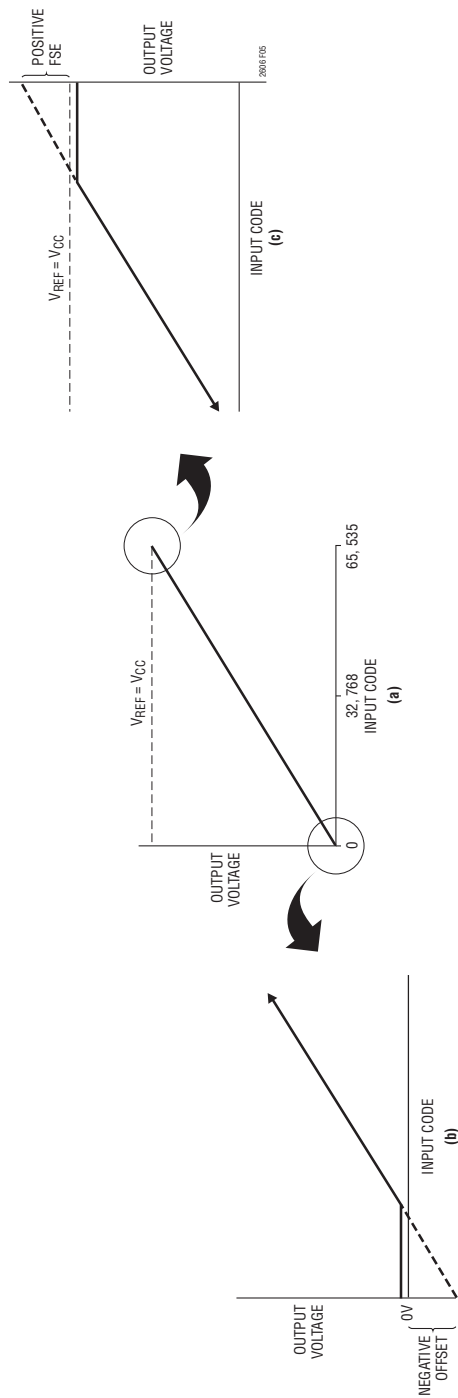
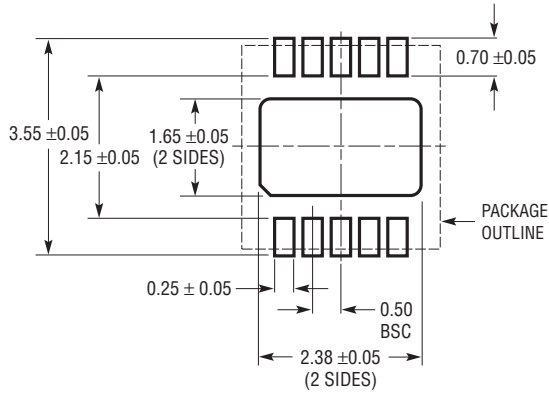


図5. DACの伝達曲線に対するレール・トゥ・レール動作の影響 (a) 全体の伝達関数、(b)ゼロスケール近くのコードに対する負のオフセットの影響、(c)フルスケール近くのコードに対する正のフルスケール誤差の影響

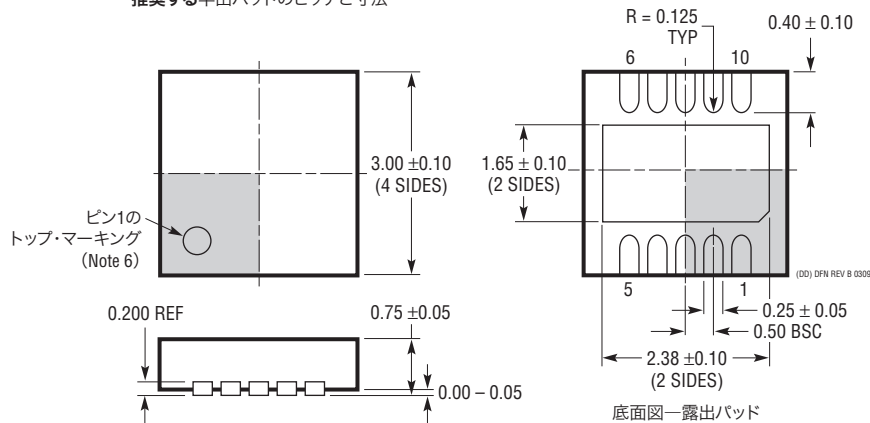
LTC2606/LTC2616/LTC2626

パッケージ

DDパッケージ 10ピン・プラスチックDFN (3mm×3mm) (Reference LTC DWG # 05-08-1699 Rev B)



推奨する半田パッドのピッチと寸法



NOTE:

1. 図は、JEDECのパッケージ外形M0-229のバリエーション (WEED-2) にするよう提案されているバリエーション割り当ての現況に関してはLTCウェブサイト・データシートをチェックする
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージの底面の露出パッドの寸法にはモールドのバリを含まない
モールドのバリは、もしあれば、各サイドで0.15mmを超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考にすぎない

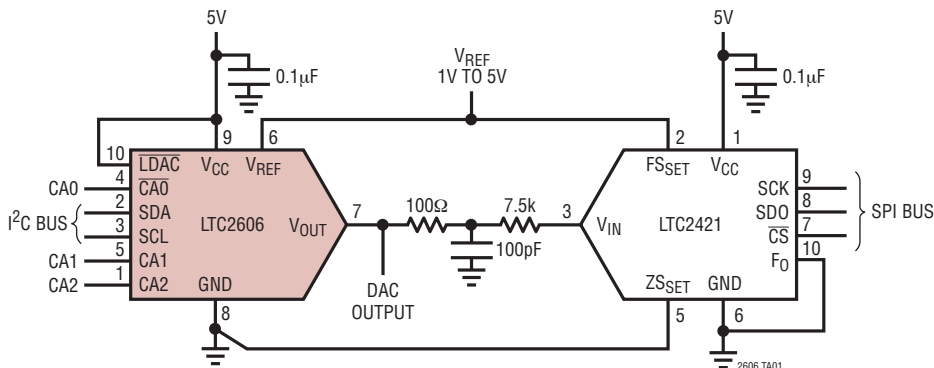
改訂履歴 (改訂歴はRev Bで始まる)

| REV | 日付 | 修正内容 | 頁番号 |
|-----|-------|----------------------------------|-----|
| B | 11/09 | 「シリアル・デジタル・インタフェース」セクションにテキストを挿入 | 13 |

LTC2606/LTC2616/LTC2626

標準的応用例

デモ回路図。20ビットのオンボードADCによる主要性能パラメータの測定



関連製品

| 製品番号 | 説明 | 注釈 |
|----------------------------|---|---|
| LTC1458/LTC1458L | クワッド12ビット・レール・トゥ・レール出力DAC、追加機能付き | LTC1458: $V_{CC} = 4.5V \sim 5.5V$, $V_{OUT} = 0V \sim 4.096V$ LTC1458L: $V_{CC} = 2.7V \sim 5.5V$, $V_{OUT} = 0V \sim 2.5V$ |
| LTC1654 | デュアル14ビット・レール・トゥ・レール V_{OUT} DAC | プログラム可能な速度/電力、 $3.5\mu s/750\mu A$, $8\mu s/450\mu A$ |
| LTC1655/LTC1655L | シングル16ビット V_{OUT} DAC、シリアル・インタフェース、SO-8 | $V_{CC} = 5V$ (3V)、低消費電力、グリッチ除去 |
| LTC1657/LTC1657L | パラレル5V/3V 16ビット V_{OUT} DAC | 低消費電力、グリッチ除去、レール・トゥ・レール V_{OUT} |
| LTC1660/LTC1665 | 16ピン細型SSOPオクタール10/8ビット V_{OUT} DAC | $V_{CC} = 2.7V \sim 5.5V$ 、マイクロパワー、レール・トゥ・レール出力 |
| LTC1821 | パラレル16ビット電圧出力DAC | 10Vのステップ入力に対して7 μs の高精度16ビット・セトリング |
| LTC2600/LTC2610 LTC2620 | 16ピンSSOPのオクタール16/14/12ビット V_{OUT} DAC | $250\mu A$ /DAC、 $2.5V \sim 5.5V$ の電源電圧範囲、 レール・トゥ・レール出力、SPIシリアル・インタフェース |
| LTC2601/LTC2611 LTC2621 | 10ピンDFNのシングル16/14/12ビット V_{OUT} DAC | $250\mu A$ /DAC、 $2.5V \sim 5.5V$ の電源電圧範囲、 レール・トゥ・レール出力、SPIシリアル・インタフェース |
| LTC2602/LTC2612 LTC2622 | 8ピンMSOPのデュアル16/14/12ビット V_{OUT} DAC | $300\mu A$ /DAC、 $2.5V \sim 5.5V$ の電源電圧範囲、 レール・トゥ・レール出力、SPIシリアル・インタフェース |
| LTC2604/LTC2614 LTC2624 | 16ピンSSOPのクワッド16/14/12ビット V_{OUT} DAC | $250\mu A$ /DAC、 $2.5V \sim 5.5V$ の電源電圧範囲、 レール・トゥ・レール出力、SPIシリアル・インタフェース |