

構成可能なデジタル・フィルタ付き 32ビットオーバーサンプリング A/Dコンバータ

特長

- INL: ± 0.5 ppm (標準)
- SNR: 1Mspsで104dB (標準)
- ダイナミックレンジ: 61spsで148dB (標準)
- 欠落コードのない32ビットを保証
- 同期機能付き構成可能なデジタル・フィルタ
 - 緩和されたアンチエイリアシング・フィルタ要件
- デュアル出力32ビットSAR A/Dコンバータ
 - デジタルにフィルタリングされる32ビット低ノイズ出力
 - 24ビット差動+7ビット同相電圧、1Msps出力、オーバーレンジ検出機能付き
- 広い入力同相範囲
- 85°Cまでの動作を保証
- 1.8V~5VのSPI互換シリアルI/O
- 低消費電力: 1Mspsで24mW
- 24ピン7mm×4mm DFNパッケージ

アプリケーション

- 地震計測
- エネルギー探査
- 自動テスト装置
- 高精度計測装置

説明

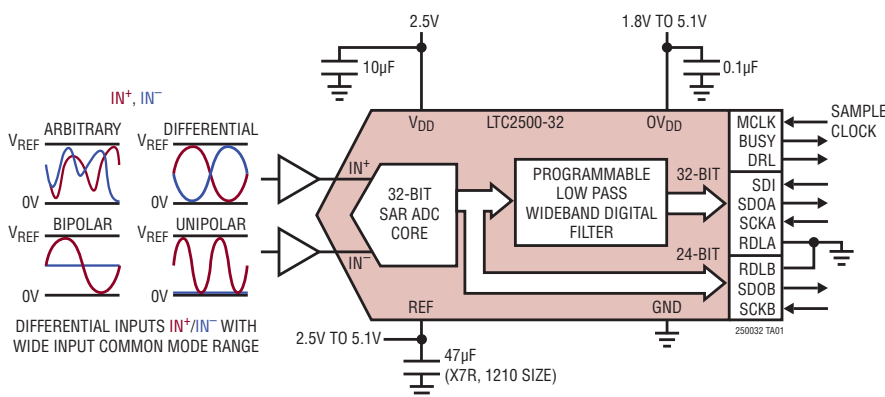
LTC[®]2500-32は、構成可能なデジタル・フィルタを内蔵した低ノイズ、低消費電力の高性能32ビットA/Dコンバータです。LTC2500-32は単一2.5V電源で動作し、その完全差動入力電圧範囲は最大 $\pm V_{REF}$ で、 V_{REF} の範囲は2.5V~5.1Vです。LTC2500-32は、0V~ V_{REF} という広い同相範囲をサポートしており、アナログ・シグナル・コンディショニング要件を簡略化します。

LTC2500-32は、次の2つの出力コードを同時に提供します。(1) デジタルにフィルタリングされた32ビットの高精度低ノイズ・コード、および(2) 待ち時間のない32ビットの複合コード。構成可能なデジタル・フィルタは、SAR ADCコアからのデータのストリームに対してローパス・フィルタおよびダウンサンプリングを実行することによって測定ノイズを低減し、フィルタリングされた32ビット出力コードを提供します。32ビット複合コードは、オーバーレンジ検出ビット、差動入力電圧を表す24ビット・コード、および同相入力電圧を表す7ビット・コードで構成されます。32ビット複合コードは、各変換サイクルで使用可能であり、待ち時間のサイクルがありません。

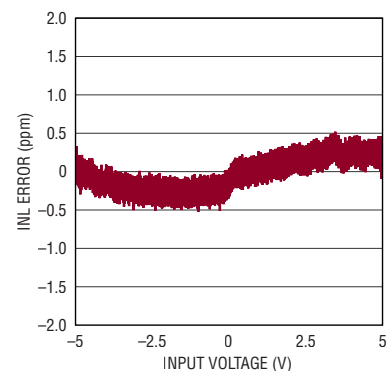
デジタル・フィルタは、SPI互換インタフェースを介して柔軟に構成可能であり、さまざまなアプリケーションに適した多くの異なるフィルタ・タイプを備えています。デジタル・ローパス・フィルタは、アナログ・アンチエイリアシングの要件を緩和します。SYNCピンを使用して、複数のLTC2500-32デバイスを簡単に同期できます。

LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。SoftSpanはリニアテクノロジー社の商標です。その他の商標の所有権は、いずれもそれぞれの所有者に帰属します。7705765、7961132、8319673、8576104、8810443、9231611、9054727、9331709、および出願中の特許を含む米国特許により保護されています。

標準的応用例



積分非直線性と出力コード



目次

特長	1
アプリケーション	1
標準的応用例	1
説明	1
絶対最大定格	3
ピン配置	3
発注情報	3
電気的特性	4
フィルタリングされた出力(SDOA)に関するコンバータの特性	4
フィルタリングされた出力(SDOA)に関する動的精度	4
待ち時間のない出力(SDOB)に関するコンバータの特性	4
待ち時間のない出力(SDOB)に関する動的精度	5
リファレンス入力	5
デジタル入力とデジタル出力	6
電源要件	6
ADCのタイミング特性	6
標準的性能特性	8
ピン機能	11
機能ブロック図	12
タイミング図	13
アプリケーション情報	14
概要	14
コンバータの動作	14
伝達関数	14
アナログ入力	14
入力駆動回路	15
A/Dコンバータのリファレンス	22
ダイナミック性能	23
電源に関する検討事項	23
タイミングと制御	24
デシメーション・フィルタ	24
デジタル・フィルタ・タイプ	27
デジタル・インタフェース	34
プリセット・フィルタ・モード	37
フィルタ処理済み出力データ	37
待ち時間のない出力データ	46
基板のレイアウト	52
パッケージ寸法	53
標準的応用例	54
関連製品	54

絶対最大定格

(Note 1, 2)

電源電圧 (V_{DD})	2.8V
電源電圧 (OV_{DD})	6V
リファレンス入力 (REF)	6V
アナログ入力電圧 (Note 3)	
IN^+ , IN^-	(GND - 0.3V) ~ (REF + 0.3V)
デジタル入力電圧	
(Note 3)	(GND - 0.3V) ~ (OV_{DD} + 0.3V)

デジタル出力電圧

(Note 3) (GND - 0.3V) ~ (OV_{DD} + 0.3V)

電力損失 500mW

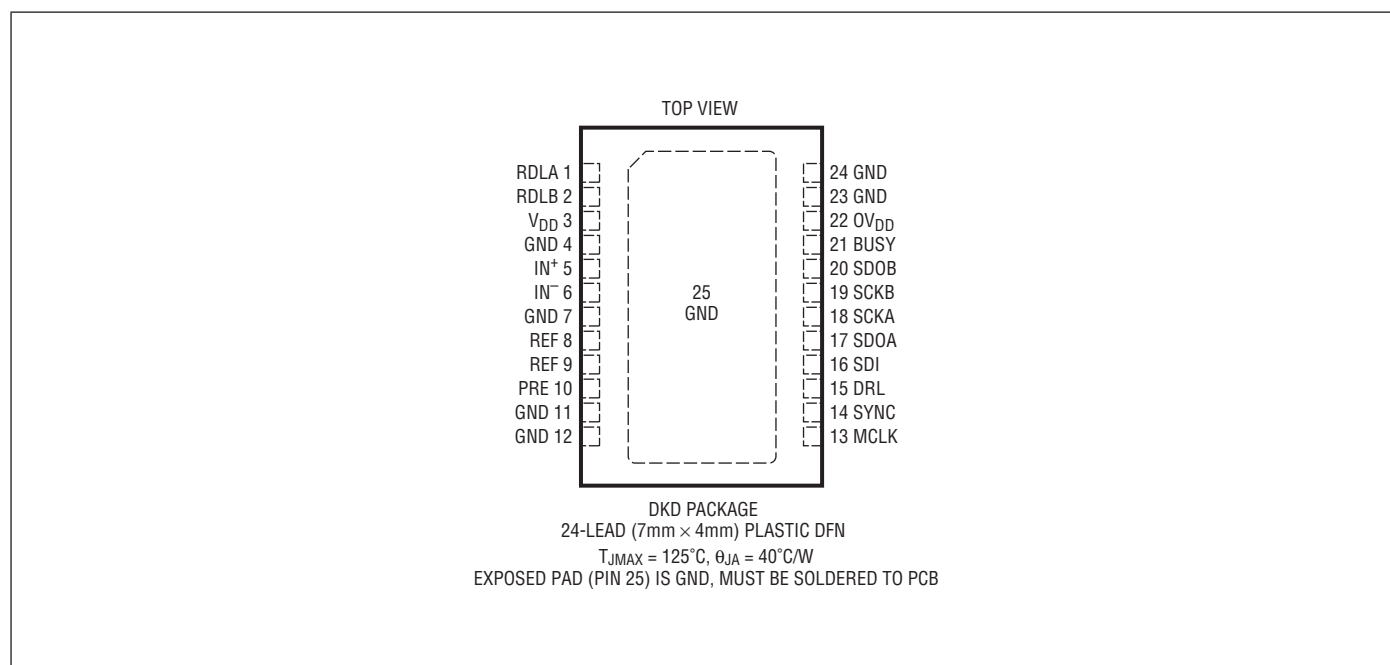
動作温度範囲

LTC2500C-32 0°C ~ 70°C

LTC2500I-32 -40°C ~ 85°C

保存温度範囲 -65°C ~ 150°C

ピン配置



発注情報

<http://www.linear-tech.co.jp/product/LTC2500-32#orderinfo>

無鉛仕上げ	テープ・アンド・リール	製品マーキング*	パッケージ	温度範囲
LTC2500CDKD-32#PBF	LTC2500CDKD-32#TRPBF	250032	24-Lead (7mmx4mm) Plastic DFN	0°C to 70°C
LTC2500IDKD-32#PBF	LTC2500IDKD-32#TRPBF	250032	24-Lead (7mmx4mm) Plastic DFN	-40°C to 85°C

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープ・アンド・リールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

一部のパッケージは、指定販売チャンネルを通じて、#TRMPBFの接尾辞付きで500単位のリールで供給されます。

電气的特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN^+}	Absolute Input Range (IN^+)	(Note 5)	●	0	V_{REF}	V
V_{IN^-}	Absolute Input Range (IN^-)	(Note 5)	●	0	V_{REF}	V
$V_{IN^+} - V_{IN^-}$	Input Differential Voltage Range	$V_{IN} = V_{IN^+} - V_{IN^-}$	●	$-V_{REF}$	V_{REF}	V
V_{CM}	Common Mode Input Range		●	0	V_{REF}	V
I_{IN}	Analog Input Leakage Current			10		nA
C_{IN}	Analog Input Capacitance	Sample Mode Hold Mode		45 5		pF pF
CMRR	Input Common Mode Rejection Ratio	No Latency Output $V_{IN^+} = V_{IN^-} = 4.5V_{P-P}$, 2kHz Sine		128		dB

フィルタリングされた出力 (SDOA) に関するコンバータの特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
	Resolution		●	32		Bits
	No Missing Codes		●	32		Bits
	Transition Noise	(Note 6) See Table 2				
DF	Down-Sampling Factor			4	16384	
INL	Integral Linearity Error	(Notes 7, 8)	●	-2	± 0.5	2 ppm
ZSE	Zero-Scale Error	(Notes 7, 9)	●	13	0	13 ppm
	Zero-Scale Error Drift	(Note 7)			± 0.007	ppm/ $^\circ\text{C}$
FSE	Full-Scale Error	(Notes 7, 9)	●	-100	± 10	100 ppm
	Full-Scale Error Drift	(Note 7)			± 0.05	ppm/ $^\circ\text{C}$

フィルタリングされた出力 (SDOA) に関する動的精度

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ および ssinc フィルタでの値。(Note 4, 9)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
DR	Dynamic Range	DF = 4	●	110	116	dB
		$IN^+ = IN^- = V_{CM}$, $V_{REF} = 5V$, DF = 64	●	122	128	dB
		$IN^+ = IN^- = V_{CM}$, $V_{REF} = 5V$, DF = 1024	●	129.5	138	dB

待ち時間のない出力 (SDOB) に関するコンバータの特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
	Resolution: Differential Common Mode		● ●	24 7		Bits Bits
	No Missing Codes: Differential Common Mode		● ●	24 7		Bits Bits
	Transition Noise: Differential Common Mode			2.3 1		ppm _{RMS} LSB _{RMS}

待ち時間のない出力 (SDOB) に関するコンバータの特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
INL	Integral Linearity Error: Differential Common Mode	7-Bit Output	-2	± 0.5 ± 0.1	2	ppm LSB
ZSE	Zero-Scale Error: Differential Common Mode	7-Bit Output	-13	0 ± 1	13	ppm LSB
	Zero-Scale Error Drift: Differential			± 14		ppm/ $^\circ\text{C}$
FSE	Full-Scale Error: Differential Common Mode	7-Bit Output	-100	± 10 ± 1	100	ppm LSB
	Full-Scale Error Drift: Differential			± 0.05		ppm/ $^\circ\text{C}$

待ち時間のない出力 (SDOB) に関する動的精度

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ 、 $A_{IN} = -1\text{dBFS}$ での値。規格値は差動出力用である (Note 4、10)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SINAD	Signal-to-(Noise + Distortion) Ratio	$f_{IN} = 2\text{kHz}$, $V_{REF} = 5\text{V}$	100	104		dB
SNR	Signal-to-Noise Ratio	$f_{IN} = 2\text{kHz}$, $V_{REF} = 5\text{V}$	100	104		dB
THD	Total Harmonic Distortion	$f_{IN} = 2\text{kHz}$, $V_{REF} = 5\text{V}$ $f_{IN} = 2\text{kHz}$, $V_{REF} = 2.5\text{V}$		-120 -120	-114 -113	dB dB
SFDR	Spurious Free Dynamic Range	$f_{IN} = 2\text{kHz}$, $V_{REF} = 5\text{V}$	115	128		dB
	-3dB Input Linear Bandwidth			34		MHz
	Aperture Delay			500		ps
	Aperture Jitter			4		psRMS
	Transient Response	Full-Scale Step		125		ns

リファレンス入力

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{REF}	Reference Voltage	(Note 5)	2.5		5.1	V
I_{REF}	Reference Input Current	(Note 11)		0.9	1.4	mA

LTC2500-32

デジタル入力とデジタル出力

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage		●	$0.8 \cdot OV_{DD}$		V
V_{IL}	Low Level Input Voltage		●		$0.2 \cdot OV_{DD}$	V
I_{IN}	Digital Input Current	$V_{IN} = 0V$ to OV_{DD}	●	-10	10	μA
C_{IN}	Digital Input Capacitance			5		pF
V_{OH}	High Level Output Voltage	$I_O = -500 \mu\text{A}$	●	$OV_{DD} - 0.2$		V
V_{OL}	Low Level Output Voltage	$I_O = 500 \mu\text{A}$	●		0.2	V
I_{OZ}	Hi-Z Output Leakage Current	$V_{OUT} = 0V$ to OV_{DD}	●	-10	10	μA
I_{SOURCE}	Output Source Current	$V_{OUT} = 0V$		-10		mA
I_{SINK}	Output Sink Current	$V_{OUT} = OV_{DD}$		10		mA

電源要件

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{DD}	Supply Voltage		●	2.375	2.5	2.625	V
OV_{DD}	Supply Voltage		●	1.71		5.25	V
I_{VDD}	Supply Current	1Msps Sample Rate	●	9.5	14	mA	
I_{OVDD}	Supply Current	1Msps Sample Rate ($C_L = 20\text{pF}$)	●	1		mA	
I_{PD}	Power Down Mode	Conversion Done ($I_{VDD} + I_{OVDD} + I_{REF}$)	●	6	350	μA	
P_D	Power Dissipation	1Msps Sample Rate (I_{VDD})		24	35	mW	
	Power Down Mode	Conversion Done ($I_{VDD} + I_{OVDD} + I_{REF}$)		15	875	μW	

ADCのタイミング特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f_{SMPL}	Maximum Sampling Frequency		●		1	Msps
f_{DRA}	Output Data Rate at SDOA		●		250	ksps
f_{DRB}	Output Data Rate at SDOB		●		1	Msps
t_{CONV}	Conversion Time		●	600	660	ns
t_{ACQ}	Acquisition Time	$t_{ACQ} = t_{CYC} - t_{CONV} - t_{BUSYLH}$ (Note 12)	●	327		ns
t_{CYC}	Time Between Conversions		●	1000		ns
t_{MCLKH}	Conversion High Time		●	20		ns
t_{MCLKL}	Minimum Low Time for MCLK	(Note 13)	●	20		ns
t_{BUSYLH}	MCLK \uparrow to BUSY \uparrow Delay	$C_L = 20\text{pF}$	●		13	ns
t_{QUIET}	SCKA, SCKB Quiet Time from MCLK \uparrow	(Note 12)	●	10		ns
t_{SCKA}	SCKA Period	(Notes 13, 14)	●	10		ns
t_{SCKAH}	SCKA High Time		●	4		ns
t_{SCKAL}	SCKA Low Time		●	4		ns
$t_{SSDISCKA}$	SD1 Setup Time from SCKA \uparrow	(Note 13)	●	4		ns
$t_{HSDISCKA}$	SD1 Hold Time from SCKA \uparrow	(Note 13)	●	1		ns
t_{DSDOA}	SDOA Data Valid Delay from SCKA \uparrow	$C_L = 20\text{pF}$, $OV_{DD} = 5.25\text{V}$ $C_L = 20\text{pF}$, $OV_{DD} = 2.5\text{V}$ $C_L = 20\text{pF}$, $OV_{DD} = 1.71\text{V}$	●		8.5	ns
			●		8.5	ns
			●		9.5	ns

250032f

ADCのタイミング特性

- は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 4)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{HSDOA}	SDOA Data Remains Valid Delay from SCKA \uparrow	$C_L = 20\text{pF}$ (Note 12)	●	1		ns
t_{DSOADRLL}	SDOA Data Valid Delay from DRL \downarrow	$C_L = 20\text{pF}$ (Note 12)	●		5	ns
t_{ENA}	Bus Enable Time After RDLA \downarrow	(Note 13)	●		16	ns
t_{DISA}	Bus Relinquish Time After RDLA \uparrow	(Note 13)	●		13	ns
t_{SCKB}	SCKB Period	(Notes 13, 14)	●	10		ns
t_{SCKBH}	SCKB High Time		●	4		ns
t_{SCKBL}	SCKB Low Time		●	4		ns
t_{DSDOB}	SDOB Data Valid Delay from SCKB \uparrow	$C_L = 20\text{pF}$, $OV_{\text{DD}} = 5.25\text{V}$ $C_L = 20\text{pF}$, $OV_{\text{DD}} = 2.5\text{V}$ $C_L = 20\text{pF}$, $OV_{\text{DD}} = 1.71\text{V}$	● ● ●		8.5 8.5 9.5	ns ns ns
t_{HSDOB}	SDOB Data Remains Valid Delay from SCKB \uparrow	$C_L = 20\text{pF}$ (Note 12)	●	1		ns
$t_{\text{DSDOBBSYL}}$	SDOB Data Valid Delay from BUSY \downarrow	$C_L = 20\text{pF}$ (Note 12)	●		5	ns
t_{ENB}	Bus Enable Time After RDLB \downarrow	(Note 13)	●		16	ns
t_{DISB}	Bus Relinquish Time After RDLB \uparrow	(Note 13)	●		13	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2: 全ての電圧値はグラウンドを基準にしている。

Note 3: これらのピンの電圧がグラウンドを下回るか、REFまたは OV_{DD} を上回ると、内部のダイオードによってクランプされる。この製品は、これらのピンの電圧がグラウンドより低くなるか、REFピンまたは OV_{DD} ピンの電圧より高くなった場合でも、ラッチアップを生じることなく最大100mAの入力電流を処理することができる。

Note 4: $V_{\text{DD}} = 2.5\text{V}$, $OV_{\text{DD}} = 2.5\text{V}$, $\text{REF} = 5\text{V}$, $V_{\text{CM}} = 2.5\text{V}$, $f_{\text{SAMPL}} = 1\text{MHz}$ 。

Note 5: 推奨動作条件。

Note 6: 遷移ノイズは、 IN^+ と IN^- が短絡されたA/Dコンバータのノイズ・レベルとして定義される。

Note 7: SDOAでのDC性能は、SDOBで測定および保証される。デジタル・フィルタの動作は、SDOAでの同じDC性能を保証するために、個別にテストされる。

Note 8: 積分非直線性は、実際の伝達曲線の端点を通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 9: 両極性のゼロスケール誤差は、

出力コードが0000 0000 0000 0000 0000 0000 0000と1111 1111 1111 1111 1111 1111の間を往復しているときに、 -0.5LSB から測定されたオフセット電圧である。フルスケールの両極性誤差は、最初と最後の理想的なコード遷移からの $-FS$ または $+FS$ の未調整偏差の最悪値であり、オフセット誤差の影響が含まれる。

Note 10: dB表示の全ての規格値は、5Vのリファレンス電圧でフルスケール $\pm 5\text{V}$ の入力を基準にしている。

Note 11: $f_{\text{SAMPL}} = 1\text{MHz}$ 。 I_{REF} はサンプル・レートに比例して変化する。

Note 12: 設計によって保証されているが、テストされない。

Note 13: パラメータは $OV_{\text{DD}} = 1.71\text{V}$ 、 $OV_{\text{DD}} = 2.5\text{V}$ 、および $OV_{\text{DD}} = 5.25\text{V}$ でテストされ、保証されている。

Note 14: 立ち上がりで捕捉する場合、最大10nsの t_{SCKA} 、 t_{SCKB} により最大100MHzのシフトクロック周波数が可能である。

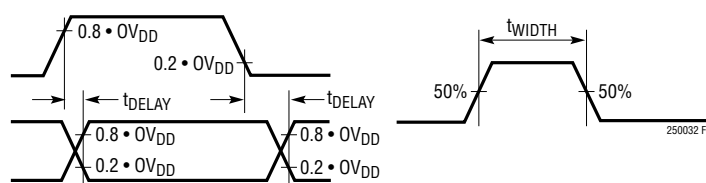
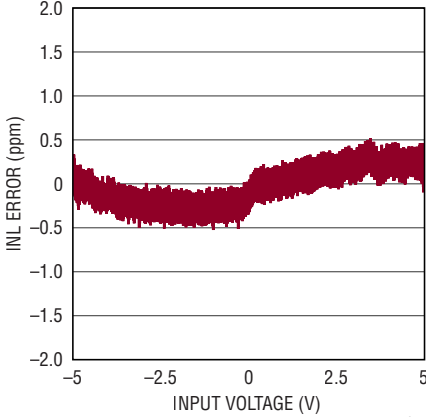


図1. タイミング仕様の電圧レベル

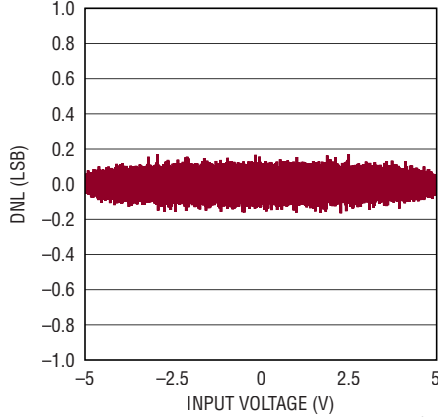
標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 2.5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、 $V_{CM} = 2.5\text{V}$ 、 $REF = 5\text{V}$ 、 $f_{SAMPL} = 1\text{Msps}$ 、待ち時間のない出力。

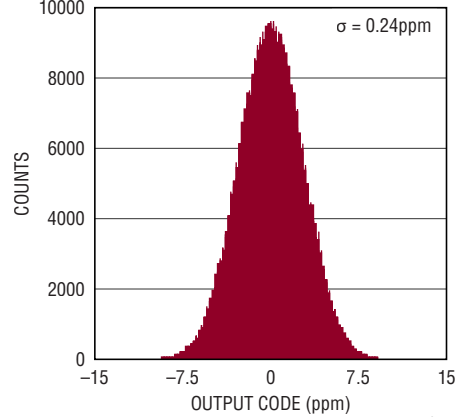
積分非直線性と入力電圧



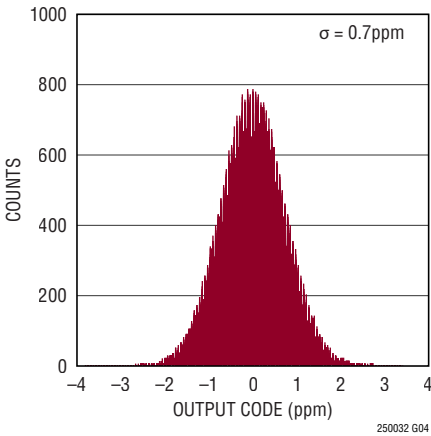
微分非直線性と入力電圧



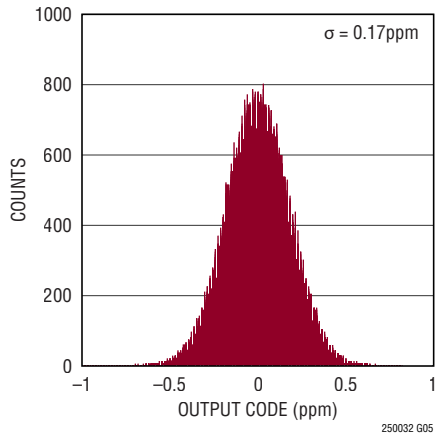
DCのヒストグラム



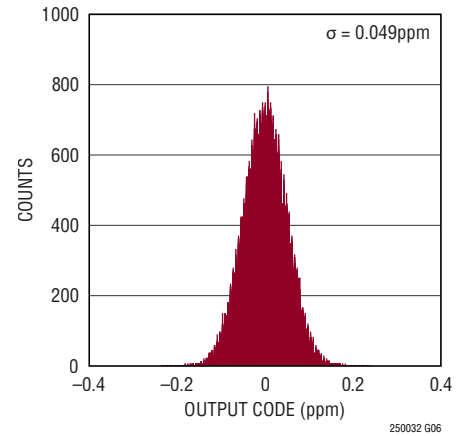
フィルタ処理済み出力の
DCヒストグラム
DF = 4、SSINCフィルタ



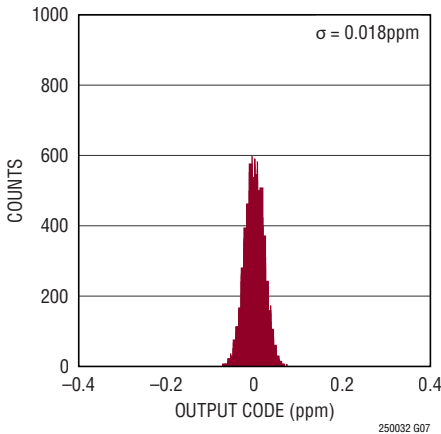
フィルタ処理済み出力の
DCヒストグラム
DF = 64、SSINCフィルタ



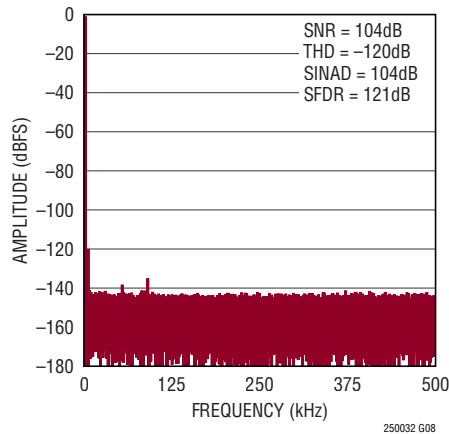
フィルタ処理済み出力の
DCヒストグラム
DF = 1024、SSINCフィルタ



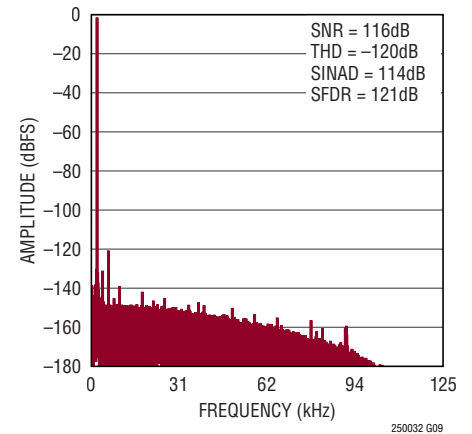
フィルタ処理済み出力の
DCヒストグラム
DF = 16384、SSINCフィルタ



16kポイントのFFT ($f_{IN} = 2\text{kHz}$)



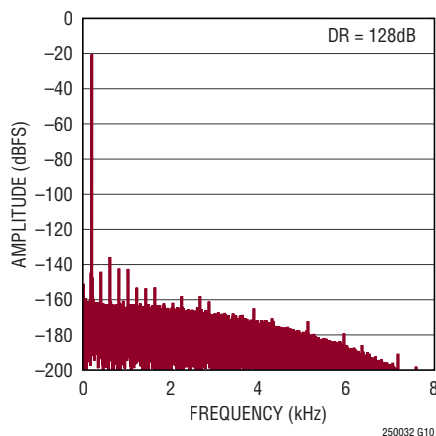
フィルタ処理済み出力の
128kポイントFFT
 $f_{IN} = 2\text{kHz}$ 、DF = 4、SSINCフィルタ



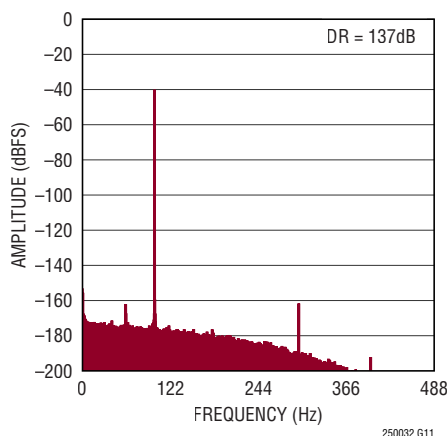
標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 2.5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、 $V_{CM} = 2.5\text{V}$ 、 $REF = 5\text{V}$ 、 $f_{SAMPL} = 1\text{Mps}$ 、待ち時間のない出力。

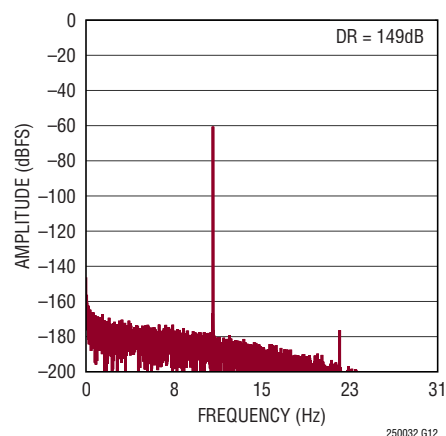
フィルタ処理済み出力の128kポイントFFT
 $f_{IN} = 200\text{Hz}$ 、 $DF = 64$ 、SSINCフィルタ



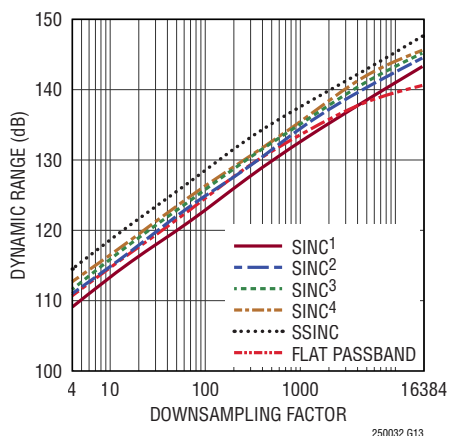
フィルタ処理済み出力の128kポイントFFT
 $f_{IN} = 100\text{Hz}$ 、 $DF = 1024$ 、SSINCフィルタ



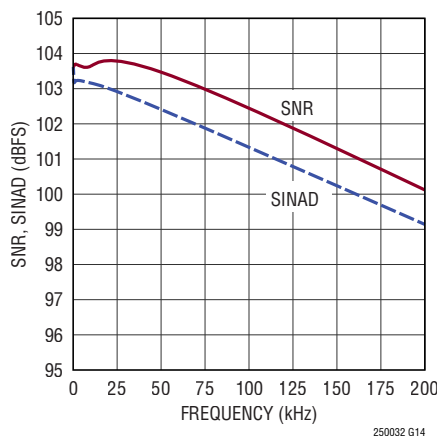
フィルタ処理済み出力の8kポイントFFT
 $f_{IN} = 11\text{Hz}$ 、 $DF = 16384$ 、SSINCフィルタ



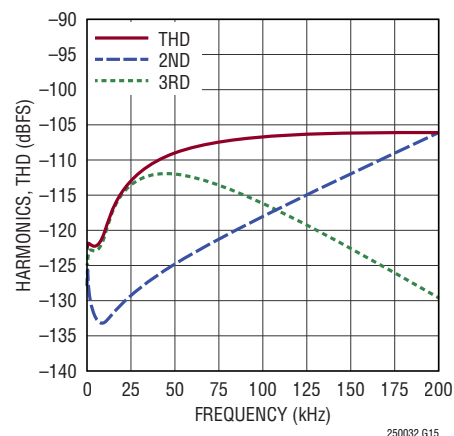
フィルタ処理済み出力の
 ダイナミックレンジとDF



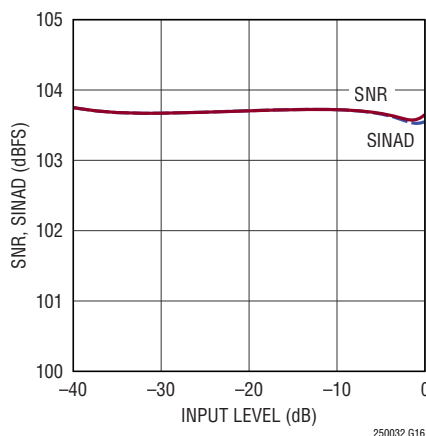
SNRおよびSINADと入力周波数



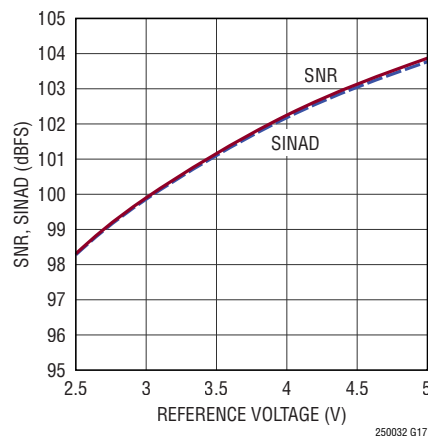
THD、高調波と入力周波数



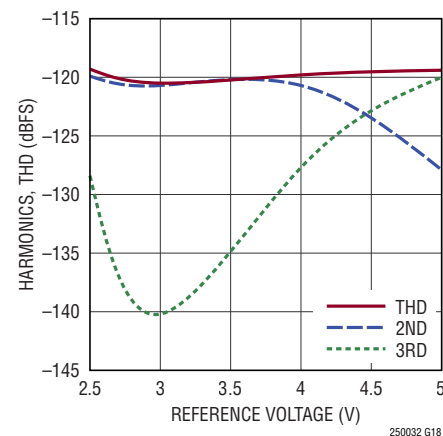
SNRおよびSINADと入力レベル、
 $(f_{IN} = 2\text{kHz})$



SNRおよびSINADと
 リファレンス電圧 ($f_{IN} = 2\text{kHz}$)



THDおよび高調波と
 リファレンス電圧 ($f_{IN} = 2\text{kHz}$)

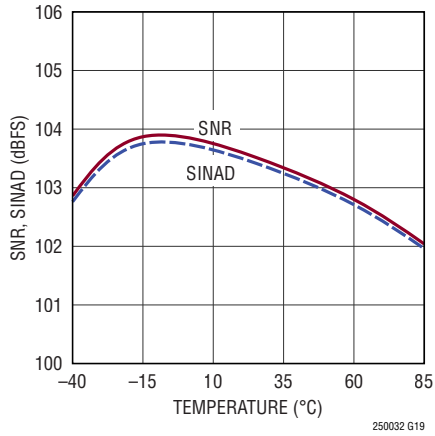


LTC2500-32

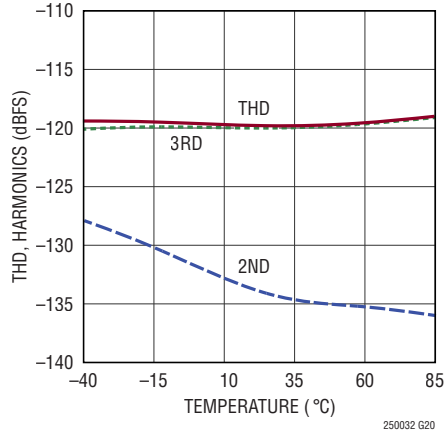
標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 2.5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、 $V_{CM} = 2.5\text{V}$ 、 $REF = 5\text{V}$ 、 $f_{SAMPL} = 1\text{Msps}$ 、待ち時間のない出力。

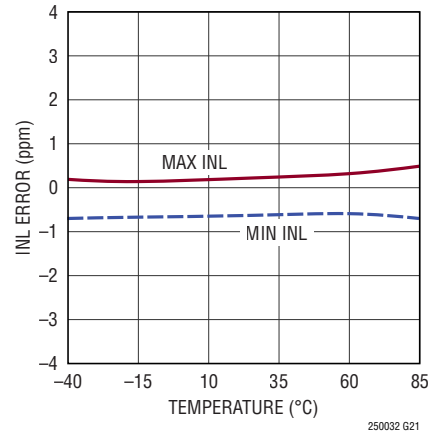
SNRおよびSINADと温度、 $f_{IN} = 2\text{kHz}$



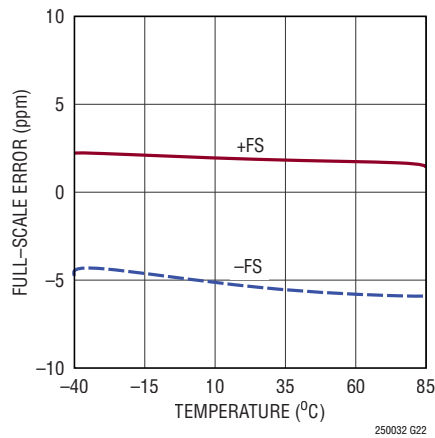
THD、高調波と温度、 $f_{IN} = 100\text{Hz}$



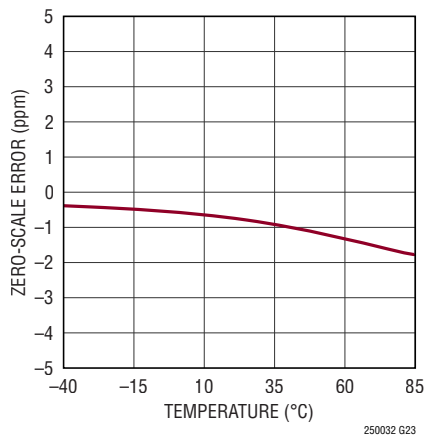
INLと温度



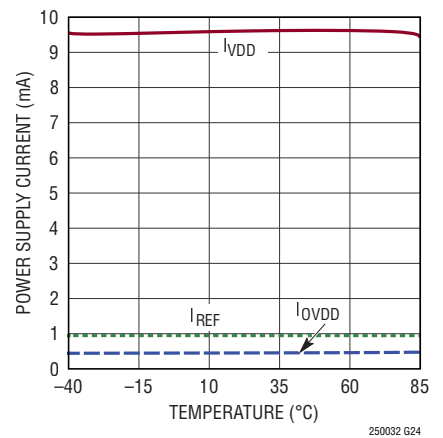
フルスケール誤差と温度



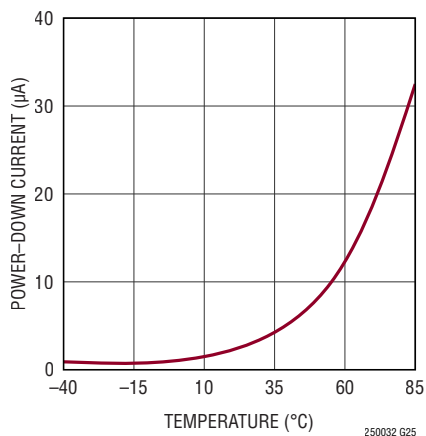
オフセット誤差と温度



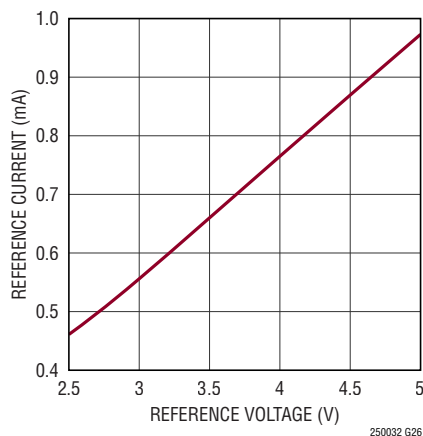
電源電流と温度



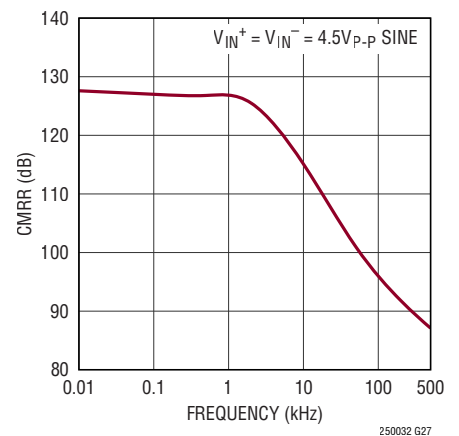
シャットダウン電流と温度



リファレンス電流とリファレンス電圧



CMRRと入力周波数



250032f

ピン機能

RDLA (ピン1) : 読み出し“L”入力A (フィルタ処理済み出力)。RDLAが“L”の場合、シリアル・データ出力A (SDOA)ピンがイネーブルされます。RDLAが“H”の場合、SDOAピンが高インピーダンス状態になります。ロジック・レベルは OV_{DD} によって決まります。

RDLB (ピン2) : 読み出し“L”入力B (待ち時間のない出力)。RDLBが“L”の場合、シリアル・データ出力B (SDOB)ピンがイネーブルされます。RDLBが“H”の場合、SDOBピンが高インピーダンス状態になります。ロジック・レベルは OV_{DD} によって決まります。

V_{DD} (ピン3) : 2.5V電源。 V_{DD} の範囲は2.375V~2.625Vです。 V_{DD} ピンは10 μ Fのセラミック・コンデンサを使ってGNDにバイパスします。

GND (ピン4、7、11、12、23、24) : グランド・ピン。

IN^+ (ピン5) : 正のアナログ入力。

IN^- (ピン6) : 負のアナログ入力。

REF (ピン8、9) : リファレンス入力。REFの範囲は2.5V~5.1Vです。このピンはGNDピンを基準にしており、47 μ Fのセラミック・コンデンサ (X7R、1210サイズ、10V定格)を使ってこのピンの近くでデカップリングします。

PRE (ピン10) : プリセット入力。PREを“H”に設定し、SDIピンを使用して、2つのプリセットされたデジタル・フィルタ・モードから選択します。PREを“L”に設定すると、構成ワードをSDIに入力することによって、デジタル・フィルタを構成できます。ロジック・レベルはREFによって決定され、REFの電圧範囲は2.5V~5.1Vです。

MCLK (ピン13) : マスター・クロック入力。この入力の立ち上がりエッジでデバイスが起動し、新しい変換が開始されます。ロジック・レベルは OV_{DD} によって決まります。

SYNC (ピン14) : 同期入力。この入力でのパルスは、デジタル・フィルタの位相を同期するために使用されます。SYNCパルスは、複数のデバイスにわたって入力された場合、全てのデバイスを同じ位相に同期します。ロジック・レベルは OV_{DD} によって決まります。

DRL (ピン15) : データ・レディ“L”出力。このピンでの立ち上がりエッジは、新しいフィルタ処理済み出力コードをSDOAの出力レジスタで使用できることを示します。ロジック・レベルは OV_{DD} によって決まります。

SDI (ピン16) : シリアル・データ入力。SCKAと同期してこのラインに入力されるデータは、デジタル・フィルタモードおよびDGC/DGEモードの設定に使用できます。SDIへの入力データは、SCKAの立ち上がりエッジでラッチされます。ロジック・レベルは OV_{DD} によって決まります。

SDOA (ピン17) : シリアル・データ出力A (フィルタ処理済み出力)。フィルタ処理済み出力コードが、SCKAの各立ち上がりエッジで (MSBを先頭にして) このピンに現れます。出力データの形式は2の補数形式です。ロジック・レベルは OV_{DD} によって決まります。

SCKA (ピン18) : シリアル・データクロック入力A (フィルタ処理済み出力)。SDOAがイネーブルされた場合、フィルタ処理済み出力コードが、このクロックの立ち上がりエッジで (MSBを先頭にして) シフト出力されます。ロジック・レベルは OV_{DD} によって決まります。

SCKB (ピン19) : シリアル・データ・クロック入力B (待ち時間のない出力)。SDOBがイネーブルされた場合、待ち時間のない出力コードが、このクロックの立ち上がりエッジで (MSBを先頭にして) シフト出力されます。ロジック・レベルは OV_{DD} によって決まります。

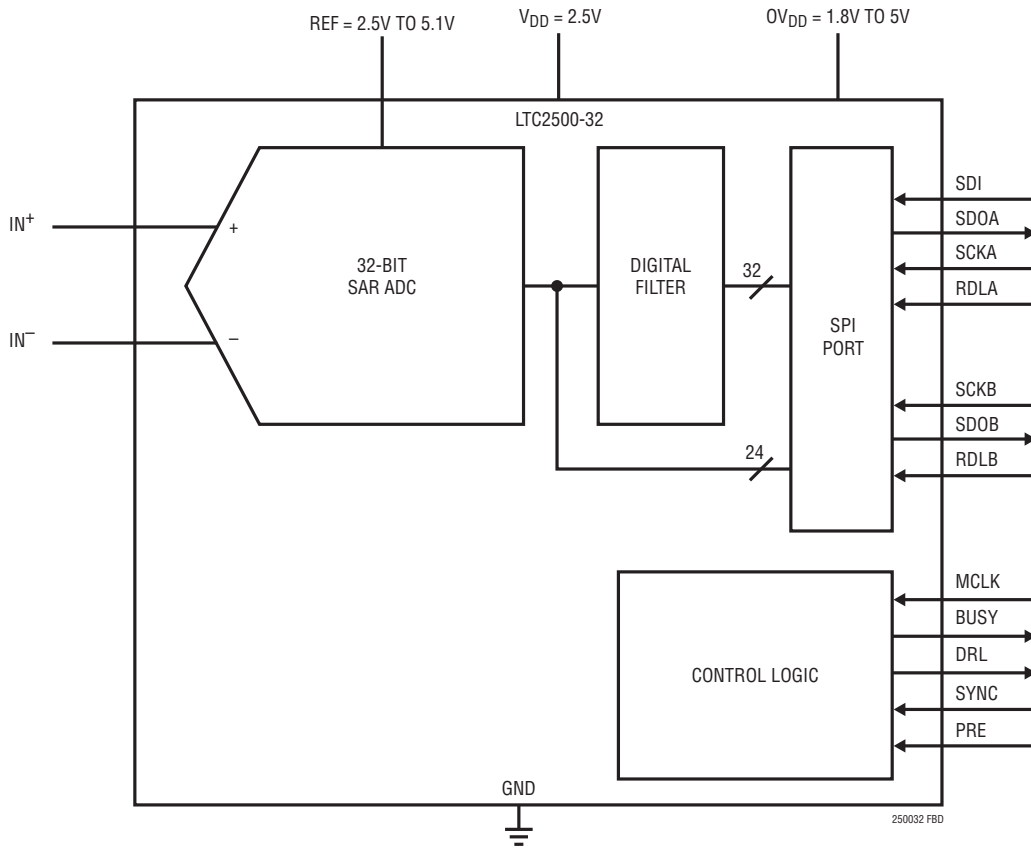
SDOB (ピン20) : シリアル・データ出力B (待ち時間のない出力)。32ビットの待ち時間のない複合出力コードが、SCKBの各立ち上がりエッジで (MSBを先頭にして) このピンに現れます。出力データの形式は2の補数形式です。ロジック・レベルは OV_{DD} によって決まります。

BUSY (ピン21) : BUSYのインジケータ。新しい変換の開始時に“H”になり、変換が終了すると“L”に戻ります。ロジック・レベルは OV_{DD} によって決まります。

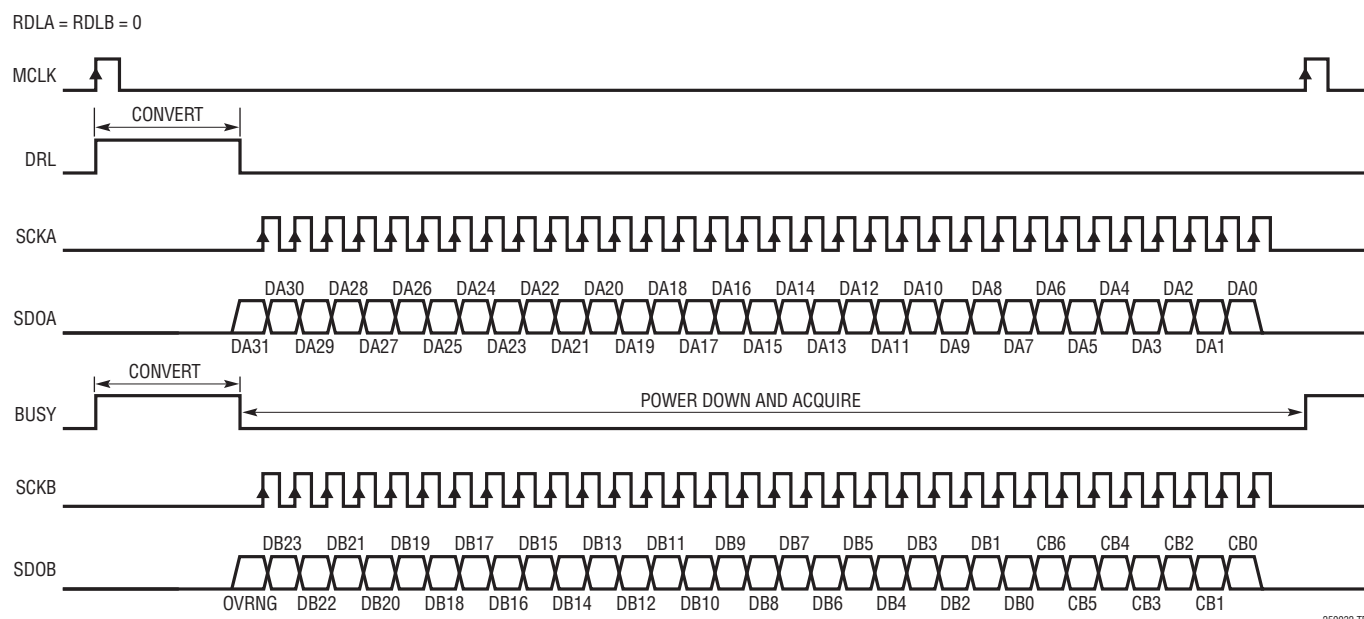
OV_{DD} (ピン22) : 入力/出力インタフェースのデジタル電源。 OV_{DD} の範囲は1.71V~5.25Vです。この電源は公称値がホストのインタフェースと同じ電源電圧に設定します (1.8V、2.5V、3.3V、または5V)。 OV_{DD} ピンは、0.1 μ Fのコンデンサを使ってGND (ピン23)にバイパスします。

GND (露出パッド・ピン25) : グランド。露出パッドはグランド・プレーンに直接半田付けする必要があります。

機能ブロック図



タイミング図



アプリケーション情報

概要

LTC2500-32は、構成可能なデジタル・フィルタを内蔵した低ノイズ、低消費電力の高性能32ビットA/Dコンバータです。LTC2500-32は単一2.5V電源で動作し、その完全差動入力電圧範囲は最大 $\pm V_{REF}$ で、 V_{REF} の範囲は2.5V～5.1Vです。LTC2500-32は、0V～ V_{REF} という広い同相範囲をサポートしており、アナログ・シグナル・コンディショニング要件を簡略化します。

LTC2500-32は、次の2つの出力コードを同時に提供します。(1) デジタルにフィルタリングされた32ビットの高精度低ノイズ・コード、および(2) 待ち時間のない32ビットの複合コード。構成可能なデジタル・フィルタは、SAR ADCコアからのデータのストリームに対してローパス・フィルタおよびダウンスamplingを実行することによって測定ノイズを低減し、フィルタリングされた32ビット出力コードを提供します。32ビット複合コードは、オーバーレンジ検出ビット、差動入力電圧を表す24ビット・コード、および同相入力電圧を表す7ビット・コードで構成されます。32ビット複合コードは、各変換サイクルで使用可能であり、待ち時間のサイクルがありません。

デジタル・フィルタは、SPI互換インタフェースを介して柔軟に構成可能であり、さまざまなアプリケーションに適した多くの異なるフィルタ・タイプを備えています。デジタル・ローパス・フィルタは、アナログ・アンチエイリアシングの要件を緩和します。SYNCピンを使用して、複数のLTC2500-32デバイスを簡単に同期できます。

コンバータの動作

LTC2500-32は2つのフェーズで動作します。収集フェーズでは、32ビット電荷再配分コンデンサD/Aコンバータ(CDAC)が IN^+ ピンと IN^- ピンに接続され、アナログ入力電圧がsamplingされます。MCLKピンの立ち上がりエッジにより変換が開始されます。変換段階では、32ビットCDACに対して逐次比較アルゴリズムが順番に実行され、samplingした入力をリファレンス電圧の2進重み付け分数(例： $V_{REF}/2$ 、 $V_{REF}/4$... $V_{REF}/4294967296$)と効率的に比較します。変換の最後に、CDACの出力はsamplingされたアナログ入力に近似します。その後、ADC制御ロジックが、さらに処理するために、32ビット・デジタル出力コードをデジタル・フィルタに渡します。LTC2500-32は、オーバーレンジ検出器も備えています。オーバーレンジ検出器ビットは、差動入力の電圧が $\pm V_{REF}$ を超えた場合に1のフラグが立てられ、変換サイクルごとに更新されます。1ビットのオーバーレンジ検出器ビット、差動電圧を表

す24ビット・コード、および同相電圧を表す7ビット・コードが結合されて、32ビット複合コードを形成します。32ビット複合コードは、各変換サイクルで使用可能であり、待ち時間のサイクルがありません。

伝達関数

LTC2500-32は $2 \times V_{REF}$ のフルスケール差動電圧を 2^{32} レベルにデジタル化するので、5VリファレンスではLSBの大きさは2.3nVになります。理想的な伝達関数を図2に示します。出力データは2の補数形式です。

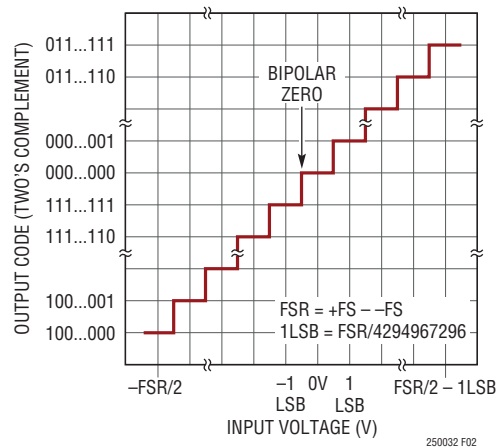


図2. LTC2500-32の伝達関数

アナログ入力

LTC2500-32は、広い同相入力範囲にわたって、アナログ入力ピン間の電圧差($IN^+ - IN^-$)をsamplingしながら、A/Dコンバータの同相除去比(CMRR)によって、両方の入力ピンに共通する不要な信号を減衰します。各ピンの電圧がGNDと V_{REF} の間に留まることを条件に、広い同相入力範囲を高いCMRRと組み合わせて、 IN^+/IN^- アナログ入力を、互いに任意の関係で振幅させることができます。この独自機能によって、LTC2500-32は、疑似差動単極性、疑似差動両極性、完全差動などのアナログ入力信号の従来のクラスを含むさまざまな信号振幅を受け入れることができ、それによって信号チェーン設計を簡略化します。

収集段階の各入力には、直列に接続されたsampling・スイッチのオン抵抗 $40\Omega (R_{ON})$ とsampling回路の容量約45pF (C_{IN})があります。収集の間に C_{IN} コンデンサを充電するとき、入力に電流スパイクが流れます。変換時にアナログ入力に流れるのはわずかな漏れ電流だけです。

アプリケーション情報

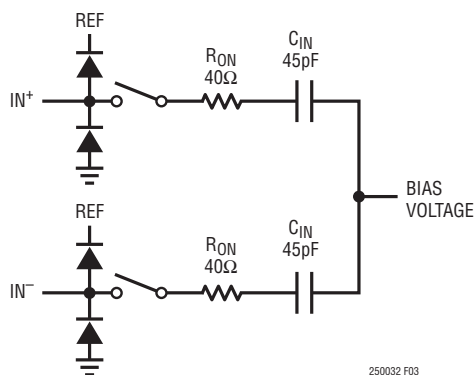


図3. LTC2500-32の差動アナログ入力の等価回路

入力駆動回路

信号源が低インピーダンスの場合は、利得誤差を発生することなく、LTC2500-32の高インピーダンス入力を直接駆動できます。高インピーダンスのソースは、収集時のセトリング時間を最小限に抑えるため、ADCの直線性を最適化するために、バッファリングする必要があります。最良の性能を得るには、バッファ・アンプを使用してLTC2500-32のアナログ入力を駆動する必要があります。このアンプは出力インピーダンスが低いので、収集段階ではアナログ信号の整定が高速になります。このアンプは、信号源とADCの入力を分離する役割も果たします。

ノイズと歪み

入力バッファ・アンプやその他の周辺回路のノイズと歪みは、A/Dコンバータのノイズと歪みに上乘せられるので、考慮する必要があります。入力信号にノイズが多い場合は、バッファ・アンプの前に低帯域幅のフィルタを使ってノイズを最小限に抑えます。多くのアプリケーションでは、図4に示す簡単な1ポールのRCローパス・フィルタ(LPF1)で十分です。

バッファとADC入力の間に結合フィルタ・ネットワーク(LPF2)を使って、サンプリングのトランジェントによるバッファへの影響を最小限に抑えます。アナログ入力のRC時定数が大きいと、アナログ入力のセトリング時間は長くなります。したがって、通常、LPF2にはLPF1より広い帯域幅が必要です。このフィルタは、バッファに起因するノイズを最小限に抑えるのにも役立ちます。ノイズ密度の低いバッファ・アンプを選択して、SNRの劣化を最小限に抑える必要があります。

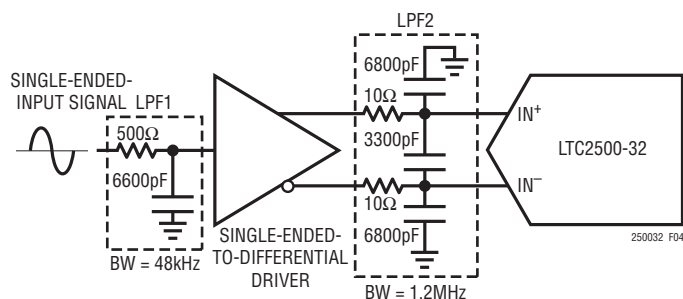


図4. LTC2500-32の差動アナログ入力の等価入力回路

RCフィルタのコンデンサと抵抗は歪みを大きくする可能性があるため、これらの部品は高品質のものを使用します。NPOタイプやシルバーマイカ・タイプの誘電体のコンデンサは優れた直線性を示します。表面実装カーボン抵抗は、自己発熱や半田工程で生じる損傷により歪みを生じることがあります。表面実装金属皮膜抵抗は、この2つの問題に対してはるかに耐性があります。

入力電流

LTC2500-32にアンプを結合する場合に重要な考慮事項は、各収集段階の開始時にA/Dコンバータの入りに流れる電流スパイクへの対処です。ADC入力は駆動回路のスイッチト・キャパシタ負荷としてモデル化できます。駆動回路の性能を決定する要素として、ADC入りに直付けした小さなフィルタ・コンデンサ C_{FILT} を使ったスイッチト・キャパシタの電流スパイクの減衰や、残りの外乱から回復するのに十分な帯域幅を持つドライバ・アンプが挙げられます。DC性能に対して最適化されたアンプには、ADCの最大変換レートで十分に回復するだけの帯域幅がない場合があるので、非直線性などの誤差を生じる可能性があります。結合フィルタ回路は3つの大きなカテゴリーに分類できます。

完全なセトリング – この場合の特長は、フィルタの時定数と、サンプリング期間よりかなり短い全セトリング時間です。収集が開始されると、結合フィルタが外乱を受けます。標準的な1次RCフィルタでは、外乱は指数関数的に減衰する初期ステップのように見えます。アンプは外乱に対して独自に応答するため、リングングを生じる可能性があります。入力が(LTC2500-32の精度の範囲内に)完全に落ち着くと、外乱は誤差に影響しなくなります。

アプリケーション情報

部分的なセトリング – この場合は、収集の開始によって結合フィルタの外乱が生じ、次いで、公称入力電圧に向けてセトリングを開始します。ただし、入力が最終値にセトリングする前に収集が終了し、変換が開始されます。通常、これにより利得誤差が生じますが、セトリングがリニアな限り、歪みは生成されません。結合フィルタの応答は、アンプの出力インピーダンスやその他のパラメータの影響を受けます。高速なスイッチト・キャパシタの電流スパイクに対するリニアなセトリング応答は、必ずしも高精度狭帯域アンプを想定したものではありません。結合フィルタは、電流スパイクの高周波エネルギーがアンプに達する前に、そのエネルギーを減衰させるのに役立ちます。

完全な平均化 – ADC入力の結合フィルタ・コンデンサ (C_{FILT}) がADCのサンプリング・コンデンサ (45pF) より容量が大幅に大きいと、サンプリング・グリッチが大きく減衰します。駆動アンプには実質的に非常に少ない平均サンプリング電流しか流れません。1Mspsでの等価入力抵抗は約22k Ω (図5参照)で、ほとんどの高精度アンプにとって安全な抵抗負荷です。ただし、結合フィルタのDC抵抗とADCの等価(スイッチト・キャパシタ)入力抵抗の間に抵抗性の分圧が生じることにより、利得誤差が生成される可能性があります。

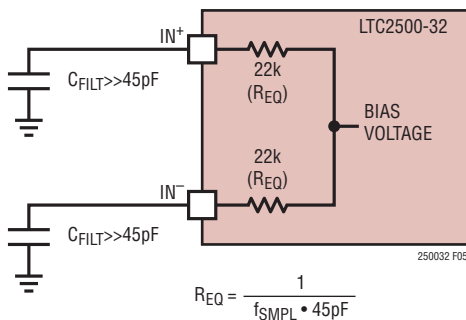


図5. LTC2500-32の差動アナログ入力の等価回路 (1Msps)

入力漏れ電流は信号源インピーダンスによって余計な入力電圧誤差に変換されるので、入力駆動回路を設計するときには、LTC2500-32の入力漏れ電流も考慮する必要があります。一般に、同相と差動のどちらの入力漏れ電流も、全動作温度範囲にわたってきわめて小さな値になります。図6に、標準的なデバイスの温度に対する入力漏れ電流を示します。

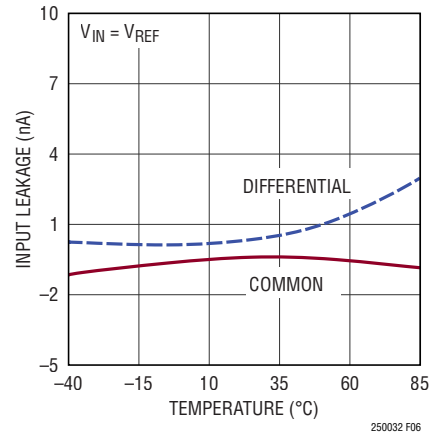


図6. 同相および差動入力リーク電流と温度

R_{S1} と R_{S2} を図7に示す差動入力駆動回路のソース・インピーダンスとし、 I_{L1} と I_{L2} をADCのアナログ入力から流れ出す漏れ電流とします。漏れ電流による差動電圧誤差(V_E)は次式のように表すことができます。

$$V_E = \frac{R_{S1} + R_{S2}}{2} \cdot (I_{L1} - I_{L2}) + (R_{S1} - R_{S2}) \cdot \frac{I_{L1} + I_{L2}}{2}$$

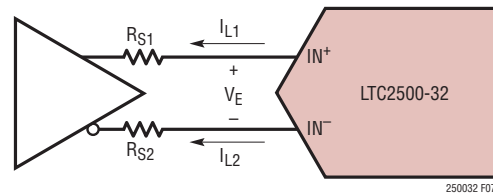


図7. ドライバの信号源インピーダンスおよびLTC2500-32の入力漏れ電流

一般に、同相入力の漏れ電流($(I_{L1} + I_{L2}) / 2$)は、全動作温度範囲と同相入力電圧範囲にわたってきわめて小さな値になります(図6)。したがって、ソース・インピーダンス R_{S1} および R_{S2} にある程度のばらつき(5%未満)があっても、ごくわずかな誤差にしかなりません。差動入力の漏れ電流も一般に非常に小さく、その非線形成分はさらに小さくなります。ADCの直線性に影響を与えるのは非線形成分だけです。

アプリケーション情報

最適な性能を得るには、ソース・インピーダンス (R_{S1} および R_{S2}) を許容誤差が1%で $5\Omega \sim 50\Omega$ の範囲にすることを推奨します。この範囲のソース・インピーダンスでは、 R_{S1} と R_{S2} の電圧係数と温度係数は一般に重要ではありません。保証されたAC性能とDC性能は 5Ω のソース・インピーダンスでテストされたものですが、これらの性能は、セトリングが不完全であるためにソース・インピーダンスが増加することにより徐々に低下します。

任意のアナログ入力信号

各ピンの電圧が V_{REF} と GND の間に留まることを条件に、LTC2500-32の広い同相入力範囲と高いCMRRにより、アナログ入力の IN^+ ピンおよび IN^- ピンを、互いに任意の関係で振幅させることができます。この独自機能によって、LTC2500-32はさまざまな信号振幅を受け取ることができ、信号チェーン設計を簡略化します。

AC入力信号のバッファ

高帯域幅の入力信号をバッファする場合、図8aに示すように、2個のユニティゲイン・バッファとして構成したLT6203を使用して、LTC2500-32を駆動することを推奨します。LT6203は、高速セトリング特性と優れたDC直線性を兼ね備えた上に、 $1.9nV/RT$ (Hz) の入力換算ノイズ密度を実現しており、図8bのFFTのグラフで示すように、A/Dコンバータのデータシートに示すSNRとTHDの規格値を全て満たすことができます。

最大差動入力駆動を使用したSNRの最大化

SNRを最大化するには、入力信号振幅を最大化する必要があります。 $V_{REF}/2$ の同相電圧を持つ完全差動信号が、入力信号振幅を最大化します。図8aの回路は、そのような信号をバッファできます。

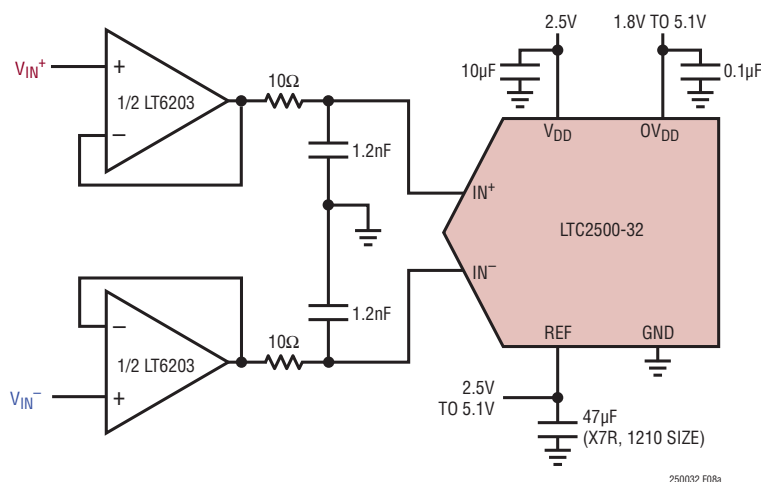


図8a. 2つのシングルエンド・アナログ入力信号のバッファ

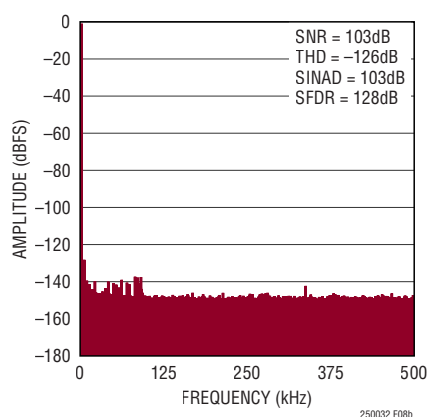


図8b. 図8aに示す回路の128kポイントのFFTプロット ($F_{IN} = 2kHz$)

アプリケーション情報

入力信号が $V_{REF}/2$ の同相電圧を持たないか、シングルエンドである場合、LTC6363 差動アンプを LT5400-4 高精度抵抗と共に使用して、 $V_{REF}/2$ の同相電圧を持つ完全差動信号を生成できます。図 9a に、 $\pm 5V$ シングルエンドの真の両極性入力信号をバッファし、レベルシフトし、シングルエンドから差動への変換を実行する LTC6363 を示します。図 9b の FFT は、このドライバ・ソリューションを使用してデータシートに近い性能が得られることを示しています。ここでは示されていませんが、信号を増幅または減衰して LTC2500-32 のフルスケール入力範囲に整合するように LTC6363 を構成することもできます。

DC 入力信号のバッファ

LTC2500-32 は、優れた INL 性能を備えています。これによって LTC2500-32 は、オフセットやオフセット・ドリフトなどのパラメータを含めて高い DC 精度を必要とするアプリケーションにとって理想的になります。DC 信号チェーン全体にわたって高い精度を維持するには、きわめて慎重にアンプを選択する必要があります。利得が -1 になるように構成されたアンプに対

して 1ppm の直線性を保証するには、126dB 以上の大信号開ループ利得を必要とする場合があります。ただし、アンプの利得特性が(ほとんど)リニアなことが分かっているならば、これより低い利得でも構いません。ユニティゲインのバッファとして構成されるアンプの場合、アンプのオフセットと信号レベルの関係を考慮する必要があります。例えば、1ppm の直線性を保証するには、5V の振幅に対してオフセットが $5\mu V$ より小さい値まで変動することが分かっている場合がありません。ただし、オフセットと信号レベルの関係が(ほとんど)リニアなことが分かっているならば、これより大きなオフセット変動が許容可能です。ユニティゲインのバッファ・アンプが最高の性能を得るには、一般に、電源レールに対してかなりの余裕を必要とします。アンプの入力端子の振幅を最小限に抑えるように構成された反転アンプの回路は、ユニティゲインのバッファ・アンプより少ないヘッドルームで良好に動作することが可能です。DC 精度を保証するには、反転アンプの帰還ネットワークの直線性と熱特性を十分に考慮する必要があります。

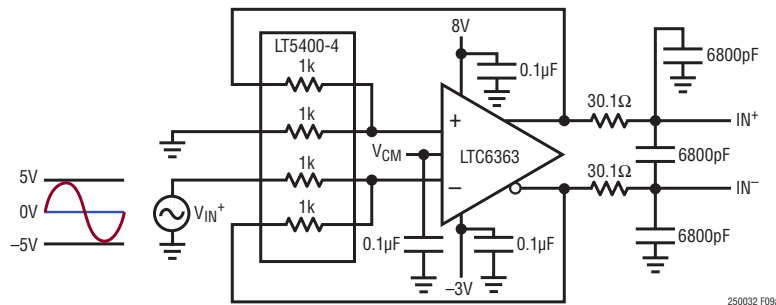


図 9a. $\pm 5V$ 真の両極性入力信号のバッファおよび完全差動入力への変換

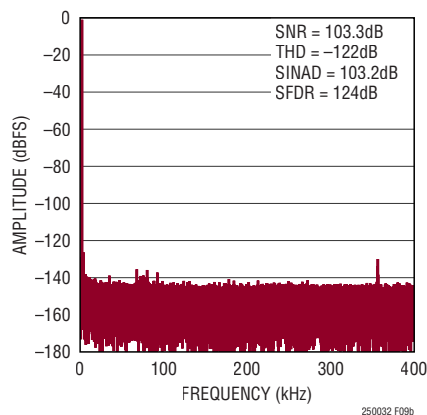


図 9b. 図 9a に示す回路の 128k ポイントの FFT プロット ($F_{IN} = 2kHz$, $f_{SAMPL} = 800ksps$)

アプリケーション情報

図10に、LTC2057を使用して2つのシングルエンド・アナログ入力電圧がバッファされる標準的なアプリケーションを示します。LTC2057は、LTC2500-32の低いオフセットおよびオフセット・ドリフトを補完する高精度のゼロ・ドリフト・アンプです。LTC2057は、非反転アンプ構成で示されています。LTC2500-32の保証最大オフセット誤差は $130\mu\text{V}$ (標準的なドリフトは $\pm 0.007\text{ppm}/^\circ\text{C}$)であり、保証最大フルスケール誤差は 150ppm (標準的なドリフトは $\pm 0.05\text{ppm}/^\circ\text{C}$)です。校正されたシステムで広い温度範囲にわたって精度を維持するには低ドリフトが重要です。

シングルエンドのアナログ入力信号のバッファ

図8aおよび図10に示す回路はシングルエンド入力信号をバッファできますが、シングルエンド信号のリファレンス・レベルが本質的に低インピーダンスであり、バッファを必要としない場合、図11に示す回路の方が適切です。この回路は、1つのドライバおよびローパス・フィルタを不要にして、部品数と電力損失を低減し、ドライバのノイズに起因するSNRの低下を抑えます。

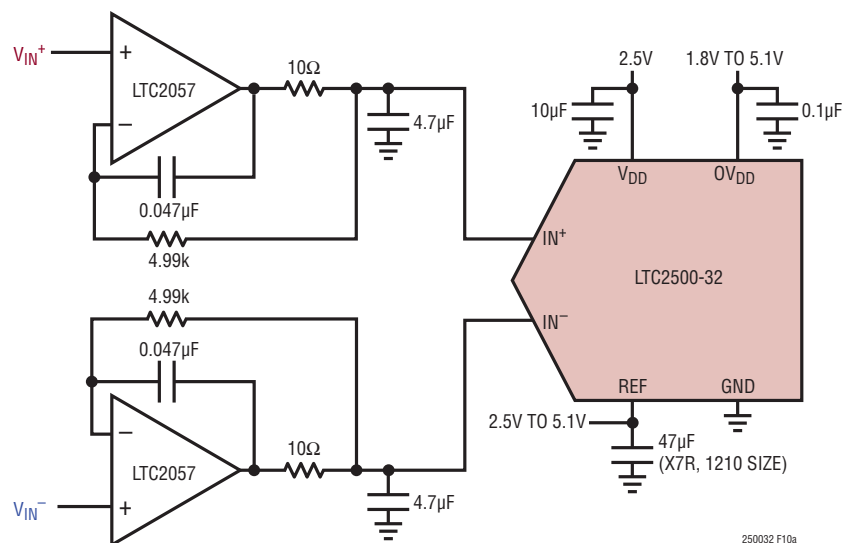


図10. 2つのシングルエンド DC アナログ入力信号のバッファ

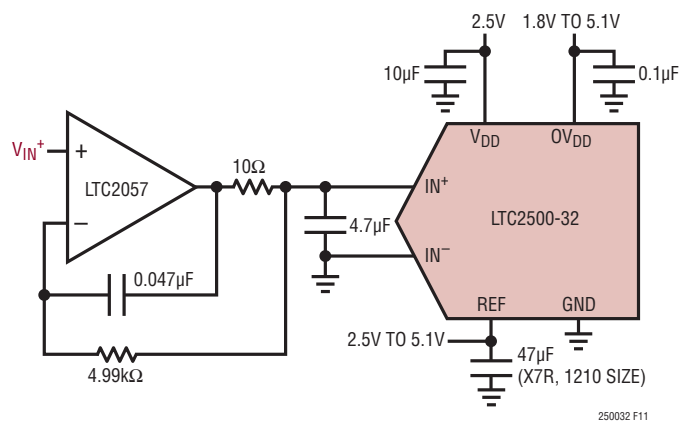


図11. シングルエンド信号のバッファ

アプリケーション情報

単一電源動作でのデジタル利得圧縮の使用

LTC2500-32はデジタル利得圧縮(DGC)機能を備えており、フルスケールの入力振幅を $\pm V_{REF}$ アナログ入力範囲の10%~90%に定めます。この機能により、各入力振幅は図12に示すように0.5V~4.5Vとなるので、フルスケールの出力コードを維持しながら、SAR ADCドライバを単一の正電源で動作させることができます。SAR ADCドライバへの給電に必要なのは1つの正電源だけなので、ADCドライバ用の負電源が存在する従来のシステムと比べて、システム全体の消費電力を一層削減できます。

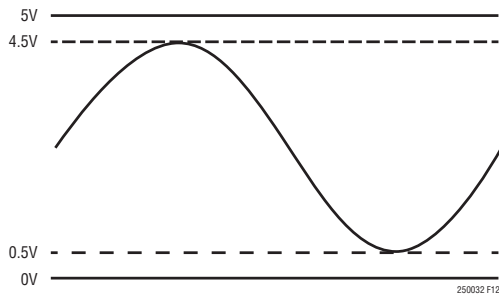


図12. 利得圧縮機能をイネーブリングした際のLTC2500-32の入力振幅

DGC機能をイネーブリングすると、5V単電源から給電される低消費電力のLTC6362差動ドライバでLTC2500-32を駆動できます。デジタル利得圧縮機能がイネーブリングされているとき、LTC6362が $\pm 3.28V$ の真の両極性シングルエンド入力信号を受け付け、その信号をLTC2500-32の狭められた入力範囲にレベルシフトするように構成する方法を図13aに示します。

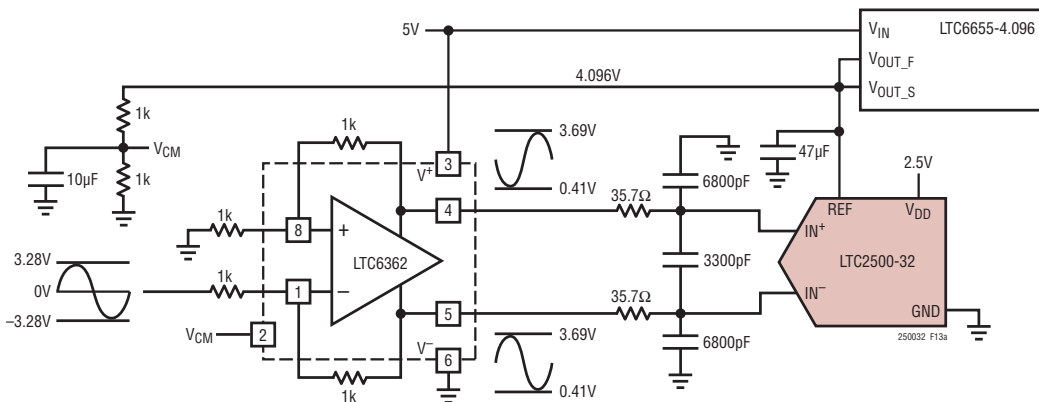


図13a. LTC2500-32でデジタル利得圧縮機能がイネーブリングされているときに、5V単電源で動作しながら $\pm 3.28V$ の入力信号を受け付けるように構成されたLTC6362

さらにリファレンスとしてLTC6655-4.096を使用すると、信号チェーン・ソリューション全体が5V単電源から給電可能となり、消費電力が最小限に抑えられて複雑さが緩和されます。図13bのFFTに示すように、5V単電源のソリューションは最大100dBのSNRを達成可能です。DGC機能をイネーブリングするには、構成ワードでDGC (C[9])を1に設定します。同相出力もDGC機能の対象になり、それによって入力と同相電圧を0.5V~4.5Vに制限します。

システム較正でのデジタル利得拡大の使用

LTC2500-32は、デジタル出力コードが飽和する前に、フルスケールの差動入力振幅が $\pm V_{REF}$ のアナログ入力範囲を0.78%を超えることができるようにする、デジタル利得拡大(DGE)機能を提供します。これは、デジタル出力コードの飽和を引き起こすフルスケールの入力電圧の測定が必要になる場合があるシステム較正で役立ちます。DGE機能をイネーブリングするには、構成ワードでDGE (C[8])を1に設定します。

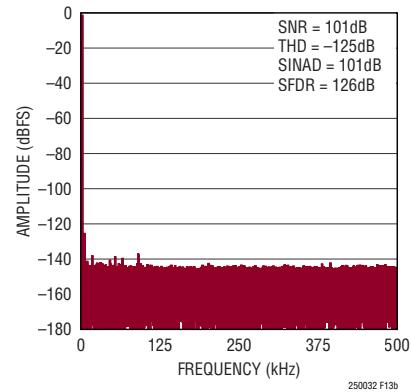


図13b. 図13aに示す回路の128kポイントのFFTプロット ($f_{IN} = 2kHz$)

アプリケーション情報

表 1. 異なる DGC および DGE 条件での理想的な出力コードと入力信号

DGC	DGE	アナログ入力電圧 ($V_{IN^+} - V_{IN^-}$)	DOUTA (32ビット)	DOUTB (24ビット)
OFF	OFF	$\geq V_{REF}$	7FFFFFFh	7FFFFFFh
		$\leq -V_{REF}$	8000000h	800000h
	ON	$\geq 1.0078 \times V_{REF}$	407FFFFFFh	407FFFh
		V_{REF}	3FFFFFFFh	3FFFFFFh
		$\leq 1.0078 \times V_{REF}$	BF800000h	BF8000h
ON	OFF	$\geq 0.8V_{REF}$	7FFFFFFFh	7FFFFFFh
		$\leq -0.8V_{REF}$	80000000h	800000h
	ON	$\geq 0.80624V_{REF}$	407FFFFFFh	407FFFh
		$0.8V_{REF}$	3FFFFFFFh	3FFFFFFh
		$\leq 0.80624V_{REF}$	BF800000h	BF8000h

図 14 に、DGE=0 および DGE=1 での A/D コンバータの伝達関数を示します。フルスケールの $\pm V_{REF}$ のアナログ入力範囲では、DGE=0 が A/D コンバータの公称伝達関数です。フルスケー

ルの $\pm V_{REF}$ のアナログ入力は、デジタル出力コード $\pm D_{FS}/2$ にそれぞれ対応し、出力コードがフィルタ処理済み出力から読み出すのか、それとも待ち時間のない出力から読み出すのかに応じて、 D_{FS} は 2^{32} または 2^{24} に等しくなります。DGE が 1 の場合、フルスケールのアナログ入力範囲は $\pm 1.0078 \times V_{REF}$ が増えます。アナログ入力範囲の増加に対応するために、デジタル出力は 2 の係数で割られます。したがって、 $\pm 1.0078 \times V_{REF}$ のアナログ入力範囲は、 $\pm 1.0078 \times D_{FS}/4$ のデジタル出力コードに対応します。表 1 に、DGC をオフにした異なる DGE 条件での入力電圧およびそれらに対応する理想的なデジタル出力コードをまとめています。同相出力は DGE の影響を受けないことに注意してください。

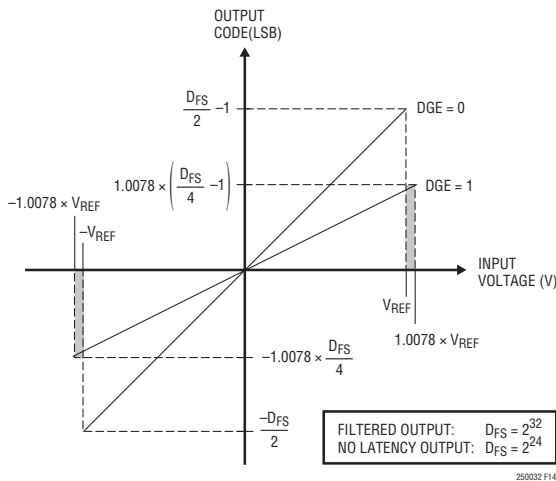


図 14. A/D コンバータの伝達関数 (DGE = 0 および DGE = 1)

図 15 に、DGE 機能の使用例を示します。この例では、理想的な差動アンプが LTC2500-32 を駆動しています。帰還抵抗には $\pm 0.1\%$ の許容誤差があり、REF を駆動するリファレンス電圧は、 $\pm 0.025\%$ の許容誤差を含む 5V リファレンスです。図に

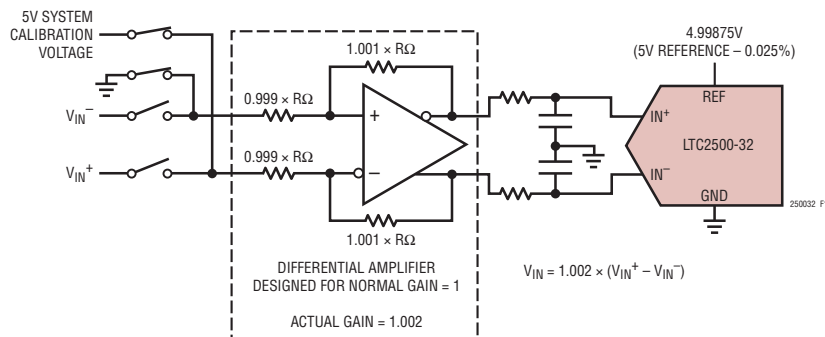


図 15. 0.1% 精度の抵抗を含む理想差動アンプによって駆動される LTC2500-32

アプリケーション情報

示されているように、各抵抗が一致せず、リファレンス電圧が規定された範囲の下限である実際のケースでは、5Vのシステム較正電圧を印加すると、A/Dコンバータへのアナログ入力電圧は、5Vより0.225%高い電圧(つまり、5.01125V)になります。DGEが0の場合、この入力電圧はLTC2500-32のデジタル出力コードを飽和させます。ただし、DGEが1の場合、出力コードは飽和せず、理想的でないことに起因する利得誤差を測定して較正することができます。

DGCとDGEの同時使用

LTC2500-32では、DGC機能とDGE機能を同時に動作させることができます。DGC機能をオンにし、DGE機能をオフにした場合、入力電圧範囲は $\pm 0.8V_{REF}$ に制限されます。DGEとDGCの両方をオンにした場合、この入力電圧範囲は0.78%増加し、それによって入力電圧範囲が $\pm 0.8V_{REF} \times 1.0078$ (つまり、 $\pm 0.80624V_{REF}$)になります。表1に、この動作モードでの入力電圧およびそれらに対応する理想的なデジタル出力コードもまとめています。

A/Dコンバータのリファレンス

外部リファレンスは、LTC2500-32の入力範囲を定義します。このA/Dコンバータのデータシートで規定されている性能を完全に実現するには、低ノイズ、低温度ドリフトのリファレンスが不可欠です。リニアテクノロジーでは、さまざまなアプリケーションの要求を満たすように設計された高性能リファレンスを取り揃えております。LTC6655-5は、小型、低消費電力、高精度なので、LTC2500-32と組み合わせて使用するのに特に適しています。LTC6655-5の初期精度は0.025%(最大)、温度係数は2ppm/°C(最大)で、高精度アプリケーションに適しています。

LTC6655-5のバイパス・コンデンサを選択する際には、コンデンサの電圧定格、温度定格、パッケージ・サイズを慎重に検討する必要があります。電圧定格と温度定格が大きい、物理的に大きなコンデンサは、実効容量が大きくなり、LTC6655-5

のノイズの除去が良好になる傾向があるので、結果として高いSNRを促進します。そこで、LTC6655-5をREFピンの近くに配置した47 μ Fのセラミック・コンデンサ(X7R、1210サイズ、10V定格)でバイパスすることを推奨します。

LTC2500-32のREFピンは、各変換サイクルの間47 μ Fのバイパス・コンデンサから電荷(Q_{CONV})を引き寄せます。リファレンスはこの電荷を平均電流($I_{REF} = Q_{CONV}/t_{CYC}$)で補充します。REFピンから流れる電流(I_{REF})はサンプリング・レートと出力コードに依存します。LTC2500-32が信号を一定の割合で連続的にサンプリングする場合、LTC6655-5は全コード範囲にわたってリファレンス電圧の偏差を0.5ppm未満に保ちます。

アイドル時には、LTC2500-32のREFピンには微小な漏れ電流(1 μ A未満)が流れるだけです。図16に示すように、長時間のアイドル状態の後、集中的にサンプリングされるアプリケーションでは、 I_{REF} は短時間で約0 μ Aから最大1mA(1Msps)になります。この平均電流のステップにより、リファレンスのトランジェント応答が発生します。リファレンスの出力電圧のどのような偏差も出力コードの精度に影響を与えるので、このトランジェント応答を考慮する必要があります。リファレンスのトランジェント応答が重要なアプリケーションにも、高速でセトリングするLTC6655-5リファレンスを推奨します。

リファレンス・ノイズ

A/Dコンバータのダイナミックレンジは、ダウンサンプリング係数(DF)が4倍増加するごとに約6dB増加します。SNRも、同じようにDFの関数として向上します。ただし、フルスケールに近い大入力信号の場合、リファレンス・ノイズがDFの増加に伴うSNRの向上を制限します。これは、REFピンでのノイズが入力信号の基本周波数の周辺を変調するからです。したがって、特に入力信号振幅がフルスケールに近づく場合、低ノイズのリファレンスを使用することがきわめて重要になります。小入力信号の場合、このセクションで最初に説明したように、ダイナミックレンジが向上します。

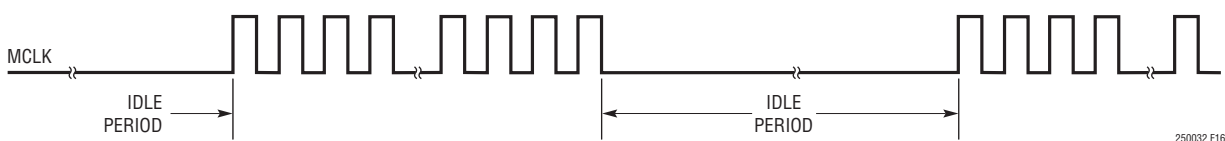


図16. 集中的なサンプリングを示すMCLKの波形

アプリケーション情報

ダイナミック性能

A/Dコンバータの周波数応答、歪み、およびノイズを定格のスループットでテストするには、高速フーリエ変換(FFT)の手法を使用します。低歪みの正弦波を入力し、そのデジタル出力をFFTアルゴリズムを使って解析することにより、基本波の外側の周波数に関してADCのスペクトラム成分を調べることができます。LTC2500-32のAC歪みの測定値とノイズの測定値は、保証されたテスト済みの限界値です。

ダイナミックレンジ

ダイナミックレンジは、 $V_{REF}/2$ に短絡された入力で測定された全RMSノイズに対する、フルスケール入力のRMS値の比です。LTC2500-32の32ビットADCコアのダイナミックレンジは、104dBです。フィルタ処理済み出力のダイナミックレンジは、ダウンサンプリング係数が4倍増加するごとに6dB改善します。

信号対ノイズ+歪み比(SINAD)

信号対ノイズ+歪み比(SINAD)は、基本入力周波数のRMS振幅とA/Dコンバータ出力での他の全ての周波数成分のRMS振幅の比です。出力の帯域は、DCより高くサンプリング周波数の半分より低い周波数に制限されます。図17は、LTC2500-32の32ビットADCコアが2kHzの入力、1MHzのサンプリング・レートで標準のSINADである104dBを達成していることを示しています。

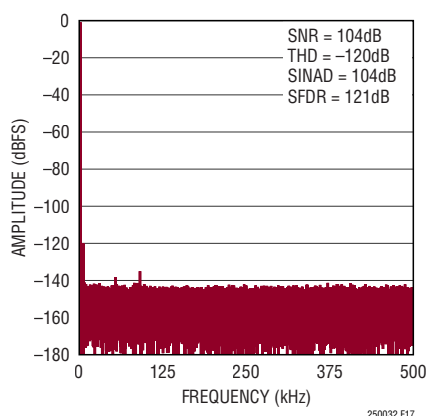


図17. LTC2500-32の128kポイントのFFTのグラフ
($f_{IN} = 2\text{kHz}$ および $f_{SAMPL} = 1\text{MHz}$)

信号対ノイズ比(SNR)

信号対ノイズ比(SNR)は、基本入力周波数のRMS振幅と、1次から5次までの高調波とDCを除く他の全ての周波数成分のRMS振幅の比です。図17は、LTC2500-32の32ビットADCコアが、1MHzのサンプリング・レートで2kHzの入力をサンプリングする場合に、104dBのSNRを達成していることを示しています。

全高調波歪み(THD)

全高調波歪み(THD)は、入力信号の全ての高調波のRMS値の合計と基本波のRMS値との比です。帯域外高調波は、DCとサンプリング周波数の半分($f_{SAMPL}/2$)の間の周波数帯域で折り返しエラーを生じます。THDは次のように表されます。

$$\text{THD} = 20\log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_N^2}}{V_1}$$

ここで、 V_1 は基本周波数のRMS振幅で、 $V_2 \sim V_N$ は2次～N次の高調波の振幅です。

電源に関する検討事項

LTC2500-32には、2.5V電源(V_{DD})およびデジタル入力/出力インタフェース電源(OV_{DD})という2つの電源ピンがあります。柔軟性の高い OV_{DD} 電源により、LTC2500-32は、2.5Vや3.3Vのシステムなど、1.8V～5Vで動作するどのようなデジタル・ロジックとも通信することができます。

電源シーケンシング

LTC2500-32には電源シーケンシングに関する特別な要件はありません。「絶対最大定格」のセクションに記載されている最大電圧の関係を遵守するよう注意する必要があります。LTC2500-32は、最初の起動時、または電源電圧が1Vより低くなったとき必ずLTC2500-32をリセットするパワーオン・リセット(POR)回路を備えています。電源電圧が公称電源電圧範囲に戻ると、PORはADCを再初期化します。再初期化の期間が確実に終了するように、PORイベントの200 μs 後までは変換を開始しないようにします。この時点より前に変換を開始すると、結果は無効になります。

アプリケーション情報

タイミングと制御

MCLKのタイミング

MCLKの立ち上がりエッジでLTC2500-32が起動し、変換を開始します。いったん変換が開始されると、その変換が完了するまで、それ以上のMCLKの遷移は無視されます。最高の結果を得るには、MCLKの立ち下がりエッジが、変換開始後40ns以内または変換完了後に発生するようにします。最適な性能を得るには、MCLKをノイズのない低ジッタの信号で駆動します。A/Dコンバータの状態はBUSY出力で示され、変換の進行中はBUSY出力が“H”に保たれます。変換が完了すると、LTC2500-32は消費電力が低下して入力信号の収集を開始します。

内部変換クロック

LTC2500-32には、660nsの最大変換時間を達成するように調整されている内部タイミング回路があります。最大サンプリング・レートは1Mspsであり、外部調整なしに、327nsの最小収集時間が保証されています。

自動パワーダウン

LTC2500-32は変換完了後に自動的にパワーダウンし、MCLKの立ち上がりエッジで新しい変換が開始されるとパワーアップします。パワーダウン中に、最後の変換で得られたデータをクロックアウトすることができます。パワーダウン中の電力損失を最小に抑えるには、SDOA、SDOBをディセーブルし、SCKA、SCKBをオフします。自動パワーダウン機能によって、サンプリング・レートが減少したのと同様に、LTC2500-32の電力損失が減少します。電力が消費されるのは変換中だけなので、LTC2500-32は、サンプリング・レートが低いほど、変換サイクル(t_{CYC})中に低消費電力状態に留まる割合が大きくなり、そのため平均電力損失は図18に示すようにサンプリング・レートに比例して減少します。

デシメーション・フィルタ

多くのA/Dコンバータ・アプリケーションは、デジタル・フィルタ手法を使用してノイズを低減します。FPGAまたはDSPでは、通常、デジタル・フィルタを実装する必要があります。

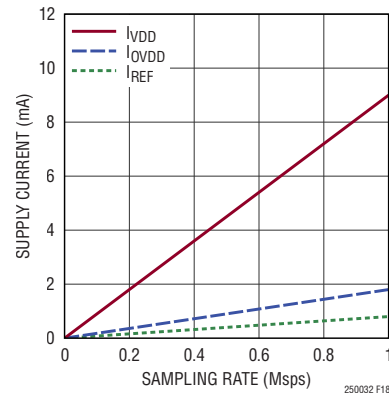


図18. LTC2500-32の電源電流とサンプリング・レート

LTC2500-32は、外部ハードウェアなしでさまざまなフィルタ機能を提供する柔軟に構成可能なデシメーション・フィルタを内蔵しており、これによってアプリケーションのソリューションを簡略化します。図19に、LTC2500-32のデジタルにフィルタ処理される出力信号経路を示します。ここでは、32ビットSAR ADCコアの出力 $D_{ADC}(n)$ が、内蔵デシメーション・フィルタに送られます。

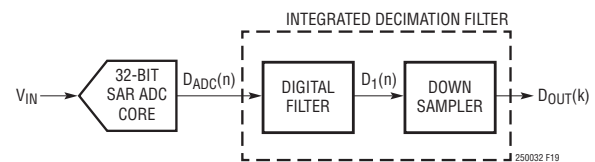


図19. LTC2500-32のデジタルにフィルタ処理される出力信号経路

デジタル・フィルタ

LTC2500-32の入力は、 f_{SMPL} のレートでサンプリングされ、デジタル・ワード $D_{ADC}(n)$ がこのレートでデジタル・フィルタに送信されます。32ビットSAR ADCコアからのノイズは、DC～ $f_{SMPL}/2$ の周波数で不均一に分布します。図20に、SAR ADC



図20. SAR ADCコア出力の周波数スペクトル

アプリケーション情報

コアの出力での $D_{ADC}(n)$ の周波数スペクトルを示します。この例では、対象の f_B の帯域幅は、 $f_{SAMPL}/2$ のほんの一部になります。

LTC2500-32 に内蔵されたデジタル・フィルタは、帯域外のノイズ電力を抑制し、それによってノイズ全体を低減し、ダイナミックレンジ (DR) を増やします。フィルタの帯域幅が低下するほど、ノイズが低下して DR が増えます。図 21 に、デジタル・フィルタの出力での $D_1(n)$ の対応する周波数スペクトルを示します。ここで、カットオフ周波数を超えるノイズがデジタル・フィルタによって抑制されています。

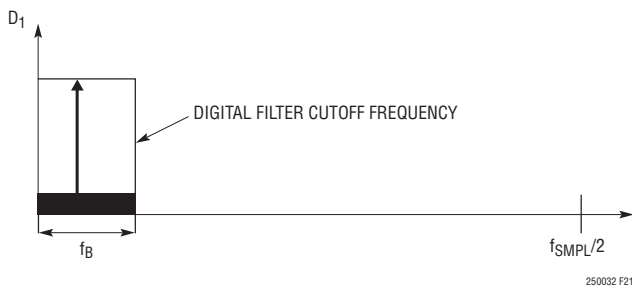


図 21. デジタル・フィルタ・コア出力の周波数スペクトル

ダウンサンプリング

デジタル・フィルタの出力データ・レートは、対象の帯域幅内でスペクトル干渉を生じることなく、ダウンサンプラーによって減少します。

ダウンサンプラーは、DF 番目のサンプルごとに、サンプルを出力に渡し、その他のサンプルを破棄することによって、データ・レートを減らします。ダウンサンプラーの出力でのサンプリング周波数 f_0 は、 f_{SAMPL} と DF の比 (つまり、 $f_0 = f_{SAMPL}/DF$) になります。DF は、デジタル・インタフェースを介して調整可能であり、フィルタの帯域幅をアプリケーションに合わせて調整することができます。

エイリアシング

サンプリングされる信号が持つことができ、サンプリングされる信号をサンプルによって正確に表すことができる最大帯域幅は、ナイキスト帯域幅です。ナイキスト帯域幅の範囲は、DC からサンプリング周波数の 1/2 (ナイキスト周波数とも呼ばれる) までです。ナイキスト周波数を超える帯域幅を持つ入力信号には、サンプリングされたときに、エイリアシングと呼ばれる効果に起因する歪みが発生します。

エイリアシングが発生すると、ナイキスト周波数よりも大きい周波数成分は、周波数がシフトして、ナイキスト帯域幅内に現れ

ます。図 22 に、時間領域内でのエイリアシングを示します。実線は、ナイキスト周波数 ($f_0/2$) よりも大きい周波数の正弦波入力信号を示しています。円は、 f_0 でサンプリングされた信号を示しています。サンプリングされた信号が、点線で示されたより低い周波数の別の正弦波入力信号のサンプリングと同じであることに注意してください。エイリアシングを避けるために、サンプリングする前に、入力信号の帯域幅をナイキスト帯域幅に制限する必要があります。ナイキスト帯域幅の外のスペクトル成分を抑制するフィルタは、アンチエイリアシング・フィルタ (AAF) と呼ばれます。

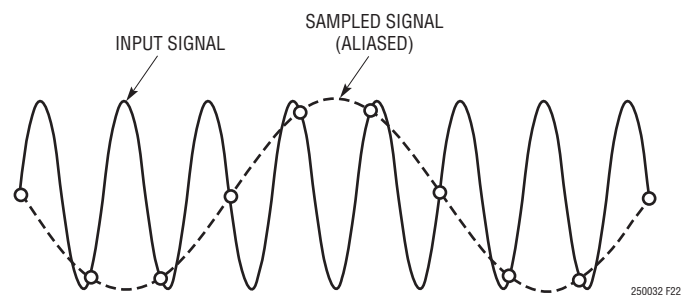


図 22. エイリアシングの時間領域の表示

アンチエイリアシング・フィルタ

図 23 に、 f_0 のレートでのローパス AAF および ADC サンプリングを含んでいる標準的な信号チェーンを示します。AAF は、 $f_0/2$ を超える入力信号成分を除去し、それによってエイリアシングを防ぎます。対象の帯域幅が $f_0/2$ に近い場合、AAF にはきわめて急峻なロールオフが存在する必要があります。アナログ AAF の複雑さは、ロールオフの急峻さとともに増大するため、きわめて急峻なフィルタが必要になる場合は、高価になることがあります。

代替として、単純な低次のアナログ・フィルタをデジタル・フィルタと組み合わせて使用して、きわめて急峻なロールオフを持つ混合モード等価 AAF を作成することができます。混合モード・フィルタの実装を図 24 に示します。ここで、緩やかなロールオフを持つアナログ・フィルタの後に、 $f_{SAMPL} = DF \cdot f_0$ のレートでの LTC2500-32 のサンプリングが続いています。LTC2500-32 は、ADC コアの出力でデジタル・フィルタを内蔵しています。等価 AAF ($H_{EQ}(f)$) は、図 25 に示すように、アナログ・フィルタ ($H_1(f)$) とデジタル・フィルタ ($H_2(f)$) の周波数応答の積になります。デジタル・フィルタは急峻なロールオフを提供し、アナログ・フィルタが相対的に緩やかなロールオフを持てるようにします。

アプリケーション情報

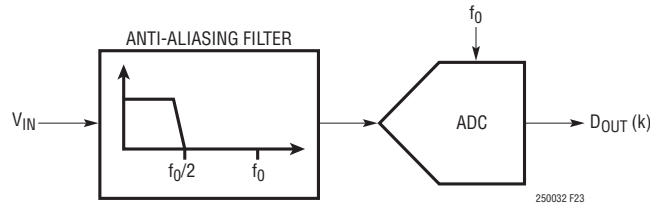


図23. AAF付きADC信号チェーン

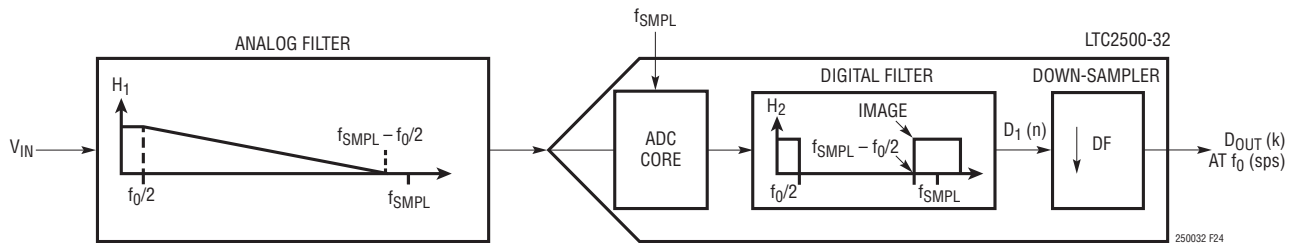


図24. 混合モードのフィルタ信号チェーン

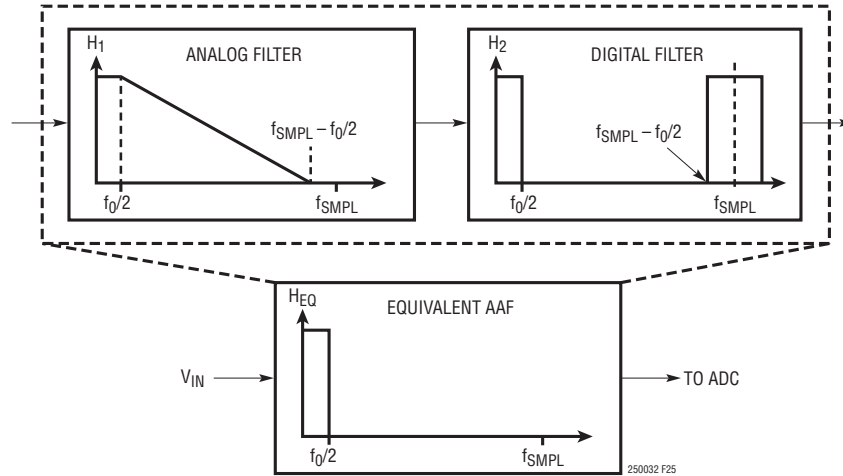


図25. 混合モードのアンチエイリアシング・フィルタ(AAF)

アプリケーション情報

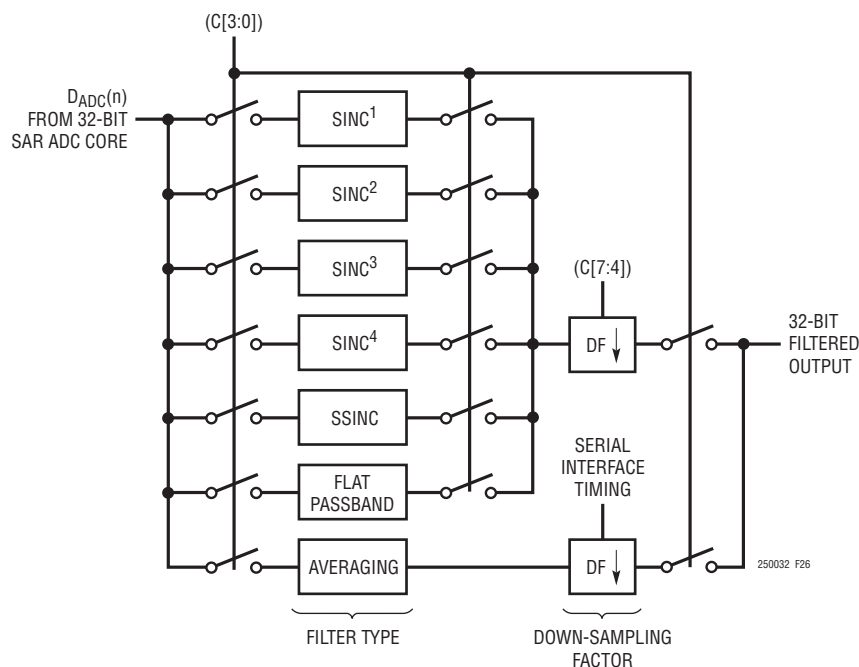


図26. デジタル・フィルタのブロック図

LTC2500-32内のデジタル・フィルタは、ADCサンプリング・レート f_{SMPL} で動作し、 $f_0/2$ を超える周波数の信号を抑制します。デジタル・フィルタ $H_2(f)$ の周波数応答は、 f_{SMPL} の倍数で反復し、 f_{SMPL} の各倍数で、好ましくない通過帯域を発生させます。 $H_{\text{EQ}}(f)$ に、対象となる周波数範囲に対応する唯一の通過帯域が存在するようにアナログ・フィルタを設計して、好ましくない通過帯域を十分に抑制する必要があります。大きいDF設定は帯域幅の小さいデジタル・フィルタに対応し、アナログ・フィルタがさらに緩やかなロールオフを持つことを可能にします。単純な一次または二次アナログ・フィルタは、ほとんどのシステムにとって十分な抑制を実現します。

デジタル・フィルタ・タイプ

LTC2500-32は、構成ワードのC[3:0]ビットを使用してデジタル・インタフェースを介して選択および構成される7つのデジタル・フィルタ・タイプを提供します。それらのフィルタ・タイプは、図26に示すように、同期¹、同期²、同期³、同期⁴、拡散同期(ssinc)、フラット通過帯域、および平均化です。選択したデ

ジタル・フィルタ・タイプの出力は多重化され、ダウンサンプリング係数(DF)がプログラム可能なダウンサンプラーに入力されます。平均化フィルタ以外の全てのフィルタ・タイプのDFは、構成ワードのC[7:4]ビットを使用してデジタル・インタフェースを介して設定します。平均化フィルタは、シリアル・インタフェースを介してデバイスからデータを読み出す方法によって、DFを決定します。LTC2500-32で提供されるデジタル・フィルタ・タイプおよびダウンサンプリング・レートの構成機能を使用して、アプリケーションに合わせて周波数応答、フィルタ設定時間、および出力データレートを調整できます。

デジタル・フィルタの周波数応答

LTC2500-32で使用できる全てのフィルタ・タイプは、ローパス振幅応答および直線位相応答を備える有限インパルス応答(FIR)フィルタです。各フィルタのFIRフィルタ係数については、www.linear-tech.co.jp/docs/55712を参照してください。以下のセクションでは、各フィルタの振幅応答について詳細に説明します。

アプリケーション情報

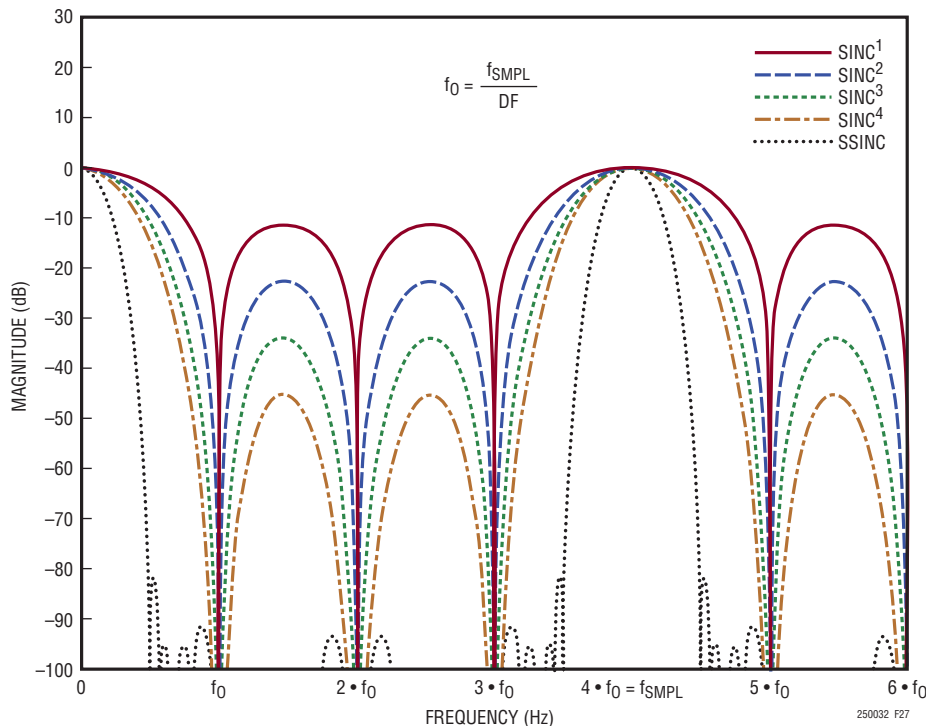


図27. DF = 4での同期タイプ・デジタル・フィルタの周波数応答の大きさの重ね合わせ

同期フィルタ

LTC2500-32で使用できる同期フィルタのタイプは、同期¹、同期²、同期³、同期⁴、および拡散同期(ssinc)の5つです。図27に、 f_{SMPL} のサンプリング・レート、DF = 4での5つの同期フィルタの振幅応答の重ね合わせを示します。この場合、 f_0 は $f_{SMPL}/4$ です。 f_{SAMP} の倍数を除く f_0 の倍数で、同期¹フィルタ、同期²フィルタ、同期³フィルタ、および同期⁴フィルタの振幅応答でヌルが発生することに注意してください。ヌルでは、周波数の大きい抑制が存在し、 f_0 を適切に選択することによって、特定の周波数を除去することができます。ヌルとヌルの間の振幅応答のピークは、多くの場合、副極と呼ばれます。副極の大きさは、フィルタの次数が増えるとともに減少し、同期⁴フィルタで45dB以下の減衰になります。この減衰レベルは、副極領域においてアナログ入力に不要な信号が含まれている場合、許容できないことがあります。

拡散同期(ssinc)フィルタは、副極の大きさを80dB以下に最小化するようにヌルを分散または拡散した複合同期フィルタであり、通過帯域外の不要な信号を大幅に減衰します。

同期フィルタは、多くの場合、DCまたは低周波数の信号がデジタル化されるデータ収集アプリケーションで使用されます。また同期フィルタは、非常に多くの場合、多段デジタル・デシメーション・フィルタ内の第1段になります。

平均化フィルタ

LTC2500-32の平均化フィルタの周波数応答は、同期¹フィルタと同じです。平均化フィルタのDFは、1～16384の範囲で動作中に調整することができ、同期¹フィルタよりも柔軟性が高くなっています。

フラット通過帯域フィルタ

図28aに、 f_{SMPL} のサンプリング・レート、DF = 4で、フラット通過帯域フィルタの振幅応答を示します。前のセクションと同様に、 $f_0 = f_{SAMP}/4$ です。通過帯域の複製が f_{SMPL} およびその倍数で発生することに注意してください。

アプリケーション情報

図 28b に、DC ~ f_0 の周波数範囲内の振幅応答を示します。4つの異なる領域(低リップル通過帯域、3dB 通過帯域、遷移帯域、および阻止帯域)について、ラベルが示されています。低リップル通過帯域は、DC ~ $f_0/4$ の範囲内であり、図 28c に示すように一定の振幅(± 0.001 dB)を提供します。3dB 通過帯域は、DC ~ $f_0/3$ の範囲内であり、3dB だけ振幅応答が低下しています。遷移帯域は、 $f_0/3 \sim f_0/2$ の範囲で定義され、振幅応答の大きさが急激に減少する領域です。 $f_0/2$ で阻止帯域が開始します。 $f_0/2 \sim f_{\text{SMPL}} - f_0/2$ の範囲内の周波数の阻止帯域領域全体で、65dB 以上の減衰が存在します。 $2f_0/3 \sim f_{\text{SMPL}} - 2f_0/3$ の周波数範囲では、阻止帯域内の最小減衰が 80dB に向上します。

フラット通過帯域フィルタの平坦性は、帯域幅の大きい信号がデジタル化される信号処理アプリケーションで役立ちます。

セトリング時間およびグループ遅延

各デジタル・フィルタのインパルス応答の長さは、セトリング時間を決定します。直線的な位相フィルタは、入力周波数に対して一定の遅延時間を示します(つまり、一定のグループ遅延)。デジタル・フィルタのグループ遅延は、インパルス応答の中央までの遅延であると定義されます。

LTC2500-32 独自の ssinc フィルタおよびフラット通過帯域フィルタは、短い待ち時間に対して最適化されており、高速なセトリングを実現します。図 29 に、LTC2500-32 のアナログ入力でのステップ変化後の、同期タイプ・フィルタの出力セトリング動作を示します。図 30 に、LTC2500-32 のアナログ入力でのステップ変化後の、フラット通過帯域フィルタの出力セトリング動作を示します。両方の図の X 軸は、出力サンプル数の単位で示されています。

デジタル・フィルタのまとめ

表 2 に、全てのダウンサンプリング係数について、各デジタル・フィルタ・タイプの各種パラメータをまとめています。RMS ノイズおよびダイナミックレンジも含まれています。

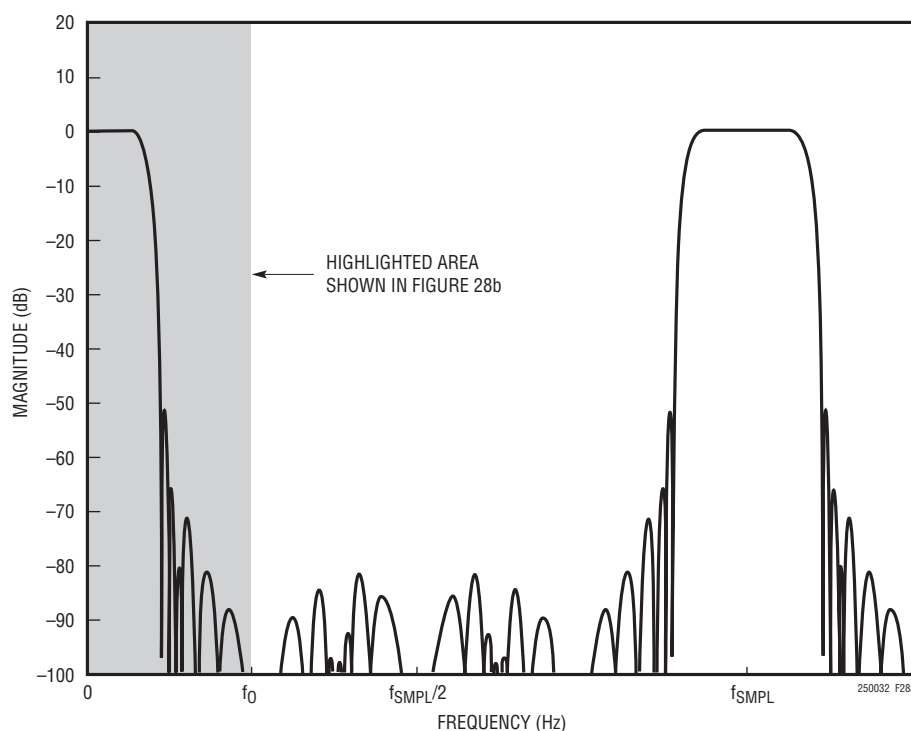


図 28a. DF = 4 でのフラット通過帯域フィルタの周波数応答の大きさ

アプリケーション情報

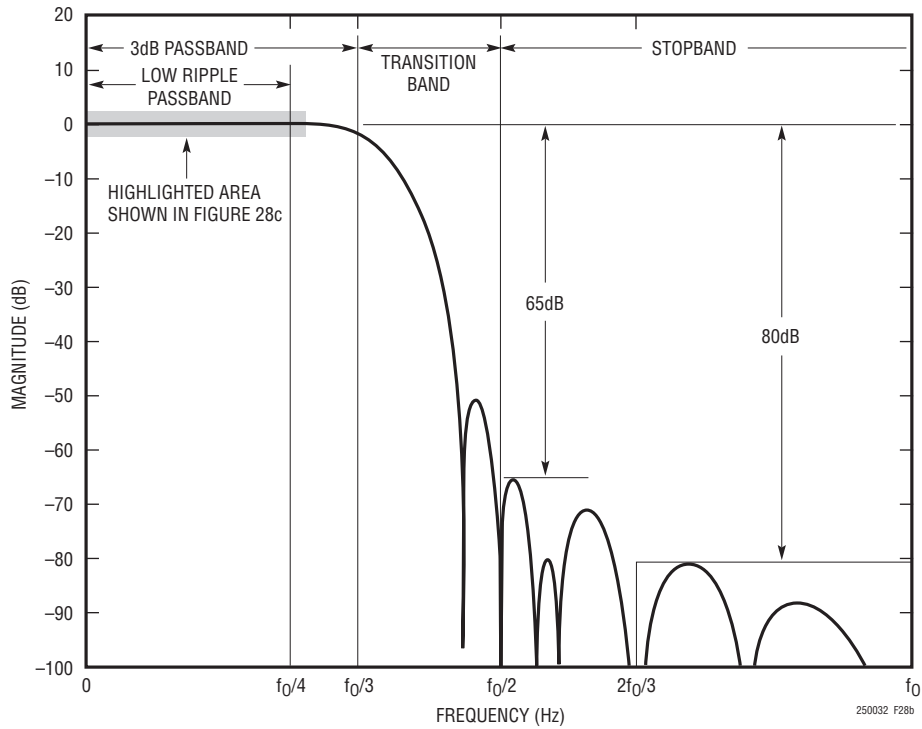


図 28b. 図 28a でハイライトされた周波数応答部分

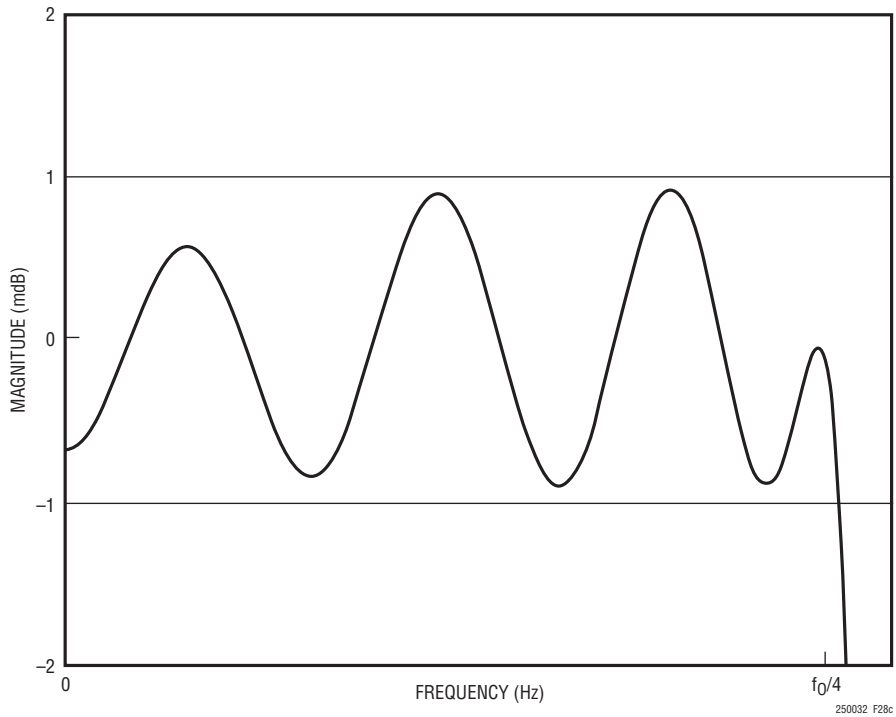


図 28c. 図 28b の周波数応答の低リップル通過帯域部分

アプリケーション情報

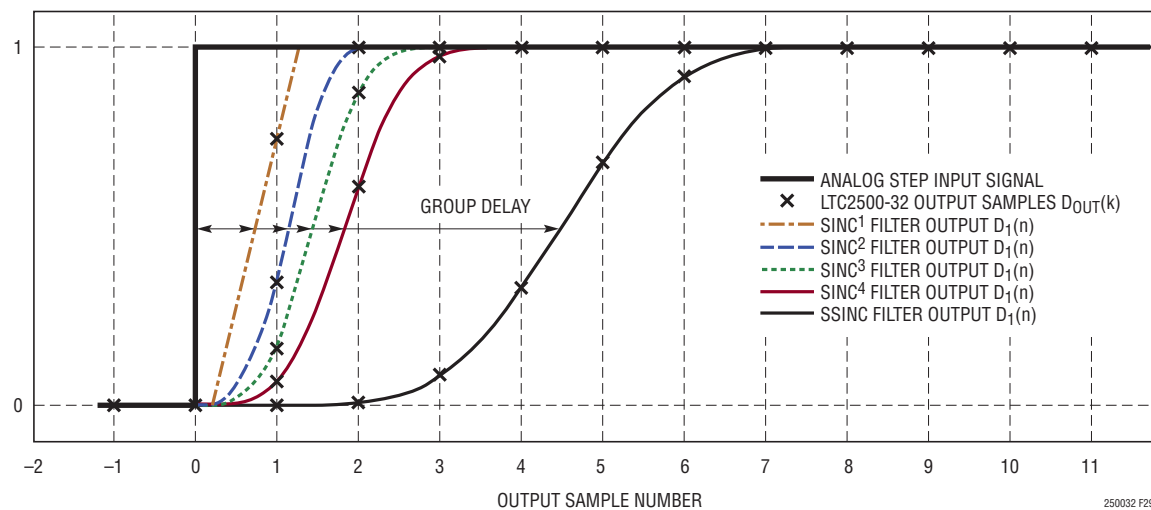


図29. 重ね合わせた同期タイプ・フィルタのステップ応答

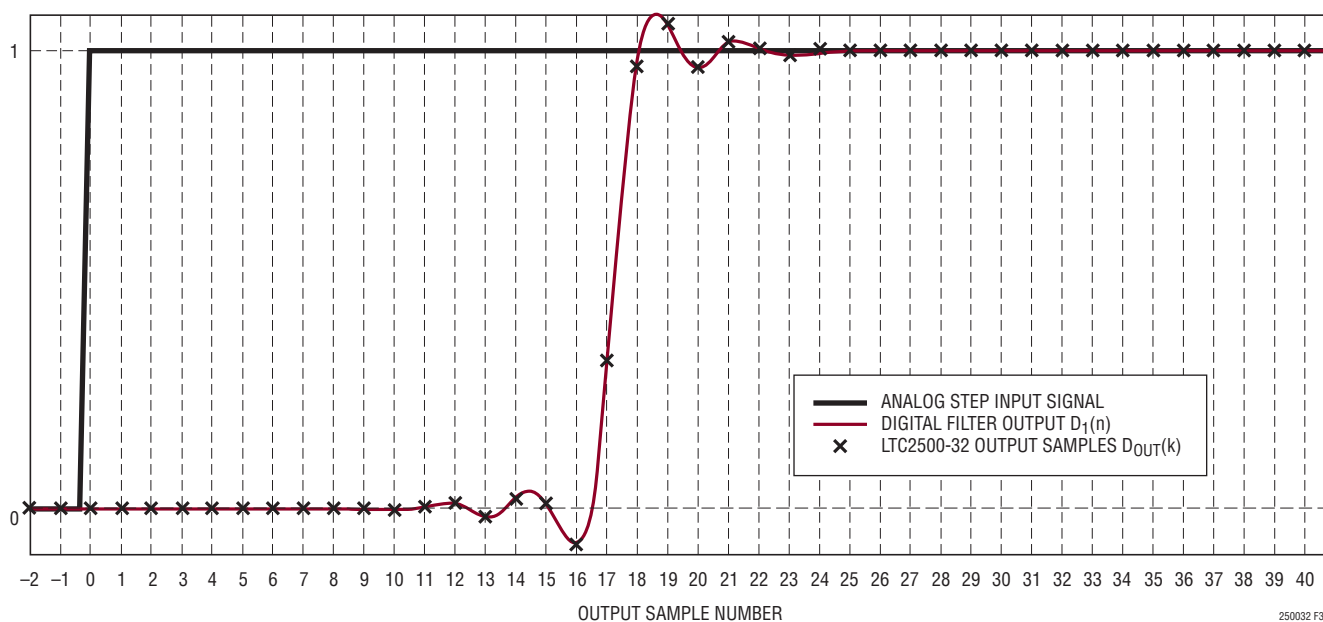


図30. フラット通過帯域フィルタのステップ応答

アプリケーション情報

表2. 各フィルタ・タイプのデジタル・フィルタ・パラメータおよびダウンサンプリング係数

フィルタ・タイプ	ダウンサンプリング係数 (DF)	出力データレート f _{SAMPL} = 1Msps	-3dB BANDWIDTH f _{SAMPL} = 1Msps	フィルタ長	グループ遅延	ダイナミックレンジ (dB)	ノイズ (μV RMS)
SINC ¹	4	250ksps	113.67kHz	6	3μs	109.1	12.87
	8	125ksps	56.83kHz	10	5μs	112.2	9.09
	16	62.5ksps	28.42kHz	18	9μs	115.5	6.19
	32	31.25ksps	14.21kHz	34	17μs	118.4	4.42
	64	15.6ksps	7.1kHz	66	33μs	121.2	3.21
	128	7.8ksps	3.55kHz	130	65μs	124	2.31
	256	3.9ksps	1.78kHz	258	129μs	127.4	1.56
	512	1.95ksps	888Hz	514	257μs	130.4	1.1
	1024	977sps	444Hz	1026	513μs	133.1	0.81
	2048	488sps	222Hz	2050	1025μs	136	0.58
	4096	244sps	111Hz	4098	2049μs	138.3	0.44
	8192	122sps	55.5Hz	8194	4097μs	141.4	0.31
16384	61sps	27.75Hz	16386	8195μs	143.3	0.25	
SINC ²	4	250ksps	82.02kHz	9	4.5μs	111	10.37
	8	125ksps	41.01kHz	17	8.5μs	114.3	7.14
	16	62.5ksps	20.5kHz	33	16.5μs	117	5.21
	32	31.25ksps	10.25kHz	65	32.5μs	120.2	3.59
	64	15.6ksps	5.13kHz	129	64.5μs	123.3	2.51
	128	7.8ksps	2.56kHz	257	128.5μs	125.9	1.86
	256	3.9ksps	1.28kHz	513	256.5μs	128.9	1.31
	512	1.95ksps	641Hz	1024	512.5μs	131.9	0.94
	1024	977sps	320Hz	2049	1024.5μs	135	0.65
	2048	488sps	160Hz	4097	2048.5μs	137.6	0.48
	4096	244sps	80Hz	8193	4096.5μs	140.1	0.36
	8192	122sps	40Hz	16385	8192.5μs	142.5	0.27
16384	61sps	20Hz	32769	16384.5μs	144.4	0.21	
SINC ³	4	250ksps	67.42kHz	12	6μs	111.6	9.67
	8	125ksps	33.71kHz	24	12μs	114.9	6.59
	16	62.5ksps	16.86kHz	48	24μs	118.1	4.58
	32	31.25ksps	8.43kHz	96	48μs	121.1	3.26
	64	15.6ksps	4.21kHz	192	96μs	124.1	2.3
	128	7.8ksps	2.11kHz	384	192μs	126.7	1.69
	256	3.9ksps	1.05kHz	768	384μs	130.1	1.15
	512	1.95ksps	527Hz	1536	768μs	132.9	0.82
	1024	977sps	263Hz	3072	1536μs	135.6	0.61
	2048	488sps	132Hz	6144	3072μs	138.6	0.43
	4096	244sps	66Hz	12288	6144μs	140.9	0.33
	8192	122sps	33Hz	24576	12288μs	143	0.26
16384	61sps	16Hz	49152	24576μs	145.2	0.2	

アプリケーション情報

表2. 各フィルタ・タイプのデジタル・フィルタ・パラメータおよびダウンサンプリング係数

フィルタ・タイプ	ダウンサンプリング係数 (DF)	出力データレート f _{SAMPL} = 1Msps	-3dB BANDWIDTH f _{SAMPL} = 1Msps	フィルタ長	グループ遅延	ダイナミックレンジ (dB)	ノイズ (μV RMS)
SINC ⁴	4	250ksps	58.58kHz	15	7.5μs	112.7	8.56
	8	125ksps	29.29kHz	31	15.5μs	115.8	5.97
	16	62.5ksps	14.65kHz	63	31.5μs	118.6	4.34
	32	31.25ksps	7.32kHz	127	63.5μs	121.8	2.98
	64	15.6ksps	3.66kHz	255	127.5μs	124.7	2.15
	128	7.8ksps	1.83kHz	511	255.5μs	127.4	1.56
	256	3.9ksps	915Hz	1023	511.5μs	130.3	1.12
	512	1.95ksps	458Hz	2047	1023.5μs	133.6	0.76
	1024	977sps	229Hz	4095	2047.5μs	136	0.58
	2048	488sps	114Hz	8191	4095.5μs	139	0.41
	4096	244sps	57Hz	16383	8191.5μs	141.8	0.3
	8192	122sps	29Hz	32767	16383.5μs	143.3	0.25
	16384	61sps	14Hz	65535	32767.5μs	145.6	0.19
SSINC	4	250ksps	30.88kHz	36	18μs	114.5	6.97
	8	125ksps	15.44kHz	72	36μs	117.7	4.8
	16	62.5ksps	7.72kHz	144	72μs	120.8	3.36
	32	31.25ksps	3.86kHz	288	144μs	123.7	2.39
	64	15.6ksps	1.93kHz	576	288μs	126.8	1.68
	128	7.8ksps	965Hz	1152	576μs	129.7	1.2
	256	3.9ksps	482Hz	2304	1152μs	132.9	0.83
	512	1.95ksps	241Hz	4608	2304μs	135.9	0.59
	1024	977sps	121Hz	9216	4608μs	138	0.46
	2048	488sps	60Hz	18432	9216μs	141.1	0.32
	4096	244sps	30Hz	36864	18432μs	143.6	0.24
	8192	122sps	15Hz	73728	36864μs	146.4	0.18
	16384	61sps	8Hz	147456	73728μs	148.2	0.14
Flat Passband	4	250ksps	85.72kHz	140	70μs	110.7	10.69
	8	125ksps	42.86kHz	280	140μs	114	7.34
	16	62.5ksps	21.43kHz	560	280μs	116.8	5.33
	32	31.25ksps	10.72kHz	1120	560μs	120	3.68
	64	15.6ksps	5.36kHz	2240	1120μs	122.8	2.66
	128	7.8ksps	2.68kHz	4480	2240μs	126.1	1.83
	256	3.9ksps	1.34kHz	8960	4480μs	129	1.31
	512	1.95ksps	670Hz	17920	8960μs	131.4	0.98
	1024	977sps	335Hz	35840	17920μs	134	0.73
	2048	488sps	167Hz	71680	35840μs	136.8	0.53
	4096	244sps	84Hz	143360	71680μs	138.1	0.45
	8192	122sps	42Hz	286720	143360μs	139.8	0.37
	16384	61sps	21Hz	573440	286720μs	140.6	0.34

アプリケーション情報

表2. 各フィルタ・タイプのデジタル・フィルタ・パラメータおよびダウンサンプリング係数

フィルタ・タイプ	ダウンサンプリング係数 (DF)	出力データレート f _{SAMPL} = 1Msps	-3dB BANDWIDTH f _{SAMPL} = 1Msps	フィルタ長	グループ遅延	ダイナミックレンジ (dB)	ノイズ (μV RMS)
Averaging	1	1000ksps	454.68kHz	1	0.5μs	103.7	24.03
	2	500ksps	227.34kHz	2	1μs	106.4	17.57
	4	250ksps	113.67kHz	4	2μs	109.1	12.87
	8	125ksps	56.83kHz	8	4μs	112.2	9.09
	16	62.5ksps	28.42kHz	16	8μs	115.5	6.19
	32	31.25ksps	14.21kHz	32	16μs	118.4	4.42
	64	15.6ksps	7.1kHz	64	32μs	121.2	3.21
	128	7.8ksps	3.55kHz	128	64μs	124	2.31
	256	3.9ksps	1.78kHz	256	128μs	127.4	1.56
	512	1.95ksps	888Hz	512	256μs	130.4	1.1
	1024	977sps	444Hz	1024	512μs	133.1	0.81
	2048	488sps	222Hz	2048	1024μs	136	0.58
	4096	244sps	111Hz	4096	2048μs	138.3	0.44
	8192	122sps	55.5Hz	8192	4096μs	141.4	0.31
	16384	61sps	27.75Hz	16384	8192μs	143.3	0.25

デジタル・インタフェース

LTC2500-32は、2つのデジタル・シリアル・インタフェースを備えています。シリアル・インタフェースAは、フィルタ処理済み出力データの読み出しに使用されます。シリアル・インタフェースBは、待ち時間のない出力データの読み出しに使用されます。これらのインタフェースは、両方とも柔軟性の高いOV_{DD}電源をサポートし、LTC2500-32は、2.5Vや3.3Vのシステムなど、1.8V～5Vで動作するどのようなデジタル・ロジックとも通信することができます。

シリアル・インタフェースAは、RDLBが“L”のときに、RDLAが“L”でシリアル・インタフェースBがイネーブルされるとイネーブルされます。シリアル・インタフェースAがイネーブルされた場合に、外部クロックがSCKAピンに入力されると、シリアル・データがSDOAピンからクロックアウトされ、シリアル構成データがSDIピンにクロックインされます。シリアル・インタフェースBがイネーブルされている場合、外部クロックが

SCKBピンに入力されると、シリアル・データがSDOBピンからクロックアウトされます。シリアル・インタフェースAからの出力データが、SCKAの立ち上がりエッジで遷移し、シリアル・インタフェースBからの出力データが、SCKBの立ち上がりエッジで遷移します。SDIのシリアル入力データは、SCKAの立ち上がりエッジでラッチされます。

LTC2500-32の構成は、SDIに入力される構成ワードを使用して、シリアル・インタフェースAを介して設定します。次のセクションでは、LTC2500-32を構成するさまざまな方法、およびLTC2500-32の一般的な用途について説明します。

LTC2500-32の制御ワード

LTC2500-32の各種動作モードは、12ビット制御ワード(C[11:0])のうちの10ビットによって設定します。この制御ワードは、SCKAの立ち上がりエッジで、MSBを先頭にしてSDIからシフト入力されます。制御ワードを、図31で定義して示します。

C[11]	C[10]	C[9]	C[8]	C[7]	C[6]	C[5]	C[4]	C[3]	C[2]	C[1]	C[0]
X	X	DGC	DCE	DOWN-SAMPLING FACTOR(DF)				FILTER TYPE			

250032 F31

図31. 制御ワード

アプリケーション情報

C[11]およびC[10]は、LTC2500-32の設定時に使用され、デジタル・フィルタやA/Dコンバータの構成を制御しません。ビットC[3:0]は、フィルタ・タイプを選択します。ビットC[7:4]は、ダウンサンプリング係数(DF)を選択します。C[8]はデジタル利得拡大(DGE)をイネーブル/ディスエーブルし、C[9]はデジタル利得圧縮(DGC)をイネーブル/ディスエーブルします。構成オプションを表3にまとめています。

表3. 構成オプションのまとめ

ビット	値	設定
C[3:0] = FILTER TYPE	0001	SINC ¹
	0010	SINC ²
	0011	SINC ³
	0100	SINC ⁴
	0101	SSINC
	0110	FLAT PASSBAND
	0111	AVERAGING
	OTHER CODES	INVALID CODE
C[7:4] = DF	0010	4
	0011	8
	0100	16
	0101	32
	0110	64
	0111	128
	1000	256
	1001	512
	1010	1024
	1011	2048
	1100	4096
	1101	8192
	1110	16384
OTHER CODES	INVALID CODE	
C[8] = DGE	0	DGE OFF
	1	DGE ON
C[9] = DGC	0	DGC OFF
	1	DGC ON

構成の設定

起動時、DRLの立ち下がりエッジで、RDLAパルスの立ち下がりエッジで、またはSYNCパルスを使用してフィルタ構成がリセットされたとき、トランザクション・ウィンドウが開きます。トランザクション・ウィンドウが開くことで、LTC2500-32のフィルタ構成を設定できるようになります。トランザクション・ウィンドウが開くと、構成の設定を制御する状態マシンがリセット状態になり、SCKAの最初の12クロック・パルスでSDIに制御ワードがシフト入力されるのを待機します。図32に示すように、DRLが“L”から“H”に遷移するときの次の変換の開始時、またはトランザクション・ウィンドウが開いてからSCKAの12番目のパルスの終了時に、トランザクション・ウィンドウが閉じます。BUSYが“H”の場合、SDIでのシリアル入力データは避ける必要があります。

入力制御ワード

入力制御ワードは、構成が設定されているかどうかを決定するために使用されます。多くの場合、ユーザーは、デバイスのパワーアップ後に、特定のアプリケーション用に1回コンバータを構成してから、SDIピンをGNDに駆動するだけで済みます。これによって、制御ワード・ビットが強制的に全てゼロになり、LTC2500-32は設定された構成で動作します。

制御ワードは、「LTC2500-32の制御ワード」のセクションで説明したように、12ビット・ワードです。有効な入力制御ワードは、図33aに示すように、トランザクション・ウィンドウが閉じる前に、C[11:10]が10に設定され、残りの下位10ビット(C[9:0])がシフト入力されたワードです。SCKAの12番目の立ち上が

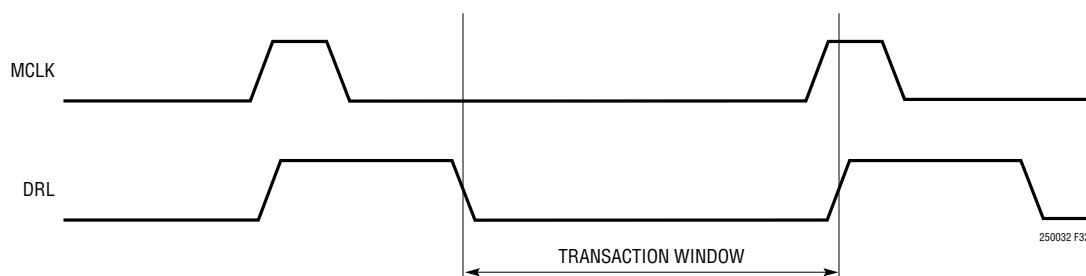


図32. シーケンサ設定トランザクション・ウィンドウ

アプリケーション情報

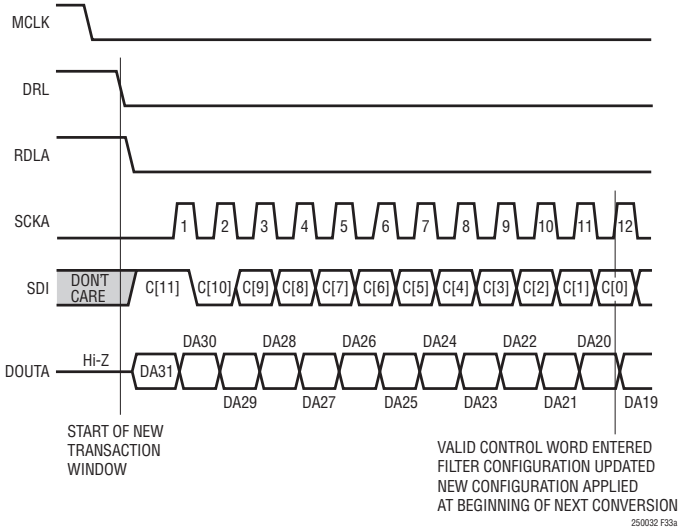


図 33a. 正常に設定された有効な制御ワード (C[11:10] = 2'b10)

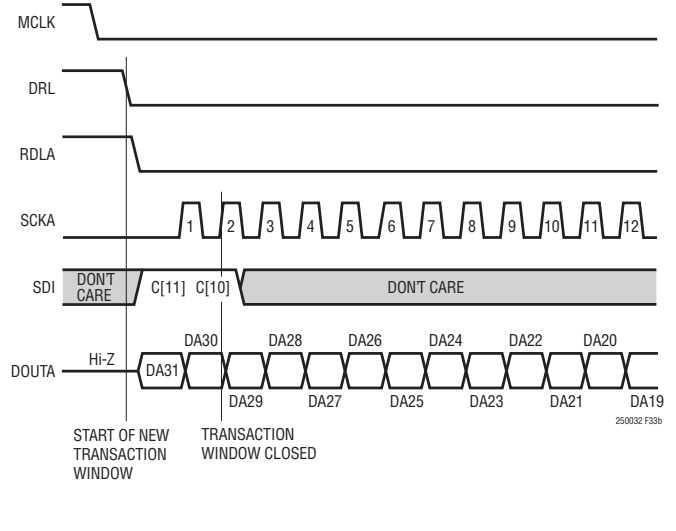


図 33b. 入力された無効な制御ワード (C[11:10] = 2'b11)

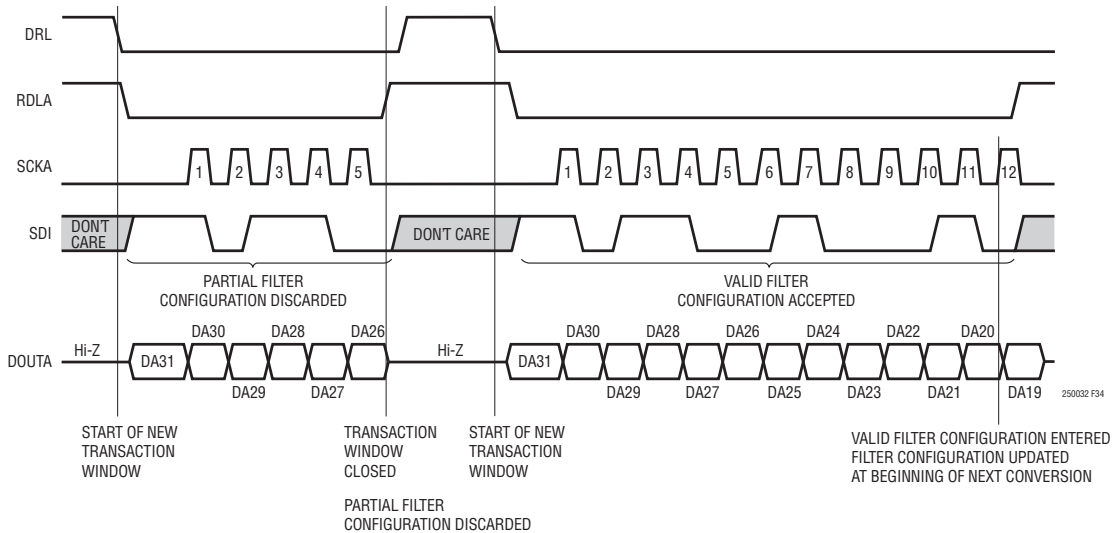


図 34. 短縮された設定トランザクションと、それに続く1つの構成の正常な設定

リエッジで有効な制御ワードが正常に入力された場合、構成が変更されて構成されると、デジタル・フィルタがリセットされ、次の変換から設定に従って動作します。LTC2500-32の構成は有効な入力制御ワードによってのみ設定され、部分的に書き込まれた制御ワードや、C[11:10]が10でない制御ワードは破棄されます。C[11:10]が10でない場合、LTC2500-32は、

次のトランザクション・ウィンドウまで入力トランザクション・ウィンドウを閉じます(図 33bを参照)。図 34は短縮された設定トランザクションを示しており、部分的な入力制御ワードは破棄され、2番目の完全で有効な入力制御ワードが正常に設定されます。

アプリケーション情報

プリセット・フィルタ・モード

LTC2500-32は、ユーザーがSDIピンのロジック・レベルを使用して2つのプリセットされたデジタル・フィルタ構成のいずれかを選択できるようにするプリセット・モードを提供します。プリセット・モードは、PREピンをREFに接続することによって入力し、SPIによる設定を不要にします。プリセット・モードでは、SDIを“L”に接続すると、デジタル・フィルタが平均化フィルタになるように構成され、DGCおよびDGEがオフになります。SDIを“H”に接続すると、デジタル・フィルタがssincフィルタになるように構成され、DFが64になり、DGCおよびDGEが両方ともオフになります。表4に、PREピンを“H”または“L”に接続した場合のプリセットされた構成およびSDIピンの機能を示します。

フィルタ処理済み出力データ

図35に、平均化フィルタを除く全てのフィルタ・モードについて、フィルタ処理済み出力データを読み出す場合の標準的な動作を示します。フィルタ処理済み出力レジスタは、デシメーション・フィルタによって提供されるフィルタ処理済み出力コード $D_{OUT}(k)$ を格納します。 $D_{OUT}(k)$ は、DF回の変換サイクルごとに1回更新されます。タイミング信号DRLは、 $D_{OUT}(k)$ が更新されるタイミングを示します。DRLは、DF番目の各変換の開始時に“H”になり、変換が完了すると“L”になります。 $D_{OUT}(k)$ の32ビットは、次のA/D変換が開始される前に読み出すことができます。

表4. 異なるPREピン構成およびSDIピン構成に対するフィルタ構成

PREピン	SDI	デジタル・フィルタ構成
0	Used to Configure the Digital Filter	Based on the SDI Configuration
1	1	Averaging Filter, with DGC and DGE Off
1	0	ssinc with DF = 64, with DGC and DGE Off

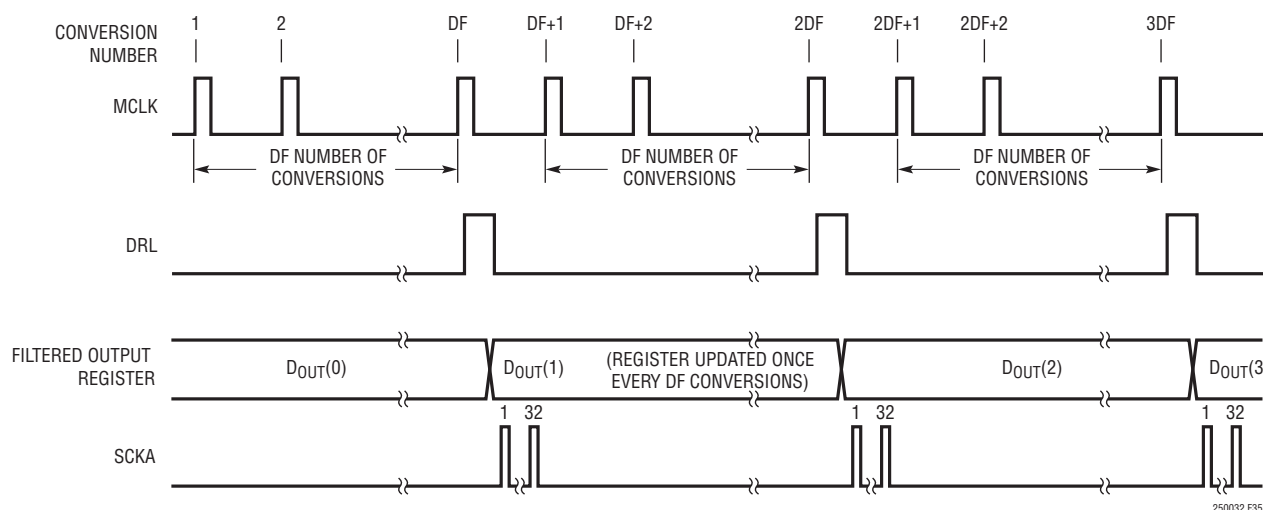


図35. 標準的なフィルタ処理済み出力データの動作のタイミング

アプリケーション情報

分散された読み出し

LTC2500-32では、ユーザーは、複数の変換にまたがってフィルタ処理済み出力レジスタの内容を読み出すことができます。図36は、32回の連続するA/D変換ごとにDOUT(k)の1ビットが読み出され、非常に遅いシリアル・クロック(SCKA)を使用できる場合を示しています。A/D変換の動作中(BUSYが“H”の場合)は、デジタル・インタフェースでの遷移を避ける必要があります。

同期

デジタル・フィルタ $D_1(n)$ の出力は変換ごとに更新されますが、ダウンサンプラーの出力DOUT(k)は、DF回の変換ごとに1回しか更新されません。同期は、出力DOUT(k)が更新されるタイミングを選択する処理です。

この同期は、LTC2500-32のSYNCピンにパルスを入力することによって行います。DOUT(k)のフィルタ処理済み出力レジスタは、SYNCパルスが入力された後に、DFの倍数回の変換ごとに更新されます(図37を参照)。タイミング信号DRLは、DOUT(k)が更新されるタイミングを示します。

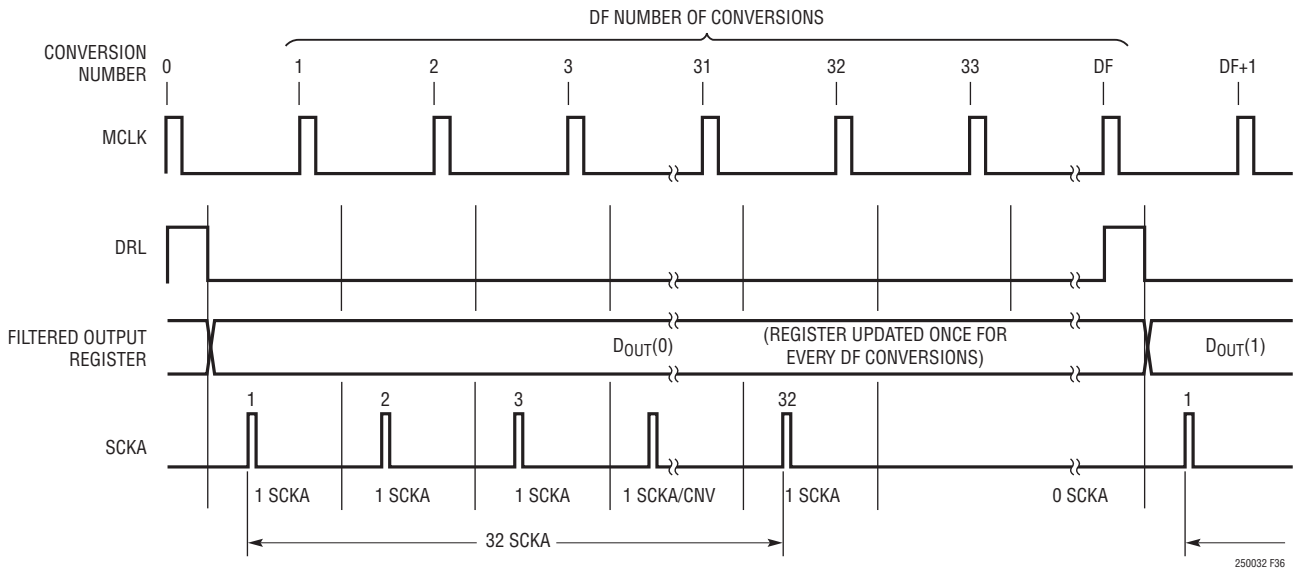


図36. 分散読み出しによるフィルタ処理済み出力データの読み出し

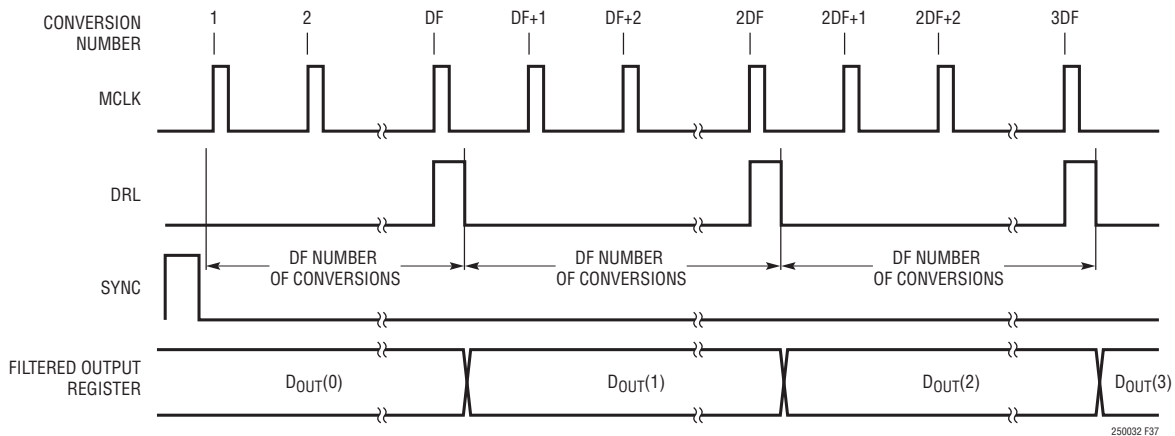


図37. 単一のSYNCパルスを使用した同期

アプリケーション情報

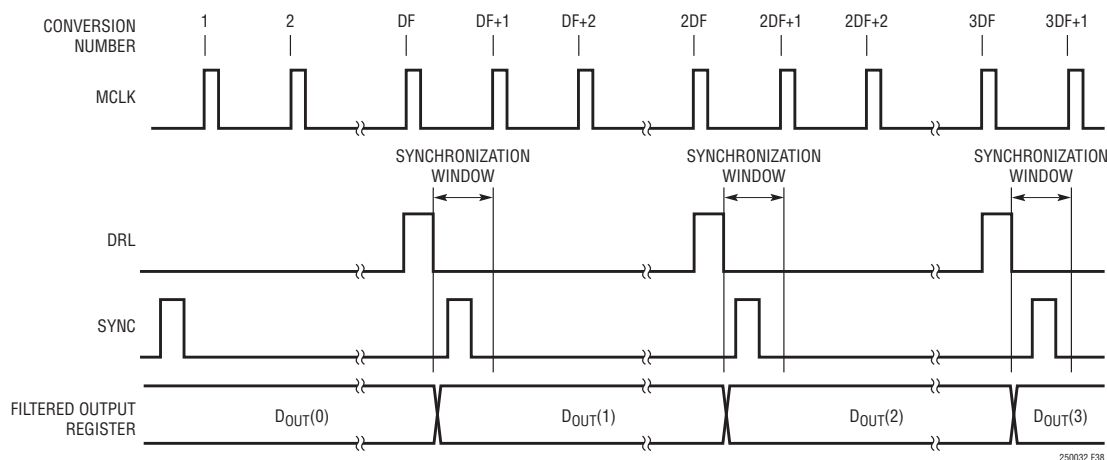


図 38. 周期的SYNCパルスを使用した同期

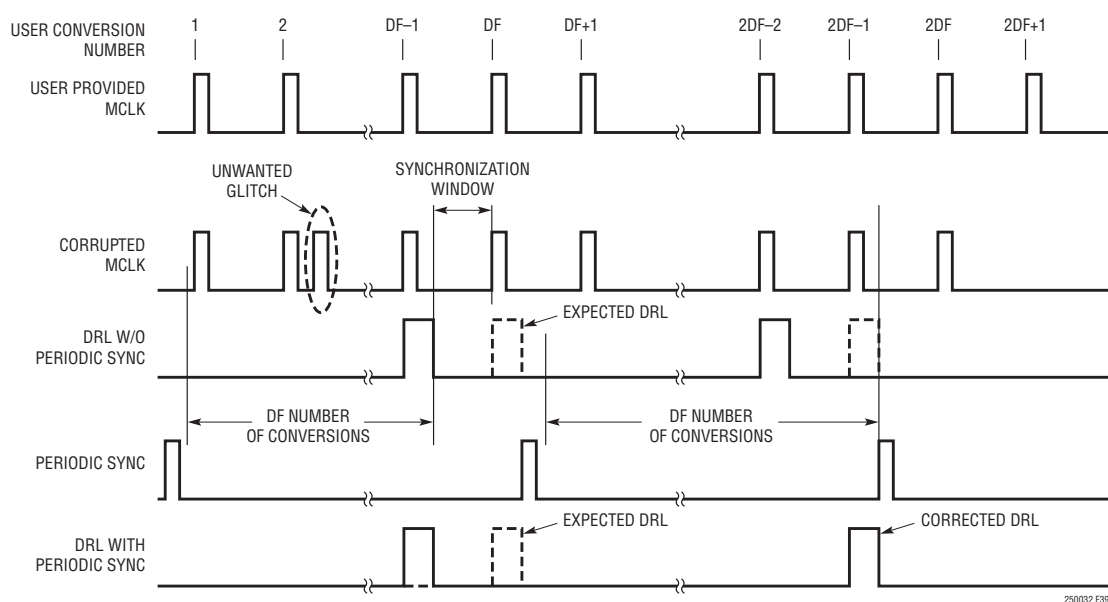


図 39. 予期しないグリッチからの同期の受信

SYNC機能により、複数のLTC2500デバイスが、共通のSYNC信号を使用する同じマスタ・クロックから、互いに同期して動作することができます。これによって、各LTC2500デバイスは、同時にその出力レジスタを更新することができます。同期している全てのデバイスが同じDFで動作しなければならないということに注意してください。

周期的同期

既存の同期を強化するSYNCパルスは、通常の動作を妨げません。図38は、継続的に同期を強化するために、SYNCパルスがDF回の変換ごとに入力される場合を示しています。図38

には、同期された動作を強化するためにSYNCパルスを入力できる同期期間が示されています。

自己補正同期

図39は、MCLKでの予期しないグリッチが余分なA/D変換を引き起こす場合を示しています。この余分な変換は、 $D_{OUT}(k)$ を更新するタイミングを変更します。入力された周期的SYNCパルスは、目的の同期を再び確立し、1変換サイクル内で自己補正します。同期が変更(再確立)されたときに、デジタル・フィルタがリセットされることに注意してください。

アプリケーション情報

構成ワード

8ビットの構成ワード(WA[7:0])が、SDOAの32ビット出力コードに追加され、合計40ビットの出力ワードを生成します(図40を参照)。この構成ワードは、デジタル・フィルタの動作の構成に使用されるダウンサンプリング係数(DF)およびフィルタ・タイプを指定します。クロックに同期して構成ワードを出力することは、オプションです。表3に、各種フィルタ・タイプおよびダウンサンプリング係数に関する構成のまとめを示します。

平均化フィルタ(同期¹デシメーション・フィルタ)

LTC2500-32の平均化フィルタを使用して、最小N = 1、最大N = 16384の変換結果のブロックを平均化することができます。このセクションで説明されるデジタル平均化フィルタは、同期¹デジタル・デシメーション・フィルタとも呼ばれます。同期¹デジタル・デシメーション・フィルタは、Nが評価されるタップ数に等しいFIRフィルタです。

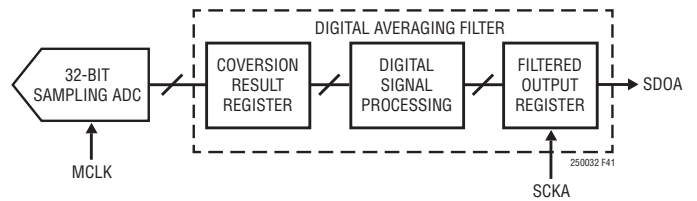


図41. デジタル平均化フィルタを含むブロック図

ブロック図

図41に、変換結果レジスタ、デジタル信号処理(DSP)ブロック、およびフィルタ処理済み出力レジスタを含むデジタル平均化フィルタのブロック図を示します。

変換結果レジスタは、MCLKの立ち上がりエッジで取得された最新のサンプルからの32ビット変換結果を保持します。DSPブロックは、平均化動作を提供し、ユーザーがシリアル・インタフェースを介して読み出せるように、変換結果の平均値をフィルタ処理済み出力レジスタに読み込みます。

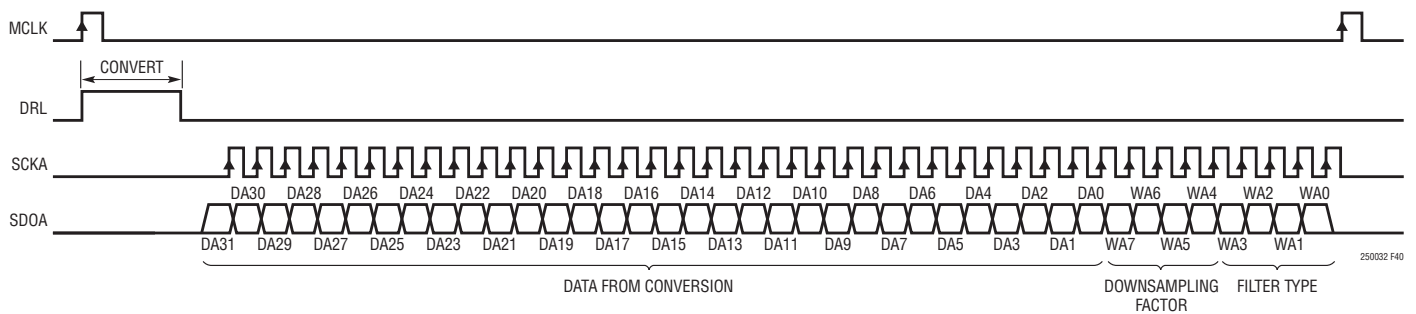


図40. フィルタ処理済み出力データの形式設定

アプリケーション情報

従来のSAR動作(N = 1)

LTC2500-32のデジタル・フィルタは、図42に示すように、従来の待ち時間のないSARと同様に動作することができます。各変換結果は、次の変換が開始される前に、シリアル・インタフェースを介して読み出されます。フィルタ処理済み出力レジスタの内容が変換結果レジスタの内容に追従していること、および1つの変換に対応する結果が両方のレジスタに含まれていることに注意してください。LTC2500-32がこの方法で動作する場合、デジタル平均化フィルタはユーザーにとって透過的になります。設定が不要になり、単に、各サイクルで各変換結果を読み出します。R_iは、変換番号*i*に対応する32ビット変換結果を表しています。各変換サイクルでは、(図42に示した32 SCKサイクルではなく)最小で20 SCKサイクルを使用して、20ビット精度の結果を得ることができます。平均化フィルタ・モードで動作するようにLTC2500-32が構成された場合、DRLは、変換結果レジスタR_iが更新されたことを示し、BUSYと同一です。

4つの変換結果の平均化

デジタル平均化手法は、多くの場合、ノイズによる測定の不確かさを減らすために採用されます。図43は、4つの変換が開始されるたびに1回フィルタ出力結果が読み出される場合を示しています。図に示すように、フィルタ処理済み出力レジスタから読み出される出力結果は、前の4つの変換結果の平均値

です。デジタル平均化フィルタは、フィルタ処理済み出力結果が読み出されるまで、変換結果を自動的に平均化します。フィルタ処理済み出力結果が読み出された場合、デジタル平均化フィルタがリセットされ、新しい平均化動作が、次の変換結果から開始されます。

この例では、変換番号0、4、および8の後にフィルタ処理済み出力結果が読み出されます。デジタル平均化フィルタは、変換番号0の後にリセットされ、変換番号1から新しい平均化動作を開始します。フィルタ処理済み出力結果(R₁ + R₂ + R₃ + R₄) / 4が、デジタル平均化フィルタを再びリセットする変換番号4の後に読み出されます。デジタル平均化フィルタは、実行された新しい変換ごとに変換結果を自動的に平均化するため、任意の数(16384の上限まで)の変換結果を平均化することができ、設定は不要です。

3つの変換結果の平均化

2のべき乗ではないNの値について、N個の変換結果を平均化する場合、フィルタ処理済み出力結果は、N/Mでスケール調整されます。ここで、MはNより大きい次の2のべき乗である重み付け係数です(後で、重み付け係数のセクションで説明されます)。3つの変換結果のみが平均化される例を図44に示します。読み出されたフィルタ処理済み出力結果は、N/M = 3/4によってスケール調整されます。

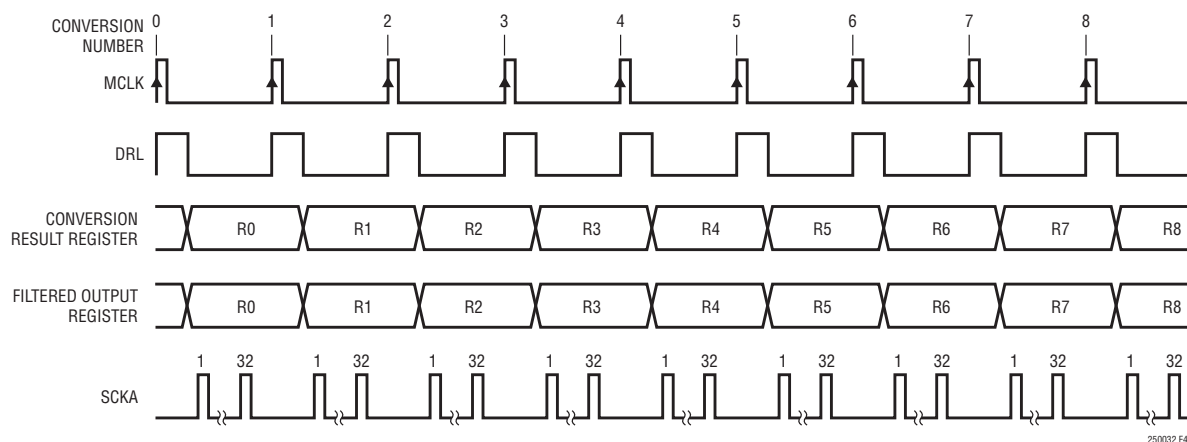


図42. 従来のSAR動作のタイミング

アプリケーション情報

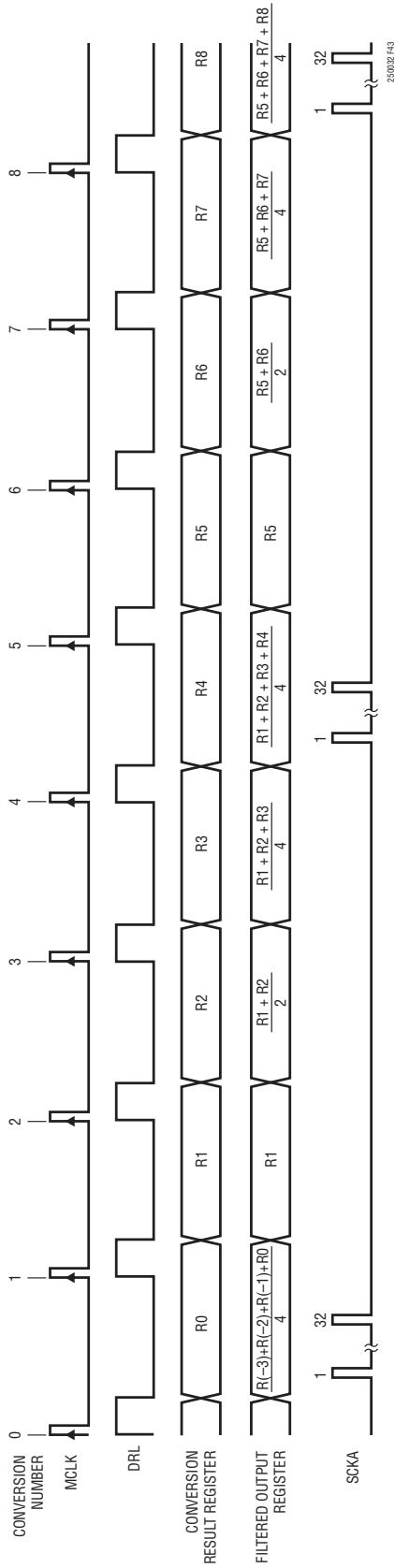


図 43. 4つの変換結果の平均化

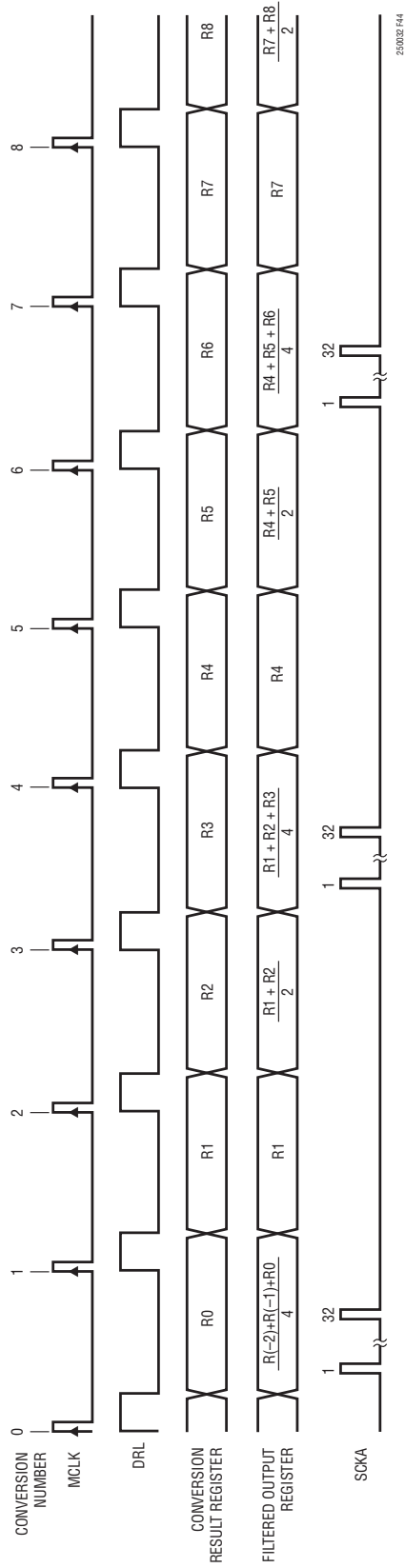


図 44. 3つの変換結果の平均化

アプリケーション情報

データレートを減少させたデジタル平均化フィルタの使用

図42、43、および44で提示された例は、LTC2500-32でデジタル平均化フィルタを使用するための最も一般的な方法の一部を示しています。単に各変換結果を個別に読み出すか、N個の変換結果の平均値を読み出します。いずれの場合も、結果は、2つの連続するA/D変換(DRL)期間の間に読み出されます。したがって、32ビットを全て読み出すには、高速なSCKA信号が必要になります。

平均化フィルタでの分散読み出し

分散読み出しによって、32ビットを全て読み出しながら、より遅いSCKA信号を使用できるようになります。分散読み出しでは、複数の変換結果を平均化する必要があります。DRLの2つの立ち下がりエッジの間に、変換サイクルでSCKAに1つ以上、20個未満のパルス($0 < SCKA < 20$)が入力された場合(図45を参照)、フィルタ処理済み出力レジスタは、デジタル平均化フィルタの出力で更新されず、その内容を保ちます。これにより、フィルタ処理済み出力結果を、複数の変換サイクル

にわたってフィルタ処理済み出力レジスタから読み出すことが可能になり、シリアル・インタフェースの速度要件を緩和します。

読み出しは、最初のSCKAパルスの立ち上がりエッジで開始され、次の読み出しが開始される前に終了する必要があります。デジタル平均化フィルタは、読み出しの開始時にリセットされ、そのとき新しい平均化動作が開始されます。デジタル平均化フィルタがリセットされた後に完了した変換は、新しい読み出しが開始されるまで、自動的に平均化されます。そのため、デジタル平均化フィルタは、1つの読み出しが開始されてから次の読み出しが開始されるまでに完了した変換の変換結果の平均を計算します。

読み出しは、DRLの2つの立ち下がりエッジの間の変換サイクルで、0個、または20個以上のパルス(立ち上がりエッジ)をSCKAに入力することによって終了します。これによって、フィルタ処理済み出力レジスタを、デジタル平均化フィルタの出力からの新しい平均値で更新できるようになります。

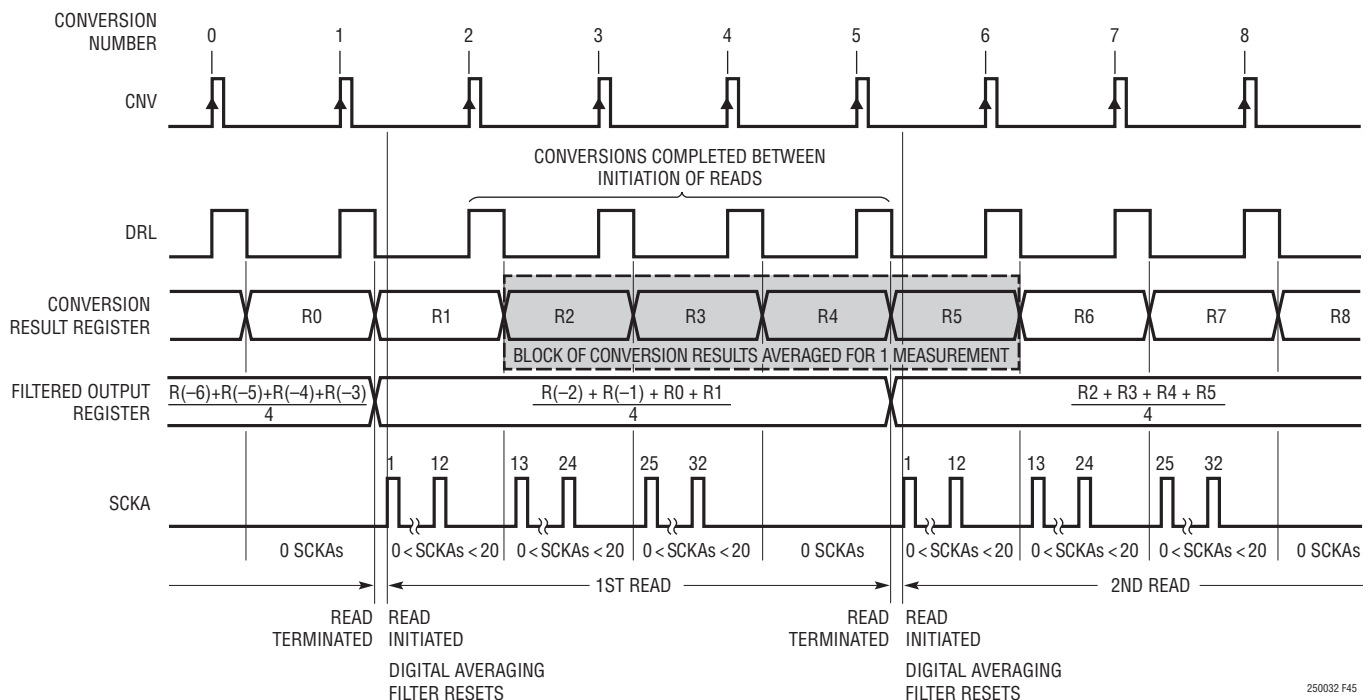


図45. 4つの変換結果の平均化および分散読み出しによるデータの読み出し

250032 F45

アプリケーション情報

分散読み出しを使用した4つの変換の平均化

4つの変換サイクルごとに読み出しが開始され、3つの変換サイクルにわたってフィルタ処理済み出力レジスタが読み出される例を図45に示します。この例では、シリアル・インタフェースは、分散読み出しを使用しない場合に必要な速度の1/3の速度で動作することができます。SCKAの最初の立ち上がりエッジで1番目の読み出しが開始され、12ビット、12ビット、8ビットの3つのグループが、3つの変換サイクルにわたって読み出されます。変換番号4および5のDRLの立ち下がりエッジの間にSCKAパルスは入力されず、そのため、変換番号5の完了時に読み出しが終了します。変換番号5の後に2番目の読み出しが開始され、フィルタ処理済み出力レジスタから $(R2 + R3 + R4 + R5)/4$ が読み出されます。これは、変換番号2、3、4、および5が、図に示された2つの読み出し開始の間に完了したためです。

分散読み出しを使用した33の変換の平均化

読み出しが33変換サイクルごとに開始される例を図46に示します。この例では、変換サイクルごとに1つのSCKAパルスを使用して、フィルタ処理済み出力レジスタから出力結果を読み出しています。SCKAの最初の立ち上がりエッジで読み出しが開始され、その後、次の31変換サイクルにわたって単一ビットが読み出されます。変換番号33および34のDRLの立ち下がりエッジの間にSCKAパルスは入力されず、そのため、変換番号34の完了時に読み出しが終了します。変換番号34の後に2番目の読み出しが開始され、フィルタ処理済み出力レジスタから $(R2 + R3 + \dots + R25 + R34)/64$ が読み出されます。読み出しの間、各変換期間で $0 < SCKA < 20$ パルスが入力されるため、フィルタ処理済み出力レジスタの内容は更新されず、割り込みが生じずに分散読み出しを実行することができます。

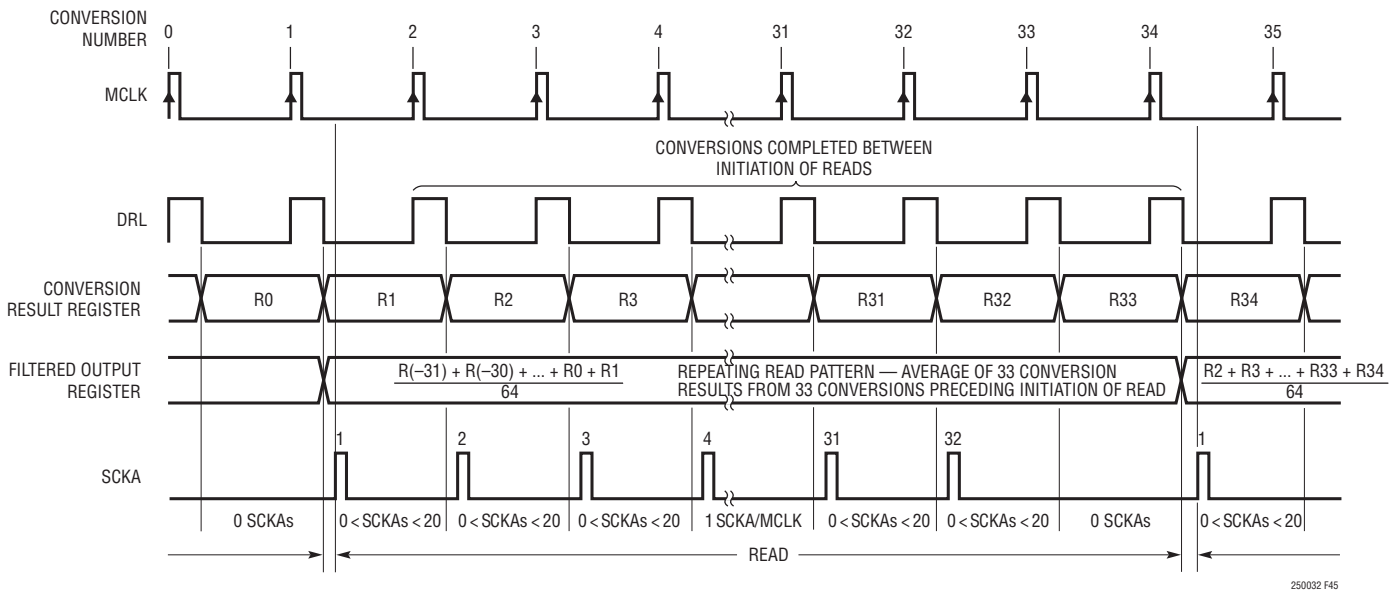


図46. 33の変換結果の平均化および分散読み出しによるデータの読み出し

250032 F45

アプリケーション情報

平均化フィルタでの最小シフト・クロック周波数

読み出しが実行されている間は、変換ごとに1つ以上のSCKAパルスが必要であるため、使用可能なSCKA周波数に対して下限($f_{SCKA} = f_{SMPL}$ 、最大サンプリング周波数 $f_{SMPL(MAX)} = 1\text{Msps}$)が設定されます。

重み付け係数

変換結果が平均化されたときに生成される出力コードは、Nが2のべき乗である場合、前のN個のサンプルの均等に重み付けされた平均を表します。Nが2のべき乗でない場合、表1に従って重み付け係数(M)が選択されます。具体的には、 R_i がi番目のアナログ・サンプルの32ビット変換結果を表す場合、平均化されたN個の変換結果を表す出力コード(D)は、次のように定義されます。

$$D = \sum_{i=1}^N \frac{R_i}{M}$$

1～16384の範囲内の任意の数(N)の平均値に対する重み付け係数、および得られるデータ・スループットを表5に示します。N = 16384の場合にMが最大値16384に達することに注意してください。N > 16384の場合、デジタル平均化フィルタは変換結果を累積し続け、 $N/M > 1$ になります。そのような場合、ADCコアがゼロ以外の平均値を持つ平均結果を生成すると、出力結果は正または負のフルスケールで最終的に飽和します。

表5. さまざまなNの値に対する重み付け係数およびスループット・レート

N	M	出力データレート ($f_{SMPL} = 1\text{Msps}$)
1	1	1Msps
2	2	500ksps
3 to 4	4	333ksps to 250ksps
5 to 8	8	200ksps to 125ksps
9 to 16	16	111ksps to 62.5ksps
17 to 32	32	58.8ksps to 31.25ksps
33 to 64	64	30.3ksps to 15.6ksps
65 to 128	128	15.4ksps to 7.8ksps
129 to 256	256	7.8ksps to 3.9ksps
257 to 512	512	3.9ksps to 2ksps
513 to 1024	1024	2ksps to 1ksps
1025 to 2048	2048	976sps to 488sps
2049 to 4096	4096	488sps to 244sps
4097 to 8192	8192	244sps to 122sps
8193 to 16384	16384	122sps to 61sps

カウント

他のフィルタ構成と同様に、8ビット構成ワード(WA[7:0])がSDOAの32ビット出力コードに追加されます。デジタル平均化フィルタは、追加の14ビットワード(CO[13:0])も出力します。このワードは、合計54ビットの出力ワードを生成するために、構成ワードに追加されます(図47を参照)。CO[13:0]は、出力結果を生成するために平均化されたサンプルの数から1を引いた値である、ストレート・バイナリ表現(MSBが先頭)です。

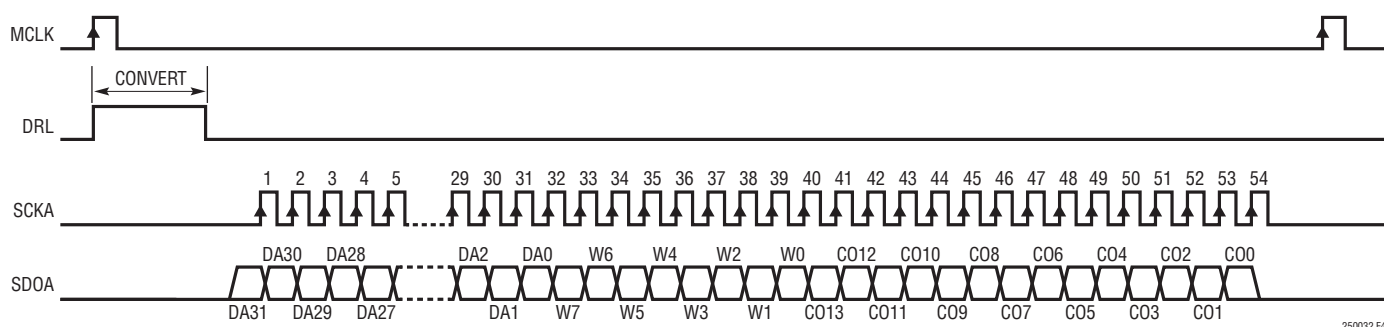


図47. デジタル平均化フィルタのシリアル出力コードの形式設定

アプリケーション情報

例えば、N個のサンプルを平均化して出力結果を生成した場合、CO[13:0]はN-1になります。したがって、Nが1で平均化を行わない場合、CO[13:0]は常に0になります。Nが8192の場合はCO[13:0]が8191になる、などのようになります。16384個を超えるサンプルが平均化される場合、CO[13:0]は16383で飽和します。

待ち時間のない出力データ

図48に、待ち時間のない出力データを読み出すための標準的な動作を示します。待ち時間のないI/Oレジスタは、最新の変換結果からの32ビット複合コードR(n)を保持します。最初のビットはオーバーレンジ・ビットを表します。LTC2500-32への差動入力、表1に示されているデジタル飽和制限よりも大きい場合、オーバーレンジ・ビットは1になります。R(n)の次の24ビットは、MSBを先頭にして入力電圧差($IN^+ - IN^-$)を表します。最後の7ビットは、MSBを先頭にして同相入力電圧($IN^+ + IN^-$)/2を表します。表6に、32ビットの待ち時間のない出力データの出力ビット形式を示します。

表6. 32ビットの待ち時間のない出力データの出力ビット形式

DB[31]	DB[30:7]	DB[6:0]
Overrange Detection Bit	24-Bit Differential Output	7-Bit Common Mode Output

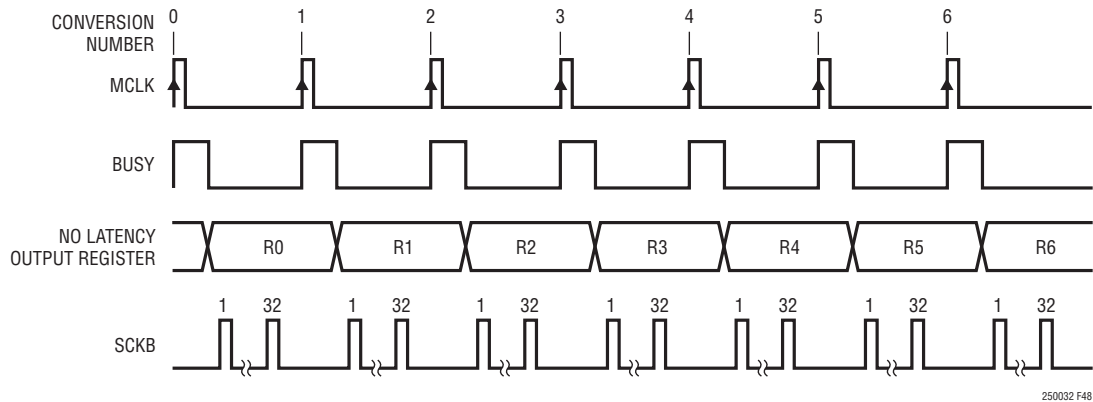


図48. 標準的なナイキスト出力データの動作のタイミング

アプリケーション情報

フィルタ処理済み出力データ、単一のデバイス

図49に、フィルタ処理済み出力の読み出し動作を行うように構成されたLTC2500-32を示します。RDLAを接地すると、SDOAがイネーブルされ、DRLの立ち下がりエッジから $t_{DSDOBUSYL}$ の後に、出力結果のMSB (DA31) を使用できます。

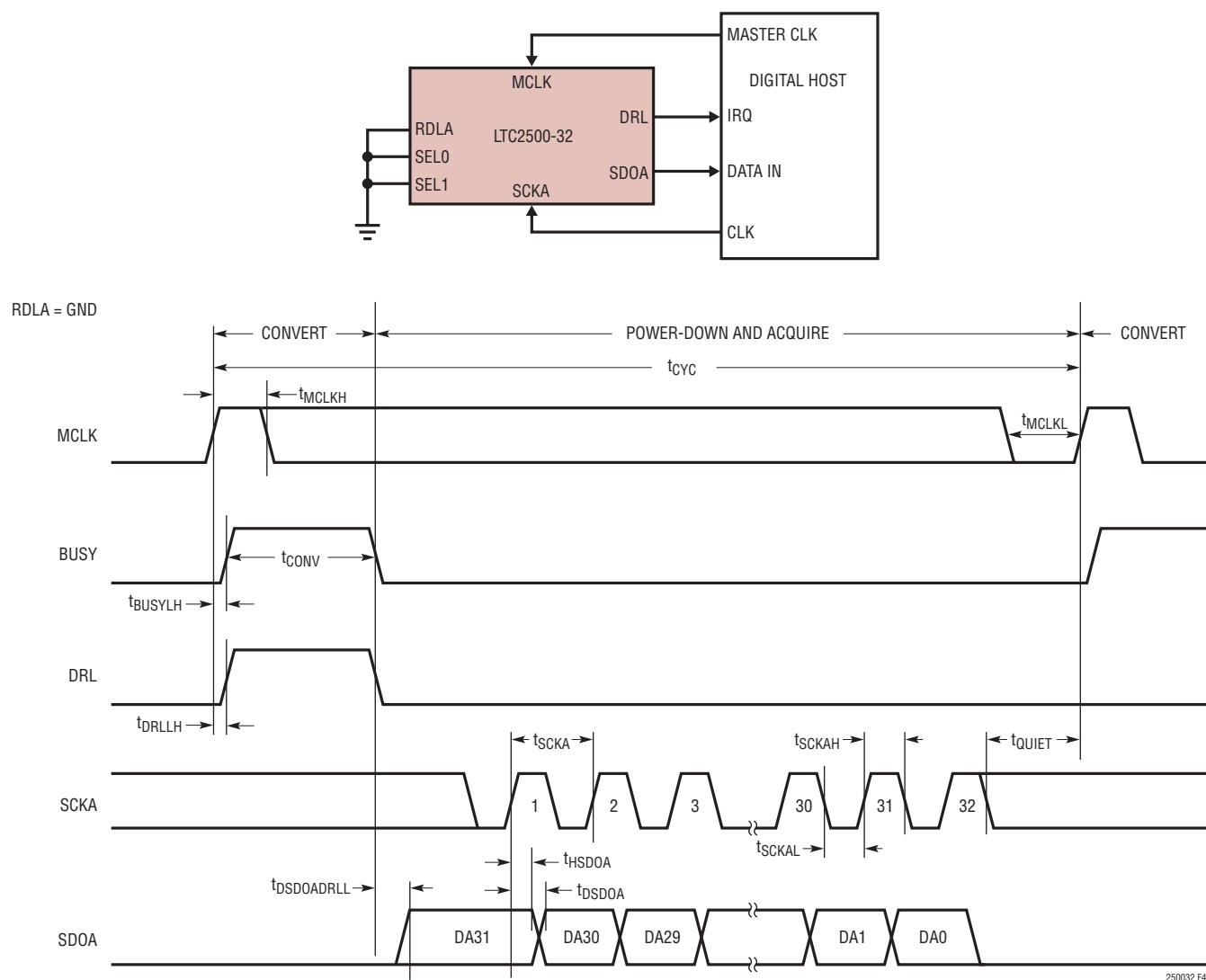


図49. 1つのLTC2500-32を使用したフィルタ処理済み出力の読み出し

アプリケーション情報

フィルタ処理済み出力データ、複数のデバイス

図50に、MCLK、SYNC、SCKA、およびSDOAを共有しながらフィルタ処理済み出力の読み出し動作を行うように構成された2つのLTC2500-32デバイスを示します。MCLK、SYNC、SCKA、およびSDOAを共有することにより、複数のA/Dコンバータを並列で動作させるのに必要な信号数が減少します。SDOAを共有しているため、バスの競合を防ぐため、各A/Dコ

ンバータのRDLA入力を使って、一度に1個のLTC2500-32だけがSDOAを駆動できるようにする必要があります。図50に示すように、RDLA入力はアイドル状態では“H”であり、個別に“L”にして変換と変換の間に各デバイスからデータを読み出します。RDLAを“L”にすると、選択されたデバイスのMSBがSDOAに出力されます。

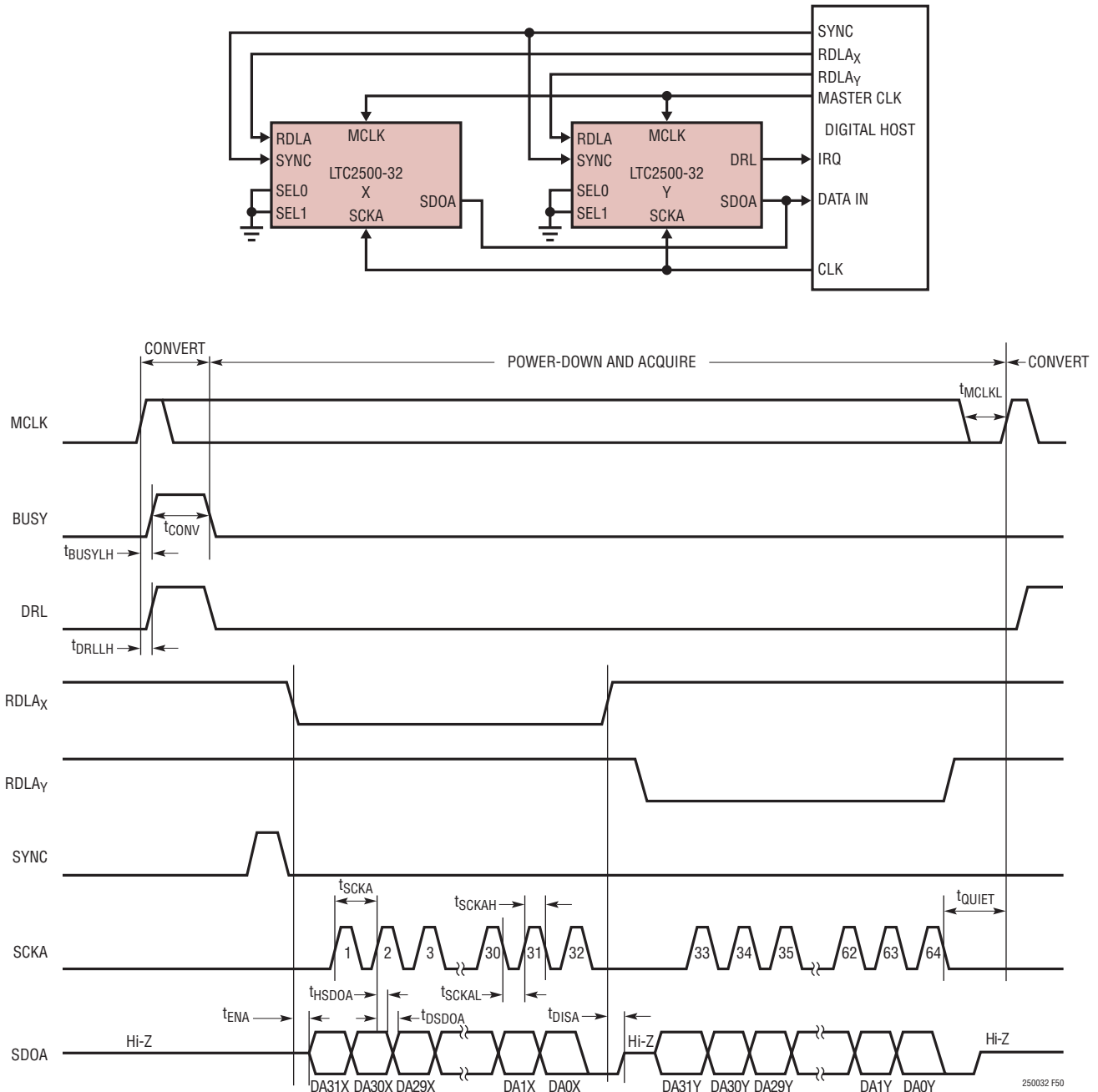


図50. MCLK、SCKA、およびSDOAを共有する複数のLTC2500-32デバイスを使用したフィルタ処理済み出力の読み出し

250032f

アプリケーション情報

待ち時間のない出力データ、単一のデバイス

図51に、待ち時間のないデータ出力を読み出すように構成された単一のLTC2500-32を示します。RDLBを接地すると、SDOBがイネーブルされ、BUSYの立ち下がりエッジから $t_{DSDOBBUSYL}$ の後に、出力結果のオーバーレンジ・ビット(OVRNG)を使用できます。

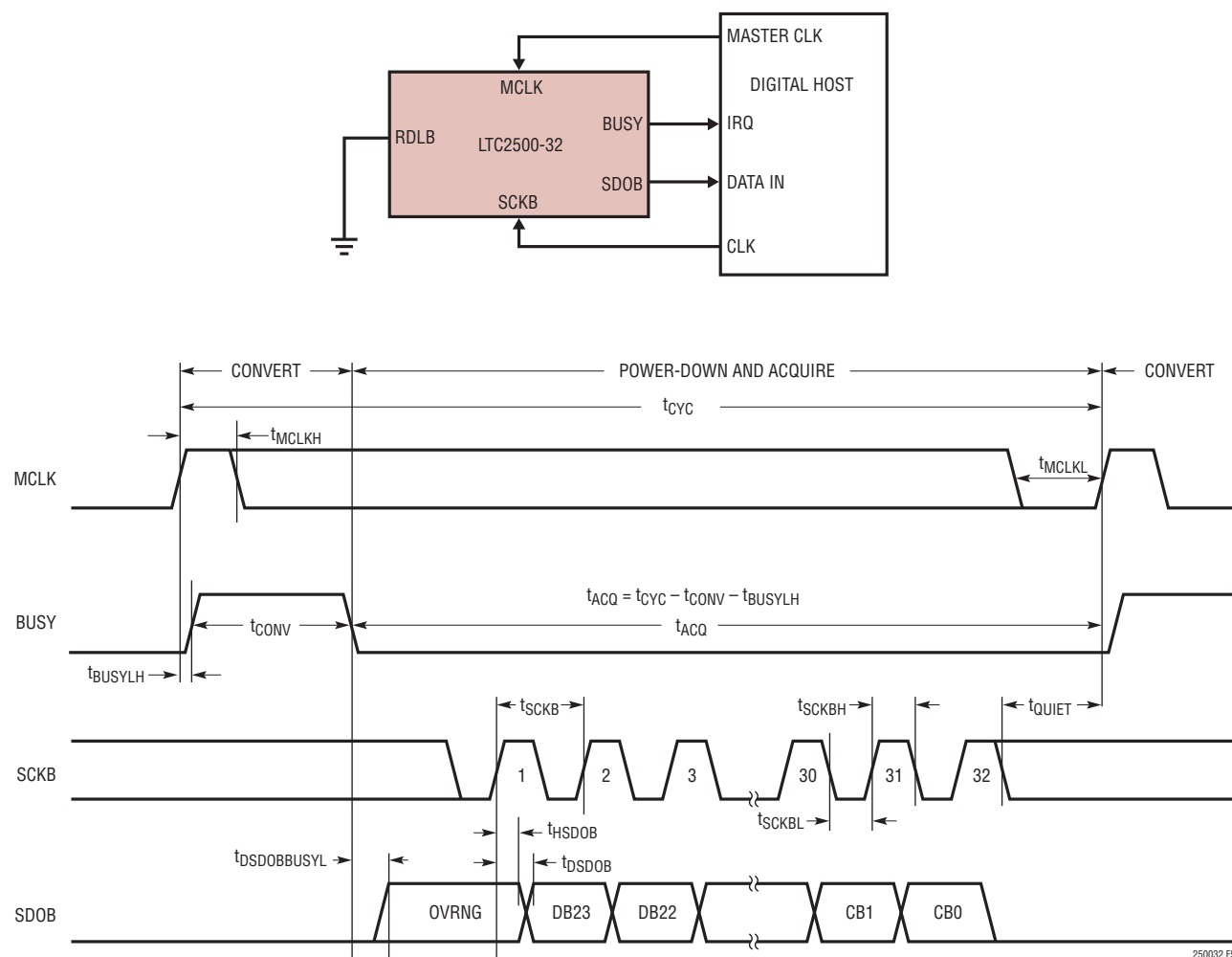


図51. シンプルなLTC2500-32を使用した待ち時間のない出力の読み出し

アプリケーション情報

待ち時間のない出力データ、複数のデバイス

図52に、MCLK、SCKB、およびSDOBを共有しながら待ち時間のないデータ出力を読み出すように構成された複数のLTC2500-32デバイスを示します。MCLK、SCKBおよびSDOBを共有することにより、複数のA/Dコンバータを並列で動作させるのに必要な信号数が減少します。SDOBを共有しているため、バスの競合を防ぐため、各A/Dコンバータ

のRDLB入力を使って、一度に1個のLTC2500-32だけがSDOBを駆動できるようにする必要があります。図52に示すように、RDLB入力はアイドル状態では“H”であり、個別に“L”にして変換と変換の間に各デバイスからデータを読み出します。RDLBが“L”になると、選択されたデバイスのオーバーレンジ・ビットがSDOBに出力されます。

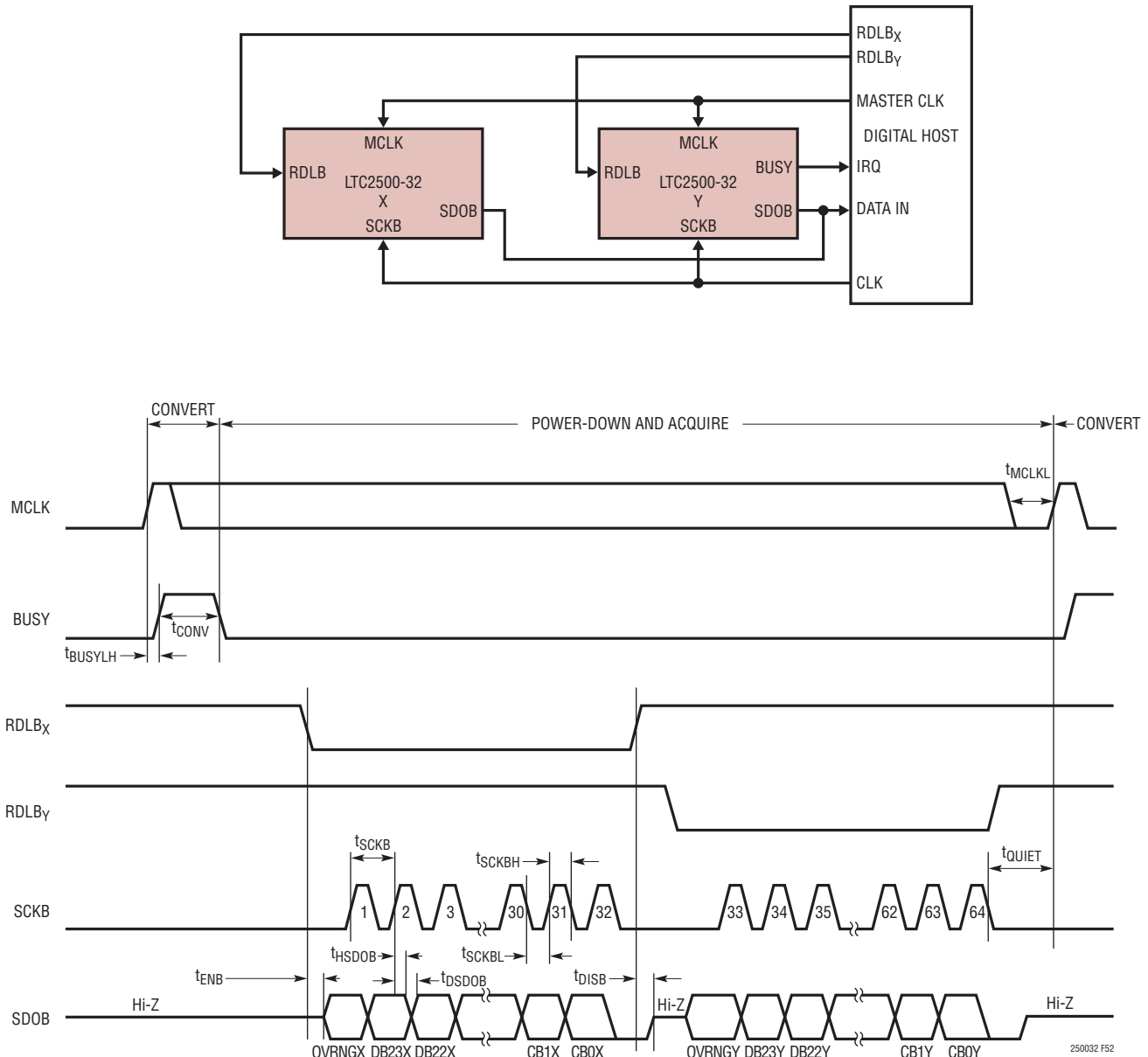


図52. MCLK、SCKB、およびSDOBを共有する複数のLTC2500-32デバイスを使用したフィルタ処理済み出力の読み出し

アプリケーション情報

フィルタ処理済み出力データ、待ち時間のないデータ、単一のデバイス

図53に、SDOAとSDOBを共有し、SCKAとSCKBを共有しながら、フィルタ処理済み出力データと待ち時間のない出力データの両方を読み出すように構成された単一のLTC2500-32デバイスを示します。信号を共有することで、A/Dコンバータからフィルタ処理済みデータと待ち時間のないデータの両方を読み出すために必要な信号の総数を減らします。SDOAとSDOBが共有されているので、バスの競合を防ぐため、各

A/DコンバータのRDLA入力およびRDLB入力を使って、一度に1個の出力だけが共有されたSDOバスを駆動できるようにする必要があります。図53に示すように、RDLA入力およびRDLB入力はアイドル状態では“H”であり、個別に“L”にして、データを使用できる場合に各シリアル出力からデータを読み出します。RDLAが“L”になると、SDOAからのフィルタ処理済み出力データのMSBが、共有されたSDOバスに出力されます。RDLBが“L”になると、SDOBからの待ち時間のないデータ出力のオーバーレンジ(OVRNG)ビットが、共有されたSDOバスに出力されます。

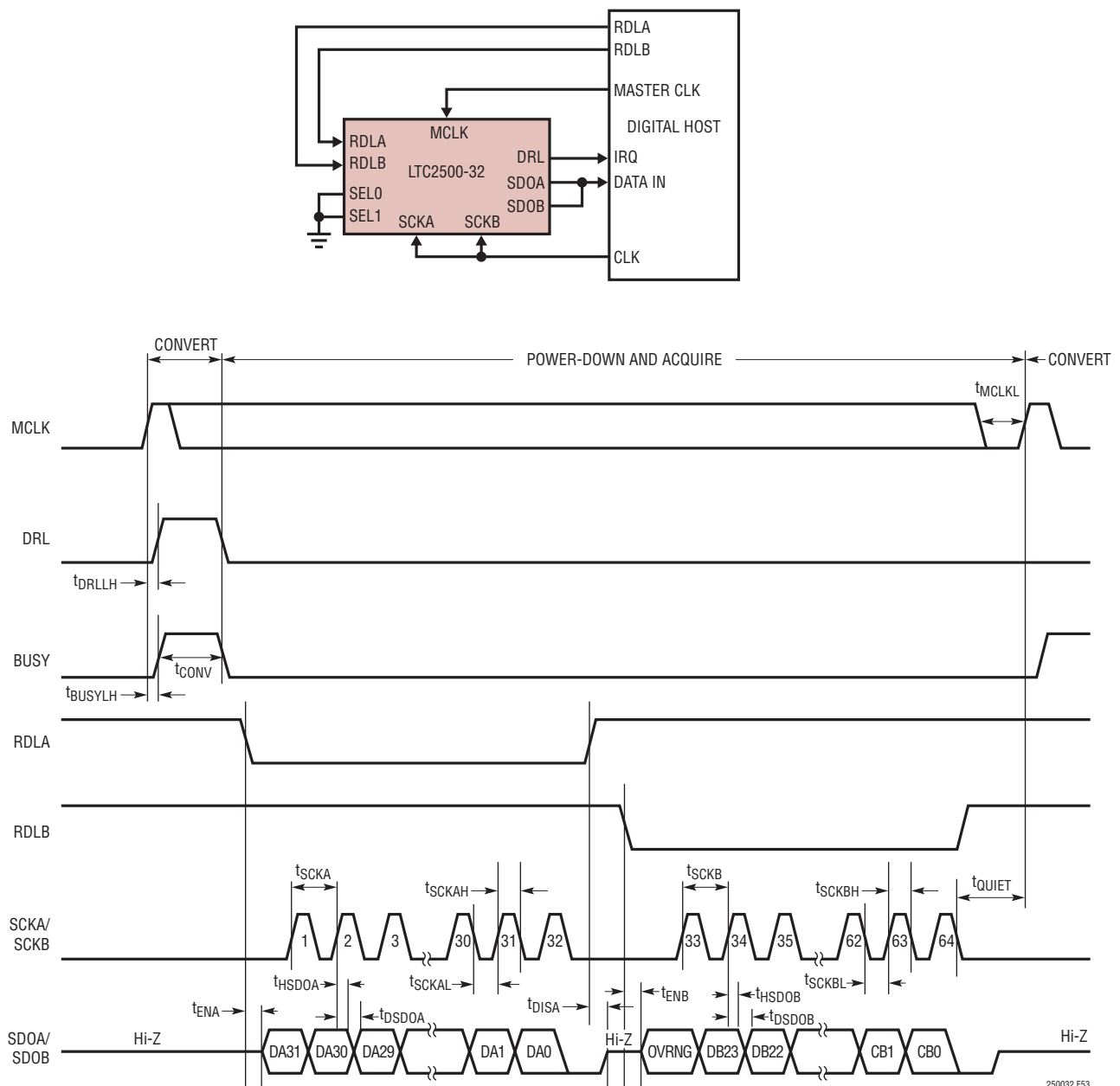


図53. SCKおよびSDOを共有するフィルタ処理済み出力および待ち時間のない出力の読み出し

250032 F53

250032f

基板のレイアウト

LTC2500-32から最大限の性能を引き出すには、4層プリント回路基板(PCB)を推奨します。PCBのレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・クロックやデジタル信号は、アナログ信号に沿って配線したり、ADCの下に配線したりしないように注意してください。

電源バイパス・コンデンサを、できるだけ電源ピンに近づけて配置します。A/Dコンバータを低ノイズで動作させるには、これらのバイパス・コンデンサに低インピーダンスの共通帰線を

使用することが不可欠です。この目的には、単一の切れ目のないグランド・プレーンを推奨します。可能な場合、グランドを使用してアナログ入力トレースのスクリーニングを行います。

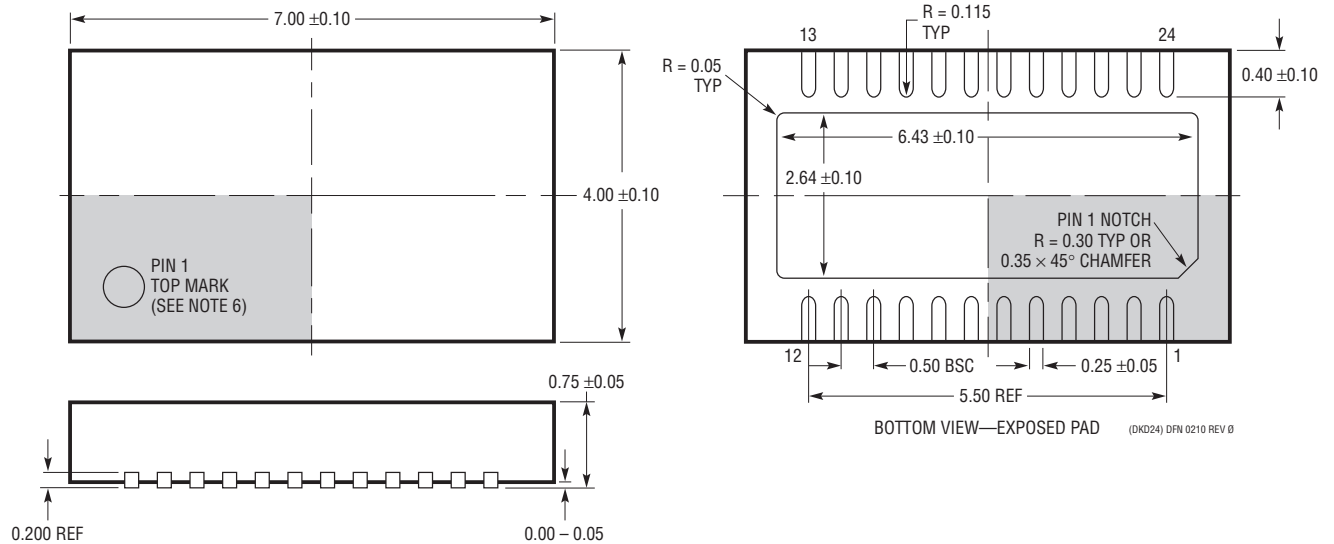
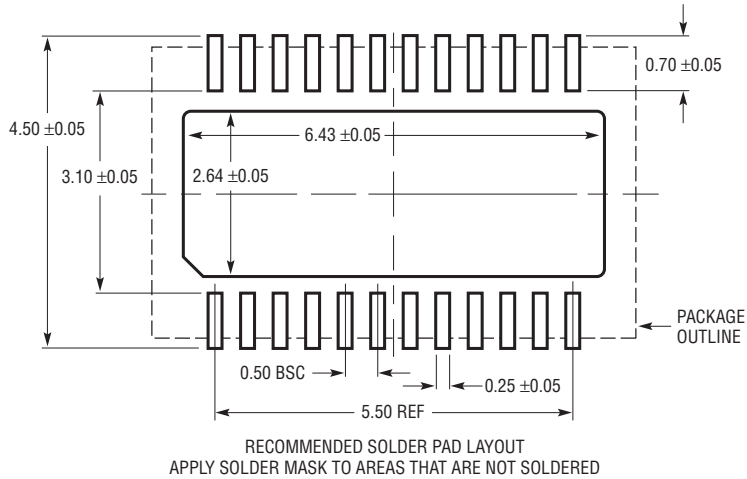
リファレンス設計

回路図およびPCBレイアウトを含むこのコンバータのリファレンス設計の詳細については、LTC2500-32の評価キットDC2222を参照してください。

パッケージ寸法

最新のパッケージ図面については、<http://www.linear-tech.co.jp/product/LTC2500-32#packaging> を参照してください。

DKD Package
24-Lead Plastic DFN (7mm × 4mm)
 (Reference LTC DWG # 05-08-1864 Rev 0)



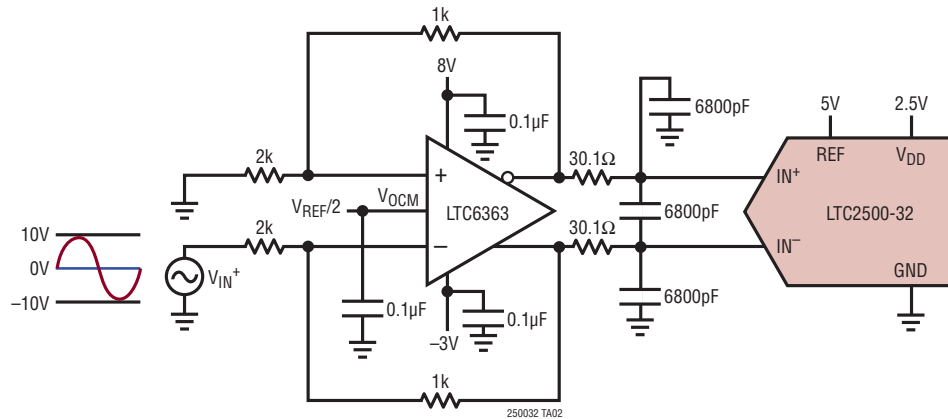
注記:

1. 図は JEDEC パッケージ外形 MO-229 のバージョンのバリエーション (WXXX) として提案
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル

4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。モールドのバリは (もしあれば) 各サイドで 0.15mm を超えないこと。
5. 露出パッドは半田メッキとする
6. 灰色の部分はパッケージの上面と底面のピン 1 の位置の参考に過ぎない

標準的応用例

±10V 真の両極性入力信号のバッファおよび完全差動 ADC 入力への変換



関連製品

製品番号	説明	注釈
A/D コンバータ		
LTC2380-24	INL が ±0.5ppm の 24 ビット、1.5/2Msps、シリアル、低消費電力 A/D コンバータ	2.5V 電源、±5V 完全差動入力、SNR: 100dB、MSOP-16 および 4mm×3mm DFN-16 パッケージ
LTC2368-24	単極性入力範囲を備える INL が ±0.5ppm の 24 ビット、1Msps、シリアル、低消費電力 A/D コンバータ	2.5V 電源、0V ~ 5V 完全単極性入力、SNR: 98dB、MSOP-16 および 4mm×3mm DFN-16 パッケージ
D/A コンバータ		
LTC2757	18 ビット、シングル・パラレル I _{OUT} SoftSpan™ D/A コンバータ	INL/DNL: ±1LSB、ソフトウェアで選択可能な範囲、7mm×7mm LQFP-48 パッケージ
LTC2641	16 ビット/14 ビット/12 ビット、シングル・シリアル電圧出力 D/A コンバータ	INL/DNL: ±1LSB、MSOP-8 パッケージ、0V ~ 5V 出力
LTC2630	12 ビット/10 ビット/8 ビット、シングル電圧出力 D/A コンバータ	6ピン SC70 パッケージ、内部リファレンス、INL: ±1LSB (12 ビット)
リファレンス		
LTC6655	高精度、低ドリフト、低ノイズのバッファ付きリファレンス	5V/4.906V/3.3V/3V/2.5V/2.048V/1.25V、5ppm/°C、ピーク・トゥ・ピーク・ノイズ: 0.25ppm、MSOP-8 パッケージ
LTC6652	高精度、低ドリフト、低ノイズのバッファ付きリファレンス	5V/4.906V/3.3V/3V/2.5V/2.048V/1.25V、5ppm/°C、ピーク・トゥ・ピーク・ノイズ: 2.1ppm、MSOP-8 パッケージ
アンプ		
LTC2057	低ノイズ、ゼロドリフト・オペアンプ	4μV オフセット電圧、0.015μV/°C オフセット電圧ドリフト
LTC6363	低消費電力、完全差動出力アンプ/ドライバ	単電源: 2.8V ~ 11V、電源電流: 1.9mA、MSOP-8 および 2mm×3mm DFN-8 パッケージ
LTC2508-32	構成可能なデジタル・フィルタ付き 32 ビット・オーバーサンプリング A/D コンバータ	INL: 3.5ppm、ダイナミックレンジ: 最大 145dB、7mm×4mm DFN-24 パッケージ
LTC2512-24	構成可能なフラット通過帯域デジタル・フィルタ付き 24 ビット・オーバーサンプリング A/D コンバータ	INL: 3.5ppm、ダイナミックレンジ: 最大 117dB、7mm×4mm DFN-24 パッケージ
LT6203	デュアル 100MHz、レール・トゥ・レール 入出力、低ノイズ・パワー・アンプ	1.9n√Hz、最大電源電流: 3mA、利得帯域幅: 100MHz
LTC2378-20/ LTC2377-20/ LTC2376-20	INL が ±0.5ppm の 20 ビット、1Msps/500ksps/250ksps、シリアル、低消費電力 A/D コンバータ	2.5V 電源、±5V 完全差動入力、SNR: 104dB、MSOP-16 および 4mm×3mm DFN-16 パッケージ
LTC6362	低消費電力、完全差動入出力アンプ/ドライバ	単電源: 2.8V ~ 5.25V、電源電流: 1mA、MSOP-8 および 3mm×3mm DFN-8 パッケージ