

Easy Drive入力電流キャンセル機能 およびI²Cインタフェース付き 16ビット8/16チャンネル・デルタシグマADC

特長

- 最大8つの差動入力または最大16のシングルエンド入力
- Easy Drive™ 技法により、差動入力電流がゼロのレール・トゥ・レール入力が可能
- 最大限の精度で高インピーダンス・センサを直接デジタル化
- 27のアドレスと1つの同期用グローバル・アドレスを備えた2線I²Cインタフェース
- RMSノイズ: 600nV (遷移ノイズ: 0.02LSB)
- GND~V_{CC} の入力リファレンス同相範囲
- 50Hz/60Hz同時除去
- INL が2ppm、ミッシングコードなし
- オフセットが1ppm、フルスケール誤差が15ppm
- 待ち時間なし: 新しいチャンネルの選択後もデジタル・フィルタは1 サイクルでセトリング
- 2.7V~5.5V単一電源動作 (0.8mV)
- 内部発振器
- 5mm×7mm小型QFN パッケージ

アプリケーション

- ダイレクト・センサ・デジタイザ
- 直接温度測定
- 計測
- 産業用プロセス制御

概要

LTC®2497は、Easy Drive技法と2線I²Cインタフェースを採用した16チャンネル(8差動チャンネル)16ビットNo Latency ΔΣ™ ADCです。特許取得のサンプリング回路は、差動入力電流の自動キャンセルにより、ダイナミック入力電流誤差や内部バッファの欠点を排除します。このため、優れたDC精度を維持しながら、大きい外部ソース・インピーダンスを許容可能で、レール・トゥ・レール入力信号を直接デジタル化できます。

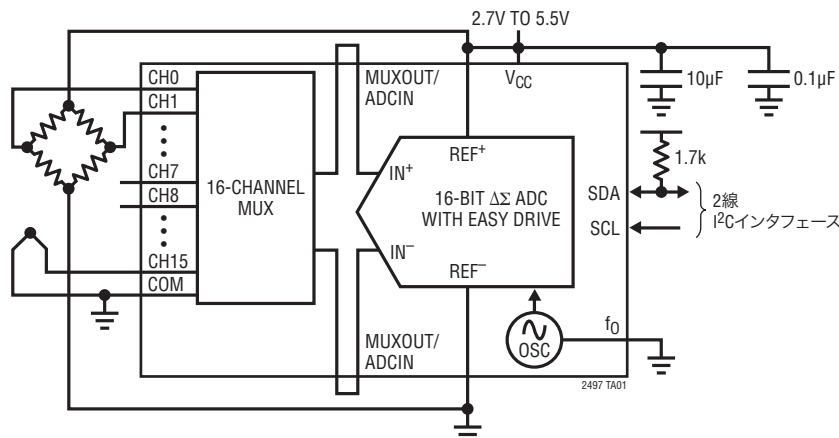
LTC2497は発振器を内蔵しています。このデバイスは、シングルエンド・モードまたは差動モードで動作する16のアナログ入力チャンネルの組み合わせから外部信号を測定するように構成可能です。また、50Hzおよび60Hzのライン周波数を自動的に同時除去します。

LTC2497はリファレンス電圧と関係なく、広い同相入力電圧範囲(0V~V_{CC})が可能です。シングルエンド入力または差動入力のあらゆる組み合わせを選択可能で、新しいチャンネルを選択した後の最初の変換が有効です。マルチプレクサ出力にアクセスすることにより、オプションの外付けアンプをすべてのアナログ入力間で共有できます。また、自動較正によって、付随するオフセットやドリフトが連続的に排除されます。

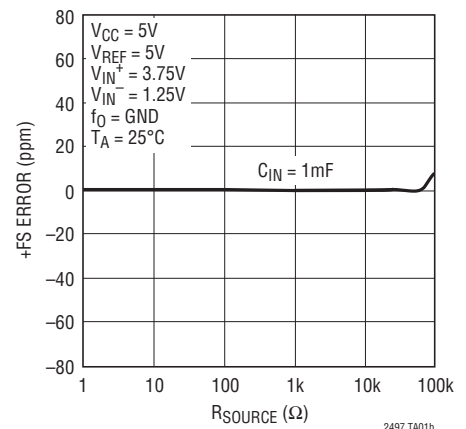
ΔΣ、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリアテクノロジー社の登録商標です。No Latency ΔΣおよびEasy Driveはリアテクノロジー社の商標です。他のすべての商標はそれぞれの所有者に所有権があります。

標準的応用例

Easy Driveデータ収集システム



+FS誤差とIN⁺およびIN⁻のR_{SOURCE}



LTC2497

絶対最大定格

(Note 1, 2)

電源電圧 (V_{CC}) -0.3V~6V

アナログ入力電圧

(CH0~CH15, COM) -0.3V~(V_{CC}+0.3V)

REF⁺, REF⁻ -0.3V~(V_{CC}+0.3V)

ADCINN, ADCINP, MUXOUTP、

MUXOUTN -0.3V~(V_{CC}+0.3V)

デジタル入力電圧 -0.3V~(V_{CC}+0.3V)

デジタル出力電圧 -0.3V~(V_{CC}+0.3V)

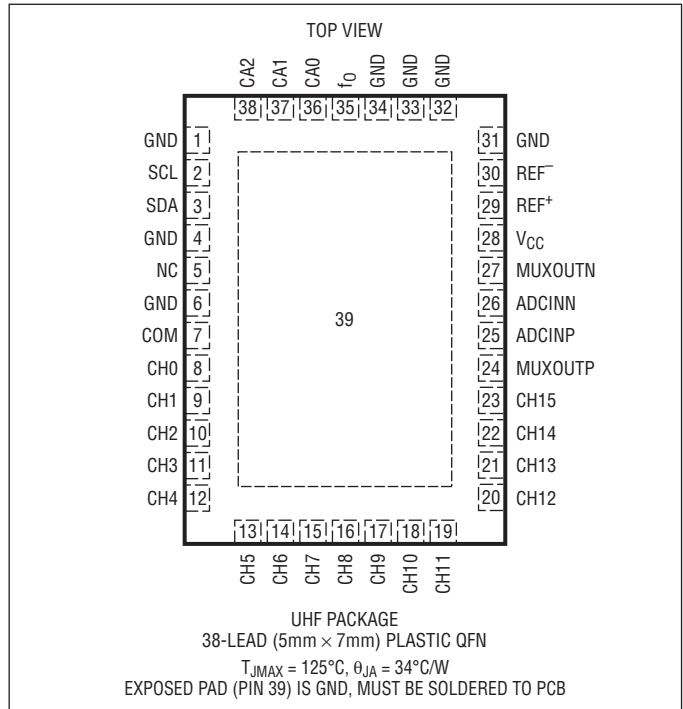
動作温度範囲

LTC2497C 0°C~70°C

LTC2497I -40°C~85°C

保存温度範囲 -65°C~150°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2497CUHF#PBF	LTC2497CUHF#TRPBF	2497	38-Lead (5mm × 7mm) Plastic QFN	0°C to 70°C
LTC2497IUHF#PBF	LTC2497IUHF#TRPBF	2497	38-Lead (5mm × 7mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3, 4)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)	$0.1\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, -\text{FS} \leq V_{\text{IN}} \leq +\text{FS}$ (Note 5)	16			Bits
Integral Nonlinearity	$5\text{V} \leq V_{\text{CC}} \leq 5.5\text{V}, V_{\text{REF}} = 5\text{V}, V_{\text{IN(CM)}} = 2.5\text{V}$ (Note 6) $2.7\text{V} \leq V_{\text{CC}} \leq 5.5\text{V}, V_{\text{REF}} = 2.5\text{V}, V_{\text{IN(CM)}} = 1.25\text{V}$ (Note 6)	●	2 1	20	ppm of V_{REF} ppm of V_{REF}
Offset Error	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Note 13)	●	0.5	2.5	μV
Offset Error Drift	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$		10		$\text{nV}/^\circ\text{C}$
Positive Full-Scale Error	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{IN}^+ = 0.75V_{\text{REF}}, \text{IN}^- = 0.25V_{\text{REF}}$	●		32	ppm of V_{REF}
Positive Full-Scale Error Drift	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{IN}^+ = 0.75V_{\text{REF}}, \text{IN}^- = 0.25V_{\text{REF}}$		0.1		ppm of $V_{\text{REF}}/^\circ\text{C}$
Negative Full-Scale Error	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{IN}^+ = 0.25V_{\text{REF}}, \text{IN}^- = 0.75V_{\text{REF}}$	●		32	ppm of V_{REF}
Negative Full-Scale Error Drift	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{IN}^+ = 0.25V_{\text{REF}}, \text{IN}^- = 0.75V_{\text{REF}}$		0.1		ppm of $V_{\text{REF}}/^\circ\text{C}$
Total Unadjusted Error	$5\text{V} \leq V_{\text{CC}} \leq 5.5\text{V}, V_{\text{REF}} = 2.5\text{V}, V_{\text{IN(CM)}} = 1.25\text{V}$ $5\text{V} \leq V_{\text{CC}} \leq 5.5\text{V}, V_{\text{REF}} = 5\text{V}, V_{\text{IN(CM)}} = 2.5\text{V}$ $2.7\text{V} \leq V_{\text{CC}} \leq 5.5\text{V}, V_{\text{REF}} = 2.5\text{V}, V_{\text{IN(CM)}} = 1.25\text{V}$		15 15 15		ppm of V_{REF} ppm of V_{REF} ppm of V_{REF}
Output Noise	$2.7\text{V} < V_{\text{CC}} < 5.5\text{V}, 2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}},$ $\text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Note 12)		0.6		μVRMS

コンバータの特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Common Mode Rejection DC	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Note 5)	●	140		dB
Input Normal Mode Rejection 50Hz/60Hz $\pm 2\%$	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Notes 5, 9)	●	87		dB
Reference Common Mode Rejection DC	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Note 5)	●	120	140	dB
Power Supply Rejection DC	$V_{\text{REF}} = 2.5\text{V}, \text{IN}^+ = \text{IN}^- = \text{GND}$		120		dB
Power Supply Rejection, 50Hz $\pm 2\%$	$V_{\text{REF}} = 2.5\text{V}, \text{IN}^+ = \text{IN}^- = \text{GND}$ (Notes 7, 9)		120		dB
Power Supply Rejection, 60Hz $\pm 2\%$	$V_{\text{REF}} = 2.5\text{V}, \text{IN}^+ = \text{IN}^- = \text{GND}$ (Notes 8, 9)		120		dB

アナログ入力とリファレンス

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
IN^+	Absolute/Common Mode IN^+ Voltage (IN^+ Corresponds to the Selected Positive Input Channel)		$\text{GND} - 0.3\text{V}$		$V_{\text{CC}} + 0.3\text{V}$	V	
IN^-	Absolute/Common Mode IN^- Voltage (IN^- Corresponds to the Selected Negative Input Channel)		$\text{GND} - 0.3\text{V}$		$V_{\text{CC}} + 0.3\text{V}$	V	
V_{IN}	Input Differential Voltage Range ($\text{IN}^+ - \text{IN}^-$)	●	-FS		+FS	V	
FS	Full Scale of the Differential Input ($\text{IN}^+ - \text{IN}^-$)	●	$0.5V_{\text{REF}}$			V	
LSB	Least Significant Bit of the Output Code	●	$\text{FS}/2^{16}$				
REF^+	Absolute/Common Mode REF^+ Voltage	●	0.1		V_{CC}	V	
REF^-	Absolute/Common Mode REF^- Voltage	●	GND		$\text{REF}^+ - 0.1\text{V}$	V	
V_{REF}	Reference Voltage Range ($\text{REF}^+ - \text{REF}^-$)	●	0.1		V_{CC}	V	
$\text{CS}(\text{IN}^+)$	IN^+ Sampling Capacitance			11		pF	
$\text{CS}(\text{IN}^-)$	IN^- Sampling Capacitance			11		pF	
$\text{CS}(V_{\text{REF}})$	V_{REF} Sampling Capacitance			11		pF	
$I_{\text{DC_LEAK}}(\text{IN}^+)$	IN^+ DC Leakage Current	Sleep Mode, $\text{IN}^+ = \text{GND}$	●	-10	1	10	nA

LTC2497

アナログ入力とリファレンス

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

$I_{DC_LEAK(IN^-)}$	IN ⁻ DC Leakage Current	Sleep Mode, IN ⁻ = GND	●	-10	1	10	nA
$I_{DC_LEAK(REF^+)}$	REF ⁺ DC Leakage Current	Sleep Mode, REF ⁺ = V _{CC}	●	-100	1	100	nA
$I_{DC_LEAK(REF^-)}$	REF ⁻ DC Leakage Current	Sleep Mode, REF ⁻ = GND	●	-100	1	100	nA
t_{OPEN}	MUX Break-Before-Make				50		ns
QIRR	MUX Off Isolation	V _{IN} = 2V _{P-P} DC to 1.8MHz			120		dB

I²C入力とデジタル出力

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V _{IH}	High Level Input Voltage		●	0.7V _{CC}			V
V _{IL}	Low Level Input Voltage		●			0.3V _{CC}	V
V _{IHA}	High Level Input Voltage for Address Pins CA0, CA1, CA2, and Pin f ₀		●	0.95V _{CC}			V
V _{ILA}	Low Level Input Voltage for Address Pins CA0, CA1, CA2		●			0.05V _{CC}	V
R _{INH}	Resistance from CA0, CA1, CA2 to V _{CC} to Set Chip Address Bit to 1		●			10	k Ω
R _{INL}	Resistance from CA0, CA1, CA2 to GND to Set Chip Address Bit to 0		●			10	k Ω
R _{INF}	Resistance from CA0, CA1, CA2 to GND or V _{CC} to Set Chip Address Bit to Float		●	2			M Ω
I _I	Digital Input Current		●	-10		10	μ A
V _{HYS}	Hysteresis of Schmidt Trigger Inputs	(Note 5)	●	0.05V _{CC}			V
V _{OL}	Low Level Output Voltage (SDA)	I = 3mA	●			0.4	V
t _{OF}	Output Fall Time V _{IH(MIN)} to V _{IL(MAX)}	Bus Load C _B 10pF to 400pF (Note 14)	●	20 + 0.1C _B		250	ns
I _{IN}	Input Leakage	0.1V _{CC} \leq V _{IN} \leq V _{CC}	●			1	μ A
C _{CAX}	External Capacitive Load on Chip Address Pins (CA0, CA1, CA2) for Valid Float		●			10	pF

電源要件

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V _{CC}	Supply Voltage		●	2.7		5.5	V
I _{CC}	Supply Current	Conversion Current (Note 11)	●		160	275	μ A
		Sleep Mode (Note 11)	●		1	2	μ A

デジタル入力とデジタル出力

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f_{EOSC}	External Oscillator Frequency Range	(Note 16)	● 10		4000	kHz
t_{HEO}	External Oscillator High Period		● 0.125		100	μs
t_{LEO}	External Oscillator Low Period		● 0.125		100	μs
t_{CONV}	Conversion Time	Internal Oscillator External Oscillator (Note 10)	● 144.1	146.9 41036/ f_{EOSC} (in kHz)	149.9	ms ms

I²Cタイミング特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3、15)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f_{SCL}	SCL Clock Frequency		● 0		400	kHz
$t_{\text{HD(SDA)}}$	Hold Time (Repeated) Start Condition		● 0.6			μs
t_{LOW}	Low Period of the SCL Pin		● 1.3			μs
t_{HIGH}	High Period of the SCL Pin		● 0.6			μs
$t_{\text{SU(STA)}}$	Set-Up Time for a Repeated Start Condition		● 0.6			μs
$t_{\text{HD(DAT)}}$	Data Hold Time		● 0		0.9	μs
$t_{\text{SU(DAT)}}$	Data Set-Up Time		● 100			ns
t_r	Rise Time for SDA Signals	(Note 14)	● $20 + 0.1C_B$		300	ns
t_f	Fall Time for SDA Signals	(Note 14)	● $20 + 0.1C_B$		300	ns
$t_{\text{SU(STO)}}$	Set-Up Time for Stop Condition		● 0.6			μs

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: すべての電圧値はGNDを基準にしている。

Note 3: 注記がない限り: $V_{\text{CC}} = 2.7\text{V} \sim 5.5\text{V}$

$$V_{\text{REFCM}} = V_{\text{REF}}/2, F_S = 0.5V_{\text{REF}}$$

$$V_{\text{IN}} = \text{IN}^+ - \text{IN}^-, V_{\text{IN(CM)}} = (\text{IN}^+ + \text{IN}^-)/2.$$

ここで、 IN^+ と IN^- は選択された入力チャネルである。

Note 4: 注記がない限り、内部変換クロックまたは $f_{\text{EOSC}} = 307.2\text{kHz}$ の外部変換クロック・ソースを使う。

Note 5: 設計によって保証されているが、テストされない。

Note 6: 積分非直線性は、実際の伝達曲線のエンドポイントを通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 7: $f_{\text{EOSC}} = 256\text{kHz} \pm 2\%$ (外部発振器)

Note 8: $f_{\text{EOSC}} = 307.2\text{kHz} \pm 2\%$ (外部発振器)

Note 9: 50Hz/60Hz同時モード (内部発振器) または $f_{\text{EOSC}} = 280\text{kHz} \pm 2\%$ (外部発振器)

Note 10: 外部発振器は f_0 ピンに接続される。外部発振器の周波数(f_{EOSC})はkHzで表されている。

Note 11: コンバータは内部発振器を使用する。

Note 12: 出力ノイズには内部較正動作によって生じる分が含まれる。

Note 13: 設計およびテストの相関により保証されている。

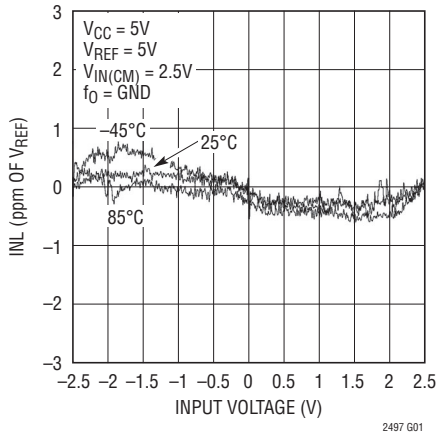
Note 14: $C_B = 1$ 本のバスラインのpFを単位とする容量 ($10\text{pF} \leq C_B \leq 400\text{pF}$)。

Note 15: すべての値は $V_{\text{IH(MIN)}}$ と $V_{\text{IL(MAX)}}$ のレベルを基準にしている。

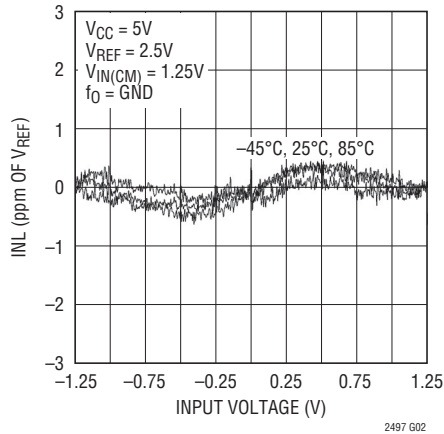
Note 16: 「性能とデータ・レート」のグラフについては、「アプリケーション情報」のセクションを参照。

標準的性能特性

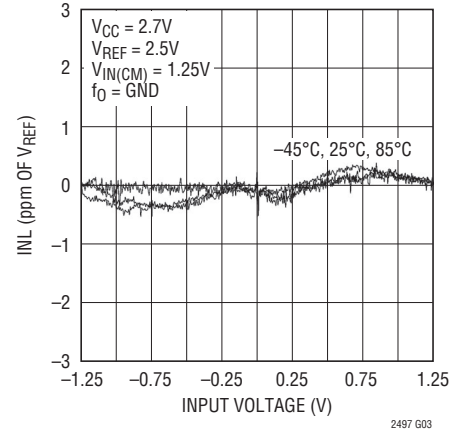
積分非直線性
($V_{CC} = 5V$, $V_{REF} = 5V$)



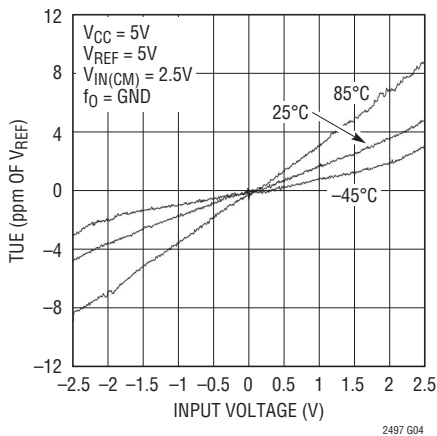
積分非直線性
($V_{CC} = 5V$, $V_{REF} = 2.5V$)



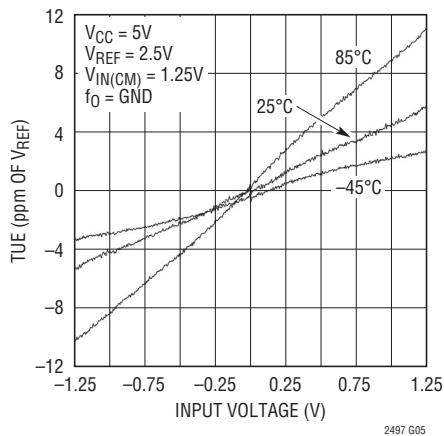
積分非直線性
($V_{CC} = 2.7V$, $V_{REF} = 2.5V$)



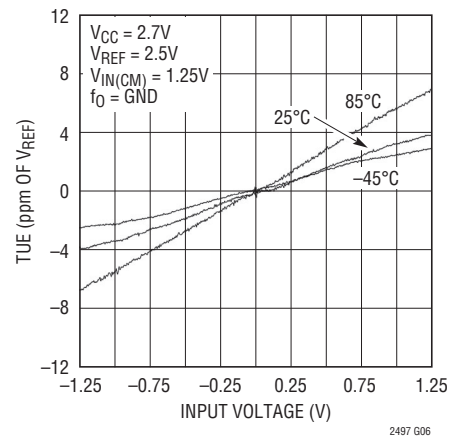
全未調整誤差
($V_{CC} = 5V$, $V_{REF} = 5V$)



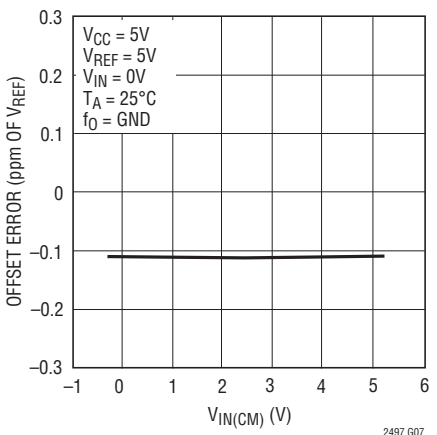
全未調整誤差
($V_{CC} = 5V$, $V_{REF} = 2.5V$)



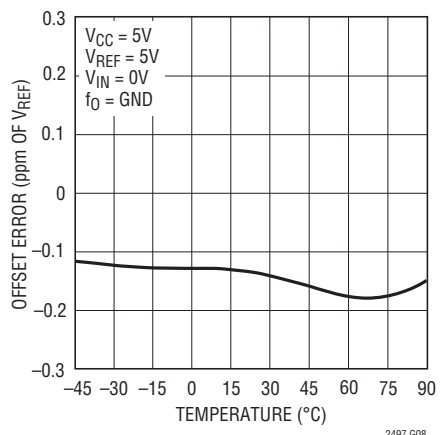
全未調整誤差
($V_{CC} = 2.7V$, $V_{REF} = 2.5V$)



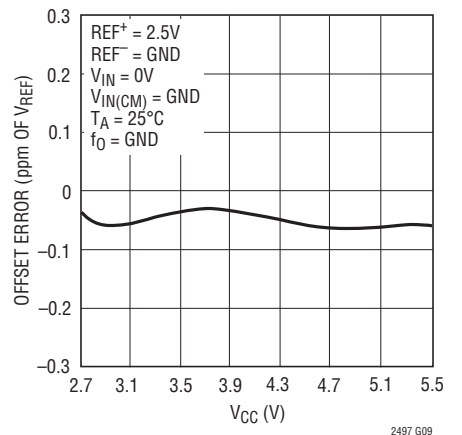
オフセット誤差と $V_{IN(CM)}$



オフセット誤差と温度

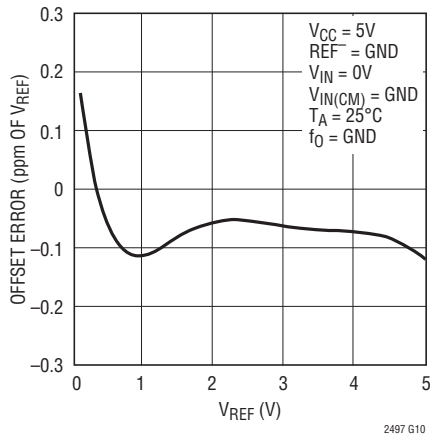


オフセット誤差と V_{CC}



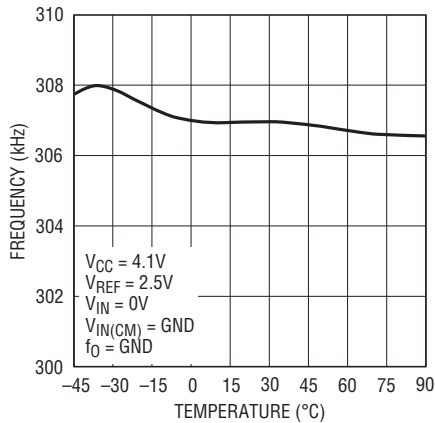
標準的性能特性

オフセット誤差とV_{REF}



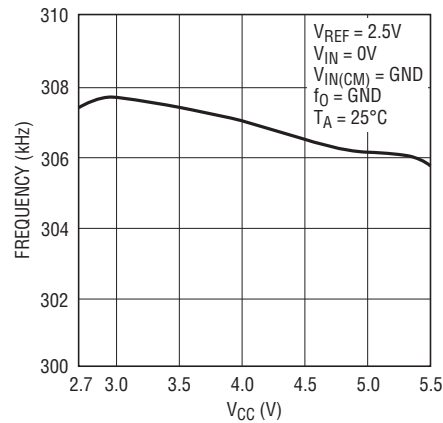
2497 G10

内部発振器の周波数と温度



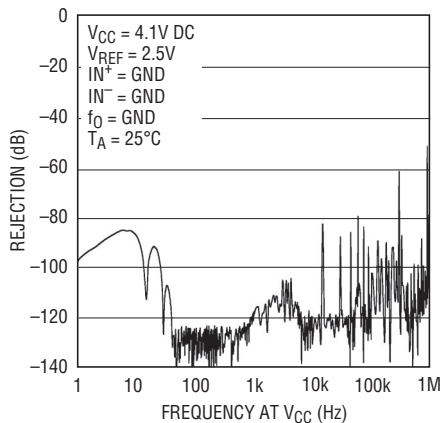
2497 G11

内部発振器の周波数とV_{CC}



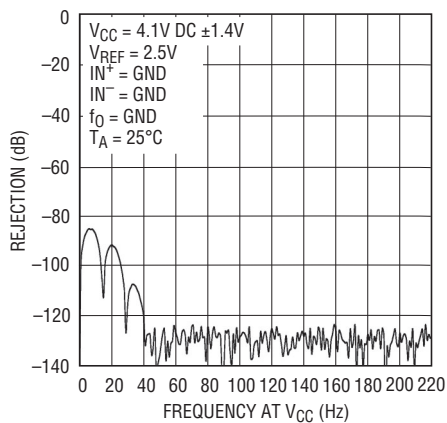
2497 G12

PSRRとV_{CC}での周波数



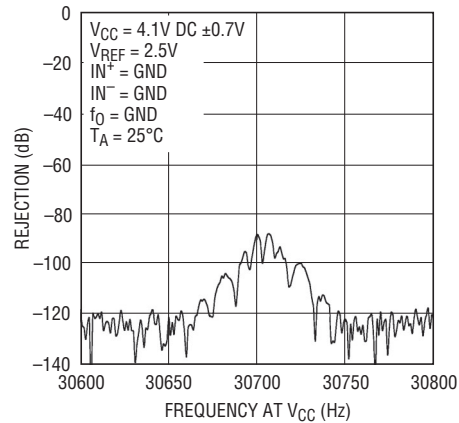
2497 G13

PSRRとV_{CC}での周波数



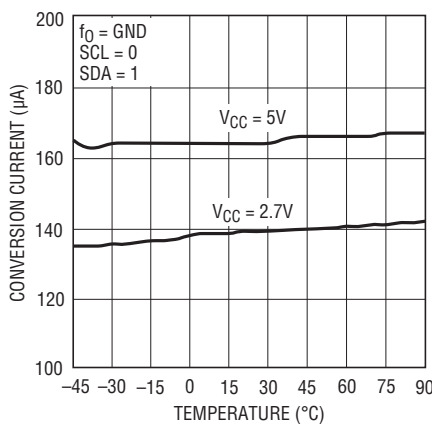
2497 G14

PSRRとV_{CC}での周波数



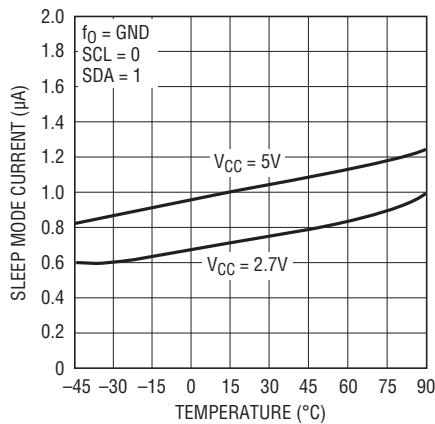
2497 G15

変換電流と温度



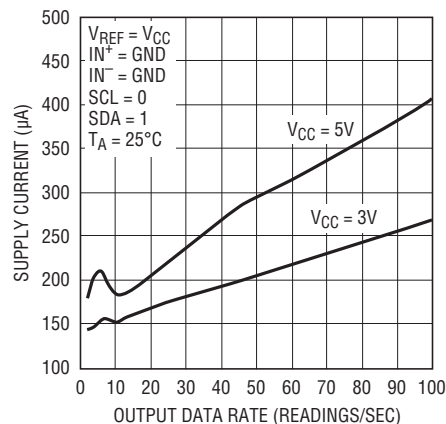
2497 G16

スリープ・モード電流と温度



2497 G17

変換電流と出力データ・レート



2497 G18

ピン機能

GND (ピン1、4、6、31、32、33、34) : グランド。グランド電流の流れとV_{CC}のデカップリングを最適にするため、内部で結合されている複数のグランド・ピン。これらのピンのそれぞれを1つの共通グランド・プレーンに低インピーダンスで接続します。適正な動作のためには7つのピンすべてをグランドに接続する必要があります。

SCL (ピン2) : I²Cインタフェースのシリアル・クロック・ピン。LTC2497はスレーブとして機能することができるだけで、SCLピンは外部シリアル・クロックだけを受け入れます。データはSCLクロックの立ち上がりエッジでシフトされてSDAピンに入力され、SCLクロックの立ち下がりエッジでSDAピンを通して出力されます。

SDA (ピン3) : I²Cインタフェースの双方向シリアル・データ・ライン。トランスミッタ・モード(読み出し)では変換結果がSDAピンを通して出力され、レシーバ・モード(書き込み)ではデバイスのチャンネル選択ビットがSDAピンを通して入力されます。このピンはデータ入力モードの間は高インピーダンスで、データ出力モードの間はオープン・ドレイン出力です(V_{CC}への適切なプルアップ・デバイスが必要)。

NC (ピン5) : 接続なし。このピンはフロート状態かGNDに接続します。

COM (ピン7) : すべてのシングルエンド・マルチプレクサ構成の共通負入力(IN⁻)。CH0~CH15およびCOMの各ピンの電圧はGND-0.3VからV_{CC}+0.3Vの範囲の任意の値にすることができます。これらのリミット内では、2つの選択された入力(IN⁺とIN⁻)により、 $-0.5 \cdot V_{REF} \sim 0.5 \cdot V_{REF}$ のバイポーラの入力範囲(V_{IN} = IN⁺ - IN⁻)が与えられます。この入力範囲の外側では、コンバータは固有のオーバーレンジとアンダーレンジの出力コードを発生します。

CH0~CH15 (ピン8~23) : アナログ入力。シングルエンド・モードまたは差動モードに設定することができます。

MUXOUTP (ピン24) : 正のマルチプレクサ出力。外部バッファ/アンプの入力に接続するか、またはADCINPに直接短絡します。

ADCINP (ピン25) : 正のADC入力。MUXOUTPによってドライブされるバッファ/アンプの出力に接続するか、またはMUXOUTPに直接短絡します。

ADCINN (ピン26) : 負のADC入力。MUXOUTNによってドライブされるバッファ/アンプの出力に接続するか、またはMUXOUTNに直接短絡します。

MUXOUTN (ピン27) : 負のマルチプレクサ出力。外部バッファ/アンプの入力に接続するか、またはADCINNに直接短絡します。

V_{CC} (ピン28) : 正電源電圧。10μFのタンタル・コンデンサと0.1μFのセラミック・コンデンサを並列に使用して、デバイスのできるだけ近くでGNDにバイパスします。

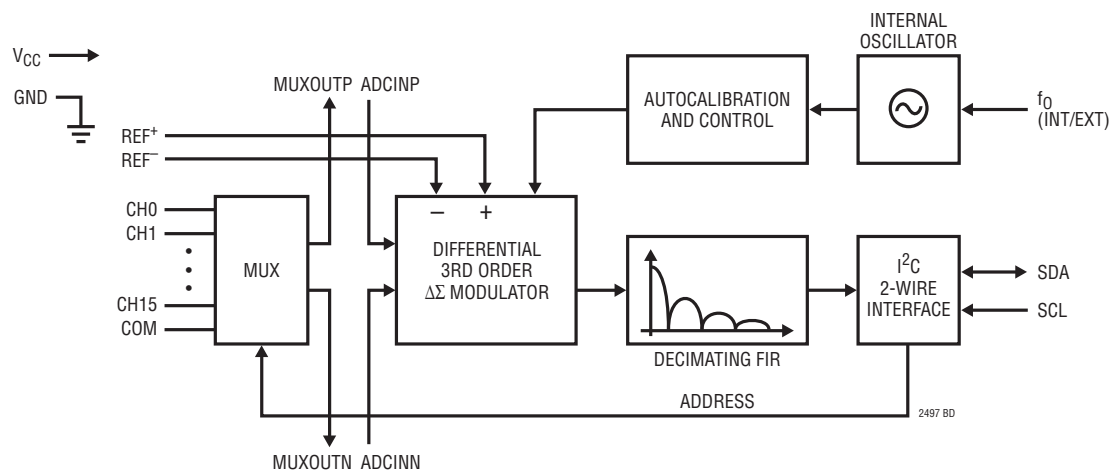
REF⁺、REF⁻ (ピン29、ピン30) : 差動リファレンス入力。これらのピンの電圧は、リファレンスの正入力(REF⁺)がリファレンスの負入力(REF⁻)より少なくとも0.1V高く保たれる限り、GND~V_{CC}の任意の電圧にすることができます。差動電圧(V_{REF} = REF⁺ - REF⁻)により、すべての入力チャンネルのフルスケール範囲が設定されます。

f₀ (ピン35) : 周波数制御ピン。内部変換クロック・レートを制御するデジタル入力。f₀がGNDに接続されていると、コンバータは307.2kHzで動作する内部発振器を使います。出力レートとデジタル・フィルタの除去ヌルを変更するため、f₀ピンを外部クロックでドライブして変換クロックを無効にすることもできます。

CA0、CA1、CA2 (ピン36、37、38) : デバイスのアドレス制御ピン。これらのピンはデバイスのI²Cアドレスのためのスリーステート("L"、"H"、フロート)のアドレス制御ビットとして構成設定されます。

GND (露出パッド・ピン39) : グランド。このピンはグランドで、PCBのグランド・プレーンに半田付けする必要があります。プロトタイプ作成では、このピンをフロートさせたままでも構いません。

機能ブロック図



アプリケーション情報

コンバータの動作

コンバータの動作サイクル

LTC2497はマルチチャンネル、低消費電力のデルタシグマ・アナログ・デジタル・コンバータで、2線式I²Cインタフェースを備えています。その動作は4つの状態で構成されています(図1を参照)。コンバータの動作サイクルは変換から始まり、スリープ状態に入り、データの入力/出力サイクルで終了します。

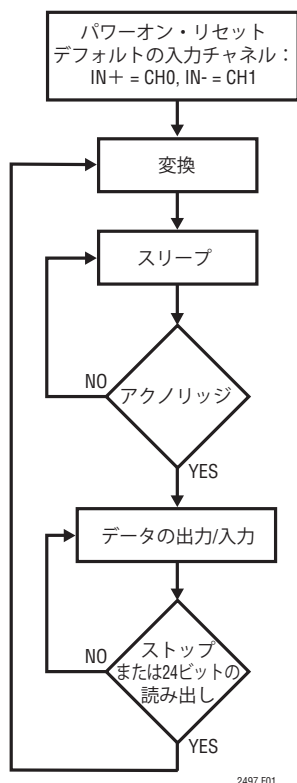


図1. 状態遷移図

LTC2497は最初に(起動時に)変換を行います。変換が完了すると、デバイスはスリープ状態に入ります。スリープ状態では、電力消費が2桁減少します。読み出し/書き込み動作のために呼び出されない限り、デバイスはスリープ状態に留まります。デバイスがスリープ状態の間、変換結果は無期限にスタティック・シフトレジスタ内に保存されます。

変換中、デバイスは外部からのリクエストに対してアクノリッジを返しません。変換が終了すると、デバイスは読み出し/書き込みのリクエストを受け入れる用意ができます。LTC2497は読み出し動作のために呼び出されると、デバイスはシリアル・クロック(SCL)の制御下で変換結果の出力を開始します。変換結果には待ち時間はありません。このデータ出力は24ビット長で、変換結果の16ビットと符号を含んでいます。データはSCLの立ち上がりエッジで更新されるので、ユーザーはSCLの立ち上がりエッジで確実にデータをラッチすることができます。新たな変換は、有効な書き込み動作または未完了の読み出し動作に続くストップ条件によって開始されます。変換は、読み出しサイクル(デバイスからの全24ビットの読み出し)が完了すると自動的に開始されます。

使いやすさ

LTC2497のデータ出力には、待ち時間、フィルタのセトリング遅延、または変換サイクルに関連する冗長データがありません。変換と出力データの間には1対1対応の関係があります。したがって、複数のアナログ入力の多重化は簡単です。入力が新たに選択された直後の各変換は有効で、デバイスのすべての仕様を満たします。

LTC2497は、選択された入力チャンネルには無関係に、変換サイクルごとにオフセットとフルスケールの較正を自動的に行います。この較正はユーザーからは見えず、上述の動作サイクルには影響を与えません。連続較正の利点は、時間経過、電源電圧の変動、入力チャンネル、および温度ドリフトに対してオフセットとフルスケールの測定値がきわめて安定していることです。

Easy Drive入力電流キャンセル

LTC2497は高精度デルタシグマADCを自動差動入力電流キャンセル・フロントエンドと組み合わせています。独自のフロントエンド受動サンプリング・ネットワークが透過的に差動入力電流を除去します。これにより、外部RCネットワークと高インピーダンス・センサを、外部アンプなしに、直接LTC2497にインタフェースさせることができます。残りの同相入力電流は、差動入力のインピーダンスのバランスを取るか、または同相入力を同相リファレンスに等しく設定して除去します(「自動差動入力電流キャンセル」のセクションを参照)。

アプリケーション情報

このユニークなアーキテクチャには内蔵バッファが不要なので、信号はグランドおよび V_{CC} を超えて振幅することができます。さらに、このキャンセル機能はオフセットとフルスケールの透過的な自動較正を妨げないので、外部RCネットワークが付加されても、絶対精度(フルスケール+オフセット+直線性+ドリフト)が維持されます。

パワーアップ・シーケンス

LTC2497は電源電圧 V_{CC} が約2.0Vを下回ると、自動的に内部リセット状態になります。この機能により、変換結果と入力チャネルの選択の完全性が保証されます。

V_{CC} がこのスレッシュホールドを超えると、コンバータは約4msの長さの内部パワーオン・リセット(POR)信号を生成します。このPOR信号により、すべての内部レジスタがクリアされます。PORサイクル直後の変換は、入力チャネル $IN^+ = CH0$, $IN^- = CH1$ で実行されます。PORサイクル後の最初の変換の精度は、PORの期間が経過する前に電源電圧が2.7V~5.5Vの範囲に回復していれば、デバイスの仕様を満たします。この最初のデータ入力/出力サイクルの間に、新しい入力チャネルをデバイスに設定することができます。

リファレンス電圧範囲

このコンバータは真に差動の外部リファレンス電圧を受け取ります。 REF^+ ピンと REF^- ピンの絶対/同相電圧範囲はデバイスの全動作範囲($GND \sim V_{CC}$)を含みます。コンバータを正しく動作させるには、 V_{REF} は正でなければなりません($REF^+ > REF^-$)。

LTC2497の差動リファレンスの入力範囲は0.1V~ V_{CC} です。最も簡単に動作させるには、 REF^+ を V_{CC} に短絡し、 REF^- を GND に短絡することができます。コンバータの出力ノイズはフロントエンド回路の熱ノイズによって決まります。遷移ノイズは1LSB(0.02LSB)よりはるかに小さいので、リファレンス電圧を下げると、コンバータの分解能とINLはそれに比例して向上します。

入力電圧範囲

アナログ入力には真に差動で、CH0~CH15およびCOMの各入力ピンの絶対/同相範囲は $GND - 0.3V$ から $V_{CC} + 0.3V$ までです。これらのリミット内では、LTC2497は $-FS = -0.5 \cdot V_{REF}$ から $+FS = 0.5 \cdot V_{REF}$ までのバイポーラ差動入力信号 $V_{IN} = IN^+ - IN^-$ (ここで、 IN^+ と IN^- は選択された入力チャネル)を変換します。ここで、 $V_{REF} = REF^+ - REF^-$ です。この範囲の外側では、コンバータは固有の出力コードを使ってオーバーレンジまたはアンダーレンジの状態を表示します(表1参照)。

入力(CH0~CH15、COM)に与えられる信号は、グランドより300mV下および V_{CC} より300mV上まで達することができます。入力ESDのリーク電流によるフォールト電流をすべて制限するために、最大5kの抵抗を入力に直列に追加することができます。コンバータの精度に対する直列抵抗の影響は、「入力電流」と「リファレンス電流」のセクションに示されている曲線から評価することができます。さらに、直列抵抗は入力リーク電流により、温度に依存した誤差を生じます。 $V_{REF} = 5V$ のとき、1nAの入力リーク電流により、5kの抵抗には1ppmのオフセット誤差が生じます。この誤差は温度に大きく依存します。

MUXOUT/ADCIN

マルチプレクサの出力(MUXOUTP/MUXOUTN)とADCへの入力(ADCINP/ADCINN)を使って、選択されたいずれかの入力チャネルの入力信号を調整することができます。あるいは、単に一緒に短絡して直接デジタル化することができます。外部アンプを使う場合、LTC2497はこの回路のオフセットとドリフトの両方を自動的に較正します。Easy Driveサンプリング方式により様々なアンプを使うことができます。

最適性能を達成するため、外部アンプを使用しない場合はこれらのピンを直接一緒に短絡し(ADCINPはMUXOUTPに、ADCINNはMUXOUTNに)、グランドとの間のそれらの容量を最小に抑えます。

アプリケーション情報

I²Cインタフェース

LTC2497はI²Cインタフェースを介して通信を行います。I²Cインタフェースは2線式オープン・ドレイン・インタフェースで、複数のデバイスと複数のマスタを単一バスでサポートします。接続されているデバイスはシリアル・データ・ライン (SDA) を“L”に引き下げることができるだけで、“H”にドライブすることはできません。SDAはプルアップ抵抗を介して外部で電源に接続する必要があります。データ・ラインがドライブされないとき、データ・ラインは“H”になります。I²Cバスのデータは標準モードでは最大100kビット/秒、高速モードでは400kビット/秒で転送することができます。

I²Cバス上の各デバイスはデバイスに保存されている固有アドレスで識別され、デバイスの機能に応じて、トランスミッタまたはレシーバのどちらかとして動作することができます。トランスミッタとレシーバに加えて、デバイスはデータ転送時にマスタまたはスレーブとみなすこともできます。マスタはバス上でデータ転送を開始するデバイスで、転送を可能にするクロック信号を生成します。マスタによって呼び出されたデバイスはスレーブとみなされます。

LTC2497はスレーブとしてのみ呼び出すことができます。呼び出されると、チャンネル選択ビットを受け取るか、または最後の交換結果を転送することができます。シリアル・クロック・ライン (SCL) は常にLTC2497への入力、シリアル・データ・ライン (SDA) は双方向です。デバイスは標準モードおよびデータ転送速度が最大400kビット/秒の高速モードをサポートします。I²Cのタイミングの定義を図2に示します。

スタート条件とストップ条件

スタート (S) 条件はSCLを“H”に保ったままSDAを“H”から“L”に遷移させて発生させます。スタート条件になった後はバスはビジーであるとみなされます。データ転送が終了すると、

SCLを“H”に保ったままSDAを“L”から“H”に遷移させてストップ (P) 条件を発生させます。ストップの発生後、バスは解放されます。スタート条件とストップ条件は常にマスタが発生させます。

バスが使用されているとき、ストップ条件の代わりにリピート・スタート (Sr) 条件を発生させると、バスはビジー状態に留まります。リピート・スタートのタイミングは機能的にスタートと同じで、新たな交換を開始する前にデバイスに対して書き込みと読み出しを行うのに使います。

データ転送

スタート条件の後、I²Cバスはビジーになり、マスタと呼び出されたスレーブの間でデータ転送を開始することができます。データは9ビット (1バイトの後にアクノリッジ (ACK) の1ビットが続く) のグループでバス上を転送されます。マスタは9番目のSCLクロック・サイクルの間SDAラインを解放します。スレーブ・デバイスはSDAを“L”に引き下げてACKを発行するか、またはSDAラインを高インピーダンスのままにして非アクノリッジ (NAK) を発行します (外部プルアップ抵抗がラインを“H”に保ちます)。クロック・ライン (SCL) が“L”のときだけデータが変化します。

データ・フォーマット

スタート条件の後、マスタは7ビットのアドレスを送り、次いで読み出し/書き込み (R/W) ビットを送ります。R/Wビットは読み出しリクエストの場合1、書き込みリクエストの場合0です。7ビットのアドレスがLTC2497のハードワイヤード・アドレス (ピンで選択可能な27種類のアドレスの1つ) に合致すると、そのデバイスが選択されます。変換中にデバイスが呼び出されると、R/Wリクエストをアクノリッジしないで、SDAラインを“H”のままにしてNAKを発行します。変換が完了すると、LTC2497はSDAラインを“L”に引き下げてACKを発行します。

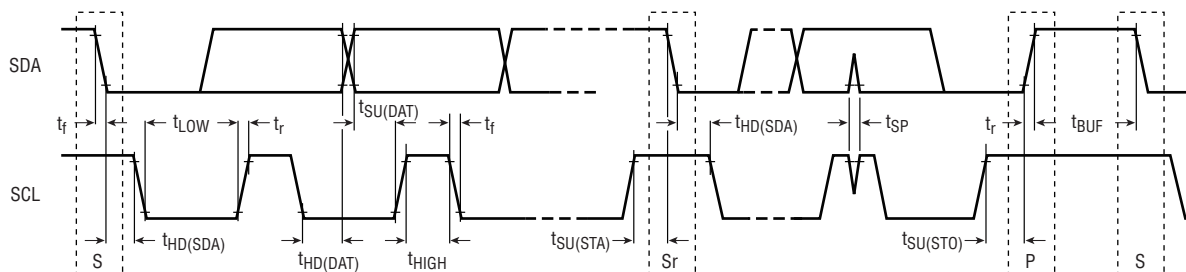


図2. I²Cバス上の高速/標準モード・デバイスのタイミングの定義

2497 F02

アプリケーション情報

LTC2497には2個のレジスタがあります。出力レジスタ(24ビット長)には最後の変換結果が格納されています。入力レジスタ(8ビット長)は入力チャンネルを設定します。

出力データ・フォーマット

出力レジスタには最後の変換結果が格納されています。各変換が完了した後、デバイスは自動的にスリープ状態に入り、消費電流が1 μ Aに減少します。LTC2497は読み出し動作のために呼び出されると、SDAを“L”に引き下げてアクロリッジし、トランスミッタとして機能します。マスタ/レシーバはLTC2497から最大3バイトを読み出すことができます。読み出し動作をすべて(3バイト)終わると、新たな変換が開始されます。変換が行われている間、デバイスは後続の読み出し動作をアクロリッジしません。

データの出力ストリームは24ビット長で、SCLの立ち下がりエッジでシフトアウトされます(図3aを参照)。最初のビットは変換結果の符号ビット(SIG)です(表1と表2を参照)。このビットは $V_{IN} \geq 0$ であれば“H”、 $V_{IN} < 0$ であれば“L”です(ただし、 V_{IN} は選択された入力信号 $IN^+ - IN^-$ に対応します)。2番目のビットは結果の最上位ビット(MSB)です。最初の2ビット(SIGとMSB)を使ってオーバーレンジおよびアンダーレンジ状態を表示することができます(表2を参照)。両方のビットが“H”の場

合、差動入力電圧は+FS以上です。両方のビットが“L”に設定されていると、入力電圧は-FSより低い電圧です。これらのビットの機能を表2にまとめます。MSBビットに続く16ビットは2の補数のバイナリ・フォーマットの変換結果です。残りの6ビットは常に0です。

選択された入力チャンネル(IN^+ と IN^-)の電圧が $-0.3V \sim (V_{CC} + 0.3V)$ の絶対最大動作範囲内に維持されている限り、 $-FS = -0.5 \cdot V_{REF}$ から $+FS = 0.5 \cdot V_{REF}$ までの任意の差動入力電圧 V_{IN} に対して変換結果が生成されます。差動入力電圧が+FSより高い場合、変換結果は+FSに相当する値にクランプされます。差動入力電圧が-FSより低い場合、変換結果は-FS-1LSBの値にクランプされます。

表2. LTC2497のステータス・ビット

入力範囲	ビット23 符号	ビット22 MSB
$V_{IN} \geq FS$	1	1
$0V \leq V_{IN} < FS$	1	0
$-FS \leq V_{IN} < 0V$	0	1
$V_{IN} < -FS$	0	0

表1. 出力データのフォーマット

差動入力電圧 V_{IN}^*	ビット23 符号	ビット22 MSB	ビット21	ビット20	ビット19	...	ビット6 LSB	ビット5~0 常に0
$V_{IN}^* \geq FS^{**}$	1	1	0	0	0	...	0	000000
$FS^{**} - 1LSB$	1	0	1	1	1	...	1	000000
$0.5 \cdot FS^{**}$	1	0	1	0	0	...	0	000000
$0.5 \cdot FS^{**} - 1LSB$	1	0	0	1	1	...	1	000000
0	1	0	0	0	0	...	0	000000
-1LSB	0	1	1	1	1	...	1	000000
$-0.5 \cdot FS^{**}$	0	1	1	0	0	...	0	000000
$-0.5 \cdot FS^{**} - 1LSB$	0	1	0	1	1	...	1	000000
-FS ^{**}	0	1	0	0	0	...	0	000000
$V_{IN}^* < -FS^{**}$	0	0	1	1	1	...	1	000000

*差動入力電圧 $V_{IN} = IN^+ - IN^-$ 。**フルスケール電圧 $FS = 0.5 \cdot V_{REF}$

LTC2497

アプリケーション情報

入力データ・フォーマット

LTC2497へのシリアル入力ワードは8ビット長で、1つの8ビットワードとしてデバイスに書き込まれます。SGL、ODD、A2、A1、A0は入力チャンネルを選択するのに使われます。

起動後、デバイスは内部リセット・サイクルを開始し、入力チャンネルをCH0とCH1 (IN⁺ = CH0, IN⁻ = CH1) に設定します。最初の変換は起動時にこのデフォルトの入力チャンネルを使って自動的に開始されます。変換が完了したら、新しいチャンネルをデバイスに書き込むことができます。

入力ワードの最初の3ビットは2個のプリアンブル・ビットと1個のイネーブル・ビットで構成されます。これらの3ビットは入力チャンネルの選択をイネーブルするのに使用します。この3ビットの有効な設定は000、100および101です。他の組み合わせは避けます。

最初の3ビットが000または100に設定されると、後続のデータは無視され(ドントケア)、前回選択された入力チャンネルが次の変換に対しても依然有効です。

シフトされてデバイスに入力された最初の3ビットが101であれば、それに続く5ビットにより次の変換サイクルの入力チャンネルが選択されます(表3を参照)。

101のシーケンスに続く最初の入力ビット(SGL)は、入力選択が差動(SGL = 0)であるか、またはシングルエンド(SGL = 1)であるかを決定します。SGL = 0の場合、隣接する2本のチャンネルを選択して差動入力を構成することができます。SGL = 1の場合、16本のチャンネルの中の1本が正入力として選択されます。負入力はすべてのシングルエンド動作でCOMです。残りの4ビット(ODD、A2、A1、A0)により、選択されるチャンネルと(差動入力の場合)その極性が決定されます。

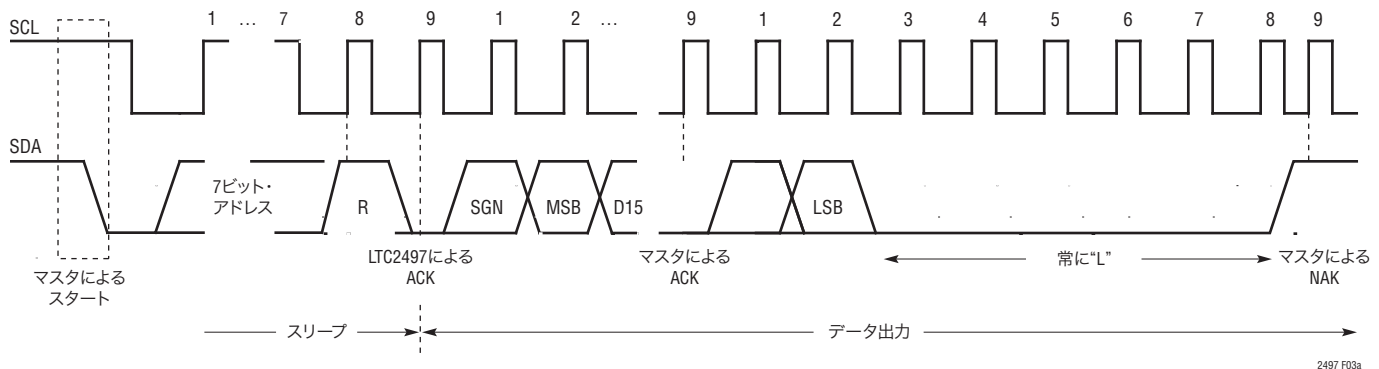


図3a. LTC2497からの読み出しのタイミング図

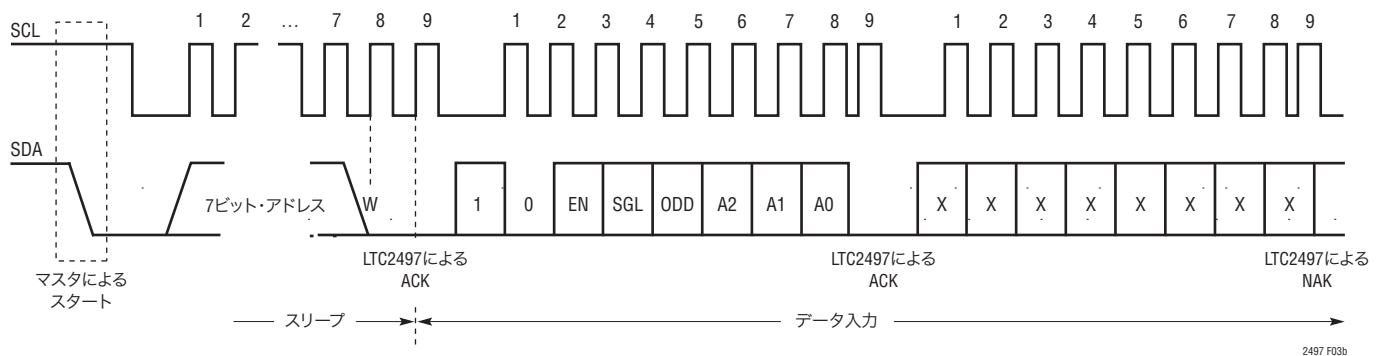


図3b. LTC2497への書き込みのタイミング図

アプリケーション情報

表3. チャンネルの選択

MUXアドレス					チャンネルの選択																	
SGL	ODD/ SIGN	A2	A1	A0	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	COM	
*0	0	0	0	0	IN ⁺	IN ⁻																
0	0	0	0	1			IN ⁺	IN ⁻														
0	0	0	1	0					IN ⁺	IN ⁻												
0	0	0	1	1							IN ⁺	IN ⁻										
0	0	1	0	0									IN ⁺	IN ⁻								
0	0	1	0	1											IN ⁺	IN ⁻						
0	0	1	1	0													IN ⁺	IN ⁻				
0	0	1	1	1															IN ⁺	IN ⁻		
0	1	0	0	0	IN ⁻	IN ⁺																
0	1	0	0	1			IN ⁻	IN ⁺														
0	1	0	1	0					IN ⁻	IN ⁺												
0	1	0	1	1							IN ⁻	IN ⁺										
0	1	1	0	0									IN ⁻	IN ⁺								
0	1	1	0	1											IN ⁻	IN ⁺						
0	1	1	1	0													IN ⁻	IN ⁺				
0	1	1	1	1															IN ⁻	IN ⁺		
1	0	0	0	0	IN ⁺																	IN ⁻
1	0	0	0	1			IN ⁺															IN ⁻
1	0	0	1	0					IN ⁺													IN ⁻
1	0	0	1	1							IN ⁺											IN ⁻
1	0	1	0	0									IN ⁺									IN ⁻
1	0	1	0	1											IN ⁺							IN ⁻
1	0	1	1	0													IN ⁺					IN ⁻
1	0	1	1	1															IN ⁺			IN ⁻
1	1	0	0	0		IN ⁺																IN ⁻
1	1	0	0	1				IN ⁺														IN ⁻
1	1	0	1	0						IN ⁺												IN ⁻
1	1	0	1	1								IN ⁺										IN ⁻
1	1	1	0	0										IN ⁺								IN ⁻
1	1	1	0	1												IN ⁺						IN ⁻
1	1	1	1	0														IN ⁺				IN ⁻
1	1	1	1	1																IN ⁺		IN ⁻

*パワーアップ時の既定値

LTC2497

アプリケーション情報

新しい変換の開始

LTC2497は変換を終了すると自動的にスリープ状態に入ります。スリープ状態になると、デバイスは読み出し動作の準備が整います。デバイスが読み出しリクエストをアクノリッジした後、デバイスはスリープ状態から出て、データ出力状態に入ります。データ出力が完了し、マスタによってストップ条件が発行されるか、または24ビットすべてのデータがデバイスから読み出されると、LTC2497は新しい変換を開始します。

データ読み出しサイクルの間に新しい変換を開始し、データの転送を中止するため、マスタ・コントローラはストップ命令を出すことができます。このストップ命令は、バスが解放されているバイト読み出しの9番目のクロック・サイクル(ACK/NAKサイクル)の間に出す必要があります。

LTC2497のアドレス

LTC2497は3つのアドレス・ピンを備えています(CA0、CA1、CA2)。それぞれ“H”または“L”に接続して、またはフロートのままにして、27種類の設定可能なアドレスの1つをイネーブルすることができます(表4を参照)。

表4に示されている構成設定可能なアドレスに加えて、LTC2497はグローバル・アドレス(1110111)も備えており、複数のLTC2497や他のLTC24XXデルタシグマ²Cデバイスを同期させるのに使うことができます(「グローバル・アドレス呼び出しによる複数のLTC2497の同期」のセクションを参照)。

動作シーケンス

図4に示されているように、LTC2497はトランスミッタまたはレシーバとして機能します。デバイスを設定して入力チャンネル、差動モードとシングルエンド・モードのどちらか、およびチャンネルの極性を選択することができます。

連続読み出し

入力チャンネルを各サイクルで変更する必要のないアプリケーションでは、書き込みサイクルなしに変換を連続的に行って読み出すことができます。(図5を参照)。入力チャンネルはデバイスに書き込まれた最後の値から変化せずに保たれます。起動以降デバイスに書き込みが行われなかった場合、チャンネルの選択はデフォルト値のCH0 = IN⁺、CH1 = IN⁻に設定されます。読み出し動作が終了すると、新しい変換が自動的に開始されます。変換サイクルの最後に、上述の方法を使って次の結果を読み出すことができます。変換サイクルが終了していないの

表4. アドレスの割り当て

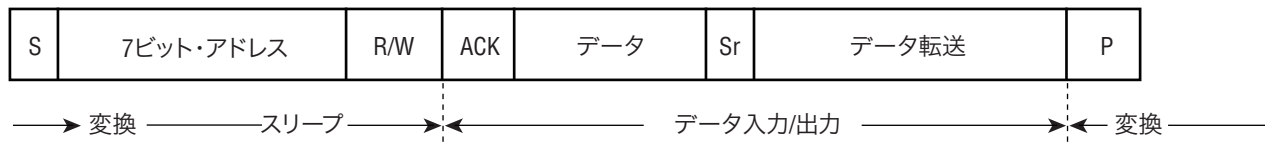
CA2	CA1	CA0	アドレス
“L”	“L”	“L”	0010100
“L”	“L”	“H”	0010110
“L”	“L”	フロート	0010101
“L”	“H”	“L”	0100110
“L”	“H”	“H”	0110100
“L”	“H”	フロート	0100111
“L”	フロート	“L”	0010111
“L”	フロート	“H”	0100101
“L”	フロート	フロート	0100100
“H”	“L”	“L”	1010110
“H”	“L”	“H”	1100100
“H”	“L”	フロート	1010111
“H”	“H”	“L”	1110100
“H”	“H”	“H”	1110110
“H”	“H”	フロート	1110101
“H”	フロート	“L”	1100101
“H”	フロート	“H”	1100111
“H”	フロート	フロート	1100110
フロート	“L”	“L”	0110101
フロート	“L”	“H”	0110111
フロート	“L”	フロート	0110110
フロート	“H”	“L”	1000111
フロート	“H”	“H”	1010101
フロート	“H”	フロート	1010100
フロート	フロート	“L”	1000100
フロート	フロート	“H”	1000110
フロート	フロート	フロート	1000101

に有効なアドレスによってデバイスが選択されると、LTC2497はNAK信号を発生して変換サイクルが進行中であることを知らせます。

連続読み出し/書き込み

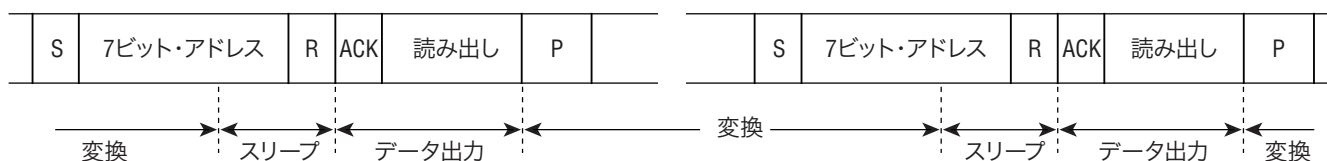
変換サイクルが終了すると、リポート・スタート(Sr)命令を使ってLTC2497に対して書き込み、続いて読み出しを行うことができます。

アプリケーション情報



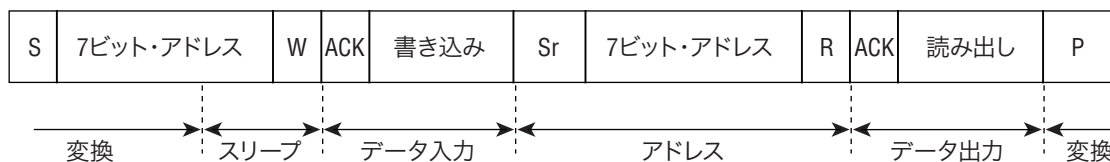
2497 F04

図4. 変換シーケンス



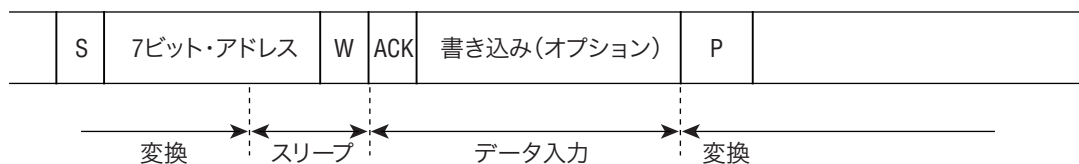
2497 F05

図5. 同じ入力/構成設定を使った連続読み出し



2497 F06

図6. 書き込み、読み出し、変換開始



2497 F07

図7. 前の変換結果を読み出すことなく新たな変換を開始

アプリケーション情報

データの書き込みで始まり、リピート・スタート、読み出しと続き、ストップ命令で終了するサイクルを図6に示します。次の変換は、32ビットすべてがデバイスから読み出された後、またはストップ命令の後に開始されます。次の変換は新たに設定されたデータを使って行われます

オプションの書き込みを使った変換結果の破棄と新しい変換の開始

変換サイクルの終了時に、書き込みサイクルを開始することができます。書き込みサイクルがアクノリッジされると、ストップ命令により新しい変換が開始されます。新しい入力チャンネルが必要であれば、このデータをデバイスに書き込むことができ、ストップ命令により次の変換が開始されます(図7を参照)。

グローバル・アドレス呼び出しによる複数のLTC2497の同期

複数のLTC2497またはリニアテクノロジーの他のI²CデルタシグマADCが同じI²Cバス上で使われるアプリケーションでは、すべてのコンバータをグローバル・アドレス呼び出しを使って同期させることができます。グローバル・アドレス呼び出しを

発行する前に、すべてのコンバータが変換サイクルを完了している必要があります。次いでマスタはスタート命令、続いてグローバル・アドレス1110111、さらに書き込みリクエストを発行します。すべてのコンバータが選択され、リクエストをアクノリッジします。次いでマスタは書き込みバイト(オプション)を送り、ストップ命令が続きます。これによりチャンネル選択(オプション)が更新され、バス上のすべてのデルタシグマADCの変換が同時に開始されます(図8を参照)。チャンネルを変更せずに複数のコンバータを同期させるために、グローバル書き込みのアクノリッジの後にストップ命令を発信することができます。グローバル読み出し命令は許されず、コンバータはグローバル読み出しリクエストに対してはNAKを発行します。

入力とリファレンスのドライブ

LTC2497の入力ピンとリファレンス・ピンはスイッチトキャパシタのネットワークに直接接続されています。差動入力電圧と差動リファレンス電圧の関係に応じて、これらのコンデンサはこれらの4つのピンの中で切り替えられます。コンデンサがこのうちの2つのピンの中で切り替えられるたびに、少量の電荷が転送されます。簡略化した等価回路図を図9に示します。



図8. グローバル・アドレス呼び出しによる複数のLTC2497の同期

2497 F08

アプリケーション情報

LTC2497の内部発振器を使っているとき、入力コンデンサ・アレイは123kHzで切り替えられます。電荷転送の効果は入力ピン/リファレンス・ピンをドライブしている回路に依存します。全外部RCの時定数が580nsより小さいと完全にセトリングするので、サンプリング過程で生じる誤差は無視できます。

一般に、リファレンス入力は低インピーダンスのソースでドライブされます。この場合、大きな外部バイパス・コンデンサが使われていても完全にセトリングします。他方、入力(CH0～CH15、COM)は一般に抵抗値の大きなソースからドライブされます。10kまでのソース抵抗は直接LTC2497にインタフェースすることができ、完全にセトリングします。ただし、不要のノイズを除去するため(アンチエイリアシング)入力端子に外部コンデンサを追加すると、セトリングが完了しません。

LTC2497はこれらの誤差を除去する2つの方法を与えます。最初の方法は自動差動入力電流キャンセル(Easy Drive)で、2番目の方法はMUXOUTピンとADCINピンの間に外部バッファを挿入して、入力のスイッチングをソース抵抗から絶縁します。

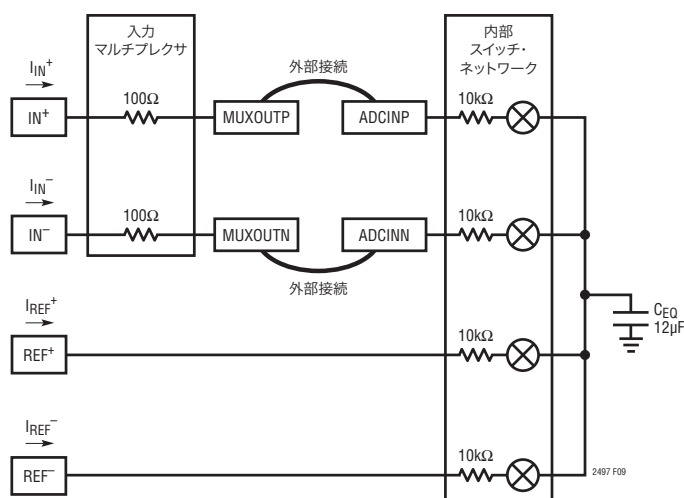
自動差動入力電流キャンセル

センサの出力インピーダンスが低い(外部バイパス・コンデンサなしで最大10kΩ、または0.001μFのバイパス付きで最大500Ω)アプリケーションでは、入力は完全にセトリングします。この場合、誤差は発生しないので、センサを直接デジタル化することが可能です。

多くのアプリケーションでは、センサの出力インピーダンスは外部入力バイパス・コンデンサと結合して1ppmの精度に必要な580nsをはるかに超えるRC時定数を生じます。たとえば、0.1μFのコンデンサをドライブする10kΩのブリッジでは、必要な最大値より1桁大きな時定数になります。

LTC2497は独自のスイッチング・アルゴリズムを使って、外部のセトリング誤差とは無関係に、平均差動入力電流をゼロに強制します。これにより、バッファがなくても高インピーダンスのセンサを直接デジタル化できます。

このスイッチング・アルゴリズムは、正入力の平均入力電流(I_{IN^+})を負入力の平均入力電流(I_{IN^-})に等しくなるように強制します。変換サイクル全体にわたって、平均差動入力電流($I_{IN^+} - I_{IN^-}$)はゼロになります。差動入力電流はゼロですが、同相入力電流($I_{IN^+} + I_{IN^-}$)/2は同相入力電圧($V_{IN(CM)}$)と同相リファレンス電圧($V_{REF(CM)}$)の差に比例します。



スイッチング周波数
 $f_{SW} = 123\text{kHz}$ (内部発振器)
 $f_{SW} = 0.4 \cdot f_{EOSC}$ (外部発振器)

図9. アナログ入力等価回路

$$I_{(IN^+)}_{AVG} = I_{(IN^-)}_{AVG} = \frac{V_{IN(CM)} - V_{REF(CM)}}{0.5 \cdot R_{EQ}}$$

$$I_{(REF^+)}_{AVG} \approx \frac{1.5V_{REF} + (V_{REF(CM)} - V_{IN(CM)})}{0.5 \cdot R_{EQ}} - \frac{V_{IN}^2}{V_{REF} \cdot R_{EQ}}$$

where:

$$V_{REF} = REF^+ - REF^-$$

$$V_{REF(CM)} = \left(\frac{REF^+ - REF^-}{2} \right)$$

$V_{IN} = IN^+ - IN^-$, WHERE IN^+ AND IN^- ARE THE SELECTED INPUT CHANNELS

$$V_{IN(CM)} = \left(\frac{IN^+ - IN^-}{2} \right)$$

$R_{EQ} = 2.98\text{M}\Omega$ INTERNAL OSCILLATOR

$R_{EQ} = (0.833 \cdot 10^{12}) / f_{EOSC}$ EXTERNAL OSCILLATOR

アプリケーション情報

平衡ブリッジのように、入力同相電圧がリファレンス同相電圧に等しいアプリケーションでは、差動と同相の両方の入力電流がゼロになります。コンバータの精度はセトリング誤差による影響を受けません。

入力同相電圧が一定だがリファレンス同相電圧とは異なるアプリケーションでは、差動入力電流はゼロに保たれますが、同相入力電流は $V_{IN(CM)}$ と $V_{REF(CM)}$ の差に比例します。リファレンス同相電圧が2.5Vで、入力同相電圧が1.5Vの場合、同相入力電流は約0.74 μ Aです。この同相入力電流は、 IN^+ と IN^- に接続されたソースのインピーダンスが整合していれば、精度を低下させることはありません。ソース・インピーダンスが整合していないと、固定オフセット誤差が生じますが、直線性やフルスケールの測定値には影響を与えません。1kのソース抵抗の1%の不整合により、オフセット電圧が74 μ Vシフトします。

同相入力電圧が入力信号レベルの関数として変化するアプリケーション（シングルエンドのセンサなど）では、同相入力電流は入力電圧に比例して変化します。バランスのとれた入力インピーダンスの場合、同相入力電流の影響はLTC2497の大

きなCMRRによって除去され、精度はほとんど低下しません。ソース・インピーダンスが整合していないと、同相入力電圧と同相リファレンス電圧の差に比例した利得誤差が生じます。1kのソース抵抗に1%の不整合があると、15ppm程度の利得誤差が生じます。内部サンプリング・コンデンサの安定性と内部発振器の精度に基づくと、一度較正すればこの誤差は取り除かれます。

入力サンプリング電流に加えて、入力ESD保護ダイオードには温度に依存したリーク電流が流れます。公称1nA（最大 \pm 10nA）のこの電流により、オフセットがわずかにシフトします。1kのソース抵抗により、標準1 μ V、最大10 μ Vのオフセット電圧が生じます。

外部バッファ/アンプの自動オフセット較正

Easy Drive入力電流キャンセルに加えて、LTC2497では、外部アンプをマルチプレクサの出力とADCの入力の間に挿入することができます（図10を参照）。これは、ソース・インピーダンスのバランスをとることができないアプリケーションで有用です。

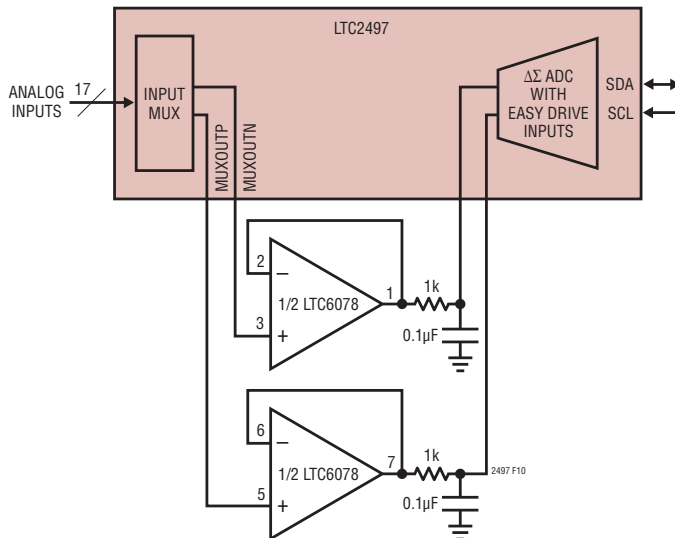


図10. 外部バッファは高インピーダンス入力を与え、アンプのオフセットは自動的にキャンセルされる

アプリケーション情報

1対の外部バッファ/アンプを17のアナログ入力のすべてで共有することができます。LTC2497は、ADCのオフセットとドリフトを除去するため、すべての変換サイクルで内部オフセット較正を行います。この較正はフロントエンド・スイッチングとデジタル処理の組み合わせによって行われます。外部アンプはマルチプレクサとADCの間に置かれるので、この補正ループの内部にあります。このため、外部アンプのオフセット補正とオフセット・ドリフトの除去が自動的に行われます。

LTC6078はこの機能のための優れたアンプです。わずか2.7Vの電源電圧で動作し、そのノイズレベルは $18\text{nV}/\sqrt{\text{Hz}}$ です。LTC2497のEasy Drive入力技法により、RCネットワークをLTC6078の出力に直接追加することができます。コンデンサはADCの入力から見た電流スパイクの大きさを減らし、抵抗はコンデンサの負荷をオペアンプの出力から絶縁して、動作を安定させます。LTC6078はLTC2497によって使用される電源レールを超えてバイアスすることもできます。これにより、外部センサはレール・トゥ・レール($-0.3\text{V} \sim V_{\text{CC}} + 0.3\text{V}$)で振幅することができ、外部レベルシフト回路は不要です。

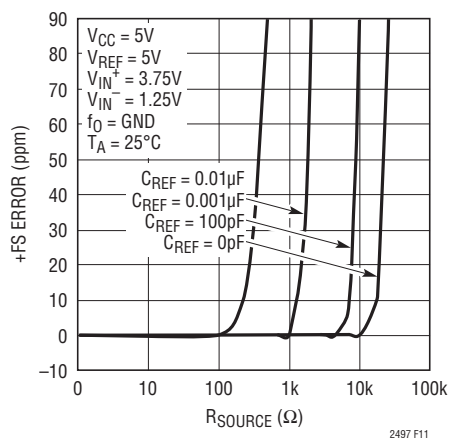


図11. +FS誤差と V_{REF} の R_{SOURCE} (小さな C_{REF})

リファレンス電流

アナログ入力と同様に、LTC2497は差動リファレンス・ピン (REF^+ と REF^-)をサンプリングして、少量の電荷をこれらのピンとやり取りするので、ダイナミックなリファレンス電流が生じます。セトリングが(リファレンスのソース抵抗とリファレンスのバイパス・コンデンサに依存して)不完全だと、直線性誤差と利得誤差が生じます。

外部リファレンスの容量の値が比較的小さいと ($C_{\text{REF}} < 1\text{nF}$)、サンプリング・コンデンサの電圧は大きな $\text{k}\Omega$ のリファレンス・インピーダンスでもセトリングします ($C_{\text{REF}} = 100\text{pF}$ ならば、最大 $10\text{k}\Omega$ まで性能は低下しません) (図11と図12を参照)。

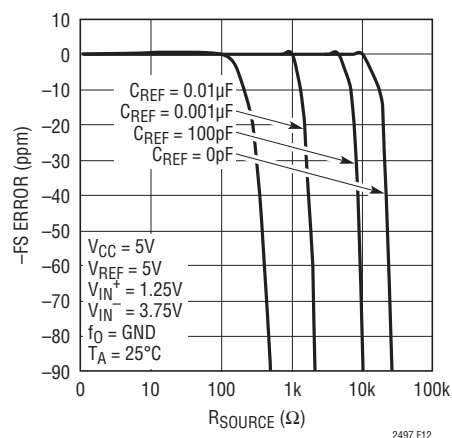


図12. -FS誤差と V_{REF} の R_{SOURCE} (小さな C_{REF})

アプリケーション情報

リファレンス入力に大きなバイパス・コンデンサが必要な場合 ($C_{REF} > 0.01\mu\text{F}$)、フルスケール誤差と直線性誤差はリファレンス抵抗の値に比例します。リファレンス抵抗の 1Ω ごとに約 0.5ppm のフルスケール誤差が生じます (図13と図14を参照)。入力同相電圧がリファレンス同相電圧に等しい場合、リファレンス抵抗の 100Ω ごとに約 0.67ppm の直線性誤差が生じます (図15を参照)。入力同相電圧とリファレンス同相電圧が異なるアプリケーションでは誤差が増加します。同相入力電圧と同相リファレンス電圧の間の 1V の差は、リファレンス抵抗の 100Ω ごとに 6.7ppm のINL誤差を生じます。

リファレンスのサンプリング電荷に加えて、リファレンスのESD保護ダイオードには温度に依存したリーク電流が流れます。公称 1nA (最大 $\pm 10\text{nA}$)のこのリーク電流により小さな利得誤差が生じます。 100Ω のリファレンス抵抗により、 $0.5\mu\text{V}$ のフルスケール誤差が生じます。

通常モード除去比とアンチエイリアシング

デルタシグマADCが従来のADCよりも優れている点の1つは、デジタル・フィルタを内蔵していることです。大きなオーバーサンプリング比と組み合わせると、LTC2497のアンチエイリアシング・フィルタの要件は大幅に簡素化されます。さらに、入力電流キャンセル機能により、デバイスのDC性能を下げることなく、外部ローパス・フィルタを利用できます。

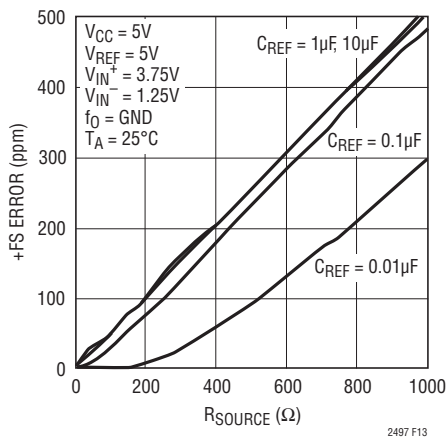


図13. +FS誤差と V_{REF} の R_{SOURCE} (大きな C_{REF})

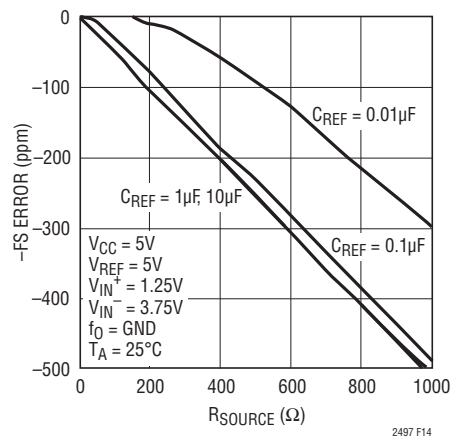


図14. -FS誤差と V_{REF} の R_{SOURCE} (大きな C_{REF})

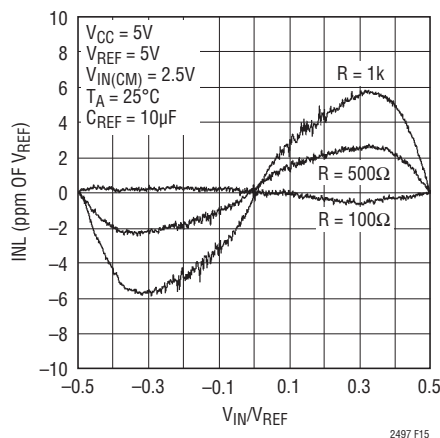


図15. INLと差動入力電圧およびリファレンスのソース抵抗 ($C_{REF} > 1\mu\text{F}$)

アプリケーション情報

SINC⁴デジタル・フィルタにより、DCと変調器のサンプリング周波数 (f_s) の整数倍を除くすべての周波数で優れた通常モードの除去比を実現します。変調器のサンプリング周波数は、内部発振器を使って動作しているときは $f_s = 15,360\text{Hz}$ 、周波数が f_{EOSC} の外部発振器を使って動作しているときは $f_s = f_{EOSC}/20$ です。

LTC2497は内部発振器を使用しているときライン周波数を除去するように設計されています。図16に示されるように、除去ヌルは周波数 f_N の倍数で生じます。ここで、50Hz/60Hz同時除去の場合 $f_N = 55\text{Hz}$ です。変調器のサンプリング・レートの倍数 ($f_s = f_N \cdot 256$) では、ノイズを15dB除去するだけです(図17を参照)、これらの周波数にノイズ源が存在すれば、アンチエイリアシングによりそれらの影響が減少します。

図18に示されているように、内部発振器を使ってこの性能レベルが達成されることを期待できます。通常モードの除去の測定値が理論値の上に重ね合わされて示されています。

従来の高次デルタシグマ変調器は、大きな入力信号レベルでは潜在的に不安定です。LTC2497の3次変調器に使われている独自のアーキテクチャはこの問題を解決し、フルスケールの150%の入力信号で安定動作を保証します。多くの産業用アプリケーションでは、ピーク・トゥ・ピーク・ノイズの場合、不要な数ボルトの誤差源の上にマイクロボルト・レベルの信号が重ね合わされることは珍しくありません。LTC2497に与えられた7.5Vのピーク・トゥ・ピーク・ノイズ源(フルスケールの150%)の除去比の測定結果を図19に示します。この曲線は、極端にノイズの大きい環境でさえ、除去性能が維持されていることを示しています。

出力データ・レート

内部発振器の使用時、LTC2497の出力データ・レートは60Hzのノッチ周波数で最大7.5/秒 (sps) となります。実際の出力データ・レートはスリープ・サイクルとデータ出力サイクルの長さに依存しますが、これらはユーザーが制御して無視できるほど短くすることができます。

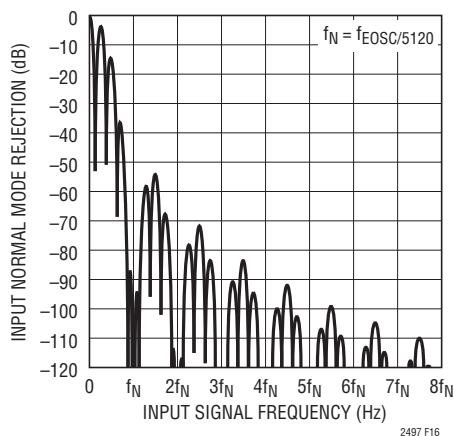


図16. DCでの入力通常モードの除去比

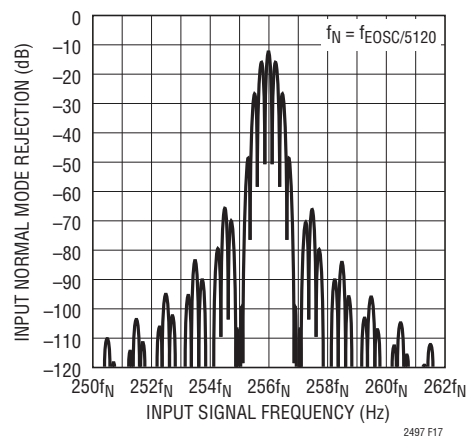


図17. $f_s = 256 \cdot f_N$ での入力通常モードの除去比

アプリケーション情報

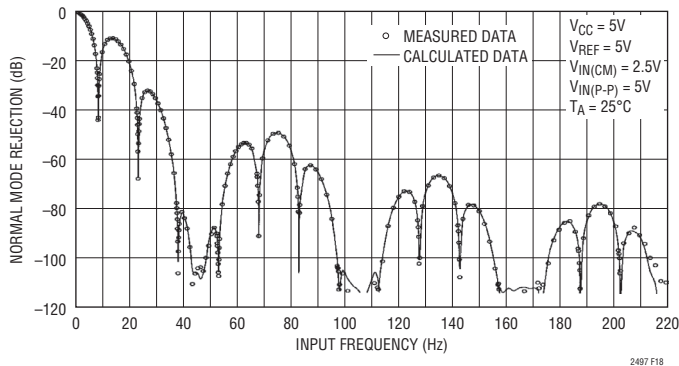


図18. 100%の入力の乱れを伴う入力通常モードの除去比と入力周波数 (50Hz/60Hzのノッチ)

外部変換クロックを使って動作させると (f_O を外部発振器に接続)、LTC2497の出力データ・レートを増加させることができます。変換サイクルの持続時間は $41036/f_{EOSC}$ です。 $f_{EOSC} = 307.2\text{kHz}$ ならば、コンバータは、まるで内部発振器が使われているかのように動作します。

f_{EOSC} を公称307.2kHzを超えて増加させると、最大出力データ・レートがそれに比例して増加します (最大100spsまで)。出力レートが増加するとオフセットとフルスケール誤差が大きくなり、実効分解能が低下し、周波数除去比がシフトします。

f_{EOSC} が変化すると、内部のノッチの位置が比例して変化します。これにより、ライン周波数の差動モード除去比が低下します。ライン周波数の同相除去比は変化せずに保たれるので、 IN^+ と IN^- の両方のピンの対称性が高い完全差動入力信号のライン周波数ノイズは引き続き除去されます。

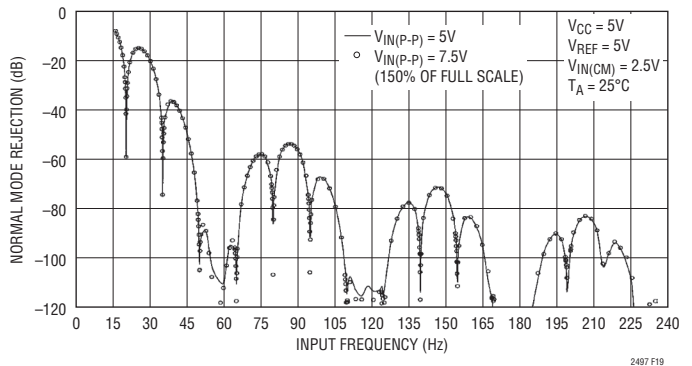


図19. 150%の入力の乱れを伴う測定された入力通常モードの除去比と入力周波数 (60Hzのノッチ)

また、 f_{EOSC} が増加すると、入力およびリファレンスの実効ダイナミック電流が増加します。外部RCネットワークの差動入力電流は引き続きゼロですが、セトリングの完了に要する時間 ($f_{EOSC} = 307.2\text{kHz}$ で580ns)は比例して短くなります。

外部発振器の周波数が1MHzを超えると (出力レートが3倍以上増加すると)、内部自動較正回路の効果が低下し始めます。このため、オフセット誤差とフルスケール誤差が大きくなり、分解能が低下します (図20～図27を参照)。

アプリケーション情報

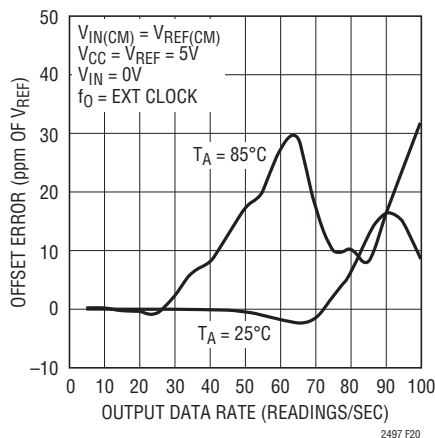


図20. オフセット誤差と出力データ・レートおよび温度

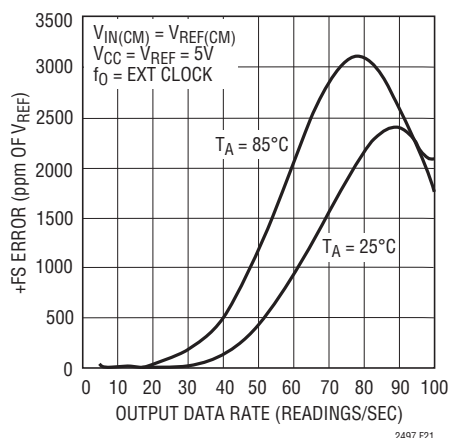


図21. +FS誤差と出力データ・レートおよび温度

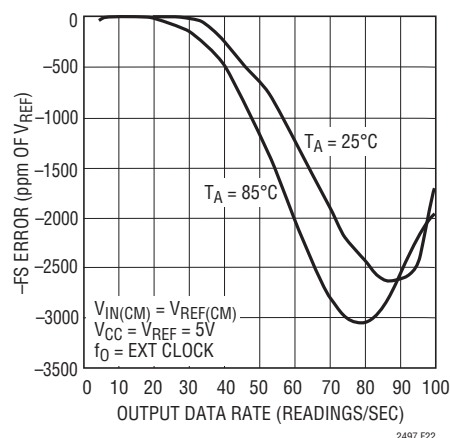


図22. -FS誤差と出力データ・レートおよび温度

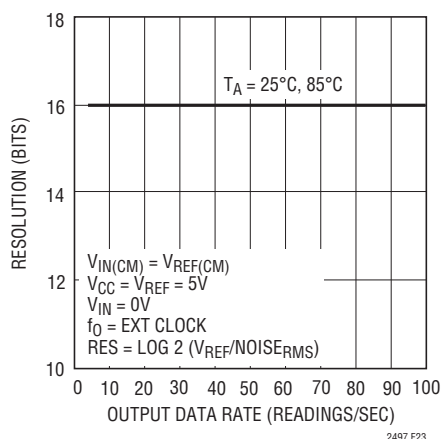


図23. 分解能 (Noise_{RMS} ≤ 1LSB) と出力データ・レートおよび温度

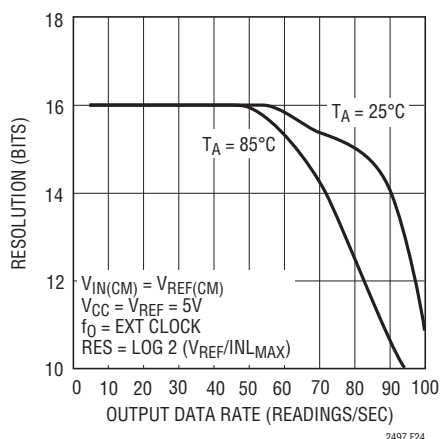


図24. 分解能 (INL_{MAX} ≤ 1LSB) と出力データ・レートおよび温度

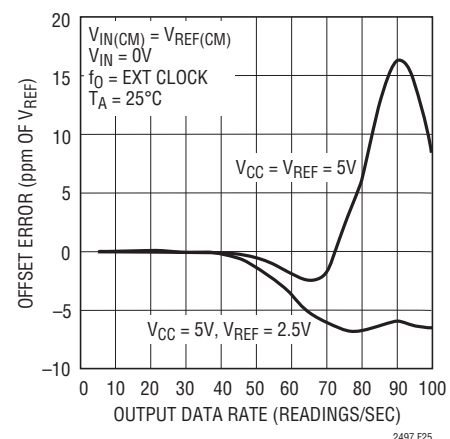


図25. オフセット誤差と出力データ・レートおよび温度

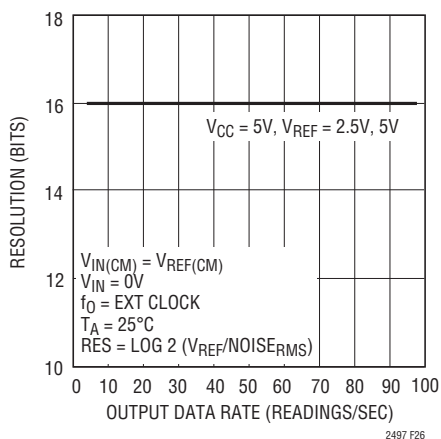


図26. 分解能 (Noise_{RMS} ≤ 1LSB) と出力データ・レートおよび温度

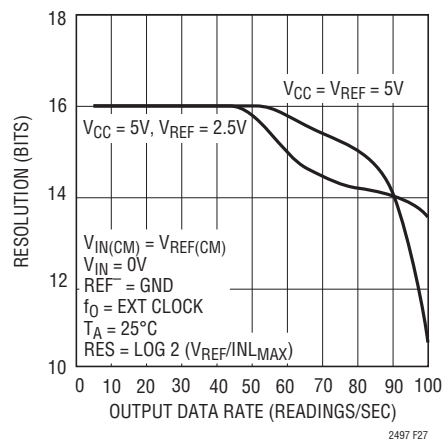
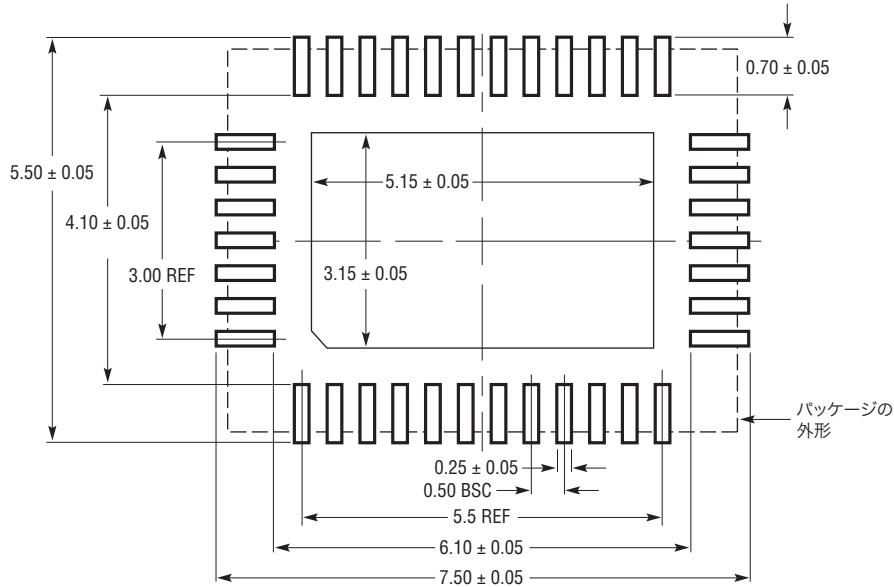


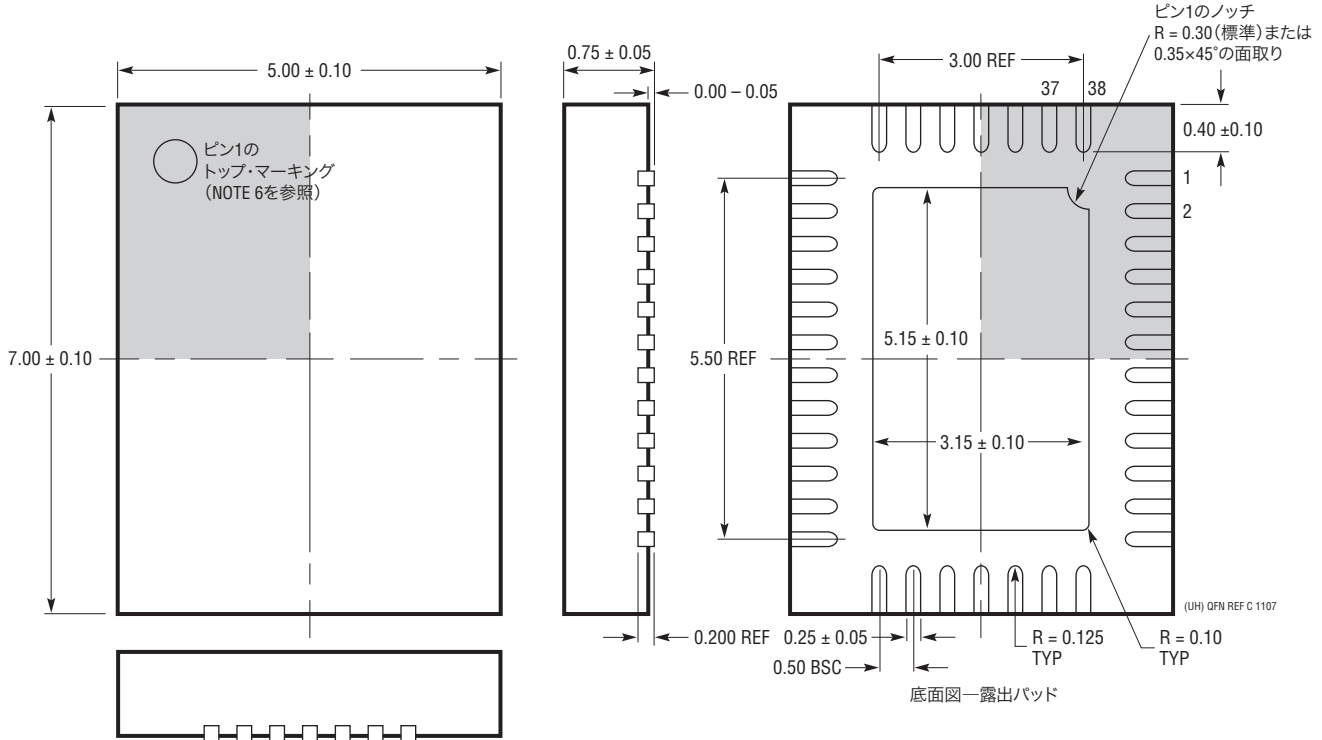
図27. 分解能 (INL_{MAX} ≤ 1LSB) と出力データ・レートおよび温度

パッケージ

UHFパッケージ
 38ピン・プラスチックQFN (5mm×7mm)
 (Reference LTC DWG # 05-08-1701 Rev C)



推奨半田パッド・レイアウト
 半田付けされない領域には半田マスクを使用する



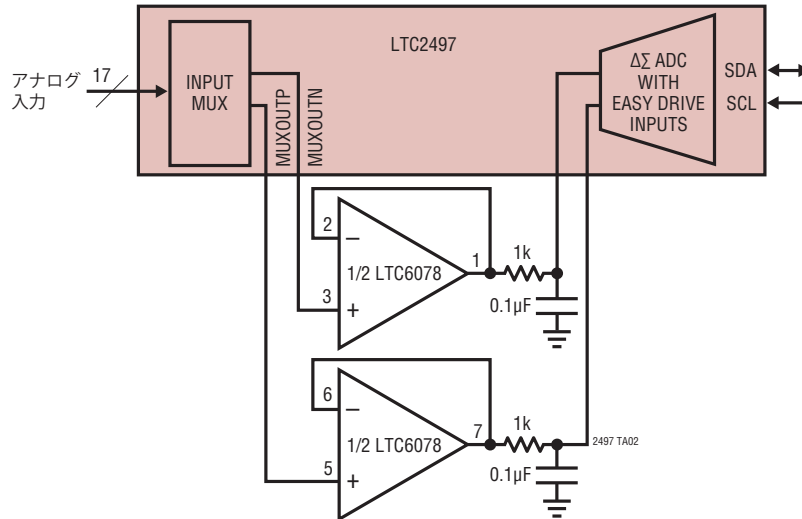
- NOTE:
- 図面はJEDECのパッケージ外形MO-220のバリエーション (WHKD) に適合
 - 図は実寸とは異なる
 - すべての寸法はミリメートル
 - パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
モールドのバリは(もしあれば)各サイドで0.20mmを超えないこと
 - 露出パッドは半田メッキとする
 - 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

改訂履歴

REV	日付	概要	ページ番号
A	7/10	「標準的応用例」の図を改訂 「I ² C入力とデジタル出力」のセクションのV _{IHA} のパラメータを改訂	1 4

標準的応用例

外部バッファは高インピーダンス入力を与え、
アンプのオフセットは自動的にキャンセルされる



関連製品

製品番号	説明	注釈
LT1236A-5	高精度バンドギャップ・リファレンス、5V	初期精度:最大0.05%、ドリフト:5ppm/°C
LT1460	マイクロパワー・シリーズ・リファレンス	初期精度:最大0.075%、ドリフト:最大10ppm/°C
LT1790	マイクロパワーSOT-23低損失リファレンス・ファミリ	初期精度:最大0.05%、ドリフト:最大10ppm/°C
LTC2400	SO-8パッケージの24ビット、No Latency ΔΣ ADC	ノイズ:0.3ppm、INL:4ppm、全未調整誤差:10ppm、200μA
LTC2410	24ビットNo Latency ΔΣ ADC、差動入力付き	ノイズ:0.8μVRMS、INL:2ppm
LTC2411/LTC2411-1	MSOPパッケージの24ビット、No Latency ΔΣ ADC、差動入力付き	ノイズ:1.45μVRMS、INL:2ppm、50Hz/60Hz同時除去 (LTC2411-1)
LTC2413	24ビットNo Latency ΔΣ ADC、差動入力付き	50Hz/60Hz同時除去、ノイズ:800nVRMS
LTC2440	高速、低ノイズの24ビットΔΣ ADC	出力レート:3.5kHz、ノイズ:200nVRMS、ENOB:24.6
LTC2442	内蔵アンプ付き24ビット高速2チャンネル/4チャンネルΔΣ ADC	出力レート:8kHz、ノイズ:200nVRMS、50Hz/60Hz同時除去
LTC2449	24ビット高速8チャンネル/16チャンネルΔΣ ADC	出力レート:8kHz、ノイズ:200nVRMS、50Hz/60Hz同時除去
LTC2480/LTC2482/ LTC2484	16ビット/24ビットΔΣ ADC、Easy Drive入力付き、600nVノイズ、プログラム可能な利得および温度センサ付き	16ビットと24ビットのバージョンはピン互換
LTC2481/LTC2483/ LTC2485	16ビット/24ビットΔΣ ADC、Easy Drive入力付き、600nVノイズ、I ² Cインタフェース、プログラム可能な利得および温度センサ付き	16ビットと24ビットのバージョンはピン互換
LTC2496	Easy Drive入力およびSPIインタフェース付き 16ビット8/16チャンネルΔΣ ADC	LTC2498/LTC2449とピン互換
LTC2498	Easy Drive入力およびSPIインタフェース付き 24ビット8/16チャンネルΔΣ ADC	LTC2496/LTC2449とピン互換
LTC2499	Easy Drive入力およびI ² Cインタフェース付き 24ビット8/16チャンネルΔΣ ADC	LTC2497とピン互換