

Easy Drive入力電流 キャンセル機能付き16ビット 8/16チャンネル・デルタシグマADC

特長

- 最大8つの差動入力または最大16のシングルエンド入力
- EasyDrive技法により、差動入力電流がゼロの
レール・トゥ・レール入力が可能
- 最大限の精度で高インピーダンス・センサを
直接デジタル化
- RMSノイズ: 600nV (遷移ノイズが0.02LSB)
- GND~V_{CC}の入力リファレンス同相範囲
- 50Hz/60Hz同時除去
- INLが2ppm、ミッシングコードなし
- オフセットが1ppm、フルスケール誤差が15ppm
- 待ち時間なし: 新しいチャンネルの選択後も
デジタルフィルタは1サイクルでセトリング
- 2.7V~5.5V単一電源動作 (0.8mW)
- 内部発振器
- 5mm×7mmQFNパッケージ

アプリケーション

- ダイレクト・センサ・デジタイザ
- 直接温度測定
- 計測
- 産業用プロセス制御

概要

LTC[®]2496は、Easy Drive™技法を採用した16チャンネル(8差動チャンネル)16ビットNo Latency $\Delta\Sigma$ ™ ADCです。特許取得のサンプリング回路は、差動入力電流の自動キャンセルにより、ダイナミック入力電流誤差や内部バッファの欠点を排除します。このため、優れたDC精度を維持しながら、大きい外部ソース・インピーダンスを許容可能で、レール・トゥ・レール入力信号を直接デジタル化できます。

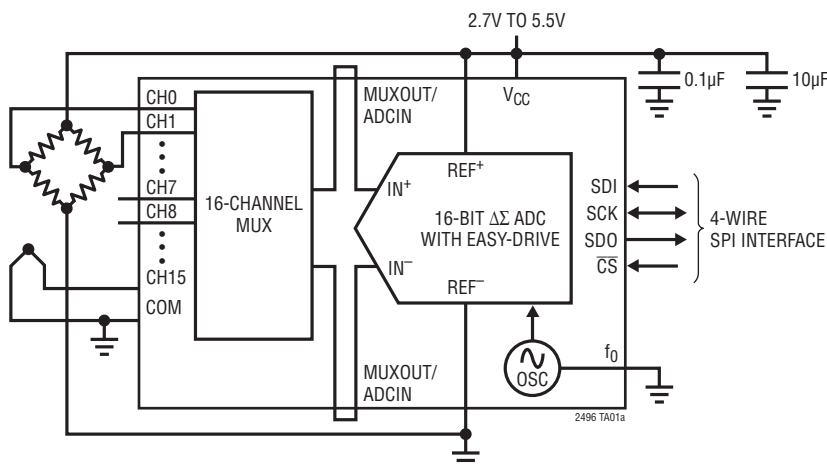
LTC2496は発振器を内蔵しています。このデバイスは(シングルエンドまたは差動モードで動作する16のアナログ入力チャンネルの組み合わせから)外部信号を測定するように構成可能です。また、50Hzおよび60Hzの入力周波数を自動的に同時除去します。

LTC2496はリファレンス電圧と関係なく、広い同相入力電圧範囲(0V~V_{CC})が可能です。シングルエンド入力または差動入力のあらゆる組み合わせを選択可能で、新しいチャンネルを選択した後の最初の変換が有効です。マルチプレクサ出力にアクセスすることにより、オプションの外付けアンプをすべてのアナログ入力間で共有できます。また、自動較正によって、付随するオフセットやドリフトが連続的に排除されます。

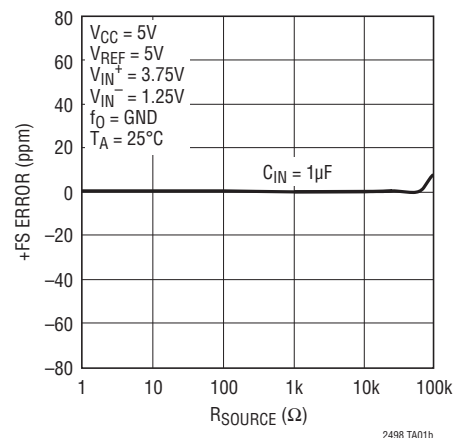
LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

データ収集システム



+FS誤差とR_{SOURCE}

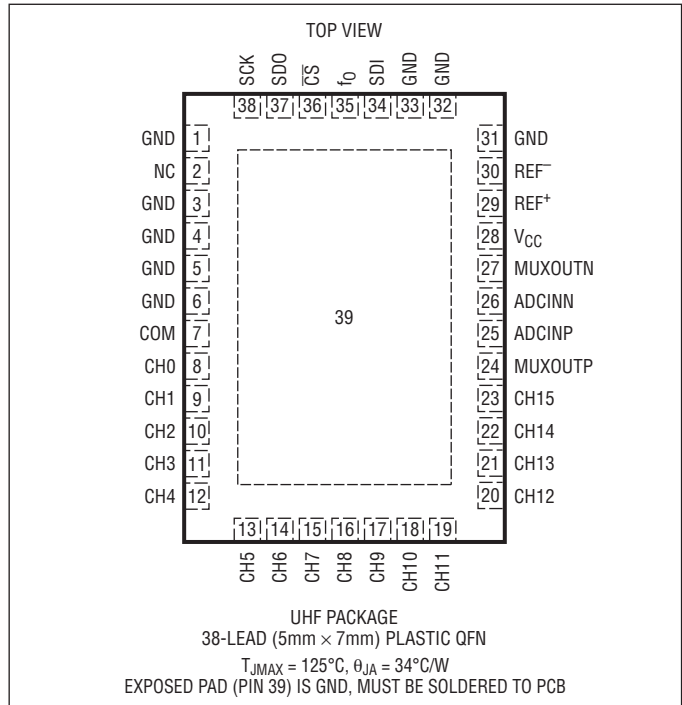


LTC2496

絶対最大定格 (Note 1, 2)

電源電圧 (V _{CC})	-0.3V~6V
アナログ入力電圧 (CH0~CH15, COM)	-0.3V~(V _{CC} +0.3V)
リファレンス入力電圧.....	-0.3V~(V _{CC} +0.3V)
ADCINN, ADCINP, MUXOUTP, MUXOUTN	-0.3V~(V _{CC} +0.3V)
デジタル入力電圧	-0.3V~(V _{CC} +0.3V)
デジタル出力電圧	-0.3V~(V _{CC} +0.3V)
動作温度範囲	
LTC2496C.....	0°C~70°C
LTC2496I.....	-40°C~85°C
保存温度範囲.....	-65°C~150°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2496CUHF#PBF	LTC2496CUHF#TRPBF	2496	38-Lead (5mm × 7mm) Plastic QFN	0°C to 70°C
LTC2496IUHF#PBF	LTC2496IUHF#TRPBF	2496	38-Lead (5mm × 7mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外はT_A = 25°Cでの値。(Note 3, 4)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)	0.1V ≤ V _{REF} ≤ V _{CC} , -FS ≤ V _{IN} ≤ +FS (Note 5)	16			Bits
Integral Nonlinearity	5V ≤ V _{CC} ≤ 5.5V, V _{REF} = 5V, V _{IN(CM)} = 2.5V (Note 6) 2.7V ≤ V _{CC} ≤ 5.5V, V _{REF} = 2.5V, V _{IN(CM)} = 1.25V (Note 6)	●	2 1	20	ppm of V _{REF} ppm of V _{REF}
Offset Error	2.5V ≤ V _{REF} ≤ V _{CC} , GND ≤ IN ⁺ = IN ⁻ ≤ V _{CC} (Note 14)	●	0.5	5	μV
Offset Error Drift	2.5V ≤ V _{REF} ≤ V _{CC} , GND ≤ IN ⁺ = IN ⁻ ≤ V _{CC}		10		nV/°C
Positive Full-Scale Error	2.5V ≤ V _{REF} ≤ V _{CC} , IN ⁺ = 0.75V _{REF} , IN ⁻ = 0.25V _{REF}	●		32	ppm of V _{REF}
Positive Full-Scale Error Drift	2.5V ≤ V _{REF} ≤ V _{CC} , IN ⁺ = 0.75V _{REF} , IN ⁻ = 0.25V _{REF}		0.1		ppm of V _{REF} /°C
Negative Full-Scale Error	2.5V ≤ V _{REF} ≤ V _{CC} , IN ⁺ = 0.25V _{REF} , IN ⁻ = 0.75V _{REF}	●		32	ppm of V _{REF}
Negative Full-Scale Error Drift	2.5V ≤ V _{REF} ≤ V _{CC} , IN ⁺ = 0.25V _{REF} , IN ⁻ = 0.75V _{REF}		0.1		ppm of V _{REF} /°C

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3, 4)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Total Unadjusted Error	$5V \leq V_{CC} \leq 5.5V, V_{REF} = 2.5V, V_{IN(CM)} = 1.25V$		15		ppm of V_{REF}
	$5V \leq V_{CC} \leq 5.5V, V_{REF} = 5V, V_{IN(CM)} = 2.5V$		15		ppm of V_{REF}
	$2.7V \leq V_{CC} \leq 5.5V, V_{REF} = 2.5V, V_{IN(CM)} = 1.25V$		15		ppm of V_{REF}
Output Noise	$5.5V \leq V_{CC} \leq 2.7V, 2.5V \leq V_{REF} \leq V_{CC}, GND \leq IN^+ = IN^- \leq V_{CC}$ (Note 13)		0.6		μV_{RMS}

コンバータの特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Common Mode Rejection DC	$2.5V \leq V_{REF} \leq V_{CC}, GND \leq IN^+ = IN^- \leq V_{CC}$ (Note 5)	●	140		dB
Input Common Mode Rejection 60Hz $\pm 2\%$	$2.5V \leq V_{REF} \leq V_{CC}, GND \leq IN^+ = IN^- \leq V_{CC}$ (Note 5)	●	140		dB
Input Common Mode Rejection 50Hz $\pm 2\%$	$2.5V \leq V_{REF} \leq V_{CC}, GND \leq IN^+ = IN^- \leq V_{CC}$ (Note 5)	●	140		dB
Input Normal Mode Rejection 50Hz $\pm 2\%$	$2.5V \leq V_{REF} \leq V_{CC}, GND \leq IN^+ = IN^- \leq V_{CC}$ (Notes 5, 7)	●	110	120	dB
Input Normal Mode Rejection 60Hz $\pm 2\%$	$2.5V \leq V_{REF} \leq V_{CC}, GND \leq IN^+ = IN^- \leq V_{CC}$ (Notes 5, 8)	●	110	120	dB
Input Normal Mode Rejection 50Hz/60Hz $\pm 2\%$	$2.5V \leq V_{REF} \leq V_{CC}, GND \leq IN^+ = IN^- \leq V_{CC}$ (Notes 5, 9)	●	87		dB
Reference Common Mode Rejection DC	$2.5V \leq V_{REF} \leq V_{CC}, GND \leq IN^+ = IN^- \leq V_{CC}$ (Note 5)	●	120	140	dB
Power Supply Rejection DC	$V_{REF} = 2.5V, IN^+ = IN^- = GND$		120		dB
Power Supply Rejection, 50Hz $\pm 2\%$	$V_{REF} = 2.5V, IN^+ = IN^- = GND$ (Notes 7, 9)		120		dB
Power Supply Rejection, 60Hz $\pm 2\%$	$V_{REF} = 2.5V, IN^+ = IN^- = GND$ (Notes 8, 9)		120		dB

アナログ入力とリファレンス

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
IN^+	Absolute/Common Mode IN^+ Voltage (IN^+ Corresponds to the Selected Positive Input Channel)		$GND - 0.3V$		$V_{CC} + 0.3V$	V	
IN^-	Absolute/Common Mode IN^- Voltage (IN^- Corresponds to the Selected Positive Input Channel)		$GND - 0.3V$		$V_{CC} + 0.3V$	V	
V_{IN}	Input Differential Voltage Range ($IN^+ - IN^-$)	●	-FS		+FS	V	
FS	Full Scale of the Differential Input ($IN^+ - IN^-$)	●	$0.5 V_{REF}$			V	
LSB	Least Significant Bit of the Output Code	●	$FS/2^{16}$				
REF^+	Absolute/Common Mode REF^+ Voltage	●	0.1		V_{CC}	V	
REF^-	Absolute/Common Mode REF^- Voltage	●	GND		$REF^+ - 0.1V$	V	
V_{REF}	Reference Voltage Range ($REF^+ - REF^-$)	●	0.1		V_{CC}	V	
$CS(IN^+)$	IN^+ Sampling Capacitance			11		pF	
$CS(IN^-)$	IN^- Sampling Capacitance			11		pF	
$CS(V_{REF})$	V_{REF} Sampling Capacitance			11		pF	
$I_{DC_LEAK}(IN^+)$	IN^+ DC Leakage Current	Sleep Mode, $IN^+ = GND$	●	-10	1	10	nA
$I_{DC_LEAK}(IN^-)$	IN^- DC Leakage Current	Sleep Mode, $IN^- = GND$	●	-10	1	10	nA
$I_{DC_LEAK}(REF^+)$	REF^+ DC Leakage Current	Sleep Mode, $REF^+ = V_{CC}$	●	-100	1	100	nA
$I_{DC_LEAK}(REF^-)$	REF^- DC Leakage Current	Sleep Mode, $REF^- = GND$	●	-100	1	100	nA
t_{OPEN}	MUX Break-Before-Make			50		ns	
QIRR	MUX Off Isolation	$V_{IN} = 2V_{P-P}$ DC to 1.8MHz		120		dB	

LTC2496

デジタル入力とデジタル出力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage (\overline{CS} , f_0 , SDI)	$2.7V \leq V_{CC} \leq 5.5V$ (Note 18)	●	$V_{CC} - 0.5$			V
V_{IL}	Low Level Input Voltage (\overline{CS} , f_0 , SDI)	$2.7V \leq V_{CC} \leq 5.5V$	●			0.5	V
V_{IH}	High Level Input Voltage (SCK)	$2.7V \leq V_{CC} \leq 5.5V$ (Notes 10, 15)	●	$V_{CC} - 0.5$			V
V_{IL}	Low Level Input Voltage (SCK)	$2.7V \leq V_{CC} \leq 5.5V$ (Notes 10, 15)	●			0.5	V
I_{IN}	Digital Input Current (\overline{CS} , f_0 , SDI)	$0V \leq V_{IN} \leq V_{CC}$	●	-10		10	μA
I_{IN}	Digital Input Current (SCK)	$0V \leq V_{IN} \leq V_{CC}$ (Notes 10, 15)	●	-10		10	μA
C_{IN}	Digital Input Capacitance (\overline{CS} , f_0 , SDI)				10		pF
C_{IN}	Digital Input Capacitance (SCK)	(Notes 10, 17)			10		pF
V_{OH}	High Level Output Voltage (SDO)	$I_O = -800\mu\text{A}$	●	$V_{CC} - 0.5$			V
V_{OL}	Low Level Output Voltage (SDO)	$I_O = 1.6\text{mA}$	●			0.4	V
V_{OH}	High Level Output Voltage (SCK)	$I_O = -800\mu\text{A}$ (Notes 10, 17)	●	$V_{CC} - 0.5$			V
V_{OL}	Low Level Output Voltage (SCK)	$I_O = 1.6\text{mA}$ (Notes 10, 17)	●			0.4	V
I_{OZ}	Hi-Z Output Leakage (SDO)		●	-10		10	μA

電源要件

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{CC}	Supply Voltage		●	2.7		5.5	V
I_{CC}	Supply Current	Conversion Current (Note 12) Sleep Mode (Note 12)	● ●		160 1	275 2	μA μA

デジタル入力とデジタル出力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
f_{EOSC}	External Oscillator Frequency Range	(Note 16)	●	10		4000	kHz
t_{HEO}	External Oscillator High Period		●	0.125		100	μs
t_{LEO}	External Oscillator Low Period		●	0.125		100	μs
t_{CONV}	Conversion Time	Simultaneous 50/60Hz External Oscillator	●	144.1	146.9 41036/ f_{EOSC} (in kHz)	149.9	ms ms
f_{ISCK}	Internal SCK Frequency	Internal Oscillator (Note 10) External Oscillator (Notes 10, 11)			38.4 $f_{EOSC}/8$		kHz kHz
D_{ISCK}	Internal SCK Duty Cycle	(Note 10)	●	45		55	%
f_{ESCK}	External SCK Frequency Range	(Note 10)	●			4000	kHz
t_{LESCK}	External SCK Low Period	(Note 10)	●	125			ns
t_{HESCK}	External SCK High Period	(Note 10)	●	125			ns
t_{DOUT_ISCK}	Internal SCK 24-Bit Data Output Time	Internal Oscillator External Oscillator	●	0.61	0.625 192/ f_{EOSC} (in kHz)	0.64	ms ms
t_{DOUT_ESCK}	External SCK 24-Bit Data Output Time	(Note 10)			24/ f_{ESCK} (in kHz)		ms

デジタル入力とデジタル出力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
t_1	$\overline{\text{CS}}\downarrow$ to SDO Low		●	0		200	ns
t_2	$\overline{\text{CS}}\uparrow$ to SDO High Z		●	0		200	ns
t_3	$\overline{\text{CS}}\downarrow$ to SCK \downarrow	Internal SCK Mode	●	0		200	ns
t_4	$\overline{\text{CS}}\downarrow$ to SCK \uparrow	External SCK Mode	●	50			ns
t_{KQMAX}	SCK \downarrow to SDO Valid		●			200	ns
t_{KQMIN}	SDO Hold After SCK \downarrow	(Note 5)	●	15			ns
t_5	SCK Set-Up Before $\overline{\text{CS}}\downarrow$		●	50			ns
t_6	SCK Hold After $\overline{\text{CS}}\downarrow$		●			50	ns
t_7	SDI Setup Before SCK \uparrow	(Note 5)	●	100			ns
t_8	SDI Hold After SCK \uparrow	(Note 5)	●	100			ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、絶対最大定格状態が長時間続くと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: 全ての電圧値はGNDを基準にしている。

Note 3: 注記がない限り、 $V_{\text{CC}} = 2.7\text{V} \sim 5.5\text{V}$ 。

$$V_{\text{REFCM}} = V_{\text{REF}}/2, \text{FS} = 0.5V_{\text{REF}}$$

$$V_{\text{IN}} = \text{IN}^+ - \text{IN}^-, V_{\text{IN(CM)}} = (\text{IN}^+ + \text{IN}^-)/2$$

ここで、 IN^+ と IN^- は選択された入力チャネルである。

Note 4: 注記がない限り、内部変換クロックまたは $f_{\text{EOSC}} = 307.2\text{kHz}$ の外部変換クロック・ソースを使う。

Note 5: 設計によって保証されているが、テストされない。

Note 6: 積分非直線性は、実際の伝達曲線のエンドポイントを通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 7: $f_{\text{EOSC}} = 256\text{kHz} \pm 2\%$ (外部発振器)

Note 8: $f_{\text{EOSC}} = 307.2\text{kHz} \pm 2\%$ (外部発振器)

Note 9: 50Hz/60Hz同時モード (内部発振器) または $f_{\text{EOSC}} = 280\text{kHz} \pm 2\%$ (外部発振器)

Note 10: SCKは外部SCKモードまたは内部SCKモードで構成設定することができる。外部SCKモードでは、SCKピンはデジタル入力として使われ、ドライビング・クロックは f_{ESCK} である。内部SCKモードでは、SCKピンはデジタル出力として使われ、データ出力時の出カクロック信号は f_{SCK} である。

Note 11: 外部発振器は f_0 ピンに接続される。外部発振器の周波数(f_{Eosc})はkHzで表されている。

Note 12: コンバータは内部発振器を使用する。

Note 13: 出力ノイズには内部較正動作によって生じる分が含まれる。

Note 14: 設計およびテストとの相関により保証されている。

Note 15: コンバータは外部SCKモードで動作しているので、SCKピンはデジタル入力として使用されている。データの出力時にSCKをドライブするクロック信号の周波数は f_{ESCK} であり、Hzで表されている。

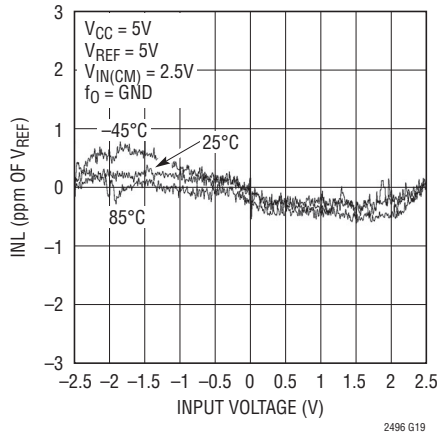
Note 16: 性能とデータ・レートのグラフについては、「アプリケーション情報」のセクションを参照。

Note 17: コンバータは内部SCKモードで動作しているので、SCKピンはデジタル出力として使用されている。

Note 18: $V_{\text{CC}} < 3\text{V}$ では、 f_0 ピンの V_{IH} は2.5Vである。

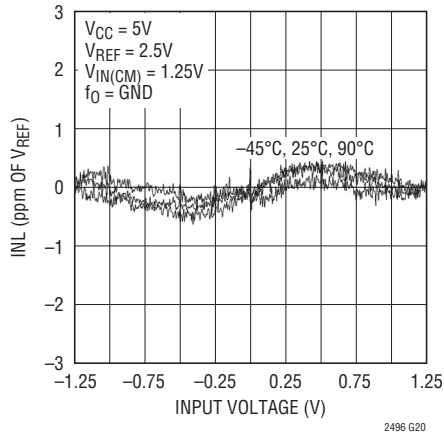
標準的性能特性

積分非直線性
($V_{CC} = 5V$, $V_{REF} = 5V$)



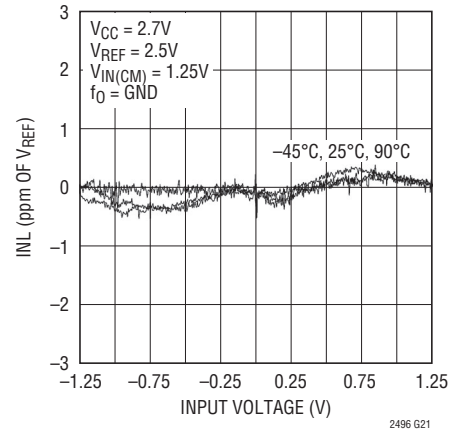
2496 G19

積分非直線性
($V_{CC} = 5V$, $V_{REF} = 2.5V$)



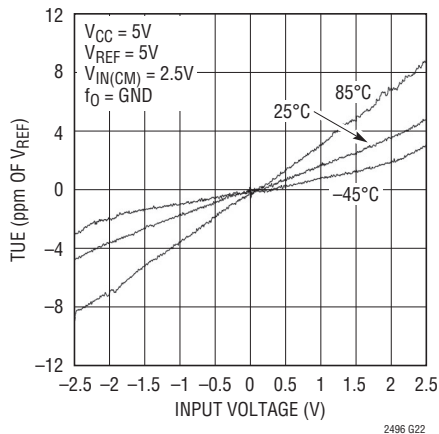
2496 G20

積分非直線性
($V_{CC} = 2.7V$, $V_{REF} = 2.5V$)



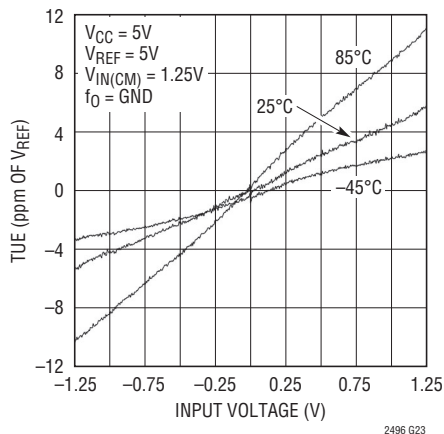
2496 G21

全未調整誤差
($V_{CC} = 5V$, $V_{REF} = 5V$)



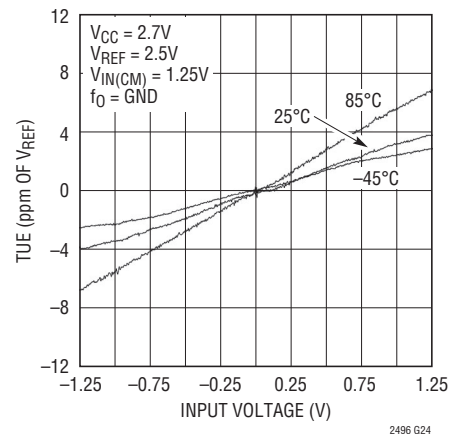
2496 G22

全未調整誤差
($V_{CC} = 5V$, $V_{REF} = 2.5V$)



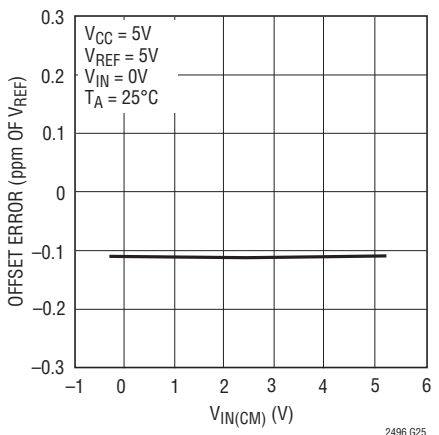
2496 G23

全未調整誤差
($V_{CC} = 2.7V$, $V_{REF} = 2.5V$)



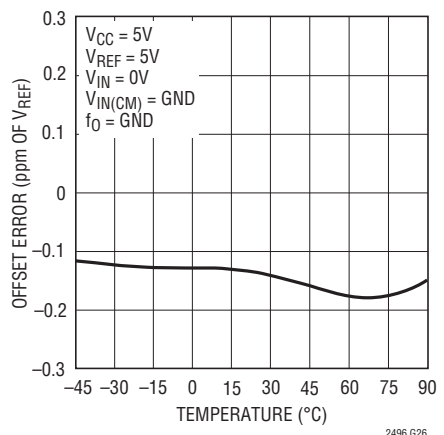
2496 G24

オフセット誤差と $V_{IN(CM)}$



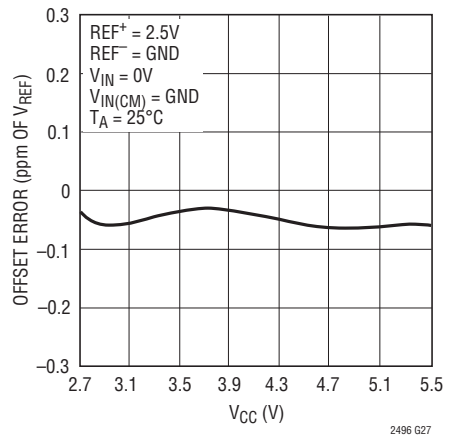
2496 G25

オフセット誤差と温度



2496 G26

オフセット誤差と V_{CC}

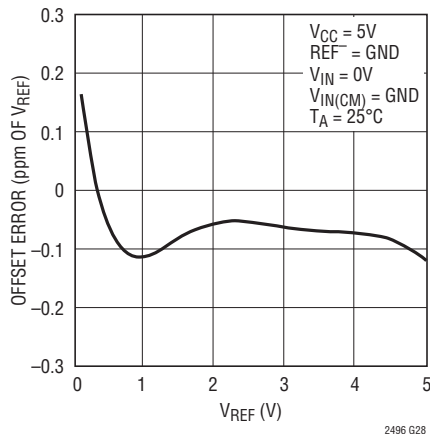


2496 G27

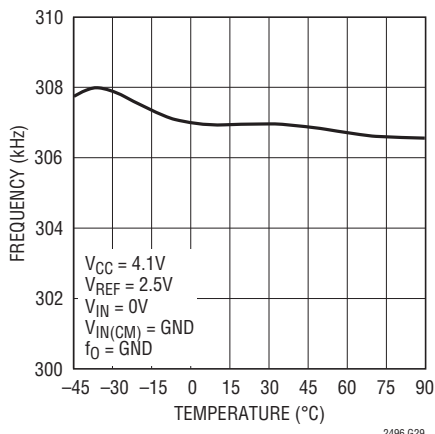
2496fb

標準的性能特性

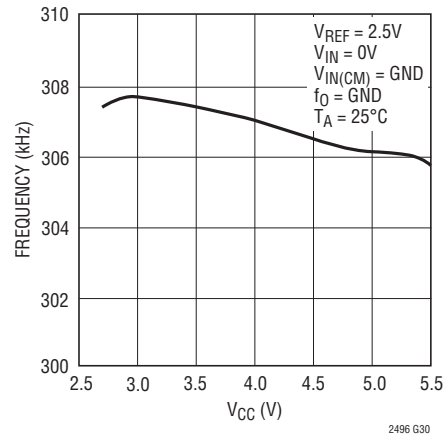
オフセット誤差とV_{REF}



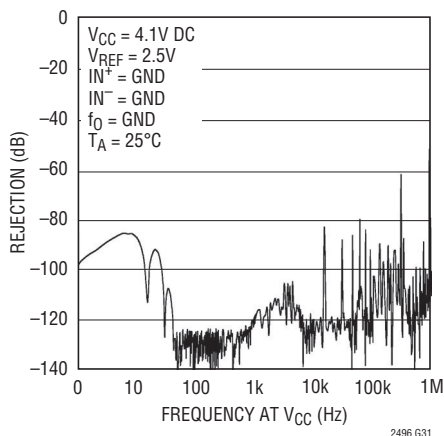
内蔵発振器の周波数と温度



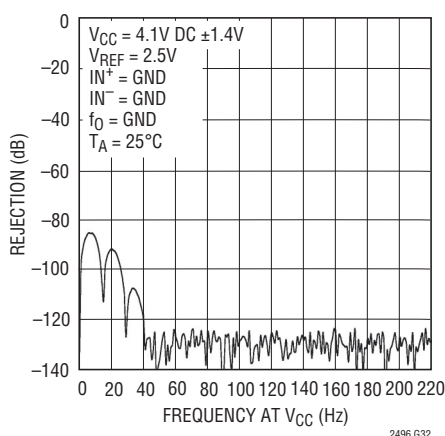
内蔵発振器の周波数とV_{CC}



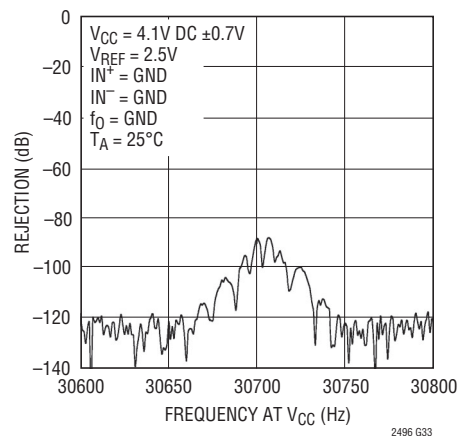
PSRRとV_{CC}での周波数



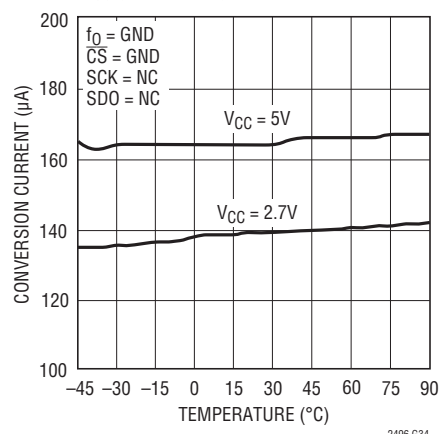
PSRRとV_{CC}での周波数



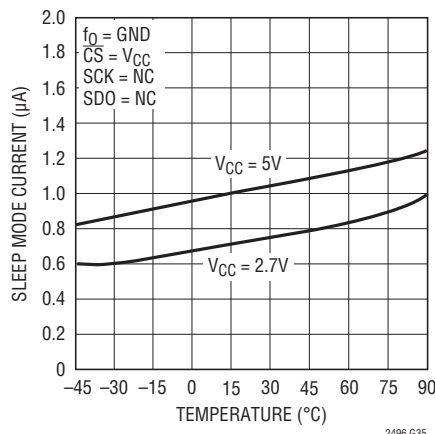
PSRRとV_{CC}での周波数



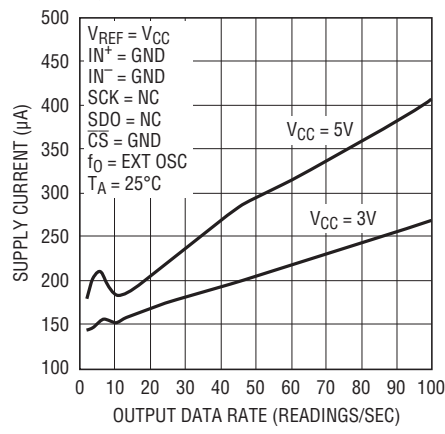
変換電流と温度



スリープ・モード電流と温度



変換電流と出力データ・レート



ピン機能

GND (ピン1、3、4、5、6、31、32、33) : グランド。グランド電流の流れと V_{CC} のデカップリングを最適にするため、内部で結合されている複数のグランド・ピン。これらのピンのそれぞれを1つの共通グランド・プレーンに低インピーダンスで接続します。適正な動作のためには8つのピン全てをグランドに接続する必要があります。

NC (ピン2) : NC。このピンはフロートさせたままにするか、グランドに接続します。

COM (ピン7) : 全てのシングルエンド・マルチプレクサ構成の共通負入力 (IN^-)。CH0~CH15およびCOMの各ピンの電圧は ($GND-0.3V$) ~ ($V_{CC}+0.3V$) の任意の値にすることができます。これらのリミット内では、2つの選択された入力 (IN^+ と IN^-) により、 $-0.5 \cdot V_{REF} \sim 0.5 \cdot V_{REF}$ のバイポーラの入力範囲 ($V_{IN} = IN^+ - IN^-$) が与えられます。この入力範囲の外側では、コンバータは固有のオーバーレンジとアンダーレンジの出力コードを発生します。

CH0~CH15 (ピン8~23) : アナログ入力。シングルエンド・モードまたは差動モードにプログラムすることができます。

MUXOUTP (ピン24) : 正のマルチプレクサ出力。外部バッファ/アンプをドライブするのに使うか、またはADCINPに直接短絡することができます。

ADCINP (ピン25) : 正のADC入力。MUXOUTPによってドライブされるバッファ/アンプの出力に接続するか、またはMUXOUTPに直接短絡させます。

ADCINN (ピン26) : 負のADC入力。MUXOUTNによってドライブされるバッファ/アンプの出力に接続するか、またはMUXOUTNに直接短絡させます。

MUXOUTN (ピン27) : 負のマルチプレクサ出力。外部バッファ/アンプをドライブするのに使うか、またはADCINNに直接短絡することができます。

V_{CC} (ピン28) : 正電源電圧。10 μ Fのタンタル・コンデンサと0.1 μ Fのセラミック・コンデンサを並列に使用して、デバイスのできるだけ近くでGNDにバイパスします。

REF⁺ (ピン29)、REF⁻ (ピン30) : 差動リファレンス入力。これらのピンの電圧は、リファレンスの正入力 (REF⁺) がリファレンスの負入力 (REF⁻) より少なくとも0.1Vだけ高く保たれる限り、 $GND \sim V_{CC}$ の任意の電圧にすることができます。差動電圧 ($REF = REF^+ - REF^-$) により、全ての入力チャネルのフルスケール・レンジが設定されます。

SDI (ピン34) : シリアル・データ入力。このピンは、入力チャネルを選択するのに使います。シリアル・データ入力は、データの出力動作の間にシリアル・クロック (SCK) で制御されてデバイスに与えられます。新しい入力後の最初の変換は有効です。

f₀ (ピン35) : 周波数制御ピン。内部変換クロック・レートを制御するデジタル入力。f₀が V_{CC} またはGNDに接続されていると、コンバータは307.2kHzで動作する内部発振器を使います。出力レートとデジタル・フィルタの除去ヌルを変更するため、f₀ピンを外部クロックでドライブして変換クロックを無効にすることもできます。

\overline{CS} (ピン36) : アクティブ“L”のチップ・セレクト。このピンを“L”にすると、デジタル入力/出力がイネーブルされ、ADCが覚醒します。各変換の後、ADCは自動的にスリープ・モードに入り、 \overline{CS} が“H”に留まる限りこの省電力状態に保たれます。データ出力中に \overline{CS} が“L”から“H”に遷移すると、データ転送が中止され、新しい変換が開始されます。

SDO (ピン37) : スリーステートのデジタル出力。データ出力の期間中、このピンはシリアル・データの出力として使われます。チップ・セレクト・ピンが“H”のとき、SDOピンは高インピーダンス状態になります。変換中およびスリープ中、このピンは変換状態の出力として使われます。変換の進行中このピンは“H”になり、変換が完了すると“L”になります。変換状態は \overline{CS} を“L”に引き下げてモニタします。

SCK (ピン38) : クロック・ピン (双方向デジタルI/O)。内部シリアル・クロック動作モードでは、SCKは内部で発生し、SCKピンの出力として現れます。外部シリアル・クロック動作モードでは、デジタルI/Oクロックが外部からSCKピンに与えられます。シリアル・クロック動作モードは電源立ち上げ時および \overline{CS} の最新の立ち下がりエッジの間にSCKピンに与えられるロジック・レベルによって決まります。

GND (露出パッド・ピン39) : グランド。このピンはグランドで、PCBのグランド・プレーンに半田付けする必要があります。プロトタイプ作成では、このピンをフロートさせたままでもかまいません。

機能ブロック図

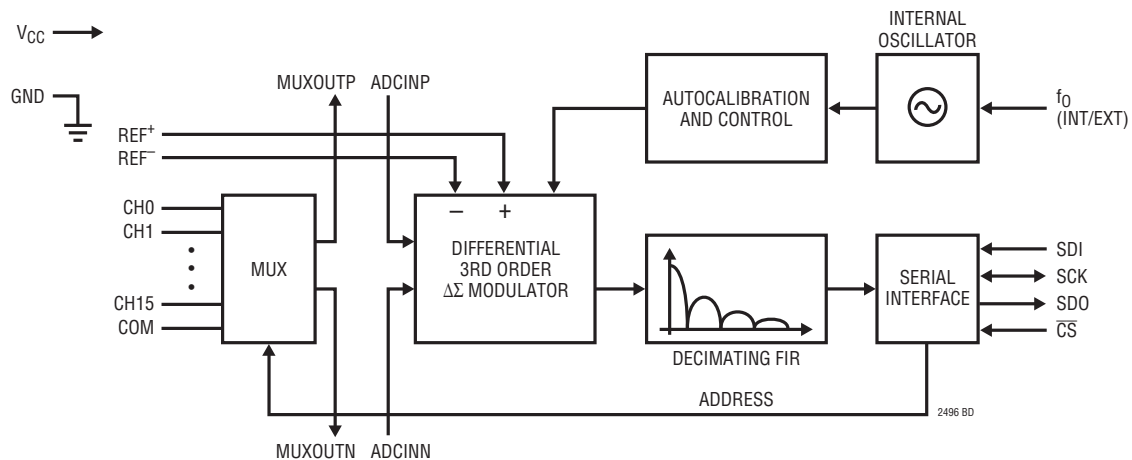
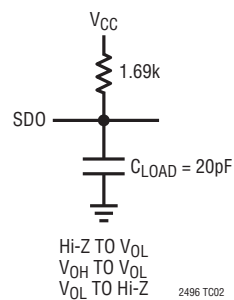
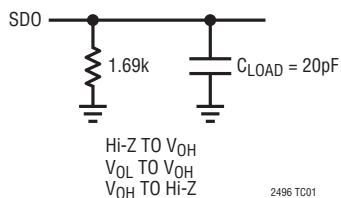


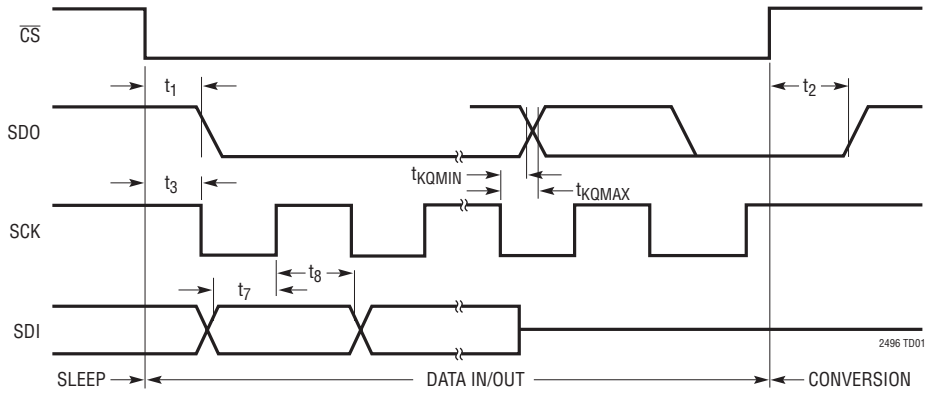
図1. 機能ブロック図

テスト回路

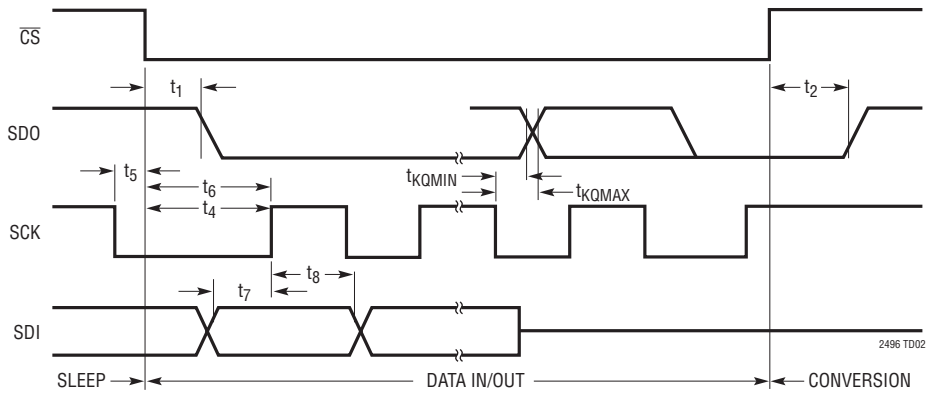


タイミング図

内部SCKを使った場合のタイミング図 (SCKが“H”で \overline{CS} ↓)



外部 SCK を使った場合のタイミング図 (SCKが“L”で \overline{CS} ↓)



アプリケーション情報

コンバータの動作

コンバータの動作サイクル

LTC2496はマルチチャンネルの低電力デルタシグマADコンバータで、使いやすい4線式シリアル・インタフェースと自動差動入力電流キャンセル機能を備えています。その動作は3つの状態で構成されています(図2を参照)。コンバータの動作サイクルは変換から始まり、スリープ・ステートがそれに続き、データの出力/入力サイクルで終了します。4線式のインタフェースはシリアル・データ出力(SDO)、シリアル・クロック(SCK)、チップ・セレクト(\overline{CS})およびシリアル・データ入力(SDI)で構成されています。インタフェース、タイミング、動作サイクル、およびデータの出力フォーマットはリニアテクノロジーの全ての $\Delta\Sigma$ コンバータと互換性があります。

LTC2496は最初に(起動時に)変換を行います。変換が完了すると、デバイスはスリープ・ステートに入ります。このスリープ・ステートの間、 \overline{CS} が“H”であれば、電力消費が2桁減少します。 \overline{CS} が“H”に保たれている限り、デバイスはスリープ・ステートに留まります。デバイスがスリープ・ステートの間、変換結果は無期限にスタティック・シフトレジスタ内に保存されます。

\overline{CS} が“L”に引き下げられると、デバイスはパワーアップし、スリープ・モードから出て、データ入力/出力ステートに入ります。SCKの最初の立ち上がりエッジより前に \overline{CS} が“H”になると、デバイスはスリープ・ステートに戻り、電力が低下します。

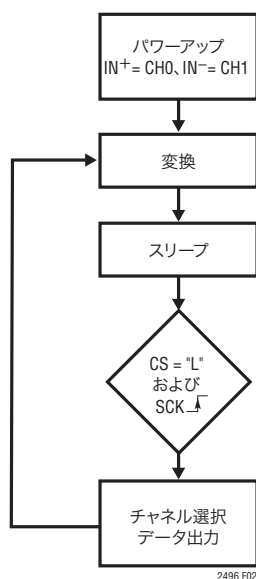


図2. LTC2496の状態遷移図

SCKの最初の立ち上がりエッジより後に \overline{CS} が“H”になると、データ出力サイクルが中止され、新しい変換サイクルが開始されます。データの出力は直前に完了した変換に対応しています。この結果はシリアル・クロック・ピン(SCK)によって制御されて、シリアル・データ出力ピン(SDO)からシフトされて出力されます。データはSCKの立ち下がりエッジによって更新されるので、ユーザーはSCKの立ち上がりエッジを使って確実にデータをラッチすることができます(図3を参照)。次の変換のチャンネル選択データもこの時点でデバイスにロードされます。データはSCKの各立ち上がりエッジでシリアル・データ入力ピン(SDI)からロードされます。データ入力/出力サイクルは24ビットがADCから読み出されるか、または \overline{CS} が“H”に引き上げられると終了します。デバイスは自動的に新しい変換を開始し、このサイクルが繰り返されます。

\overline{CS} ピンとSCKピンのタイミング制御によって、LTC2496はいくつかの動作モード(内部または外部のSCKと自走変換の各モード)を柔軟に提供します。これらの多様なモードはプログラミングを必要とせず、上述の周期動作を乱すことはありません。これらの動作モードについては「シリアル・インタフェースのタイミング・モード」のセクションで詳しく説明します。

使いやすさ

LTC2496のデータ出力には、待ち時間、フィルタのセトリグ遅延、または変換サイクルに関連した冗長データがありません。変換と出力データの間には1対1対応の関係があります。したがって、複数のアナログ入力の多重化は簡単です。新しく入力が選択された直後に続く各変換は有効であり、精度はデバイスの仕様を完全に満たします。

LTC2496は、選択された入力チャンネルには無関係に、変換サイクル毎にオフセットとフルスケールの較正を自動的に行います。この較正はユーザーからは見えず、上述の動作サイクルには影響を与えません。連続較正の利点は、時間経過、電源電圧の変動、入力チャンネル、および温度ドリフトに対してオフセットとフルスケールの測定値がきわめて安定していることです。

Easy Drive入力電流キャンセル

LTC2496は高精度デルタシグマADCを自動差動入力電流キャンセル・フロントエンドと組み合わせています。

アプリケーション情報

独自のフロントエンド受動サンプリング・ネットワークが透過的に差動入力電流を除去します。これにより、外部RCネットワークと高インピーダンス・センサを、外部アンプなしに、直接LTC2496にインタフェースさせることができます。残りの同相入力電流は、差動入力のインピーダンスをバランスさせるか、または同相入力を同相リファレンスに等しく設定して除去します（「自動差動入力電流キャンセル」のセクションを参照）。このユニークなアーキテクチャには内蔵バッファが不要なので、信号はグラウンドを超えて、または V_{CC} まで振幅することができます。さらに、このキャンセル機能はオフセットとフルスケールの透過的な自動校正と干渉することがないので、外部RCネットワークが付加されても、絶対精度（フルスケール+オフセット+直線性+ドリフト）が維持されます。

パワーアップ・シーケンス

LTC2496は電源電圧 V_{CC} が約2Vより下になると自動的に内部リセット状態になります。この機能により、変換結果、入力チャンネルの選択、およびシリアル・クロック・モードの一貫性が保証されます。

V_{CC} がこのスレッシュホールドを超えると、コンバータは約4msの内部パワーオン・リセット（POR）信号を発生します。このPOR信号により、全ての内部レジスタがクリアされます。PORサイクル直後の変換は、入力チャンネル $IN^+ = CH0$ および $IN^- = CH1$ に対し実行されます。PORサイクルに続く最初の変換の精度は、PORのインターバルが経過する前に電源電圧が2.7V~5.5Vの範囲に回復していれば、デバイスの仕様を満たします。この最初のデータ入力/出力サイクルの間に、新しい入力チャンネルをデバイスにプログラムすることができます。

リファレンス電圧範囲

このコンバータは真に差動の外部リファレンス電圧を受け取ります。 REF^+ ピンと REF^- ピンの絶対/同相電圧範囲はデバイスの全動作範囲（ $GND \sim V_{CC}$ ）を含みます。コンバータを正しく動作させるには、 V_{REF} は正でなければなりません（ $REF^+ > REF^-$ ）。

LTC2496の差動リファレンスの入力範囲は0.1V~ V_{CC} です。最も簡単に動作させるには、 REF^+ を V_{CC} に短絡し、 REF^- を GND に短絡することができます。コンバータの出力ノイズはフロントエンド回路の熱ノイズによって決まります。遷移ノイズは1LSBよりはるかに低いので（0.02LSB）、リファレンス電圧を下げると、それに比例してコンバータの実効分解能とINL性能が改善されます。

入力電圧範囲

アナログ入力は真に差動で、 $CH0 \sim CH15$ およびCOMの各入力ピンの絶対/同相範囲は $GND - 0.3V$ から $V_{CC} + 0.3V$ までです。これらのリミットの外側では、ESD保護用デバイスがオンし始め、入力のリーク電流による誤差が急速に増加します。これらのリミット内では、LTC2496は $-FS = -0.5 \cdot V_{REF}$ から $+FS = 0.5 \cdot V_{REF}$ のバイポーラ差動入力信号 $V_{IN} = IN^+ + IN^-$ （ここで、 IN^+ と IN^- は選択された入力チャンネル）を変換します。ここで、 $V_{REF} = REF^+ - REF^-$ です。この範囲の外側では、コンバータは固有の出力コードを使ってオーバーレンジまたはアンダーレンジの状態を表示します。

入力（ $CH0 \sim CH15$ 、COM）に与えられる信号は、グラウンドより300mV下および V_{CC} より300mV上まで達することができます。フォールト電流を全て制限するため、最大5kの抵抗を入力に直列に追加することができます。コンバータの精度に対する直列抵抗の影響は、「入力電流/リファレンス電流」のセクションに示されている曲線から評価することができます。さらに、直列抵抗は入力のリーク電流により、温度に依存した誤差を生じます。 $V_{REF} = 5V$ のとき、1nAの入力リーク電流により、5kの抵抗には1ppmのオフセット誤差が生じます。この誤差は温度に大きく依存します。

MUXOUT/ADCIN

マルチプレクサ（MUXOUT）の出力とADCへの入力（ADCIN）を使って、選択された入力チャンネルの入力信号の調整を行うことができます。または、単に一緒に短絡して直接デジタル化します。外部アンプを使う場合、LTC2496はこの回路のオフセットとドリフトの両方を自動的に校正します。Easy Driveサンプリング方式により様々なアンプを使うことができます。

アプリケーション情報

最適性能を達成するため、外部アンプを使用しない場合はこれらのピンを直接一緒に短絡し (ADCINPはMUXOUTPに、ADCINNはMUXOUTNに)、グランドとの間のそれらの容量を最小に抑えます。

シリアル・インタフェース・ピン

LTC2496は、3線または4線の同期式インタフェースを介して、変換結果を転送し、入力チャネルの選択を読み込み、変換開始コマンドを受け取ります。変換中およびスリープ・ステートの間、このインタフェースを使ってコンバータの状態にアクセスすることができます。データ出力ステートの間は、このインタフェースは変換結果を読み出し、次の変換サイクルの入力チャネルをプログラムするのに使われます。

シリアル・クロックの入力/出力(SCK)

シリアル・クロック・ピン(SCK)は入力/出力のデータ転送の同期に使われます。各ビットはSCKの立ち上がりエッジでシフトされてSDOピンから出力され、データはSCKの立ち上がりエッジでシフトされてSDIピンに入力されます。

シリアル・クロック・ピン(SCK)は、マスタ(SCKは内部で発生させた出力)またはスレーブ(SCKは外部から与えられる入力)のどちらかに設定することができます。マスタ・モード(内部SCK)は単にSCKピンをフロートさせて選択します。スレーブ・モード(外部SCK)は起動時および \overline{CS} の各立ち上がりエッジの間にSCKを“L”にドライブして選択します。これらのSCKモードの詳細については「シリアル・インタフェースのタイミング・モード」のセクションで説明します。

シリアル・データ出力(SDO)

シリアル・データ出力ピン(SDO)は、データ出力ステートの間に最後の変換の結果をシリアル・ビット・ストリームとして(MSBを最初に)出力します。さらに、SDOピンは変換ステートおよびスリープ・ステートの間、変換終了インジケータとして使われます。

\overline{CS} が“H”のとき、他のデバイスとデータ出力ラインを共有するため、SDOドライバは高インピーダンス状態に切り替わります。変換フェーズの間に \overline{CS} を“L”にすると、 \overline{EOC} ビット(SDOピン)が“H”にドライブされます。変換が完了後、 \overline{CS} が“L”になると、 \overline{EOC} が“L”にドライブされ、変換が完了してその結果をデバイスからシフトして出力する用意ができていないことを知らせます。

チップ・セレクト(\overline{CS})

アクティブ“L”の \overline{CS} ピンは、変換状態をテストし、I/Oデータ転送をイネーブルし、新しい変換を開始し、スリープ・ステートの時間を制御し、さらにSCKモードを設定するのに使われます。

変換サイクルが終了すると、 \overline{CS} が“H”の間、デバイスは低電力スリープ・ステートに留まり、消費電流は数桁減少します。スリープ・ステートから抜け出してデータ出力ステートに入るには、 \overline{CS} を“L”に引き下げる必要があります。前述のように、データはSCKピンによって制御されてSDOピンからシフトされて出力されます。

新しい変換サイクルは、データ出力サイクルが終了すると(全ての24データ・ビットが読み出されると)、またはシリアル・クロック(SCK)の1番目と24番目の立ち上がりエッジの間の任意の時間に \overline{CS} を“H”に引き上げると開始されます。この場合、データの出力は中止され、新しい変換が開始されます。

シリアル・データ入力(SDI)

シリアル・データ入力(SDI)は、入力チャネルの選択に使います。データは、 \overline{CS} が“L”のとき、データ出力/入力ステートの間にSCKの立ち上がりエッジでシフトされてデバイスに入力されます。

出力データのフォーマット

LTC2496のシリアル出力ストリームは24ビット長です。1番目のビットは変換状態を示し、2番目のビットは常にゼロで、3番目のビットは符号情報を伝えます。次の17ビットは変換結果で、MSBが最初にきます。残りの4ビットは常に“L”です。

ビット23(最初の出力ビット)は変換終了(EOC)のインジケータです。このビットは、変換ステートおよびスリープ・ステートの間、 \overline{CS} が“L”のときSDOピンから読み出せます。このビットは変換サイクル中は“H”で、変換が完了すると“L”になり、 \overline{CS} が“H”のときは高インピーダンスになります。

ビット22(2番目の出力ビット)はダミービット(DMY)で、常に“L”です。

ビット21(3番目の出力ビット)は変換結果の符号のインジケータ(SIG)です。選択された入力($V_{IN} = IN^+ - IN^-$)が0Vより上であれば、このビットは“H”になります。 $V_{IN} < 0$ ならば、このビットは“L”になります。

アプリケーション情報

ビット20(4番目の出力ビット)は結果の最上位ビット(MSB)です。このビットはビット21と組み合わせられてアンダーレンジまたはオーバーレンジも表示します。ビット21とビット20が両方とも“H”の場合、差動入力電圧が+FSを超えています。ビット21とビット20が両方とも“L”の場合、差動入力電圧が-FSより低くなっています。これらのビットの機能を表1にまとめてあります。

表1. LTC2496の状態ビット

入力レンジ	Bit 23 EOC	Bit 22 DMY	Bit 21 SIG	Bit 20 MSB
$V_{IN} \geq 0.5 \cdot V_{REF}$	0	0	1	1
$0V \leq V_{IN} < 0.5 \cdot V_{REF}$	0	0	1	0
$-0.5 \cdot V_{REF} \leq V_{IN} < 0V$	0	0	0	1
$V_{IN} < -0.5 \cdot V_{REF}$	0	0	0	0

ビット20～ビット4は16ビットと符号からなる変換結果で、MSBが先にきます。

ビット4は最下位ビット(LSB₁₆)です。

ビット3～ビット0は常に“L”です。

データはシリアル・クロック(SCK)によって制御されてSDOピンからシフトされて出力されます(図3を参照)。 \overline{CS} が“H”のときは常にSDOは高インピーダンスに保たれ、SCKは無視されます。

変換結果をデバイスからシフトして出力するには、最初に \overline{CS} を“L”にドライブする必要があります。 \overline{CS} が“L”に引き下げられると、デバイスのSDOピンに \overline{EOC} が現われます。 \overline{EOC} は変換完了時にリアルタイムで“H”から“L”に変化します。この信号は外部のマイクロコントローラへの割り込み信号として使うことができます。ビット23(\overline{EOC})はSCKの最初の立ち上がりエッジで捕捉することができます。ビット22はSCKの最初の立ち下がりエッジでシフトされてデバイスから出力されます。最後のデータ・ビット(ビット0)は23番目のSCKの立ち下がりエッジでシフトされて出力され、24番目のSCKパルスの立ち上がりエッジでラッチすることができます。24番目のSCKパルスの立ち下がりエッジでSDOは“H”になり、新しい変換サイクルの開始を示します。このビットは次の変換サイクルの \overline{EOC} (ビット23)として機能します。出力データのフォーマットが表2にまとめてあります。

IN^+ ピンと IN^- ピンの電圧が $-0.3V \sim (V_{CC} + 0.3V)$ の絶対最大動作範囲に留まる限り、 $-FS = -0.5 \cdot V_{REF}$ から $+FS = 0.5 \cdot V_{REF}$ までの任意の差動入力電圧 V_{IN} に対して変換結果が生成されます。 $+FS$ を超える差動入力電圧の場合、変換結果は $+FS + 1LSB$ に相当する値にクランプされます。 $-FS$ より低い差動入力電圧の場合、変換結果は $-FS - 1LSB$ の値にクランプされます。

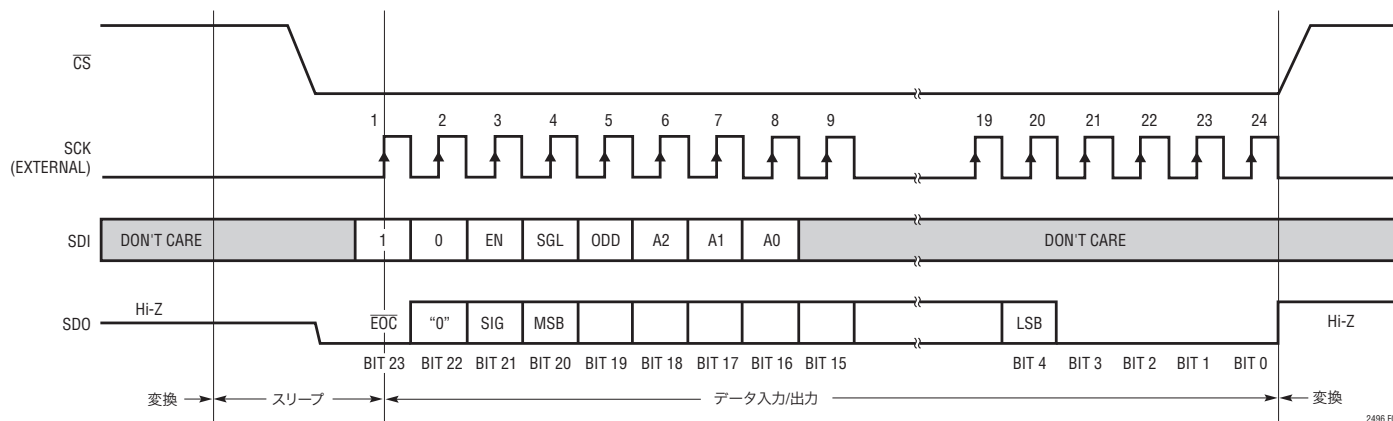


図3. チャンネルの選択およびデータ出力のタイミング

アプリケーション情報

表2. LTC2496の出力データのフォーマット

差動入力電圧 V_{IN}^*	BIT 23 EOC	BIT 22 DMY	BIT 21 SIG	BIT 20 MSB	BIT 19	BIT 18	BIT 17	...	BIT 4	BIT 3~BIT 0
$V_{IN}^* \geq FS^{**}$	0	0	1	1	0	0	0	...	0	0000
$FS^{**} - 1LSB$	0	0	1	0	1	1	1	...	1	0000
$0.5 \cdot FS^{**}$	0	0	1	0	1	0	0	...	0	0000
$0.5 \cdot FS^{**} - 1LSB$	0	0	1	0	0	1	1	...	1	0000
0	0	0	1	0	0	0	0	...	0	0000
-1LSB	0	0	0	1	1	1	1	...	1	0000
$-0.5 \cdot FS^{**}$	0	0	0	1	1	0	0	...	0	0000
$-0.5 \cdot FS^{**} - 1LSB$	0	0	0	1	0	1	1	...	1	0000
$-FS^{**}$	0	0	0	1	0	0	0	...	0	0000
$V_{IN}^* < -FS^{**}$	0	0	0	0	1	1	1	...	1	0000

* 差動入力電圧 $V_{IN} = IN^+ - IN^-$ 。 ** フルスケール電圧 $FS = 0.5 \cdot V_{REF}$ 。

入力データのフォーマット

LTC2496のシリアル入力ワードは8ビット長です。入力データ(SGL, ODD, A2, A1, A0)は入力チャンネルを選択するのに使われます。パワーアップ後、デバイスは内部リセット・サイクルを開始し、入力チャンネルをCH0とCH1($IN^+ = CH0$, $IN^- = CH1$)に設定します。最初の変換はパワーアップ時にこのデフォルトの入力チャンネルを使って自動的に開始されます。変換が完了したら、次の変換サイクルの入力チャンネルを選択するために、新しいワードをデバイスに書き込むことができます。

シフトされてデバイスに入力された最初の3ビットは2個のプリアンブル・ビットと1個のイネーブル・ビットで構成されます。図3に示されているように、デバイスにシフトされて入力される最初の3ビットはデバイスの入力チャンネルの選択をイネーブルします。これらの3ビットの有効な設定は000、100および101です。他の組合せは避けます。最初の3ビットが000または100に設定されると、後続のデータは無視され(ドントケア)、前回選択された入力チャンネルが次の変換に対しても依然有効です。

シフトされてデバイスに入力された最初の3ビットが101であれば、それに続く5ビットにより次の変換サイクルの入力チャンネルが選択されます(表3を参照)。

101のシーケンスに続く最初の入力ビット(SGL)は、入力選択が差動(SGL = 0)であるか、またはシングルエンド(SGL = 1)であるかを決定します。SGL = 0の場合、隣接する2本のチャンネルを選択して差動入力を構成することができます。SGL = 1の場合、16本のチャンネルの中の1本が正入力として選択されます。負入力は全てのシングルエンド動作でCOMです。残りの4ビット(ODD, A2, A1, A0)により、選択されるチャンネルと(差動入力の場合)その極性が決定されます。このデータ・シーケンスはデルタシグマADCのLTC2448およびLTC2418ファミリに対して後方互換性があります。

シリアル・インタフェースのタイミング・モード

LTC2496の4線式インタフェースはSPIおよびMICROWIREと互換性があります。このインタフェースにより、いくつかの柔軟な動作モードが実現できます。これらには内部/外部シリアル・クロック、3線または4線のI/O、シングル・サイクル変換または連続変換が含まれます。以下のセクションではこれらのそれぞれのタイミング・モードを詳細に説明します。全ての場合に、コンバータは内部発振器($f_0 = "L"$ または $f_0 = "H"$)または f_0 ピンに接続された外部発振器を使うことができます。各モードで、動作サイクル、データ入力のフォーマット、データ出力のフォーマット、および性能は変わりません。表4にまとめられていますので参照してください。

LTC2496

アプリケーション情報

表3. チャネルの選択

MUXアドレス					チャネルの選択																	
SGL	ODD/ SIGN	A2	A1	A0	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	COM	
*0	0	0	0	0	IN ⁺	IN ⁻																
0	0	0	0	1			IN ⁺	IN ⁻														
0	0	0	1	0					IN ⁺	IN ⁻												
0	0	0	1	1							IN ⁺	IN ⁻										
0	0	1	0	0									IN ⁺	IN ⁻								
0	0	1	0	1											IN ⁺	IN ⁻						
0	0	1	1	0													IN ⁺	IN ⁻				
0	0	1	1	1															IN ⁺	IN ⁻		
0	1	0	0	0	IN ⁻	IN ⁺																
0	1	0	0	1			IN ⁻	IN ⁺														
0	1	0	1	0					IN ⁻	IN ⁺												
0	1	0	1	1							IN ⁻	IN ⁺										
0	1	1	0	0									IN ⁻	IN ⁺								
0	1	1	0	1											IN ⁻	IN ⁺						
0	1	1	1	0													IN ⁻	IN ⁺				
0	1	1	1	1															IN ⁻	IN ⁺		
1	0	0	0	0	IN ⁺																	IN ⁻
1	0	0	0	1			IN ⁺															IN ⁻
1	0	0	1	0					IN ⁺													IN ⁻
1	0	0	1	1							IN ⁺											IN ⁻
1	0	1	0	0									IN ⁺									IN ⁻
1	0	1	0	1											IN ⁺							IN ⁻
1	0	1	1	0													IN ⁺					IN ⁻
1	0	1	1	1															IN ⁺			IN ⁻
1	1	0	0	0		IN ⁺																IN ⁻
1	1	0	0	1				IN ⁺														IN ⁻
1	1	0	1	0						IN ⁺												IN ⁻
1	1	0	1	1								IN ⁺										IN ⁻
1	1	1	0	0										IN ⁺								IN ⁻
1	1	1	0	1												IN ⁺						IN ⁻
1	1	1	1	0														IN ⁺				IN ⁻
1	1	1	1	1																IN ⁺		IN ⁻

*パワーアップ時の既定値

アプリケーション情報

表4. シリアル・インタフェースのタイミング・モード

構成	SCK 信号源	変換サイクルの 制御	データ出力 制御	接続と波形
外部SCK、 シングル・サイクル変換	外部	\overline{CS} およびSCK	\overline{CS} およびSCK	図4、図5
外部SCK、3線式I/O	外部	SCK	SCK	図6
内部SCK、 シングル・サイクル変換	内部	$\overline{CS}\downarrow$	$\overline{CS}\downarrow$	図7、図8
内部SCK、3線式I/O、 連続変換	内部	連続	内部	図9

外部シリアル・クロック、シングル・サイクル動作

このタイミング・モードでは、外部シリアル・クロックを使って変換結果をシフトして出力し、 \overline{CS} 信号を使って変換サイクルの状態をモニタして制御します(図4を参照)。

外部シリアル・クロック・モードはパワーアップ・シーケンスおよび \overline{CS} の各立ち下がりエッジで選択されます。外部SCKモードの動作に入り、そこに留まるためには、パワーアップ時および \overline{CS} の各立ち下がりエッジの両方でSCKを“L”にドライブする必要があります。 \overline{CS} の立ち下がりエッジでSCKが“H”だと、デバイスは内部SCKモードに切り替わります。

シリアル・データ出力ピン(SDO)は、 \overline{CS} が“H”の間は高インピーダンスになります。変換サイクル中はいつでも、コンバータの状態をモニタするために \overline{CS} を“L”に引き下げることができます。 \overline{CS} が“L”の間、 \overline{EOC} がSDOピンに出力されます。

変換が進行中は $\overline{EOC} = 1$ になり、変換が完了してデバイスがスリープ・ステートに入ると $\overline{EOC} = 0$ になります。 \overline{CS} には関係なく、変換が完了すると、デバイスは自動的にスリープ・ステートに入ります。ただし、電力を下げるため、 \overline{CS} は“H”にする必要があります。

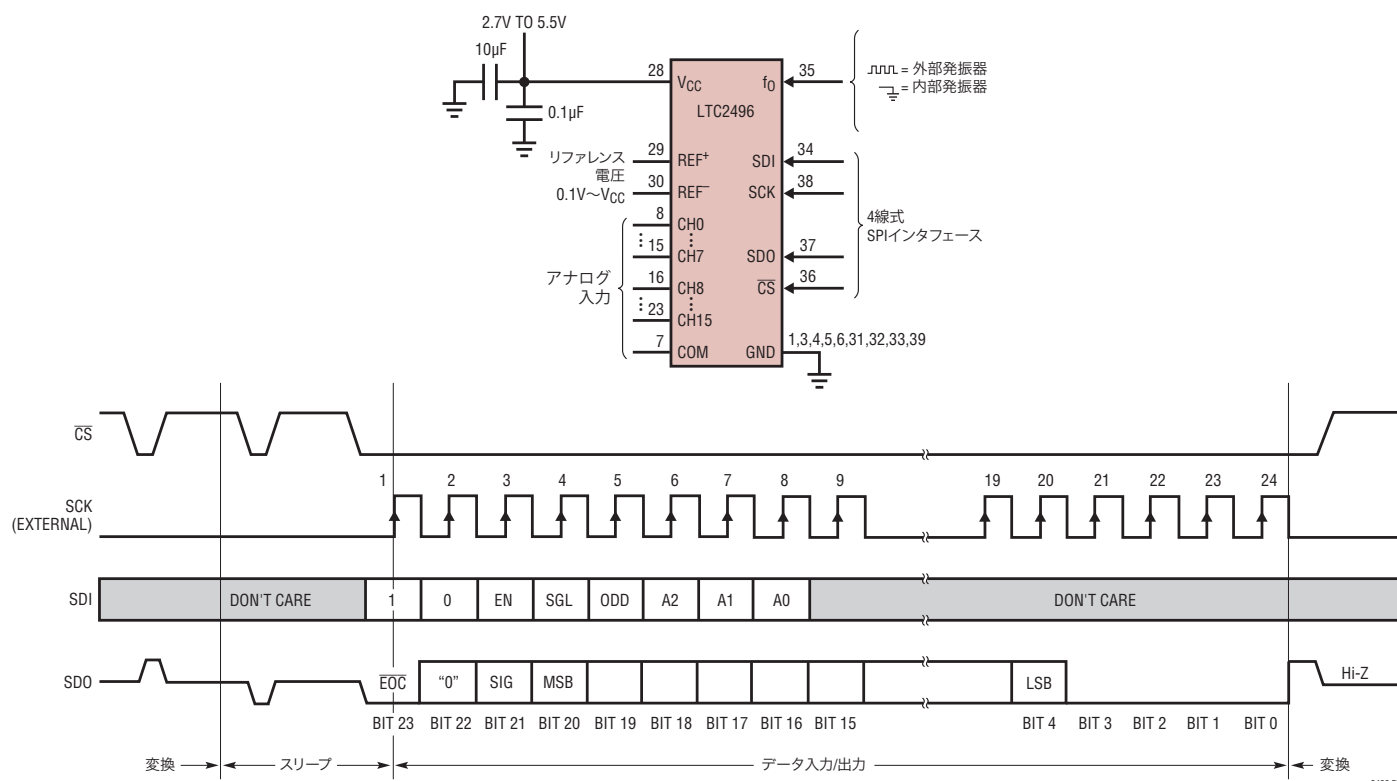


図4. 外部シリアル・クロック、シングル・サイクル動作

アプリケーション情報

デバイスがスリープ・ステートるとき、変換結果は内部のスタティック・シフトレジスタに保存されます。 \overline{CS} が“L”の間にSCKの最初の立ち上がりエッジが現れるまでデバイスはスリープ・ステートに留まります。それから、入力データがSCKの(最初の立ち上がりエッジを含む)各立ち上がりエッジでシフトされSDIピンを介して入力されます。後続の変換サイクルではチャンネル選択が使われます。このI/Oサイクルの間に入力チャンネルが変更されると、そのデータ入出力サイクルに続く変換サイクルに対して新しい設定が有効になります。出力データはSCKの各立ち下がりエッジでシフトされてSDOピンから出力されます。このため、外部回路はSCKの立ち上がりエッジを使って出力をラッチすることができます。 \overline{EOC} はSCKの最初の立ち上がりエッジを使ってラッチすることができ、変換結果の最後のビットはSCKの24番目の立ち上がりエッジを使ってラッチすることができます。SCKの24番目の立ち下がりエッジで、デバイスは新しい変換を開始し、SDOは“H”になり($\overline{EOC} = 1$)、新しい変換サイクルが進行中であることを示します。

データ・サイクルの完了時に \overline{CS} を“L”のままにしておき、 \overline{EOC} を変換終了時の割り込み信号としてモニタすることができます。

通常、 \overline{CS} はデータ出力/入力ステートの間“L”に保たれます。ただし、SCKの最初の立ち下がりエッジと24番目の立ち下がりエッジの間に、いつでも \overline{CS} を“H”に引き上げてデータ出力ステートを中止することができます(図5を参照)。 \overline{CS} の立ち上がりエッジでデバイスはデータ出力ステートを中止し、直ちに新しい変換を開始します。新しい入力チャンネルをプログラムするには、8個のSCKクロック・パルスが必要です。データ出力シーケンスがSCKの8番目の立ち下がりエッジより前に中止されると、新しい入力データは無視され、前回選択された入力チャンネルがそのまま有効に保たれます。SCKの8番目の立ち下がりエッジの後に \overline{CS} の立ち上がりエッジが生じると、新しい入力チャンネルがロードされ、次の変換サイクルで有効になります。

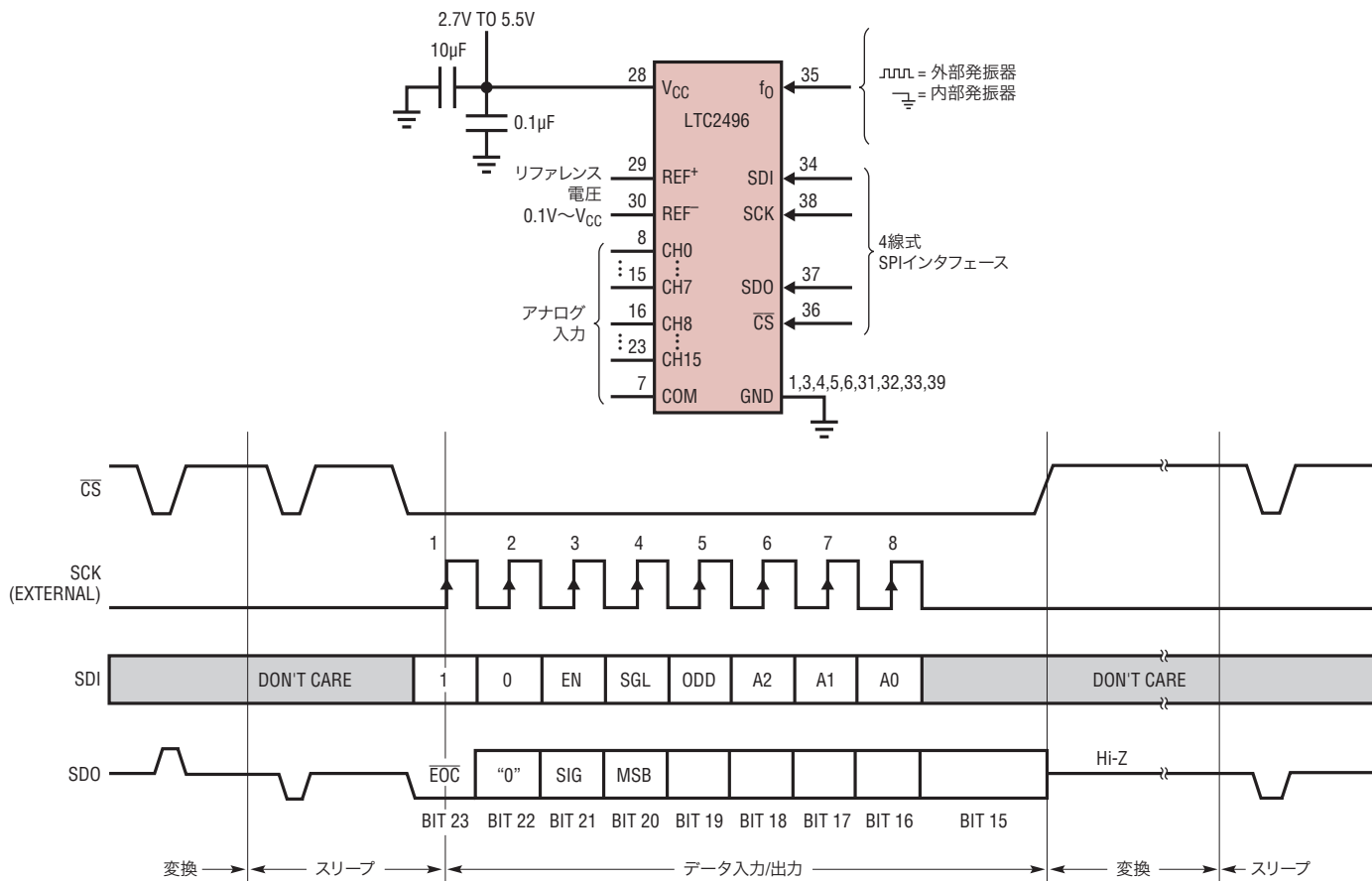


図5. 外部シリアル・クロック、短縮された出力データ長および有効なチャンネル選択

アプリケーション情報

外部シリアル・クロック、3線式I/O

このタイミング・モードでは3線式シリアルI/Oインタフェースが使われます。変換結果は外部で作られたシリアル・クロック(SCK)信号によってシフトされてデバイスから出力されます(図6参照)。 \overline{CS} は永続的にグランドに接続されるので、ユーザー・インタフェースや絶縁バリアが簡素化されます。

外部シリアル・クロック・モードが起動時リセット(POR)サイクルの終りに選択されます。PORサイクルは V_{CC} が2Vを超えてから標準4ms後に終了します。この時点でSCKに与えられるレベルによって、SCKが内部で作られるかそれとも外部から与えられるかが決まります。外部SCKモードに入るには、PORサイクルの終了前にSCKを“L”にドライブする必要があります。

\overline{CS} が“L”に固定されているので、変換ステートおよびスリープ・ステートの間、変換終了(\overline{EOC})をSDOピンで連続してモニタすることができます。 \overline{EOC} は外部コントローラの割り込み信号として使うことができます。変換中は $\overline{EOC} = 1$ となり、変換が完了すると $\overline{EOC} = 0$ となります。 \overline{EOC} の立ち下がりエッジで、変換結果が内部のスタティック・シフトレジスタにロードされます。これで、外部から与えられるSCK信号の制御によって出力データをシフトさせて、SDOピンから出力することができます。SCKの立ち下がりエッジでデータを更新します。入力データは、SCKの立ち上がりエッジでシフトされ、SDIピンを通してデバイスに入力されます。SCKの24番目の立ち下がりエッジで、SDOは“H”になり、新しい変換サイクルが開始されたことを示します。このデータは次の変換サイクルの \overline{EOC} として機能します。

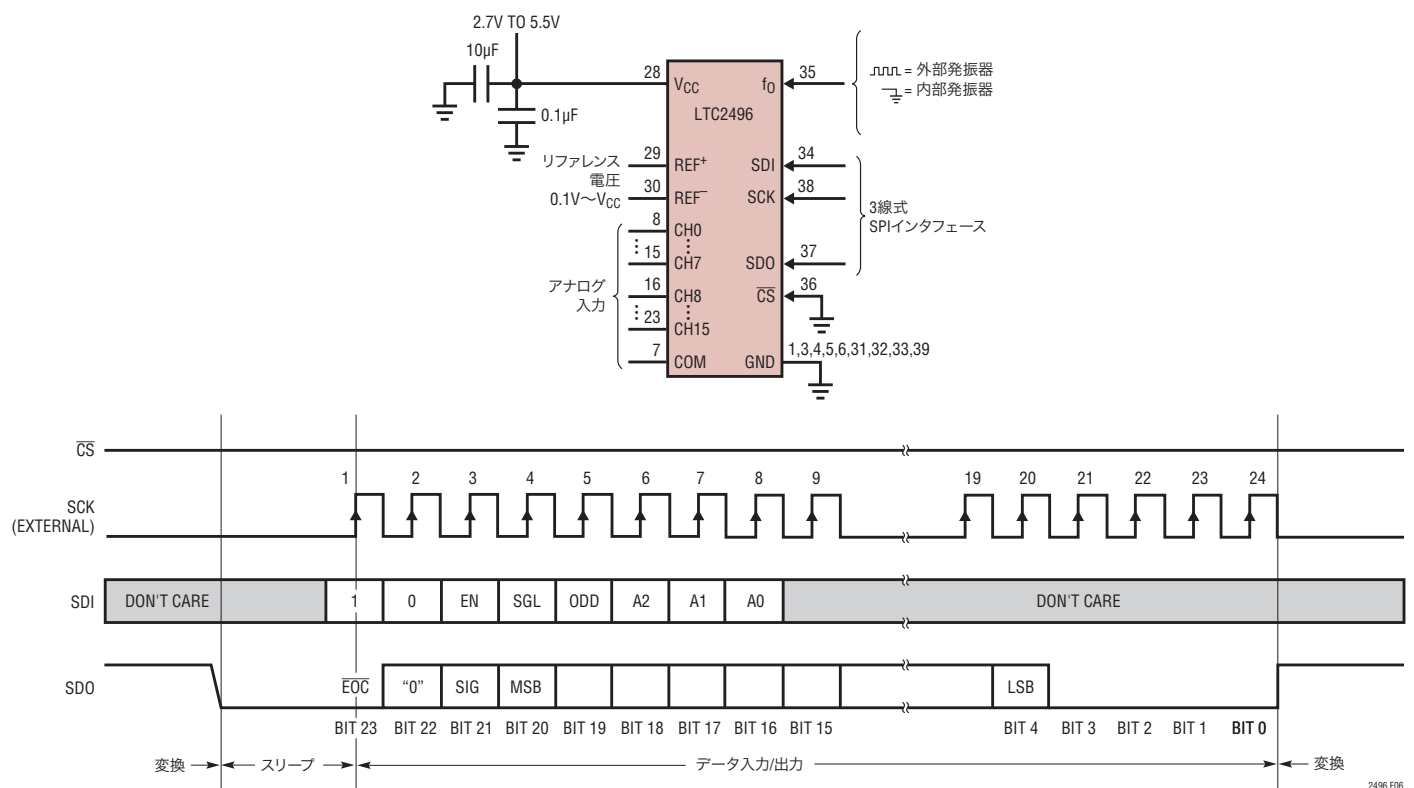


図6. 外部シリアル・クロック、3線式動作 ($\overline{CS} = 0$)

アプリケーション情報

内部シリアル・クロック、シングル・サイクル動作

このタイミング・モードでは、内部シリアル・クロックを使って変換結果をシフトして出力し、 \overline{CS} 信号を使って変換サイクルの状態をモニタして制御します(図7を参照)。

内部シリアル・クロック・タイミング・モードを選択するには、PORサイクルの終了前に、また、 \overline{CS} の各立ち下がりエッジより前にシリアル・クロック・ピン(SCK)をフロートにするか、または“H”に引き上げる必要があります。内部の弱いプルアップ抵抗が \overline{CS} の立ち下がりエッジの間SCKピンに対して働くので、SCKが外部からドライブされないと内部SCKモードが自動的に選択されます。

シリアル・データ出力ピン(SDO)は、 \overline{CS} が“H”の間は高インピーダンスになります。変換サイクル中はいつでも、コンバータの状態をモニタするために \overline{CS} を“L”に引き下げることができます。 \overline{CS} が“L”に引き下げられると、SCKが“L”になり、 \overline{EOC} がSDOピンに出力されます。変換中は $\overline{EOC} = 1$ になり、デバイスがスリープ・ステートに入ると $\overline{EOC} = 0$ になります。

\overline{EOC} をテストすると、変換が完了していれば($\overline{EOC} = 0$)、デバイスはスリープ・ステートから出ます。スリープ・ステートに戻って電力損失を下げるには、デバイスがSCKを“H”に引き上げる前に \overline{CS} を“H”に引き上げる必要があります。デバイスが自己の内部発振器を使っているとき(f_0 が“L”に接続されている)、SCKの最初の立ち上がりは \overline{CS} の立ち下がり後12 μ sに生じます($t_{EOCTEST} = 12\mu$ s)。周波数が f_{EOSC} の外部発振器が f_0 をドライブしていると、 $t_{EOCTEST}$ は $3.6/f_{EOSC}$ になります。

\overline{CS} が $t_{EOCTEST}$ より長く“L”に留まると、SCKの最初の立ち上がりエッジが生じ、変換結果がSCKの立ち下がりエッジでシフトされてSDOピンから出力されます。シリアル入力ワード(SDI)はSCKの立ち上がりエッジでシフトされてデバイスに入力されます。

SCKの24番目の立ち上がりエッジの後、新しい変換が自動的に開始されます。SDOは“H”になり($\overline{EOC} = 1$)、SCKは変換サイクルの間“H”に保たれます。変換が完了すると、サイクルが繰り返されます。

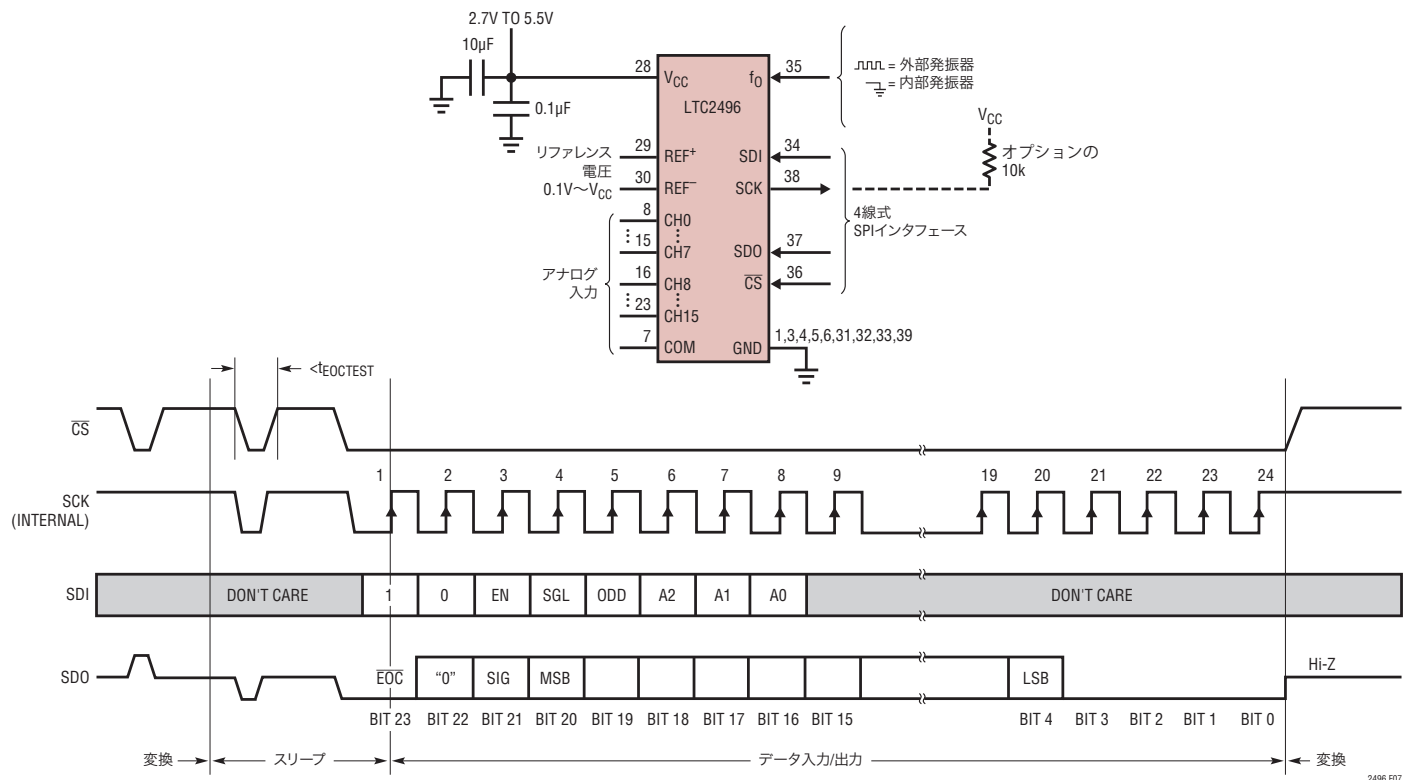


図7. 内部シリアル・クロック、シングル・サイクル動作

アプリケーション情報

通常、 \overline{CS} はデータ出力ステートの間“L”に保たれます。ただし、SCKの最初の立ち上がりエッジと24番目の立ち下がりエッジの間に、いつでも \overline{CS} を“H”に引き上げてデータ出力ステートを中止することができます(図8を参照)。 \overline{CS} の立ち上がりエッジでデバイスはデータ出力ステートを中止し、直ちに新しい変換を開始します。新しい入力チャンネルをプログラムするには、8個のSCKクロック・パルスが必要です。データ出力シーケンスがSCKの8番目の立ち下がりエッジより前に中止されると、新しい入力データは無視され、前回選択された入力チャンネルがそのまま有効に保たれます。SCKの8番目の立ち下がりエッジの後に \overline{CS} の立ち上がりエッジが生じると、新しい入力チャンネルがロードされ、次の変換サイクルで有効になります。

内部シリアル・クロック、3線式I/O、連続変換

このタイミング・モードでは3線式インタフェースを使います。変換結果は内部で作られたシリアル・クロック(SCK)信号によってシフトされてデバイスから出力されます(図9を参照)。この場合、 \overline{CS} は永続的にグラウンドに接続されるので、ユーザー・インタフェースや、絶縁バリアを超えた転送が簡素化されます。

内部シリアル・クロック・モードは起動時リセット(POR)サイクルの終りに選択されます。PORサイクルは V_{CC} が2Vを超えてから約4ms後に終了します。内部の弱いプルアップ抵抗はPORサイクルの間アクティブです。したがって、SCKがフロート状態だと、または“H”にドライブされると、内部シリアル・クロック・タイミング・モードが自動的に選択されます。

変換中、SCKとシリアル・データ出力ピン(SDO)は“H”になります($\overline{EOC} = 1$)。変換が完了すると、SCKおよびSDOは“L”になり($\overline{EOC} = 0$)、変換が終了してデバイスがスリープ・ステートに入ったことを示します。デバイスは最小時間(内部SCKの周期の1/2)の間スリープ・ステートに留まってから、直ちにデータの入出力を開始します。入力データがSCKの(最初の立ち上がりエッジを含む)立ち上がりエッジでシフトされてSDIピンに入力され、出力データがSCKの立ち下がりエッジでシフトされてSDOピンから出力されます。SCKの24番目の立ち上がりエッジの後、データの入出力サイクルが終了し、新しい変換が自動的に開始されます。次の変換中、SCKとSDOは変換が完了するまで“H”に保たれます。

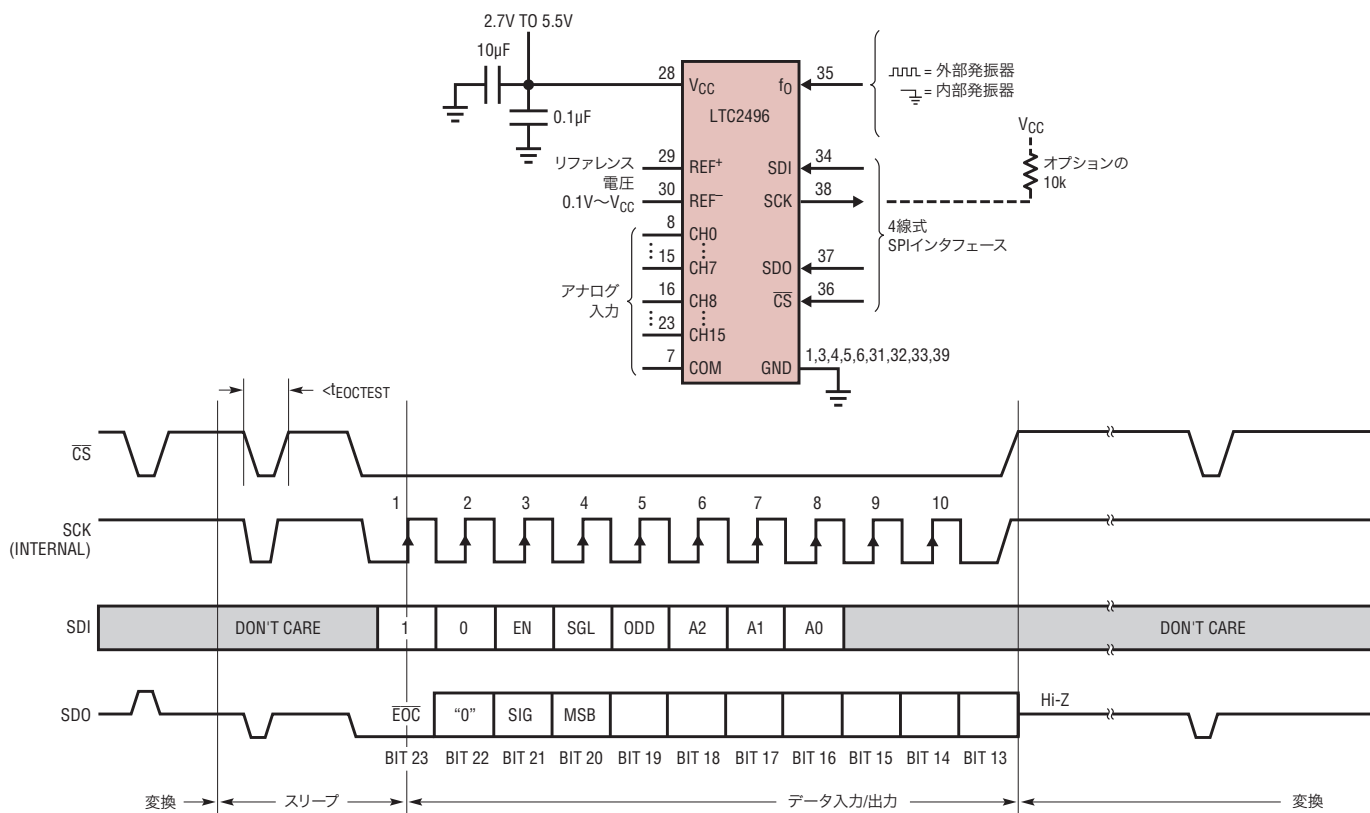


図8. 内部シリアル・クロック、短縮された出力データ長および有効なチャンネルの選択

アプリケーション情報

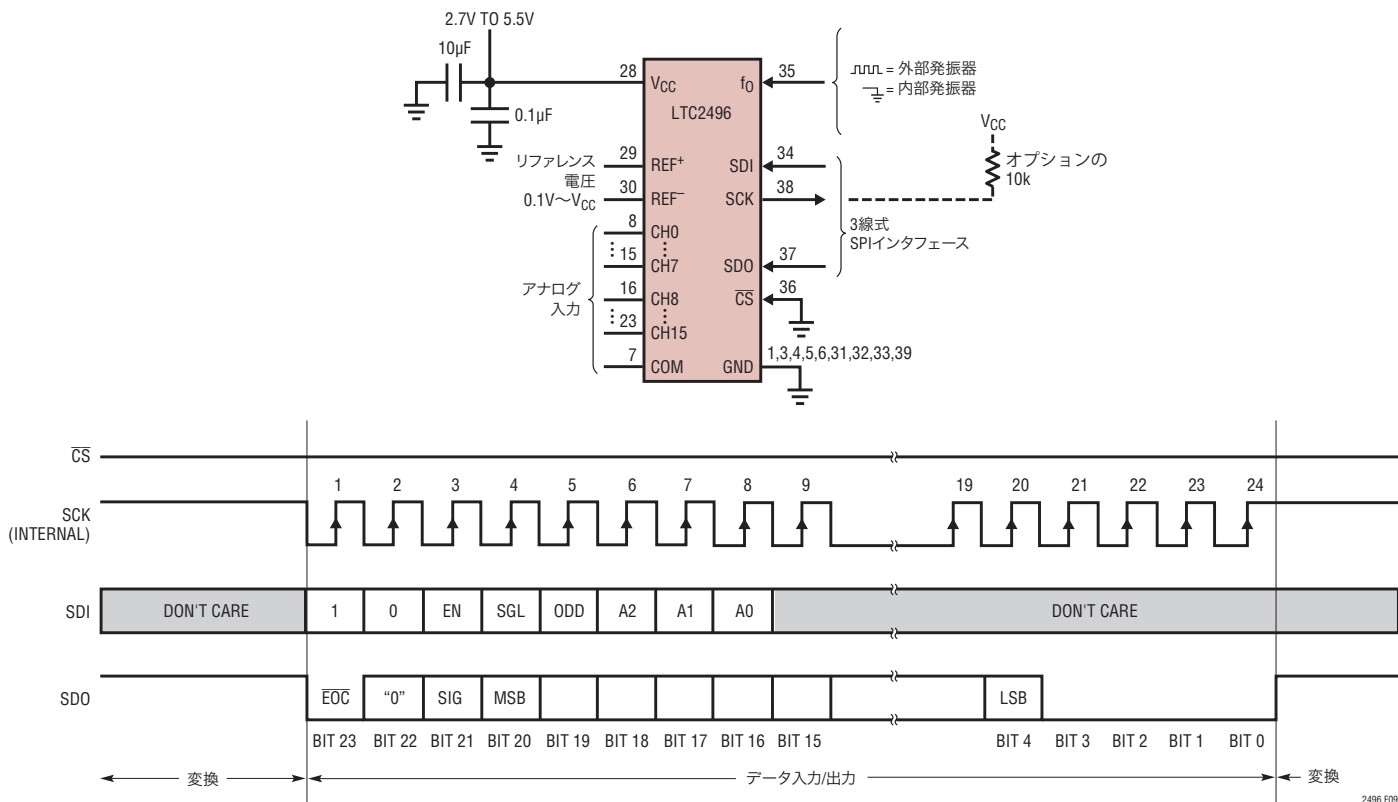


図9. 内部シリアル・クロック、連続動作

10kプルアップをSCKに使用して内部SCKを選択

コンバータがSCKを“L”にドライブしている状態で $\overline{\text{CS}}$ が“H”に引き上げられると、SCKがフロート状態でも、SCKをロジック“H”の状態に戻すのに内部プルアップは使えません。このため、デバイスは $\overline{\text{CS}}$ の次の立ち上がりエッジで内部SCKモードから抜け出してしまいます。これは、外付けの10kプルアップ抵抗をSCKピンに追加して、防ぐことができます。

SCKが“L”のときはLTC2496のSCKの内部プルアップはディスエーブルされます。通常、デバイスが内部SCKタイミング・モードで動作していると、SCKは外部からドライブされません。ただし、特定のアプリケーションでは、SCKに外部ドライブが必要なことがあります。ドライバが“L”信号を出力した後Hi-Zになると、内部プルアップはディスエーブルされます。外部10kプルアップ抵抗を追加すれば、この条件でデバイスが内部SCKモードから抜け出すのを防ぐことができます。

変換状態をテストするために $\overline{\text{CS}}$ を“H-L-H”とトグルするとき、スリープ・状態で同様の状況が起きることがあります。デバイスがスリープ・状態で($\overline{\text{EOC}} = 0$)ならば、SCKは“L”になり

ます。時間 t_{EOCTEST} が経過する前に $\overline{\text{CS}}$ が“H”になると、内部プルアップがアクティブになります。SCKの負荷が重いと、内部プルアップは $\overline{\text{CS}}$ の次の立ち上がりエッジ前にSCKを“H”状態に回復させないことがあります。外部10kプルアップ抵抗を追加すれば、この条件でデバイスが内部SCKモードから抜け出すのを防ぐことができます。

コンバータの精度の維持

LTC2496は、デバイスのデカップリング、PCBのレイアウト、アンチエイリアシング回路、ライン周波数の乱れ、温度変化などの影響をできるだけ受けないように設計されています。最高性能を達成するには、いくつかの簡単な注意を守ることがあります。

デジタル信号レベル

LTC2496のデジタル・インタフェースは使うのが簡単です。そのデジタル入力(SDI、 f_0 、 $\overline{\text{CS}}$ 、および外部シリアル・クロック・モードのSCK)は標準CMOSロジック・レベルを受け入れます。内部ヒステリシス回路は100µsの遅いエッジ遷移時間を許容することができます。

アプリケーション情報

デジタル入力信号の範囲は $0.5V \sim (V_{CC} - 0.5V)$ です。遷移の間、CMOS入力回路にはダイナミック電流が流れます。最適性能を実現するには、シリアル・データ・インタフェースへ信号を与えるのはスリープ期間とデータ出力期間に限定します。

変換中にシリアル・デジタル・インタフェースや外部発振器ピン(f_0)に与えられる高速デジタル信号のオーバーシュートやアンダーシュートは、コンバータの性能を低下させることがあります。アンダーシュートとオーバーシュートは、外部制御信号の遷移時間がドライバから入力ピンまでの伝播遅延の2倍より短いとき、回路基板のコンバータのピンのトレースのインピーダンスの不整合によって生じます。参考までに、普通のFR-4基板では、伝播遅延は約183ps/インチです。オーバーシュートを防ぐには、1nsの遷移時間のドライバは2.5インチより短いトレースでコンバータに接続する必要があります。これは、共有された制御ラインが使用されて多数の反射が起きると困難になります。

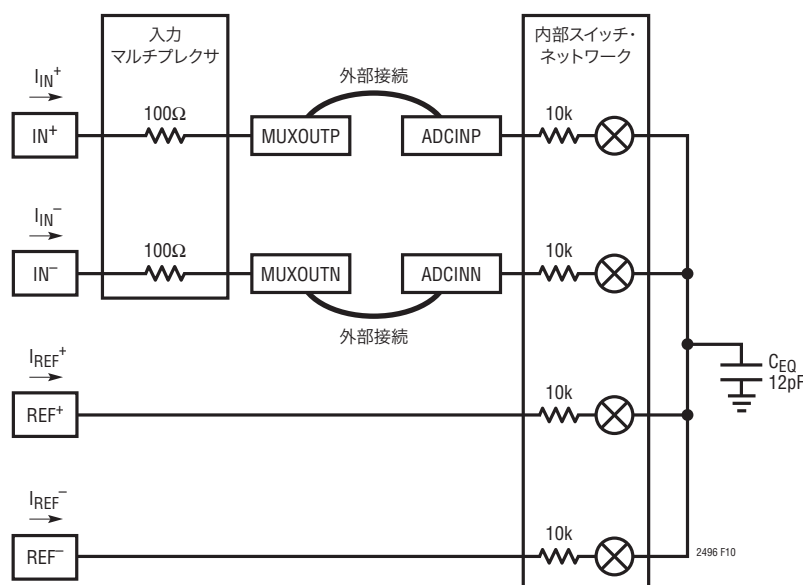
LTC2496の入力ピンの近くで並列終端すればこの問題は解決されますが、ドライバの電力損失が増加します。ドライバの近くに配置された(トレースのインピーダンスと接続に依存し

た) $27\Omega \sim 54\Omega$ の直列抵抗も、ドライバの追加の電力損失なしにオーバーシュート/アンダーシュートを除去します。

多くのアプリケーションでは、シリアル・インタフェース・ピン(SCK、SDI、 \overline{CS} 、 f_0)は変換サイクルの間は静かに保たれ、性能低下は生じません。他方、外部発振器が使われると(f_0 が外部からドライブされると)、それは変換サイクルの間アクティブなままです。さらに、 f_0 に与えられるクロック・レートではデジタル・フィルタによる除去はわずかです。外部入力とリファレンス・ラインがこの信号と交差しないように、また近くを通らないように注意する必要があります。これらの問題は内部発振器を使用すると避けられます。

入力とリファレンスのドライブ

LTC2496の入力ピンとリファレンス・ピンはスイッチトキャパシタのネットワークに直接接続されています。差動入力電圧と差動リファレンス電圧の係数に依存して、これらのコンデンサはこれらの4つのピンの中で切り替えられます。コンデンサがこれら2つのピンの間で切り替えられるたびに、少量の電荷が転送されます。簡略等価回路図を図10に示します。



$$I_{AVG}^{(IN^+)} = I_{AVG}^{(IN^-)} = \frac{V_{IN(CM)} - V_{REF(CM)}}{0.5 \cdot R_{EQ}}$$

$$I_{AVG}^{(REF^+)} \approx \frac{1.5V_{REF} + (V_{REF(CM)} - V_{IN(CM)})}{0.5 \cdot R_{EQ}} - \frac{V_{IN}^2}{V_{REF} \cdot R_{EQ}}$$

where:

$$V_{REF} = REF^+ - REF^-$$

$$V_{REF(CM)} = \left(\frac{REF^+ - REF^-}{2} \right)$$

$$V_{IN} = IN^+ - IN^-, \text{ここで、} IN^+ \text{と} IN^- \text{は選択された入力チャネル。}$$

$$V_{IN(CM)} = \left(\frac{IN^+ - IN^-}{2} \right)$$

$$R_{EQ} = 2.98 M\Omega \text{ 内部発振器}$$

$$R_{EQ} = (0.833 \cdot 10^{12}) / f_{EOSC} \text{ 外部発振器}$$

スイッチング周波数
 $f_{SW} = 123 \text{ kHz}$ 内部発振器
 $f_{SW} = 0.4 \cdot f_{EOSC}$ 外部発振器

図10. LTC2496の等価アナログ入力回路

アプリケーション情報

LTC2496の内部発振器を使っているとき、入力コンデンサ・アレイは123kHzで切り替えられます。電荷転送の効果は入力ピン/リファレンス・ピンをドライブしている回路に依存します。全外部RCの時定数が580nsより小さいと完全にセトリングするので、サンプリング過程で生じる誤差は無視できます。

一般に、リファレンス入力は低インピーダンスのソースでドライブされます。この場合、大きな外部バイパス・コンデンサが使われていても完全にセトリングします。他方、入力(CH0~CH15、COM)は一般に大きなソース抵抗からドライブされます。10kまでのソース抵抗は直接LTC2496にインタフェースすることができ、完全にセトリングします。ただし、不要のノイズを除去するため(アンチエイリアシング)、入力端子に外部コンデンサを追加すると、セトリングが完了しません。

LTC2496はこれらの誤差を除去する2つの方法を与えます。最初の方法は自動差動入力電流キャンセル(Easy Drive)で、2番目の方法はMUXOUTピンとADCINピンの間にバッファを挿入して、入力のスイッチングをソース抵抗から絶縁します。

自動差動入力電流キャンセル

センサの出力インピーダンスが低い(外部バイパス・コンデンサなしで最大10k Ω 、または0.001 μ Fのバイパス付きで最大500 Ω)アプリケーションでは、入力は完全にセトリングします。この場合、誤差は入り込まないので、センサを直接デジタル化することが可能です。

多くのアプリケーションでは、センサの出力インピーダンスは外部入力バイパス・コンデンサと結合して1ppmの精度に必要な580nsをはるかに超えるRC時定数を生じます。たとえば、0.1 μ Fのコンデンサをドライブする10k Ω のブリッジでは、必要な最大値より1桁大きな時定数になります。

LTC2496は独自のスイッチング・アルゴリズムを使って、外部のセトリング誤差とは無関係に、平均差動入力電流をゼロに強制します。これにより、バッファは不要で、高インピーダンスのセンサを直接デジタル化できます。

このスイッチング・アルゴリズムは、正入力の平均入力電流(I_{IN^+})を負入力の平均入力電流(I_{IN^-})に等しくなるように強制します。変換サイクル全体にわたって、平均差動入力電流($I_{IN^+} - I_{IN^-}$)はゼロになります。差動入力電流はゼロですが、同相入力電流($I_{IN^+} + I_{IN^-}$)/2は同相入力電圧($V_{IN(CM)}$)と同相リファレンス電圧($V_{REF(CM)}$)の差に比例します。

平衡ブリッジのように、入力同相電圧がリファレンス同相電圧に等しいアプリケーションでは、差動と同相の両方の入力電流がゼロになります。コンバータの精度はセトリング誤差によって低下することはありません。

入力同相電圧が一定だがリファレンス同相電圧とは異なるアプリケーションでは、差動入力電流はゼロに保たれますが、同相入力電流は $V_{IN(CM)}$ と $V_{REF(CM)}$ の差に比例します。リファレンス同相電圧が2.5Vで、入力同相電圧が1.5Vの場合、同相入力電流は約0.74 μ Aです。この同相入力電流は、 I_{IN^+} と I_{IN^-} に接続されたソースのインピーダンスが整合していれば、精度を低下させることはありません。ソース・インピーダンスが整合していないと、固定オフセット誤差が生じますが、直線性やフルスケールの測定値には影響を与えません。1kソース抵抗の1%の不整合により、オフセット電圧が74 μ Vシフトします。

同相入力電圧が入力信号レベルの関数として変化するアプリケーション(シングルエンドのセンサなど)では、同相入力電流は入力電圧に比例して変化します。バランスのとれた入力インピーダンスの場合、同相入力電流の影響はLTC2496の大きなCMRRによって除去され、精度はほとんど低下しません。ソース・インピーダンスが整合していないと、同相入力電圧と同相リファレンス電圧の差に比例した利得誤差が生じます。1kソース抵抗に1%の不整合があると、15ppm程度の利得誤差が生じます。内部サンプリング・コンデンサの安定性と内部発振器の精度に基づいて、一度較正すればこの誤差は取り除かれます。

入力サンプリング電流に加えて、入力ESD保護ダイオードには温度に依存したリーク電流が流れます。公称1nA(最大 \pm 10nA)のこの電流により、オフセットがわずかにシフトします。1kのソース抵抗により、標準1 μ V、最大10 μ Vのオフセット電圧が生じます。

アプリケーション情報

外部バッファ/アンプの自動オフセット較正

Easy Drive入力電流キャンセルに加えて、LTC2496では、外部アンプをマルチプレクサの出力とADCの入力の間に挿入することができます(図11を参照)。これは、ソース・インピーダンスのバランスをとることが不可能なアプリケーションで有用です。1対の外部バッファ/アンプを17のアナログ入力の全てで共有することができます。LTC2496は、ADCのオフセットとドリフトを除去するため、全ての変換サイクルで内部オフセット較正を行います。この較正はフロントエンド・スイッチングとデジタル処理の組み合わせによって行われます。外部アンプはマルチプレクサとADCの間に置かれますので、この補正ループの内部にあります。このため、外部アンプのオフセット補正とオフセット・ドリフトの除去が自動的に行われます。

LTC6078はこの機能のための優れたアンプです。わずか2.7Vの電源電圧で動作し、そのノイズレベルは $18\text{nV}/\sqrt{\text{Hz}}$ です。LTC2496のEasy Drive入力テクノロジーにより、RCネットワークをLTC6078の出力に直接追加することができます。コンデンサはADCの入力から見た電流スパイクの大きさを減らし、抵抗はコンデンサの負荷をオペアンプの出力から絶縁して、動作を安定させます。

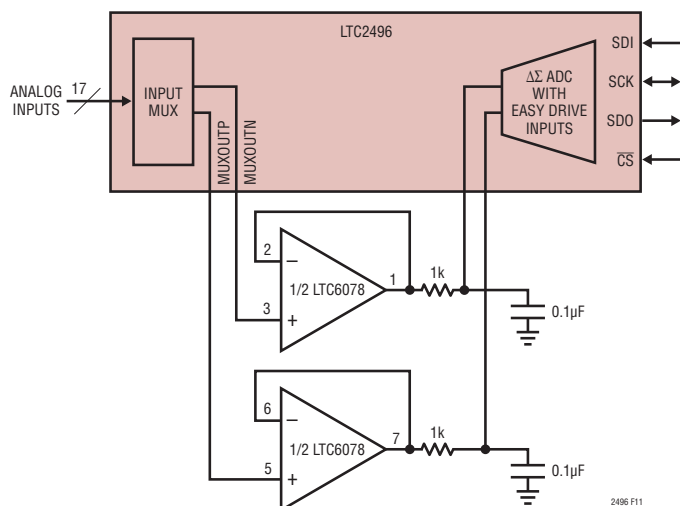


図11. 外部バッファは高インピーダンス入力を与え、アンプのオフセットは自動的にキャンセルされる

リファレンス電流

アナログ入力と同様に、LTC2496は差動リファレンス・ピン(REF⁺とREF⁻)をサンプリングして、少量の電荷をこれらのピンとやり取りするので、ダイナミックなリファレンス電流が生じます。セトリングが(リファレンスのソース抵抗とリファレンスのバイパス・コンデンサに依存して)不完全だと、直線性誤差と利得誤差が生じます。

外部リファレンスの容量の値が比較的小さいと($C_{\text{REF}} < 1\text{nF}$)、サンプリング・コンデンサの電圧は大きな $\text{k}\Omega$ のリファレンス・インピーダンスでもセトリングします($C_{\text{REF}} = 100\text{pF}$ ならば、最大 $10\text{k}\Omega$ まで性能は低下しません)(図12と図13を参照)。

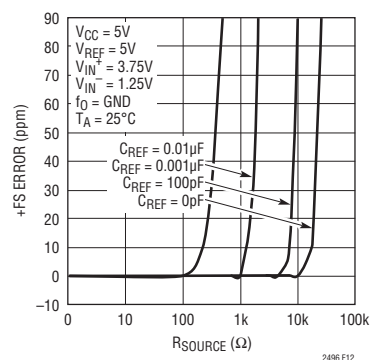


図12. +FS誤差とVREFのR_SOURCE (小さなC_REF)

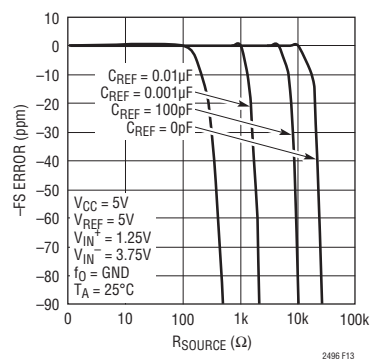


図13. -FS誤差とVREFのR_SOURCE (小さなC_REF)

アプリケーション情報

リファレンス入力に大きなバイパス・コンデンサが必要な場合 ($C_{REF} > 0.01\mu\text{F}$)、フルスケール誤差と直線性誤差はリファレンス抵抗の値に比例します。リファレンス抵抗の 1Ω 毎に約 0.5ppm のフルスケール誤差が生じます (図14と図15を参照)。入力同相電圧がリファレンス同相電圧に等しい場合、リファレンス抵抗の 100Ω 毎に約 0.67ppm の直線性誤差が生じます (図16を参照)。入力同相電圧とリファレンス同相電圧が異なるアプリケーションでは誤差が増加します。同相入力と同相リファレンスの間の 1V の差は、リファレンスの抵抗の 100Ω 毎に 6.7ppm のINL誤差を生じます。

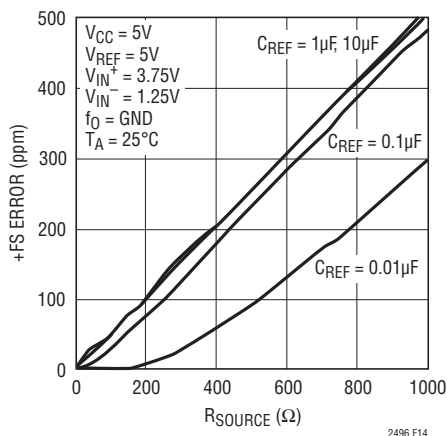


図14. +FS誤差と V_{REF} の R_{SOURCE} (大きな C_{REF})

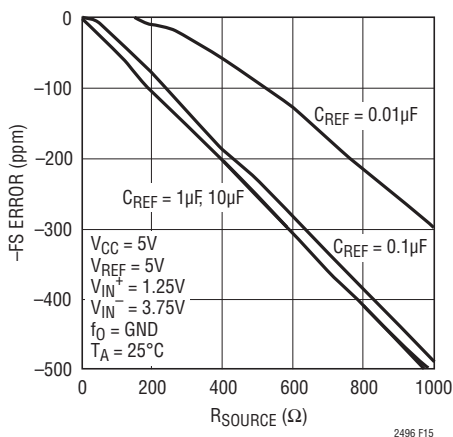


図15. -FS誤差と V_{REF} の R_{SOURCE} (大きな C_{REF})

リファレンスのサンプリング電荷に加えて、リファレンスのESD保護ダイオードには温度に依存したリーク電流が流れます。公称 1nA (最大 $\pm 10\text{nA}$)のこのリーク電流により小さな利得誤差が生じます。リファレンスの 100Ω の抵抗により、 $0.5\mu\text{V}$ のフルスケール誤差が生じます。

通常モードの除去率とアンチエイリアシング

従来のADCに比したデルタシグマADCの利点の一つは、チップに内蔵されたデジタル・フィルタです。大きなオーバーサンプリング率と組み合わせることにより、LTC2496はアンチエイリアシング・フィルタの要件を大幅に簡素化します。さらに、入力電流キャンセル機能により、デバイスのDC性能を下げることなく、外部ローパス・フィルタを利用できます。

SINC⁴デジタル・フィルタにより、DCと変調器のサンプリング周波数 (f_S) の整数倍を除く全ての周波数で優れた通常モードの除去を実現します。変調器のサンプリング周波数は、内部発振器で動作しているときは $f_S = 15,360\text{Hz}$ 、周波数が f_{EOSC} の外部発振器で動作しているときは $f_S = f_{EOSC}/20$ です。

LTC2496は内部発振器を使用しているときライン周波数を除去するように設計されています。図17に示されているように、除去ノルは周波数 f_N の倍数で生じます ($50\text{Hz}/60\text{Hz}$ 同時除去の場合 $f_N = 55\text{Hz}$)。変調器のサンプリング・レートの倍数 ($f_S = f_N \cdot 256$) では、ノイズを 15dB 除去するだけです (図18を参照)、これらの周波数にノイズ源が存在すれば、アンチエイリアシングにより、それらの影響が減少します。

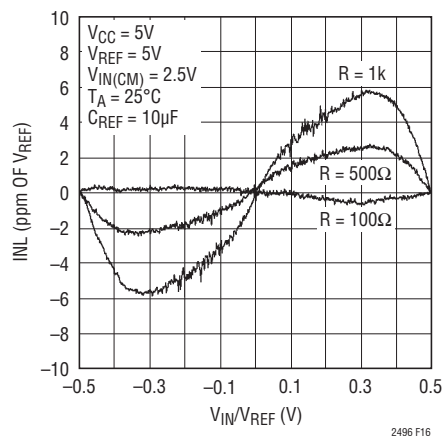


図16. INLと差動入力電圧およびリファレンスのソース抵抗 ($C_{REF} > 1\mu\text{F}$)

アプリケーション情報

図19に示されているように、ユーザーは内部発振器を使ってこのレベルの性能を達成することを期待することができます。通常モードの除去の測定値が理論値の上に重ね合わされて示されています。

従来の高次デルタシグマ変調器は、大きな入力信号レベルでは潜在的に不安定です。LTC2496の3次変調器に使われている独自アーキテクチャはこの問題を解決し、フルスケールの150%の入力信号で安定動作を保証します。多くの産業用アプリケーションでは、数ボルトのピーク・トゥ・ピーク・ノイズを含む不要の誤差源に重ね合わされたマイクロボルト・レベルの信号が珍しくありません。LTC2496に与えられた7.5Vのピーク・トゥ・ピーク・ノイズ源(フルスケールの150%)の除去率の測定結果を図20に示します。これらの曲線は、極端にノイズの大きい環境でさえ、除去性能が維持されていることを示しています。

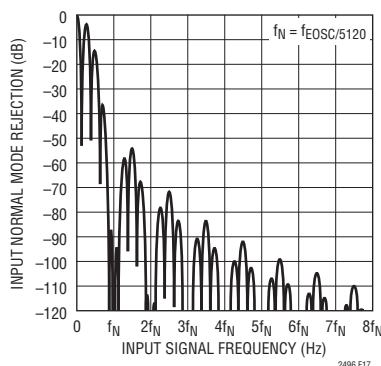


図17. DCでの入力通常モードの除去率

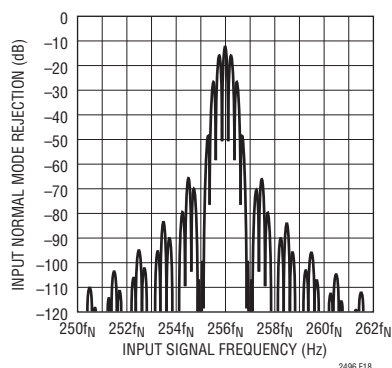


図18. $f_s = 256 \cdot f_N$ での入力通常モードの除去率

出力データ・レート

内部発振器を使用しているとき、LTC2496は55Hzのノッチ周波数で毎秒6.9回のサンプリング(sps)を行います。実際の出力データ・レートはスリープ・サイクルとデータ出力サイクルの長さに依存しますが、これらはユーザーによって制御され、無視できるほど短くすることができます。外部変換クロックを使って動作させると(f_0 を外部発振器に接続)、LTC2496の出力データ・レートを増加させることができます。変換サイクルの持続時間は $41036/f_{EOSC}$ です。 $f_{EOSC} = 307.2\text{kHz}$ ならば、コンバータのノッチ周波数は60Hzです。

f_{EOSC} を公称307.2kHzを超えて増加させると、最大出力データ・レートがそれに比例して増加します(最大100spsまで)。出力レートが増加するとオフセットとフルスケール誤差が大きくなり、実効分解能が低下し、周波数除去がシフトします。

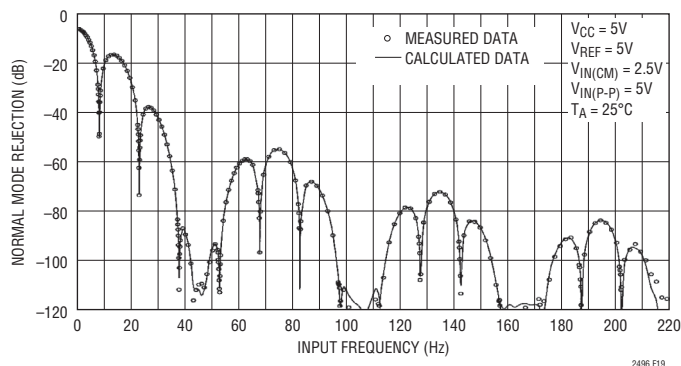


図19. 入力通常モードの除去率と入力周波数、100%の入力の攪乱(50Hz/60Hzのノッチ)

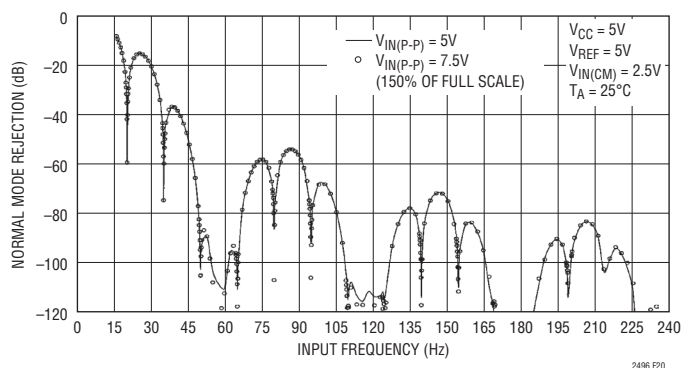


図20. 入力通常モードの除去率と入力周波数、150%の入力の攪乱(60Hzのノッチ)

アプリケーション情報

f_{EOSC} が変化すると、内部のノッチの位置が比例して変化します。これにより、ライン周波数の差動モード除去が低下します。ライン周波数の同相除去は変化せずに保たれるので、 IN^+ と IN^- の両方のピンの対称性が高い完全な差動入力信号のライン周波数ノイズは引き続き除去されます。

また、 f_{EOSC} が増加すると、入力およびリファレンスの実効ダイナミック電流が増加します。外部RCネットワークの差動入

力電流は引き続きゼロですが、セトリングの完了に要する時間 ($f_{EOSC} = 307.2\text{kHz}$ で580ns)は比例して短くなります。

外部発振器の周波数が1MHzを超えると(出力レートが3倍以上増加すると)、内部自動較正回路の効果が低下し始めます。このため、オフセット誤差とフルスケール誤差が大きくなり、分解能が低下します(図21~図28を参照)。

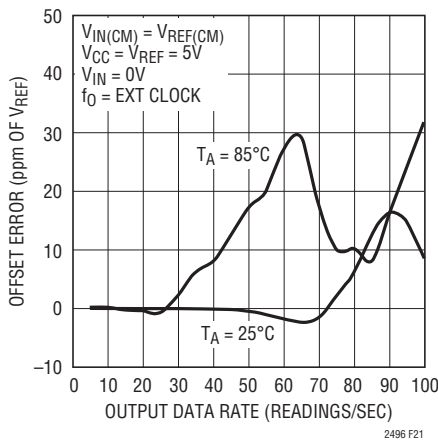


図21. オフセット誤差と出力データ・レートおよび温度

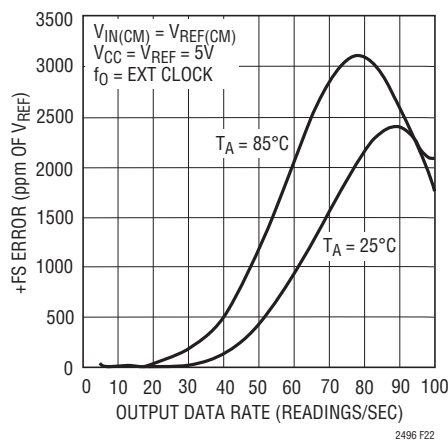


図22. +FS誤差と出力データ・レートおよび温度

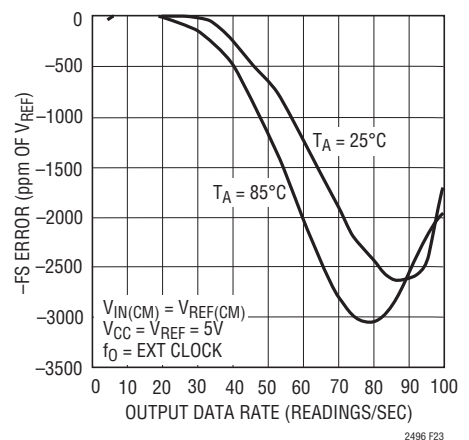


図23. -FS 誤差と出力データ・レートおよび温度

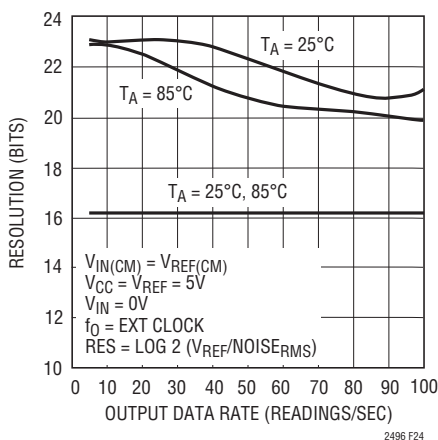


図24. 分解能 ($NOISE_{RMS} \leq 1LSB$) と出力データ・レートおよび温度

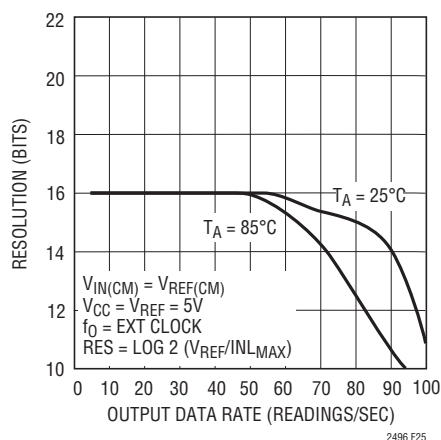


図25. 分解能 ($INL_{MAX} \leq 1LSB$) と出力データ・レートおよび温度

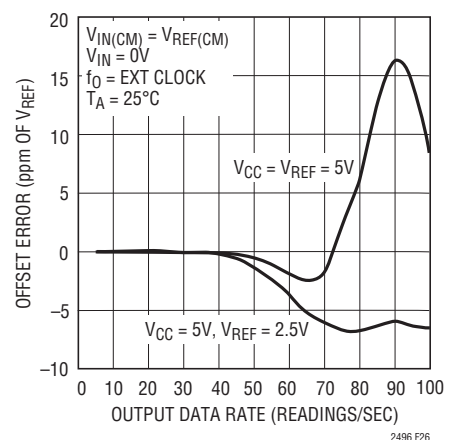


図26. オフセット誤差と出力データ・レートおよびリファレンス電圧

アプリケーション情報

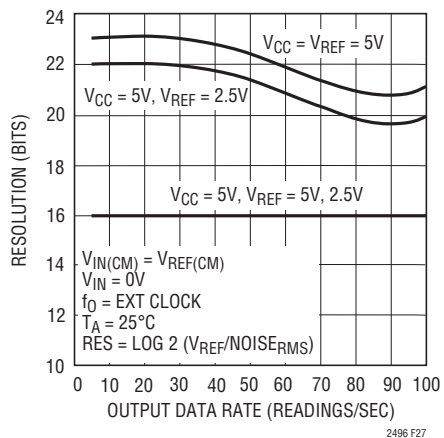


図27. 分解能 ($\text{Noise}_{RMS} \leq 1\text{LSB}$) と出力データ・レートおよびリファレンス電圧

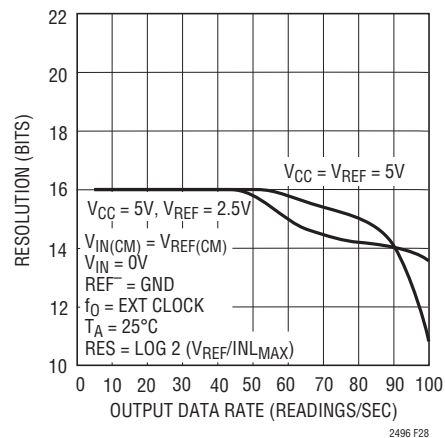
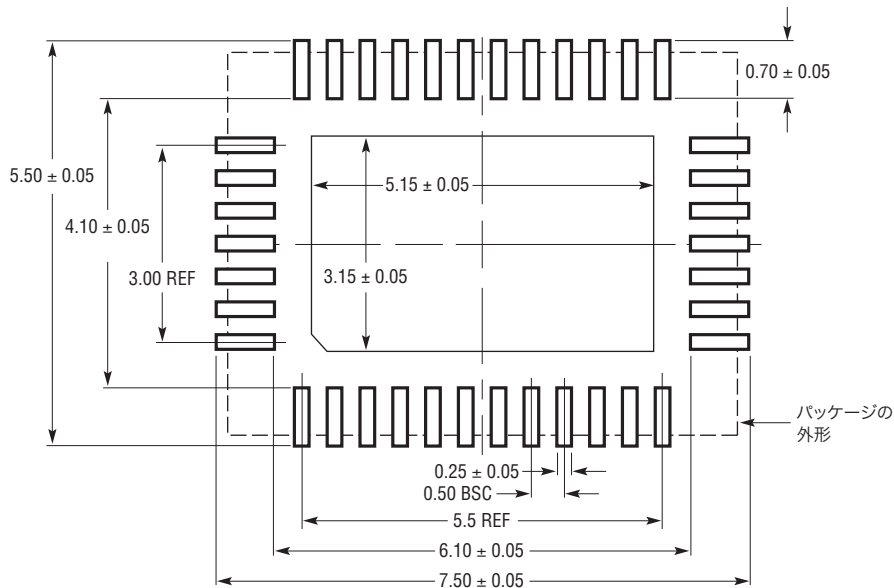


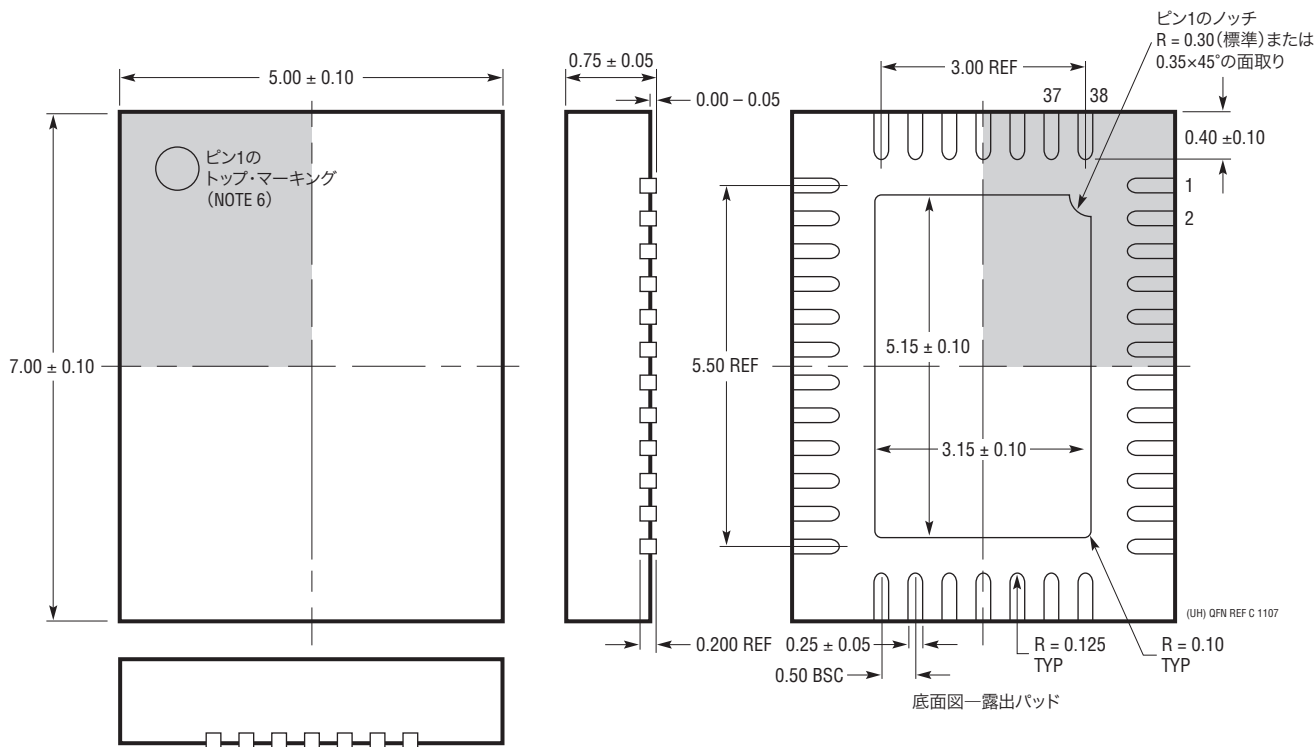
図28. 分解能 ($\text{INL}_{MAX} \leq 1\text{LSB}$) と出力データ・レートおよびリファレンス電圧

パッケージ

UHF パッケージ
 38ピン・プラスチックQFN (5mm×7mm)
 (Reference LTC DWG # 05-08-1701 Rev C)



推奨半田パッド・レイアウト
 半田付けされない領域には半田マスクを使用する



NOTE:

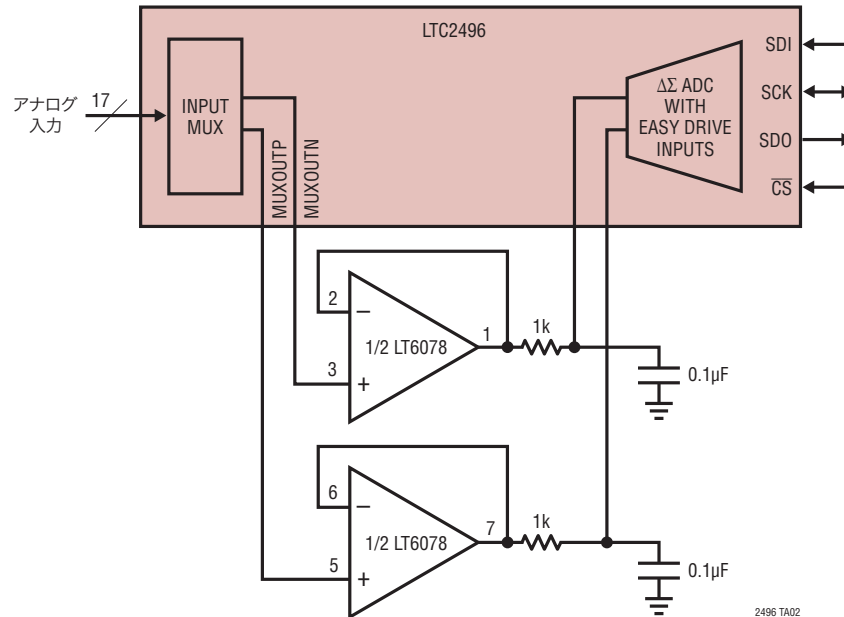
1. 図面はJEDECのパッケージ外形MO-220のバリエーション (WHKD) に適合
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
モールドのバリは (もしあれば) 各サイドで0.20mmを超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージのトップとボトムのパイン1の位置の参考に過ぎない

改訂履歴 (Rev Bよりスタート)

Rev	日付	概要	ページ番号
B	7/10	「標準的応用例」の図を変更 Note 18を追加	1 4,5

標準的応用例

外部バッファは高インピーダンス入力を与え、アンプのオフセットは自動的にキャンセルされる



関連製品

製品番号	説明	注釈
LT1236A-5	高精度バンドギャップ・リファレンス、5V	初期精度:最大0.05%、ドリフト:5ppm/°C
LT1460	マイクロパワー・シリーズ・リファレンス	初期精度:最大0.075%、ドリフト:最大10ppm/°C
LT1790	マイクロパワーSOT-23低損失リファレンス・ファミリ	初期精度:最大0.05%、ドリフト:最大10ppm/°C
LTC2400	24ビット、No Latency ΔΣ ADC、SO-8	ノイズ:0.3ppm、INL:4ppm、全未調整誤差:10ppm、200µA
LTC2410	24ビット、No Latency ΔΣ ADC、差動入力付き	ノイズ:0.8µVRMS、INL:2ppm
LTC2411/LTC2411-1	24ビット、No Latency ΔΣ ADC、差動入力付き、MSOP	ノイズ:1.45µVRMS、INL:2ppm、50Hz/60Hz同時除去 (LTC2411-1)
LTC2413	24ビット、No Latency ΔΣ ADC、差動入力付き	50Hz/60Hz同時除去、ノイズ:800nVRMS
LTC2415/LTC2415-1	24ビット、No Latency ΔΣ ADC、15Hz出力レート	LTC2410とピン互換
LTC2414/LTC2418	8/16チャンネル、24ビット、No Latency ΔΣ ADC	ノイズ:0.2ppm、INL:2ppm、全未調整誤差:3ppm、200µA
LTC2440	高速、低ノイズ、24ビットΔΣ ADC	3.5kHz出力レート、ノイズ:200nV、24.6ENOB
LTC2480	16ビットΔΣ ADC、Easy Drive入力付き、ノイズ:600nV、プログラム可能な利得、および温度センサ	LTC2482/LTC2484とピン互換
LTC2481	16ビットΔΣ ADC、Easy Drive入力付き、600nVノイズ、I ² Cインタフェース、プログラム可能な利得、および温度センサ	LTC2483/LTC2485とピン互換
LTC2482	16ビットΔΣ ADC、Easy Drive入力付き	LTC2480/LTC2484とピン互換
LTC2483	16ビットΔΣ ADC、Easy Drive入力とI ² Cインタフェース付き	LTC2481/LTC2485とピン互換
LTC2484	24ビットΔΣ ADC、Easy Drive入力付き	LTC2480/LTC2482とピン互換
LTC2485	24ビットΔΣ ADC、Easy Drive入力、I ² Cインタフェースおよび温度センサ付き	LTC2481/LTC2483とピン互換
LTC2498	24ビット8/16チャンネルΔΣ ADC、Easy Drive入力電流キャンセル機能付き	LTC2496/LTC2449とピン互換

2496fb