

Easy Drive入力電流 キャンセル機能付き 16ビット2/4チャンネル $\Delta\Sigma$ ADC

特長

- 最大2つの差動入力または最大4つのシングルエンド入力
- Easy Driveテクノロジーにより、差動入力電流がゼロのレール・トゥ・レール入力が可能
- 全精度で高インピーダンス・センサを直接デジタル化
- 600nV RMSのノイズ(0.02LSBの遷移ノイズ)
- GND~V_{CC}の入力リファレンス同相範囲
- 50Hz/60Hzの同時除去
- INL: 2ppm、ミッシング・コードなし
- オフセット: 1ppm、フルスケール誤差: 15ppm
- 待ち時間なし: 新しいチャンネル選択後でもデジタル・フィルタが1サイクル内にセトリング
- 2.7V~5.5V単一電源動作(0.8mW)
- 内部発振器
- 小型4mm×3mmのDFNパッケージ

アプリケーション

- ダイレクト・センサ・デジタイザ
- 直接温度測定
- 計測
- 産業用プロセス制御

概要

LTC[®]2488は、Easy Drive™テクノロジーを使った、4チャンネル(2チャンネル差動)、16ビット、No Latency $\Delta\Sigma$ ™ ADCです。特許取得のサンプリング回路は、差動入力電流の自動キャンセルにより、ダイナミック入力電流誤差や内部バッファの弱点を除去します。このため、並外れたDC精度を維持しながら、大きな外部ソース・インピーダンスやレール・トゥ・レールの入力信号を直接デジタル化することができます。

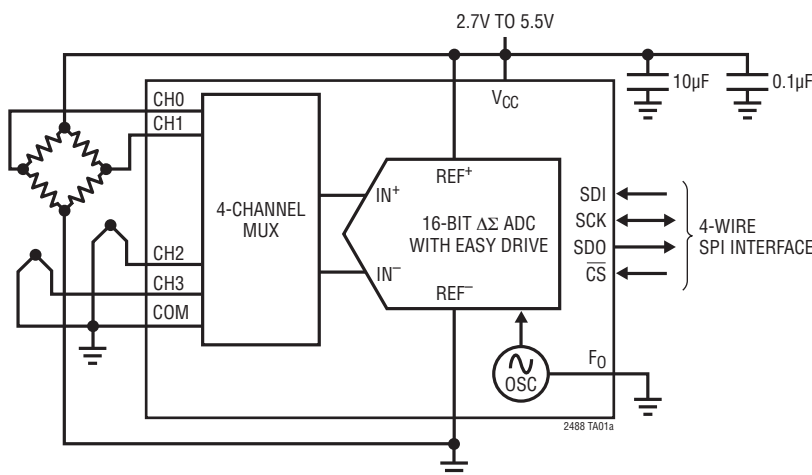
LTC2488には発振器が内蔵されています。このデバイスはシングルエンド・モードまたは差動モードで動作する4本のアナログ入力チャンネルの組合せから外部信号を測定するように構成することができます。50Hzと60Hzのライン周波数を同時に自動的に除去します。

LTC2488は、リファレンス電圧と関係なく、広い同相入力電圧範囲(0V~V_{CC})が可能です。シングルエンド入力または差動入力の任意の組合せを選択することができ、新しいチャンネルを選択した後の最初の変換が有効です。

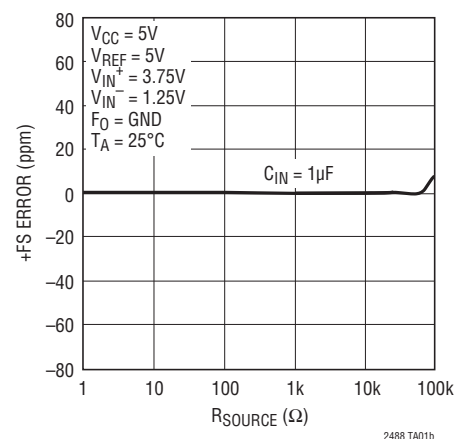
LT, LTC, LTM, Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。No Latency $\Delta\Sigma$ およびEasy Driveはリニアテクノロジー社の商標です。他のすべての商標はそれぞれの所有者に所有権があります。

標準的応用例

データ収集システム



フルスケール誤差とソース抵抗



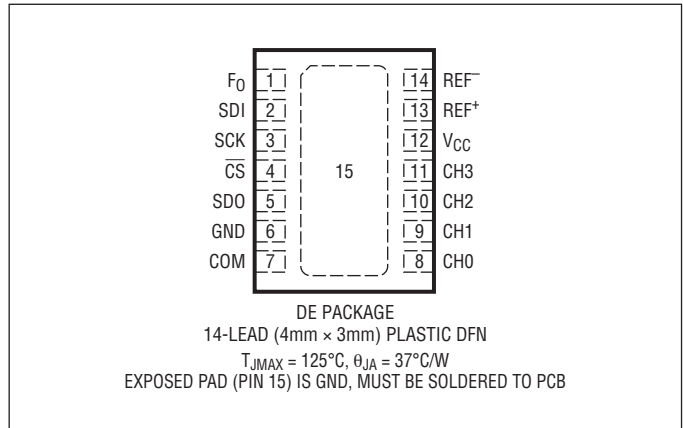
LTC2488

絶対最大定格

(Note 1, 2)

電源電圧 (V _{CC})	-0.3V~6V
アナログ入力電圧		
(CH0~CH3, COM)	-0.3V~(V _{CC} +0.3V)
REF ⁺ , REF ⁻	-0.3V~(V _{CC} +0.3V)
デジタル入力電圧	-0.3V~(V _{CC} +0.3V)
デジタル出力電圧	-0.3V~(V _{CC} +0.3V)
動作温度範囲		
LTC2488C	0°C~70°C
LTC2488I	-40°C~85°C
保存温度範囲	-65°C~150°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2488CDE#PBF	LTC2488CDE#TRPBF	2488	14-Lead (4mm x 3mm) Plastic DFN	0°C to 70°C
LTC2488IDE#PBF	LTC2488IDE#TRPBF	2488	14-Lead (4mm x 3mm) Plastic DFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外はT_A = 25°Cでの値。(Note 3, 4)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)	0.1V ≤ V _{REF} ≤ V _{CC} , -FS ≤ V _{IN} ≤ +FS (Note 5)	16			Bits
Integral Nonlinearity	5V ≤ V _{CC} ≤ 5.5V, V _{REF} = 5V, V _{IN(CM)} = 2.5V (Note 6) 2.7V ≤ V _{CC} ≤ 5.5V, V _{REF} = 2.5V, V _{IN(CM)} = 1.25V (Note 6)	●	2 1	20	ppm of V _{REF} ppm of V _{REF}
Offset Error	2.5V ≤ V _{REF} ≤ V _{CC} , GND ≤ IN ⁺ = IN ⁻ ≤ V _{CC} (Note 14)	●	0.5	5	μV
Offset Error Drift	2.5V ≤ V _{REF} ≤ V _{CC} , GND ≤ IN ⁺ = IN ⁻ ≤ V _{CC}		10		nV/°C
Positive Full-Scale Error	2.5V ≤ V _{REF} ≤ V _{CC} , IN ⁺ = 0.75V _{REF} , IN ⁻ = 0.25V _{REF}	●		32	ppm of V _{REF}
Positive Full-Scale Error Drift	2.5V ≤ V _{REF} ≤ V _{CC} , IN ⁺ = 0.75V _{REF} , IN ⁻ = 0.25V _{REF}		0.1		ppm of V _{REF} /°C
Negative Full-Scale Error	2.5V ≤ V _{REF} ≤ V _{CC} , IN ⁺ = 0.25V _{REF} , IN ⁻ = 0.75V _{REF}	●		32	ppm of V _{REF}
Negative Full-Scale Error Drift	2.5V ≤ V _{REF} ≤ V _{CC} , IN ⁺ = 0.25V _{REF} , IN ⁻ = 0.75V _{REF}		0.1		ppm of V _{REF} /°C
Total Unadjusted Error	5V ≤ V _{CC} ≤ 5.5V, V _{REF} = 2.5V, V _{IN(CM)} = 1.25V 5V ≤ V _{CC} ≤ 5.5V, V _{REF} = 5V, V _{IN(CM)} = 2.5V 2.7V ≤ V _{CC} ≤ 5.5V, V _{REF} = 2.5V, V _{IN(CM)} = 1.25V		15 15 15		ppm of V _{REF} ppm of V _{REF} ppm of V _{REF}
Output Noise	2.7V < V _{CC} < 5.5V, 2.5V ≤ V _{REF} ≤ V _{CC} , GND ≤ IN ⁺ = IN ⁻ ≤ V _{CC} (Note 13)		0.6		μV _{RMS}

2488fa

コンバータの特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Input Common Mode Rejection DC	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Note 5)	●	140			dB
Input Common Mode Rejection 50Hz $\pm 2\%$	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Note 5)	●	140			dB
Input Common Mode Rejection 60Hz $\pm 2\%$	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Note 5)	●	140			dB
Input Normal Mode Rejection 50Hz $\pm 2\%$	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Notes 5, 7)	●	110	120		dB
Input Normal Mode Rejection 60Hz $\pm 2\%$	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Notes 5, 8)	●	110	120		dB
Input Normal Mode Rejection 50Hz/60Hz $\pm 2\%$	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Notes 5, 9)	●	87			dB
Reference Common Mode Rejection DC	$2.5\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}, \text{GND} \leq \text{IN}^+ = \text{IN}^- \leq V_{\text{CC}}$ (Note 5)	●	120	140		dB
Power Supply Rejection DC	$V_{\text{REF}} = 2.5\text{V}, \text{IN}^+ = \text{IN}^- = \text{GND}$			120		dB
Power Supply Rejection, 50Hz $\pm 2\%$	$V_{\text{REF}} = 2.5\text{V}, \text{IN}^+ = \text{IN}^- = \text{GND}$ (Notes 7, 9)			120		dB
Power Supply Rejection, 60Hz $\pm 2\%$	$V_{\text{REF}} = 2.5\text{V}, \text{IN}^+ = \text{IN}^- = \text{GND}$ (Notes 8, 9)			120		dB

アナログ入力とリファレンス

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
IN^+	Absolute/Common Mode IN^+ Voltage (IN^+ Corresponds to the Selected Positive Input Channel)			$\text{GND} - 0.3\text{V}$		$V_{\text{CC}} + 0.3\text{V}$	V
IN^-	Absolute/Common Mode IN^- Voltage (IN^- Corresponds to the Selected Negative Input Channel)			$\text{GND} - 0.3\text{V}$		$V_{\text{CC}} + 0.3\text{V}$	V
V_{IN}	Input Differential Voltage Range ($\text{IN}^+ - \text{IN}^-$)		●	-FS		+FS	V
FS	Full Scale of the Differential Input ($\text{IN}^+ - \text{IN}^-$)		●	$0.5V_{\text{REF}}$			V
LSB	Least Significant Bit of the Output Code		●	$\text{FS}/2^{16}$			
REF^+	Absolute/Common Mode REF^+ Voltage		●	0.1		V_{CC}	V
REF^-	Absolute/Common Mode REF^- Voltage		●	GND		$\text{REF}^+ - 0.1\text{V}$	V
V_{REF}	Reference Voltage Range ($\text{REF}^+ - \text{REF}^-$)		●	0.1		V_{CC}	V
$C_{\text{S}(\text{IN}^+)}$	IN^+ Sampling Capacitance				11		pF
$C_{\text{S}(\text{IN}^-)}$	IN^- Sampling Capacitance				11		pF
$C_{\text{S}(\text{VREF})}$	V_{REF} Sampling Capacitance				11		pF
$I_{\text{DC_LEAK}(\text{IN}^+)}$	IN^+ DC Leakage Current	Sleep Mode, $\text{IN}^+ = \text{GND}$	●	-10	1	10	nA
$I_{\text{DC_LEAK}(\text{IN}^-)}$	IN^- DC Leakage Current	Sleep Mode, $\text{IN}^- = \text{GND}$	●	-10	1	10	nA
$I_{\text{DC_LEAK}(\text{REF}^+)}$	REF^+ DC Leakage Current	Sleep Mode, $\text{REF}^+ = V_{\text{CC}}$	●	-100	1	100	nA
$I_{\text{DC_LEAK}(\text{REF}^-)}$	REF^- DC Leakage Current	Sleep Mode, $\text{REF}^- = \text{GND}$	●	-100	1	100	nA
t_{OPEN}	MUX Break-Before-Make				50		ns
QIRR	MUX Off Isolation	$V_{\text{IN}} = 2V_{\text{P-P}}$ DC to 1.8MHz			120		dB

LTC2488

デジタル入力とデジタル出力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage (\overline{CS} , F_0 , SDI)	$2.7\text{V} \leq V_{CC} \leq 5.5\text{V}$ (Note 18)	●	$V_{CC} - 0.5$			V
V_{IL}	Low Level Input Voltage (\overline{CS} , F_0 , SDI)	$2.7\text{V} \leq V_{CC} \leq 5.5\text{V}$	●			0.5	V
V_{IH}	High Level Input Voltage (SCK)	$2.7\text{V} \leq V_{CC} \leq 5.5\text{V}$ (Notes 10, 15)	●	$V_{CC} - 0.5$			V
V_{IL}	Low Level Input Voltage (SCK)	$2.7\text{V} \leq V_{CC} \leq 5.5\text{V}$ (Notes 10, 15)	●			0.5	V
I_{IN}	Digital Input Current (\overline{CS} , F_0 , SDI)	$0\text{V} \leq V_{IN} \leq V_{CC}$	●	-10		10	μA
I_{IN}	Digital Input Current (SCK)	$0\text{V} \leq V_{IN} \leq V_{CC}$ (Notes 10, 15)	●	-10		10	μA
C_{IN}	Digital Input Capacitance (\overline{CS} , F_0 , SDI)				10		pF
C_{IN}	Digital Input Capacitance (SCK)	(Notes 10, 15)			10		pF
V_{OH}	High Level Output Voltage (SDO)	$I_O = -800\mu\text{A}$	●	$V_{CC} - 0.5$			V
V_{OL}	Low Level Output Voltage (SDO)	$I_O = 1.6\text{mA}$	●			0.4	V
V_{OH}	High Level Output Voltage (SCK)	$I_O = -800\mu\text{A}$ (Notes 10, 17)	●	$V_{CC} - 0.5$			V
V_{OL}	Low Level Output Voltage (SCK)	$I_O = 1.6\text{mA}$ (Notes 10, 17)	●			0.4	V
I_{OZ}	Hi-Z Output Leakage (SDO)		●	-10		10	μA

電源要件

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{CC}	Supply Voltage		●	2.7		5.5	V
I_{CC}	Supply Current	Conversion Current (Note 12)	●		160	275	μA
		Sleep Mode (Note 12)	●		1	2	μA

デジタル入力とデジタル出力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 3)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f_{EOSC}	External Oscillator Frequency Range	(Note 16)	● 10		4000	kHz
t_{HEO}	External Oscillator High Period		● 0.125		100	μs
t_{LEO}	External Oscillator Low Period		● 0.125		100	μs
t_{CONV}	Conversion Time	Simultaneous 50Hz/60Hz External Oscillator	● 144.1	146.9 41036/ f_{EOSC} (in kHz)	149.9	ms ms
f_{ISCK}	Internal SCK Frequency	Internal Oscillator (Notes 10, 17) External Oscillator (Notes 10, 11, 15)		38.4 $f_{\text{EOSC}}/8$		kHz kHz
D_{ISCK}	Internal SCK Duty Cycle	(Notes 10, 17)	● 45		55	%
f_{ESCK}	External SCK Frequency Range	(Notes 10, 11, 15)	●		4000	kHz
t_{LESCK}	External SCK Low Period	(Notes 10, 11, 15)	● 125			ns
t_{HESCK}	External SCK High Period	(Notes 10, 11, 15)	● 125			ns
$t_{\text{DOUT_ISCK}}$	Internal SCK 24-Bit Data Output Time	Internal Oscillator (Notes 10, 17) External Oscillator (Notes 10, 11, 15)	● 0.61	0.625 192/ f_{EOSC} (in kHz)	0.64	ms ms
$t_{\text{DOUT_ESCK}}$	External SCK 24-Bit Data Output Time			24/ f_{ESCK} (in kHz)		ms
t_1	$\overline{\text{CS}}\downarrow$ to SDO Low		● 0		200	ns
t_2	$\overline{\text{CS}}\uparrow$ to SDO High Z		● 0		200	ns
t_3	$\overline{\text{CS}}\downarrow$ to SCK \downarrow	Internal SCK Mode	● 0		200	ns
t_4	$\overline{\text{CS}}\downarrow$ to SCK \uparrow	External SCK Mode	● 50			ns
t_{KQMAX}	SCK \downarrow to SDO Valid		●		200	ns
t_{KQMIN}	SDO Hold After SCK \downarrow	(Note 5)	● 15			ns
t_5	SCK Set-Up Before $\overline{\text{CS}}\downarrow$		● 50			ns
t_7	SDI Setup Before SCK \uparrow	(Note 5)	● 100			ns
t_8	SDI Hold After SCK \uparrow	(Note 5)	● 100			ns

Note 1: 絶対最大定格に記載された値を越すストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: すべての電圧値はGNDを基準にしている。

Note 3: 注記がない限り:

$$V_{\text{CC}} = 2.7\text{V} \sim 5.5\text{V}$$

$$V_{\text{REFCM}} = V_{\text{REF}}/2, F_{\text{S}} = 0.5V_{\text{REF}}$$

$$V_{\text{IN}} = \text{IN}^+ - \text{IN}^-, V_{\text{IN(CM)}} = (\text{IN}^+ + \text{IN}^-)/2.$$

ここで、 IN^+ と IN^- は選択された入力チャネルである。

Note 4: 注記がない限り、内部変換クロックまたは $f_{\text{EOSC}} = 307.2\text{kHz}$ の外部変換クロック・ソースを使う。

Note 5: 設計によって保証されているが、テストされない。

Note 6: 積分非直線性は、実際の伝達曲線のエンドポイントを通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 7: $f_{\text{EOSC}} = 256\text{kHz} \pm 2\%$ (外部発振器)。

Note 8: $f_{\text{EOSC}} = 307.2\text{Hz} \pm 2\%$ (外部発振器)。

Note 9: 同時50Hz/60Hz (内部発振器) または $f_{\text{EOSC}} = 280\text{kHz} \pm 2\%$ (外部発振器)

Note 10: SCKは外部SCKモードまたは内部SCKモードで構成設定することができる。外部SCKモードでは、SCKピンはデジタル入力として使われ、ドライビング・クロックは f_{ESCK} である。内部SCKモードでは、SCKピンはデジタル出力として使われ、データ出力時の出カクログ信号は f_{ISCK} である。

Note 11: 外部発振器は F_0 ピンに接続される。外部発振器の周波数(f_{EOSC})はkHzで表されている。

Note 12: コンバータは内部発振器を使用する。

Note 13: 出力ノイズには内部較正動作によって生じる分が含まれる。 $V_{\text{REF}} \leq V_{\text{CC}}$ 。

Note 14: 設計およびテストの相関により保証されている。

Note 15: 用されている。データの出力時にSCKをドライブするクロック信号の周波数は f_{ESCK} であり、Hzで表される。

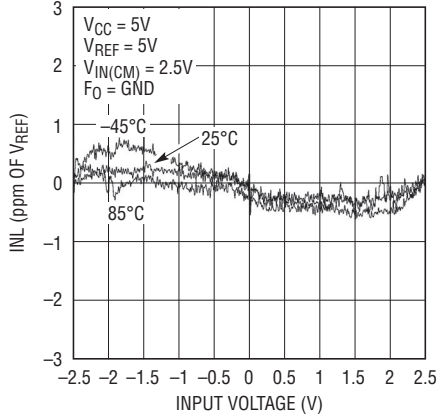
Note 16: 性能とデータ・レートのグラフについては、「アプリケーション情報」のセクションを参照。

Note 17: コンバータは内部SCKモードで動作しているので、SCKピンはデジタル出力として使用されている。

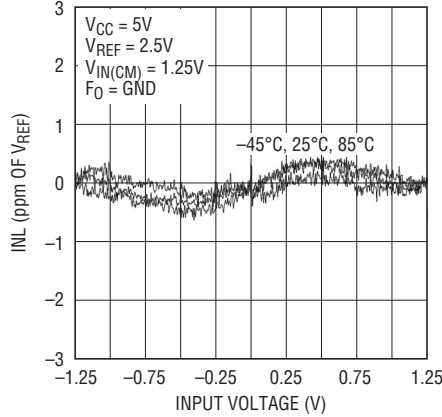
Note 18: $V_{\text{CC}} < 3\text{V}$ の場合、 f_0 ピンの V_{IH} は2.5V。

標準的性能特性

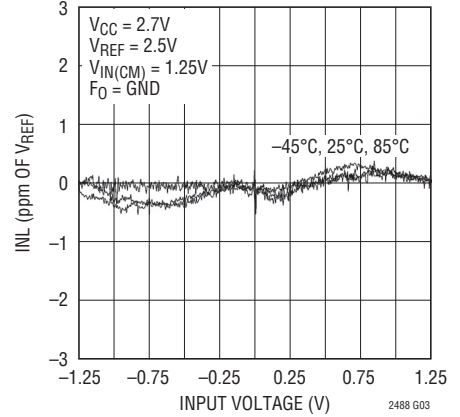
積分非直線性
($V_{CC} = 5V$, $V_{REF} = 5V$)



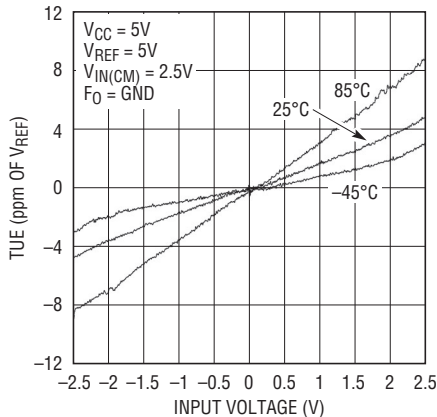
積分非直線性
($V_{CC} = 5V$, $V_{REF} = 2.5V$)



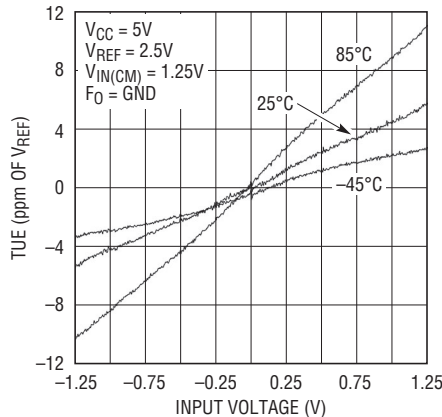
積分非直線性
($V_{CC} = 2.7V$, $V_{REF} = 2.5V$)



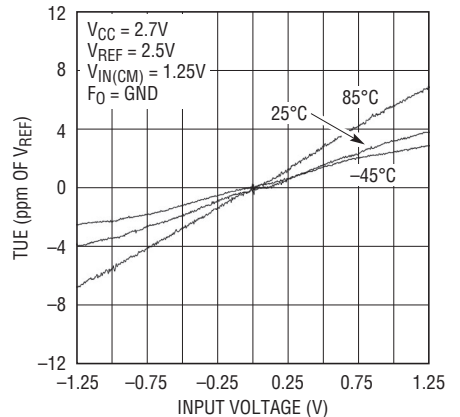
全未調整誤差
($V_{CC} = 5V$, $V_{REF} = 5V$)



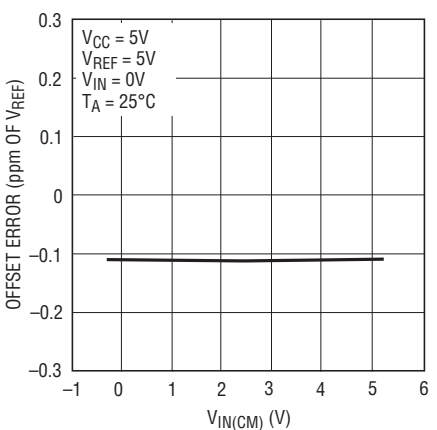
全未調整誤差
($V_{CC} = 5V$, $V_{REF} = 2.5V$)



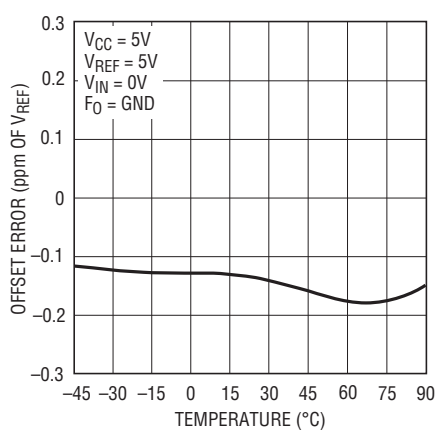
全未調整誤差
($V_{CC} = 2.7V$, $V_{REF} = 2.5V$)



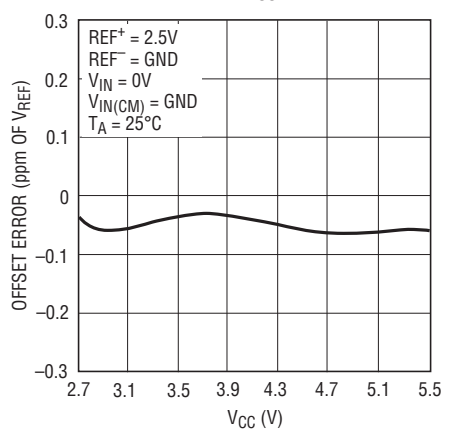
オフセット誤差と $V_{IN(CM)}$



オフセット誤差と温度

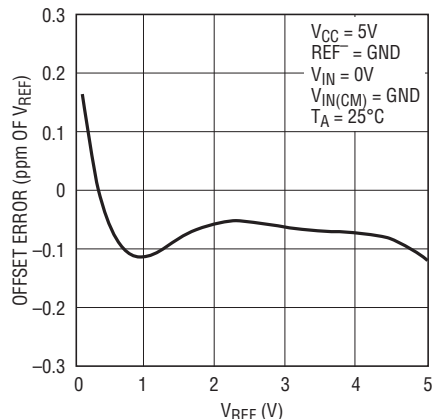


オフセット誤差と V_{CC}



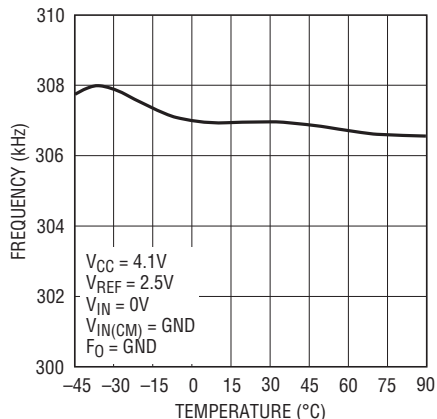
標準的性能特性

オフセット誤差とV_{REF}



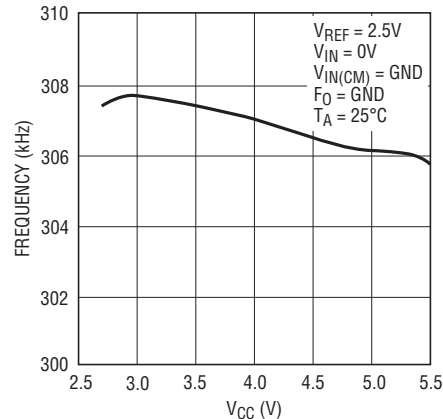
2488 G10

内蔵発振器の周波数と温度



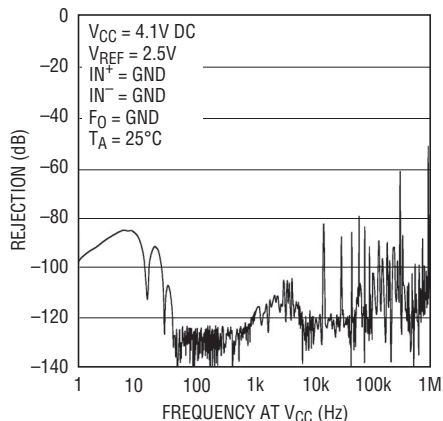
2488 G11

内蔵発振器の周波数とV_{CC}



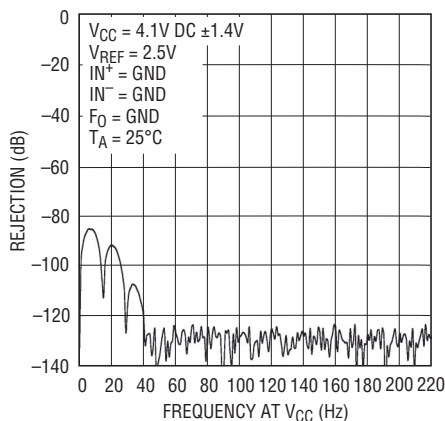
2488 G12

PSRRとV_{CC}での周波数



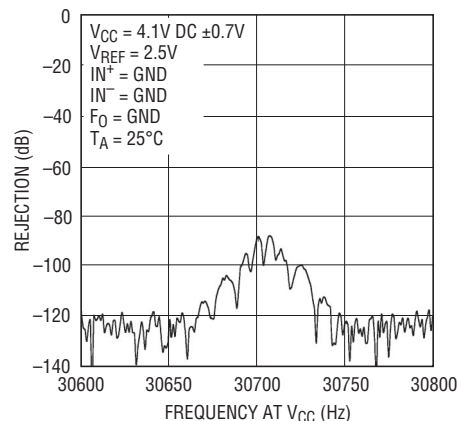
2488 G13

PSRRとV_{CC}での周波数



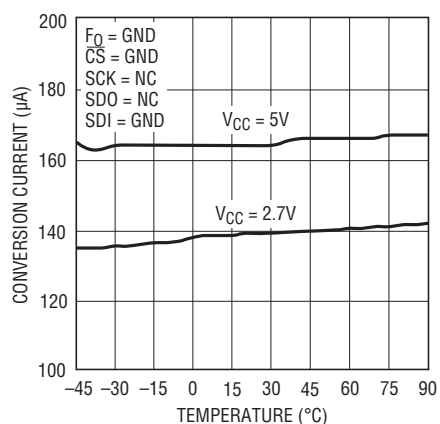
2488 G14

PSRRとV_{CC}での周波数



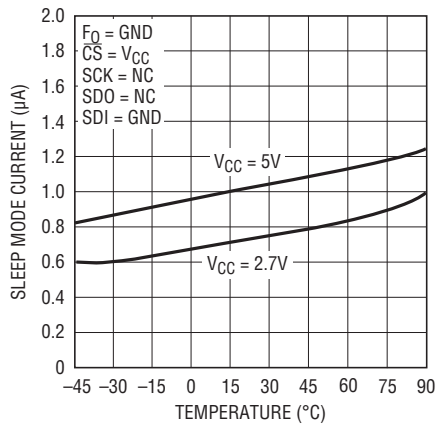
2488 G15

変換電流と温度



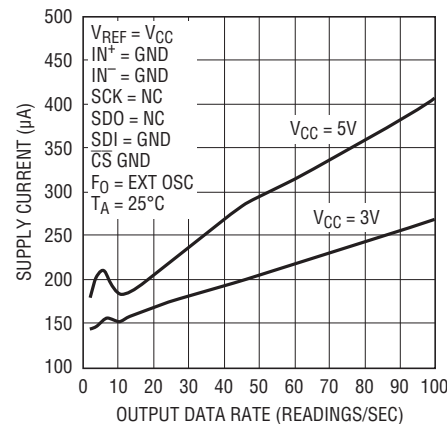
2488 G16

スリープ・モード電流と温度



2488 G17

変換電流と出力データ・レート



2488 G18

ピン機能

F₀ (ピン1): 周波数制御ピン。内部変換クロック・レートを制御するデジタル入力。F₀がグランドに接続されていると、コンバータは307.2kHzで動作している内部発振器を使います。出力レートとデジタル・フィルタの除去ヌルを変更するため、F₀ピンを外部クロックでドライブして変換クロックを無効にすることもできます。

SDI (ピン2): シリアル・データ入力。このピンは入力チャネルを選択するのに使われます。シリアル・データ入力は、データの入出力動作の間にシリアル・クロック (SCK) で制御されてデバイスに与えられます。新しい入力後の最初の変換は有効です。

SCK (ピン3): 双方向、デジタルI/O、クロック・ピン。内部シリアル・クロック動作モードでは、SCKは内部で発生し、SCKピンの出力として現れます。外部シリアル・クロック動作モードでは、デジタルI/Oクロックが外部からSCKピンに与えられます。シリアル・クロック動作モードは、電源立上げ時および $\overline{\text{CS}}$ の最新の立下りエッジの間にSCKピンに与えられるロジック・レベルによって決まります。

$\overline{\text{CS}}$ (ピン4): アクティブ"L"のチップ・セレクト。このピンを"L"にすると、デジタル入力/出力がイネーブルされ、ADCが覚醒します。各変換の後、ADCは自動的にスリープ・モードに入り、 $\overline{\text{CS}}$ が"H"に留まる限りこの省電力状態に保たれます。データ出力中に $\overline{\text{CS}}$ が"L"から"H"に遷移すると、データ転送が中止され、新しい変換が開始されます。

SDO (ピン5): スリーステートのデジタル出力。データ出力の期間中、このピンはシリアル・データの出力として使われます。チップ・セレクト・ピンが"H"のとき、SDOピンは高インピーダンス状態になります。変換中およびスリープ中、このピンは変換状態の出力として使われます。変換の進行中このピンは"H"になり、変換が完了すると"L"になります。変換状態は $\overline{\text{CS}}$ を"L"に引き下げてモニタします。

GND (ピン6): グランド。このピンを1つの共通グランド・プレーンに低インピーダンスで接続します。

COM (ピン7): すべてのシングルエンド・マルチプレクサ構成の共通負入力 (IN⁻)。CH0~CH3およびCOMの各ピンの電圧は (GND-0.3V) ~ (V_{CC}+0.3V) の任意の値にすることができます。これらのリミット内では、2つの選択された入力 (IN⁺とIN⁻) により、 $-0.5 \cdot V_{\text{REF}} \sim 0.5 \cdot V_{\text{REF}}$ のバイポーラの入力範囲 ($V_{\text{IN}} = \text{IN}^+ - \text{IN}^-$) が与えられます。この入力範囲の外側では、コンバータは固有のオーバーレンジとアンダーレンジの出力コードを発生します。

CH0~CH3 (ピン8~11): アナログ入力。シングルエンド・モードまたは差動モードにプログラムすることができます。

V_{CC} (ピン12): 正電源電圧。10μFのタンタル・コンデンサと0.1μFのセラミック・コンデンサを並列に使って、デバイスのできるだけ近くでGNDにバイパスします。

REF⁺ (ピン13)、REF⁻ (ピン14): 差動リファレンス入力。これらのピンの電圧は、リファレンスの正入力 (REF⁺) がリファレンスの負入力 (REF⁻) より少なくとも0.1Vだけ高く保たれる限り、GND~V_{CC}の任意の電圧にすることができます。差動電圧 ($V_{\text{REF}} = \text{REF}^+ - \text{REF}^-$) により、すべての入力チャネルのフルスケール・レンジが設定されます。

露出パッド (ピン15): グランド。このピンはグランドで、PCBのグランド・プレーンに半田付けする必要があります。プロトタイプの作成では、このピンをフロートさせたままでもかまいません。

機能ブロック図

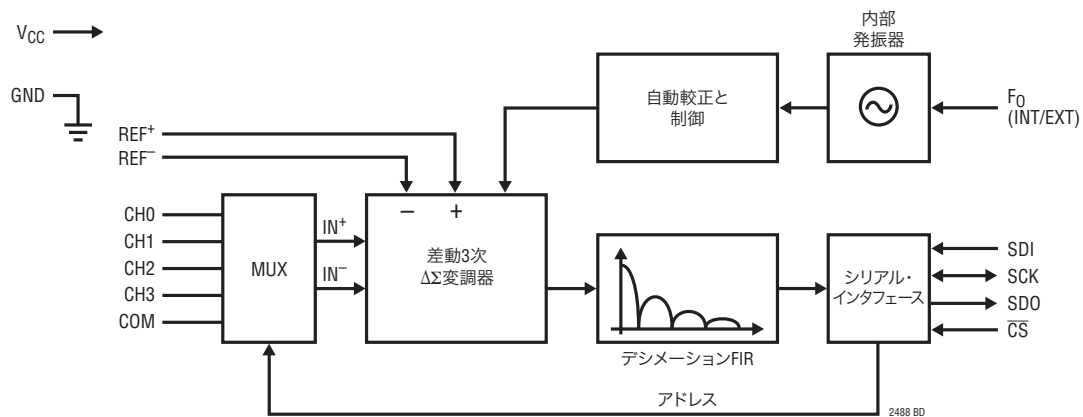


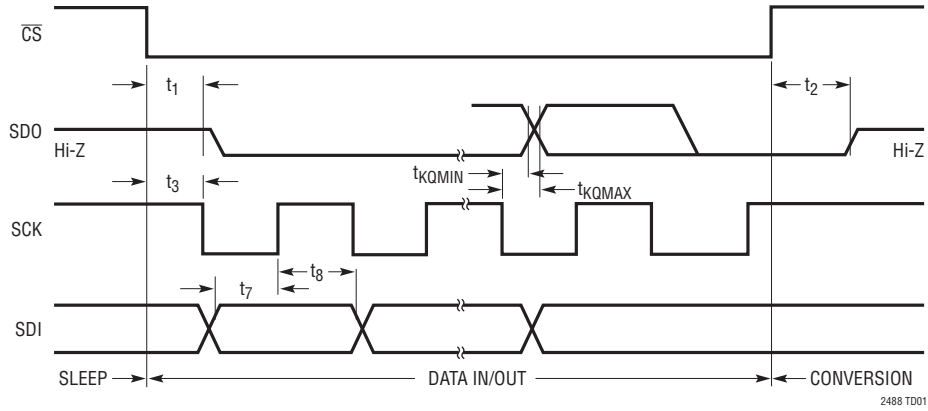
図1. 機能ブロック図

テスト回路

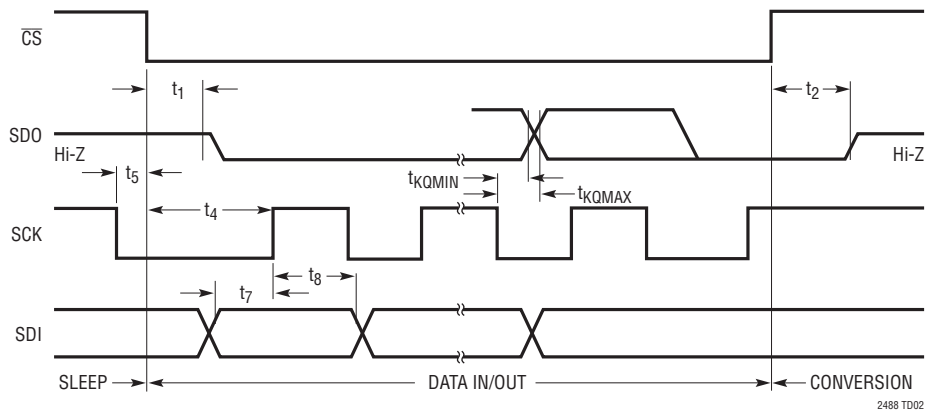


タイミング図

内部SCKを使った場合のタイミング図(SCKは“H”で \overline{CS} ↓)



外部SCKを使った場合のタイミング図(SCKは“L”で \overline{CS} ↓)



アプリケーション情報

コンバータの動作

コンバータの動作サイクル

LTC2488はマルチチャンネルの低電力デルタシグマADコンバータで、使いやすい4線式シリアル・インタフェースと自動差動入力電流キャンセル機能を備えています。その動作は4つの状態で構成されています(図2を参照)。コンバータの動作サイクルは変換から始まり、スリープ・ステートがそれに続き、データの出力/出力サイクルで終了します。4線式のインタフェースはシリアル・データ出力(SDO)、シリアル・クロック(SCK)、チップ・セレクト(\overline{CS})およびシリアル・データ入力(SDI)で構成されています。インタフェース、タイミング、動作サイクル、およびデータの出力フォーマットはリニアテクノロジー社のすべての $\Delta\Sigma$ コンバータと互換性があります。

LTC2488は最初に(起動時に)変換をおこないます。変換が完了すると、デバイスはスリープ・ステートに入ります。スリープ・ステートの間、 \overline{CS} が“H”であれば、電力消費は2桁減少します。 \overline{CS} が“H”に保たれている限り、デバイスはスリープ・ステートに留まります。デバイスがスリープ・ステートの間、変換結果は無期限にスタック・シフトレジスタ内に保存されます。

\overline{CS} が“L”に引き下げられると、デバイスはパワーアップし、スリープ・ステートから出て、データ入力/出力ステートに入ります。SCKの最初の立上りエッジより前に \overline{CS} が“H”になると、デバイスはスリープ・ステートに戻り、電力が低下します。SCK

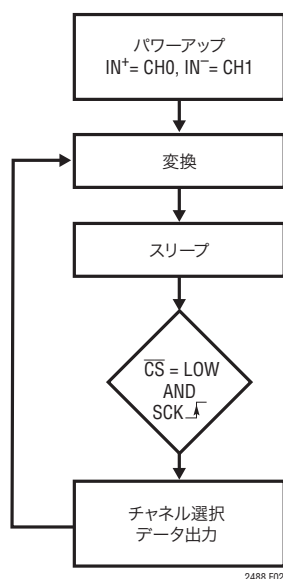


図2. LTC2488の状態遷移図

の最初の立上りエッジより後に \overline{CS} が“H”になると、データ出力サイクルが中止され、新しい変換サイクルが開始されます。データの出力は直前に完了した変換に対応しています。この結果はシリアル・クロック・ピン(SCK)によって制御されて、シリアル・データ出力ピン(SDO)からシフトされて出力されます。データはSCKの立下りエッジによって更新されるので、ユーザーはSCKの立上りエッジを使って確実にデータをラッチすることができます(図3を参照)。次の変換のチャンネル選択データもこの時点でデバイスにロードされます。データはSCKの各立上りエッジでシリアル・データ入力ピン(SDI)からロードされます。データ入力/出力サイクルは24ビットがADCから読み出されるか、または \overline{CS} が“H”に引き上げられると終了します。デバイスは自動的に新しい変換を開始し、このサイクルが繰り返されます。

\overline{CS} ピンとSCKピンのタイミング制御によって、LTC2488はいくつかの動作モード(内部または外部のSCKと自走変換の各モード)を柔軟に提供します。これらの多様なモードはプログラミングを必要とせず、上述の周期動作を乱すことはありません。これらの動作モードについては「シリアル・インタフェースのタイミング・モード」のセクションで詳しく説明します。

使いやすさ

LTC2488のデータ出力には、待ち時間、フィルタのセトリグ遅延、または変換サイクルに関連した冗長データがありません。変換と出力データの間には1対1対応の関係があります。したがって、複数のアナログ入力の多重化は簡単です。新しく入力が選択された直後に続く各変換は有効であり、精度はデバイスの仕様を完全に満たします。

LTC2488は、選択されたチャンネルには無関係に、変換サイクル毎にオフセットとフルスケールの較正を自動的におこないます。この較正はユーザーからは見えず、上述の動作サイクルには影響を与えません。連続較正の利点は、時間経過、電源電圧の変動、入力チャンネル、および温度ドリフトに対してオフセットとフルスケールの測定値がきわめて安定していることです。

Easy Drive入力電流キャンセル

LTC2488は高精度デルタシグマADCを自動差動入力電流キャンセル・フロントエンドと組み合わせています。独自のフロントエンド受動サンプリング・ネットワークが透過的に差動入力電流を除去します。これにより、外部RCネットワークと高い

アプリケーション情報

インピーダンス・センサを、外部アンプなしに、直接LTC2488にインタフェースさせることができます。残りの同相入力電流は、差動入力のインピーダンスをバランスさせるか、または同相入力を同相リファレンスに等しく設定して除去します（「自動差動入力電流キャンセル」のセクションを参照）。このユニークなアーキテクチャには内蔵バッファが不要なので、信号はグランドおよび V_{CC} を超えて振幅することができます。さらに、このキャンセル機能はオフセットとフルスケールの透過的な自動較正と干渉することがないので、外部RCネットワークが付加されても、絶対精度（フルスケール+オフセット+直線性+ドリフト）が維持されます。

パワーアップ・シーケンス

LTC2488は電源電圧 V_{CC} が約2Vより下に下がると自動的に内部リセット状態になります。この機能により、変換結果、入力チャネルの選択、およびシリアル・クロック・モードの一貫性が保証されます。

V_{CC} がこのスレッシュホールドを超えると、コンバータは約4msの内部パワーオン・リセット（POR）信号を発生します。このPOR信号により、すべての内部レジスタがクリアされます。PORサイクル直後の変換は、入力チャネル $IN^+ = CH0$ および $IN^- = CH1$ で実行されます。PORサイクルに続く最初の変換の精度は、PORのインターバルが経過する前に電源電圧が2.7V~5.5Vの範囲に回復していれば、デバイスの仕様を満たします。この最初のデータ入力/出力サイクルの間に、新しい入力チャネルをデバイスにプログラムすることができます。

リファレンス電圧範囲

このコンバータは真に差動の外部リファレンス電圧を受け取ります。 REF^+ ピンと REF^- ピンの絶対/同相電圧範囲はデバイスの全動作範囲（ $GND \sim V_{CC}$ ）を含みます。コンバータを正しく動作させるには、 V_{REF} は正でなければなりません（ $REF^+ > REF^-$ ）。

LTC2488の差動リファレンスの入力範囲は0.1V~ V_{CC} です。最も簡単に動作させるには、 REF^+ を V_{CC} に短絡し、 REF^- を GND に短絡することができます。コンバータの出力ノイズはフロントエンド回路の熱雑音によって決まります。遷移ノイズは1LSBよりはるかに低いので（0.02LSB）、リファレンス電圧を下げれば比例してコンバータの分解能とINLが改善されます。

入力電圧範囲

アナログ入力は真に差動で、 $CH0 \sim CH3$ および COM の各入力ピンの絶対/同相範囲は $GND - 0.3V$ から $V_{CC} + 0.3V$ までです。これらのリミットの外側では、ESD保護用デバイスがオンし始め、入力のリーク電流による誤差が急速に増加します。これらのリミット内では、LTC2488はバイポーラ差動入力信号 $V_{IN} = IN^+ - IN^-$ （ここで、 IN^+ と IN^- は選択された入力チャネル）を $-FS = -0.5 \cdot V_{REF}$ から $+FS = 0.5 \cdot V_{REF}$ に変換します。ここで、 $V_{REF} = REF^+ - REF^-$ です。この範囲の外側では、コンバータは固有の出力コードを使ってオーバーレンジまたはアンダーレンジの状態を表示します（表1を参照）。

入力（ $CH0 \sim CH3$ 、 COM ）に与えられる信号は、グランドより300mV下および V_{CC} より300mV上まで達することができます。フォールト電流をすべて制限するため、最大5kの抵抗を入力に直列に追加することができます。コンバータの精度に対する直列抵抗の影響は、「入力電流/リファレンス電流」のセクションに示されている曲線から評価することができます。さらに、直列抵抗は入力のリーク電流により、温度に依存した誤差を生じます。 $V_{REF} = 5V$ のとき、1nAの入力リーク電流により、5kの抵抗には1ppmのオフセット誤差が生じます。この誤差は非常に大きく温度に依存します。

シリアル・インタフェース・ピン

LTC2488は、3線または4線の同期式インタフェースを介して、変換結果を伝送し、入力チャネルの選択を読み込み、変換開始コマンドを受け取ります。変換中およびスリープ・ステートの間、このインタフェースを使ってコンバータの状態にアクセスすることができます。データ出力ステートの間は、このインタフェースは変換結果を読み出し、入力チャネルをプログラムするのに使われます。

シリアル・クロックの入力/出力（SCK）

シリアル・クロック・ピン（SCK）は入力/出力のデータ転送の同期に使われます。各ビットはSCKの立下りエッジでシフトされてSDOピンから出力され、データはSCKの立上りエッジでシフトされてSDIピンに入力されます。

アプリケーション情報

シリアル・クロック・ピン(SCK)は、マスタ(SCKは内部で発生させた出力)またはスレーブ(SCKは外部から与えられる入力)のどちらかに設定することができます。マスタ・モード(内部SCK)は単にSCKピンをフロートさせて選択します。スレーブ・モード(外部SCK)は、パワーアップ時および \overline{CS} の各立下りエッジの間にSCKを“L”にドライブして選択します。SCKモードの詳細は「シリアル・インタフェースのタイミング・モード」のセクションで説明されています。

シリアル・データ出力(SDO)

シリアル・データ出力ピン(SDO)は、データ出力ステータスの間に最後の変換の結果をシリアル・ビット・ストリームとして(MSBを最初に)出力します。さらに、SDOピンは変換ステータスおよびスリープ・ステータスの間、変換終了インジケータとして使われます。

\overline{CS} が“H”のとき、他のデバイスとデータ出力ラインを共有するため、SDOドライブは高インピーダンス状態に切り替わります。変換フェーズの間に \overline{CS} を“L”にすると、 \overline{EOC} ビット(SDOピン)が“H”にドライブされます。変換が完了後、 \overline{CS} が“L”になると、 \overline{EOC} が“L”にドライブされ、変換が完了してその結果をデバイスからシフトして出力する用意ができていないことを知らせます。

チップ・セレクト(\overline{CS})

アクティブ“L”の \overline{CS} ピンは、変換状態をテストし、I/Oデータ転送をイネーブルし、新しい変換を開始し、スリープ・ステータスの時間を制御し、さらにSCKモードを設定するのに使われます。

変換サイクルが終了すると、 \overline{CS} が“H”の間、デバイスは低電力スリープ・ステータスに留まり、電源電流は数桁減少します。スリープ・ステータスから抜け出してデータ出力ステータスに入るには、 \overline{CS} を“L”に引き下げる必要があります。前述のように、データはSCKピンによって制御されるSDOピンからシフトされて出力されます。

新しい変換サイクルは、データ出力サイクルが終了すると(すべての24データ・ビットが読み出されると)、またはシリアル・クロック(SCK)の1番目と24番目の立上りエッジの間の任意の時間に \overline{CS} を“H”に引き上げると開始されます。この場合、データの出力は中止され、新しい変換が開始されます。

シリアル・データ入力(SDI)

シリアル・データ入力(SDI)は入力チャネルの選択に使います。データは、 \overline{CS} が“L”のとき、データ出力/入力ステータスの間にSCKの立上りエッジでシフトされてデバイスに入力されます。

出力データのフォーマット

LTC2488のシリアル出力ストリームは24ビット長です。1番目のビットは変換状態を示し、2番目のビットは常にゼロで、3番目のビットは符号情報を伝えます。次の17ビットは変換結果で、MSBが最初にきます。残りの4ビットは常に“L”です。

ビット23(最初の出力ビット)は変換終了(\overline{EOC})のインジケータです。このビットは、変換ステータスおよびスリープ・ステータスの間、 \overline{CS} が“L”のときSDOピンから読み出せます。このビットは変換サイクル中は“H”で、変換が完了すると“L”になり、 \overline{CS} が“H”のときは“H”になります。

ビット22(2番目の出力ビット)はダミービット(DMY)で、常に“L”です。

ビット21(3番目の出力ビット)は変換結果の符号のインジケータ(SIG)です。選択された入力($V_{IN} = IN^+ - IN^-$)が0V以上であれば、このビットは“H”になります。 $V_{IN} < 0$ ならば、このビットは“L”になります。

ビット20(4番目の出力ビット)は結果の最上位ビット(MSB)です。このビットはビット21と組み合わされてアンダーレンジまたはオーバーレンジも表示します。ビット21とビット20が両方とも“H”の場合、差動入力電圧が+FSを超えています。ビット21とビット20が両方とも“L”の場合、差動入力電圧が-FSよりも下に下がっています。これらのビットの機能を表1にまとめてあります。

表1. LTC2488の状態ビット

入力レンジ	Bit 23 EOC	Bit 22 DMY	Bit 21 SIG	Bit 20 MSB
$V_{IN} \geq 0.5 \cdot V_{REF}$	0	0	1	1
$0V \leq V_{IN} < 0.5 \cdot V_{REF}$	0	0	1	0
$-0.5 \cdot V_{REF} \leq V_{IN} < 0V$	0	0	0	1
$V_{IN} < -0.5 \cdot V_{REF}$	0	0	0	0

ビット20～ビット4は16ビットと符合からなる変換結果で、MSBが先にきます。

ビット4は最下位ビット(LSB₁₆)です。

ビット3～ビット0は常に“L”です。

アプリケーション情報

データはシリアル・クロック(SCK)の制御のもとにSDOピンからシフトされて出力されます(図3を参照)。 \overline{CS} が“H”のときは常にSDOは高インピーダンスになり、SCKは無視されます。

変換結果をデバイスからシフトして出力するには、最初に \overline{CS} を“L”にドライブする必要があります。 \overline{CS} が“L”に引き下げられると、デバイスのSDOピンに \overline{EOC} が現われます。変換が完了すると、 \overline{EOC} は内部発振器または f_0 ピンに与えられたクロックの関数としてリアルタイムで“H”から“L”に変化します。この信号は外部のマイクロコントローラへの割り込み信号として使うことができます。ビット23(\overline{EOC})はSCKの最初の立上りエッジで捕捉することができます。ビット22はSCKの最初の立下りエッジでシフトされてデバイスから出力されます。最後のデータ・ビット(ビット0)は23番目のSCKの立下りエッジでシフトされて出力され、24番目のSCKパルスの立上がりエッジでラッチすることができます。24番目のSCKパルスの立下りエッジでSDO

は“H”になり、新しい変換サイクルの開始を示します。このビットは次の変換サイクルの \overline{EOC} (ビット23)として機能します。出力データのフォーマットが表2にまとめてあります。

IN^+ ピンと IN^- ピンの電圧が $-0.3V \sim (V_{CC} + 0.3V)$ の絶対最大動作範囲に留まる限り、 $-FS = -0.5 \cdot V_{REF}$ から $+FS = 0.5 \cdot V_{REF}$ までの任意の差動入力電圧 V_{IN} に対して変換結果が生成されます。 $+FS$ を超える差動入力電圧の場合、変換結果は $+FS + 1LSB$ に相当する値にクランプされます。 $-FS$ より低い差動入力電圧の場合、変換結果は $-FS - 1LSB$ の値にクランプされます。

入力データのフォーマット

LTC2488のシリアル入力ワードは8ビット長です。入力ビット(SGL, ODD, A2, A1, A0)は入力チャネルを選択するのに使われます。

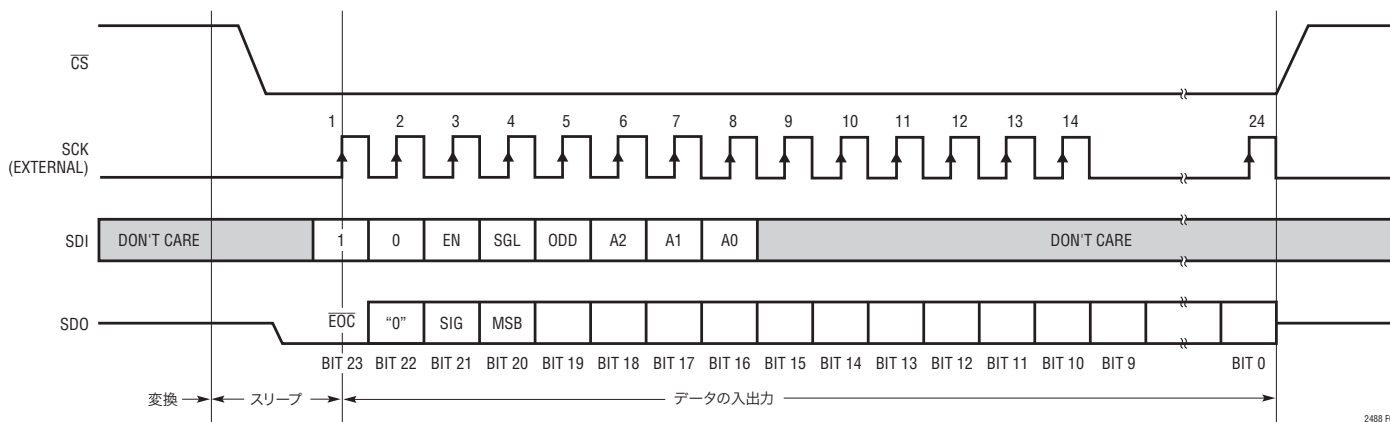


図3. チャネル選択とデータ出力のタイミング

表2. 出力データのフォーマット

差動入力電圧 V_{IN}^*	Bit 23 EOC	Bit 22 DMY	Bit 21 SIG	Bit 20 MSB	Bit 19	Bit 18	Bit 17	...	Bit 4 LSB	ビット3~0 は常に0
$V_{IN}^* \geq 0.5 \cdot V_{REF}^{**}$	0	0	1	1	0	0	0	...	0	0000
$0.5 \cdot V_{REF}^{**} - 1LSB$	0	0	1	0	1	1	1	...	1	0000
$0.25 \cdot V_{REF}^{**}$	0	0	1	0	1	0	0	...	0	0000
$0.25 \cdot V_{REF}^{**} - 1LSB$	0	0	1	0	0	1	1	...	1	0000
0	0	0	1	0	0	0	0	...	0	0000
-1LSB	0	0	0	1	1	1	1	...	1	0000
$-0.25 \cdot V_{REF}^{**}$	0	0	0	1	1	0	0	...	0	0000
$-0.25 \cdot V_{REF}^{**} - 1LSB$	0	0	0	1	0	1	1	...	1	0000
$-0.5 \cdot V_{REF}^{**}$	0	0	0	1	0	0	0	...	0	0000
$V_{IN}^* < -0.5 \cdot V_{REF}^{**}$	0	0	0	0	1	1	1	...	1	0000

*差動入力電圧 $V_{IN} = IN^+ - IN^-$ **差動リファレンス電圧 $V_{REF} = REF^+ - REF^-$

アプリケーション情報

パワーアップ後、デバイスは内部リセット・サイクルを開始し、入力チャンネルをCH0とCH1 ($IN^+ = CH0, IN^- = CH1$) に設定します。最初の変換はパワーアップ時にこのデフォルトの入力チャンネルを使って自動的に開始されます。変換が完了したら、新しいワードをデバイスに書き込むことができます。

入力ワードの最初の3ビットは2個のプリアンプ・ビットと1個のイネーブル・ビットで構成されます。これらの3ビットは入力チャンネルの選択に使われます。これらの3ビットの有効な設定は000、100、および101です。他の組合せは避けます。

最初の3ビットが000または100に設定されると、後続のデータは無視され(ドントケア)、前回選択された入力チャンネルが次の変換に対しても依然有効です。

シフトされてデバイスに入力された最初の3ビットが101であれば、それに続く5ビットにより次の変換サイクルの入力チャンネルが選択されます(表3を参照)。

101のシーケンスに続く最初の入力ビット(SGL)は、入力選択が差動(SGL = 0)であるか、またはシングルエンド(SGL = 1)であるかを決定します。SGL = 0の場合、隣接する2本のチャンネルを選択して差動入力を構成することができます。SGL = 1の場合、4本のチャンネルの中の1本が正入力として選択されます。負入力はすべてのシングルエンド動作でCOMです。残りの4ビット(ODD、A2、A1、A0)により、選択されるチャンネルと(差動入力の場合)その極性が決定されます。

シリアル・インタフェースのタイミング・モード

LTC2488の4線式インタフェースはSPIおよびMICROWIREと互換性があります。このインタフェースにより、いくつかの柔軟な動作モードが実現できます。これらには内部/外部シリアル・クロック、3線または4線のI/O、シングル・サイクル変換または連続変換が含まれます。以下のセクションではこれらのそれぞれのタイミング・モードを詳細に説明します。すべての場合に、コンバータは内部発振器($F_0 = "L"$)または F_0 ピンに接続された外部発振器を使うことができます。各モードで、動作サイクル、データ入力のフォーマット、データ出力のフォーマット、および性能は変わりません。表4にまとめられていますので参照してください。

表3. チャンネルの選択

MUXアドレス					チャンネルの選択				
SGL	ODD/ SIGN	A2	A1	A0	0	1	2	3	COM
*0	0	0	0	0	IN ⁺	IN ⁻			
0	0	0	0	1			IN ⁺	IN ⁻	
0	1	0	0	0	IN ⁻	IN ⁺			
0	1	0	0	1			IN ⁻	IN ⁺	
1	0	0	0	0	IN ⁺				IN ⁻
1	0	0	0	1			IN ⁺		IN ⁻
1	1	0	0	0		IN ⁺			IN ⁻
1	1	0	0	1				IN ⁺	IN ⁻

*起動時のデフォルト設定

表4. シリアル・インタフェースのタイミング・モード

構成設定	SCK 信号源	変換サイクルの 制御	データ出力 制御	接続と波形
外部SCK、 シングル・サイクル変換	外部	\overline{CS} およびSCK	\overline{CS} およびSCK	図4、図5
外部SCK、3線式I/O	外部	SCK	SCK	図6
内部SCK、 シングル・サイクル変換	内部	$\overline{CS} \downarrow$	$\overline{CS} \downarrow$	図7、図8
内部SCK、3線式I/O、 連続変換	内部	連続	内部	図9

アプリケーション情報

外部シリアル・クロック、シングル・サイクル動作

このタイミング・モードでは、外部シリアル・クロックを使って変換結果をシフトして出力し、CS信号を使って変換サイクルの状態をモニタして制御します(図4を参照)。

パワーアップ・シーケンスの間およびCSの各立下りエッジで外部シリアル・クロック・モードが選択されます。外部SCKモードの動作に入り、そこに留まるには、パワーアップとCSの各立下りエッジでSCKを“L”にドライブする必要があります。CSの立下りエッジでSCKが“H”だと、デバイスは内部SCKモードに切り替わります。

シリアル・データ出力ピン(SDO)は、CSが“H”である間は高インピーダンスになります。変換サイクルの間はいつでも、コンバータの状態をモニタするためにCSを“L”に引き下げることができます。CSが“L”の間はEOCがSDOピンに出力されます。

変換が進行中はEOC = 1になり、変換が完了してデバイスがスリープ・ステートに入るとEOC = 0になります。CSには関係なく、変換が完了すると、デバイスは自動的にスリープ・ステートに入ります。ただし、電力を下げるため、CSは“H”にする必要があります。

デバイスがスリープ・ステートのとき、変換結果は内部のスタック・シフトレジスタに保存されます。CSが“L”の間にSCKの最初の立上りエッジが現れるまで、デバイスはスリープ・ステートに留まります。それから、入力データがSCKの(最初の立上りエッジを含む)各立上りエッジでシフトされSDIピンを介して入力されます。後続の変換サイクルではチャンネル選択が使われます。I/Oサイクルの間に入力チャンネルが変更されると、そのデータ入出力サイクルに続く変換サイクルに対して新しい設定が有効になります。出力データはSCKの各立下りエッジでシフトされてSDOピンから出力されます。このため、外部回路はSCKの立上りエッジを使って出力をラッチすることができます。EOCはSCKの最初の立上りエッジを使ってラッチすることができます。変換結果の最後のビットはSCKの24番目の立上りエッジを使ってラッチすることができます。SCKの24番目の立下りエッジで、デバイスは新しい変換を開始し、SDOは“H”になり(EOC = 1)、新しい変換サイクルが進行中であることを示します。

データ・サイクルの完了時にCSを“L”のままにしておき、EOCを変換終了時の割り込み信号としてモニタすることができます。

通常、CSはデータの入力/出力ステートの間“L”に保たれます。

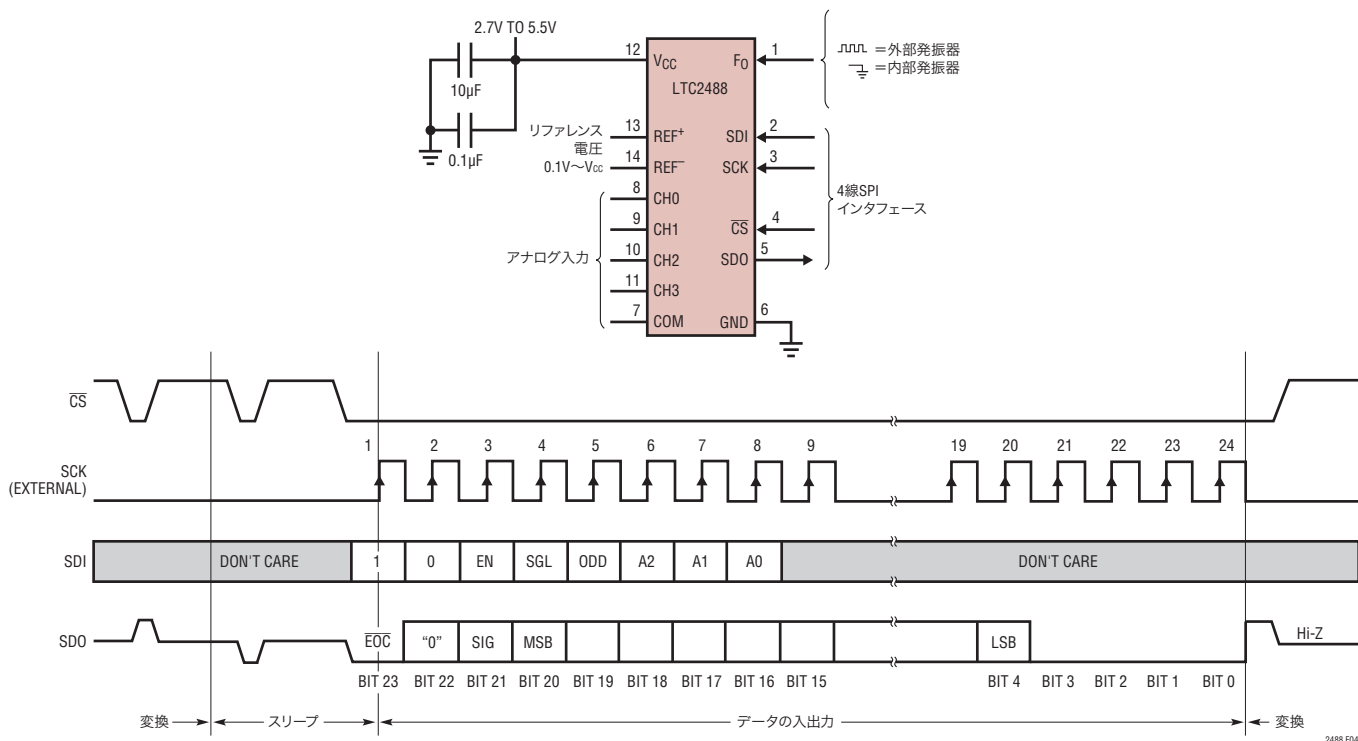


図4. 外部シリアル・クロック、シングル・サイクル動作

アプリケーション情報

ただし、SCKの最初の立下りエッジと24番目の立下りエッジの間に、いつでも \overline{CS} を“H”に引き上げてデータ出力ステートを中止することができます(図5を参照)。 \overline{CS} の立上りエッジでデバイスはデータ出力ステートを中止し、直ちに新しい変換を開始します。新しい入力チャンネルをプログラムするには、8個のSCKクロック・パルスが必要です。データ出力シーケンスがSCKの8番目の立下りエッジより前に中止されると、新しい入力データは無視され、前回選択された入力チャンネルがそのまま有効に保たれます。SCKの8番目の立下りエッジの後に \overline{CS} の立上りエッジが生じると、新しい入力チャンネルがロードされ、次の変換サイクルで有効になります。

外部シリアル・クロック、3線式I/O

このタイミング・モードでは3線式シリアルI/Oインタフェースが使われます。変換結果は外部で作られたシリアル・クロック(SCK)信号によってシフトされてデバイスから出力されます(図6参照)。 \overline{CS} は永続的にグラウンドに接続され、ユーザー・インタフェースや絶縁バリアが簡素化されます。

外部シリアル・クロック・モードが起動時リセット(POR)サイクルの終わりに選択されます。PORサイクルは V_{CC} が約2Vを超えてから標準で4ms後に終了します。この時点でSCKに与えられるレベルによって、SCKが内部で作られるかそれとも外部から与えられるかが決まります。外部SCKモードに入るには、PORサイクルの終了前にSCKを“L”にドライブする必要があります。

\overline{CS} が“L”に固定されているので、変換ステートおよびスリープ・ステートの間、変換終了(\overline{EOC})をSDOピンで連続してモニタすることができます。 \overline{EOC} は外部コントローラの割り込み信号として使うことができます。変換進行中は $\overline{EOC} = 1$ になり、変換が完了すると $\overline{EOC} = 0$ になります。 \overline{EOC} の立下りエッジで、変換結果が内部のスタック・シフトレジスタにロードされます。これで、外部から与えられるSCK信号の制御によって出力データをシフトさせて、SDOピンから出力することができます。SCKの立下りエッジでデータを更新します。入力データは、SCKの立上りエッジでシフトされ、SDIピンを通してデバイスに入力されます。SCKの24番目の立下りエッジで、SDOは“H”になり、新しい変換サイクルが開始されたことを示します。このデータは次の変換サイクルの \overline{EOC} として機能します。

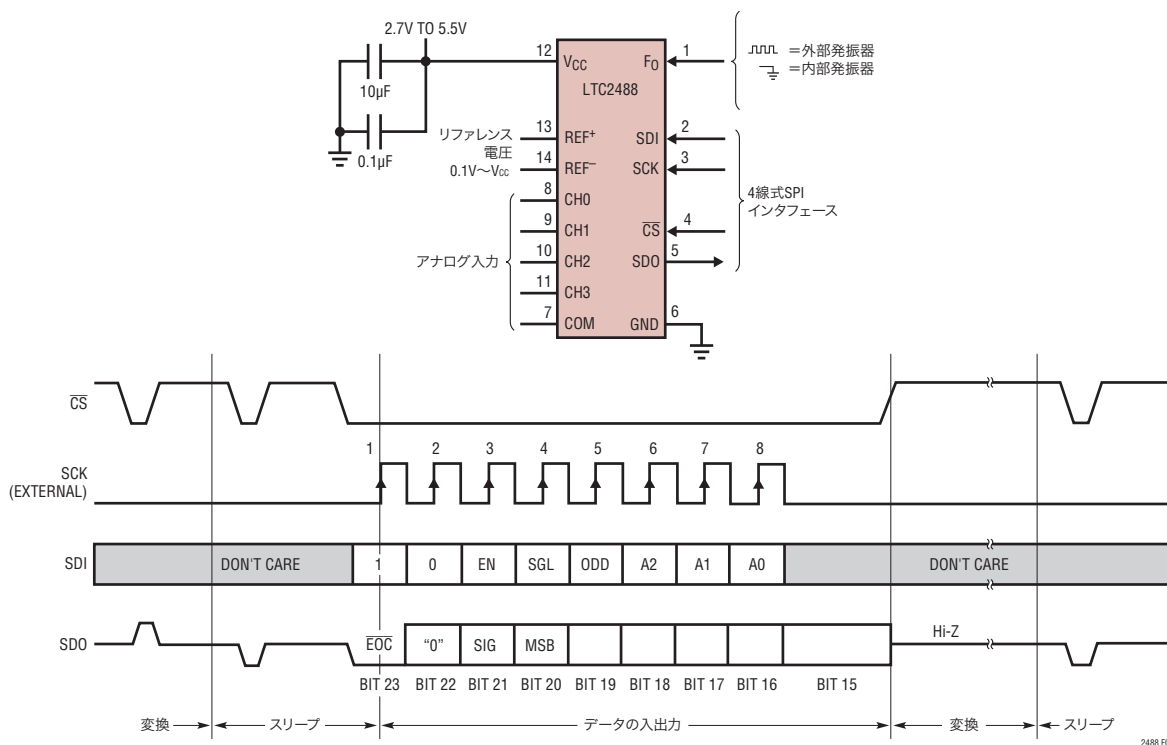


図5. 外部シリアル・クロック、短縮された出力データ長および有効なチャンネル選択

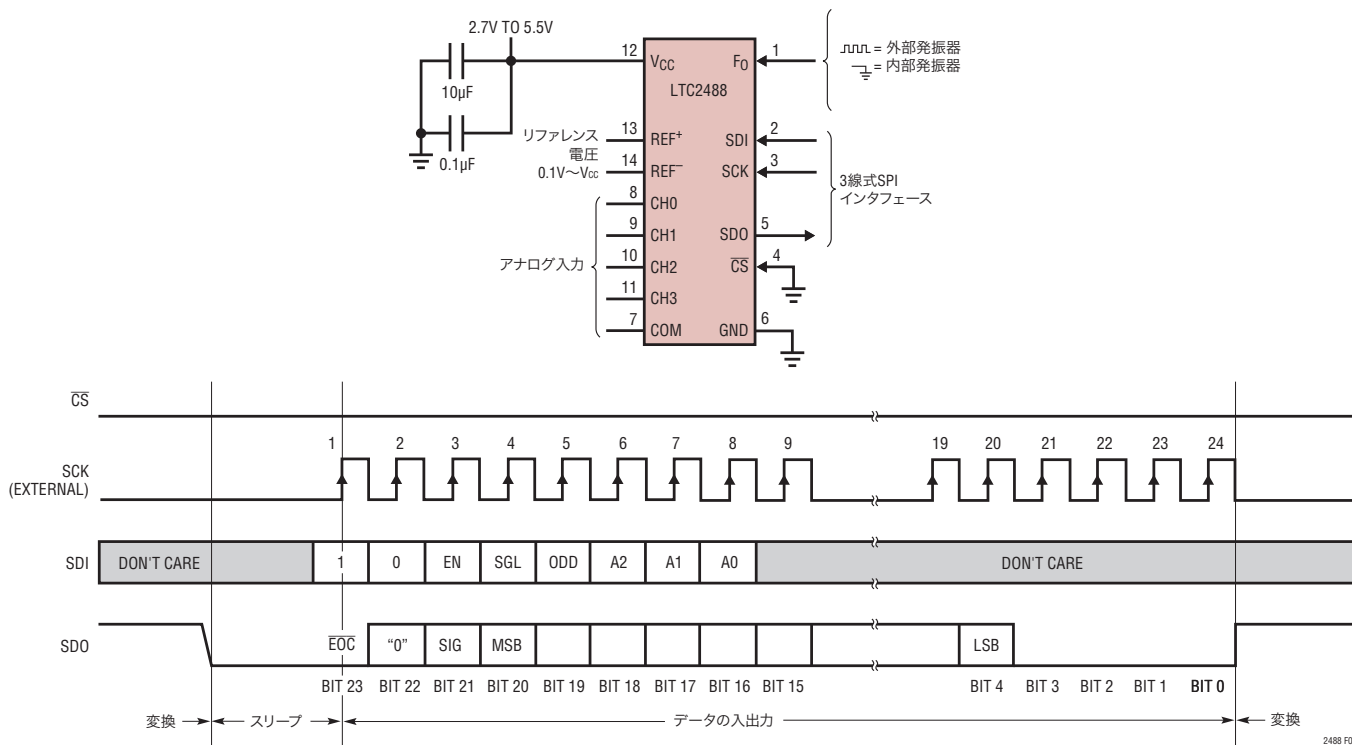


図6. 外部シリアル・クロック、3線式動作 ($\overline{CS} = 0$)

内部シリアル・クロック、シングル・サイクル動作

このタイミング・モードでは、内部シリアル・クロックを使って変換結果をシフトして出力し、 \overline{CS} 信号を使って変換サイクルの状態をモニタして制御します(図7を参照)。

内部シリアル・クロック・タイミング・モードを選択するには、PORサイクルの終了前と \overline{CS} の各立下りエッジより前に、シリアル・クロック・ピン(SCK)をフロートさせるか、または“H”に引き上げる必要があります。 \overline{CS} が立ち下がる間、SCKピンは内部の弱いプルアップ抵抗がアクティブになっています。したがって、SCKが外部からドライブされていなければ、内部SCKモードが自動的に選択されます。

シリアル・データ出力ピン(SDO)は、 \overline{CS} が“H”である間は高インピーダンスになります。変換サイクルの間はいつでも、コンバータの状態をモニタするために \overline{CS} を“L”に引き下げることができます。 \overline{CS} が“L”に引き下げられると、SCKが“L”になり、 \overline{EOC} がSDOピンに出力されます。変換の進行中は $\overline{EOC} = 1$ になり、デバイスがスリープ・ステートだと $\overline{EOC} = 0$ になります。

\overline{EOC} をテストすると、変換が完了していれば($\overline{EOC} = 0$)、デバイスはスリープ・ステートから出ます。スリープ・ステートに

戻って電力消費を下げるには、デバイスがSCKを“H”に引き上げる前に \overline{CS} を“H”に引き上げる必要があります。デバイスが自己の内部発振器を使っているとき(F_0 が“L”に接続されている)、SCKの最初の立上りは \overline{CS} の立下り後12µsに生じますが($t_{EOCTEST} = 12\mu s$)。周波数が f_{EOSC} の外部発振器によって F_0 がドライブされていると、 $t_{EOCTEST} = 3.6/f_{EOSC}$ になります。

\overline{CS} が $t_{EOCTEST}$ より長く“L”に留まると、SCKの最初の立上りエッジが生じ、変換結果がSCKの立下りエッジでシフトされてSDOピンから出力されます。シリアル入力ワード(SDI)はSCKの立上りエッジでシフトされてデバイスに入力されます。

SCKの24番目の立上りエッジの後、新しい変換が自動的に開始されます。SDOは“H”になり($\overline{EOC} = 1$)、SCKは変換サイクルの間“H”に保たれます。変換が完了すると、サイクルが繰り返されます。

通常、 \overline{CS} はデータ出力ステートの間“L”に保たれます。ただし、SCKの1番目の立上りエッジと24番目の立下りエッジの間に、いつでも \overline{CS} を“H”に引き上げてデータ出力ステートを中止することができます(図8を参照)。 \overline{CS} の立上りエッジでデバイスはデータ出力ステートを中止し、直ちに新しい変換を開始し

アプリケーション情報

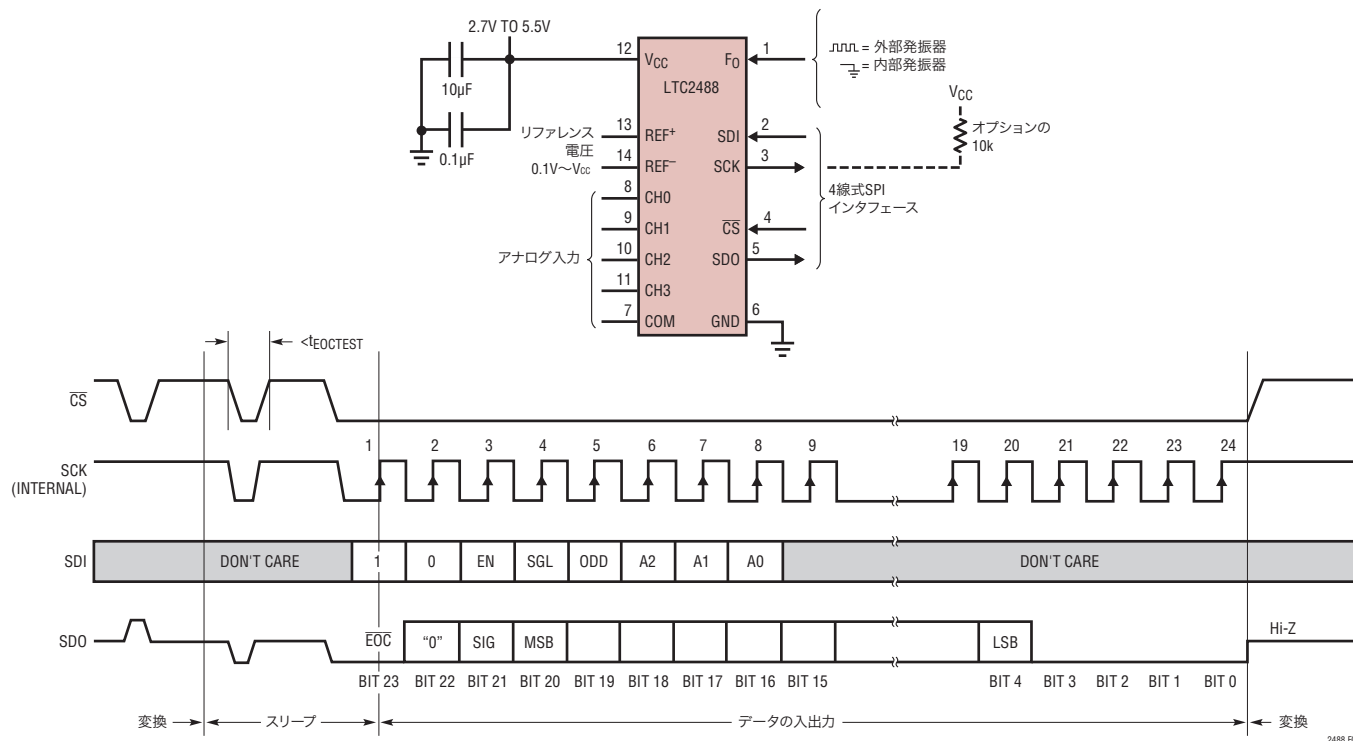


図7. 内部シリアル・クロック、シングル・サイクル動作

ます。新しい入力チャンネルをプログラムするには、8個のSCKクロック・パルスが必要です。データ出力シーケンスがSCKの8番目の立下りエッジより前に中止されると、新しい入力データは無視され、前回選択された入力チャンネルがそのまま有効に保たれます。SCKの8番目の立下りエッジの後に \overline{CS} の立上りエッジが生じると、新しい入力チャンネルがロードされ、次の変換サイクルで有効になります。

内部シリアル・クロック、3線式I/O、連続変換

このタイミング・モードでは3線式インタフェースを使います。変換結果は内部で作られたシリアル・クロック(SCK)信号によってシフトされてデバイスから出力されます(図9参照)。この場合、 \overline{CS} は永続的にグラウンドに接続され、ユーザー・インタフェースや、絶縁バリヤを超えた転送が簡素化されます。

内部シリアル・クロック・モードは起動時リセット(POR)サイクルの終わりに選択されます。PORサイクルは V_{CC} が2Vを超えてから約4ms後に終了します。内部の弱いプルアップ抵抗はPORサイクルの間アクティブです。したがって、SCKがフロート状態だと、または“H”にドライブされると、内部シリアル・クロック・タイミング・モードが自動的に選択されます。

変換中、SCKとシリアル・データ出力ピン(SDO)は“H”になります($\overline{EOC} = 1$)。変換が完了すると、SCKとSDOは“L”になり($\overline{EOC} = 0$)、変換が終了してデバイスがスリープ・ステートに入ったことを示します。デバイスは最小時間(内部SCKの周期の1/2)の間スリープ・ステートに留まってから、直ちにデータの入出力を開始します。入力データがSCKの(最初の立上りエッジを含む)立上りエッジでシフトされてSDIピンに入力され、出力データがSCKの立下りエッジでシフトされてSDOピンから出力されます。SCKの24番目の立上りエッジの後、データの入出力サイクルが終了し、新しい変換が自動的に開始されます。次の変換中、SCKとSDIは変換が完了するまで“H”に保たれます。

10kプルアップをSCKに使用して内部SCKを選択

コンバータがSCKを“L”にドライブしている状態で \overline{CS} が“H”に引き上げられると、SCKがフロート状態でも、SCKをロジック“H”の状態に戻すのに内部プルアップは使えません。このため、 \overline{CS} の次の立下りエッジでデバイスは内部SCKモードから抜け出します。これは、外部10kプルアップ抵抗をSCKピンに追加することにより避けることができます。

アプリケーション情報

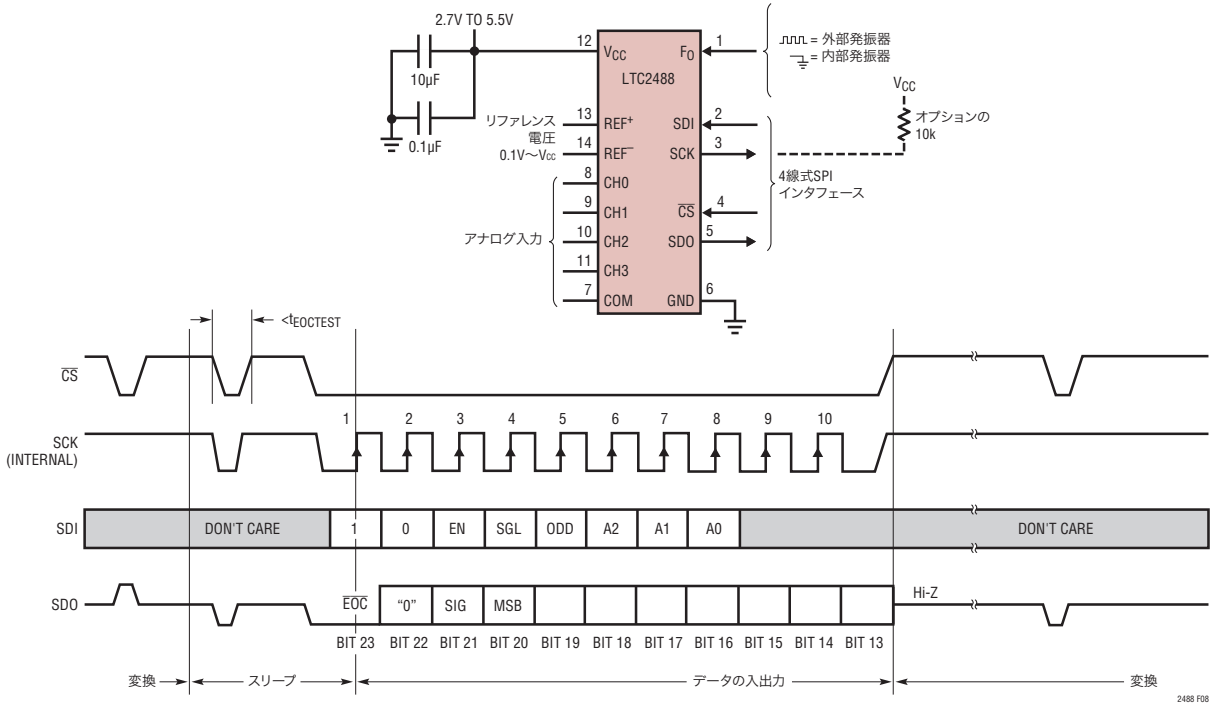


図8. 内部シリアル・クロック、短縮された出力データ長および有効なチャンネルと構成の選択

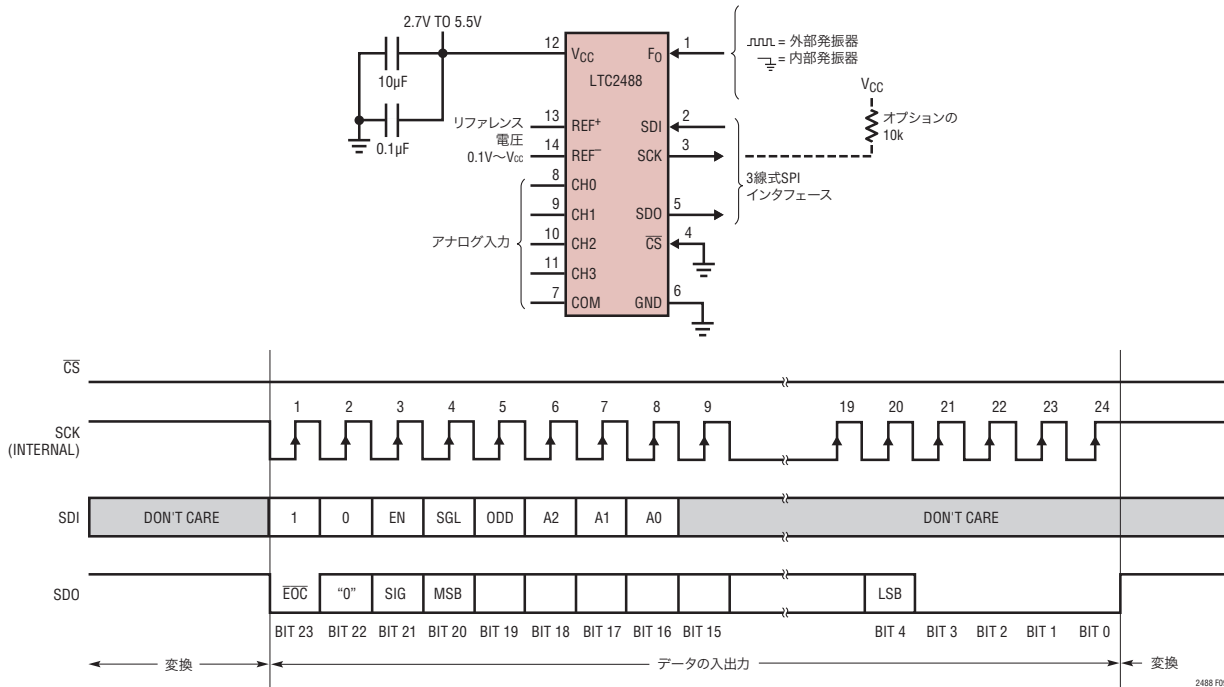


図9. 内部シリアル・クロック、連続動作

アプリケーション情報

SCKが“L”のときはLTC3726のSCKの内部プルアップはディスエーブルされます。通常、デバイスが内部SCKタイミング・モードで動作していると、SCKは外部からドライブされません。ただし、特定のアプリケーションでは、SCKに外部ドライバが必要なことがあります。ドライバが“L”信号を出力した後Hi-Zになると、内部プルアップはディスエーブルされます。外部10k Ω プルアップ抵抗を追加すれば、この条件でデバイスが内部SCKモードから抜け出すのを防ぐことができます。

変換状態をテストするために \overline{CS} を“H - L - H”とトグルするとき、スリープ・ステートで同様の状況が起きることがあります。デバイスがスリープ・ステート($\overline{EOC} = 0$)ならば、SCKは“L”になります。時間 $t_{EOCtest}$ が経過する前に \overline{CS} が“H”になると、内部プルアップがアクティブになります。SCKの負荷が重いと、内部プルアップがSCKを \overline{CS} の次の立下りエッジより前に“H”状態に回復できないことがあります。外部10k Ω プルアップ抵抗を追加すれば、この条件でデバイスが内部SCKモードから抜け出すのを防ぎます。

コンバータの精度の維持

LTC2488は、デバイスのデカップリング、PCBのレイアウト、アンチエイリアシング回路、ライン周波数の乱れ、温度変化などの影響をできるだけ受けないように設計されています。最高性能を達成するには、いくつかの簡単な注意を守する必要があります。

デジタル信号レベル

LTC2488のデジタル・インタフェースは使うのが簡単です。そのデジタル入力であるSDI、 F_0 、 \overline{CS} およびSCK(外部シリアル・クロック・モードの場合)は標準CMOSロジック・レベルを受け入れます。内部ヒステリシス回路は100 μ sの遅いエッジ遷移時間を許容することができます。

デジタル入力信号の範囲は0.5V \sim ($V_{CC} - 0.5V$)です。遷移の間、CMOS入力回路にはダイナミック電流が流れます。最適性能を実現するには、シリアル・データ・インタフェースへ信号を与えるのはスリープ期間とデータ出力期間に限定します。

変換中にシリアル・デジタル・インタフェースや外部発振器ピン(F_0)に与えられる高速デジタル信号のオーバーシュートやアンダーシュートは、コンバータの性能を低下させることがあります。アンダーシュートとオーバーシュートは、外部制御

信号の遷移時間がドライバから入力ピンまでの伝播遅延の2倍より短いとき、回路基板のコンバータのピンのトレースのインピーダンスの不整合によって生じます。参考までに、普通のFR-4基板では、伝播遅延は約183ps/インチです。オーバーシュートを防ぐには、1nsの遷移時間のドライバは2.5インチより短いトレースでコンバータに接続する必要があります。これは、共通制御ラインが使用され、多数の反射が起きると困難になります。

LTC2488の入力ピンの近くで並列終端すればこの問題は解決されますが、ドライバの電力消費が増加します。ドライバの近くに配置された(トレースのインピーダンスと接続に依存した)27 Ω ~54 Ω の直列抵抗も、ドライバの追加の電力消費なしにオーバーシュート/アンダーシュートを除去します。

多くのアプリケーションでは、シリアル・インタフェース・ピン(SCK、SDI、 \overline{CS} 、 F_0)は変換サイクルの間は静かに保たれ、性能低下は生じません。他方、外部発振器が使われると(F_0 が外部からドライブされると)、それは変換サイクルの間アクティブなままです。さらに、 F_0 に与えられるクロック・レートではデジタル・フィルタによる除去はわずかです。外部入力トリファレンス・ラインがこの信号と交差しないように、また近くを通らないように注意する必要があります。これらの問題は内部発振器を使用すると避けられます。

入力トリファレンスのドライブ

LTC2488の入力ピントリファレンス・ピンはスイッチトキャパシタのネットワークに直接接続されています。差動入力電圧と差動トリファレンス電圧の関係に依存して、これらのコンデンサはこれらの4つのピンの間で切り替えられます。コンデンサがこれらのピンの2本の間で切り替えられるたびに、少量の電荷が転送されます。簡略等価回路図を図10に示します。

LTC2488の内部発振器を使っているとき、入力コンデンサ・アレイは123kHzで切り替えられます。電荷転送の効果は入力ピントリファレンス・ピンをドライブしている回路に依存します。全外部RCの時定数が580nsより小さいと、完全にセトリングするので、サンプリング過程で生じる誤差は無視できます。

一般に、トリファレンス入力は低インピーダンスのソースでドライブされます。この場合、大きな外部バイパス・コンデンサが使われていても完全にセトリングします。他方、入力(CH0~

アプリケーション情報

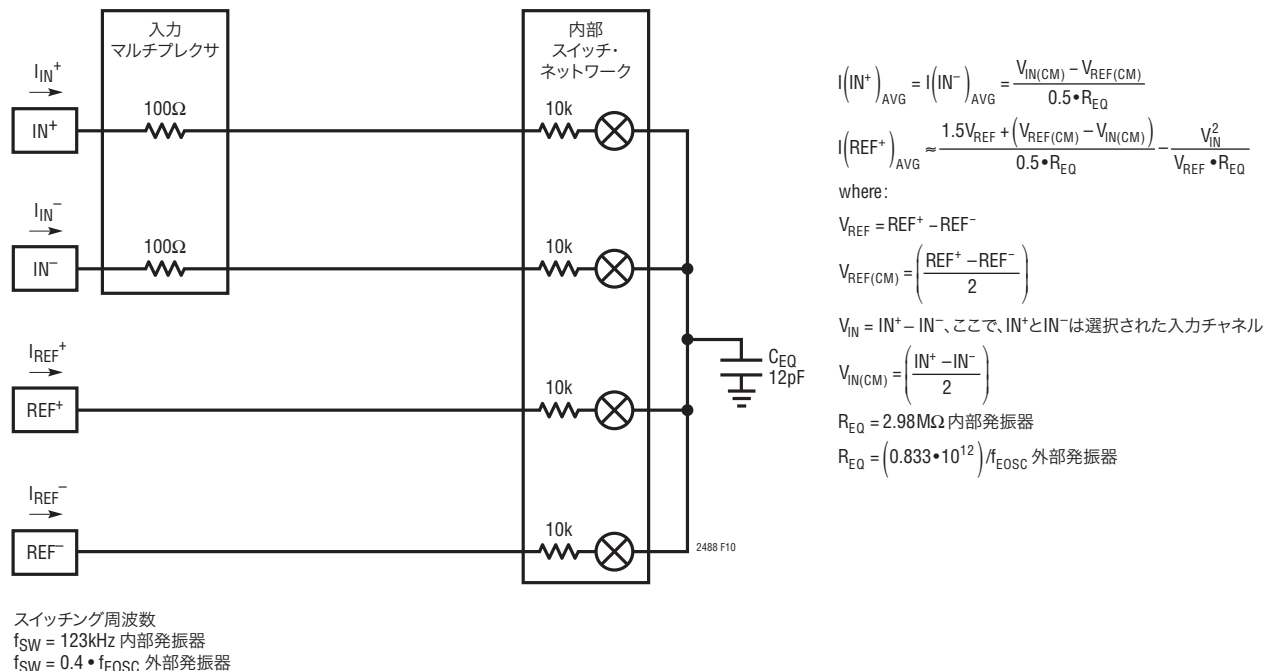


図10. LTC2488の等価アナログ入力回路

CH3、COM)は一般に大きなソース抵抗からドライブされま
 ず。10kまでのソース抵抗は直接LTC2488にインタフェースす
 ることができ、完全にセトリングします。ただし、不要のノイズを
 除去するため(アンチエイリアシング)、入力端子に外部コンデ
 ンサを追加すると、セトリングが完了しません。

自動差動入力電流キャンセル

センサの出力インピーダンスが低い(外部バイパス・コンデ
 ンサなしで最大10kΩ、または0.001μFのバイパス付きで最大
 500Ω)アプリケーションでは、入力は完全にセトリングしま
 す。この場合、誤差は入り込まないので、センサを直接デジタル化
 することが可能です。

多くのアプリケーションでは、センサの出力インピーダンスは
 外部入力バイパス・コンデンサと結合して1ppmの精度に必
 要な580nsをはるかに超えるRC時定数を生じます。たとえば、
 0.1μFのコンデンサをドライブする10kΩのブリッジでは、必要
 な最大値より1桁大きな時定数になります。

LTC2488は独自のスイッチング・アルゴリズムを使って、外部の
 セトリング誤差とは無関係に、平均差動入力電流をゼロに強
 制します。これにより、バッファは不要で、高インピーダンスの
 センサを直接デジタル化できます。

このスイッチング・アルゴリズムは、正入力(I_{IN}^+)の平均入力
 電流を負入力(I_{IN}^-)の平均入力電流に等しくなるように強制
 します。変換サイクル全体にわたって、平均差動入力電流($I_{IN}^+ - I_{IN}^-$)
 はゼロになります。差動入力電流はゼロですが、同相
 入力電流($I_{IN}^+ + I_{IN}^-$)/2は同相入力電圧($V_{IN(CM)}$)と同相リ
 ファレンス電圧($V_{REF(CM)}$)の差に比例します。

平衡ブリッジのように、入力同相電圧がリファレンス同相電
 圧に等しいアプリケーションでは、差動と同相の両方の入力
 電流がゼロになります。コンバータの精度はセトリング誤差に
 よって低下することはありません。

入力同相電圧が一定だがリファレンス同相電圧とは異なるア
 プリケーションでは、差動入力電流はゼロに保たれますが、同
 相入力電流は $V_{IN(CM)}$ と $V_{REF(CM)}$ の差に比例します。リファ
 レンス同相電圧が2.5Vで、入力同相電圧が1.5Vの場合、同相
 入力電流は約0.74μAです。この同相入力電流は、 IN^+ と IN^-
 に接続されたソースのインピーダンスが整合していれば、精度を
 低下させることはありません。ソース・インピーダンスが整合し
 ていないと、固定オフセット誤差が生じますが、直線性やフル
 スケールの測定値には影響を与えません。1kソース抵抗の1%
 の不整合により、オフセット電圧が74μVシフトします。

アプリケーション情報

同相入力電圧が入力信号レベルの関数として変化するアプリケーション(シングルエンドのセンサなど)では、同相入力電流は入力電圧に比例して変化します。バランスのとれた入力インピーダンスの場合、同相入力電流の影響はLTC2488の大きなCMRRによって除去され、精度はほとんど低下しません。ソース・インピーダンスが整合していないと、同相入力電圧と同相リファレンス電圧の差に比例した利得誤差が生じます。1kソース抵抗に1%の不整合があると、15ppm程度の利得誤差が生じます。内部サンプリング・コンデンサの安定性と内部発振器の精度に基づいて、一度較正すればこの誤差は取り除かれます。

入力サンプリング電流に加えて、入力ESD保護ダイオードには温度に依存したリーク電流が流れます。公称1nA(最大±10nA)のこの電流により、オフセットがわずかにシフトします。1kのソース抵抗により、標準1μV、最大10μVのオフセット電圧が生じます。

リファレンス電流

アナログ入力と同様に、LTC2488は差動リファレンス・ピン(REF⁺とREF⁻)をサンプリングして、少量の電荷をこれらのピンとやり取りしますので、ダイナミックなリファレンス電流が生じます。セトリングが(リファレンスのソース抵抗とリファレンスのバイパス・コンデンサに依存して)不完全だと、直線性誤差と利得誤差が生じます。

外部リファレンスの容量の値が比較的小さいと($C_{REF} < 1\text{nF}$)、サンプリング・コンデンサの電圧は大きなkΩのリファレンス・インピーダンスでもセトリングします($C_{REF} = 100\text{pF}$ ならば、最大10kまで性能は低下しません)(図11と図12を参照)。

リファレンス入力に大きなバイパス・コンデンサが必要な場合($C_{REF} > 0.01\mu\text{F}$)、フルスケール誤差と直線性誤差はリファレンス抵抗の値に比例します。リファレンス抵抗の1Ω毎に、約0.5ppmのフルスケール誤差が生じます(内部発振器で動作しているとき)(図13と図14を参照)。入力同相電圧がリファレンス同相電圧に等しい場合、リファレンス抵抗の100Ω毎に約0.67ppmの直線性誤差が生じます(図15を参照)。入力同相電圧とリファレンス同相電圧が異なるアプリケーションでは、誤差が増加します。同相入力と同相リファレンスの間の1Vの

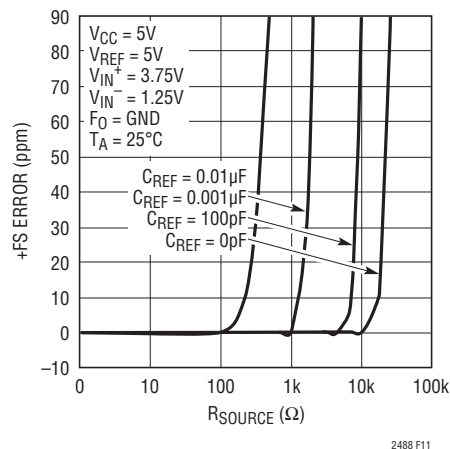


図11. +FS誤差と V_{REF} の R_{SOURCE} (小さな C_{REF})

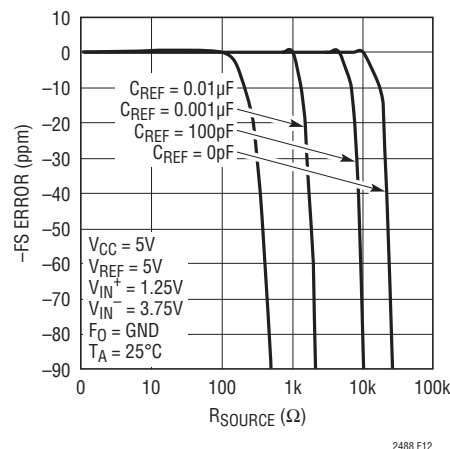


図12. -FS誤差と V_{REF} の R_{SOURCE} (小さな C_{REF})

差は、リファレンスの抵抗の100Ω毎に6.7ppmのINL誤差を生じます。

リファレンスのサンプリング電荷に加えて、リファレンスのESD保護ダイオードには温度に依存したリーク電流が流れます。公称1nA(最大±10nA)のこのリーク電流により小さな利得誤差が生じます。リファレンスの100Ωの抵抗により、0.5μVのフルスケール誤差が生じます。

アプリケーション情報

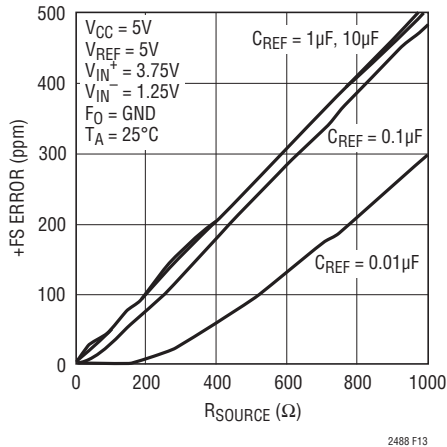


図13. +FS誤差とVREFのR_{SOURCE}(大きなC_{REF})

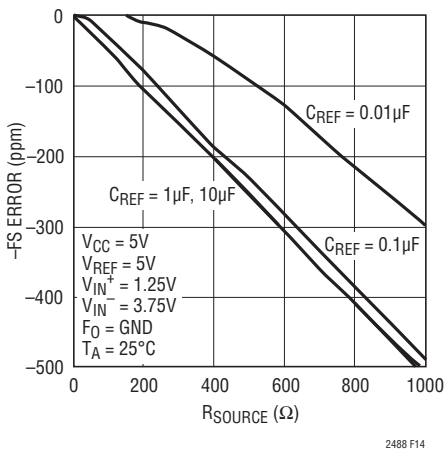


図14. -FS誤差とVREFのR_{SOURCE}(大きなC_{REF})

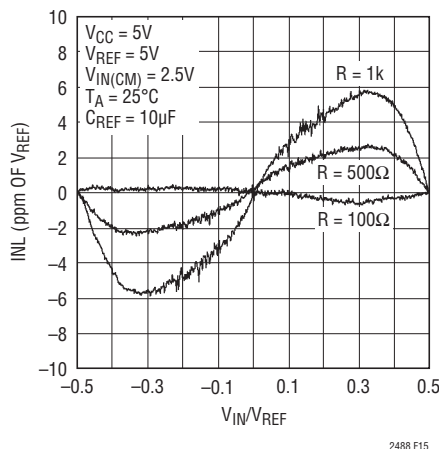


図15. INLと差動入力電圧およびリファレンスのソース抵抗 (C_{REF} > 1μF)

通常モードの除去率とアンチエイリアシング

従来のADCに比したデルタシグマADCの利点の一つは、チップに内蔵されたデジタル・フィルタです。大きなオーバーサンプリング率と組み合わせることにより、LTC2488はアンチエイリアシング・フィルタの必要条件を大幅に簡素化します。さらに、入力電流キャンセル機能により、デバイスのDC性能を下げることなく、外部ローパス・フィルタを利用できます。

SINC⁴デジタル・フィルタにより、DCと変調器のサンプリング周波数(f_S)の整数倍を除く全ての周波数で優れた通常モードの除去を与えます。変調器のサンプリング周波数は、内部発振器で動作しているときは $f_S = 15,360\text{Hz}$ 、周波数が F_{EOSC} の外部発振器で動作しているときは $f_S = F_{EOSC}/20$ です。

LTC2488は内部発振器を使用しているときライン周波数を除去するように設計されています。図16に示されているように、除去ノイズは周波数 f_N の倍数で生じます。ここで、同時50Hz/60Hz除去の場合 $f_N = 55\text{Hz}$ です。変調器のサンプリング・レートの倍数($f_S = f_N \cdot 256$)では、ノイズを15dB除去するだけです(図17を参照)、これらの周波数にノイズ源が存在すれば、アンチエイリアシングにより、それらの影響が減少します。

図18に示されているように、ユーザーは内部発振器を使ってこのレベルの性能を達成することを期待することができます。通常モードの除去の測定値が理論値の上に重ね合わされて示されています。

従来の高次デルタシグマ変調器は、大きな入力信号レベルでは潜在的に不安定です。LTC2488の3次変調器に使われて

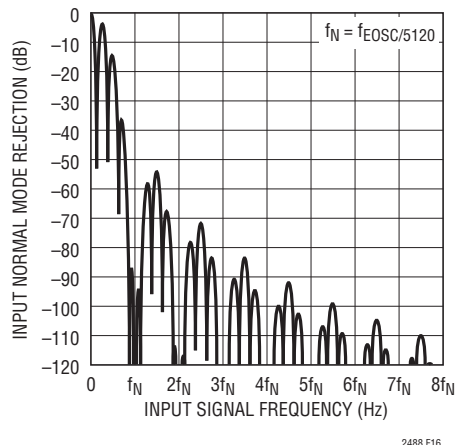


図16. DCでの入力通常モードの除去率

アプリケーション情報

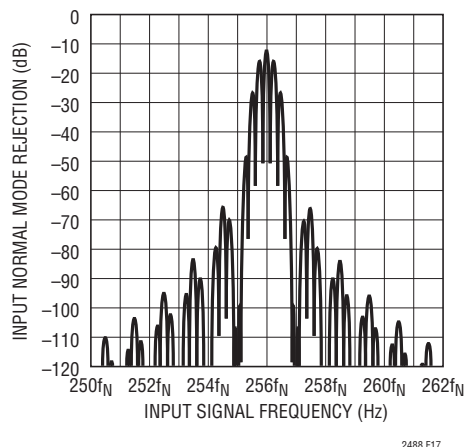
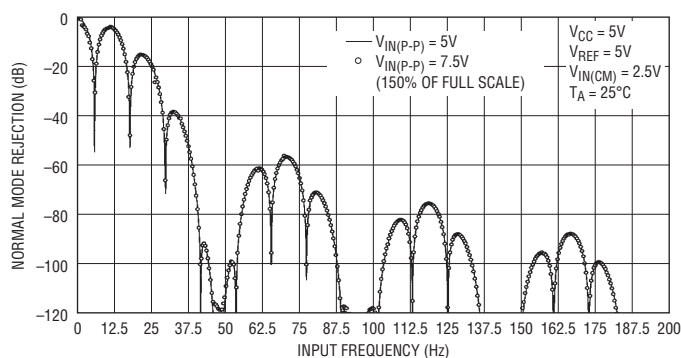
図17. $f_s = 256 \cdot f_N$ での入力通常モードの除去率

図18. 入力通常モードの除去率と入力周波数、100%の入力の攪乱(50Hz/60Hzのノッチ)

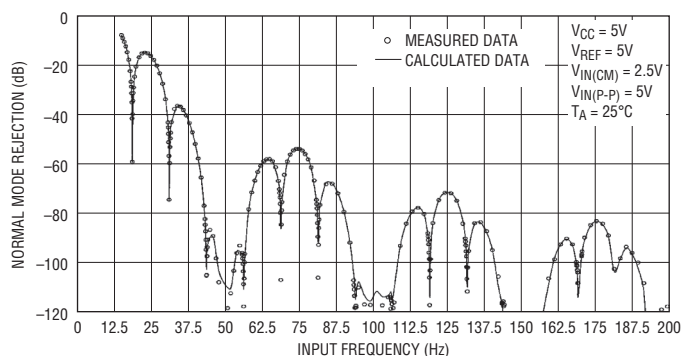


図19. 測定された入力通常モードの除去率と入力周波数、150%の入力の攪乱(60Hzのノッチ)

いる独自アーキテクチャはこの問題を解決し、フルスケールの150%の入力信号で安定動作を保証します。多くの産業用アプリケーションでは、数ボルトのピーク・トゥ・ピーク・ノイズを含む不要の誤差源に重ね合わされたマイクロボルト・レベルの信号が珍しくありません。LTC2488に与えられた7.5Vのピーク・トゥ・ピーク・ノイズ源(フルスケールの150%)の除去率の測定結果を図19に示します。この曲線は、極端にノイズの大きい環境でさえ、除去性能が維持されていることを示しています。

出力データ・レート

内部発振器を使用しているとき、LTC2488は55Hzのノッチ周波数で毎秒6.9のサンプリング(sps)を行います。実際の出力データ・レートはスリープ・サイクルとデータ出力サイクルの長さに依存しますが、これらはユーザーによって制御され、無視できるほど短くすることができます。外部変換クロックを使って動作させると(F_O を外部発振器に接続)、LTC2488の出力データ・レートを増加させることができます。変換サイクルの持続時間は $41036/f_{EOSC}$ です。 $f_{EOSC} = 307.2\text{kHz}$ ならば、コンバータは、まるで内部発振器が使われているかのように動作します。

f_{EOSC} を公称307.2kHzを超えて増加させると、最大出力データ・レートが比例して増加します(最大100spsまで)。出力レートが増加するとオフセットとフルスケール誤差が大きくなり、実効分解能が低下し、周波数除去がシフトします。

f_{EOSC} が変化すると、内部のノッチの位置が比例して変化します。これにより、ライン周波数の差動モード除去が低下します。ライン周波数の同相除去は変化せずに保たれますので、 IN^+ と IN^- の両方のピンが高度に対称性をもった完全な差動入力信号は引き続きライン周波数のノイズを除去します。

また、 f_{EOSC} が増加すると、入力およびリファレンスの実効ダイナミック電流が増加します。外部RCネットワークの差動入力電流は引き続きゼロですが、セトリングの完了に要する時間($f_{EOSC} = 307.2\text{kHz}$ で580ns)は比例して短くなります。

外部発振器の周波数が1MHzを超えると(出力レートが3倍以上増加すると)、内部自動校正回路の効果が低下し始めます。

アプリケーション情報

このため、オフセット誤差とフルスケール誤差が大きくなり、分解能が低下します(図20と図27を参照)。

Easy Drive ADCによる高インピーダンス・センサの測定の簡素化

デルタシグマADCは精度が高くノイズ耐性が高いので、多種のセンサを直接測定するのに最適です。にもかかわらず、入力サンプリング電流が、高いソース・インピーダンスや帯域幅の低いマイクロパワー信号調整回路を圧倒してしまうことがあります。LTC2488は入力電流をバランスさせることによってこの問題を解決しますので、信号調整回路を簡素化するか、あるいは不要にします。

デルタシグマADCはサーミスタの測定に広く使用されます。Easy Driveテクノロジーの利点を生かした、サーミスタのデジタル化の2つの例を図28に示します。

最初の回路(入力チャネルのCH0とCH1に適用)には、同相入力電圧/同相リファレンス電圧をバランスさせるため、また、差動入力ソース抵抗をバランスさせるために、バランス基準抵抗が使われています。基準抵抗R1とR4が正確に等しければ入力電流がゼロになり、誤差は生じません。これらの抵抗の許容誤差が1%であれば、測定された抵抗の最大誤差は同相電圧

のシフトにより 1.6Ω となり、基準抵抗自体の1%の誤差よりはるかに小さくなります。アンプは不要ですから、これはマイクロパワーのアプリケーションに最適なソリューションです。

Easy Driveは、非常にローパワーで低帯域幅のアンプがLTC2488の入力をドライブすることも可能にします。図28に示されているように、CH2はLT1494によってドライブされています。LT1494のDC仕様は電源電流が $1.5\mu\text{A}$ のアンプとしては非常に優れています(最大オフセット電圧は $150\mu\text{V}$ 、開ループ利得は100,000です)。その帯域幅は 2kHz なので、従来のデルタシグマADCをドライブするには適していません。 $1\text{k}\Omega$ 、 $0.1\mu\text{F}$ のフィルタを追加すると、 $1\text{k}\Omega$ の抵抗が容量性負荷をLT1494から分離し、LTC2488の瞬時電流を供給するための電荷はコンデンサに貯蔵されるので、この問題が解決されます。

従来のデルタシグマADCでは、外部RCネットワークの不完全なセトリングの結果として、入力サンプリング電流によりDC誤差が生じます。

Easy Driveテクノロジーは差動入力電流をキャンセルします。負入力(CH3)を $1\text{k}\Omega$ 、 $0.1\mu\text{F}$ のネットワークでバランスさせることにより、同相入力電流による誤差がキャンセルされます。

アプリケーション情報

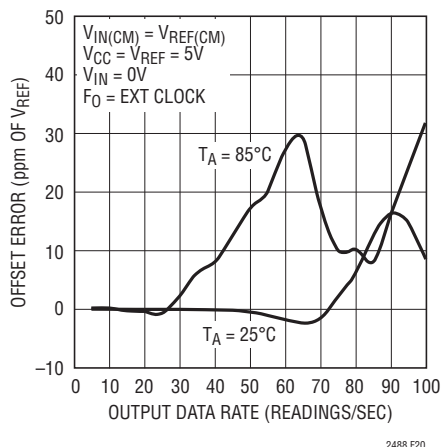


図20. オフセット誤差と出力データ・レートおよび温度

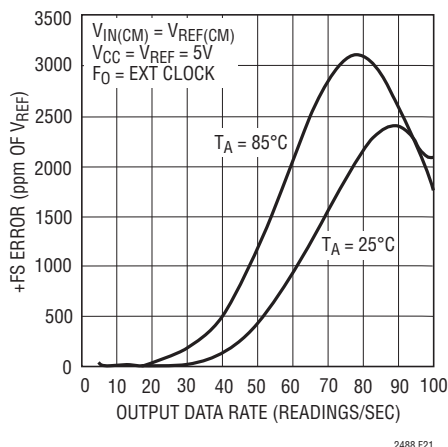


図21. +FS誤差と出力データ・レートおよび温度

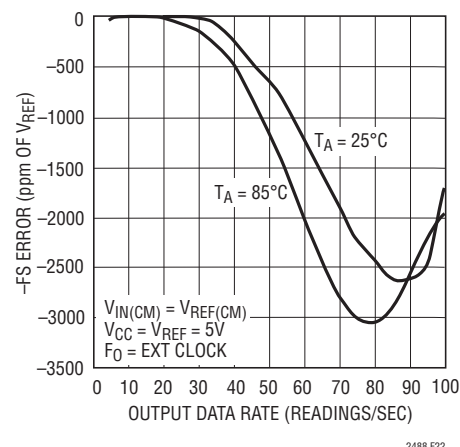


図22. -FS誤差と出力データ・レートおよび温度

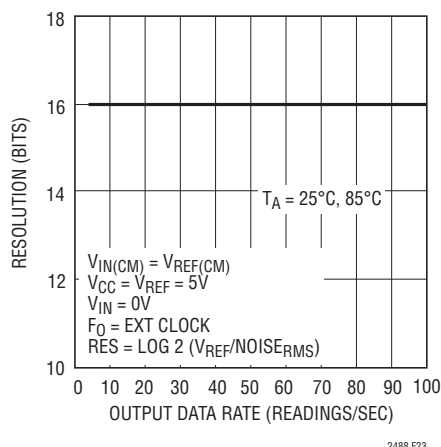


図23. 分解能 (NoiseRMS ≤ 1LSB) と出力データ・レートおよび温度

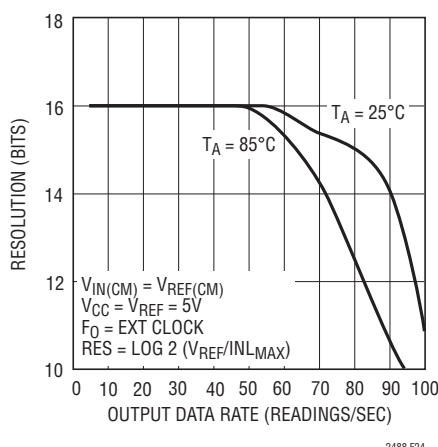


図24. 分解能 (INLMAX ≤ 1LSB) と出力データ・レートおよび温度

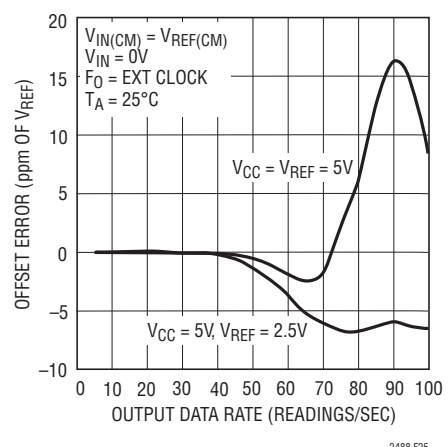


図25. オフセット誤差と出力データ・レートおよびリファレンス電圧

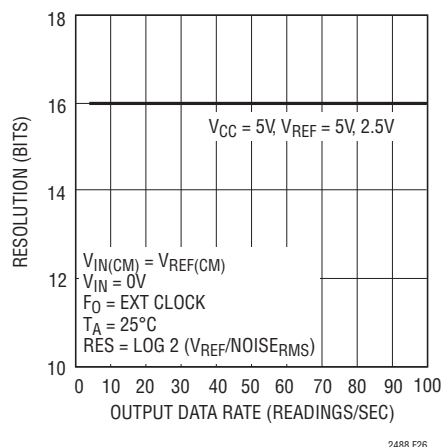


図26. 分解能 (NoiseRMS ≤ 1LSB) と出力データ・レートおよびリファレンス電圧

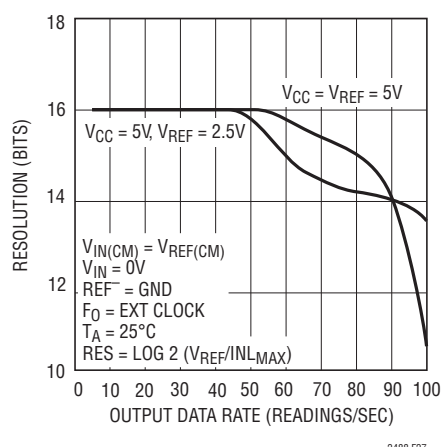
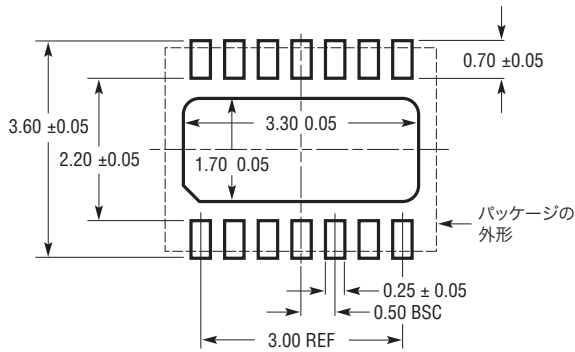


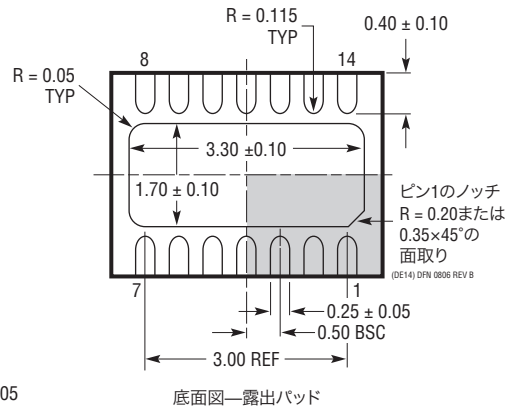
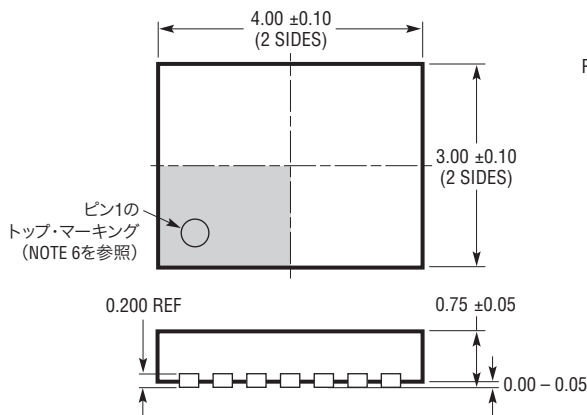
図27. 分解能 (INLMAX ≤ 1LSB) と出力データ・レートおよびリファレンス電圧

パッケージ

DEパッケージ
 14ピン・プラスチックDFN (4mm×3mm)
 (Reference LTC DWG # 05-08-1708 Rev B)



推奨する半田パッドのピッチと寸法
 半田付けされない領域には半田マスクを使用する



NOTE:

1. 図はJEDECパッケージ・アウトラインM0-229のバージョンのバリエーション (WGED-3)として提案
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
 モールドのバリは (もしあれば) 各サイドで0.15mmを超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージのトップとボトムのピン1の位置の参考に過ぎない

改訂履歴

REV	日付	概要	ページ番号
A	7/10	「標準的応用例」の図の改訂 Note 18の追加	1 4,5

LTC2488

標準的応用例

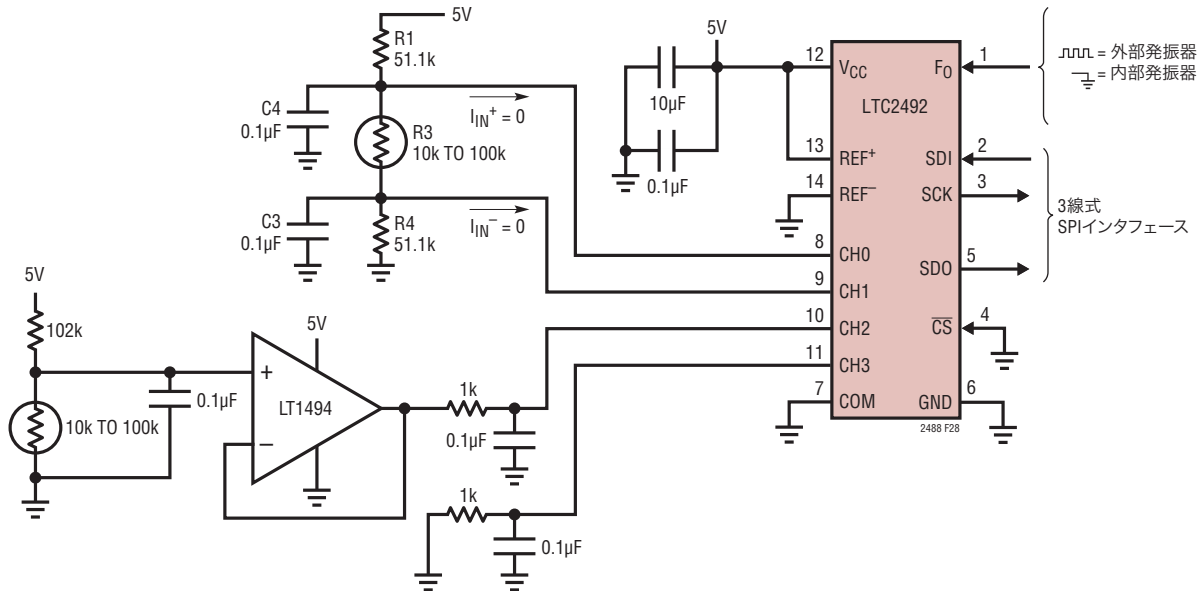


図28. Easy Drive ADCによる高インピーダンス・センサの測定の簡素化

関連製品

製品番号	説明	注釈
LT1236A-5	高精度バンドギャップ・リファレンス、5V	初期精度:最大0.05%、ドリフト:5ppm/°C
LT1460	マイクロパワー・シリーズのリファレンス	初期精度:最大0.075%、ドリフト:最大10ppm/°C
LT1790	マイクロパワー-SOT-23低ドロップアウト・リファレンス・ファミリー	初期精度:最大0.05%、ドリフト:最大10ppm/°C
LTC2400	24ビット、No Latency $\Delta\Sigma$ ADC、SO-8	ノイズ:0.3ppm、INL:4ppm、全未調整誤差:10ppm、200 μ A
LTC2410	24ビット、No Latency $\Delta\Sigma$ ADC、差動入力付き	ノイズ:0.8 μ V _{RMS} 、INL:2ppm
LTC2411/LTC2411-1	24ビット、No Latency $\Delta\Sigma$ ADC、差動入力付き、MSOP	ノイズ:1.45 μ V _{RMS} 、INL:4ppm、同時50Hz/60Hz除去 (LTC2411-1)
LTC2413	24ビット、No Latency $\Delta\Sigma$ ADC、差動入力付き	同時50Hz/60Hz除去、ノイズ:800nV _{RMS}
LTC2440	高速、低ノイズ、24ビット $\Delta\Sigma$ ADC	3.5kHz出力レート、ノイズ:200nV、24.6 ENOB
LTC2442	内蔵アンプ付き24ビット高速4チャンネル/2チャンネル $\Delta\Sigma$ ADC	出力レート:8kHz、ノイズ:220nV、同時50/60Hz除去
LTC2449	24ビット高速8チャンネル/16チャンネル $\Delta\Sigma$ ADC	出力レート:8kHz、ノイズ:200nV、同時50/60Hz除去
LTC2480/LTC2482/ LTC2484	16ビット/24ビット $\Delta\Sigma$ ADC、Easy Drive入力付き、600nVノイズ、プログラム可能な利得、および温度センサ	16ビットと24ビットのバージョンはピン互換
LTC2481/LTC2483/ LTC2485	16ビット/24ビット $\Delta\Sigma$ ADC、Easy Drive入力付き、600nVノイズ、I ² Cインタフェース、プログラム可能な利得、および温度センサ	16ビットと24ビットのバージョンはピン互換
LTC2492	2チャンネル、14チャンネル24ビット $\Delta\Sigma$ ADC、Easy Drive入力と温度センサ付き	LTC2488とピン互換
LTC2496/LTC2498	16チャンネル/8チャンネル、16ビット/24ビット $\Delta\Sigma$ ADC、Easy Drive入力とSPIインタフェース付き	LTC2492とタイミングが互換
LTC2449	高速16入力 $\Delta\Sigma$ ADC	出力レート:8kHz、可変速度分解能

2488fa