

同相電圧範囲が30V_{p-p}のバッファ付きオクタル18ビット、 200ksps/チャンネル、±10.24V差動入力A/Dコンバータ

特長

- バッファ付き8チャンネルの同時サンプリング
- 各チャンネルのスループット: 200ksps
- 最大入力漏れ電流: 500pA/12nA (85°C/125°C)
- INL (最大): ±3.5LSB (±10.24Vレンジ)
- 欠落コードのない18ビット分解能を保証
- 入力同相電圧範囲の広い差動入力
- チャンネル当たりのSoftSpan 入力電圧範囲:
 - ±10.24V、0V ~ 10.24V、±5.12V、0V ~ 5.12V
 - ±12.5V、0V ~ 12.5V、±6.25V、0V ~ 6.25V
- 1回の変換でのSNR: 96.4dB (標準)
- THD: -111dB (標準、 $f_{IN} = 2\text{kHz}$)
- CMRR: 128dB (標準、 $f_{IN} = 200\text{Hz}$)
- レール・トゥ・レールの入力オーバードライブ許容範囲
- 内蔵リファレンスおよびバッファ (4.096V)
- SPI CMOS (1.8V ~ 5V) および LVDS シリアル I/O
- 内部変換クロック、サイクル待ち時間なし
- 電力損失: 219mW (27mW/チャンネル、標準)
- 48ピン (7mm×7mm) LQFP パッケージ

アプリケーション

- プログラム可能なロジック・コントローラ
- 産業用プロセス制御
- 電力線のモニタリング
- テストおよび測定

説明

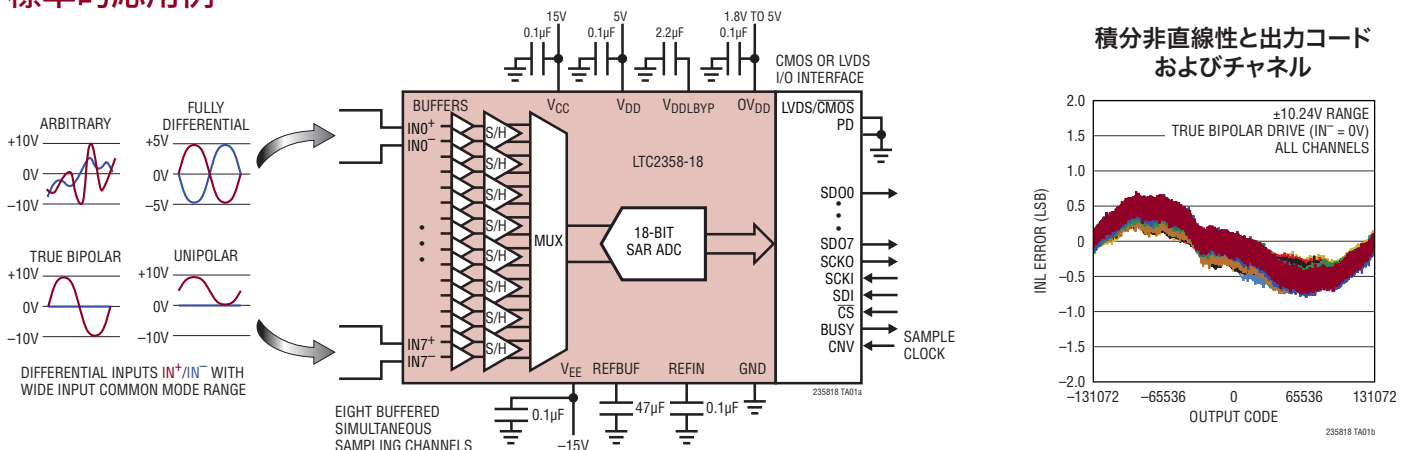
LTC[®]2358-18は、同相電圧範囲が広く、漏れ電流がpAレベルでバッファ付きの差動入力を備えた18ビット低ノイズ8チャンネル同時サンプリング逐次比較レジスタ(SAR) A/Dコンバータです。5Vの低電圧電源、柔軟な高電圧電源で動作し、内部リファレンスおよびバッファを使用するので、このSoftSpan[™] A/Dコンバータを変換ごとに個別に設定して、±10.24V、0V ~ 10.24V、±5.12V、または0V ~ 5.12Vの信号を入力することができます。また、チャンネルを個別にディスエーブルして他のチャンネルのスループットを高めることもできます。

LTC2358-18は、漏れ電流がpAレベルの入力アナログ・バッファを内蔵しており、入力同相電圧範囲が広く、CMRRが128dBなので、使用する基板スペースおよび消費電力を最小限に抑えつつ、さまざまな信号を直接デジタル化することができます。このような入力信号の柔軟性と±3.5LSBのINL、欠落コードのない18ビットの分解能、96.4dBのSNRを有するLTC2358-18は、広いダイナミック・レンジが要求されるさまざまな高電圧用途に最適です。

LTC2358-18には、ピンで選択可能なSPI CMOS (1.8V ~ 5V)とLVDSのシリアル・インタフェースが用意されています。CMOSモード時は使用する出力データ・レーン数を1 ~ 8個の間で調整できるため、バス幅とデータ・スループットを最適化できます。

LT、LT、LTC、LTM、Linear Technology、およびLinearのロゴは、アナログ・デバイセズ社の登録商標です。SoftSpanはアナログ・デバイセズ社の商標です。その他全ての商標の所有権は、それぞれの所有者に帰属します。7705765、7961132、8319673、9197235をはじめとする米国特許によって保護されています。

標準的応用例



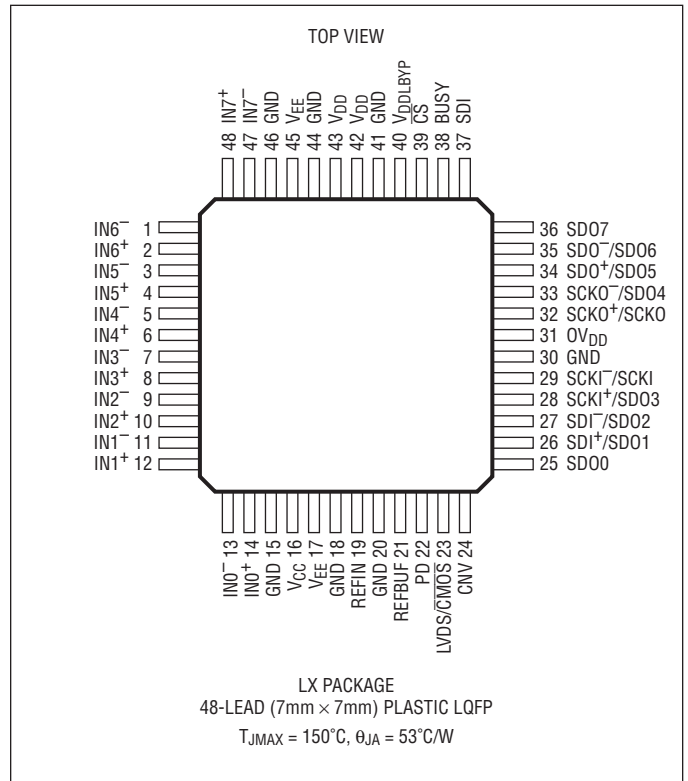
LTC2358-18

絶対最大定格

(Notes 1, 2)

電源電圧 (V_{CC})	$-0.3V \sim (V_{EE} + 40V)$
電源電圧 (V_{EE})	$-17.4V \sim 0.3V$
電源電圧差 ($V_{CC} - V_{EE}$)	40V
電源電圧 (V_{DD})	6V
電源電圧 (OV_{DD})	6V
内部安定化電源のバイパス (V_{DDLBYP})	(Note 3)
アナログ入力電圧		
$IN0^+ \sim IN7^+$ 、 $IN0^- \sim IN7^-$ (Note 4)	$(V_{EE} - 0.3V) \sim (V_{CC} + 0.3V)$
REFIN	$-0.3V \sim 2.8V$
REFBUF、CNV (Note 5)	$-0.3V \sim (V_{DD} + 0.3V)$
デジタル入力電圧 (Note 5)	$(-0.3V) \sim (OV_{DD} + 0.3V)$
デジタル出力電圧 (Note 5)	$-0.3V \sim (OV_{DD} + 0.3V)$
電力損失	500mW
動作温度範囲		
LTC2358C	$0^\circ C \sim 70^\circ C$
LTC2358I	$-40^\circ C \sim 85^\circ C$
LTC2358H	$-40^\circ C \sim 125^\circ C$
保存温度範囲	$-65^\circ C \sim 150^\circ C$

ピン配置



発注情報 <http://www.linear-tech.co.jp/product/LTC2358-18#orderinfo>

トレイ	製品マーキング*	パッケージ	温度範囲
LTC2358CLX-18#PBF	LTC2358LX-18	48-Lead (7mm×7mm) Plastic LQFP	0°C to 70°C
LTC2358ILX-18#PBF	LTC2358LX-18	48-Lead (7mm×7mm) Plastic LQFP	-40°C to 85°C
LTC2358HLX-18#PBF	LTC2358LX-18	48-Lead (7mm×7mm) Plastic LQFP	-40°C to 125°C

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。
鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

電氣的特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 6)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN+}	Absolute Input Range ($IN0^+$ to $IN7^+$)	(Note 7)	$V_{EE} + 4$		$V_{CC} - 4$	V
V_{IN-}	Absolute Input Range ($IN0^-$ to $IN7^-$)	(Note 7)	$V_{EE} + 4$		$V_{CC} - 4$	V
$V_{IN+} - V_{IN-}$	Input Differential Voltage Range	SoftSpan 7: $\pm 2.5 \cdot V_{REFBUF}$ Range (Note 7) SoftSpan 6: $\pm 2.5 \cdot V_{REFBUF}/1.024$ Range (Note 7) SoftSpan 5: 0V to $2.5 \cdot V_{REFBUF}$ Range (Note 7) SoftSpan 4: 0V to $2.5 \cdot V_{REFBUF}/1.024$ Range (Note 7) SoftSpan 3: $\pm 1.25 \cdot V_{REFBUF}$ Range (Note 7) SoftSpan 2: $\pm 1.25 \cdot V_{REFBUF}/1.024$ Range (Note 7) SoftSpan 1: 0V to $1.25 \cdot V_{REFBUF}$ Range (Note 7)	● $-2.5 \cdot V_{REFBUF}$ ● $-2.5 \cdot V_{REFBUF}/1.024$ ● 0 ● 0 ● $-1.25 \cdot V_{REFBUF}$ ● $-1.25 \cdot V_{REFBUF}/1.024$ ● 0		$2.5 \cdot V_{REFBUF}$ $2.5 \cdot V_{REFBUF}/1.024$ $2.5 \cdot V_{REFBUF}$ $2.5 \cdot V_{REFBUF}/1.024$ $1.25 \cdot V_{REFBUF}$ $1.25 \cdot V_{REFBUF}/1.024$ $1.25 \cdot V_{REFBUF}$	V V V V V V V
V_{CM}	Input Common Mode Voltage Range	(Note 7)	$V_{EE} + 4$		$V_{CC} - 4$	V
$V_{IN+} - V_{IN-}$	Input Differential Overdrive Tolerance	(Note 8)	$-(V_{CC} - V_{EE})$		$(V_{CC} - V_{EE})$	V
$I_{OVERDRIVE}$	Input Overdrive Current Tolerance	$V_{IN+} > V_{CC}$, $V_{IN-} > V_{CC}$ (Note 8) $V_{IN+} < V_{EE}$, $V_{IN-} < V_{EE}$ (Note 8)	● ● 0		10	mA mA
I_{IN}	Analog Input Leakage Current	C-Grade and I-Grade H-Grade	● ●	5	500 12	pA pA nA
R_{IN}	Analog Input Resistance	For Each Pin		>1000		G Ω
C_{IN}	Analog Input Capacitance			3		pF
CMRR	Input Common Mode Rejection Ratio	$V_{IN+} = V_{IN-} = 18V_{P-P}$ 200Hz Sine	●	100	128	dB
V_{IHCNV}	CNV High Level Input Voltage		●	1.3		V
V_{ILCNV}	CNV Low Level Input Voltage		●		0.5	V
I_{INCNV}	CNV Input Current	$V_{IN} = 0V$ to V_{DD}	●	-10	10	μA

コンバータの特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 9)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
	Resolution		●	18		Bits
	No Missing Codes		●	18		Bits
	Transition Noise	SoftSpans 7 and 6: $\pm 10.24V$ and $\pm 10V$ Ranges SoftSpans 5 and 4: 0V to 10.24V and 0V to 10V Ranges SoftSpans 3 and 2: $\pm 5.12V$ and $\pm 5V$ Ranges SoftSpan 1: 0V to 5.12V Range		1.4 2.8 2.1 4.2		LSB _{RMS} LSB _{RMS} LSB _{RMS} LSB _{RMS}
INL	Integral Linearity Error	SoftSpans 7 and 6: $\pm 10.24V$ and $\pm 10V$ Ranges (Note 10) SoftSpans 5 and 4: 0V to 10.24V and 0V to 10V Ranges (Note 10) SoftSpans 3 and 2: $\pm 5.12V$ and $\pm 5V$ Ranges (Note 10) SoftSpan 1: 0V to 5.12V Range (Note 10)	● ● ● ●	-3.5 -4 -4 -6	± 1 ± 1.5 ± 0.75 ± 0.75	3.5 4 4 6 LSB LSB LSB LSB
DNL	Differential Linearity Error	(Note 11)	●	-0.9	± 0.2	0.9 LSB
ZSE	Zero-Scale Error	(Note 12)	●	-700	± 160	700 μV
	Zero-Scale Error Drift				± 4	$\mu\text{V}/^\circ\text{C}$
FSE	Full-Scale Error	$V_{REFBUF} = 4.096V$ (REFBUF Overdriven) (Note 12)	●	-0.1	± 0.025	0.1 %FS
	Full-Scale Error Drift	$V_{REFBUF} = 4.096V$ (REFBUF Overdriven) (Note 12)			± 2.5	ppm/ $^\circ\text{C}$

235818f

ダイナミック精度

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Notes 9、13)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
SINAD	Signal-to-(Noise + Distortion) Ratio	SoftSpans 7 and 6: $\pm 10.24\text{V}$ and $\pm 10\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	92.7	96.2		dB
		SoftSpans 5 and 4: 0V to 10.24V and 0V to 10V Ranges, $f_{IN} = 2\text{kHz}$	●	87.3	90.3		dB
		SoftSpans 3 and 2: $\pm 5.12\text{V}$ and $\pm 5\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	89.3	92.5		dB
		SoftSpan 1: 0V to 5.12V Range, $f_{IN} = 2\text{kHz}$	●	83.6	86.6		dB
SNR	Signal-to-Noise Ratio	SoftSpans 7 and 6: $\pm 10.24\text{V}$ and $\pm 10\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	93.4	96.4		dB
		SoftSpans 5 and 4: 0V to 10.24V and 0V to 10V Ranges, $f_{IN} = 2\text{kHz}$	●	87.4	90.4		dB
		SoftSpans 3 and 2: $\pm 5.12\text{V}$ and $\pm 5\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	89.5	92.5		dB
		SoftSpan 1: 0V to 5.12V Range, $f_{IN} = 2\text{kHz}$	●	83.7	86.6		dB
THD	Total Harmonic Distortion	SoftSpans 7 and 6: $\pm 10.24\text{V}$ and $\pm 10\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●		-111	-101	dB
		SoftSpans 5 and 4: 0V to 10.24V and 0V to 10V Ranges, $f_{IN} = 2\text{kHz}$	●		-107	-99	dB
		SoftSpans 3 and 2: $\pm 5.12\text{V}$ and $\pm 5\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●		-113	-102	dB
		SoftSpan 1: 0V to 5.12V Range, $f_{IN} = 2\text{kHz}$	●		-113	-100	dB
SFDR	Spurious Free Dynamic Range	SoftSpans 7 and 6: $\pm 10.24\text{V}$ and $\pm 10\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	101	113		dB
		SoftSpans 5 and 4: 0V to 10.24V and 0V to 10V Ranges, $f_{IN} = 2\text{kHz}$	●	99	107		dB
		SoftSpans 3 and 2: $\pm 5.12\text{V}$ and $\pm 5\text{V}$ Ranges, $f_{IN} = 2\text{kHz}$	●	103	113		dB
		SoftSpan 1: 0V to 5.12V Range, $f_{IN} = 2\text{kHz}$	●	103	113		dB
	Channel-to-Channel Crosstalk	One Channel Converting 18V_{P-P} 200Hz Sine in $\pm 10.24\text{V}$ Range, Crosstalk to All Other Channels			-109		dB
	-3dB Input Bandwidth			6			MHz
	Aperture Delay			1			ns
	Aperture Delay Matching			150			ps
	Aperture Jitter			3			ps _{RMS}
	Transient Response	Full-Scale Step, 0.005% Settling			420		ns

内部リファレンスの特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 9)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{REFIN}	Internal Reference Output Voltage		2.043	2.048	2.053	V
	Internal Reference Temperature Coefficient	(Note 14)	●	5	20	ppm/ $^\circ\text{C}$
	Internal Reference Line Regulation	$V_{DD} = 4.75\text{V}$ to 5.25V		0.1		mV/V
	Internal Reference Output Impedance			20		k Ω
V_{REFIN}	REFIN Voltage Range	REFIN Overdriven (Note 7)	1.25		2.2	V

リファレンス・バッファ特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 9)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{REFBUF}	Reference Buffer Output Voltage	REFIN Overdriven, $V_{REFIN} = 2.048\text{V}$	●	4.091	4.096	4.101	V
	REFBUF Voltage Range	REFBUF Overdriven (Notes 7, 15)	●	2.5	5		V
	REFBUF Input Impedance	$V_{REFIN} = 0\text{V}$, Buffer Disabled		13			k Ω
I_{REFBUF}	REFBUF Load Current	$V_{REFBUF} = 5\text{V}$, 8 Channels Enabled (Notes 15, 16) $V_{REFBUF} = 5\text{V}$, Acquisition or Nap Mode (Note 15)	●	1.5	1.9		mA
				0.39			mA

デジタル入力とデジタル出力

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 9)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
CMOS デジタル入力とデジタル出力						
V_{IH}	High Level Input Voltage		● $0.8 \cdot OV_{DD}$			V
V_{IL}	Low Level Input Voltage				$0.2 \cdot OV_{DD}$	V
I_{IN}	Digital Input Current	$V_{IN} = 0V$ to OV_{DD}	● -10		10	μA
C_{IN}	Digital Input Capacitance			5		pF
V_{OH}	High Level Output Voltage	$I_{OUT} = -500 \mu\text{A}$	● $OV_{DD} - 0.2$			V
V_{OL}	Low Level Output Voltage	$I_{OUT} = 500 \mu\text{A}$	●		0.2	V
I_{OZ}	Hi-Z Output Leakage Current	$V_{OUT} = 0V$ to OV_{DD}	● -10		10	μA
I_{SOURCE}	Output Source Current	$V_{OUT} = 0V$		-50		mA
I_{SINK}	Output Sink Current	$V_{OUT} = OV_{DD}$		50		mA
LVDS デジタル入力および出力						
V_{ID}	Differential Input Voltage		● 200	350	600	mV
R_{ID}	On-Chip Input Termination Resistance	$\overline{CS} = 0V$, $V_{ICM} = 1.2V$ $\overline{CS} = OV_{DD}$	● 90	106 10	125	Ω M Ω
V_{ICM}	Common-Mode Input Voltage		● 0.3	1.2	2.2	V
I_{ICM}	Common-Mode Input Current	$V_{IN+} = V_{IN-} = 0V$ to OV_{DD}	● -10		10	μA
V_{OD}	Differential Output Voltage	$R_L = 100 \Omega$ Differential Termination	● 275	350	425	mV
V_{OCM}	Common-Mode Output Voltage	$R_L = 100 \Omega$ Differential Termination	● 1.1	1.2	1.3	V
I_{OZ}	Hi-Z Output Leakage Current	$V_{OUT} = 0V$ to OV_{DD}	● -10		10	μA

電源要件

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 9)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CC}	Supply Voltage		● 7.5		38	V
V_{EE}	Supply Voltage		● -16.5		0	V
$V_{CC} - V_{EE}$	Supply Voltage Difference		● 10		38	V
V_{DD}	Supply Voltage		● 4.75	5.00	5.25	V
I_{VCC}	Supply Current	200ksps Sample Rate, 8 Channels Enabled (Note 17)	●	4.6	5.3	mA
		Acquisition Mode (Note 17)	●	8.5	9.8	mA
		Nap Mode	●	2.9	3.3	mA
		Power Down Mode	●	6	15	μA
I_{VEE}	Supply Current	200ksps Sample Rate, 8 Channels Enabled (Note 17)	●	-5.5	-4.5	mA
		Acquisition Mode (Note 17)	●	-9.8	-8	mA
		Nap Mode	●	-3.5	-2.8	mA
		Power Down Mode	●	-15	-4	μA

CMOS I/O モード

OV_{DD}	Supply Voltage		● 1.71		5.25	V
I_{VDD}	Supply Current	200ksps Sample Rate, 8 Channels Enabled	●	15.6	18	mA
		200ksps Sample Rate, 8 Channels Enabled, $V_{REFBUF} = 5V$ (Notes 15)	●	13.8	16	mA
		Acquisition Mode	●	2.1	2.7	mA
		Nap Mode	●	1.7	2.4	mA
		Power Down Mode (C-Grade and I-Grade)	●	106	275	μA
		Power Down Mode (H-Grade)	●	106	500	μA

LTC2358-18

電源要件

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 9)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
I _{OVDD}	Supply Current	200ksps Sample Rate, 8 Channels Enabled ($C_L = 25\text{pF}$)	●	1.6	2.6	mA
		Acquisition or Nap Mode	●	1	20	μA
		Power Down Mode	●	1	20	μA
P _D	Power Dissipation	200ksps Sample Rate, 8 Channels Enabled	●	219	259	mW
		Acquisition Mode	●	258	308	mW
		Nap Mode	●	94	114	mW
		Power Down Mode (C-Grade and I-Grade)	●	0.68	1.9	mW
		Power Down Mode (H-Grade)	●	0.68	3	mW

LVDS I/O モード

O _{VDD}	Supply Voltage		●	2.375	5.25	V
I _{VDD}	Supply Current	200ksps Sample Rate, 8 Channels Enabled	●	18.4	20.7	mA
		200ksps Sample Rate, 8 Channels Enabled, $V_{\text{REFBUF}} = 5\text{V}$ (Note 15)	●	16.8	19.2	mA
		Acquisition Mode	●	3.7	4.5	mA
		Nap Mode	●	3.4	4.1	mA
		Power Down Mode (C-Grade and I-Grade)	●	106	275	μA
	Power Down Mode (H-Grade)	●	106	500	μA	
I _{OVDD}	Supply Current	200ksps Sample Rate, 8 Channels Enabled ($R_L = 100\Omega$)	●	7	8.5	mA
		Acquisition or Nap Mode ($R_L = 100\Omega$)	●	7	8.0	mA
		Power Down Mode	●	1	20	μA
P _D	Power Dissipation	200ksps Sample Rate, 8 Channels Enabled	●	245	287	mW
		Acquisition Mode	●	284	337	mW
		Nap Mode	●	120	143	mW
		Power Down Mode (C-Grade and I-Grade)	●	0.68	1.9	mW
		Power Down Mode (H-Grade)	●	0.68	3	mW

ADCのタイミング特性

● は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 9)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
f _{SMPL}	Maximum Sampling Frequency	8 Channels Enabled	●		200	ksps	
		7 Channels Enabled	●		225	ksps	
		6 Channels Enabled	●		250	ksps	
		5 Channels Enabled	●		300	ksps	
		4 Channels Enabled	●		350	ksps	
		3 Channels Enabled	●		425	ksps	
		2 Channels Enabled	●		550	ksps	
		1 Channel Enabled	●		800	ksps	
t _{CYC}	Time Between Conversions	8 Channels Enabled, f _{SMPL} = 200ksps	●	5000		ns	
		7 Channels Enabled, f _{SMPL} = 225ksps	●	4444		ns	
		6 Channels Enabled, f _{SMPL} = 250ksps	●	4000		ns	
		5 Channels Enabled, f _{SMPL} = 300ksps	●	3333		ns	
		4 Channels Enabled, f _{SMPL} = 350ksps	●	2855		ns	
		3 Channels Enabled, f _{SMPL} = 425ksps	●	2350		ns	
		2 Channels Enabled, f _{SMPL} = 550ksps	●	1815		ns	
		1 Channel Enabled, f _{SMPL} = 800ksps	●	1250		ns	
t _{CONV}	Conversion Time	N Channels Enabled, 1 ≤ N ≤ 8	●	450•N	500•N	550•N	ns
t _{ACQ}	Acquisition Time (t _{ACQ} = t _{CYC} - t _{CONV} - t _{BUSY_{LH}})	8 Channels Enabled, f _{SMPL} = 200ksps	●	570	980	ns	
		7 Channels Enabled, f _{SMPL} = 225ksps	●	564	924	ns	
		6 Channels Enabled, f _{SMPL} = 250ksps	●	670	980	ns	
		5 Channels Enabled, f _{SMPL} = 300ksps	●	553	813	ns	
		4 Channels Enabled, f _{SMPL} = 350ksps	●	625	835	ns	
		3 Channels Enabled, f _{SMPL} = 425ksps	●	670	830	ns	
		2 Channels Enabled, f _{SMPL} = 550ksps	●	685	795	ns	
		1 Channel Enabled, f _{SMPL} = 800ksps	●	670	730	ns	

235818f

ADCのタイミング特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 9)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{CNVH}	CNV High Time		●	40		ns
t_{CNVL}	CNV Low Time		●	750		ns
t_{BUSYLH}	CNV \uparrow to BUSY Delay	$C_L = 25\text{pF}$	●		30	ns
t_{QUIET}	Digital I/O Quiet Time from CNV \uparrow		●	20		ns
t_{PDH}	PD High Time		●	40		ns
t_{PDL}	PD Low Time		●	40		ns
t_{WAKE}	REFBUF Wake-Up Time	$C_{\text{REFBUF}} = 47\ \mu\text{F}$, $C_{\text{REFIN}} = 0.1\ \mu\text{F}$		200		ms

CMOS I/O モード

t_{SCKI}	SCKI Period	(Notes 18, 19)	●	10		ns	
t_{SCKIH}	SCKI High Time		●	4		ns	
t_{SCKIL}	SCKI Low Time		●	4		ns	
t_{SSDISCKI}	SDI Setup Time from SCKI \uparrow	(Note 18)	●	2		ns	
t_{HSDISCKI}	SDI Hold Time from SCKI \uparrow	(Note 18)	●	1		ns	
t_{DSDOSCKI}	SDO Data Valid Delay from SCKI \uparrow	$C_L = 25\text{pF}$ (Note 18)	●		7.5	ns	
t_{HSDOSCKI}	SDO Remains Valid Delay from SCKI \uparrow	$C_L = 25\text{pF}$ (Note 18)	●	1.5		ns	
t_{SKEW}	SDO to SCKO Skew	(Note 18)	●	-1	0	1	ns
$t_{\text{DSDOBUSYL}}$	SDO Data Valid Delay from BUSY \downarrow	$C_L = 25\text{pF}$ (Note 18)	●	0		ns	
t_{EN}	Bus Enable Time After $\overline{\text{CS}}\downarrow$	(Note 18)	●		15	ns	
t_{DIS}	Bus Relinquish Time After $\overline{\text{CS}}\uparrow$	(Note 18)	●		15	ns	

LVDS I/O モード

t_{SCKI}	SCKI Period	(Note 20)	●	4		ns	
t_{SCKIH}	SCKI High Time	(Note 20)	●	1.5		ns	
t_{SCKIL}	SCKI Low Time	(Note 20)	●	1.5		ns	
t_{SSDISCKI}	SDI Setup Time from SCKI	(Notes 11, 20)	●	1.2		ns	
t_{HSDISCKI}	SDI Hold Time from SCKI	(Notes 11, 20)	●	-0.2		ns	
t_{DSDOSCKI}	SDO Data Valid Delay from SCKI	(Notes 11, 20)	●		6	ns	
t_{HSDOSCKI}	SDO Remains Valid Delay from SCKI	(Notes 11, 20)	●	1		ns	
t_{SKEW}	SDO to SCKO Skew	(Note 11)	●	-0.4	0	0.4	ns
$t_{\text{DSDOBUSYL}}$	SDO Data Valid Delay from BUSY \downarrow	(Note 11)	●	0		ns	
t_{EN}	Bus Enable Time After $\overline{\text{CS}}\downarrow$		●		50	ns	
t_{DIS}	Bus Relinquish Time After $\overline{\text{CS}}\uparrow$		●		15	ns	

ADCのタイミング特性

Note 1:「絶対最大定格」のセクションに記載された値を超えるストレスはデバイスに回復不可能な損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与えるおそれがある。

Note 2:全ての電圧値はGNDを基準にしている。

Note 3: $V_{DDL,BYP}$ は内蔵電圧レギュレータの出力であり、「ピン機能」の項に示すようにこのピンをGNDにバイパスする場合は必ず $2.2\mu\text{F}$ のセラミック・コンデンサに接続すること。このピンはどの外部回路にも接続しないこと。

Note 4: これらのピンの電圧を V_{EE} より低くするか、 V_{CC} より高くすると、その電圧は内部のダイオードによってクランプされる。この製品は、電圧が V_{EE} より低くなるか、 V_{CC} より高くなっても、ラッチアップを生じることなく最大 100mA までの入力電流に対応できる。

Note 5: これらのピンの電圧をGNDより低くするか、 V_{DD} または $0V_{DD}$ の電圧より高くすると、内部のダイオードによってクランプされる。この製品は、これらのピンの電圧がGNDより低くなるか、 V_{DD} ピンまたは $0V_{DD}$ ピンの電圧より高くなった場合でも、ラッチアップを生じることなく最大 100mA の電流を処理できる。

Note 6: 注記がない限り、 $-16.5\text{V} \leq V_{EE} \leq 0\text{V}$ 、 $7.5\text{V} \leq V_{CC} \leq 38\text{V}$ 、 $10\text{V} \leq (V_{CC} - V_{EE}) \leq 38\text{V}$ 、 $V_{DD} = 5\text{V}$ 。

Note 7: 推奨動作条件。

Note 8: いずれかのチャンネルでこれらの制限値を超えると、他のチャンネルの変換結果が損なわれることがある。いずれかのチャンネルでアナログ入力を最大 10mA で駆動し V_{CC} より高い電圧にしても、他のチャンネルの変換結果には影響しない。アナログ入力を V_{EE} より低い電圧にすると、他のチャンネルの変換結果が損なわれることがある。詳細については「アプリケーション情報」のセクションを参照。デバイスの信頼性に関連したピンの電圧制限値については、「絶対最大定格」のセクションを参照。

Note 9: 注記がない限り、 $V_{CC} = 15\text{V}$ 、 $V_{EE} = -15\text{V}$ 、 $V_{DD} = 5\text{V}$ 、 $0V_{DD} = 2.5\text{V}$ 、 $f_{SAMPL} = 200\text{ksps}$ 、内部リファレンスおよびバッファ、両極性 SoftSpan 範囲では真の両極性入力信号を駆動、単極性 SoftSpan 範囲では単極性信号を駆動。

Note 10: 積分非直線性は、実際の伝達曲線の端点を通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。

Note 11: 設計によって保証されているが、テストされない。

Note 12: 両極性 SoftSpan の範囲が 7、6、3、および 2 の場合、ゼロスケール誤差は、出力コードが $00\ 0000\ 0000\ 0000\ 0000$ と $11\ 1111\ 1111\ 1111\ 1111$ の間を往復しているときに、 -0.5LSB から測定されたオフセット電圧である。これらの SoftSpan 範囲でのフルスケール誤差は、最初と最後のコード遷移の理想値からのワーストケース偏差であり、オフセット誤差の影響を含む。単極性 SoftSpan の範囲が 5、4、および 1 の場合、ゼロスケール誤差は、出力コードが $00\ 0000\ 0000\ 0000\ 0000$ と $00\ 0000\ 0000\ 0000\ 0001$ の間を往復しているときに、 0.5LSB から測定されたオフセット電圧である。これらの SoftSpan 範囲でのフルスケール誤差は、最後のコード遷移の理想値からのワーストケース偏差であり、オフセット誤差の影響を含む。

Note 13: dB 単位での全ての規定値は、該当する SoftSpan 入力範囲内でのフルスケール入力を基準にしている。ただし、クロストークの場合はクロストーク注入信号の振幅を基準とするので除外する。

Note 14: 温度係数は出力電圧の最大変化を規定温度範囲で割って計算される。

Note 15: REFBUF をオーバードライブする場合は、 $\text{REFIN} = 0\text{V}$ に設定して内部リファレンス・バッファをディスエーブルする必要がある。

Note 16: I_{REFBUF} はサンプル・レートと動作状態のチャンネル数に比例して変化する。

Note 17: $I_{V_{CC}}$ および $I_{V_{EE}}$ から流れるアナログ入力バッファの電源電流は、収集期間以外は減少する。「アプリケーション情報」セクションの「ナップ・モード」を参照。

Note 18: パラメータは $0V_{DD} = 1.71\text{V}$ 、 $0V_{DD} = 2.5\text{V}$ 、および $0V_{DD} = 5.25\text{V}$ でテストされ、保証されている。

Note 19: t_{SCKI} 周期は最小 10ns なので、立ち上がりエッジで取り込む場合は最大 100MHz のシフト・クロック周波数が可能。

Note 20: LVDS 差動入力対の場合は、 $V_{\text{ICM}} = 1.2\text{V}$ 、 $V_{\text{ID}} = 350\text{mV}$ 。

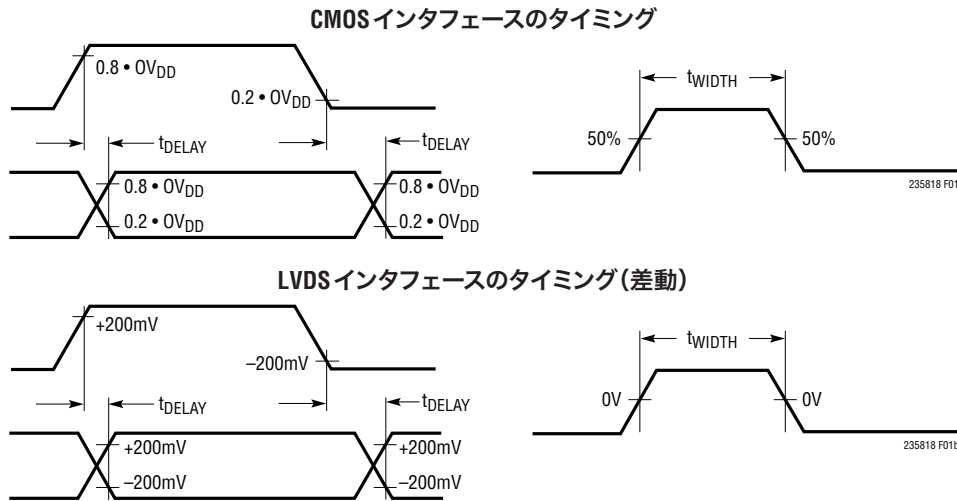
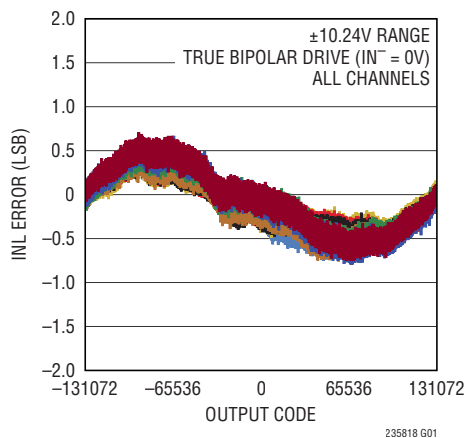


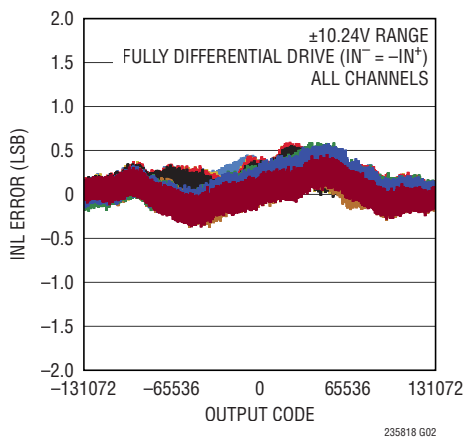
図1. タイミング仕様の電圧レベル

標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = +15\text{V}$ 、 $V_{EE} = -15\text{V}$ 、 $V_{DD} = 5\text{V}$ 、 $OV_{DD} = 2.5\text{V}$ 、
内部リファレンスおよびバッファ ($V_{REFBUF} = 4.096\text{V}$)、 $f_{SAMPL} = 200\text{ksps}$ 。

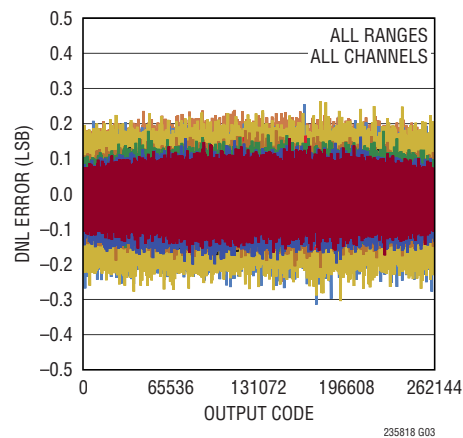
積分非直線性と出力コードおよびチャンネル



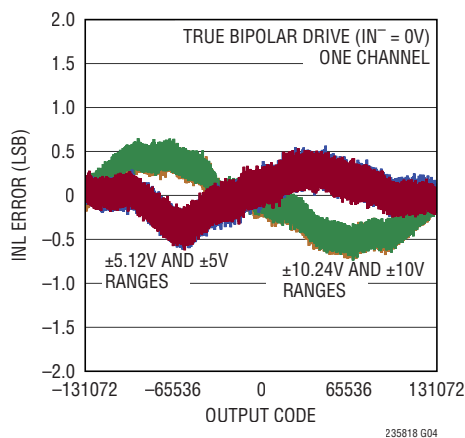
積分非直線性と出力コードおよびチャンネル



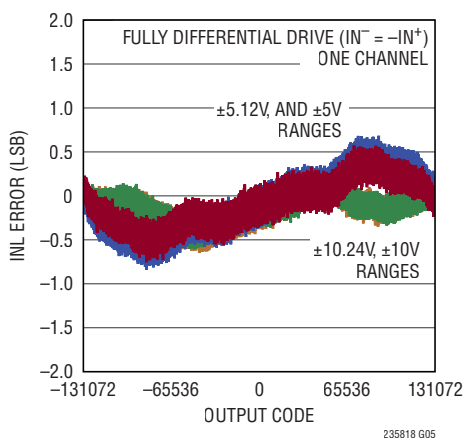
微分非直線性と出力コードおよびチャンネル



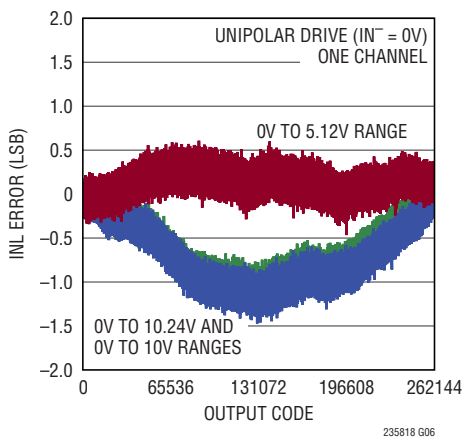
積分非直線性と出力コードおよび範囲



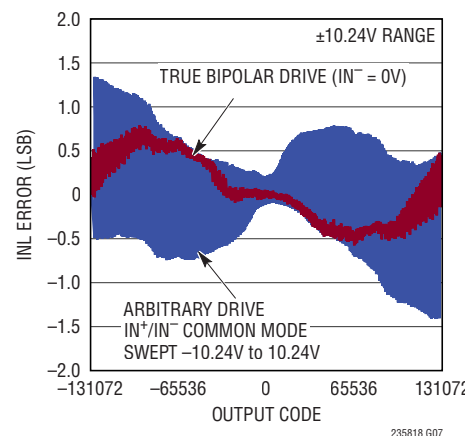
積分非直線性と出力コードおよび範囲



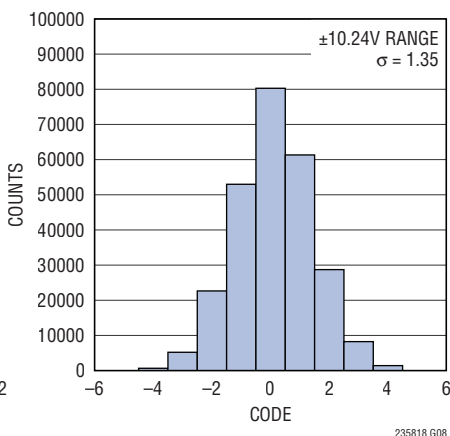
積分非直線性と出力コードおよび範囲



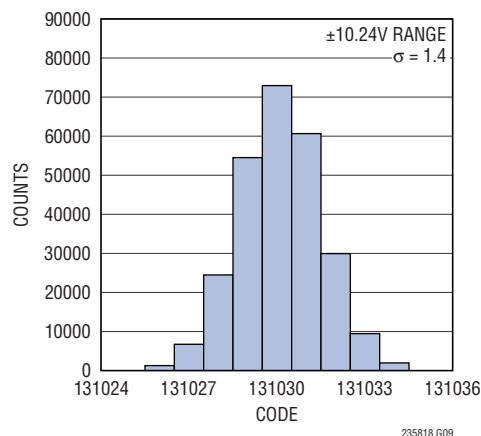
積分非直線性と出力コード



DCヒストグラム(ゼロスケール)



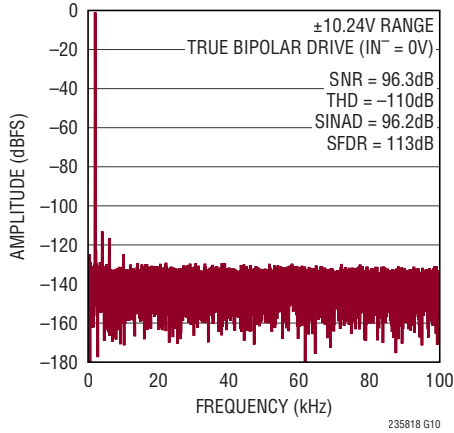
DCヒストグラム(フルスケール付近)



LTC2358-18

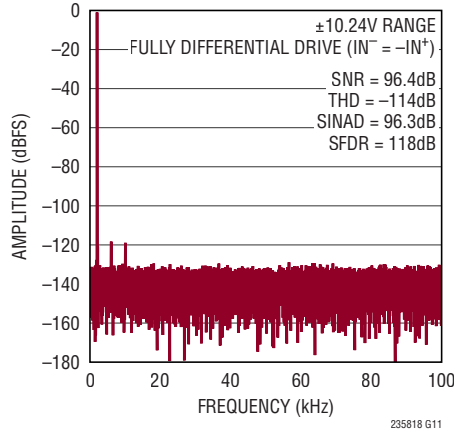
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = +15\text{V}$ 、 $V_{EE} = -15\text{V}$ 、 $V_{DD} = 5\text{V}$ 、 $0V_{DD} = 2.5\text{V}$ 、内部リファレンスおよびバッファ ($V_{REFBUF} = 4.096\text{V}$)、 $f_{SAMPL} = 200\text{ksps}$ 。

32kポイントのFFT
($f_{SAMPL} = 200\text{kHz}$ 、 $f_{IN} = 2\text{kHz}$)



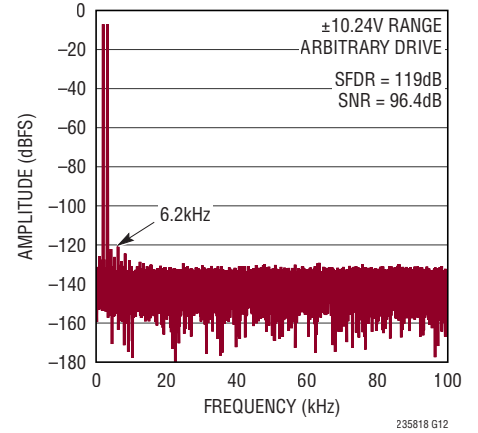
235818 G10

32kポイントのFFT
($f_{SAMPL} = 200\text{kHz}$ 、 $f_{IN} = 2\text{kHz}$)



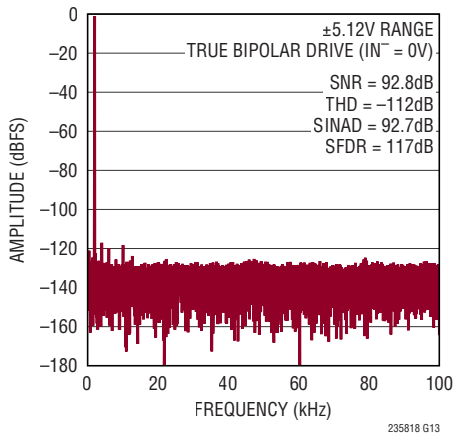
235818 G11

32kポイントの任意の2トーンFFT
($f_{SAMPL} = 200\text{kHz}$ 、 $IN^+ = -7\text{dBFS } 2\text{kHz}$ 正弦波、 $IN^- = -7\text{dBFS } 3.1\text{kHz}$ 正弦波)



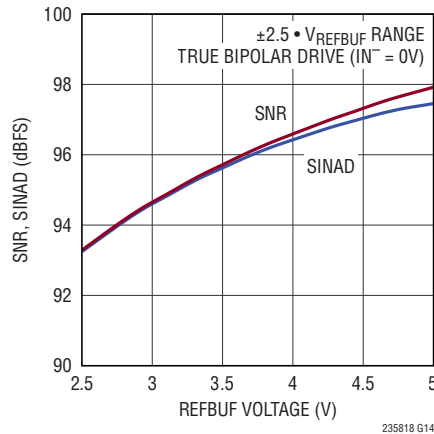
235818 G12

32kポイントのFFT
($f_{SAMPL} = 200\text{kHz}$ 、 $f_{IN} = 2\text{kHz}$)



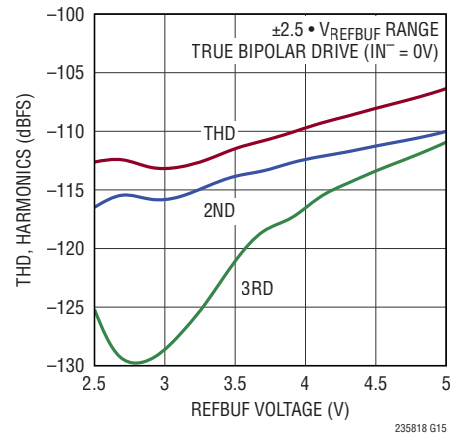
235818 G13

SNR, SINADとVREFBUF、fIN = 2kHz



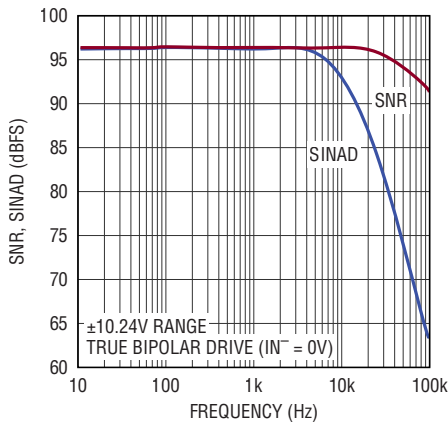
235818 G14

THD、高調波とVREFBUF、fIN = 2kHz



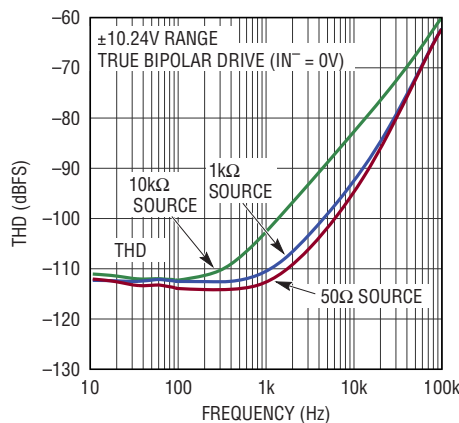
235818 G15

SNR, SINADと入力周波数



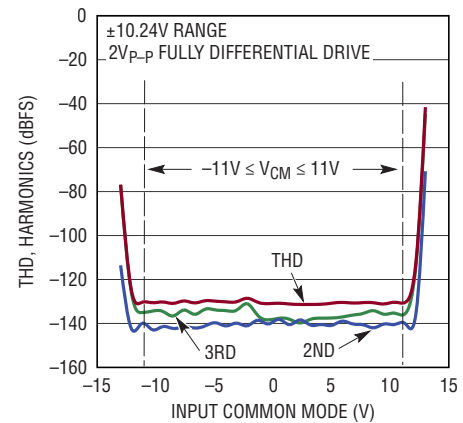
235818 G16

THDと入力周波数



235818 G17

THD、高調波と入力同相電圧、fIN = 2kHz

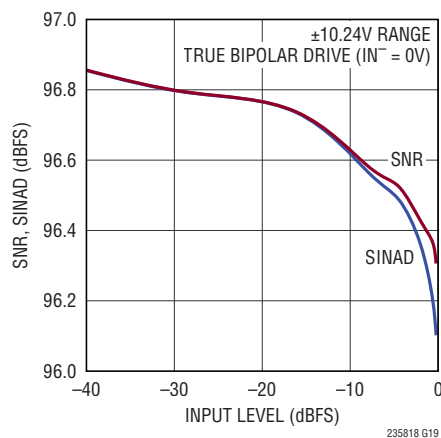


235818 G18

235818f

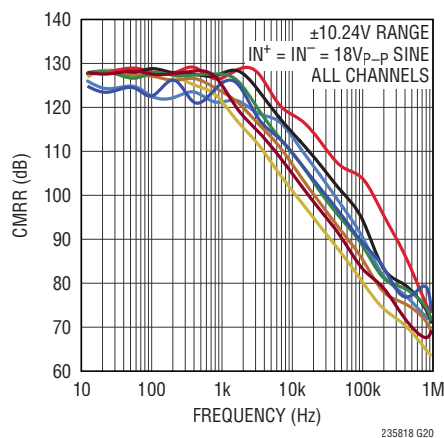
標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = +15\text{V}$ 、 $V_{EE} = -15\text{V}$ 、 $V_{DD} = 5\text{V}$ 、 $0V_{DD} = 2.5\text{V}$ 、内部リファレンスおよびバッファ ($V_{REFBUF} = 4.096\text{V}$)、 $f_{SAMPL} = 200\text{ksps}$ 。

**SNRおよびSINADと入力レベル、
($f_{IN} = 2\text{kHz}$)**



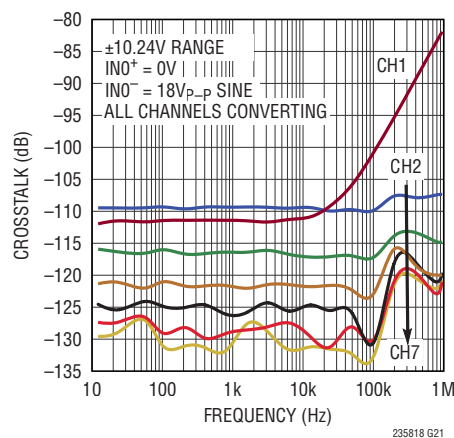
235818 G19

**CMRRと入力周波数および
チャンネル**



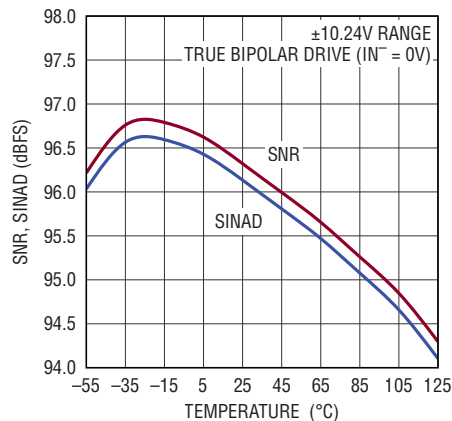
235818 G20

**クロストークと入力周波数および
チャンネル**



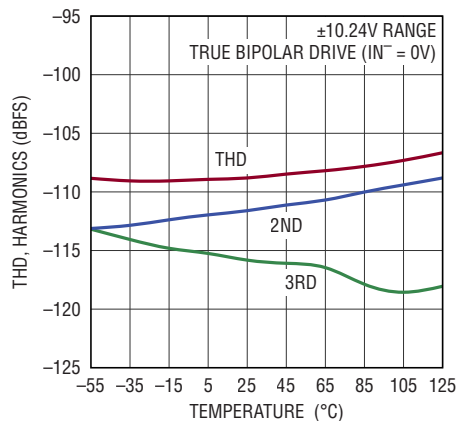
235818 G21

**SNRおよびSINADと温度、
 $f_{IN} = 2\text{kHz}$**



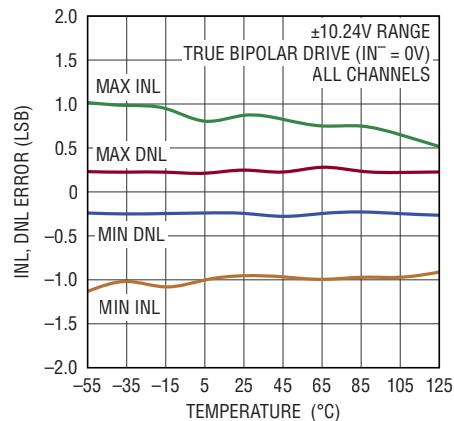
235818 G22

**THD、高調波と温度
($f_{IN} = 2\text{kHz}$)**



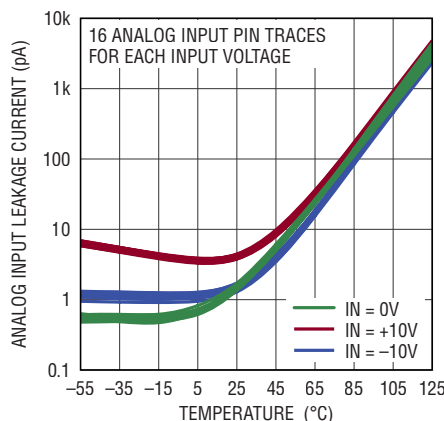
235818 G23

INL、DNLと温度



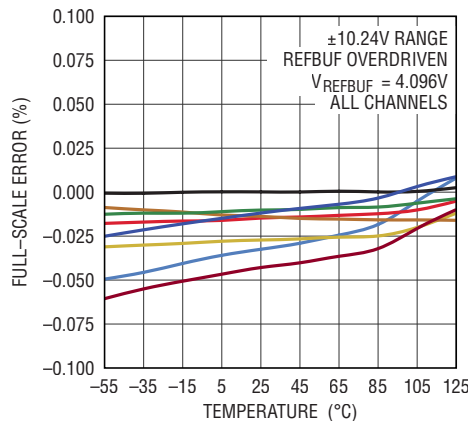
235818 G24

**アナログ入力リーク電流
電流と温度**



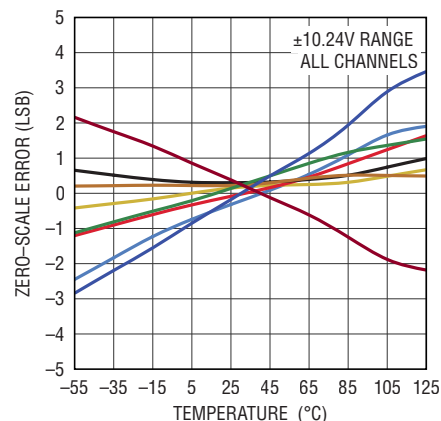
235818 G25

**正のフルスケール誤差と
温度およびチャンネル**



235818 G26

**ゼロスケール誤差と温度および
チャンネル**

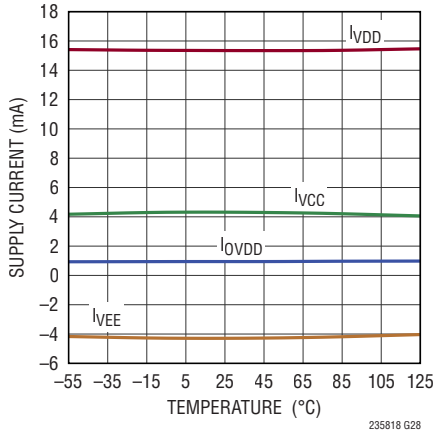


235818 G27

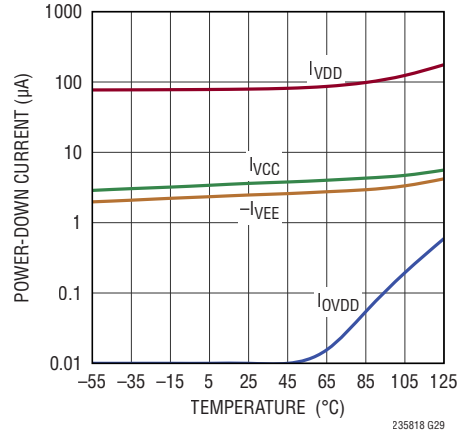
LTC2358-18

標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = +15\text{V}$ 、 $V_{EE} = -15\text{V}$ 、 $V_{DD} = 5\text{V}$ 、 $0V_{DD} = 2.5\text{V}$ 、
内部リファレンスおよびバッファ ($V_{REFBUF} = 4.096\text{V}$)、 $f_{SAMPL} = 200\text{ksps}$ 。

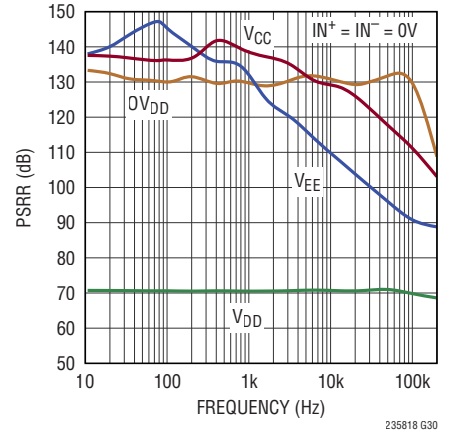
電源電流と温度



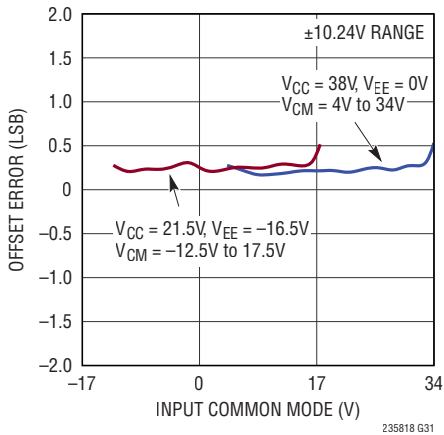
パワーダウン電流と温度



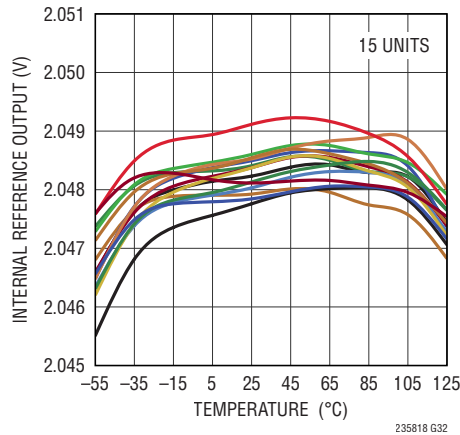
PSRRと周波数



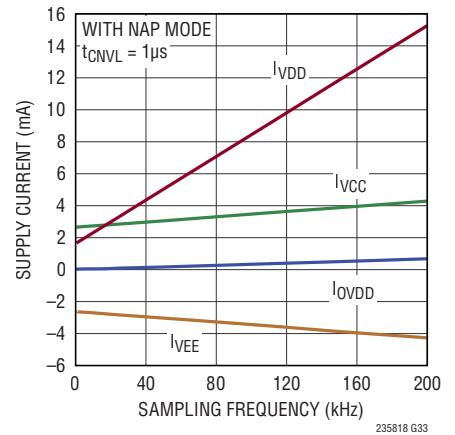
オフセット誤差と入力同相電圧



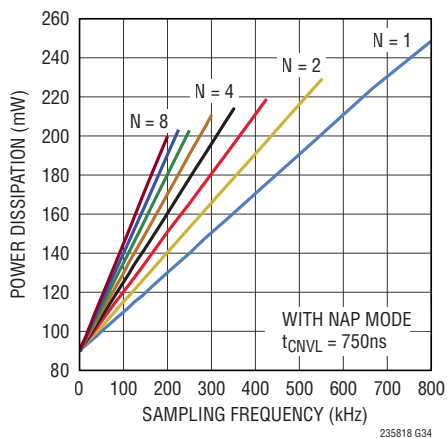
内部リファレンス出力と温度



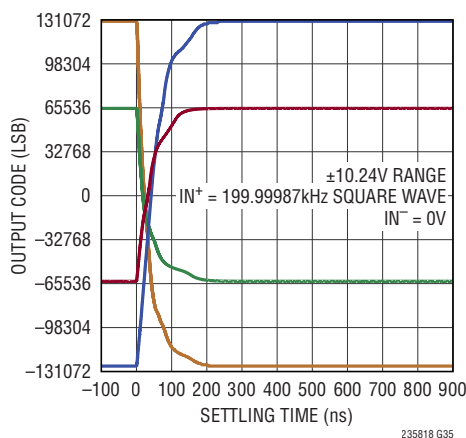
電源電流とサンプリング・レート



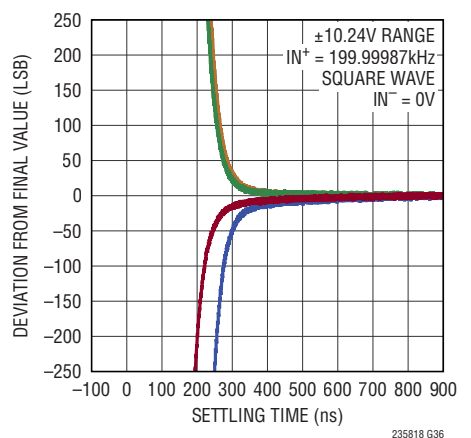
電力損失とサンプリング・レート、
Nチャンネルがイネーブル状態



ステップ応答
(大信号のセトリング)



ステップ応答
(微調整領域のセトリング)



ピン機能

ピンは全てのデジタルI/Oモードで同一

IN0⁺/IN0⁻ ~ IN7⁺/IN7⁻ (ピン14/13、12/11、10/9、8/7、6/5、4/3、2/1、および48/47) : 正と負のアナログ入力、チャンネル0~7。コンバータは全てのチャンネルの($V_{IN+} - V_{IN-}$)を同時にサンプリングしてデジタル化します。同相入力電圧範囲が広く($V_{EE} + 4V \leq V_{CM} \leq V_{CC} - 4V$)同相電圧除去比が高いため、幅広い振幅の信号を入力することができます。フルスケールの入力電圧範囲は、チャンネルのSoftSpan構成によって決まります。

GND (ピン15、18、20、30、41、44、46) : グランド。全てのGNDピンを切れ目のないグランド・プレーンに半田付けします。

V_{CC} (ピン16) : 正の高電圧電源。V_{CC}の範囲は、GNDを基準にした場合7.5V~38Vであり、V_{EE}を基準にした場合10V~38Vです。V_{CC}は、0.1μFのセラミック・コンデンサをピンの近くで接続し、GNDにバイパスします。

V_{EE} (ピン17、45) : 負の高電圧電源。V_{EE}の範囲は、GNDを基準にした場合0V~-16.5Vであり、V_{CC}を基準にした場合-10V~-38Vです。ピン17とピン45は互いに接続し、0.1μFのセラミック・コンデンサをピン17の近くで接続して、V_{EE}回路網をGNDにバイパスします。V_{EE}をGNDに短絡するアプリケーションでは、このコンデンサを省略してもかまいません。

REFIN (ピン19) : バンドギャップ・リファレンス出力/リファレンス・バッファ入力。内部バンドギャップ・リファレンスはこのピンで公称2.048Vを出力します。内部リファレンス・バッファはV_{REFIN}を増幅して、コンバータのマスタ・リファレンス電圧V_{REFBUF} = 2 • V_{REFIN}をREFBUFピンで生成します。内部リファレンスを使用する場合は、0.1μFのセラミック・コンデンサをREFINの近くで接続して、このピンをGND (ピン20)にバイパスし、バンドギャップ出力ノイズを除去します。更に高い精度が必要な場合は、外部リファレンスを1.25V~2.2Vの範囲で使用してREFINをオーバードライブします。内部リファレンスを使用する場合はこのピンに負荷を接続しないでください。

REFBUF (ピン21) : 内部リファレンス・バッファ出力。内部リファレンス・バッファはV_{REFIN}を増幅して、このピンでコンバータのマスタ・リファレンス電圧V_{REFBUF} = 2 • V_{REFIN}を生成します。内部バンドギャップ・リファレンスを使用する場合は、公称4.096Vです。REFBUFは、47μFのセラミック・コンデンサをピンの近くで接続して、GND (ピン20)にバイパスします。内部リ

ファレンス・バッファをディスエーブルするには、REFINでその入力を接地します。バッファをディスエーブルした状態では、範囲が2.5V~5Vの外部リファレンス電圧を使用してREFBUFをオーバードライブします。内部リファレンス・バッファを使用する場合は、REFBUFに接続している全ての外部回路の負荷を200μA未満に制限します。入力インピーダンスの高いアンプを使用して、外部回路に対してV_{REFBUF}をバッファすることを推奨します。

PD (ピン22) : パワーダウン入力。このピンが“H”になるとLTC2358-18の電源は遮断され、その後の変換要求は無視されます。変換中に“H”になった場合、デバイスは変換が完了したら電源を遮断します。このピンが2回“H”になる間に変換が行われなかった場合、内部のグローバル・リセット(パワーオン・リセットと同等)が起動します。ロジック・レベルはOV_{DD}によって決まります。

LVDS/CMOS (ピン23) : I/Oモードの選択。このピンをOV_{DD}に接続してLVDS I/Oモードを選択するか、グランドに接続してCMOS I/Oモードを選択します。ロジック・レベルはOV_{DD}によって決まります。

CNV (ピン24) : 変換開始入力。このピンの立ち上がりエッジで、内部のサンプル・アンド・ホールド回路がホールド・モードになり、新しい変換が開始されます。CNVはCSによるゲート制御が行われないので、シリアルI/Oバスの状態に関係なく変換を開始することができます。

BUSY (ピン38) : ビジー出力。BUSY信号は、変換が進行中であることを示します。このピンは各変換の開始時に“L”から“H”へ遷移し、変換が完了するまで“H”のままです。ロジック・レベルはOV_{DD}によって決まります。

V_{DDL}BYP (ピン40) : 内部2.5Vレギュレータのバイパス・ピン。このピンの電圧は、V_{DD}で動作する内部レギュレータを介して生成されます。2.2μFのセラミック・コンデンサをこのピンに近づけて接続し、GNDにバイパスする必要があります。このピンはどの外部回路にも接続しないでください。

V_{DD} (ピン42、43) : 5V電源。V_{DD}の範囲は4.75V~5.25Vです。ピン42とピン43は互いに接続し、共通の0.1μFセラミック・コンデンサをこれらのピンの近くで接続して、V_{DD}回路網をGNDにバイパスします。

ピン機能

CMOS I/O モード

SD00～SD07 (ピン 25、26、27、28、33、34、35、および 36) : CMOS シリアル・データ出力、チャンネル 0～7。最新の変換結果とチャンネル構成情報の組み合わせが、SCKI の立ち上がりエッジごとにクロックと同期して SDO ピンに出力されます。出力データの形式設定については、「デジタル・インタフェース」のセクションで説明します。使用しない SDO 出力は、未接続のままにしておきます。ロジック・レベルは OV_{DD} によって決まります。

SCKI (ピン 29) : CMOS シリアル・クロック入力。SCKI はシリアル I/O クロックを使用して駆動します。シリアル・データは SCKI の立ち上がりエッジでラッチされて SDI に入力され、クロックに同期して SDO0～SDO7 から出力されます。標準的な SPI バス動作の場合は、レシーバの出力データを SCKI の立ち上がりエッジで取り込みます。SCKI は“H”または“L”のどちらでもアイドル状態にすることができます。ロジック・レベルは OV_{DD} によって決まります。

OV_{DD} (ピン 31) : I/O インタフェースの電源。CMOS I/O モードでは、 OV_{DD} の範囲は 1.71V～5.25V です。 OV_{DD} は、0.1 μ F のセラミック・コンデンサをピンの近くで接続して、GND (ピン 30) にバイパスします。

SCKO (ピン 32) : CMOS シリアル・クロック出力。SCKI の立ち上がりエッジで SCKO 信号が遷移し、この遷移は SDO0～SDO7 でのシリアル出力データ・ストリームとスキューが一致しています。得られる SCKO 周波数は SCKI の半分です。SCKO の立ち上がりエッジおよび立ち下がりエッジを使用して、レシーバ (FPGA) の SDO データをダブル・データ・レート (DDR) 方式で取り込むことができます。標準的な SPI バス動作では、SCKO を使用しないので未接続のままにします。SCKO は BUSY の立ち下がりエッジで“L”になります。ロジック・レベルは OV_{DD} によって決まります。

SDI (ピン 37) : CMOS シリアル・データ入力。このピンは、SCKI の立ち上がりエッジでラッチされた、必要に応じた 24 ビットの SoftSpan 設定ワード (表 1a を参照) で駆動してください。全てのチャンネルを SoftSpan 7 のみで動作するよう構成する場合は、SDI を OV_{DD} に接続します。ロジック・レベルは OV_{DD} によって決まります。

\overline{CS} (ピン 39) : チップ選択入力。シリアル・データ I/O バスは \overline{CS} が“L”になるとイネーブルされ、 \overline{CS} が“H”になるとディスエーブルされて高インピーダンスになります。また、 \overline{CS} は外部シフト・クロック SCKI のゲート制御も行います。ロジック・レベルは OV_{DD} によって決まります。

LVDS I/O モード

SD00、SD07、SDI (ピン 25、36、および 37) : CMOS シリアル・データの入出力。LVDS I/O モードでは、これらのピンは高インピーダンスになります。

SDI⁺、SDI⁻ (ピン 26/27) : 正および負の LVDS シリアル・データ入力。SDI⁺/SDI⁻ は、SCKI⁺/SCKI⁻ の立ち上がりエッジと立ち下がりエッジの両方でラッチされた、必要に応じた 24 ビットの SoftSpan 設定ワード (表 1a を参照) で差動駆動してください。 \overline{CS} が“L”の場合、SDI⁺/SDI⁻ 入力対は 100 Ω の差動抵抗により内部で終端されます。

SCKI⁺、SCKI⁻ (ピン 28/29) : 正および負の LVDS シリアル・クロック入力。SCKI⁺/SCKI⁻ は、シリアル I/O クロックを使用して差動で駆動します。SCKI⁺/SCKI⁻ の立ち上がりエッジと立ち下がりエッジでは、シリアル・データがラッチされて SDI⁺/SDI⁻ に入力され、クロックに同期して SDO⁺/SDO⁻ から出力されます。SCKI⁺/SCKI⁻ は、 \overline{CS} の遷移時を含めて“L”のアイドル状態にします。 \overline{CS} が“L”の場合、SCKI⁺/SCKI⁻ 入力対は 100 Ω の差動抵抗により内部で終端されます。

OV_{DD} (ピン 31) : I/O インタフェースの電源。LVDS I/O モードでは、 OV_{DD} の範囲は 2.375V～5.25V です。 OV_{DD} は、0.1 μ F のセラミック・コンデンサをピンの近くで接続して、GND (ピン 30) にバイパスします。

SCKO⁺/SCKO⁻ (ピン 32/33) : 正および負の LVDS シリアル・クロック出力。SCKO⁺/SCKO⁻ は、SCKI⁺/SCKI⁻ で受け取った入力シリアル I/O クロックのコピーを出力します。これは、SDO⁺/SDO⁻ からのシリアル出力データ・ストリームとスキューが一致しています。SCKO⁺/SCKO⁻ の立ち上がりエッジおよび立ち下がりエッジを使用して、レシーバ (FPGA) の SDO⁺/SDO⁻ データを取り込みます。SCKO⁺/SCKO⁻ 出力対は、レシーバ (FPGA) に 100 Ω の抵抗を接続して差動で終端する必要があります。

SDO⁺/SDO⁻ (ピン 34/35) : 正および負の LVDS シリアル・データ出力。最新の変換結果とチャンネル構成情報の組み合わせが、SCKI⁺/SCKI⁻ の立ち上がりエッジと立ち下がりエッジの両方で、クロックと同期してチャンネル 0 を先頭に SDO⁺/SDO⁻ に出力されます。SDO⁺/SDO⁻ 出力対は、レシーバ (FPGA) に 100 Ω の抵抗を接続することにより、差動で終端する必要があります。

\overline{CS} (ピン 39) : チップ選択入力。シリアル・データ I/O バスは \overline{CS} が“L”になるとイネーブルされ、 \overline{CS} が“H”になるとディスエーブルされて高インピーダンスになります。また、 \overline{CS} は外部シフト・クロック SCKI⁺/SCKI⁻ のゲート制御も行います。SCKI⁺/SCKI⁻ および SDI⁺/SDI⁻ 入力対にある 100 Ω の内部差動終端抵抗は、 \overline{CS} が“H”になるとディスエーブルされます。ロジック・レベルは OV_{DD} によって決まります。

構成表

表 1a. SoftSpan の構成表。この表と表 1b を使用して、目的とするアナログ入力電圧範囲に応じて、チャンネルごとに個別のバイナリ SoftSpan コード SS[2:0] を選択します。複数の SoftSpan コードを組み合わせて 24 ビットの SoftSpan 設定ワード S[23:0] を作成します。図 18 のように、シリアル・インタフェースを使用して LTC2358-18 に SoftSpan 設定ワードを書き込みます。

バイナリ SoftSpan コード SS[2:0]	アナログ入力電圧範囲	フルスケール電圧範囲	変換結果のバイナリ形式
111	$\pm 2.5 \cdot V_{REFBUF}$	$5 \cdot V_{REFBUF}$	Two's Complement
110	$\pm 2.5 \cdot V_{REFBUF}/1.024$	$5 \cdot V_{REFBUF}/1.024$	Two's Complement
101	0V to $2.5 \cdot V_{REFBUF}$	$2.5 \cdot V_{REFBUF}$	Straight Binary
100	0V to $2.5 \cdot V_{REFBUF}/1.024$	$2.5 \cdot V_{REFBUF}/1.024$	Straight Binary
011	$\pm 1.25 \cdot V_{REFBUF}$	$2.5 \cdot V_{REFBUF}$	Two's Complement
010	$\pm 1.25 \cdot V_{REFBUF}/1.024$	$2.5 \cdot V_{REFBUF}/1.024$	Two's Complement
001	0V to $1.25 \cdot V_{REFBUF}$	$1.25 \cdot V_{REFBUF}$	Straight Binary
000	Channel Disabled	Channel Disabled	All Zeros

表 1b. リファレンスの構成表。LTC2358-18 は、3 つのリファレンス構成をサポートしています。アナログ入力電圧範囲は、コンバータのマスタ・リファレンス電圧 V_{REFBUF} に比例します。

リファレンスの構成	V_{REFIN}	V_{REFBUF}	バイナリ SoftSpan コード SS[2:0]	アナログ入力電圧範囲
内部リファレンスと 内部バッファ	2.048V	4.096V	111	$\pm 10.24V$
			110	$\pm 10V$
			101	0V to 10.24V
			100	0V to 10V
			011	$\pm 5.12V$
			010	$\pm 5V$
			001	0V to 5.12V
外部リファレンスと 内部バッファ (REFIN ピンを外部で オーバードライブ)	1.25V (Min Value)	2.5V	111	$\pm 6.25V$
			110	$\pm 6.104V$
			101	0V to 6.25V
			100	0V to 6.104V
			011	$\pm 3.125V$
			010	$\pm 3.052V$
			001	0V to 3.125V
	2.2V (Max Value)	4.4V	111	$\pm 11V$
			110	$\pm 10.742V$
			101	0V to 11V
			100	0V to 10.742V
			011	$\pm 5.5V$
			010	$\pm 5.371V$
			001	0V to 5.5V

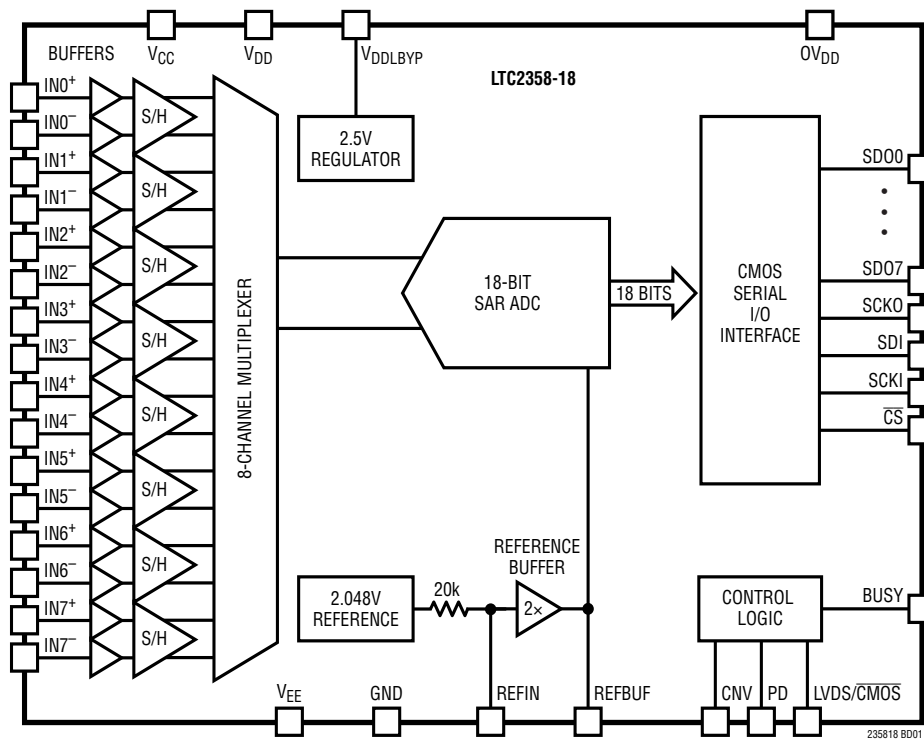
構成表

表1b. リファレンスの構成表(続き)。LTC2358-18は、3つのリファレンス構成をサポートしています。アナログ入力電圧範囲は、コンバータのマスタ・リファレンス電圧 V_{REFBUF} に比例します。

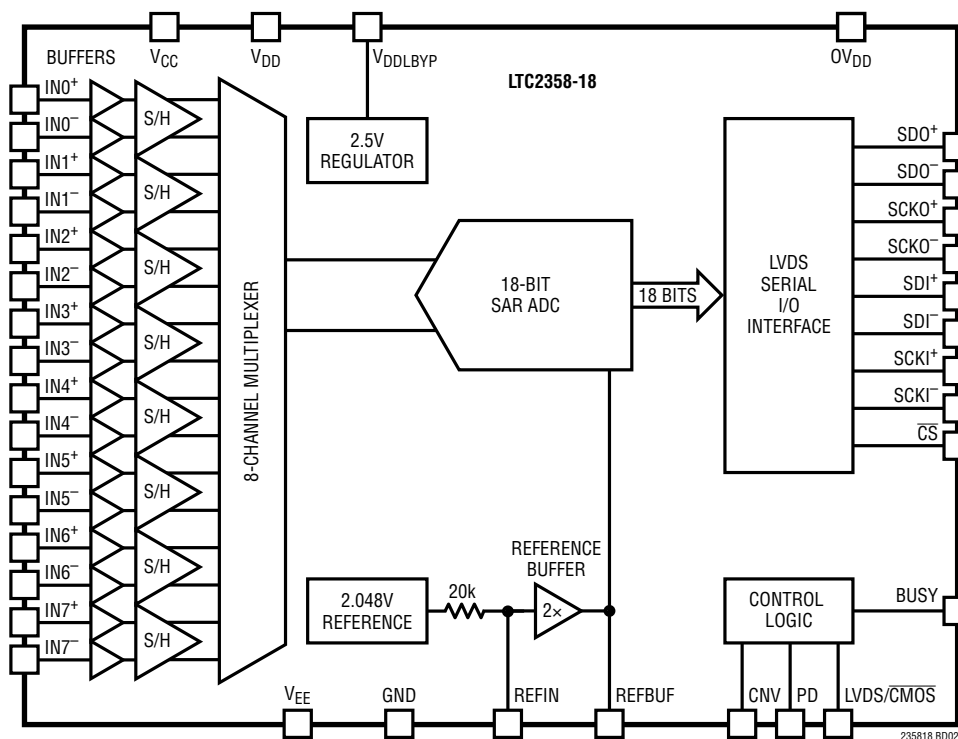
リファレンスの構成	V_{REFIN}	V_{REFBUF}	バイナリ SoftSpan コード SS[2:0]	アナログ入力電圧範囲
外部リファレンス バッファなし (REFBUFピンは 外部からオーバードライブ、 REFINピンはグラウンドに接続)	0V	2.5V (Min Value)	111	±6.25V
			110	±6.104V
			101	0V to 6.25V
			100	0V to 6.104V
			011	±3.125V
			010	±3.052V
			001	0V to 3.125V
	0V	5V (Max Value)	111	±12.5V
			110	±12.207V
			101	0V to 12.5V
			100	0V to 12.207V
			011	±6.25V
			010	±6.104V
			001	0V to 6.25V

機能ブロック図

CMOS I/Oモード

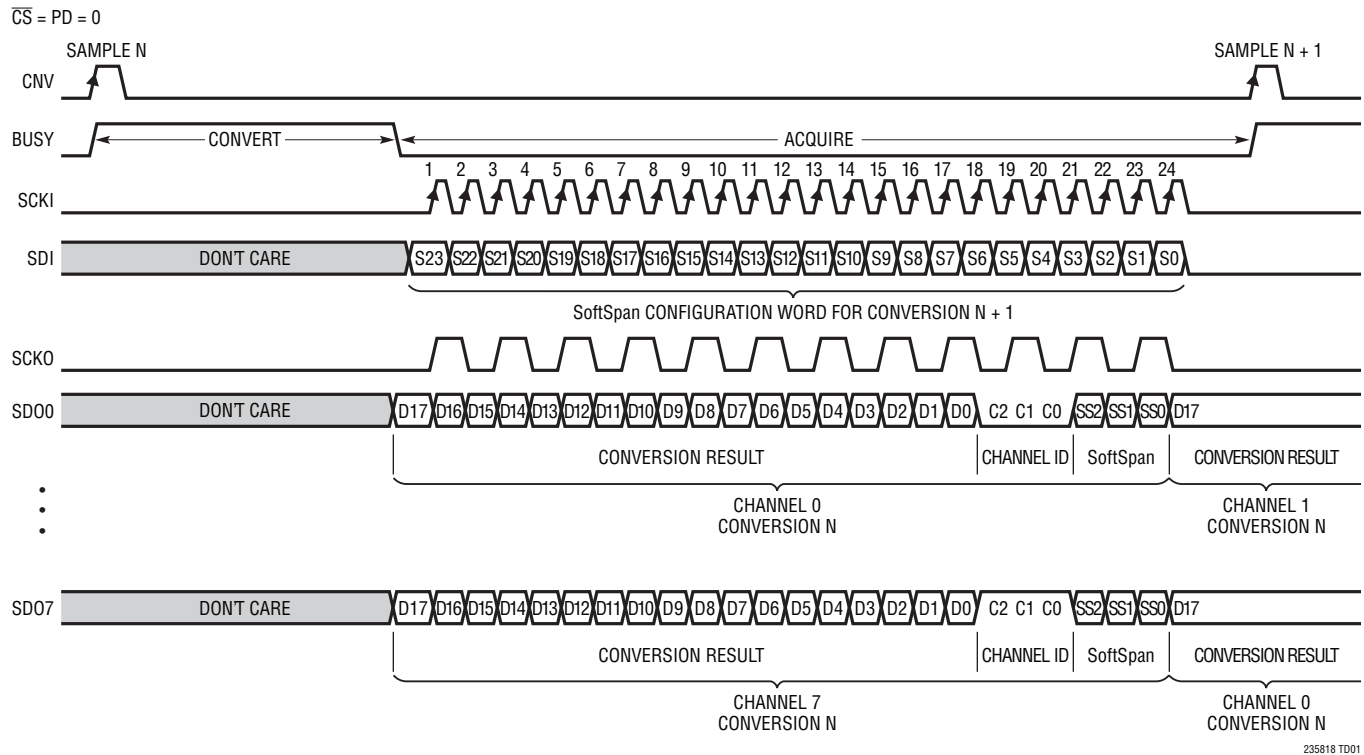


LVDS I/Oモード

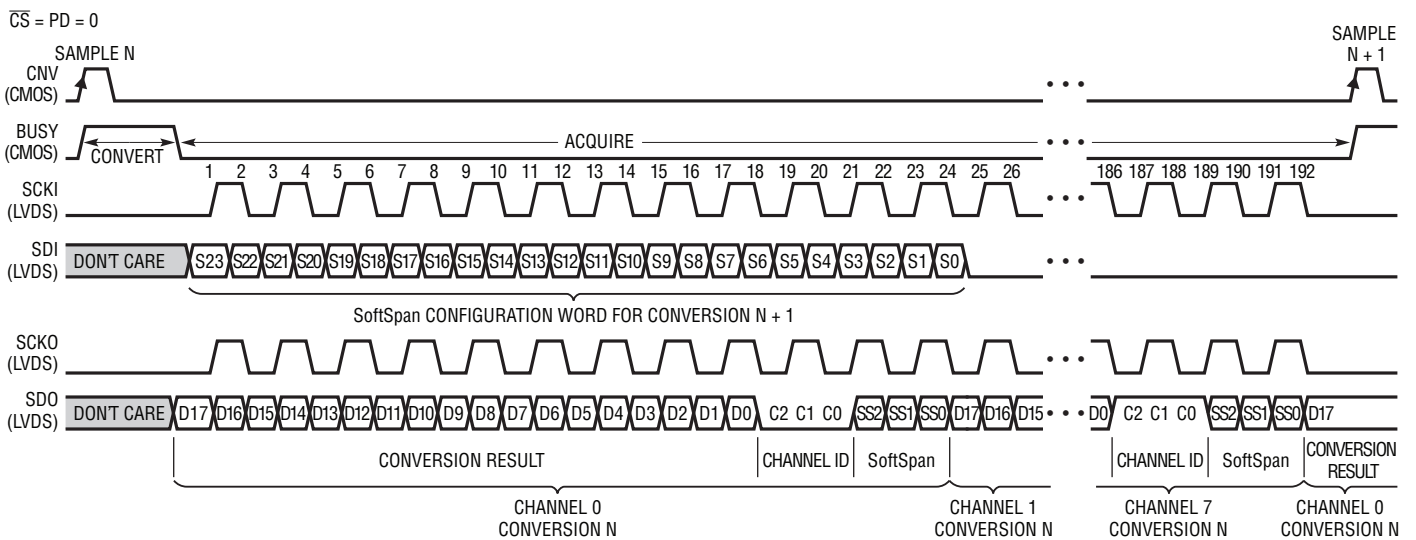


タイミング図

CMOS I/O モード



LVDS I/O モード



アプリケーション情報

概要

LTC2358-18は、同相電圧範囲が広く、漏れ電流がpAレベルでバッファ付きの差動入力を備えた18ビット低ノイズ8チャンネル同時サンプリング逐次比較レジスタ(SAR) A/Dコンバータです。このA/Dコンバータは、5Vの低電圧電源および公称 $\pm 15V$ の柔軟な高電圧電源で動作します。内蔵の低ドリフト・リファレンスおよびバッファ($V_{REFBUF} = 4.096V$: 公称)を使用するので、このSoftSpan A/Dコンバータを変換ごとに個別に設定して、 $\pm 10.24V$ 、 $0V \sim 10.24V$ 、 $\pm 5.12V$ 、または $0V \sim 5.12V$ の信号を入力することができます。入力信号範囲は、5Vの外部リファレンスを使用して最大 $\pm 12.5V$ まで広げることができます。また、チャンネルを個別にディスエーブルして他のチャンネルのスループットを高めることもできます。

LTC2358-18は、漏れ電流がpAレベルの入力アナログ・バッファを内蔵しており、入力同相電圧範囲が広く、CMRRが128dBなので、使用する基板スペースおよび消費電力を最小限に抑えつつ、さまざまな信号を直接デジタル化することができます。このような入力信号の柔軟性と $\pm 3.5LSB$ のINL、欠落コードのない18ビットの分解能、96.4dBのSNRを有するLTC2358-18は、広いダイナミック・レンジが要求されるさまざまな高電圧用途に最適です。

同相入力電圧範囲の絶対値($V_{EE} + 4V \sim V_{CC} - 4V$)は、高電圧電源をどう選択するかによって決まります。これらの電源はグラウンドを中心として非対称にバイアスすることが可能であり、 V_{EE} をグラウンドに直接接続することもできます。

LTC2358-18は、ピンで選択可能なSPI CMOS (1.8V \sim 5V) およびLVDSシリアル・インタフェースをサポートしているので、従来のマイクロコントローラと同様に最新のFPGAとも良好に通信することができます。CMOSモードでは、1 \sim 8レーンのシリアル出力データをアプリケーションが使用できるので、バス幅とデータ・スループットを最適化することができます。LTC2358-18は、200ksp/s/チャンネルのスループットで8チャンネルを同時に変換する場合、標準で219mWの電力を消費します。オプションのナップ・モードとパワーダウン・モードを使用すると、非活動期間中の消費電力を更に低減することができます。

コンバータの動作

LTC2358-18は2つのフェーズで動作します。収集段階では、各チャンネルのサンプル・アンド・ホールド(S/H)回路のサンプリング・コンデンサがそれぞれのアナログ入力バッファに接続され、これによって差動アナログ入力電圧($V_{IN+} - V_{IN-}$)を追跡します。CNVピンの立ち上がりエッジでは、全チャンネルのS/H回路がトラック・モードからホールド・モードに切り替わり、全チャンネルの入力信号を同時にサンプリングして、変換を開始します。変換フェーズ中に、各チャンネルのサンプリング・コンデンサが、一度に1チャンネルずつ18ビット電荷再配分コンデンサD/Aコンバータ(CDAC)に接続されます。CDACが逐次比較アルゴリズムを通じて逐次制御され、差動コンパレータを使用してサンプリング入力電圧を、チャンネルのSoftSpanのフルスケール範囲のバイナリ加重した分数(例： $V_{FSR}/2$, $V_{FSR}/4$... $V_{FSR}/262144$)と効率的に比較します。このプロセスの最後に、CDACの出力はチャンネルのサンプリングされたアナログ入力に近似します。この方法で全てのチャンネルが変換されると、ADC制御ロジックが、各チャンネルから18ビット・デジタル出力コードをシリアル転送するための準備を行います。

伝達関数

LTC2358-18は、各チャンネルのフルスケール電圧範囲を 2^{18} レベルにデジタル化します。表1aおよび1bに示すように、A/Dコンバータのマスタ・リファレンス電圧(V_{REFBUF})とチャンネルのSoftSpan構成の組み合わせにより、その入力電圧範囲、フルスケール範囲、LSBサイズ、および変換結果のバイナリ形式が決まります。例えば、内部リファレンスおよびバッファ($V_{REFBUF} = 4.096V$: 公称)を使用して、SoftSpanを7にした場合は、 $\pm 10.24V$ の両極性アナログ入力電圧範囲で動作するようにチャンネルが構成され、これは20.48Vのフルスケール範囲と78.125 μV のLSBに対応します。その他のSoftSpan構成およびリファレンス電圧を使用して、より広い範囲および狭い範囲の両極性および単極性入力電圧を変換することができます。変換結果は、両極性SoftSpan範囲の場合は全て2の補数バイナリ形式で出力され、単極性SoftSpan範囲の場合

アプリケーション情報

は全てストレート・バイナリ形式で出力されます。理想的な2の補数の伝達関数を図2に、理想的なストレート・バイナリの伝達関数を図3に示します。

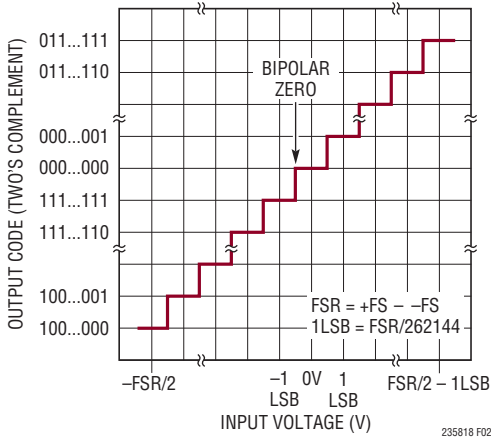


図2. LTC2358-18の2の補数の伝達関数

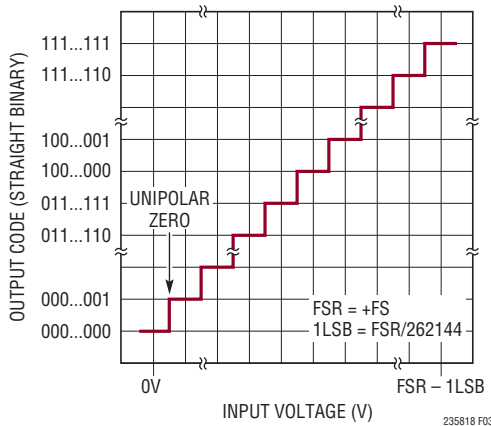


図3. LTC2358-18のストレート・バイナリ伝達関数

バッファ付きアナログ入力

LTC2358-18の各チャンネルは、アナログ入力ピン間の電圧差 ($V_{IN+} - V_{IN-}$) を広い同相入力電圧範囲にわたって同時にサンプリングしつつ、A/Dコンバータの同相信号除去比 (CMRR) 性能により、両方の入力ピンに共通する不要な信号を減衰します。同相入力電圧範囲が広いのに加えてCMRRが高いので、アナログ入力 IN^+ / IN^- を互いに任意の関係で振ることができます。ただし、各ピンの電圧が $(V_{EE} + 4V) \sim (V_{CC} - 4V)$ の範囲内に収まるのが条件です。この機能に

より、LTC2358-18には、疑似差動の単極性信号、疑似差動の真の両極性信号、完全差動信号など、従来からある種類のアナログ入力信号を含むさまざまな振幅の信号を入力できるので、シグナルチェーンの設計が簡単になります。 V_{EE} まで達する信号を変換する場合は、バッファなしのA/Dコンバータ LTC2348-18を推奨します。

高電圧電源での動作範囲が広いので、入力同相電圧の柔軟性が向上します。電圧差の制限 $10V \leq (V_{CC} - V_{EE}) \leq 38V$ を守っている限り、 V_{CC} および V_{EE} は、それぞれの許容動作範囲内の任意の値に個別にバイアスすることができます。これには、 V_{EE} をグランドに直接接続することも含まれます。この機能により、LTC2358-18の同相入力電圧範囲は、特定のアプリケーション要件に合わせて調整することができます。

全てのSoftSpan範囲で、各チャンネルのアナログ入力は、図4に示す等価回路によってモデル化することができます。収集の開始時には、サンプリング・コンデンサ (C_{SAMP}) がサンプリング・スイッチを介して内蔵のバッファ $BUFFER^+ / BUFFER^-$ に接続されます。サンプル済み電圧は変換処理時にリセットされるので、新規の変換ごとに再収集されます。

入力と V_{CC} 電源および入力と V_{EE} 電源の間のダイオードは、入力ESD保護回路の役目を果たします。電源電圧の範囲内では、LTC2358-18のアナログ入力に流れるのは標準でわずか $5pA$ のDC漏れ電流だけであり、ESD保護ダイオードは導通しません。これは、外部オペアンプ・バッファと比べて大きな利点があります。オペアンプはダイオード保護回路を内蔵していることがよくあり、トランジエント発生時に導通して、入力のフィルタ・コンデンサの電圧が損なわれるからです。

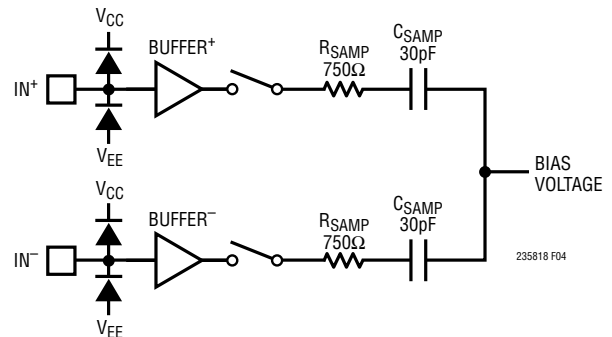


図4. 差動アナログ入力の等価回路、1チャンネル分を表示

アプリケーション情報

両極性 SoftSpan 入力電圧範囲

SoftSpanの範囲を7、6、3、または2で構成したチャンネルの場合、LTC2358-18は、表1aに示すように、それぞれ $\pm 2.5 \cdot V_{REFBUF}$ 、 $\pm 2.5 \cdot V_{REFBUF}/1.024$ 、 $\pm 1.25 \cdot V_{REFBUF}$ 、または $\pm 1.25 \cdot V_{REFBUF}/1.024$ という両極性電圧範囲で差動アナログ入力電圧 ($V_{IN+} - V_{IN-}$) をデジタル化します。これらの SoftSpan 範囲は、 IN^+ と IN^- が互いに逆極性側より高い電圧にも低い電圧にも振れるような入力信号をデジタル化する場合に役立ちます。従来の例としては、完全差動入力信号や疑似差動の真の両極性入力信号があります。前者では IN^+ および IN^- を駆動するときに、同相電圧 ($V_{IN+} + V_{IN-}$) / 2 を中心に、位相を互いに 180° ずらして駆動し、後者では IN^+ の電圧が (IN^- の電圧を基準に駆動される) グランド・リファレンス・レベルを中心にして上下に振れます。選択した SoftSpan 範囲とは関係なく、同相入力電圧範囲が広く CMRR が高いので、アナログ入力 IN^+ / IN^- を互いに任意の関係で振ることができます。ただし、各ピンの電圧が ($V_{CC} - 4V$) \sim ($V_{EE} + 4V$) の範囲内に収まることが条件です。両極性 SoftSpan 範囲の出力データは、全て2の補数形式です。

単極性 SoftSpan 入力電圧範囲

SoftSpanの範囲を5、4、または1で構成したチャンネルの場合、LTC2358-18は、表1aに示すように、それぞれ $0V \sim 2.5 \cdot V_{REFBUF}$ 、 $0V \sim 2.5 \cdot V_{REFBUF}/1.024$ 、または $0V \sim 1.25 \cdot V_{REFBUF}$ という単極性電圧範囲で差動アナログ入力電圧 ($V_{IN+} - V_{IN-}$) をデジタル化します。これらの SoftSpan 範囲は、 IN^+ が IN^- より高い電圧にとどまる入力信号をデジタル化する場合に役立ちます。従来の例としては疑似差動単極性入力信号があります。ここでは、 IN^- の電圧を基準とするグランド・リファレンス・レベルより高い電圧に IN^+ の電圧が振れます。選択した SoftSpan 範囲とは関係なく、同相入力電圧範囲が広く CMRR が高いので、アナログ入力 IN^+ / IN^- を互いに任意の関係で振ることができます。ただし、各ピンの電圧が ($V_{CC} - 4V$) \sim ($V_{EE} + 4V$) の範囲内に収まることが条件です。単極性 SoftSpan 範囲の出力データは、全てストレート・バイナリ形式です。

入力駆動回路

CMOS バッファ入力段は、トランジエントをサンプリング処理から切り離す程度をきわめて高くする役割を果たします。インピーダンスが $10k\Omega$ 未満の大半のセンサ、シグナル・コンディショニング・アンプ、およびフィルタ回路網は、 $3pF$ の受動アナログ入力容量を直接駆動することができます。インピーダンスが更に高い場合や低速セトリング回路の場合は、ピンに $680pF$ のコンデンサを追加して、LTC2358-18 の DC 精度を最大限に維持します。

LTC2358-18 は単位利得バッファの入力インピーダンスが非常に高いので、入力駆動要件が大幅に緩和されます。そのため、折り返し防止などを目的として、 $k\Omega$ レベルのインピーダンスで適度に長い時定数の RC フィルタをオプションで取り付けることができます。また、駆動能力が制限されたマイクロパワー・オペアンプも、高インピーダンスのアナログ入力を直接駆動するのに適しています。

LTC2358-18 は、並外れた内部チャンネル間クロストーク分離性能 (標準 $109dB$) を達成する独自の回路を内蔵しています。アナログ入力への PC 基板配線は短くして遮蔽し、外部容量性チャンネル間クロストークを防止します。パッケージの隣接ピン間容量は $0.16pF$ です。信号源抵抗を小さくするか信号源容量を大きくすると、外部容量性結合クロストークを低減するのに役立ちます。また、シングルエンドの入力駆動回路も、外部クロストーク分離性能を高めます。これは、逆極性側の各入力ピンがグランドまたは低インピーダンスの DC 電圧源に接続されており、チャンネル間のシールドとして機能するからです。

入力オーバードライブの許容範囲

いずれかのチャンネルでアナログ入力を最大 $10mA$ で駆動して V_{CC} より高い電圧にしても、他のチャンネルの変換結果には影響しません。このオーバードライブ電流の約 70% は V_{CC} ピンから流れ出し、残りの 30% は V_{EE} から流れ出します。 V_{EE} から流れ出すこの電流により、 $V_{CC} - V_{EE}$ 間の電圧降下に伴う熱が発生するので、全電力損失の絶対最大定格が $500mW$ であることを考慮する必要があります。アナログ入力を V_{EE} より低い電圧にすると、他のチャンネルの変換結果が損なわれることがあります。この製品は、電圧が V_{EE} より低くなるか、 V_{CC} より高くなっても、ラッチアップを生じることなく最大 $100mA$ までの入力電流に対応できます。

入力を V_{CC} より高くするか V_{EE} より低くした場合、これらのピンを駆動する外部電源からは通常と逆方向の電流が流れることに注意してください。

アプリケーション情報

入力フィルタリング

真の高インピーダンス・アナログ入力は、多種多様なパッシブ/アクティブ・シグナル・コンディショニング・フィルタに対応することができます。バッファ付きA/Dコンバータ入力のアナログ帯域幅は6MHzであり、外付けフィルタに関する帯域幅要件は特にありません。したがって、A/Dコンバータと無関係に外付け入力フィルタを最適化して、シグナルチェーンのノイズおよび干渉を低減することができます。共通フィルタ構成は、折り返し防止とノイズ低減の単純なRCフィルタであり、サンプリング周波数の半分の周波数にフィルタのポールがあります。例えば、図5に示すように、 $R=2.43k\Omega$ および $C=680pF$ の場合には100kHzです。

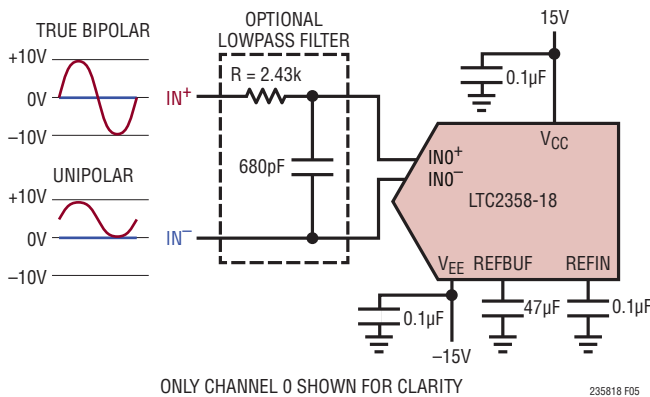


図5. シングルエンド入力信号のフィルタリング

RCフィルタのコンデンサと抵抗は歪みを大きくする可能性があるため、これらの部品は高品質のものを使用します。NPO/COGタイプやシルバー・マイカ・タイプの誘電体コンデンサは優れた直線性を示します。表面実装カーボン抵抗は、自己発熱や半田付け工程で生じる損傷により歪みが生じることがあります。表面実装金属皮膜抵抗は、この2つの問題に対してはるかに耐性があります。

任意のアナログ入力信号と完全差動アナログ入力信号

LTC2358-18は同相入力電圧範囲が広くCMRRが高いので、各チャンネルの IN^+ ピンおよび IN^- ピンを互いに任意の関係で振ることができます。ただし、各ピンの電圧が $(V_{EE} + 4V) \sim (V_{CC} - 4V)$ の範囲内に収まるのが条件です。LTC2358-18は、この機能によってさまざまな振幅の信号を入力することができるので、シグナルチェーンの設計が簡単になります。

図6bに示す2トーン・テストは、LTC2358-18の任意の入力駆動能力を示しています。このテストは、 $-7dBFS$ 2kHzのシングルエンド正弦波で IN^+ を、 $-7dBFS$ 3.1kHzのシングルエンド正弦波で IN^- を、同時に駆動します。これらの信号は、さらに一般的な任意の入力信号と同様に、広い同相電圧範囲および差動モード電圧の組み合わせで、アナログ入力を同時に振幅させます。これらの信号には、単純なスペクトル表現もあります。同相電圧の影響を受けない理想的な差動コンバータは、この信号を2つの $-7dBFS$ スペクトル・トーン（各正弦波周波数に1つ）としてデジタル化します。図6bのFFTのグラフは、LTC2358-18の応答がこの理想に近づいていることと、 IN^- に入力された3.1kHzの正弦波に対するコンバータの2次高調波歪み応答によってSFDRが119dBに制限されていることを示しています。

LTC2358-18は、広い入力同相電圧範囲にわたって任意の振幅の信号を入力可能で、しかもCMRRが高いので、アプリケーションの解決策を簡略化することができます。実際に、多くのセンサは、大きな同相信号の上に乗せて差動センサ電圧を発生させます。LTC2358-18を使用してこの種類の信号をデジタル化する1つの方法を図7aに示します。アンプ段では、必要なセンサ信号が約10V/Vの差動利得で増幅され、不必要な同相信号はA/DコンバータのCMRRにより除去されます。この回路では、A/Dコンバータの $\pm 5V$ のSoftSpanレンジを使用しています。図7bは、この回路のCMRRの測定値であり、最も一般的な市販の計装用アンプと同様な性能を示します。図7cは、この回路のAC性能の測定値です。

図8では、別のアプリケーション回路を示します。この回路では、LTC2358-18の2つのチャンネルを使用して、検出抵抗を流れる双方向電流と電圧を広い同相電圧範囲にわたって同時に検出します。

アプリケーション情報

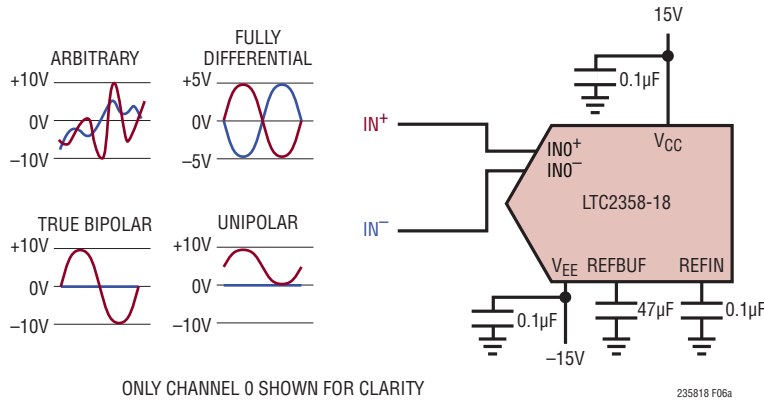


表 6a. 任意の入力信号、完全な差動入力信号、真の両極性入力信号、および単極性入力信号

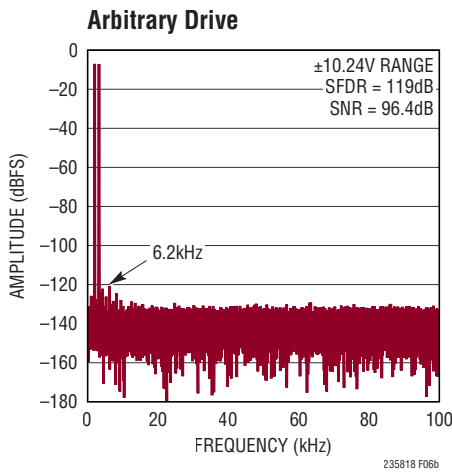


図 6b. 2 トーン・テスト。IN⁺ = -7dBFS、2kHz の正弦波、IN⁻ = -7dBFS、3.1kHz の正弦波、32k ポイントの FFT、f_{SAMPL} = 200ksps。回路は図 6a に示す

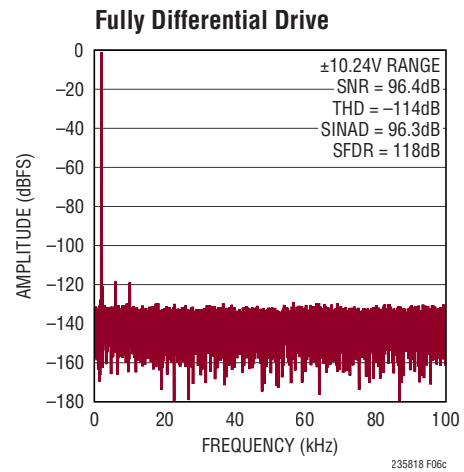


図 6c. IN⁺/IN⁻ = -1dBFS 2kHz の完全差動正弦波、V_{CM} = 0V、32k ポイントの FFT、f_{SAMPL} = 200ksps。回路は図 6a に示す

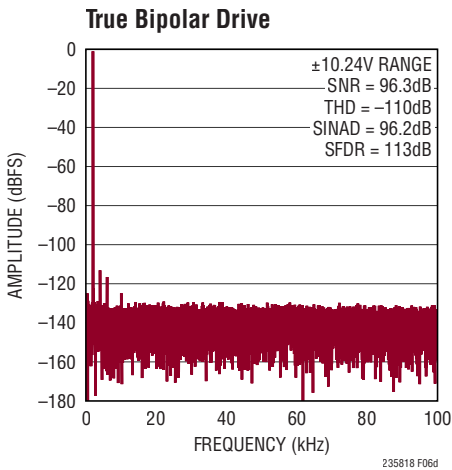


図 6d. IN⁺ = -1dBFS 2kHz の真の双極性正弦波、IN⁻ = 0V、32k ポイントの FFT、f_{SAMPL} = 200ksps。回路は図 6a に示す

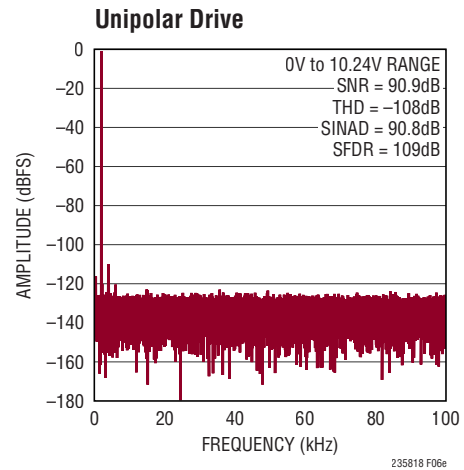


図 6e. IN⁺ = -1dBFS 2kHz の単極性正弦波、IN⁻ = 0V、32k ポイントの FFT、f_{SAMPL} = 200ksps。回路は図 6a に示す

アプリケーション情報

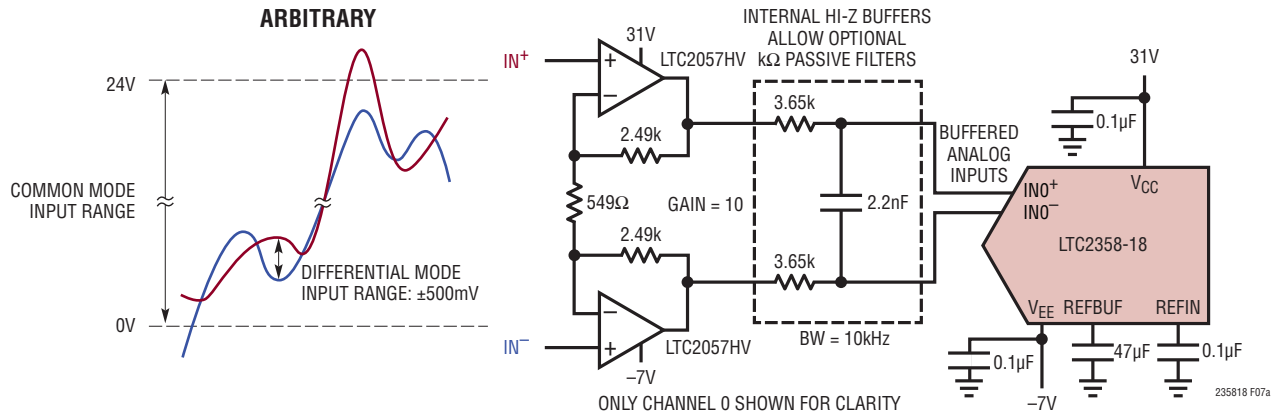


図7a. バッファ付きのアナログ入力を使用して広い同相電圧範囲にわたって利得10で差動信号を増幅

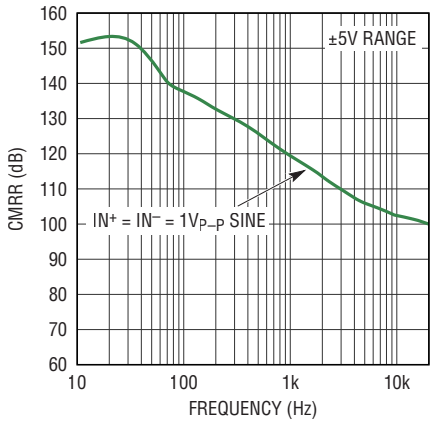


図7b. CMRRと入力周波数。回路は図7a

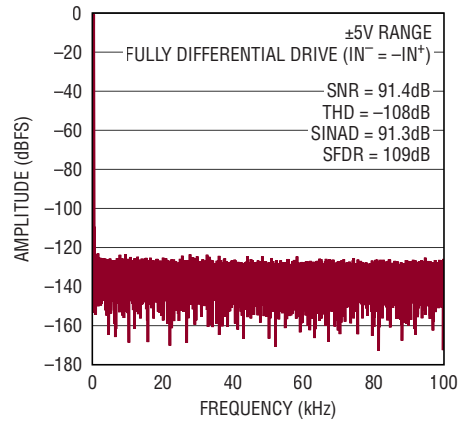
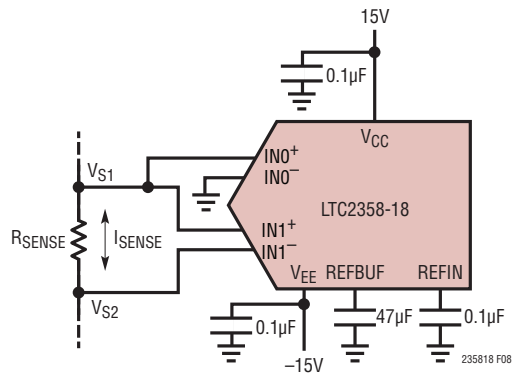


図7c. IN⁺/IN⁻ = 450mV、200Hzの完全差動正弦波、0V ≤ V_{CM} ≤ 24V、32kポイントのFFT、f_{SMPL} = 200ksps。回路は図7a



ONLY CHANNELS 0 AND 1 SHOWN FOR CLARITY

$$I_{SENSE} = \frac{V_{S1} - V_{S2}}{R_{SENSE}} \quad \begin{matrix} -10.24V \leq V_{S1} \leq 10.24V \\ -10.24V \leq V_{S2} \leq 10.24V \end{matrix}$$

図8. 広い同相電圧範囲で電圧(CH0)と電流(CH1)を同時に検出

アプリケーション情報

A/Dコンバータのリファレンス

前に表1bで示したように、LTC2358-18は3つのリファレンス構成をサポートしています。最初の構成では、内部バンドギャップ・リファレンスとリファレンス・バッファの両方を使用します。2番目の構成では、内部リファレンスを外部からオーバードライブしますが、内部バッファはそのまま使用して、外部リファレンスをA/Dコンバータの変換時のトランジェントから切り離します。この構成は、1つの高精度外部リファレンスを複数のA/Dコンバータで共有する場合に最適です。3番目の構成では、内部バッファをディスエーブルし、REFBUFピンを外部からオーバードライブします。

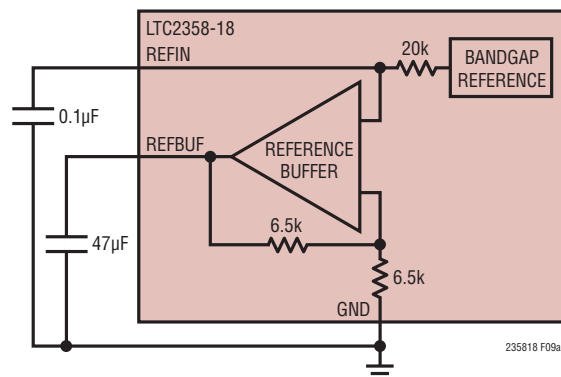


図9a. 内部リファレンスと内部バッファの構成

内部リファレンスと内部バッファ

LTC2358-18は、工場出荷時に2.048Vに調整された、低ノイズ、低ドリフト(最大20ppm/°C)の温度補償バンドギャップ・リファレンスを内蔵しています。リファレンス出力は20kΩの抵抗を介してREFINピンに接続されます。REFINピンは、図9aに示すように、内蔵リファレンス・バッファの入力として機能します。内部バンドギャップ・リファレンスを使用する場合は、0.1μFのセラミック・コンデンサをREFINピンの近くで接続して、このピンをGND(ピン20)にバイパスし、広帯域ノイズを除去します。リファレンス・バッファは V_{REFIN} を増幅して、REFBUFピンでコンバータのマスタ・リファレンス電圧 $V_{REFBUF} = 2 \cdot V_{REFIN}$ を生成します。内部バンドギャップ・リファレンスを使用する場合、公称4.096Vです。47μF以上のセラミック・コンデンサ(X7R、10V、1210サイズまたはX5R、10V、0805サイズ)をREFBUFピンの近くに接続し、このピンをGND(ピン20)にバイパスしてリファレンス・バッファを補償し、変換時のトランジェント電流を吸収して、ノイズを最小限に抑えます。

外部リファレンスと内部バッファ

更に高い精度や低ドリフトが必要な場合は、図9bに示すように、外部リファレンスによってREFINを簡単にオーバードライブすることができます。これは、20kΩの抵抗が内部バンドギャップ・リファレンス出力をREFINピンから切り離しているからです。REFINピンでの外部リファレンス電圧オーバードライブの有効な範囲は1.25V~2.2Vなので、コンバータのマスタ・リファレンス電圧 V_{REFBUF} の範囲は2.5V~4.4Vになります。リニアテクノロジーでは、さまざまなアプリケーションの要求を満たすように設計された高性能リファレンスを取り揃えております。LTC6655-2.048は小型、低消費電力、高精度なの

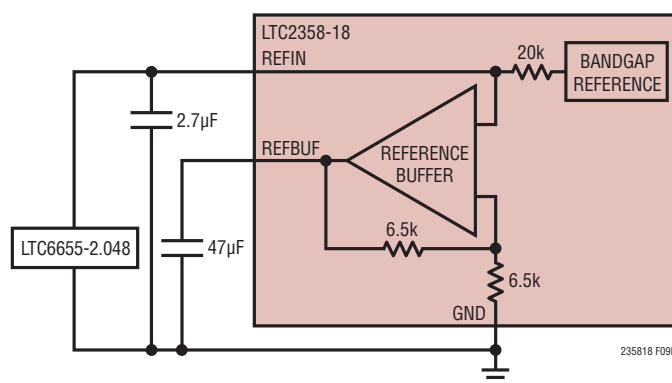


図9b. 外部リファレンスと内部バッファの構成

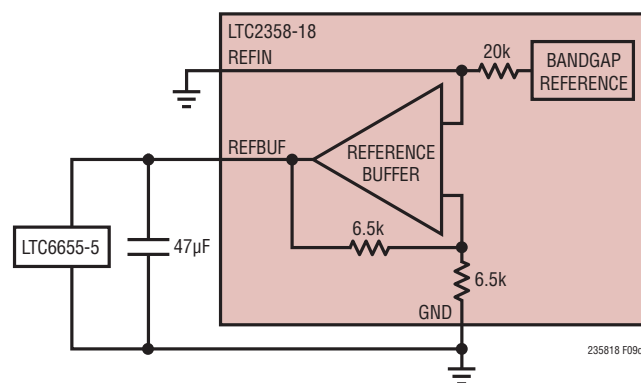


図9c. 外部リファレンスとディスエーブル状態の内部バッファの構成

アプリケーション情報

で、LTC2358-18と組み合わせて内部リファレンスのオーバードライブに使用するのに最適です。LTC6655-2.048は、高精度アプリケーション向けに0.025%(最大)の初期精度と2ppm/°C(最大)の温度係数を実現しています。LTC6655-2.048はHグレードの温度範囲で完全に規定されており、LTC2358-18の最大125°Cの広い温度範囲を補完します。2.7μF~100μFのセラミック・コンデンサをREFINピンの近くに配置して、LTC6655-2.048をバイパスすることを推奨します。

外部リファレンスとディスエーブル状態の内部バッファ

内部リファレンス・バッファは、 $V_{REFBUF} = 4.4V$ (最大)をサポートします。REFINをグランドに接続すると内部バッファをディスエーブルすることができるので、図9cに示すように、2.5V~5Vの外部リファレンス電圧を使用してREFBUFをオーバードライブすることができます。入力信号の振幅とSNRを最大にするには、外部5Vリファレンスを使用してREFBUFをオーバードライブします。リファレンス・バッファをディスエーブルした場合でも、バッファの帰還抵抗により、REFBUFピンには13kΩの負荷が加わります。LTC6655-5は、小型サイズ、精度、ドリフト、広い温度範囲の点でLTC6655-2.048と同じであり、LTC2358-18と併用した場合、標準で97.9dBのSNRを実現します。47μF以上のセラミック・コンデンサ(X7R、10V、1210サイズまたはX5R、10V、0805サイズ)をREFBUFピンの近くに接続してLTC6655-5をGND(ピン20)にバイパスし、変換時のトランジェント電流を吸収して、ノイズを最小限に抑えます。

各変換サイクル中に、LTC2358-18のREFBUFピンから電荷(Q_{CONV})が流れます。短時間の尺度では、この電荷の大半はREFBUFの外付けバイパス・コンデンサによって供給されますが、長時間の尺度では、全ての電荷はリファレンス・バッファによって供給されるか、内部リファレンス・バッファがディスエーブルされている場合は外部リファレンスによって供給されます。この電荷の流れは $I_{REFBUF} = Q_{CONV} \cdot f_{SMPL}$ と等価のDC電流に対応し、サンプリング・レートに比例します。図10に示すように、長時間のアイドル状態の後、集中的にサンプリングされるアプリケーションでは、 I_{REFBUF} は短時間

で約0.4mAから1.5mAに切り替わります($V_{REFBUF} = 5V$ 、 $f_{SMPL} = 200kHz$)。この電流ステップによって、外部リファレンスのトランジェント応答が始まります。 V_{REFBUF} が正常値から逸脱すると、コンバータの精度に影響を与えるので、このトランジェント応答には注意する必要があります。外部リファレンスを使用してREFBUFをオーバードライブする場合は、高速セトリング特性のLTC6655リファレンス・ファミリを推奨します。

内部リファレンス・バッファのトランジェント応答

集中的なサンプリングを使用するアプリケーションで最高の性能を発揮するには、外部リファレンスと内部リファレンス・バッファの構成で使用します。内部リファレンス・バッファは、アイドル期間後の集中的な変換に応答するときに V_{REFBUF} の変化を最小限に抑える独自の設計を採用しています。図11では、LTC2358-18の集中的な変換の応答を、2つのリファレンス構成についてフルスケールに近い入力と比較しています。最初の構成では、内部リファレンス・バッファを使用し、LTC6655-2.048によってREFINを外部からオーバードライブするのに対して、2番目の構成では、内部リファレンス・バッファをディスエーブルし、外部のLTC6655-4.096を使用してREFBUFをオーバードライブしています。いずれの場合も、REFBUFは47μFのセラミック・コンデンサによってGNDにバイパスされます。

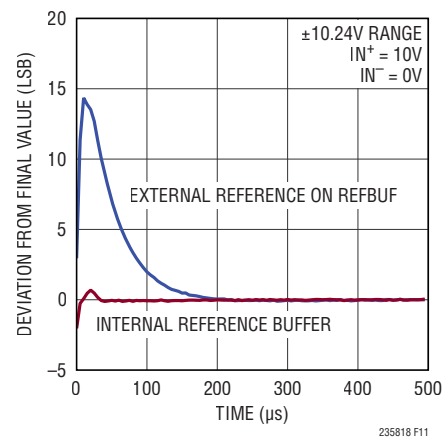


図11. LTC2358-18の集中的な変換の応答、 $f_{SMPL} = 200kps$



図10. 集中的なサンプリングを示すCNVの波形

アプリケーション情報

ダイナミック性能

A/Dコンバータの周波数応答、歪み、およびノイズを定格スループットでテストするには、高速フーリエ変換(FFT)の手法が使用されます。低歪みの正弦波を入力し、そのデジタル出力をFFTアルゴリズムを使用して解析することにより、基本波の外側の周波数に関してA/Dコンバータのスペクトラム成分を調べることができます。LTC2358-18では、AC歪みとノイズの両方の測定値について、保証されたテスト済みの制限値を示しています。

信号対ノイズ+歪み比(SINAD)

信号対ノイズ+歪み比(SINAD)は、基本入力周波数のRMS振幅とA/Dコンバータ出力での他の全ての周波数成分のRMS振幅の比です。出力は、サンプリング周波数の半分より低い周波数に帯域制限されますが、DCは除外されます。図12は、2kHzの真の両極性入力信号の場合でサンプリング・レート200kHzのとき、LTC2358-18が±10.24Vの範囲で96.2dBのSINAD標準値を達成していることを示します。

信号対ノイズ比(SNR)

信号対ノイズ比(SNR)は、基本入力周波数のRMS振幅と、1次から5次までの高調波およびDCを除く他の全ての周波数成分のRMS振幅との比です。図12は、2kHzの真の両極性入力信号の場合でサンプリング・レート200kHzのとき、LTC2358-18が±10.24Vの範囲で96.4dBのSNR標準値を達成していることを示します。

全高調波歪み(THD)

全高調波歪み(THD)は、入力信号の全ての高調波のRMS値の合計と基本波のRMS値との比です。帯域外高調波は、DCとサンプリング周波数の半分($f_{SAMPL}/2$)の間の周波数帯域で折り返しエラーを生じます。THDは次のように表されます。

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 \dots V_N^2}}{V_1}$$

ここで、 V_1 は基本周波数のRMS振幅で、 $V_2 \sim V_N$ は2次～ n 次の各高調波の振幅です。図12は、2kHzの真の両極性入力信号の場合でサンプリング・レート200kHzのとき、LTC2358-18が±10.24Vの範囲で-111dB ($N = 6$)のTHD標準値を達成していることを示します。

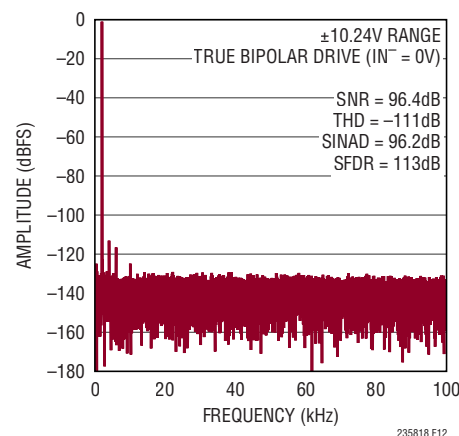


図12. 32kポイントのFFT ($f_{SAMPL} = 200\text{kpsps}$, $f_{IN} = 2\text{kHz}$)

電源に関する検討事項

LTC2358-18には4つの電源が必要です。それは、正と負の高電圧電源(V_{CC} および V_{EE})、5Vの主電源(V_{DD})、およびデジタル入出力(I/O)インタフェース電源(OV_{DD})です。電圧差の制限 $10V \leq V_{CC} - V_{EE} \leq 38V$ を守っている限り、 V_{CC} および V_{EE} は、それぞれの許容動作範囲内の任意の値に個別にバイアスすることができます。これには、 V_{EE} をグランドに直接接続することも含まれます。この機能により、LTC2358-18の同相入力電圧範囲は、特定のアプリケーション要件に合わせて調整することができます。柔軟性の高い OV_{DD} 電源により、LTC2358-18は、2.5Vや3.3Vのシステムなど、1.8V～5Vで動作するCMOSロジックと通信することができます。LVDS I/Oモードを使用する場合、 OV_{DD} の範囲は2.375V～5.25Vです。

電源シーケンシング

LTC2358-18には電源シーケンシングに関する特別な要件はありません。「絶対最大定格」のセクションに記載されている最大電圧の関係を遵守するよう注意する必要があります。LTC2358-18は、最初の電源投入時と V_{DD} が2Vより低くなったときに必ずA/Dコンバータをリセットするパワーオン・リセット(POR)回路を内蔵しています。電源電圧が公称の電源電圧範囲内に戻ると、POR回路はA/Dコンバータを再度初期化します。初期化の期間が確実に終了するように、PORイベント後10ms以上経過するまでは変換を開始しないようにします。内部リファレンス・バッファを使用する場合は、バッファが起動してREFBUFのバイパス・コンデンサを再充電するまでに200msを見込んでおきます。これらの時点より前に変換を開始すると、結果は無効になります。

アプリケーション情報

タイミングと制御

CNVのタイミング

LTC2358-18のサンプリングと変換は、CNVによって制御されます。CNVの立ち上がりエッジでは、全チャネルのS/H回路がトラック・モードからホールド・モードに切り替わり、全チャネルの入力信号を同時にサンプリングして、変換を開始します。「リセットのタイミング」のセクションで説明するように、いったん変換が開始されると、A/Dコンバータをリセットしない限り、変換を途中で終了させることはできません。最適な性能を得るには、クリーンな低ジッタの信号でCNVを駆動し、CNVの立ち上がりエッジに到達するまでデータI/Oラインが遷移しないようにする必要があります。更に、チャネル間クロストークを最小限に抑えるため、CNVの立ち上がりエッジの前後100nsでは、アナログ入力のスループレートが高くないようにします。A/DコンバータのステータスはBUSY出力によって示されます。この出力は各変換の開始時に“L”から“H”へ遷移し、変換が完了するまで“H”のままです。CNVは、いったん“H”になって変換が始まったら、40ns～60ns後に“L”に戻るか、BUSYの立ち下がりエッジ後に“L”に戻して、内部変換処理中の外乱を最小限に抑える必要があります。低消費電力のナップ動作モードを活用するために必要なCNVのタイミングについては、「ナップ・モード」のセクションを参照してください。

内部変換クロック

LTC2358-18には、Nチャネルをイネーブルしている場合、 $550 \cdot N$ の最大変換時間を達成できるよう調整されている内部クロックがあります。8チャネルを同時に変換する場合の最

小収集時間は570nsなので、外部調整なしで200kspsのスループット性能が保証されています。また、最小収集時間は、サンプリング周波数(f_{SAMPL})とイネーブル状態のチャネル数に応じて変動することにも注意してください。

ナップ・モード

LTC2358-18は、1回の変換完了後にナップ・モードに移行して、変換と変換の間の電力消費量を低減することができます。このモードではデバイスの回路の一部がオフになります。これにはアナログ入力信号のサンプリングに関連した回路も含まれます。ナップ・モードをイネーブルするには、図13に示すように、変換と変換の間CNVを“H”に保ちます。ナップ・モードに入った後に新しい変換を開始するには、CNVを“L”にして750ns以上保持し、その後再度“H”にします。ナップ・モードの使用時には、コンバータの収集時間(t_{ACQ})はCNVが“L”の時間(t_{CNVL})によって設定されます。

パワーダウン・モード

PDが“H”になるとLTC2358-18の電源は遮断され、その後の変換要求は無視されます。変換中に“H”になった場合、デバイスは変換が完了したら電源を遮断します。このモードでは、デバイスに流れる電流が少量のレギュレータ・スタンバイ電流だけなので、標準的な電力損失は0.68mWになります。パワーダウン・モードを終了するには、PDピンを“L”にしてから10ms以上待機し、その後、変換を開始します。内部リファレンス・バッファを使用する場合は、バッファが起動してREFBUFのバイパス・コンデンサを再充電するまでに200msを見込んでおきます。これらの時点より前に変換を開始すると、結果は無効になります。

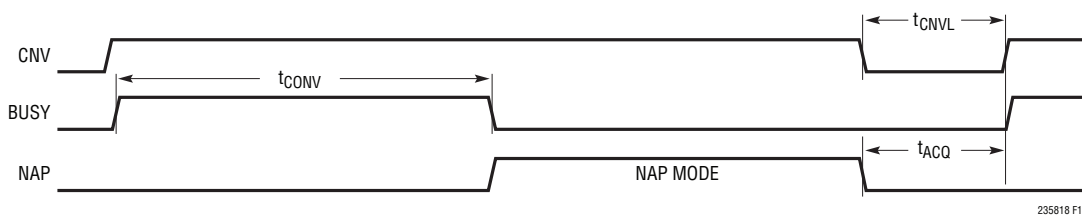


図13. LTC2358-18のナップ・モードのタイミング

235818 F13

アプリケーション情報

リセットのタイミング

LTC2358-18のグローバル・リセットは、パワーオン・リセットと同等であり、電源を入れ直さずに行うことができます。この機能が役立つのは、システム全体の状態を既知の同期値にリセットすることが必要なシステムレベルの事態から回復する場合です。グローバル・リセットを開始するには、図14に示すように、PDを2回“H”にして、その間に変換を行わないようにします。リセットはPDの2番目の立ち上がりエッジで作動し、内部タイマに基づいて非同期で終了します。リセットによって全てのシリアル・データ出力レジスタがクリアされ、内部SoftSpan構成レジスタは全てのチャンネルがSoftSpan 7のデフォルト状態に戻ります。変換中にリセットが作動すると、変換は直ちに停止します。PDが“H”に切り替わることに関連付けられている通常のパワーダウン動作は、リセットによる影響を受けません。PDが“L”になったら、変換を開始する前に10ms以上待機します。内部リファレンス・バッファを使用する場合は、バッファが起動してREFBUFのバイパス・コンデンサを再充電するまでに200msを見込んでおきます。これらの時点より前に変換を開始すると、結果は無効になります。

電力損失とサンプリング周波数

ナップ・モードを使用すると、LTC2358-18の電力損失は、図15に示すように、サンプリング周波数が低下するにつれて減少します。このように電力損失の平均値が減少するのは、ナップ・モードの間はLTC2358-18の回路の一部がオフし、サンプリング周波数(f_{SMPL})が減少するにつれて、一時休止状態で時間を費やす変換サイクル(t_{CYC})の割合が増加するからです。

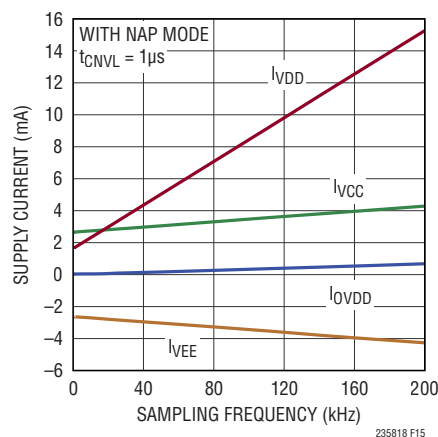


図15. LTC2358-18の電力損失はサンプリング周波数の低下とともに減少

デジタル・インタフェース

LTC2358-18はCMOSシリアル・インタフェースとLVDSシリアル・インタフェースを備えており、LVDS/CMOSピンを使用して選択することができます。柔軟性の高い OV_{DD} 電源により、LTC2358-18は、2.5Vや3.3Vのシステムなど、1.8V～5Vで動作する全てのCMOSロジックと通信することができる一方で、LVDSインタフェースは低ノイズのデジタル設計をサポートします。CMOSモードでは、1～8レーンのシリアル・データ出力をアプリケーションが使用できるので、バス幅とデータ・スループットを最適化することができます。合わせて、これらのI/Oインタフェース・オプションにより、LTC2358-18は従来のマイクロコントローラと同様に最新のFPGAとも良好に通信することができます。

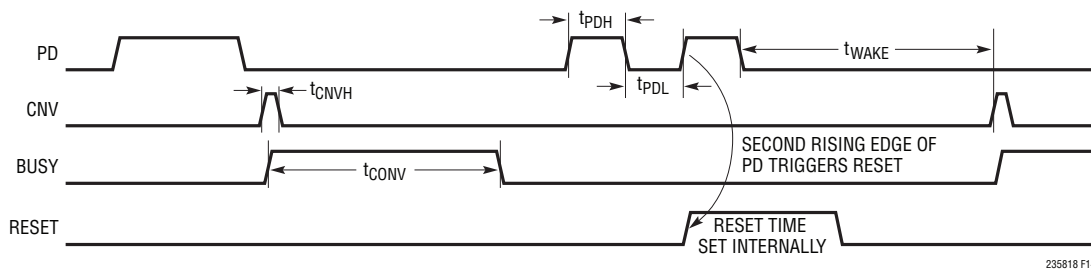


図14. LTC2358-18のリセットのタイミング

アプリケーション情報

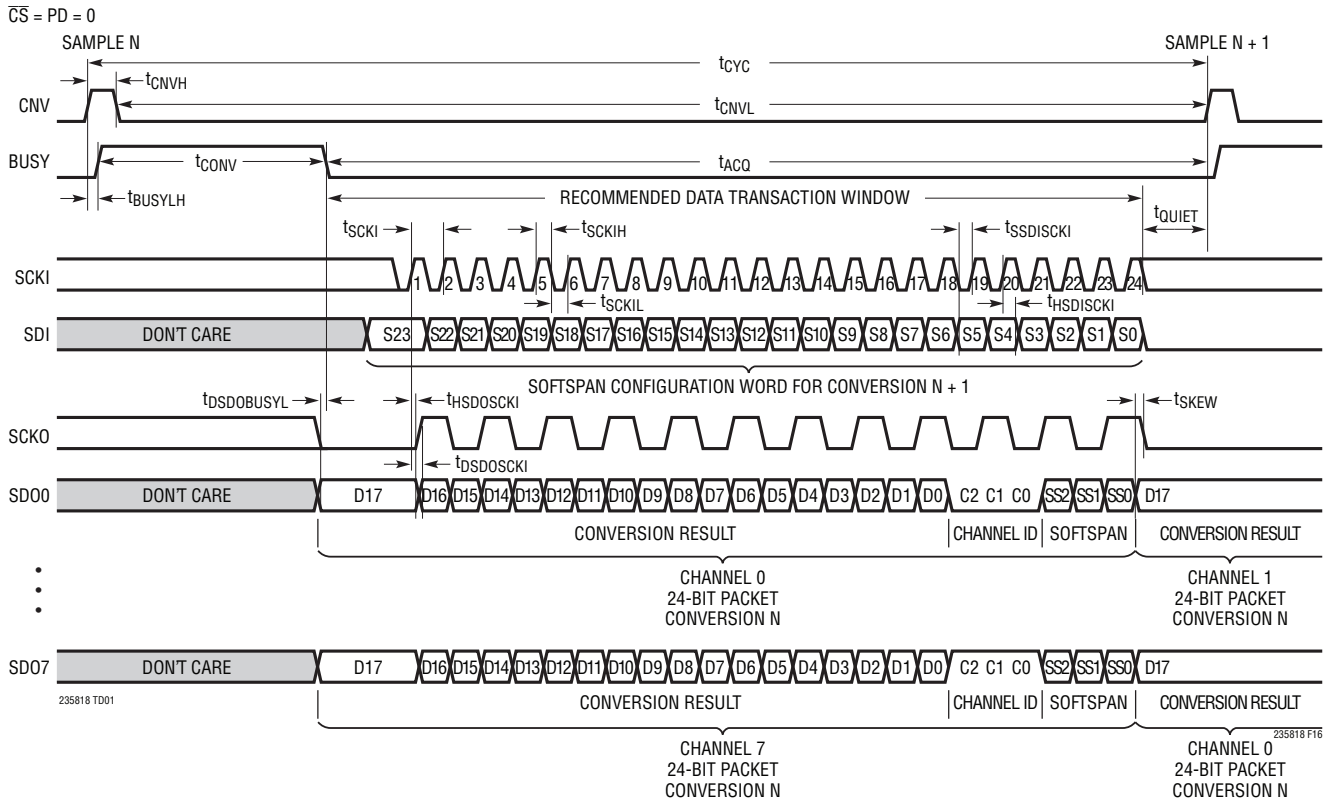


図 16. シリアル CMOS I/O モード

シリアル CMOS I/O モード

図 16 に示すように、CMOS I/O モードでのシリアル・データのバスの構成は、シリアル・クロック入力 (SCKI)、シリアル・データ入力 (SDI)、シリアル・クロック出力 (SCKO)、および 8 レーンのシリアル・データ出力 (SDO0 ~ SDO7) です。LTC2358-18 との通信は、このバス上で、あらかじめ定義されたデータ処理時間ウィンドウ内に行われます。このウィンドウ内で、デバイスは、次の変換用の 24 ビット SoftSpan 設定ワードを SDI で受信し、直近の変換の結果とチャンネル設定情報を含む 24 ビットの packets を SDO0 ~ SDO7 に出力します。LTC2358-18 の電源投入またはリセットの 10ms 後、および各変換の最後の BUSY の立ち下がりエッジで、新しいデータ処理ウィンドウ期間になります。推奨の使用事例では、図 16 に示すように、次の変換を開始する前に t_{QUIET} の最小時間である 20ns の余裕をみてデータ・トランザクションを完了する必要があります。新しい SoftSpan 構成ワードを受け付けるのはこの推奨データ・トランザクション期間内だけですが、SoftSpan の変更は直ちに有効

になり、次の変換を開始するまでのアナログ入力セトリング時間を長くする必要はありません。次の変換を開始後であっても変換データを読み出すことは可能ですが、そうすると変換精度が低下するので推奨しません。

BUSY の立ち下がりエッジと新しいデータ・トランザクション期間開始の直前に、SCKO は強制的に「L」になり、SDO0 ~ SDO7 は、それぞれアナログ入力チャンネル 0 ~ 7 の最新の変換結果によって更新されます。SCKI の立ち上がりエッジでは、変換結果とアナログ入力チャンネル構成情報がクロックに同期して SDO0 ~ SDO7 で逐次出力されます。更に、SCKI の立ち上がりエッジは SCKO が遷移するトリガとなり、この遷移は SDO0 ~ SDO7 のデータとスケューが一致します。得られる SCKO 周波数は SCKI の半分です。また、SCKI の立ち上がりエッジでは、SDI に送られた SoftSpan 設定ワードもラッチされ、これらの設定ワードを使用して、24 ビットの内部 SoftSpan 設定レジスタがプログラムされます。詳しくは、「CMOS I/O モード時の SoftSpan 設定レジスタのプログラミング」のセクション

アプリケーション情報

を参照してください。CMOS I/Oモードでは、SCKIを、“H”でも“L”でもアイドル状態にできます。図17に示すように、CMOSバスは \overline{CS} が“L”になるとイネーブルされ、 \overline{CS} が“H”になるとディスエーブルされて高インピーダンス状態になるので、複数のデバイス間で共有することができます。

SDO0～SDO7のデータの形式は24ビットの packets であり、18ビットの変換結果、3ビットのアナログ・チャンネルID、3ビットのSoftSpanコードから構成され、全ての項目はMSBが先頭になる形で表現されます。図16および図17で示唆するように、各SDOレーンは、全てのアナログ入力チャンネルについて、これらの packets を順次、交互に出力します。例えば、SDO0での最初の24ビット・packet出力はアナログ入力チャンネル0に対応し、その後続くのはチャンネル1～7の packet です。その後、SDO0でのデータ出力は折り返してチャンネル0に戻り、このパターンが無期限に繰り返されます。他のSDOレーンも同様な循環パターンに従いますが、各レーンに現れる最初の packet は関連のアナログ入力チャンネルに対応することだけが異なります。

LTC2358-18と標準のSPIバスを接続する場合は、レシーバの出力データをSCKIの立ち上がりエッジで取り込みます。この場合、SCKOは使用しません。また、この場合には、複

数のSDOレーンも通常は役に立ちません。LTC2358-18をFPGAやCPLDと接続するなど、他のアプリケーションでは、SCKOの立ち上がりエッジおよび立ち下がりエッジを使用して、SDO0～SDO7でのシリアル出力データをダブル・データ・レート(DDR)方式により取り込むことができます。SCKOを使用してデータを取り込むと、温度や電源電圧による遅延時間の変動に対する耐性が向上します。

全8レーンでのシリアルCMOS出力データの取り込み

表2に示すように、8つ全てのシリアル・データ出力レーンSDO0～SDO7から先頭の packet (合計24のSCKIサイクル)を取り込むことにより、45MHzのSCKI周波数で200ksp/s/チャンネルの最大スループットを達成することができます。また、この構成では、3ビットのアナログ・チャンネルIDと3ビットのSoftSpanコードが不要でありデバイスのSoftSpan設定が変更されていない場合は、わずか18回のSCKIサイクルで、全てのチャンネルから変換結果を捕捉することができます。複数レーンでのデータの取り込みが最も適しているのは、通常はFPGAまたはCPLD取り込みハードウェアと組み合わせて使用する場合がありますが、アプリケーション固有のその他の事例にも役立つことがあります。

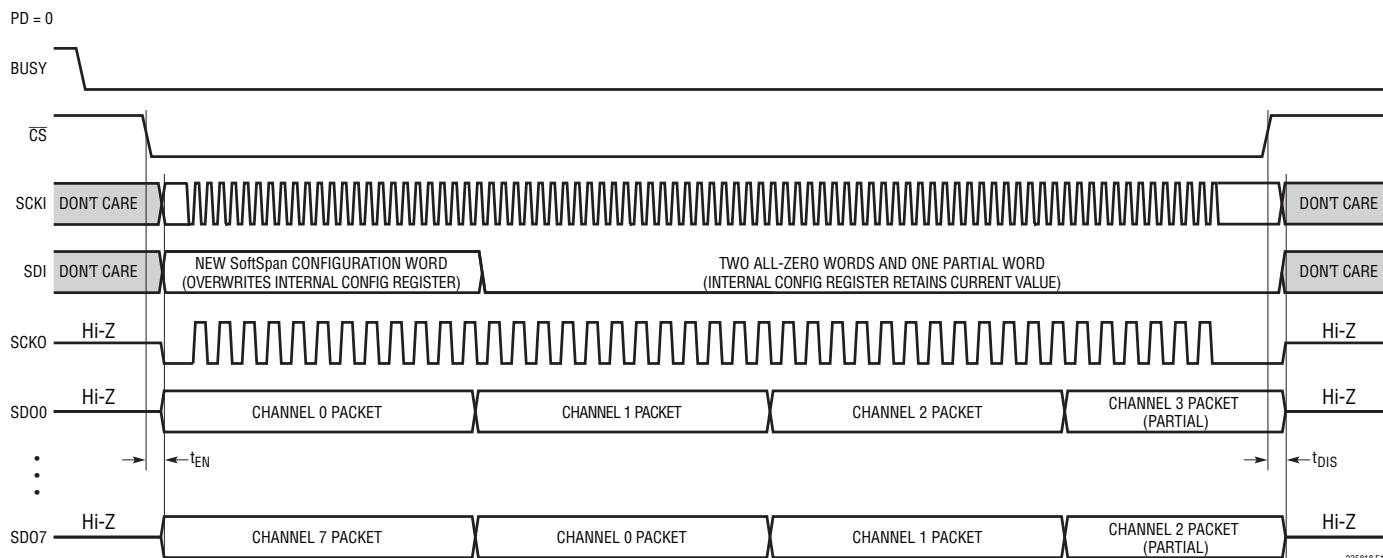


図17. 内部SoftSpan構成レジスタの動作。 \overline{CS} に対するシリアルCMOSバスの応答

アプリケーション情報

8レーンより少ないレーンでのシリアルCMOS出力データの取り込み

全8レーンのシリアル・データ取り込みに対応できないアプリケーションは、LTC2358-18を再構成せずに、8レーンより少ない数のレーンを使用することができます。例えば、SDO0、SDO2、SDO4、SDO6から先頭の2パケット(合計48のSCKIサイクル)を取り込むと、4つの出力レーンを使用して、それぞれアナログ入力チャンネル0および1、2および3、4および5、6および7のデータが得られます。同様に、SDO0およびSDO4から先頭の4パケット(合計96のSCKIサイクル)を取り込むと、2つの出力レーンを使用して、それぞれアナログ入力チャンネル0~3、および4~7のデータが得られます。対応できるレーンがわずか1レーンの場合、SDO0から先頭の8パケット(合計192のSCKIサイクル)を取り込むと、全てのアナログ入力チャンネルのデータが得られます。表2に示すように、4レーンの場合には90MHzのSCKI周波数で200ksp/s/チャンネルの最大スループットを達成することができますが、2レーンや1レーンの場合にはCMOS I/OモードでのSCKI周波数が最大100MHzなので、スループットは200ksp/s/チャンネルより低い値に制限されます。最後に、レーン数とデータ取り込みに使用するレーンを選択するときには、前述した特定の事例に限定されるわけではないことに注意してください。アプリケーションによっては、他の方法を選択した方が適している場合があります。

CMOS I/OモードでのSoftSpan構成レジスタのプログラミング

内部の24ビットSoftSpan構成レジスタは、LTC2358-18の全てのアナログ入力チャンネルのSoftSpan範囲を制御します。デバイスの起動後またはリセット後、このレジスタのデフォルトの状態は全て1であり、各チャンネルはSoftSpan 7、つまり $\pm 2.5 \cdot V_{REFBUF}$ の範囲内で変換するよう構成されます(表1a参照)。このレジスタの状態を変更するには、図16に示すデータ・トランザクション期間中に新しい24ビットのSoftSpan構成ワードをSDIに入力します。新しいSoftSpan構成ワードを受け付けるのはこの推奨データ・トランザクション期間内だけです。SoftSpanの変更は直ちに有効になり、次の変換を開始するまでのアナログ入力セトリング時間を長くする必要はありません。1つのチャンネルのSoftSpanコードをSS[2:0] = 000に設定すると、そのチャンネルは直ちにディスエーブルされ、それに対応して t_{CONV} が次の変換時に短くなります。同様に、直前にディスエーブルしたチャンネルをイネーブルする場合、次の変換を開始する前のアナログ入力セトリング時間を長くする必要はありません。シリアルSoftSpan構成ワード、内部SoftSpan構成レジスタ、および各チャンネルの3ビットSoftSpanコードの間の対応付けを図18に示します。

表2. 共通出力バス構成で8チャンネルをイネーブルしている場合、さまざまなスループットを達成するのに必要なSCKI周波数。網掛けの項目は所定の構成では達成できないスループットを表す。

$f_{SCKI} = (\text{SCKI サイクル数}) / (t_{ACQ}(\text{MIN}) - t_{QUIET})$ を使用して計算

I/Oモード	SDOのレーン数	SCKIのサイクル数	次のスループットを達成するために必要な f_{SCKI} (MHz)		
			200ksp/s/チャンネル ($t_{ACQ} = 570\text{ns}$)	100ksp/s/チャンネル ($t_{ACQ} = 5570\text{ns}$)	50ksp/s/チャンネル ($t_{ACQ} = 15570\text{ns}$)
CMOS	8	18	35	4	2
	8	24	45	5	2
	4	48	90	9	4
	2	96	Not Achievable	18	7
	1	192	Not Achievable	35	13
LVDS	1	96	180(360Mbps)	18(36Mbps)	7(14Mbps)

アプリケーション情報

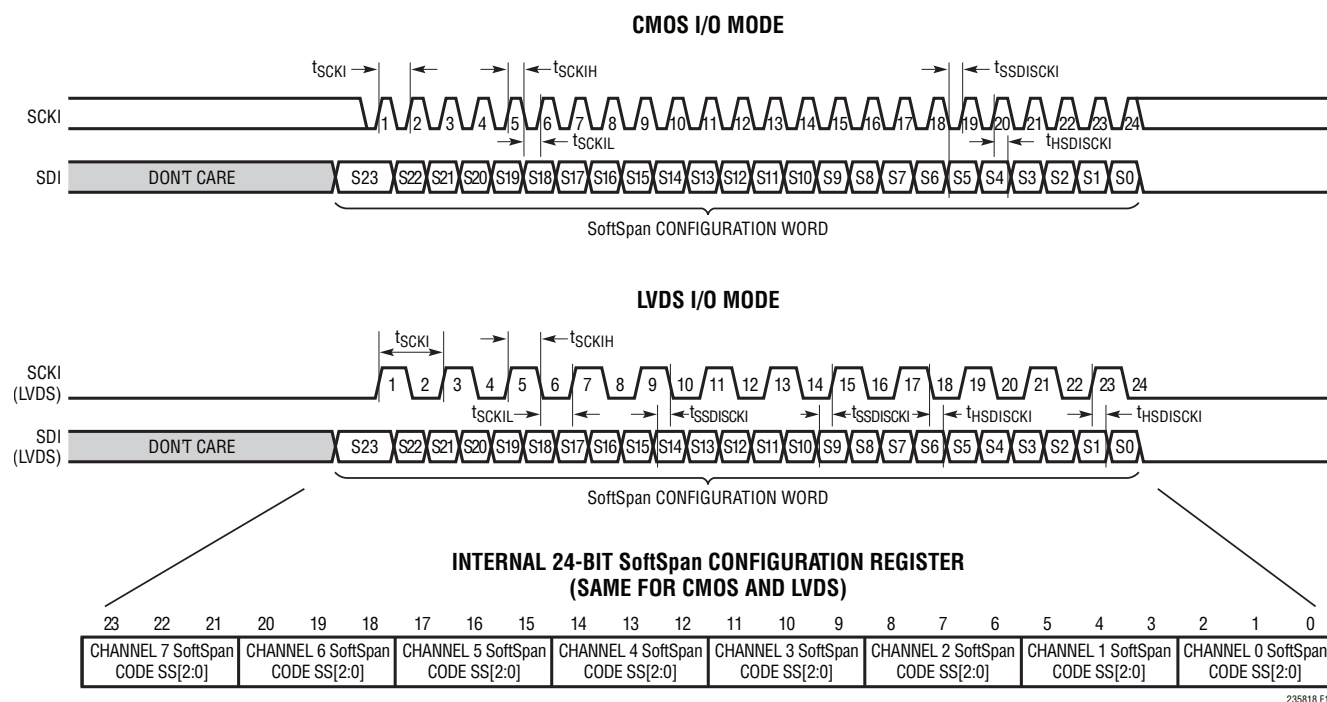


図 18. シリアル SoftSpan 構成ワード、内部 SoftSpan 構成レジスタ、および各アナログ入力チャンネルの SoftSpan コードの間の対応付け

データ処理ウィンドウの期間中に与えた SCKI 立ち上がりエッジの数が 24 未満の場合、SDI で受信した部分的な設定ワードは無視され、SoftSpan 設定レジスタは更新されません。正確に 24 回の SCKI 立ち上がりエッジを与えた場合は、受信した SoftSpan 設定ワード S[23:0] に応じて SoftSpan 設定レジスタが更新されます。S[23:0] が全てゼロの場合は、この動作の例外が発生します。この場合には SoftSpan 構成レジスタが更新されないため、アプリケーションが SDI を“L”のアイドル状態にすることにより、現在の SoftSpan 構成状態を維持することができます。データ処理ウィンドウの期間中に与えた SCKI 立ち上がりエッジの数が 24 を超える場合は、SDI で受信した 24 ビットの完全なそれぞれの制御ワードが新しい SoftSpan 設定ワードと見なされ、前述のように SoftSpan 設定レジスタに適用されます。部分的な設定ワードは無視されます。

通常、アプリケーションは、図 16、17 のように SoftSpan 設定レジスタを更新します。BUSY の立ち下がりエッジで新しいデータ処理ウィンドウの期間に入った後の最初の 24 回の SCKI サイクル中に、24 ビットの SoftSpan 設定ワードを SDI に書き込

みます。24 回目の SCKI 立ち上がりエッジの後、この新しい設定ワードが内部設定レジスタに書き込まれます。この後は、さらに SCKI サイクルが加えられてもレジスタの内容が保持されるよう、データ処理ウィンドウの残りの時間中は SDI を“L”に保ちます。データ処理ウィンドウの期間全体にわたって SDI を“L”に保持すると、加えられた SCKI サイクルの数に関係なく、複数回の変換に対して SoftSpan の設定を保持できます。

シリアル LVDS I/O モード

LVDS I/O モードでは、正と負の信号対 (LVDS⁺/LVDS⁻) と、(LVDS⁺ - LVDS⁻) の形で差動で符号化したビットを使用して情報を転送します。これらの信号は、通常は特性インピーダンスが 100Ω の差動伝送線路を使用して転送されます。ロジックの 1 と 0 は、公称ではそれぞれ差動電圧 +350mV および -350mV で表現されます。理解しやすくするため、LVDS のタイミング図と LVDS インタフェースに関する全ての説明では、物理値表記ではなく、ロジック表記を採用しています。

アプリケーション情報

図19に示すように、LVDS I/Oモードでのシリアル・データ・バスの構成は、シリアル・クロック差動入力(SCKI)、シリアル・データ差動入力(SDI)、シリアル・クロック差動出力(SCKO)、およびシリアル・データ差動出力(SDO)です。LTC2358-18との通信は、このバスを介して、事前に定義されたデータ・トランザクション期間中に行われます。この期間内に、デバイスは次の変換用の24ビットSoftSpan構成ワードをSDIで受け取り、直前の変換による変換結果およびチャンネル構成情報を収容した24ビットの packets をSDOから出力します。新しいデータ・トランザクション期間が始まるのは、LTC2358-18を起動するリセットしてから10ms後と、BUSYの立ち下がりエッジでの各変換の終了時です。推奨の使用事例では、図19に示すように、次の変換を開始する前に t_{QUIET} の最小時間である20nsの余裕をみてデータ・トランザクションを完了する必要があります。新しいSoftSpan構成ワードを受け付けるのはこの推奨データ・トランザクション期間内だけですが、SoftSpanの変更は直ちに有効になり、次の変換を開始するまでのアナログ入力セトリング時間を長くする必要はありません。次の変換を開始後であっても変換データを読み出すことは可能ですが、そうすると変換精度が低下するので推奨しません。

BUSYの立ち下がりエッジと新しいデータ・トランザクション期間開始の直前に、SDOはアナログ入力チャンネル0の最新の変換結果によって更新されます。SCKIの立ち上がりエッジと立ち下がりエッジの両方で、変換結果とアナログ入力チャンネル構成情報がクロックに同期してSDOから逐次出力されます。また、SCKIはSCKOからもエコー出力され、SDOでのデータとスキューが一致しています。可能な場合には必ず、SCKOの立ち上がりエッジおよび立ち下がりエッジを使用して、SDOでのDDRシリアル出力データを取り込むことを推奨します。これにより、電源や温度による遅延時間の変動に対する耐性が最も高くなるからです。また、SCKIの立ち上がりエッジと立ち下がりエッジでは、SDIに入力されたSoftSpan構成ワードもラッチされます。この構成ワードは、内部の24ビットSoftSpan構成レジスタをプログラムするのに使用されます。詳細については、「LVDS I/OモードでのSoftSpan構成レジスタのプログラミング」のセクションを参照してください。図20に示すように、LVDSバスは $\overline{\text{CS}}$ が“L”になるとイネーブルされ、 $\overline{\text{CS}}$ が“H”になるとディスエーブルされて高インピーダンス状態になるので、複数のデバイス間で共有することができます。LVDSでは信号処理が高速なので、LVDSバスの共有は慎重に検討す

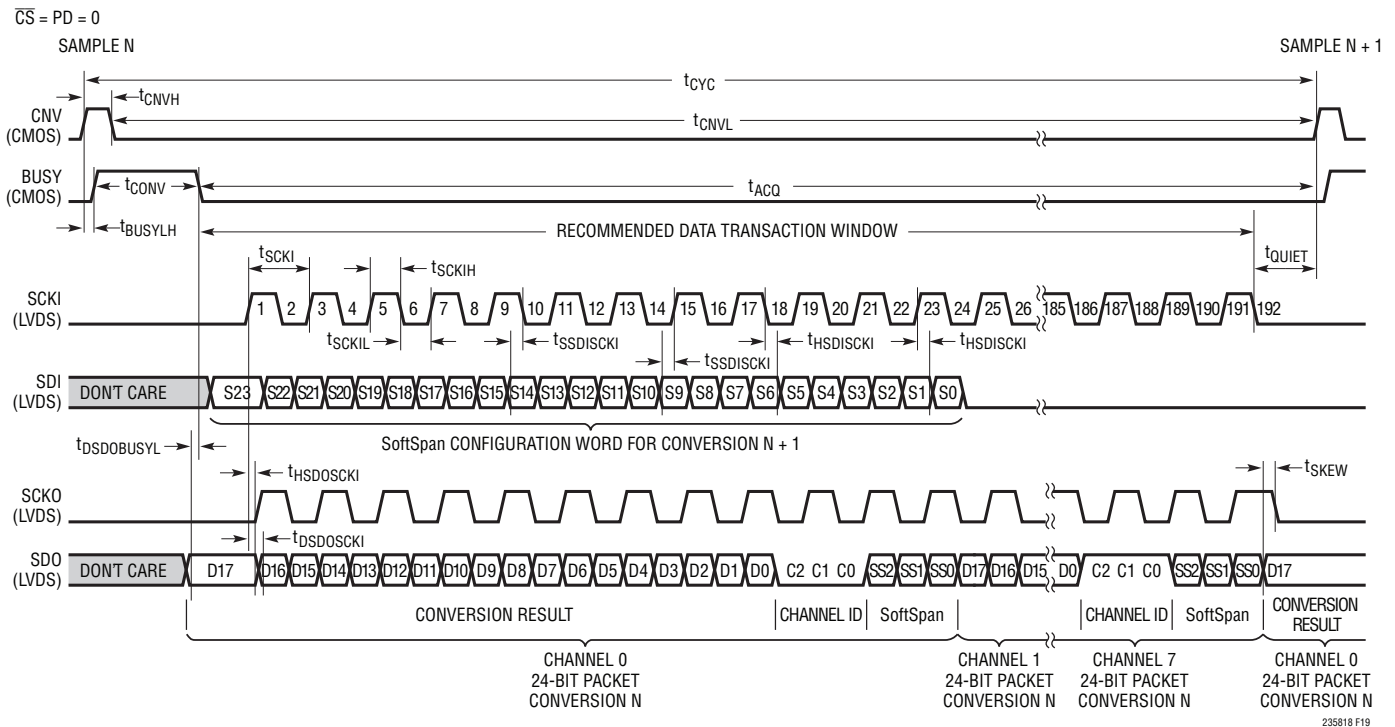


図19. シリアルLVDS I/Oモード

アプリケーション情報

する必要があります。共有バスによる伝送線路の制約により、実現可能な最大のバス・クロック速度が制限されることがあります。LVDSの入力は \overline{CS} が“L”のとき100Ωの差動抵抗で終端されますが、出力はレシーバ(FPGA)に100Ωの抵抗を接続することによって差動で終端する必要があります。LVDS I/Oモードでは、 \overline{CS} の遷移時も含めてSCKIを“L”ステートのアイドル状態にする必要があります。

SDOのデータの形式は24ビットの packets であり、18ビットの変換結果、3ビットのアナログ・チャンネルID、3ビットのSoftSpanコードから構成され、全ての項目はMSBが先頭になる形で表現されます。図19および図20で示唆しているように、SDOは、全てのアナログ入力チャンネルについて、これらの packets を順次、交互に出力します。例えば、SDOでの最初の24ビット・packet出力はアナログ入力チャンネル0に対応し、その後続くのはチャンネル1～7の packets です。その後、SDOでのデータ出力は折り返してチャンネル0に戻り、このパターンが無期限に繰り返されます。

シリアルLVDS出力データの取り込み

表2に示すように、SDOから8 packets (合計96のSCKIサイクル)のDDRデータを取り込むことにより、180MHzのSCKI周波数で200ksp/s/チャンネルの最大スループットを達成することができます。LTC2358-18は、LVDS I/Oモードで最大250MHzのSCKI周波数をサポートします。

LVDS I/OモードでのSoftSpan構成レジスタのプログラミング

内部の24ビットSoftSpan構成レジスタは、LTC2358-18の全てのアナログ入力チャンネルのSoftSpan範囲を制御します。デバイスの起動後またはリセット後、このレジスタのデフォルトの状態は全て1であり、各チャンネルはSoftSpan 7、つまり $\pm 2.5 \cdot V_{REFBUF}$ の範囲内で変換するよう構成されます(表1a参照)。このレジスタの状態を変更するには、図19に示すデータ・トランザクション期間中に新しい24ビットのSoftSpan構成ワードをSDIに入力します。新しいSoftSpan構成ワードを受け付けるのはこの推奨データ・トランザクション期間内ですが、SoftSpanの変更は直ちに有効になり、次の変換を開始するまでのアナログ入力セトリング時間を長くする必要はありません。1つのチャンネルのSoftSpanコードをSS[2:0] = 000に設定すると、そのチャンネルは直ちにディスエーブルされ、それに対応して t_{CONV} が次の変換時に短くなります。同様に、直前にディスエーブルしたチャンネルをイネーブルする場合、次の変換を開始する前のアナログ入力セトリング時間を長くする必要はありません。シリアルSoftSpan構成ワード、内部SoftSpan構成レジスタ、および各チャンネルの3ビットSoftSpanコードの間の対応付けを図18に示します。

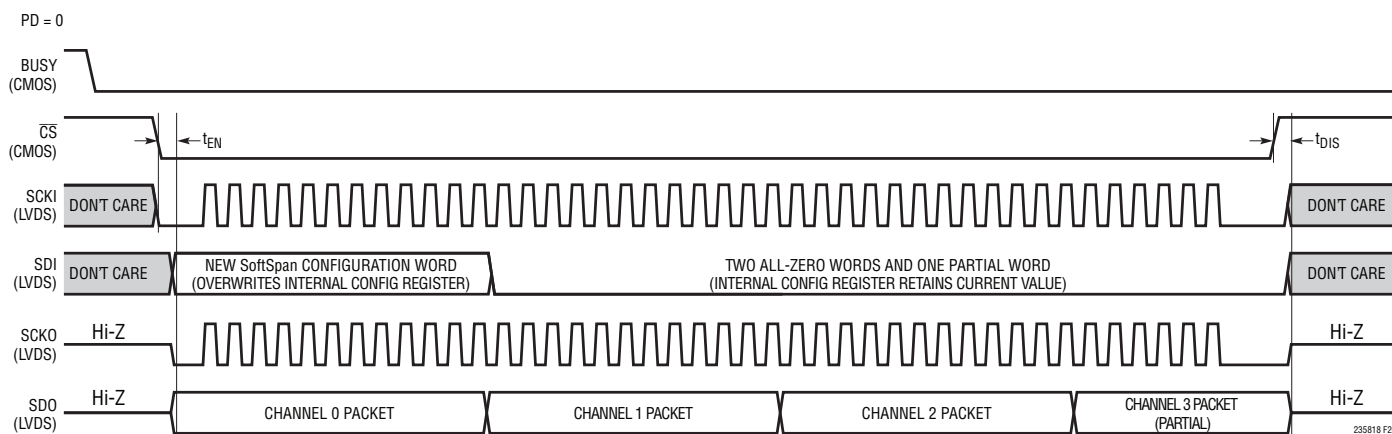


図20. 内部SoftSpan構成レジスタの動作。 \overline{CS} に対するシリアルLVDSバスの応答

アプリケーション情報

データ・トランザクション期間中に得られるSCKIの(立ち上がりおよび立ち下がり)エッジが24回未満の場合、SDIで受け取った不完全なワードは無視され、SoftSpan構成レジスタは更新されません。正確に24回のSCKIエッジを与えた場合は、受信したSoftSpan設定ワードS[23:0]に応じてSoftSpan設定レジスタが更新されます。S[23:0]が全てゼロの場合は、この動作の例外が発生します。この場合にはSoftSpan構成レジスタが更新されないため、アプリケーションがSDIを“L”のアイドル状態にすることにより、現在のSoftSpan構成状態を維持することができます。データ処理ウィンドウの期間中に与えたSCKIエッジの数が24を超える場合は、SDIで受信した24ビットの完全なそれぞれの制御ワードが新しいSoftSpan設定ワードと見なされ、前述のようにSoftSpan設定レジスタに適用されます。部分的な設定ワードは無視されます。

通常、アプリケーションは、図19、20のようにSoftSpan設定レジスタを更新します。BUSYの立ち下がりエッジで新しいデータ処理ウィンドウの期間に入った後の最初の12回のSCKIサイクル中に、24ビットのDDR SoftSpan設定ワードをSDIに書き込みます。12回目のSCKI立ち上がりエッジの後、この新しい設定ワードが内部設定レジスタに上書きされます。この後は、さらにSCKIサイクルが加えられてもレジスタの内容が保持されるよう、データ処理ウィンドウの残りの時間中はSDIを“L”に保ちます。データ処理ウィンドウの期間全体にわたってSDIを“L”に保持すると、加えられたSCKIサイクルの数に関係なく、複数回の変換に対してSoftSpanの設定を保持できます。

基板のレイアウト

LTC2358-18から最大限の性能を引き出すには、4層プリント回路基板(PCB)を推奨します。PCBのレイアウトでは、デジタル信号線とアナログ信号線をできるだけ離すようにします。特に、デジタル・クロックやデジタル信号は、アナログ信号に沿って配線したり、ADCの下に配線したりしないように注意してください。また、REFBUFとGND(ピン20)の間のバイパス・コンデンサ帰還ループの長さを最小限に抑え、CNVの立ち上がりエッジを乱す可能性のある信号の近くにCNVの配線を引き回さないようにしてください。

電源のバイパス・コンデンサは、電源ピンにできるだけ近づけて配置します。A/Dコンバータを低ノイズで動作させるには、これらのバイパス・コンデンサに低インピーダンスの共通帰線を使用することが不可欠です。このためには、切れ目のない単一のグラウンド・プレーンを推奨します。可能な場合は、グラウンドを使用してアナログ入力トレースを遮蔽してください。

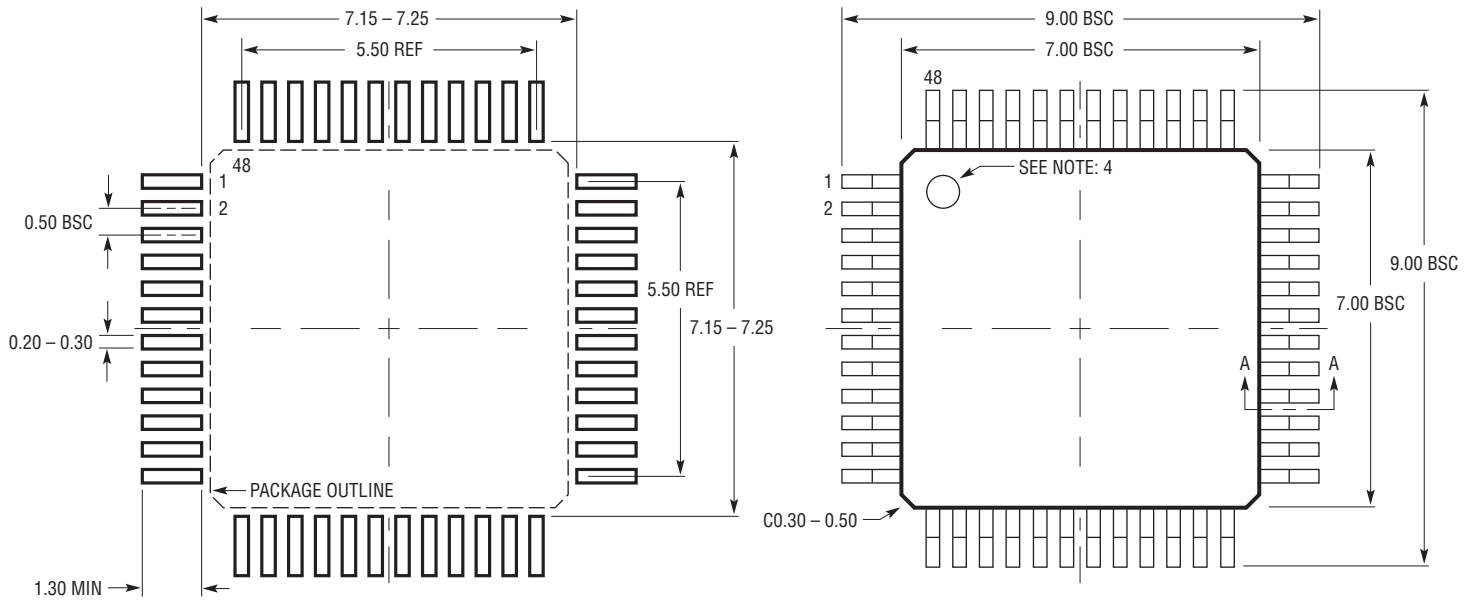
リファレンスの設計

図面やPCBレイアウトなど、このコンバータのリファレンスの設計を詳細に調べる場合は、[DC2365](#) (LTC2358-18の評価キット)を参照してください。

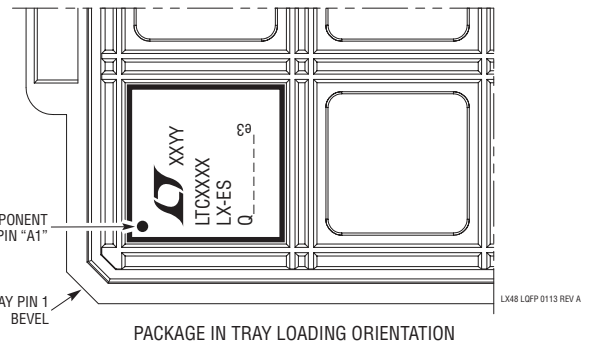
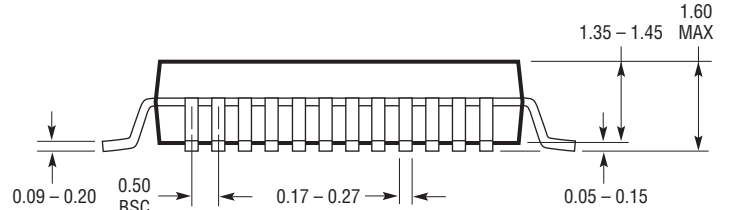
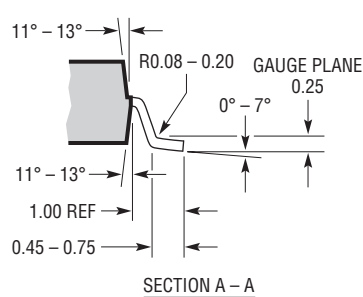
パッケージ

最新のパッケージ図は、<http://www.linear-tech.co.jp/product/LTC2358-18#packaging> を参照してください。

LX Package
48-Lead Plastic LQFP (7mm × 7mm)
 (Reference LTC DWG # 05-08-1760 Rev A)



RECOMMENDED SOLDER PAD LAYOUT
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



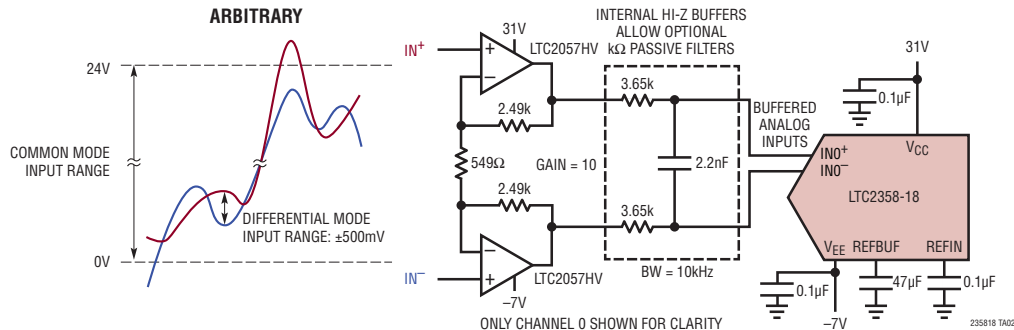
注記:

1. パッケージ寸法は JEDEC #MS-026 のパッケージ外形に適合
2. 寸法はミリメートル
3. 寸法にはモールドのバリを含まない。モールドのバリは(もしあれば)各サイドで 0.25mm を超えないこと
4. ピン 1 の識別マークはモールドのくぼみ、直径 0.50mm
5. 図は実寸とは異なる

LTC2358-18

標準的応用例

バッファ付きのアナログ入力を使用して広い同相電圧範囲にわたって利得10で差動信号を増幅



関連製品

製品番号	説明	注釈
A/D コンバータ		
LTC2358-16	16ビット、200ksp/チャンネル、バッファ付き8チャンネル同時サンプリング、INL:±1LSB、シリアル A/D コンバータ	同相電圧範囲が30V _{P-P} の±10.24V バッファ付き SoftSpan 入力、SNR:94.2dB、シリアル CMOS および LVDS I/O、7mm×7mm LQFP-48 パッケージ
LTC2348-18/LTC2348-16	18/16ビット、200ksp/チャンネル、8チャンネル同時サンプリング、INL:±3LSB/±1LSB、シリアル A/D コンバータ	入力同相電圧範囲の広い±10.24V SoftSpan 入力、SNR:97dB/94dB、シリアル CMOS および LVDS I/O、7mm×7mm LQFP-48 パッケージ
LTC2335-18/LTC2335-16	18/16ビット、1Msp/チャンネル、8チャンネル多重化、INL:±3LSB/±1LSB、シリアル A/D コンバータ	入力同相電圧範囲の広い±10.24V SoftSpan 入力、SNR:97dB/94dB、シリアル CMOS および LVDS I/O、7mm×7mm LQFP-48 パッケージ
LTC2345-18/LTC2345-16	18/16ビット、200ksp、8チャンネル同時サンプリング、INL:±5LSB/±1.25LSB、シリアル A/D コンバータ	入力同相電圧範囲の広い±4.096V SoftSpan 入力、SNR:92dB/91dB、シリアル CMOS および LVDS I/O、7mm×7mm QFN-48 パッケージ
LTC2378-20/LTC2377-20/LTC2376-20	INLが±0.5ppmの20ビット、1Msp/500ksp/250ksp、シリアル、低消費電力 A/D コンバータ	2.5V 電源、±5V 完全差動入力、SNR:104dB、MSOP-16 および 4mm×3mm DFN-16 パッケージ
LTC2338-18/LTC2337-18/LTC2336-18	18ビット、1Msp/500ksp/250ksp シリアル、低消費電力 A/D コンバータ	5V 電源、±10.24V 完全差動入力、SNR:100dB、MSOP-16 パッケージ
LTC2328-18/LTC2327-18/LTC2326-18	18ビット、1Msp/500ksp/250ksp シリアル、低消費電力 A/D コンバータ	5V 電源、±10.24V 疑似差動入力、SNR:95dB、MSOP-16 パッケージ
LTC2373-18/LTC2372-18	18ビット、1Msp/500ksp、8チャンネル、シリアル A/D コンバータ	5V 電源、8チャンネル・マルチプレクサ内蔵、構成可能な入力範囲、SNR:100dB、DGC、5mm×5mm QFN-32 パッケージ
LTC2379-18/LTC2378-18/LTC2377-18/LTC2376-18	18ビット、1.6Msp/1Msp/500ksp/250ksp、シリアル、低消費電力 A/D コンバータ	2.5V 電源、差動入力、SNR:101.2dB、入力範囲:±5V、DGC、MSOP-16 および 4mm×3mm DFN-16 パッケージのピン互換ファミリ
LTC2380-16/LTC2378-16/LTC2377-16/LTC2376-16	16ビット、2Msp/1Msp/500ksp/250ksp、シリアル、低消費電力 A/D コンバータ	2.5V 電源、差動入力、SNR:96.2dB、入力範囲:±5V、DGC、MSOP-16 および 4mm×3mm DFN-16 パッケージのピン互換ファミリ
LTC2389-18/LTC2389-16	18/16ビット、2.5Msp、パラレル/シリアル A/D コンバータ	5V 電源、ピンで設定可能な入力範囲、SNR:99.8dB/96dB、パラレルまたはシリアル I/O、7mm×7mm LQFP-48 および QFN-48 パッケージ
LTC2387-18/LTC2387-16	18/16ビット、15Msp SAR A/D コンバータ	5V 電源、差動入力、SNR:93.8dB、5mm×5mm QFN パッケージ
LTC1859/LTC1858/LTC1857	16/14/12ビット、8チャンネル、100ksp、シリアル A/D コンバータ	±10V、SoftSpan、シングルエンド入力または差動入力、5V 単電源、SSOP-28 パッケージ
D/A コンバータ		
LTC2756/LTC2757	18ビット、シリアル/パラレル SoftSpan 電流出力 D/A コンバータ	INL/DNL:±1LSB、ソフトウェアで選択可能な範囲、SSOP-28/7mm×7mm LQFP-48 パッケージ
LTC2668	16チャンネル 16/12ビット±10V 電圧出力 SoftSpan DAC	INL:±4LSB、高精度のリファレンス:10ppm/°C(最大)、6mm×6mm QFN-40 パッケージ
リファレンス		
LTC6655	高精度、低ドリフト、低ノイズのバッファ付きリファレンス	5V/2.5V/2.048V/1.25V、2ppm/°C、ピーク・トゥ・ピーク・ノイズ:0.25ppm、MSOP-8 パッケージ
LT6657	高精度、低ドリフト、低ノイズのバッファ付きリファレンス	5V/3V/2.5V、1.5ppm/°C、ピーク・トゥ・ピーク・ノイズ:0.5ppm、MSOP-8 パッケージ
アンプ		
LTC2057/LTC2057HV	高電圧、低ノイズのゼロドリフト・オペアンプ	入力オフセット電圧(最大):4.5µV、電源電圧範囲:4.75V~60V
LT6020	デュアル、マイクロパワー、5V/µs、レール・トゥ・レール・オペアンプ	入力オフセット電圧(最大):30µV、電源電流(最大):100µA/アンプ
LT1354/LT1355/LT1356	シングル/デュアル/クワッド、1mA、12MHz、400V/µs オペアンプ	優れた DC 精度、あらゆる容量性負荷を接続しても安定

235818f

38

リニアテクノロジー株式会社

〒102-0094 東京都千代田区紀尾井町3-6紀尾井町パークビル8F

TEL 03-5226-7291 • FAX 03-5226-0268 • www.linear-tech.co.jp/LTC2358-18

LT0317 • PRINTED IN JAPAN

LINEAR TECHNOLOGY
NOW PART OF
ANALOG DEVICES
© LINEAR TECHNOLOGY CORPORATION 2017