



3軸、±2g/±4g/±8g/±16gの 超低消費電力デジタル MEMS 加速度センサー

データシート

ADXL344

特長

- 10~13ビットの分解能を持つ広範なアプリケーションに使用可能な多目的加速度センサー
- デジタル出力へは SPI (3線または4線式) および I²C でアクセス可能
- 内蔵のモーション検出機能により、タップ、ダブル・タップ、モーションの有無 (アクティビティ/インアクティビティ)、オリエンテーション、自由落下を容易に検出
- ユーザーが調整可能な閾値
- 2つの割込みピンに個別に割込みをマッピング可能
- 最小 23μA の低消費電力動作と組み込み FIFO によるシステム全体の消費電力削減
- 広い電源電圧範囲と I/O 電圧範囲 : 1.7V~2.75V
- 広い動作温度範囲 (-40°C~+85°C)
- 10,000g の耐衝撃性
- RoHS に準拠した小型、薄型の鉛フリー 3mm × 3mm × 0.95mm LGA パッケージ

アプリケーション

- ハンドセット
- ゲーム用デバイスとポインティング・デバイス
- ハード・ディスク・ドライブ (HDD) の保護

概要

ADXL344 は、多用途性を備えた 3 軸のデジタル出力低 g MEMS 加速度センサーです。測定範囲と帯域幅を選択できる上に、設定変更可能なモーション検出機能を内蔵しているため、様々なアプリケーションの加速度検出に最適です。この加速度センサーは 10,000g までの衝撃に耐えることができ、温度範囲も広いので (-40°C~+85°C)、過酷な環境でも使用できます。

ADXL344 は、高い分解能 (13 ビット) で最大 ±16g の加速度を測定します。デジタル出力データは 16 ビットの 2 の補数としてフォーマットされ、SPI (3 線式または 4 線式) または I²C デジタル・インターフェースを通じて読み出すことができます。

ADXL344 は、傾き検出アプリケーションでの重力による静的加速度の他、動きや衝撃による動的加速度も測定できます。分解能が高い (3.9mg/LSB) ので、1.0° 未満の傾きの変化も測定可能です。

特別な検出機能もいくつか備えています。アクティビティ/インアクティビティ検出機能はモーションの有無を検出します。タップ検出機能は、あらゆる方向のシングル・タップとダブル・タップを検出します。自由落下検出機能はデバイスが落下していることを検出します。オリエンテーション検出機能は 4 ポジションおよび 6 ポジションのオリエンテーションをレポートし、オリエンテーションが変化するたびに割込みをトリガできます。これらの機能は、2 つの割込み出力ピンのどちらかに個別にマッピングすることが可能です。

32 レベルの先入れ先出し (FIFO) バッファを備えた内蔵メモリ管理システムを使ってデータを保存できるので、ホスト・プロセッサの動作を最小限に抑え、システム全体の消費電力を削減することができます。

ADXL344 は、小型で薄型の 3mm×3mm×0.95mm 16 端子プラスチック・パッケージを採用しています。

機能ブロック図

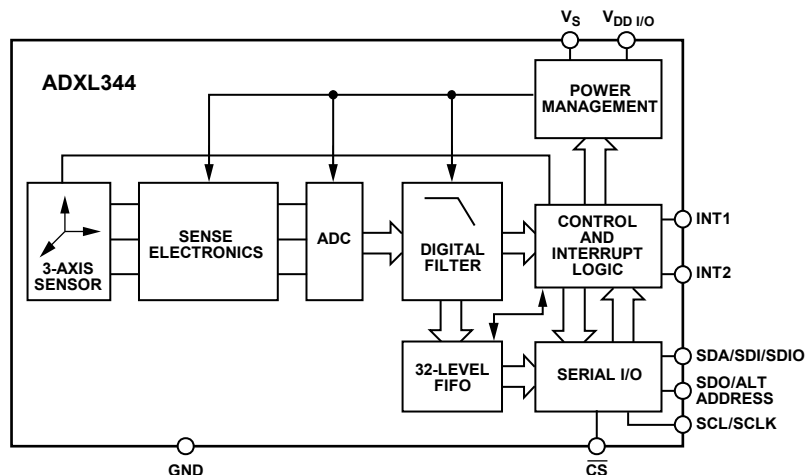


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2012 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	レジスタの定義	21
アプリケーション	1	アプリケーション情報	27
概要	1	電源のデカップリング	27
機能ブロック図	1	取付けに関する機構的な注意事項	27
改訂履歴	2	タップ検出	27
仕様	3	拡張タップ検出	28
絶対最大定格	5	タップ符号	28
熱抵抗	5	閾値	29
パッケージ情報	5	リンク・モード	29
ESDに関する注意	5	スリープ・モードと低消費電力モード	29
ピン配置およびピン機能の説明	6	オフセット・キャリブレーション	29
代表的な性能特性	7	セルフテストの使用法	30
動作原理	10	オリエンテーション検出	31
電源シーケンス	10	高データ・レートのデータ・フォーマッティング	32
節電機能	11	ノイズ性能	33
シリアル通信	12	2.6V以外の電圧での動作	33
SPI	12	最小データ・レートにおけるオフセット性能	34
I ² C	15	加速度検出軸	35
割込み	17	レイアウトと設計の推奨事項	36
FIFO	18	外形寸法	37
セルフテスト	19	オーダー・ガイド	37
レジスタ・マップ	20		

改訂履歴

4/12—Revision 0: Initial Version

仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 2.6\text{V}$ 、 $V_{DDIO} = 1.8\text{V}$ 、加速度 = 0 g、 $C_S = 10\mu\text{F}$ タンタル・コンデンサ、 $C_{I/O} = 0.1\mu\text{F}$ 、出力データ・レート (ODR) = 800Hz。

表 1.

パラメータ	テスト条件/コメント	Min ¹	Typ ²	Max ¹	単位
SENSOR INPUT					
Measurement Range	各軸 ユーザが選択可能		$\pm 2, \pm 4, \pm 8, \pm 16$		g
Nonlinearity	フルスケールのパーセンテージ		± 0.5		%
Inter-Axis Alignment Error			± 0.1		Degrees
Cross-Axis Sensitivity ³			± 1		%
OUTPUT RESOLUTION					
All g Ranges	各軸 10 ビット分解能		10		Bits
± 2 g Range	最大分解能		10		Bits
± 4 g Range	最大分解能		11		Bits
± 8 g Range	最大分解能		12		Bits
± 16 g Range	最大分解能		13		Bits
SENSITIVITY					
Sensitivity at $X_{OUT}, Y_{OUT}, Z_{OUT}$	各軸 全 g レンジ、最大分解能		256		LSB/g
	± 2 g、10 ビット分解能		256		LSB/g
	± 4 g、10 ビット分解能		128		LSB/g
	± 8 g、10 ビット分解能		64		LSB/g
	± 16 g、10 ビット分解能		32		LSB/g
Sensitivity Deviation from Ideal	全 g レンジ		± 1.0		%
Scale Factor at $X_{OUT}, Y_{OUT}, Z_{OUT}$	全 g レンジ、最大分解能		3.9		mg/LSB
	± 2 g、10 ビット分解能		3.9		mg/LSB
	± 4 g、10 ビット分解能		7.8		mg/LSB
	± 8 g、10 ビット分解能		15.6		mg/LSB
	± 16 g、10 ビット分解能		31.2		mg/LSB
Sensitivity Change Due to Temperature			± 0.02		%/°C
0 g OFFSET					
0 g Output Deviation from Ideal for X-, Y-, Z-Axes	各軸		± 35		mg
0 g Offset vs. Temperature for X-, Y-, Z-Axes			± 1.0		mg/°C
NOISE					
X-, Y-, Z-Axes	ODR = 100Hz、 ± 2 g で 10 ビット分解能の場合または全 g レンジで最大分解能の場合		1.5		LSB rms
OUTPUT DATA RATE AND BANDWIDTH					
Output Data Rate (ODR) ^{4, 5, 6, 7}	ユーザが選択可能	0.10		3200	Hz
SELF-TEST⁸					
Output Change in X-Axis		0.27		1.55	g
Output Change in Y-Axis		-1.55		-0.27	g
Output Change in Z-Axis		0.40		1.95	g
POWER SUPPLY					
Operating Voltage Range (V_S)		1.7	2.6	2.75	V
Interface Voltage Range (V_{DDIO})		1.7	1.8	V_S	V
Measurement Mode Supply Current	ODR \geq 100Hz		140		μA
	ODR < 10Hz		30		μA
Standby Mode Supply Current			0.2		μA
Turn-On and Wake-Up Time ⁹	ODR = 3200Hz		1.4		ms

パラメータ	テスト条件/コメント	Min ¹	Typ ²	Max ¹	単位
TEMPERATURE Operating Temperature Range		-40		+85	°C
WEIGHT Device Weight			18		mg

¹ 最小仕様と最大仕様はすべて確保されています。代表仕様は確保されていません。

² ここに示す代表仕様値はデバイス総数の 68%以上に対する値であり、0g の出力と感度を除いて平均 $\pm 1\sigma$ という最も厳しい条件に基づいています。この条件は目標値を表しています。0g のオフセットと感度の場合は、理想値からの偏差が平均 $\pm 1\sigma$ の最も厳しい条件を表します。

³ 交差軸感度は任意の 2 軸の結合として定義されます。

⁴ 帯域幅は-3dB 周波数で、これは出力データ・レート帯域幅の半分です (= ODR/2)。

⁵ ODR が 3200Hz と 1600Hz のときの出力フォーマットは、他の ODR の出力フォーマットと異なります。この違いについては、[高データ・レートのデータ・フォーマット](#)のセクションを参照してください。

⁶ 6.25Hz 以下の出力データ・レートでは、選択した出力データ・レートに応じ、温度の上昇と共にオフセット変化が増加します。詳細については、[最小データ・レートにおけるオフセット性能](#)のセクションを参照してください。

⁷ これらの値は、最小および最大出力データ・レート設定における代表値です。

⁸ セルフテスト変動は、SELF_TEST ビット = 1 (DATA_FORMAT レジスタ、アドレス 0x31) のときの出力 (g) から、SELF_TEST ビット = 0 のときの出力 (g) を減じた値として定義されます。デバイス内蔵のフィルタによって、出力が安定するのはセルフテストをイネーブルまたはディスエーブルしてから 4τ 後になります ($\tau = 1/\text{データ・レート}$)。セルフテストを正しく行うには、デバイスを通常消費電力動作状態 (アドレス 0x2C の BW_RATE レジスタの LOW_POWER ビット = 0) にする必要があります。

⁹ ターンオン時間とウェイクアップ時間は、ユーザが定義する帯域幅によって決まります。データ・レートが 100Hz の場合、ターンオン時間とウェイクアップ時間はそれぞれ約 11.1ms です。それ以外のデータ・レートでは、ターンオン時間とウェイクアップ時間はそれぞれ約 $\tau + 1.1$ ミリ秒です ($\tau = 1/\text{データ・レート}$)。

絶対最大定格

表 2.

Parameter	Rating
Acceleration	
Any Axis, Unpowered	10,000 g
Any Axis, Powered	10,000 g
V_S	-0.3 V to +3.0 V
V_{DDIO}	-0.3 V to +3.0 V
Digital Pins	-0.3 V to $V_{DDIO} + 0.3$ V or 3.0 V, whichever is less
All Other Pins	-0.3 V to +3.0 V
Output Short-Circuit Duration (Any Pin to Ground)	Indefinite
Temperature Range	
Powered	-40°C to +105°C
Storage	-40°C to +105°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

表 3. パッケージ特性

Package Type	θ_{JA}	θ_{JC}	Device Weight
16-Terminal LGA	150°C/W	85°C/W	18 mg

パッケージ情報

図 2 と表 4 に、ADXL344 に表示された製品情報に関する詳細を示します。製品のリリース関連情報については、[オーダー・ガイド](#)のセクションを参照してください。

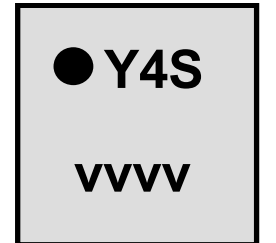


図 2. パッケージに表示された製品情報（上面）

表 4. パッケージに表示された製品情報

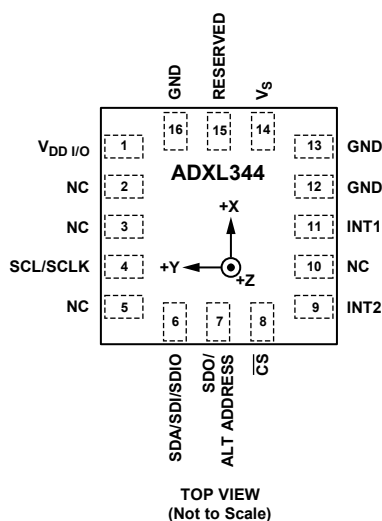
Branding Key	Field Description
Y4S	Part identifier for the ADXL344
vvvv	Factory lot code

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. NC = NO INTERNAL CONNECTION.

10628-002

図 3. ピン配置 (上面図)

表 5. ピン機能の説明

ピン番号	記号	説明
1	V _{DD I/O}	デジタル・インターフェースの電源電圧。
2	NC	内部では未接続。
3	NC	内部では未接続。
4	SCL/SCLK	シリアル通信クロック。
5	NC	内部では未接続。
6	SDA/SDI/SDIO	シリアル・データ (I ² C) /シリアル・データ入力 (SPI 4線) /シリアル・データ入出力 (SPI 3線)
7	SDO/ALT ADDRESS	シリアル・データ出力 (SPI 4線) /代替 I ² C アドレス・セレクト (I ² C)
8	CS	チップ・セレクト。
9	INT2	割込み 2 出力。
10	NC	内部では未接続。
11	INT1	割込み 1 出力。
12	GND	グラウンドに接続する必要があります。
13	GND	グラウンドに接続する必要があります。
14	V _S	電源電圧。
15	RESERVED	予備。このピンは V _S に接続する必要があります。
16	GND	グラウンドに接続する必要があります。

代表的な性能特性

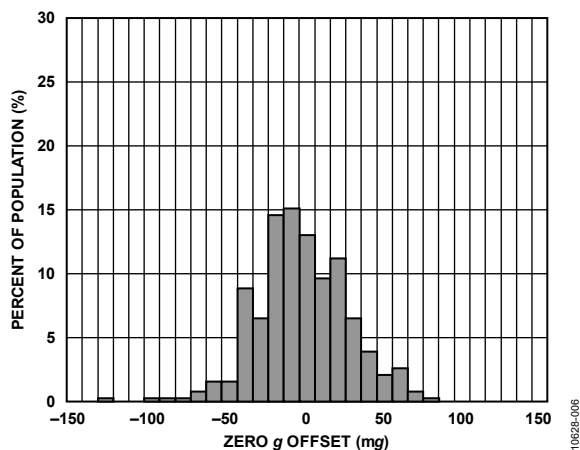


図 4. ゼロ g オフセット (25°C、 $V_S = 2.6V$ 、すべての軸)

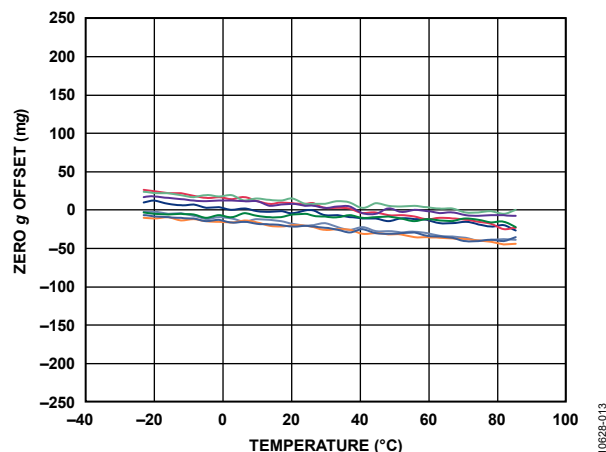


図 7. X軸の0g オフセット温度特性
(8個のデバイスをPCBにハンダ付け、 $V_S = 2.6V$)

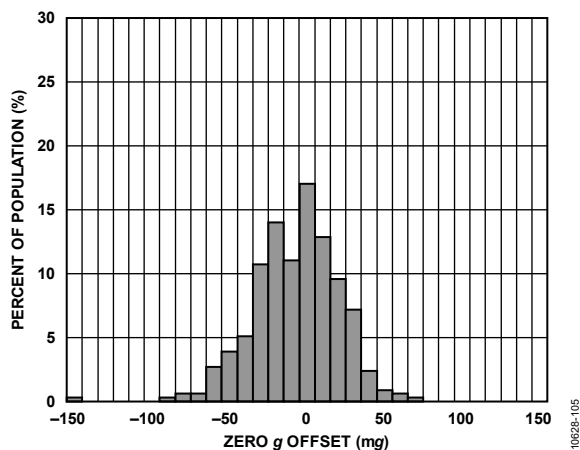


図 5. ゼロ g オフセット (25°C、 $V_S = 1.8V$ 、すべての軸)

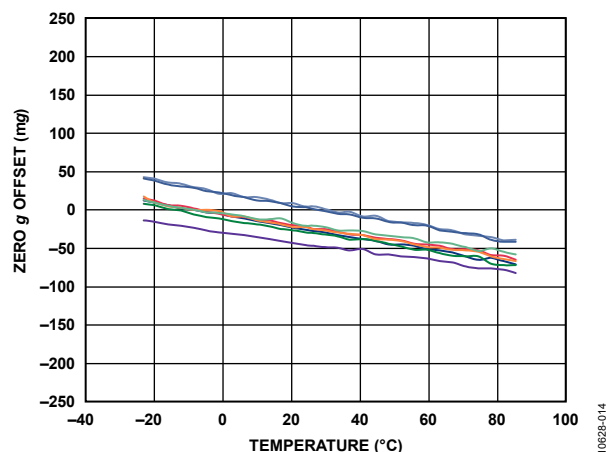


図 8. Y軸の0g オフセット温度特性
(8個のデバイスをPCBにハンダ付け、 $V_S = 2.6V$)

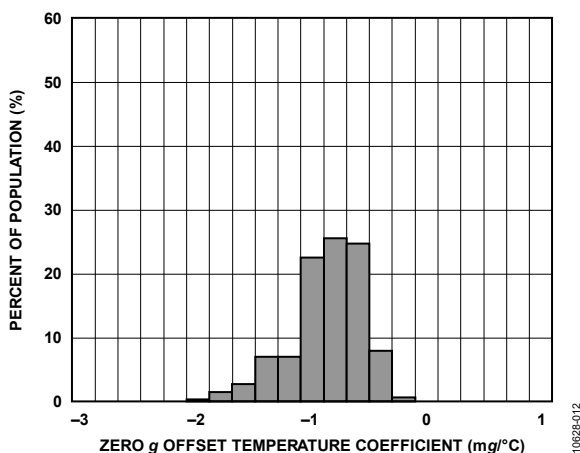


図 6. ゼロ g オフセット温度係数 ($V_S = 2.6V$ 、すべての軸)

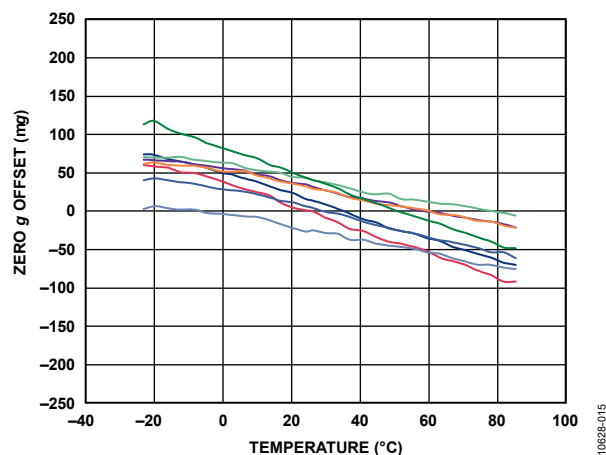


図 9. Z軸の0g オフセット温度特性
(8個のデバイスをPCBにハンダ付け、 $V_S = 2.6V$)

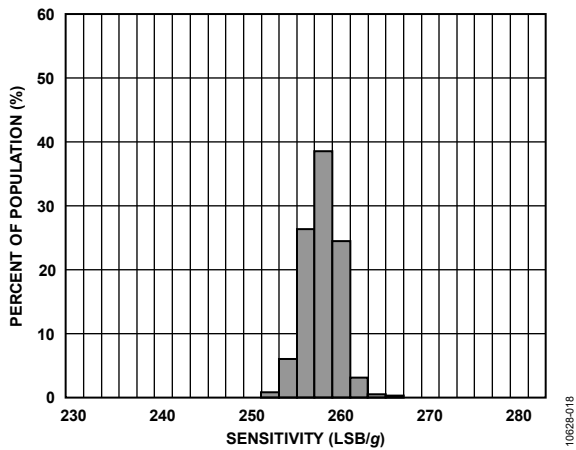


図 10. 感度 (25°C、 $V_S = 2.6V$ 、最大分解能、すべての軸)

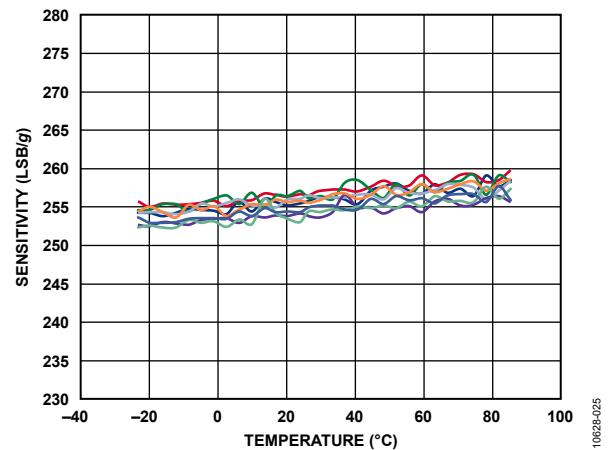


図 13. X 軸感度の温度特性 (8 個のデバイスを PCB にハンダ付け、 $V_S = 2.6V$ 、最大分解能)

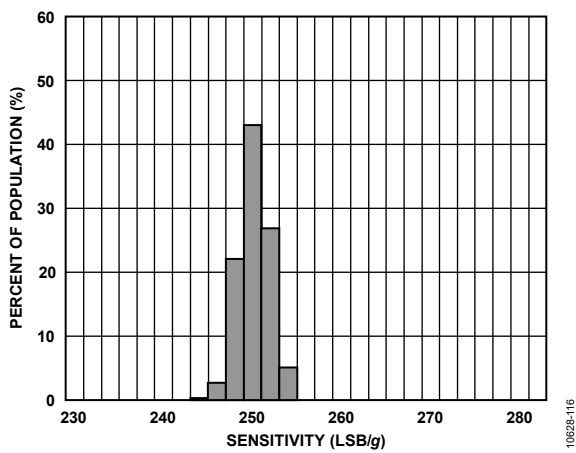


図 11. 感度 (25°C、 $V_S = 1.8V$ 、最大分解能、すべての軸)

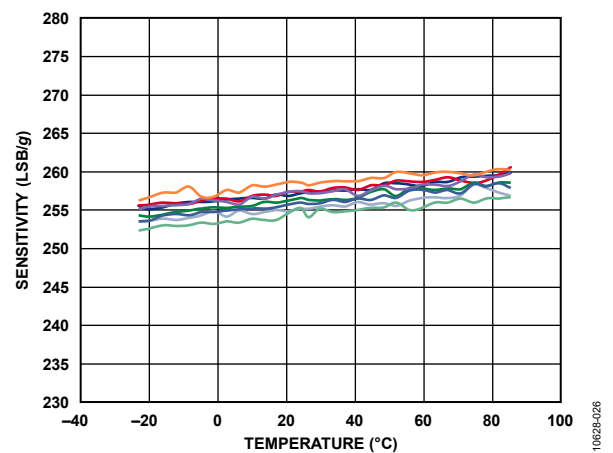


図 14. Y 軸感度の温度特性 (8 個のデバイスを PCB にハンダ付け、 $V_S = 2.6V$ 、最大分解能)

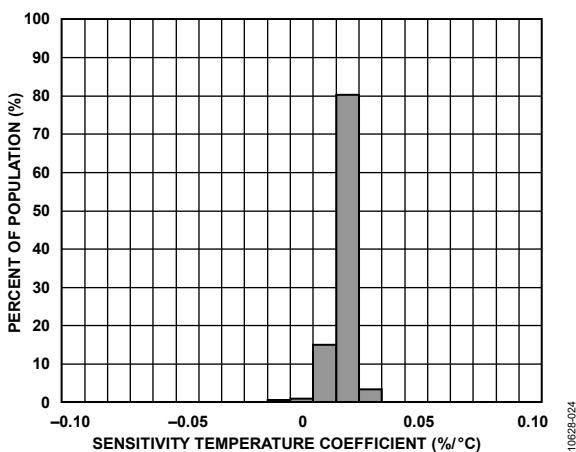


図 12. 感度温度係数 ($V_S = 2.6V$ 、すべての軸)

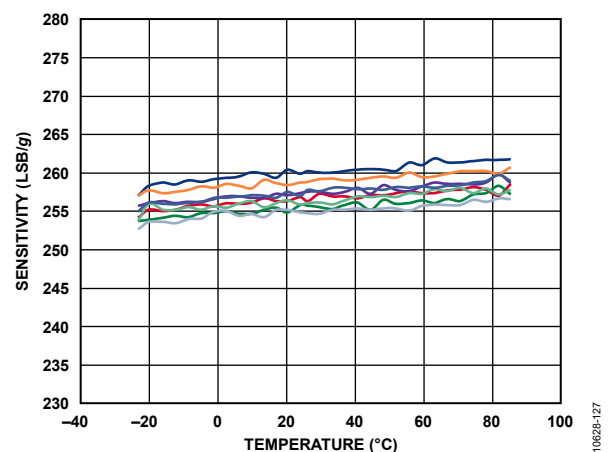


図 15. Z 軸感度の温度特性 (8 個のデバイスを PCB にハンダ付け、 $V_S = 2.6V$ 、最大分解能)

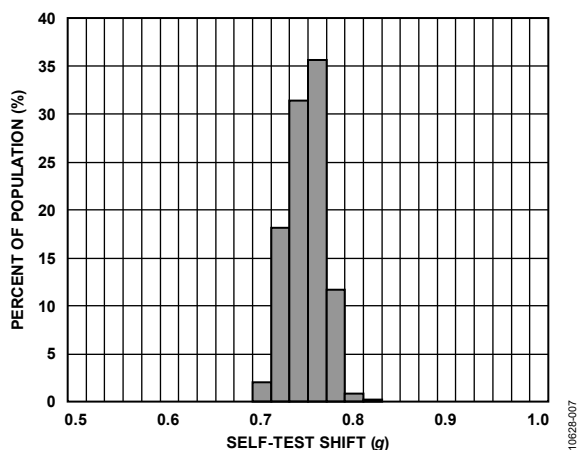


図 16. X 軸のセルフテスト応答 (25°C、 $V_S = 2.6V$)

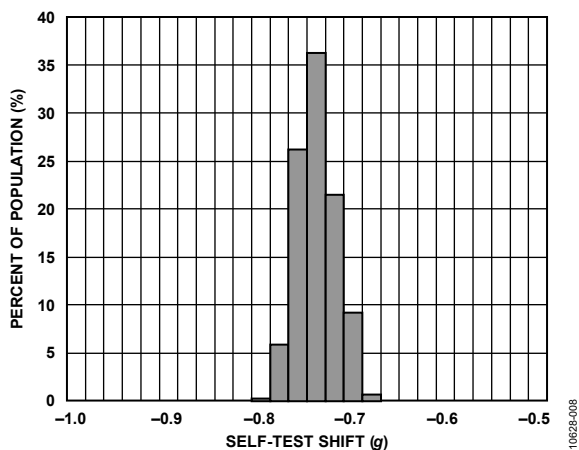


図 17. Y 軸のセルフ・テスト応答 (25°C、 $V_S = 2.6V$)

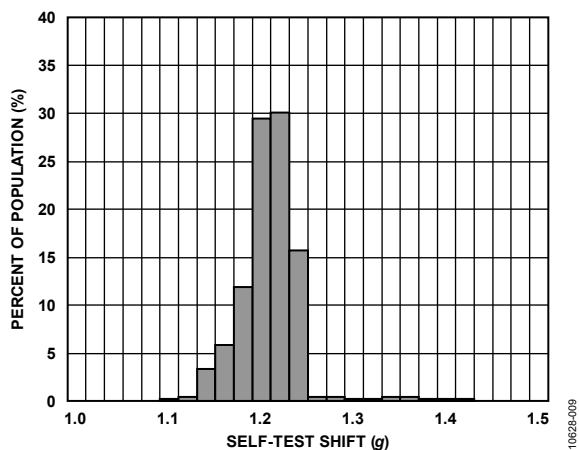


図 18. Z 軸のセルフ・テスト応答 (25°C、 $V_S = 2.6V$)

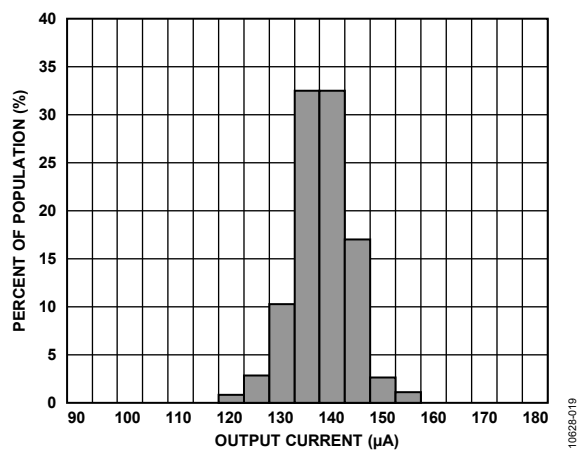


図 19. 電源電流 (25°C、ODR = 100Hz、 $V_S = 2.6V$)

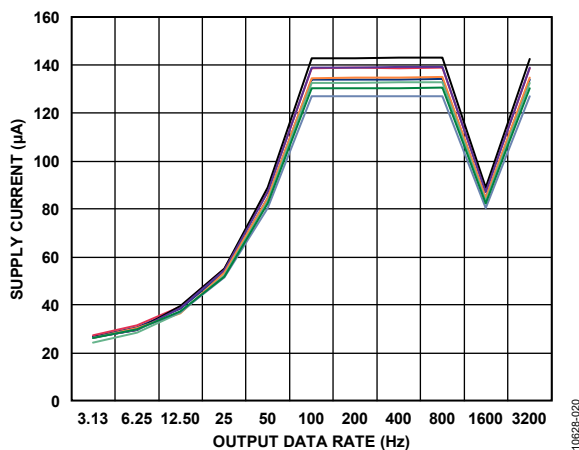


図 20. 電源電流と出力データ・レートの関係 (25°C、10 個のデバイス、 $V_S = 2.6V$)

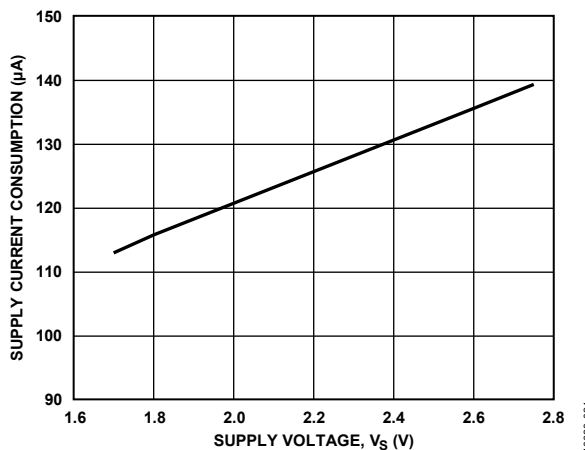


図 21. 電源電流と電源電圧の関係 (25°C)

動作原理

ADXL344 は、 $\pm 2g$ 、 $\pm 4g$ 、 $\pm 8g$ 、または $\pm 16g$ の測定レンジを選択できる全機能内蔵型の 3 軸加速度測定システムです。動き（モーション）や衝撃によって生じる動的加速度と、重力などの静的加速度の両方を測定できるので、傾斜センサーとしても使用できます。

このセンサーは、シリコン・ウェーハ上面にポリシリコン表面マイクロマシン構造が構成されています。ポリシリコンのスプリングがこの構造をウェーハ表面上で支持しており、加えられた加速度に対する抵抗を発生させます。

構造部の変位は、独立した固定プレートと可動部に取り付けられたプレートで構成される差動コンデンサによって測定されます。加速度が加わるとこのブルーフ・マスが動いて差動コンデンサのバランスが崩れ、加速度に比例した振幅を持つセンサー出力が得られます。この出力から、位相検波復調方式を使用して加速度の大きさと極性を決定します。

電源シーケンス

どのような順番で V_S や $V_{DD\ I/O}$ に電源を供給しても、ADXL344 が損傷することはありません。考えられるすべてのパワー・オン・モードを表 6 に示します。インターフェース電圧レベルを設定するのはインターフェース電源電圧 ($V_{DD\ I/O}$) で、ADXL344 が通信バス上で競合を生成しないようにするには、このインターフェース電源電圧が供給されている必要があります。単電源動作では、 $V_{DD\ I/O}$ を主電源 (V_S) と同じにすることができます。しかし両電源アプリケーションでは、 V_S が $V_{DD\ I/O}$ 以上の値であれば、 $V_{DD\ I/O}$ と V_S を異なる値にして希望のインターフェース電圧を得ることができます。

V_S が印加されると、デバイスはスタンバイ・モードに入ります。このモードでは消費電力が最小限に抑えられ、デバイスは、 $V_{DD\ I/O}$ の印加と、測定モードに入るためのコマンドの受信を待ちます（このコマンドは、POWER_CTL レジスタ（アドレス 0x2D）の測定ビット（ビット D3）をセットすることによって開始できます）。更に、デバイスがスタンバイ・モードにある間は、デバイスを設定するために任意のレジスタの読出し/書込みを行うことができます。スタンバイ・モードの間にデバイスの設定を完了させてから、測定モードを有効にすることを推奨します。測定ビットをクリアすると、デバイスはスタンバイ・モードに戻ります。

表 6. 電源シーケンス

条件	V_S	$V_{DD\ I/O}$	説明
Power Off	Off	Off	デバイスは完全にオフですが、通信バスの競合が生じる可能性があります。
Bus Disabled	On	Off	デバイスはスタンバイ・モードでオンですが、通信を行うことはできず、通信バス上に競合が生じる可能性があります。競合を防ぐため、電源投入時にこの状態になる時間を最小限に止める必要があります。
Bus Enabled	Off	On	使用できる機能はありませんが、デバイスが通信バス上に競合を生じさせることはありません。
Standby or Measurement Mode	On	On	デバイスは電源投入時にスタンバイ・モードになり、測定モードに入るためのコマンドを待ちます。センサー機能はすべてオフです。デバイスが測定モードに入るよう指示された後は、すべてのセンサー機能が使用可能になります。

節電機能

消費電力モード

表 7 に示すように、ADXL344 は、その出力データ・レートに基づいて自動的に消費電力を調整します。それ以上の節電が必要な場合は低消費電力モードを使用できます。このモードでは、内部サンプリング・レートを減らすことによって 12.5Hz～400Hz のデータ・レート範囲で節電が可能ですが、ノイズがわずかに増大します。低消費電力モードにするには、BW_RATE レジスタ (アドレス 0x2C) の LOW_POWER ビット (ビット D4) をセットします。低消費電力モードを使用することでメリットが得られるケースについて、それぞれの消費電流を表 8 に示します。表 8 に示されていないデータ・レートで低消費電力モードを使用しても、同じデータ・レートで通常消費電力モードを使用した場合と比較してメリットはありません。したがって、低消費電力モードでは、表 8 に示すデータ・レートだけを使用することを推奨します。表 7 と表 8 に示す消費電流は、 $V_S = 2.6V$ の場合の値です。

表 7. 消費電流 (代表値) とデータ・レートの関係
($T_A = 25^\circ C$ 、 $V_S = 2.6V$ 、 $V_{DD\ IO} = 1.8V$)

Output Data Rate (Hz)	Bandwidth (Hz)	Rate Code	I_{DD} (μA)
3200	1600	1111	140
1600	800	1110	90
800	400	1101	140
400	200	1100	140
200	100	1011	140
100	50	1010	140
50	25	1001	90
25	12.5	1000	55
12.5	6.25	0111	40
6.25	3.13	0110	31
3.13	1.56	0101	27
1.56	0.78	0100	23
0.78	0.39	0011	23
0.39	0.20	0010	23
0.20	0.10	0001	23
0.10	0.05	0000	23

表 8. 消費電流 (代表値) とデータ・レートの関係、
低消費電力モード ($T_A = 25^\circ C$ 、 $V_S = 2.6V$ 、 $V_{DD\ IO} = 1.8V$)

Output Data Rate (Hz)	Bandwidth (Hz)	Rate Code	I_{DD} (μA)
400	200	1100	90
200	100	1011	55
100	50	1010	40
50	25	1001	31
25	12.5	1000	27
12.5	6.25	0111	23

自動スリープ・モード

ADXL344 が動作していないときは自動的にスリープ・モードに切り替わるようにすれば、さらなる節電が可能です。この機能をイネーブ爾するには、THRESH_INACT レジスタ (アドレス 0x25) と TIME_INACT レジスタ (アドレス 0x26) を動作休止を示す値に設定してから (具体的な値はアプリケーションによって異なります)、POWER_CTL レジスタ (アドレス 0x2D) の AUTO_SLEEP ビット (ビット D4) とリンク・ビット (ビット D5) をセットします。このモードで 8Hz 未満のデータ・レートを使用した場合の消費電流は、 $V_S = 2.6V$ のときに 23 μA (代表値) です。

スタンバイ・モード

スタンバイ・モードを使用すれば、消費電力を更に抑えることができます。スタンバイ・モードでは消費電流が 0.2 μA (代表値) まで低下します。このモードで測定を行うことはできません。スタンバイ・モードにするには、POWER_CTL レジスタ (アドレス 0x2D) の測定ビット (ビット D3) をクリアします。デバイスをスタンバイ・モードにしても FIFO の内容は保たれます。

シリアル通信

I²C および SPI デジタル通信の両方を使用できます。どちらの場合も、ADXL344 はスレーブとして動作します。CS ピンを V_{DDIO} にハイ接続すると、I²C モードがイネーブルされます。CS ピンが未接続のままの場合はデフォルト・モードがないため、CS ピンは常に V_{DDIO} にハイ接続するか、外部コントローラによって駆動する必要があります。この点の注意を怠ると、デバイスと通信できなくなることがあります。SPI モードでは、バス・マスタが CS ピンを制御します。SPI モードでも I²C モードでも、ADXL344 へ書き込みを行う際には、ADXL344 からマスタ・デバイスに送られるデータを無視してください。

SPI

SPI の場合は、図 22 と図 23 の接続図に示すように、3 線式または 4 線式の構成が可能です。DATA_FORMAT レジスタ（アドレス 0x31）の SPI ビット（ビット D6）をクリアすると 4 線モードが選択され、セットすると 3 線モードが選択されます。最大 SPI クロック速度は、100pF の最大負荷で 5MHz です。タイミング方式はクロック極性（CPOL）= 1、クロック位相（CPHA）= 1 に従います。ホスト・プロセッサのクロック極性とクロック位相を設定する前に ADXL344 に電源を供給する場合は、CS ピンをハイにしてからクロック極性とクロック位相を変更してください。3 線式 SPI を使用する場合は、SDO ピンを V_{DDIO} までプルアップするか、10kΩ 抵抗を使って GND までプルダウンすることを推奨します。

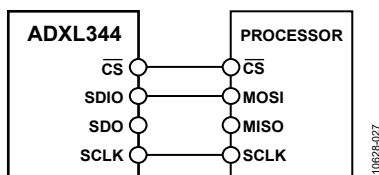


図 22. 3 線式 SPI の接続図

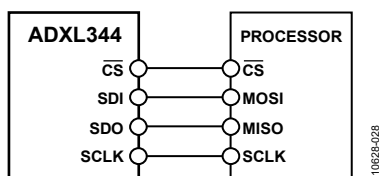


図 23. 4 線式 SPI の接続図

CS はシリアル・ポート・イネーブル・ラインで、SPI マスタが制御します。図 25 に示すように、このラインは伝送開始時にローにして伝送終了時にハイにする必要があります。SCLK はシリアル・ポート・クロックで、SPI マスタが電源を供給します。伝送を行わないときは、SCLK をアイドル・ハイにする必要があります。SDI はシリアル・データ入力、SDO はシリアル・データ出力です。データは SCLK の立下がりエッジで更新されます。サンプリングは SCLK の立上がりエッジで行ってください。

1 回の伝送で複数バイトの読み出し／書き込みを行うには、マルチバイト・ビット（最初のバイト転送の R/W ビットの後、図 25～

図 27 の MB) をセットする必要があります。ADXL344 は、レジスタ・アドレスの指定と最初のデータ・バイトの後で、これに続くそれぞれのクロック・パルスのセット（8 クロック・パルス）に合わせて、次に読み出し／書き込みを行うレジスタをポイントします。このシフト動作は、クロック・パルスが停止して CS がデアサートされるまで続きます。連続していない別のレジスタの読み出し／書き込みを行うには、伝送と伝送の間に CS をデアサートして、新しいレジスタを個別にアドレス指定する必要があります。

3 線式 SPI 読み出し／書き込みのタイミングを図 27 に示します。同様に、4 線式 SPI の書き込みタイミングを図 25 に、読み出しタイミングを図 26 に示します。デバイスを正しく動作させるために、表 9 と表 10 の論理閾値とタイミング・パラメータには必ず従ってください。

3200Hz と 1600Hz の出力データ・レートの使用は、SPI の通信速度が 2MHz 以上の場合に限り推奨します。また、800Hz の出力データ・レートが推奨されるのは、通信速度が 400kHz 以上の場合に限られます。その他のデータ・レートについても、これと同様の比例関係を保ってください。例えば、200Hz の出力データ・レートに対する最小推奨通信速度は 100kHz です。推奨される最大出力データ・レートを超過して動作させると、データ・サンプルの欠落やノイズの増加など、加速度データに望ましくない影響を与えることがあります。

バス・トラフィック・エラーの防止

ADXL344 の CS ピンは、SPI トランザクションの開始と I²C モードのイネーブルの両方に使用します。ADXL344 を他の複数のデバイスと共に SPI バス上で使用する場合、その CS ピンは、マスタが他のデバイスと通信している間ハイに保たれます。SPI コマンドが別のデバイスへ伝送される際に、それが有効な I²C コマンドのように見えることがあります。この場合は、ADXL344 がこれを I²C モードで通信しようとしているものと見なして、他のバス・トラフィックと干渉することがあります。バス・トラフィックの適切な管理を通じてこのような状況が絶対に発生しないようにできる場合を除き、図 24 に示すように、SDI ピンの前にロジック・ゲートを追加することを推奨します。この OR ゲートは CS がハイのときに SDI ラインをハイに保って、ADXL344 の SPI バス・トラフィックが I²C 開始コマンドと誤認されるのを防ぎます。ただし、この推奨事項が適用されるのは、ADXL344 を SPI バス上で複数のデバイスと共に使用する場合に限りません。

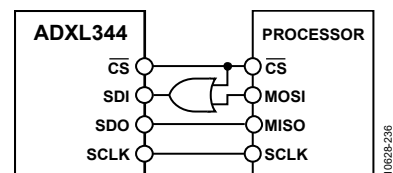


図 24. 1 つのバス上で複数の SPI デバイスを使用する場合の推奨 SPI 接続図

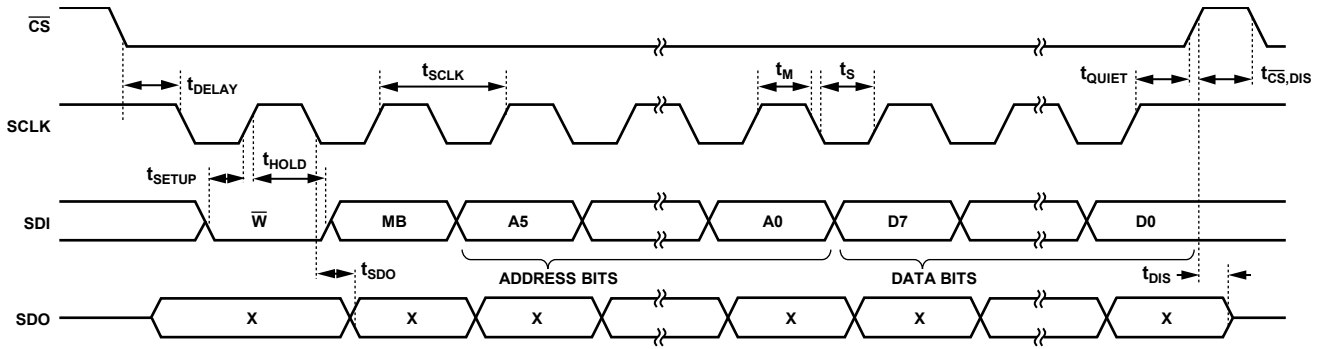


図 25. SPI 4 線式書込み

10628-129

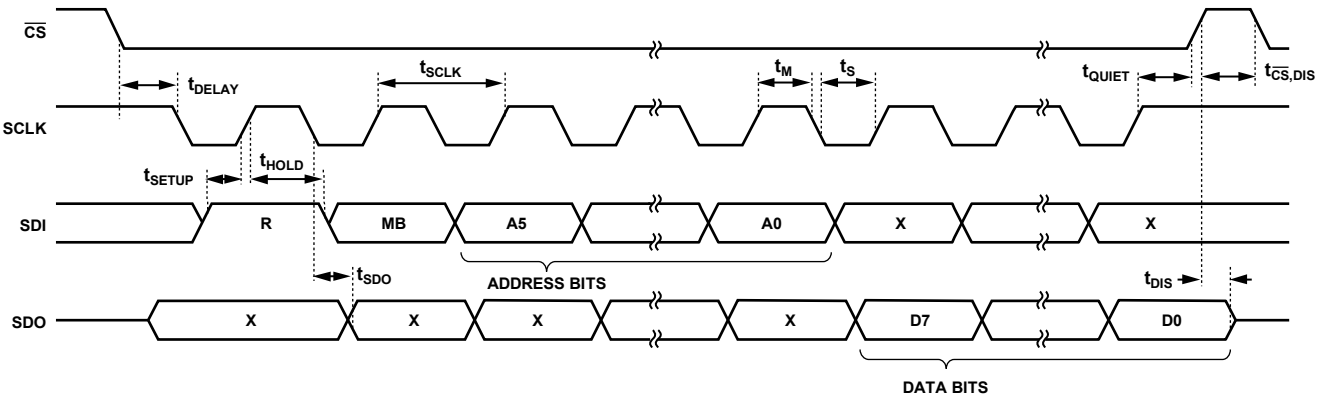
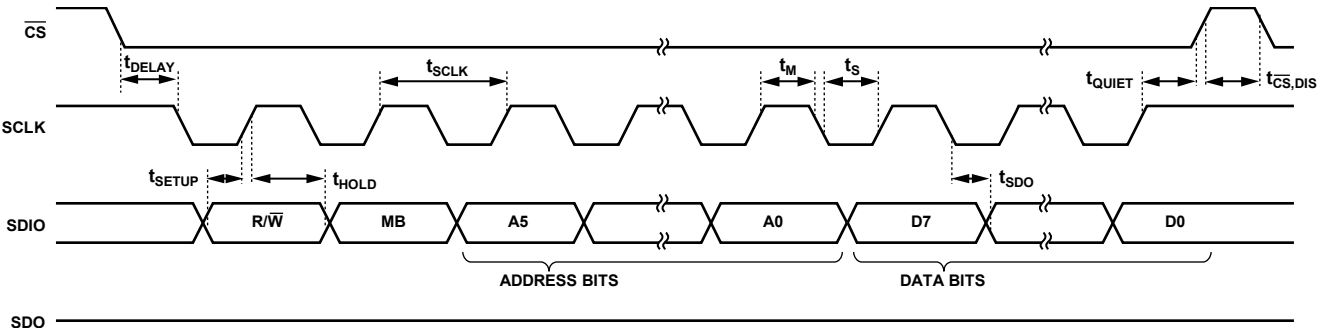


図 26. SPI 4 線式読出し

10628-130



NOTES
1. t_{SDO} IS ONLY PRESENT DURING READS.

図 27. SPI 3 線式読出し/書込み

10628-131

表 9. SPI デジタル入出力

Parameter	Test Conditions	Limit ¹		Unit
		Min	Max	
Digital Input				
Low Level Input Voltage (V_{IL})			$0.3 \times V_{DDIO}$	V
High Level Input Voltage (V_{IH})		$0.7 \times V_{DDIO}$		V
Low Level Input Current (I_{IL})	$V_{IN} = V_{DDIO}$		0.1	μA
High Level Input Current (I_{IH})	$V_{IN} = 0 V$	-0.1		μA
Digital Output				
Low Level Output Voltage (V_{OL})	$I_{OL} = 10 mA$		$0.2 \times V_{DDIO}$	V
High Level Output Voltage (V_{OH})	$I_{OH} = -4 mA$	$0.8 \times V_{DDIO}$		V
Low Level Output Current (I_{OL})	$V_{OL} = V_{OL, max}$	10		mA
High Level Output Current (I_{OH})	$V_{OH} = V_{OH, min}$		-4	mA
Pin Capacitance	$f_{IN} = 1 MHz, V_{IN} = 2.6 V$		8	pF

¹ 限界値は特性評価の結果に基づくものであり、出荷テストは行っていません。

表 10. SPI タイミング ($T_A = 25^\circ C$ 、 $V_S = 2.6V$ 、 $V_{DDIO} = 1.8V$)¹

パラメータ	限界値 ^{2,3}		単位	説明
	Min	Max		
f_{SCLK}		5	MHz	SPI クロック周波数
t_{SCLK}	200		ns	$1/(SPI \text{ クロック周波数})$ 。SCLK 入力のマークスペース比は 40/60~60/40
t_{DELAY}	5		ns	\overline{CS} 立下がりエッジから SCLK 立下がりエッジまでの時間
t_{QUIET}	5		ns	SCLK 立上がりエッジから \overline{CS} 立上がりエッジまでの時間
t_{DIS}		10	ns	\overline{CS} 立上がりエッジから SDO デイスエーブルまでの時間
$t_{\overline{CS},DIS}$	150		ns	SPI 通信間における \overline{CS} のデアサート時間
t_S	$0.3 \times t_{SCLK}$		ns	SCLK ロー・パルス幅 (スペース)
t_M	$0.3 \times t_{SCLK}$		ns	SCLK ハイ・パルス幅 (マーク)
t_{SETUP}	5		ns	SCLK 立上がりエッジ前の SDI 有効時間
t_{HOLD}	5		ns	SCLK 立上がりエッジ後の SDI 有効時間
t_{SDO}		40	ns	SCLK 立下がりエッジから SDO/SDIO の出力が遷移するまでの時間
t_R^4		20	ns	SDO/SDIO 出力がローになってから出力がハイに遷移するまでの時間
t_F^4		20	ns	SDO/SDIO 出力がハイになってから出力がローに遷移するまでの時間

¹ \overline{CS} 、SCLK、SDI、および SDO ピンは、内部的にプルアップまたはプルダウンされることはありません。正しく動作させるにはこれらの操作が必要です。

² 限界値は特性評価の結果に基づくものであり、出荷テストは行っていません。

³ タイミング値は、表 9 に示す入力閾値 (V_{IL} と V_{IH}) に応じて測定されています。

⁴ 出力の立上がり時間と立下がり時間は、容量性負荷 150pF で測定しています。

I²C

CSをV_{DD I/O}にハイ接続すると、ADXL344はI²Cモードになります。この場合は図28に示す単純な2線式接続を行う必要があります。ADXL344は、NXP Semiconductors 発行の *UM10204 I²C-Bus Specification and User Manual* (Rev. 03-19 June 2007) に準拠しており、表11と表12に示すバス・パラメータの条件が満たされていれば、標準（100kHz）および高速（400kHz）データ転送モードを使用することができます。また、図29に示すように、シングルバイトまたはマルチバイトの読み出し/書き込みをサポートしています。ALT ADDRESSピン（ピン7）がハイの場合、そのデバイスの7ビットI²Cアドレスは0x1Dで、その後R/Wビットが続きます。これは、書き込み時には0x3A、読み出し時には0x3Bになります。ALT ADDRESSピンを接地することによって、I²Cアドレスを0x53（その後R/Wビットが続く）とすることもできます。これは、書き込み時には0xA6、読み出し時には0xA7になります。

未使用ピンの内部にはプルアップ抵抗もプルダウン抵抗もないので、フローティング状態や未接続状態の場合は、CSピンやALT ADDRESSピンが既知の状態やデフォルト状態になることはありません。I²C使用時は、CSピンをV_{DD I/O}に接続して、ALT ADDRESSピンをV_{DD I/O}またはGNDに接続する必要があります。

通信速度には制限があるため、400kHzのI²Cを使用するときの最大出力データ・レートは800Hzです。最大出力データ・レートはI²Cの通信速度に比例して変化します。例えば、I²Cを100kHzで使用する場合、最大ODRは200Hzに制限されます。推奨最大出力データ・レートを超過して動作させると、データ・サンプルの欠落やノイズの増加など、加速度データに望ましくない影響を与えることがあります。

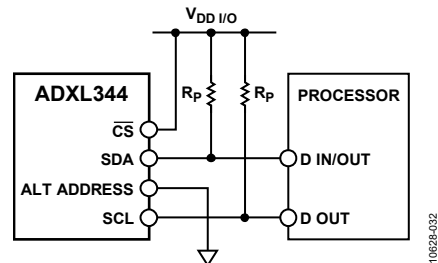


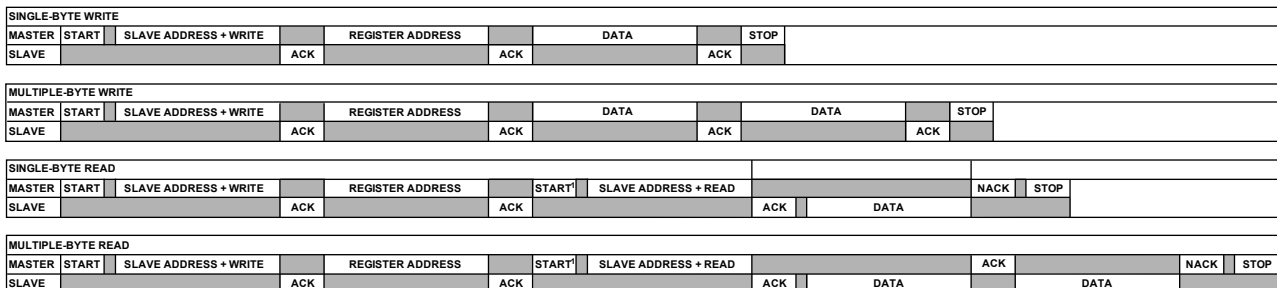
図 28. I²C 接続図（アドレス 0x53）

同じI²Cバスに他のデバイスが接続されている場合は、これら他のデバイスの公称動作電圧レベルがV_{DD I/O} + 0.3Vを超えないようにする必要があります。I²Cを正しく動作させるには、外部プルアップ抵抗R_pが必要です。正しい動作を確保するためにプルアップ抵抗値を選択する場合は、*UM10204 I²C-Bus Specification and User Manual* (Rev. 03-19 June 2007)を参照してください。

表 11. I²C デジタル入出力

Parameter	Test Conditions	Limit ¹		Unit
		Min	Max	
Digital Input				
Low Level Input Voltage (V _{IL})	V _{IN} = V _{DD I/O} V _{IN} = 0 V	0.7 × V _{DD I/O}	0.3 × V _{DD I/O}	V
High Level Input Voltage (V _{IH})			0.1	V
Low Level Input Current (I _{IL})			-0.1	μA
High Level Input Current (I _{IH})				μA
Digital Output				
Low Level Output Voltage (V _{OL})	V _{DD I/O} < 2 V, I _{OL} = 3 mA		0.2 × V _{DD I/O}	V
	V _{DD I/O} ≥ 2 V, I _{OL} = 3 mA		400	mV
Low Level Output Current (I _{OL})	V _{OL} = V _{OL, max}	3		mA
Pin Capacitance	f _{IN} = 1 MHz, V _{IN} = 2.6 V		8	pF

¹ 限界値は特性評価の結果に基づくものであり、出荷テストは行っていません。



¹ THIS START IS EITHER A RESTART OR A STOP FOLLOWED BY A START.

NOTES

1. THE SHADED AREAS REPRESENT WHEN THE DEVICE IS LISTENING.

図 29. I²C デバイスのアドレス指定

表 12. I²C タイミング (T_A = 25°C、V_S = 2.6V、V_{DD I/O} = 1.8V)

パラメータ	限界値 ^{1,2}		単位	説明
	最小値	最大値		
f _{SCL}		400	kHz	SCL クロック周波数
t ₁	2.5		μs	SCL サイクル時間
t ₂	0.6		μs	t _{HIGH} 、SCL ハイ時間
t ₃	1.3		μs	t _{LOW} 、SCL ロー時間
t ₄	0.6		μs	t _{HD,STA} 、開始/反復開始条件ホールド時間
t ₅	100		ns	t _{SU,DAT} 、データ・セットアップ時間
t ₆ ^{3,4,5,6}	0	0.9	μs	t _{HD,DAT} 、データ・ホールド時間
t ₇	0.6		μs	t _{SU,STA} 、反復開始のセットアップ時間
t ₈	0.6		μs	t _{SU,STO} 、停止条件セットアップ時間
t ₉	1.3		μs	t _{BUF} 、停止条件と開始条件の間のバス空き時間
t ₁₀		300	ns	t _R 、受信時の SCL と SDA 両方の立上がり時間
	0		ns	t _R 、受信時または送信時の SCL と SDA 両方の立上がり時間
t ₁₁		300	ns	t _F 、受信時の SDA 立下がり時間
		250	ns	t _F 、送信時の SCL と SDA 両方の立下がり時間
C _B		400	pF	各バス・ラインの容量性負荷

¹ 限界値は f_{SCL} = 400kHz、シンク電流 3mA での特性評価結果に基づくものであり、出荷テストは行っていません。

² すべての値は、表 11 に示す V_{IH} と V_{IL} のレベルを基準にしています。

³ t₆ は、SCL の立下がりエッジから測定したデータ・ホールド時間で、データの送信とアクノレージに適用されます。

⁴ SDA 信号 (SCL 信号の V_{IH,min} 基準) が SCL 立下がりエッジの不定領域を避けるようにするには、送信側デバイスが内部的に 300ns 以上の出力ホールド時間を設ける必要があります。

⁵ t₆ が最大値となるのは、デバイスが SCL 信号のロー時間 (t₃) を延長しない場合だけに限る必要があります。

⁶ t₆ の最大値は、クロック・ロー時間 (t₃)、クロック立上がり時間 (t₁₀)、および最小データ・セットアップ時間 (t_{5(min)}) の関数です。この値は、t_{6(max)} = t₃ - t₁₀ - t_{5(min)} として計算されます。

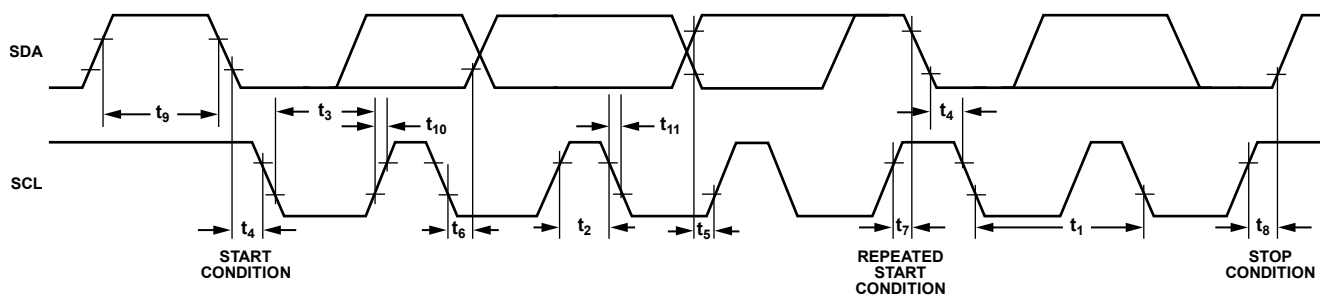


図 30. I²C タイミング図

10E2B-034

割込み

ADXL344には割込み駆動用の出力ピンが2つあります (INT1とINT2)。どちらの割込みピンも、表 13 に示す出力仕様を備えたプッシュプル・低インピーダンス・ピンです。割込みピンのデフォルト設定はアクティブ・ハイです。これは、DATA_FORMAT レジスタ (アドレス 0x31) の INT_INVERT ビット (ビット D5) をセットすることによってアクティブ・ローに変更できます。すべての機能は同時に使用できませんが、いくつかの機能では割込みピンを共有する必要があります。

割込みは、INT_ENABLE レジスタ (アドレス 0x2E) の該当ビットをセットすることで有効になり、INT_MAP レジスタ (アドレス 0x2F) の内容に基づいて INT1 ピンまたは INT2 ピンにマップされます。割込みピンを初めて設定するときは、機能と割込みのマッピングを行ってから、割込みを有効にすることを推奨します。割込みの設定を変更するときは、まず INT_ENABLE レジスタでその機能に対応するビットをクリアして割込みを無効にし、それから機能の設定を変更して、その後に再び割込みを有効にすることを推奨します。割込みを無効にしてから機能を設定すれば、誤って不要な割込みを発生させてしまうのを防ぐことができます。

割込み機能をラッチしてクリアする場合、データ関連の割込みについては、その割込み条件が有効でなくなるまで DATA_X、DATA_Y、DATA_Z レジスタ (アドレス 0x32~0x37) を読み出します。その他の割込みについては、INT_SOURCE レジスタ (アドレス 0x30) を読み出してください。このセクションでは、INT_ENABLE レジスタで設定し、INT_SOURCE レジスタで監視できる割込みについて説明します。

DATA_READY ビット

DATA_READY ビットは新しいデータが使用可能になるとセットされ、使用可能な新しいデータがなくなるとクリアされます。

SINGLE_TAP ビット

SINGLE_TAP ビットは、THRESH_TAP レジスタ (アドレス 0x1D) の値より大きい加速度イベントが 1 回発生し、その持続時間が DUR レジスタ (アドレス 0x21) で指定された値より短い場合にセットされます。

DOUBLE_TAP ビット

DOUBLE_TAP ビットは、THRESH_TAP レジスタ (アドレス 0x1D) の値より大きい加速度イベントが 2 回発生し、その持続時間が DUR レジスタ (アドレス 0x21) で指定された値より短い場合にセットされます。2 回目のタップは遅延レジスタ (アドレス 0x22) によって指定された時間の後に開始され、なおかつウィンドウ・レジスタ (アドレス 0x23) で指定された時間以内であるものとします。詳細については、[タップ検出](#)のセクションを参照してください。

アクティビティ・ビット

アクティビティ・ビットは、THRESH_ACT レジスタ (アドレス 0x24) に格納された閾値より大きい加速度が、ACT_INACT_CTL レジスタ (アドレス 0x27) で設定された関係軸のいずれかに生じた場合にセットされます。

インアクティビティ・ビット

インアクティビティ・ビットは、THRESH_INACT レジスタ (アドレス 0x25) に格納された値より小さい加速度が、TIME_INACT レジスタ (アドレス 0x26) で指定された値よりも長い時間にわたって、ACT_INACT_CTL レジスタ (アドレス 0x27) で設定された関係軸のすべてに発生した場合にセットされます。TIME_INACT の最大値は 255 秒です。

FREE_FALL ビット

FREE_FALL ビットは、THRESH_FF レジスタ (アドレス 0x28) に格納された値より小さい加速度が、TIME_FF レジスタ (アドレス 0x29) で指定された値よりも長い時間、すべての軸に発生した場合 (論理積) にセットされます。FREE_FALL 割込みがインアクティビティ割込みと異なる点は、常にすべての軸が検出に使われてその論理和がとられること、タイマー時間がはるかに短いこと (最大 1.28 秒)、そして常に DC カップリング動作モードが使われることです。

ウォーターマーク・ビット

ウォーターマーク・ビットは、FIFO 内のサンプル数がサンプル・ビット (FIFO_CTL レジスタ、アドレス 0x38) で指定された値以上になるとセットされます。ウォーターマーク・ビットは、FIFO が読み出されて、そのサンプル数がサンプル・ビットで指定された値未満になると、自動的にクリアされます。

表 13. 割込みピン・デジタル出力

Parameter	Test Conditions	Limit ¹		Unit
		Min	Max	
Digital Output				
Low Level Output Voltage (V _{OL})	I _{OL} = 300 μA		0.2 × V _{DD1/O}	V
High Level Output Voltage (V _{OH})	I _{OH} = -150 μA	0.8 × V _{DD1/O}		V
Low Level Output Current (I _{OL})	V _{OL} = V _{OL,max}	300		μA
High Level Output Current (I _{OH})	V _{OH} = V _{OH,min}		-150	μA
Pin Capacitance	f _{IN} = 1 MHz, V _{IN} = 2.6 V		8	pF
Rise/Fall Time				
Rise Time (t _r) ²	C _{LOAD} = 150 pF		210	ns
Fall Time (t _f) ³	C _{LOAD} = 150 pF		150	ns

¹ 限界値は特性評価の結果に基づくものであり、出荷テストは行っていません。

² 立上がり時間は、割込みピンが V_{OL,max} から V_{OH,min} へ遷移する時間として測定された値です。

³ 立下がり時間は、割込みピンが V_{OH,min} から V_{OL,max} へ遷移する時間として測定された値です。

オーバーラン・ビット

オーバーラン・ビットは、未読のデータが新しいデータに置き換えられたときにセットされます。オーバーラン機能の詳細動作は FIFO モードによって異なります。バイパス・モードでは、DATA_X、DATA_Y、および DATA_Z レジスタ（アドレス 0x32～0x37）内の未読データが新しいデータに置き換えられたときにオーバーラン・ビットがセットされます。それ以外のモードでは、FIFO 内のデータ数が最大値に達するとオーバーラン・ビットがセットされます。オーバーラン・ビットは、FIFO の内容が読み出されると自動的にクリアされます。

オリエンテーション・ビット

加速度センサーのオリエンテーションが、ある有効なオリエンテーションから別の有効なオリエンテーションに変わると、オリエンテーション・ビットがセットされます。しかし、加速度センサーのオリエンテーションが、ある有効なオリエンテーションから無効なオリエンテーションに変わった場合や、有効なオリエンテーションから無効なオリエンテーションに変わり、それから最初と同じ有効なオリエンテーションに変わった場合、割込みは生成されません。無効なオリエンテーションとは、不感帯内あるいはヒステリシス領域内のオリエンテーションとして定義されます。この領域は、加速度センサーのオリエンテーションが 2 つの有効なオリエンテーションの境界付近にある場合に、ノイズによって急激にオリエンテーションが変化してしまうのを防止する助けとなります。

割込みに有効なオリエンテーションは、どのモード（2D または 3D）がオリエンテーション割込みにリンクされているかによって異なります。モードの選択は、ORIENT_CONF レジスタ（アドレス 0x3B）の INT_3D ビット（ビット D3）で行います。オリエンテーション割込みをイネーブルする方法の詳細は、レジスタ 0x3B – ORIENT_CONF（読み出し／書き込み）のセクションを参照してください。

FIFO

ADXL344 には 32 レベルの FIFO メモリ・バッファを備えたメモリ管理システムが組み込まれており、ホスト・プロセッサの負荷を最小限に抑えることができます。このバッファには、バイパス、FIFO、ストリーム、トリガの 4 モードがあります（表 22 を参照）。各モードの選択は、FIFO_CTL レジスタ（アドレス 0x38）の FIFO_MODE ビット（ビット [D7:D6]）を設定することによって行います。

FIFO の使用が望ましくない場合は、バイパス・モードにする必要があります。

バイパス・モード

バイパス・モードでは FIFO が動作せず、空のままになります。

FIFO モード

FIFO モードでは、x 軸、y 軸、z 軸の測定データが FIFO に格納されます。FIFO 内のサンプル数が FIFO_CTL レジスタ（アドレス 0x38）のサンプル・ビットで指定されたレベルに達すると、ウォーターマーク割込みがセットされます。FIFO は、満杯（x 軸、y 軸、z 軸の測定サンプルが 32 個）になるまでサンプルの蓄積を続け、満杯になった時点でデータの収集を停止します。FIFO がデータの収集を停止した後もデバイスは動作を続行します。したがって、タップ検出などの各機能は、FIFO が満杯になった後でも使用できます。ウォーターマーク割込みは、FIFO 内のサンプル数が FIFO_CTL レジスタのサンプル・ビットに格納された値より小さくなるまで発生し続けます。

ストリーム・モード

ストリーム・モードでは、x 軸、y 軸、z 軸の測定データが FIFO に格納されます。FIFO 内のサンプル数が FIFO_CTL レジスタ（アドレス 0x38）のサンプル・ビットで指定されたレベルに達すると、ウォーターマーク割込みがセットされます。FIFO はサンプルの蓄積を続けて、x 軸、y 軸、z 軸の測定から得られた直近 32 個のサンプルを格納し、新しいデータを受け取ると古いデータから順に破棄していきます。ウォーターマーク割込みは、FIFO 内のサンプル数が FIFO_CTL レジスタのサンプル・ビットに格納された値より小さくなるまで生成され続けます。

トリガ・モード

トリガ・モードでは、FIFO はサンプルを蓄積して、x 軸、y 軸、および z 軸の測定によって得られた直近 32 個のサンプルを格納します。トリガ・イベントが発生して INT1 ピンまたは INT2 ピン（FIFO_CTL レジスタのトリガ・ビットによって決定）に割込みが送られると、FIFO は最新の n 個のサンプル（n は FIFO_CTL レジスタのサンプル・ビットで指定される値）を保存してから FIFO モードで動作し、FIFO が満杯になっていない限り新しいサンプルを収集します。トリガ・イベントの発生から FIFO の読み出しを開始するまでの間には、少なくとも 5 μ s の遅延を置く必要があります。これは、FIFO が不要なサンプルを破棄して必要なサンプルを保存できるようにするためです。新しいトリガ・イベントは、トリガ・モードがリセットされるまで認識されません。トリガ・モードをリセットするには、デバイスを一度バイパス・モードに設定してから再びトリガ・モードに設定し直します。なお、デバイスをバイパス・モードにすると FIFO がクリアされてしまうので、最初に FIFO のデータを読み出してからバイパス・モードにする必要があります。

FIFO からのデータ取出し

FIFO のデータは、DATA_X、DATA_Y、および DATA_Z レジスタ（アドレス 0x32～0x37）から読み出されます。FIFO が、FIFO モード、ストリーム・モード、またはトリガ・モードにあるときは、DATA_X、DATA_Y、DATA_Z レジスタから読み出しを行うと、FIFO に格納されているデータが読み出されます。データが FIFO から読み出されると、その都度、x 軸、y 軸、z 軸の一番古いデータが DATA_X、DATA_Y、および DATA_Z レジスタに置かれます。

シングルバイト読み出しを行うと、現在の FIFO サンプルの残りのデータ・バイトは失われます。したがって、すべての対象軸のデータはバースト（またはマルチバイト）読み出しで読み出す必要があります。FIFO がポップを完了できるようにする（つまり、新しいデータをすべて DATA_X、DATA_Y、DATA_Z レジスタへ移動できるようにする）には、データ・レジスタの読み出し終了から、FIFO の新しい読み出し開始または FIFO_STATUS レジスタ（アドレス 0x39）の読み出し開始までに、5 μ s 以上の間隔を置く必要があります。データ・レジスタの読み出し終了は、レジスタ 0x37 からレジスタ 0x38 へのデータの移動、または \overline{CS} ピンがハイになることで示されます。

1.6MHz 以下の SPI 動作では、伝送のレジスタ・アドレス指定部分が、FIFO のポップ完了までの十分な遅延になります。1.6MHz を越える SPI 動作では、5 μ s の合計遅延を確保するために \overline{CS} ピンをデアサートする必要があります。これを行わないと、遅延が不十分になります。5MHz 動作に必要な合計遅延は 3.4 μ s 以下です。I²C モードを使用する場合、このような配慮は不要です。通信速度が遅く、FIFO の読み出しと読み出しの間に十分な遅延を確保できるからです。

セルフテスト

ADXL344 には、機械的システムと電子システムの両方を同時に、かつ効果的にテストするためのセルフテスト機能が組み込まれています。セルフテスト機能をイネーブルすると (DATA_FORMAT レジスタ (アドレス 0x31) の SELF_TEST ビット (ビット D7) を使用)、機械的センサーに静電気力が加わります。この静電気力は加速度が加わった場合と同じように機械的検出素子を動かしますが、これはデバイスに加わる加速度に追加される形で作用して、x 軸、y 軸、および z 軸の出力を変化させます。静電気力は V_s^2 に比例するので、出力の変化量は V_s に応じて変化します。この効果を図 31 に示します。

表 14 に示すスケール係数を使用すれば、様々な電源電圧 (V_s) に対して予想されるセルフテストの出力限界値を調整できます。ADXL344 のセルフテスト機能は二峰性も示します。しかし、表 1 および表 15～表 18 に示す限界値は、二峰性により生じる 2 つセルフテスト値の両方に対して有効です。100Hz 未満または 1600Hz のデータ・レートでセルフテスト機能を使用すると、これらの限界値を外れることがあります。したがって、セルフテスト機能を正しく動作させるには、デバイスを通常消費電力動作 (アドレス 0x2C の BW_RATE レジスタの LOW_POWER ビット = 0) 状態にして、データ・レートを 100Hz～800Hz または 3200Hz にする必要があります。

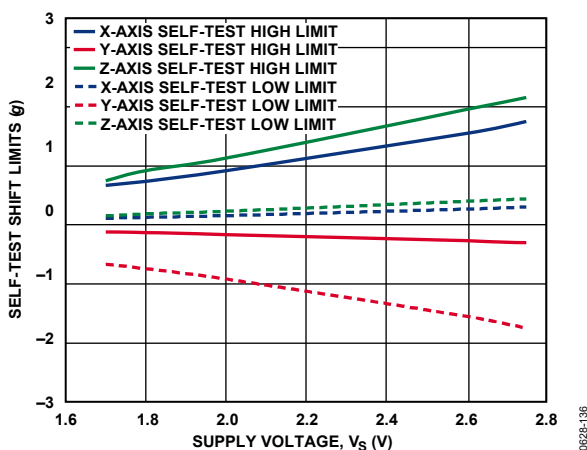


図 31. セルフテストの出力変化限界値と電源電圧の関係

表 14. 様々な電源電圧 (V_s) におけるセルフテスト出力のスケール係数

Supply Voltage, V_s	X-, Y-Axes	Z-Axis
1.70 V	0.43	0.38
1.80 V	0.48	0.47
2.00 V	0.59	0.58
2.60 V	1.00	1.00
2.75 V	1.13	1.11

表 15. LSB で示したセルフテスト出力: $\pm 2g$ 、10 ビットまたは最大分解能 ($T_A = 25^\circ C$ 、 $V_s = 2.6V$ 、 $V_{DD I/O} = 1.8V$)

Axis	Min	Max	Unit
X	70	400	LSB
Y	-400	-70	LSB
Z	100	500	LSB

表 16. LSB で示したセルフテスト出力: $\pm 4g$ 、10 ビット分解能 ($T_A = 25^\circ C$ 、 $V_s = 2.6V$ 、 $V_{DD I/O} = 1.8V$)

Axis	Min	Max	Unit
X	35	200	LSB
Y	-200	-35	LSB
Z	50	250	LSB

表 17. LSB で示したセルフテスト出力: $\pm 8g$ 、10 ビット分解能 ($T_A = 25^\circ C$ 、 $V_s = 2.6V$ 、 $V_{DD I/O} = 1.8V$)

Axis	Min	Max	Unit
X	17	100	LSB
Y	-100	-17	LSB
Z	25	125	LSB

表 18. LSB で示したセルフテスト出力: $\pm 16g$ 、10 ビット分解能 ($T_A = 25^\circ C$ 、 $V_s = 2.6V$ 、 $V_{DD I/O} = 1.8V$)

Axis	Min	Max	Unit
X	8	50	LSB
Y	-50	-8	LSB
Z	12	63	LSB

レジスタ・マップ

表 19. レジスタ・マップ

アドレス		名前	タイプ	リセット値	説明
16 進	10 進				
0x00	0	DEVID	R	11100110	デバイス ID。
0x01 to 0x1C	1 to 28	Reserved			予備。アクセスしないでください。
0x1D	29	THRESH_TAP	R/W	00000000	タップ閾値。
0x1E	30	OFSX	R/W	00000000	X 軸オフセット。
0x1F	31	OFSY	R/W	00000000	Y 軸オフセット。
0x20	32	OFSZ	R/W	00000000	Z 軸オフセット。
0x21	33	DUR	R/W	00000000	タップ時間。
0x22	34	Latent	R/W	00000000	タップ遅延。
0x23	35	Window	R/W	00000000	タップ・ウィンドウ。
0x24	36	THRESH_ACT	R/W	00000000	アクティビティ閾値。
0x25	37	THRESH_INACT	R/W	00000000	インアクティビティ閾値。
0x26	38	TIME_INACT	R/W	00000000	インアクティビティ時間。
0x27	39	ACT_INACT_CTL	R/W	00000000	アクティビティおよびインアクティビティ検出のための軸イネーブル制御。
0x28	40	THRESH_FF	R/W	00000000	自由落下閾値。
0x29	41	TIME_FF	R/W	00000000	自由落下時間。
0x2A	42	TAP_AXES	R/W	00000000	シングル・タップ/ダブル・タップ用軸制御。
0x2B	43	ACT_TAP_STATUS	R	00000000	シングル・タップ/ダブル・タップ発生源。
0x2C	44	BW_RATE	R/W	00001010	データ・レートとパワー・モードの制御。
0x2D	45	POWER_CTL	R/W	00000000	節電機能制御。
0x2E	46	INT_ENABLE	R/W	00000000	割込みイネーブル制御。
0x2F	47	INT_MAP	R/W	00000000	割込みマッピング制御。
0x30	48	INT_SOURCE	R	00000010	割込み発生源。
0x31	49	DATA_FORMAT	R/W	00000000	データ・フォーマット制御。
0x32	50	DATA_X0	R	00000000	X 軸データ 0。
0x33	51	DATA_X1	R	00000000	X 軸データ 1。
0x34	52	DATA_Y0	R	00000000	Y 軸データ 0。
0x35	53	DATA_Y1	R	00000000	Y 軸データ 1。
0x36	54	DATA_Z0	R	00000000	Z 軸データ 0。
0x37	55	DATA_Z1	R	00000000	Z 軸データ 1。
0x38	56	FIFO_CTL	R/W	00000000	FIFO 制御。
0x39	57	FIFO_STATUS	R	00000000	FIFO のステータス。
0x3A	58	TAP_SIGN	R	00000000	シングル・タップ/ダブル・タップの符号と発生源。
0x3B	59	ORIENT_CONF	R/W	00100101	オリエンテーション設定。
0x3C	60	Orient	R	00000000	オリエンテーション・ステータス。

レジスタの定義

レジスタ 0x00 – DEVID (読出し専用)

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	0	0	1	1	0

DEVID レジスタは 0xE6 (8 進値で 346) の固定のデバイス ID コードを格納します。

レジスタ 0x1D – THRESH_TAP (読出し/書込み)

THRESH_TAP レジスタは 8 ビットで、タップ割込みの閾値を格納します。データ・フォーマットは符号なしなので、通常のタップ検出用に THRESH_TAP の値を使ってタップ・イベントの大きさが比較されます。拡張タップ検出については、[拡張タップ検出](#)のセクションを参照してください。スケール係数は 62.5mg/LSB (つまり 0xFF = +16g) です。値を 0 にすると、シングル・タップ/ダブル・タップ割込みをイネーブルした場合に予期せぬ動作をすることがあります。

レジスタ 0x1E、0x1F、0x20 – OFSX、OFSY、OFSZ (読出し/書込み)

OFSX、OFSY、および OFSZ レジスタはそれぞれ 8 ビットで、2 の補数フォーマットでユーザ設定によるオフセット調整を行うことができます。スケール係数は 15.6mg/LSB (つまり 0x7F = 2g) です。オフセット・レジスタに格納された値は自動的に加速度データに加算され、その結果が出力データ・レジスタに格納されます。オフセット・キャリブレーションの詳細とオフセット・レジスタの使用法については、[オフセット・キャリブレーション](#)のセクションを参照してください。

レジスタ 0x21 – DUR (読出し/書込み)

DUR レジスタは 8 ビットで、タップ・イベント判定用の符号なし時間値を格納します。あるイベントをタップ・イベントと判定するには、そのイベントが一定時間 THRESH_TAP 閾値を超えていなければなりません。これはその最大時間を表します。拡張タップ検出については、[拡張タップ検出](#)のセクションを参照してください。スケール係数は 625μs/LSB です。値をゼロにすると、シングル・タップ/ダブル・タップ機能はディスエーブルされます。

レジスタ 0x22 – 遅延 (読出し/書込み)

遅延レジスタは 8 ビットで、符号なしの時間値を格納します。この時間値は、タップ・イベントが検出されてから、2 回目のタップ・イベント検出のための時間ウィンドウ (ウィンドウ・レジスタで定義) を開始するまでの待ち時間を表します。拡張タップ検出については、[拡張タップ検出](#)のセクションを参照してください。スケール係数は 1.25ms/LSB です。値をゼロにすると、ダブル・タップ機能はディスエーブルされます。

レジスタ 0x23 – ウィンドウ (読出し/書込み)

ウィンドウ・レジスタは 8 ビットで、符号なしの時間値を格納します。この時間値は、遅延時間 (遅延レジスタで定義) 経過後に 2 回目の有効なタップ・イベントを開始することのできる時間の長さを表します。拡張タップ検出については、[拡張タップ検出](#)のセクションを参照してください。スケール係数は 1.25ms/LSB です。値をゼロにすると、ダブル・タップ機能はディスエーブルされます。

レジスタ 0x24 – THRESH_ACT (読出し/書込み)

THRESH_ACT レジスタは 8 ビットで、アクティビティを検出するための閾値を格納します。データ・フォーマットは符号なしなので、アクティビティ・イベントの大きさが THRESH_ACT レジスタ内の値と比較されます。スケール係数は 62.5mg/LSB です。値を 0 にすると、アクティビティ割込みをイネーブルした場合に予期せぬ動作をすることがあります。

レジスタ 0x25 – THRESH_INACT (読出し/書込み)

THRESH_INACT レジスタは 8 ビットで、インアクティビティを検出するための閾値を格納します。データ・フォーマットは符号なしなので、インアクティビティ・イベントの大きさが THRESH_INACT レジスタ内の値と比較されます。スケール係数は 62.5mg/LSB です。値を 0 にすると、インアクティビティ割込みをイネーブルした場合に予期せぬ動作をすることがあります。

レジスタ 0x26 – TIME_INACT (読出し/書込み)

TIME_INACT レジスタは 8 ビットで、符号なしの時間値を格納します。加速度が THRESH_INACT レジスタの値未満のままこのレジスタの設定した時間が経過すると、インアクティビティが宣言されます。スケール係数は 1 秒/LSB です。フィルタ処理なしのデータ (閾値のセクションを参照) を使用する他の割込み機能と異なり、インアクティビティ機能はフィルタ処理済みの出力データを使用します。インアクティビティ割込みをトリガするには、1 つ以上の出力サンプルが生成されていなければなりません。このため、TIME_INACT レジスタが出力データ・レートの時定数より小さい値に設定されている場合は、この機能が応答していないように見えることがあります。値を 0 にすると、出力データが THRESH_INACT レジスタの値未満になった時点で割込みが行われます。

レジスタ 0x27 – ACT_INACT_CTL (読出し/書込み)

D7	D6	D5	D4
ACT ac/dc	ACT_X enable	ACT_Y enable	ACT_Z enable
D3	D2	D1	D0
INACT ac/dc	INACT_X enable	INACT_Y enable	INACT_Z enable

ACT AC/DC ビットと INACT AC/DC ビット

0 に設定すると DC カップリング動作が選択され、1 に設定すると AC カップリング動作がイネーブルされます。DC カップリング動作では、現在の加速度の大きさを THRESH_ACT および THRESH_INACT と直接比較して、アクティビティ/インアクティビティの検出を判定します。

AC カップリング動作によるアクティビティ検出では、アクティビティ検出開始時の加速度値が基準値として使われます。加速度の新しいサンプルをこの基準値と比較して、その差が THRESH_ACT の値を上回ると、デバイスがアクティビティ割込みをトリガします。

同様に、AC カップリング動作によるインアクティビティ検出でも基準値を使って比較が行われ、デバイスがインアクティビティ閾値を超えると、その都度基準値が更新されます。基準値が選択されると、デバイスは、基準値と現在の加速度値との差を THRESH_INACT の値と比較します。この差が THRESH_INACT の値未満のまま TIME_INACT で指定された時間が経過すると、デバイスにはアクティビティがないと判定され、インアクティビティ割込みがトリガされます。

ACT_x イネーブル・ビットと INACT_x イネーブル・ビット

1 に設定すると、アクティビティ/インアクティビティの検出に x 軸、y 軸、z 軸を加えることができます。0 に設定すると、選択された軸が対象から外されます。すべての軸が対象から外されると、この機能はディスエーブルされます。アクティビティ検出の場合は関係するすべての軸の論理和がとられ、関係するいずれかの軸が閾値を上回るとアクティビティ機能がトリガされます。インアクティビティ検出の場合は関係するすべての軸の論理積がとられ、関係するすべての軸が閾値未満になった状態で規定時間が経過した場合のみ、インアクティビティ機能がトリガされます。

レジスタ 0x28 – THRESH_FF (読出し/書込み)

THRESH_FF レジスタは 8 ビットで、自由落下検出のための閾値を符号なし形式で格納します。自由落下イベントが発生したかどうかを判定するために、すべての軸の加速度が THRESH_FF の値と比較されます。スケール係数は 62.5mg/LSB です。値を 0mg にすると、自由落下割込みをイネーブルした場合に予期せぬ動作をすることがあります。推奨値は 300mg~600mg (0x05~0x09) の範囲です。

レジスタ 0x29 – TIME_FF (読出し/書込み)

TIME_FF レジスタは 8 ビットで、符号なしの最小時間値を格納します。すべての軸の値が THRESH_FF の値未満のまま、このレジスタで設定した時間 (最小値) が経過すると、自由落下割込みが生成されます。スケール係数は 5ms/LSB です。値を 0 にすると、自由落下割込みをイネーブルした場合に予期せぬ動作をすることがあります。推奨値は 100ms~350ms (0x14~0x46) の範囲です。

レジスタ 0x2A – TAP_AXES (読出し/書込み)

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	Improved tap	Suppress	TAP_X enable	TAP_Y enable	TAP_Z enable

拡張タップ・ビット

拡張タップ・ビットは、拡張タップ検出をイネーブルするために使用します。この動作モードは、出力加速度データの差を AC カップリング動作で比較することによって、タップ検出を改善します。拡張タップ検出は、DATA_X、DATA_Y、および DATA_Z レジスタに格納された同じ出力データを使って行われます。出力データ・レートと AC カップリングによる差動測定への依存性から、拡張タップ検出では、シングル・タップとダブル・タップの閾値とタイミング値を調整する必要があります。拡張タップ検出の詳細については、[拡張タップ検出](#)のセクションを参照してください。拡張タップは拡張タップ・ビットの値を 1 に設定することによってイネーブルし、クリアして 0 にすることによってディスエーブルします。

サブレス・ビット

サブレス・ビットをセットすると、タップとタップの間に THRESH_TAP の値を上回る加速度が存在する場合は、ダブル・タップ検出が無効になります。詳細については、[タップ検出](#)のセクションを参照してください。

TAP_x イネーブル・ビット

TAP_X イネーブル、TAP_Y イネーブル、または TAP_Z イネーブル・ビットを 1 に設定すると、x 軸、y 軸、z 軸をタップ検出対象に加えることができます。0 に設定すると、選択された軸がタップ検出の対象から外されます。

レジスタ 0x2B – ACT_TAP_STATUS (読出し専用)

D7	D6	D5	D4	D3	D2	D1	D0
0	ACT_X source	ACT_Y source	ACT_Z source	Asleep	TAP_X source	TAP_Y source	TAP_Z source

ACT_x ソース・ビットと TAP_x ソース・ビット

これらのビットは、タップ・イベントまたはアクティビティ・イベントに関係する最初の軸を示します。1 に設定されている場合はそのイベントの検出に関係していることを示し、0 に設定されている場合は関係していないことを示します。新しいデータを使用できる場合これらのビットはクリアされず、その新しいデータで上書きされます。割込みをクリアするには、ACT_TAP_STATUS レジスタを読み出す必要があります。軸をディスエーブルして検出対象から外すと、次のアクティビティまたはシングル・タップ/ダブル・タップ・イベントが発生した時点で、その軸に対応するソース・ビットがクリアされます。

アスリープ・ビット

アスリープ・ビットが 1 に設定されている場合はデバイスがスリープ状態であることを示し、0 の場合はスリープ状態ではないことを示します。このビットは、デバイスが自動スリープに設定されている場合のみ切り替わります。自動スリープ・モードの詳細については、[レジスタ 0x2D – POWER_CTL \(読出し/書込み\)](#) のセクションを参照してください。

レジスタ 0x2C – BW_RATE (読出し/書込み)

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	LOW_POWER	Rate			

LOW_POWER ビット

LOW_POWER ビットを 0 に設定すると通常動作が選択され、1 に設定すると低消費電力動作が選択されますが、低消費電力動作時はノイズが若干大きくなります (詳細については[消費電力モード](#)のセクションを参照)。

レート・ビット

これらのビットは、デバイスの帯域幅と出力データ・レートを選択します (詳細については[表 7](#) と [表 8](#) を参照)。デフォルト値は 0x0A で、この場合の出力デフォルトレートは 100Hz です。出力データ・レートは、選択した周波数帯域と通信プロトコルに合った値を選択してください。選択した通信速度に対して出力データ・レートが高すぎると、サンプルが廃棄されてしまう結果となります。

レジスタ 0x2D – POWER_CTL (読出し/書込み)

D7	D6	D5	D4	D3	D2	D1	D0
0	0	Link	AUTO_SLEEP	Measure	Sleep	Wakeup	

リンク・ビット

アクティビティ機能とインアクティビティ機能の両方をイネーブルしてリンク・ビットを 1 に設定すると、インアクティビティが検出されるまでアクティビティ機能の開始が遅延されます。アクティビティの検出後はインアクティビティの検出が開始されて、アクティビティは検出されなくなります。つまり、このビットはアクティビティ機能とインアクティビティ機能を交互に実行します。このビットを 0 に設定すると、インアクティビティ機能とアクティビティ機能が同時に実行されます。詳細については[リンク・モード](#)のセクションを参照してください。

リンク・ビットをクリアするときは、デバイスをスタンバイ・モードにすることを推奨します。その後の書き込みで測定モードに戻してください。これは、スリープ・モードが手動でディスエーブルされた場合に、デバイスが正しくバイアスされるようにするために行います。この方法に従わないと、リンク・ビットをクリアした後の最初の数サンプル分のデータで、ノイズが大きくなる場合があります。特に、このビットをクリアする前にデバイスがスリープ状態だった場合は、その傾向が強くなります。

AUTO_SLEEP ビット

リンク・ビットがセットされているときに AUTO_SLEEP ビットを 1 に設定すると、自動スリープ機能がイネーブルされます。このモードでは、インアクティビティ機能がイネーブルされた状態でインアクティビティが検出されると（つまり、加速度が THRESH_INACT 値を下回る状態が TIME_INACT で指定された時間以上続いたとき）、ADXL344 は自動的にスリープ・モードに切り替わります。アクティビティもイネーブルされている場合、ADXL344 はアクティビティの検出後にスリープ状態から自動的にウェイクアップし、BW_RATE レジスタで設定された出力データ・レートの動作に復帰します。AUTO_SLEEP ビットを 0 に設定すると、スリープ・モードへの自動切替はディスエーブルされます。スリープ・モードの詳細については、このセクションのスリープ・ビットの説明を参照してください。リンク・ビットがセットされていない場合、AUTO_SLEEP 機能はディスエーブルされます。AUTO_SLEEP ビットの設定はデバイスの動作に影響しません。リンク機能の詳しい使い方については、リンク・ビットのセクションまたはリンク・モードのセクションを参照してください。

AUTO_SLEEP ビットをクリアするときは、デバイスをスタンバイ・モードにすることを推奨します。その後の書き込みで測定モードに戻してください。これは、スリープ・モードが手動でディスエーブルされた場合に、デバイスが正しくバイアスされるようにするために行います。この方法に従わないと、AUTO_SLEEP ビットをクリアした後の最初の数サンプル分のデータで、ノイズが大きくなる場合があります。特に、このビットをクリアする前にデバイスがスリープ状態だった場合は、その傾向が強くなります。

測定ビット

測定ビットを 0 に設定するとデバイスはスタンバイ・モードになり、1 に設定すると測定モードになります。スタンバイ・モードの ADXL344 は最小限の消費電力でパワーアップします。

スリープ・ビット

スリープ・ビットを 0 に設定するとデバイスは通常動作モードになり、1 に設定するとスリープ・モードになります。スリープ・モードでは DATA_READY 割込みが生成されなくなり、FIFO へのデータ伝送も停止されます。また、サンプリング・レートはウェイクアップ・ビットで指定された値に切り替わります。スリープ・モードで使用できるのはアクティビティ機能だけです。DATA_READY 割込みが生成されなくなっても、出力データ・レジスタは、ウェイクアップ・ビットによって設定されたサンプリング・レートで更新されます。

スリープ・ビットをクリアするときは、デバイスをスタンバイ・モードにすることを推奨します。その後の書き込みで測定モードに戻してください。これは、スリープ・モードが手動でディスエーブルされた場合に、デバイスが正しくバイアスされるようにするために行います。この方法に従わないと、スリープ・ビットをクリアした後の最初の数サンプル分のデータで、ノイズが大きくなる場合があります。特に、このビットをクリアする前にデバイスがスリープ状態だった場合は、その傾向が強くなります。

ウェイクアップ・ビット

これらのビットは、表 20 に示すように、スリープ・モードにおけるデータ読出し周波数を制御します。

表 20. スリープ・モードでの読出し周波数

Setting		Frequency (Hz)
D1	D0	
0	0	8
0	1	4
1	0	2
1	1	1

レジスタ 0x2E – INT_ENABLE (読出し／書き込み)

D7	D6	D5	D4
DATA_READY	SINGLE_TAP	DOUBLE_TAP	Activity
D3	D2	D1	D0
Inactivity	FREE_FALL	Watermark	Overflow/ orientation

このレジスタのビットを 1 に設定すると、それぞれに対応する機能の割込み生成がイネーブルされます。0 に設定すると、そのビットに対応する機能の割込みは生成されなくなります。DATA_READY、ウォーターマーク、オーバーラン／オリエンテーションの各ビットは割込み出力だけを有効にします。これらの機能は常にイネーブルされます。割込みは、その出力をイネーブルする前に設定することを推奨します。

レジスタ 0x2F – INT_MAP (読出し／書き込み)

D7	D6	D5	D4
DATA_READY	SINGLE_TAP	DOUBLE_TAP	Activity
D3	D2	D1	D0
Inactivity	FREE_FALL	Watermark	Overflow/ orientation

このレジスタで 0 に設定されたビットはそれぞれに対応する割込みを INT1 ピンに送信し、1 に設定されたビットはそれぞれに対応する割込みを INT2 ピンに送信します。INT ピンに複数の割込みが送られる場合は、選択したすべての割込みの論理和がとられます。

レジスタ 0x30 – INT_SOURCE (読出し専用)

D7	D6	D5	D4
DATA_READY	SINGLE_TAP	DOUBLE_TAP	Activity
D3	D2	D1	D0
Inactivity	FREE_FALL	Watermark	Overflow/ orientation

このレジスタで 1 に設定されたビットは、それぞれに対応する機能がイベントをトリガしたことを示し、0 に設定されたビットは対応するイベントが発生しなかったことを示します。DATA_READY、ウォーターマーク、オーバーラン／オリエンテーションの各ビットは、INT_ENABLE レジスタの設定に関わらず対応イベントが発生すると常にセットされ、DATA、DATAY、DATAZ の各レジスタからのデータ読出しによってクリアされます。FIFO のセクションにある FIFO モードの説明に示すように、DATA_READY ビットとウォーターマーク・ビットについては、複数回の読出しが必要になることがあります。他のビットとそのビットに対応する割込みは（オリエンテーション・ビットがイネーブルされている場合はそれも含む）、INT_SOURCE レジスタの読出しによってクリアされます。

レジスタ 0x31 – DATA_FORMAT (読出し/書込み)

D7	D6	D5	D4	D3	D2	D1	D0
SELF_TEST	SPI	INT_INVERT	0	FULL_RES	Justify	Range	

DATA_FORMAT レジスタは、レジスタ 0x32~0x37 へ送るデータのフォーマットを制御します。±16g のレンジを除くすべてのデータは、ロールオーバーを避けるためにクリップする必要があります。

SELF_TEST ビット

SELF_TEST ビットを 1 に設定すると、センサーにセルフテスト用の負荷が加えられ、出力データが変化します。値をゼロにすると、セルフテスト用の負荷はディスエーブルされます。

SPI ビット

SPI ビットの値を 1 にするとデバイスは 3 線式 SPI モードに設定され、0 にすると 4 線式 SPI モードに設定されます。

INT_INVERT ビット

INT_INVERT ビットの値を 0 にすると割込みはアクティブ・ハイになり、1 にするとアクティブ・ローになります。

FULL_RES ビット

このビットの値を 1 に設定すると、デバイスは最大分解能モードになります。この場合、出力分解能はレンジ・ビットによって設定される g の範囲に従って増加して、4mg/LSB のスケール係数を維持します。FULL_RES ビットを 0 に設定するとデバイスは 10 ビット・モードになり、レンジ・ビットが最大 g 範囲とスケール係数を決定します。

ジャスティフィケーション・ビット

ジャスティフィケーション・ビットを 1 に設定すると左寄せ (MSB) モードが選択され、0 に設定すると符号付きの右寄せモードが選択されます。

レンジ・ビット

これらのビットは、表 21 に示す g レンジを設定します。

表 21. g レンジの設定

Setting		g Range
D1	D0	
0	0	±2 g
0	1	±4 g
1	0	±8 g
1	1	±16 g

レジスタ 0x32~0x37 – DATA0、DATA1、DATAY0、DATAY1、DATAZ0、DATAZ1 (読出し専用)

これら 6 つのバイト (レジスタ 0x32~0x37) はそれぞれ 8 ビットで、各軸の出力データを格納します。レジスタ 0x32 と 0x33 は x 軸の出力データ、レジスタ 0x34 と 0x35 は y 軸の出力データ、レジスタ 0x36 と 0x37 は z 軸の出力データを格納します。出力データは 2 の補数で、DATAx0 が最下位バイト、DATAx1 は最上位バイトです (x は X、Y、または Z)。DATA_FORMAT レジスタ (アドレス 0x31) は、データのフォーマットを制御します。シーケンシャル・レジスタの読出し時は、読出しと読出しの間にデータが変化しないよう、すべてのレジスタの読出しをマルチバイト読出しで行うことを推奨します。

レジスタ 0x38 – FIFO_CTL (読出し/書込み)

D7	D6	D5	D4	D3	D2	D1	D0
FIFO_MODE	Trigger	Samples					

FIFO_MODE ビット

これらのビットは、表 22 に示すように FIFO モードを設定します。

表 22. FIFO モード

設定		モード	機能
D7	D6		
0	0	Bypass	FIFO はバイパスされます。
0	1	FIFO	FIFO は最大 32 個の値を収集してデータの取得を終了します。新しいデータの収集は FIFO が満杯でないときだけ行われます。
1	0	Stream	FIFO は最新の 32 個の値を格納します。FIFO が満杯になると、古いデータから順に新しいデータで上書きされます。
1	1	Trigger	トリガ・ビットによってトリガされると、FIFO はトリガ・イベント前の最後のデータ・サンプルを保持して、FIFO が満杯になるまでデータ収集を続けます。新しいデータの収集は FIFO が満杯でないときだけ行われます。

トリガ・ビット

トリガ・ビットの値を 0 にすると、トリガ・モードのトリガ・イベントは INT1 にリンクされ、値を 1 にすると INT2 にリンクされます。

サンプル・ビット

これらのビットの機能は、選択した FIFO モードによって異なります (表 23 を参照)。サンプル・ビットに値 0 を入力すると、選択されている FIFO モードの種類に関係なく、直ちに INT_SOURCE レジスタ (アドレス 0x30) のウォーターマーク・ビットが設定されます。トリガ・モード使用時にサンプル・ビットの値を 0 にすると、予期しない動作が生じる可能性があります。

表 23. サンプル・ビットの機能

FIFO モード	サンプル・ビットの機能
Bypass	なし。
FIFO	ウォーターマーク割込みのトリガに必要な FIFO のエントリ数を指定します。
Stream	ウォーターマーク割込みのトリガに必要な FIFO のエントリ数を指定します。
Trigger	トリガ・イベント発生までに FIFO バッファに保持される FIFO サンプル数を指定します。

レジスタ 0x39 – FIFO_STATUS (読み出し専用)

D7	D6	D5	D4	D3	D2	D1	D0
FIFO_TRIG	0	Entries					

FIFO_TRIG ビット

FIFO_TRIG ビットが 1 のときはトリガ・イベントが発生していることを示し、0 のときは FIFO トリガ・イベントが発生していないことを示します。

エントリ・ビット

これらのビットは FIFO に格納されているデータ値の数をレポートします。FIFO からデータを収集するためのアクセスは、DATA_X、DATA_Y、DATA_Z の各レジスタから行います。FIFO の読み出しは、バースト・モードかマルチバイト・モードで行う必要があります。FIFO の読み出しでは、その読み出しの種類（シングルバイトまたはマルチバイト）に関わらず、読み出し後はその FIFO レベルがクリアされるからです。FIFO には最大 32 個のエントリが格納されます。更に、デバイスの出力フィルタでエントリが 1 つ追加されるので、最終的には常に最大 33 個のエントリを使用できることになります。

レジスタ 0x3A – TAP_SIGN (読み出し専用)

D7	D6	D5	D4	D3	D2	D1	D0
0	XSIGN	YSIGN	ZSIGN	0	XTAP	YTAP	ZTAP

xSIGN ビット

これらのビットは、タップ・イベントに関する最初の軸の符号を示します。1 に設定されている場合は負方向の加速度であることを示し、0 に設定されている場合は正方向の加速度であることを示します。これらのビットは、新しいシングル・タップ/ダブル・タップ・イベントが検出され、なおかつ TAP_AXES レジスタ (アドレス 0x2A) でイネーブルされた軸が更新された場合のみ更新されます。割込みをクリアするには、事前に TAP_SIGN レジスタを読み出す必要があります。詳細については、[タップ符号](#)のセクションを参照してください。

xTAP ビット

これらのビットは、タップ・イベントに関する最初の軸を示します。1 に設定されている場合はそのイベントの検出に関係していることを示し、0 に設定されている場合は関係していないことを示します。新しいデータを使用できる場合これらのビットはクリアされず、その新しいデータで上書きされます。割込みをクリアするには、事前に TAP_SIGN レジスタを読み出す必要があります。軸をディスエーブルして検出対象から外すと、次のシングル・タップ/ダブル・タップ・イベントが発生した時点で、その軸に対応するソース・ビットがクリアされます。

レジスタ 0x3B – ORIENT_CONF (読み出し/書き込み)

D7	D6	D5	D4	D3	D2	D1	D0
INT_ORIENT	Dead zone			INT_3D	Divisor		

INT_ORIENT ビット

INT_ORIENT ビットをセットすると、オリエンテーション割込みがイネーブルされます。値を 1 にするとデバイスのオーバーラン機能がオーバーライドされて、INT_MAP (アドレス 0x2F)、INT_ENABLE (アドレス 0x2E)、および INT_SOURCE (アドレス 0x30) レジスタのオーバーラン機能がオリエンテーション機能に置き換えられます。INT_ORIENT ビットをセットした後は、オリエンテーション割込みが INT1 または INT2 へマップされるように INT_MAP レジスタと INT_ENABLE レジスタのオリエンテーション・ビットを設定して、そのピンへの割込み生成をイネーブルする必要があります。

オリエンテーション・レジスタ (アドレス 0x3C) 内で、INT_3D ビットによって選択されたモードのオリエンテーション・ステータスが変ると、常にオリエンテーション割込みが生成されます。オリエンテーション割込みは、INT_SOURCE レジスタを読み出すことでクリアされます。INT_ENABLE レジスタ (アドレス 0x2E) の INT_ORIENT ビットまたはオリエンテーション・ビットをクリアすると、割込みがディスエーブルされてクリアされます。

BW_RATE レジスタ (アドレス 0x2C) へ書き込みを行うかデバイスをスタンバイ・モードにすると、オリエンテーション機能がリセットされて、オリエンテーション・フィルタと割込みがクリアされます。しかし、オリエンテーション機能をリセットするとオリエンテーション・レジスタ (アドレス 0x3C) 内のオリエンテーション・ステータスもリセットされるので、現在のオリエンテーションがデフォルトのオリエンテーションでない場合は、次の出力サンプルが使用可能になると割込みが生成されません。INT_ORIENT ビットを 0 に設定すると、オリエンテーション割込みの生成がディスエーブルされて、オーバーラン機能が使用できるようになります。

不感帯ビット

これらのビットは、隣接する 2 つのオリエンテーション間において、オリエンテーションが無効と見なされて更新されない領域を決定します。値を 0 に設定すると、オリエンテーションが 2 つの隣接領域間の 2 等分線に近くなったときに、予期せぬ動作をすることがあります。表 24 に示すように、不感帯の角度はこれらのビットによって決定されます。詳細については、[オリエンテーション検出](#)のセクションを参照してください。

表 24. 不感帯と除数コード

Decimal	Binary	Dead Zone Angle (Degrees)	Divisor Bandwidth (Hz)
0	000	5.1	ODR/9
1	001	10.2	ODR/22
2	010	15.2	ODR/50
3	011	20.4	ODR/100
4	100	25.5	ODR/200
5	101	30.8	ODR/400
6	110	36.1	ODR/800
7	111	41.4	ODR/1600

INT_3D ビット

オリエンテーション割込みをイネーブルした場合、INT_3D ビットは、2D オリエンテーション検出と 3D オリエンテーション検出のどちらを使って割込みを生成するかを決定します。値を 0 にすると、2D オリエンテーションが有効なオリエンテーションから別の有効なオリエンテーションへ変化した場合のみ、割込みを生成します。値を 1 にすると、3D オリエンテーションが有効な 3D オリエンテーションから別の有効な 3D オリエンテーションへ変化した場合のみ、割込みを生成します。

除数ビット

これらのビットは、安定したオリエンテーション検出を行うために、測定加速度のローパス・フィルタとして使用するフィルタの帯域幅を設定します。除数帯域幅は、表 24 に示すように、これらのビットによって決定されます。ODR は、BW_RATE レジスタ (アドレス 0x2C) に設定される出力データ・レートです。詳細については、[オリエンテーション検出](#)のセクションを参照してください。

レジスタ 0x3C - オリエンテーション (読出し専用)

D7	D6	D5	D4	D3	D2	D1	D0
0	V2	2D_ORIENT		V3	3D_ORIENT		

Vx ビット

これらのビットは、2D (V2) および 3D (V3) オリエンテーションの有効性を示します。値 1 はオリエンテーションが有効であることを示します。値 0 は、現在のオリエンテーションが不感帯にあるため無効であることを意味します。

xD_ORIENT ビット

これらのビットは、加速度センサーの現在の 2D オリエンテーション (2D_ORIENT) と 3D オリエンテーション (3D_ORIENT) を表します。オリエンテーション割込みがイネーブルされている場合、このレジスタは、割込み発生時のデバイスのオリエンテーションを決定するために読み出されます。このレジスタは新しい加速度データの新しいサンプルが得られるごとに更新されるので、オリエンテーション割込みが生成された時点で読出しを行い、割込みを生成したオリエンテーション変化が特定されるようにする必要があります。オリエンテーションの値を表 25 と表 26 に示します。詳細については、[オリエンテーション検出](#)のセクションを参照してください。

BW_RATE レジスタ (アドレス 0x2C) へ書き込みを行うか、デバイスをスタンバイ・モードにすると、オリエンテーション機能がリセットされて、オリエンテーション・フィルタとオリエンテーション・ステータスがクリアされます。次の出力サンプル時のオリエンテーションがデフォルト値 (2D オリエンテーション検出の場合は+X、3D オリエンテーション検出の場合は不定) と異なる場合は、上記の動作の結果としてオリエンテーション割込みが行われます (割込みがイネーブルされている場合)。

表 25. 2D オリエンテーション・コード

Decimal	Binary	Orientation	Dominant Axis
0	00	Portrait positive	+X
1	01	Portrait negative	-X
2	10	Landscape positive	+Y
3	11	Landscape negative	-Y

表 26. 3D オリエンテーション・コード

Decimal	Binary	Orientation	Dominant Axis
3	011	Front	+X
4	100	Back	-X
2	010	Left	+Y
5	101	Right	-Y
1	001	Top	+Z
6	110	Bottom	-Z

アプリケーション情報

電源のデカップリング

加速度センサーを電源ノイズから十分デカップリングするために、 V_S の $1\mu\text{F}$ タンタル・コンデンサ (C_S) と $V_{DD\ I/O}$ の $0.1\mu\text{F}$ セラミック・コンデンサ ($C_{I/O}$) を ADXL344 電源ピンのできるだけ近くに配置することを推奨します。それ以上のデカップリングが必要な場合は、 100Ω 以下の抵抗かフェライト・ビーズを V_S と直列に挿入すると効果的です。 V_S に $10\mu\text{F}$ のタンタル・コンデンサと $0.1\mu\text{F}$ のセラミック・コンデンサを並列に設置すると、更にノイズを低減することができます。

グラウンドから伝わるノイズには、 V_S からのノイズと同じような影響があるため、ADXL344 のグラウンドから電源グラウンドへの接続は必ず低インピーダンスになるように注意する必要があります。また、 V_S 電源のデジタル・クロック・ノイズを最小限に抑えるために、 V_S と $V_{DD\ I/O}$ は別電源にすることを推奨します。これが不可能な場合は、既に述べたように電源にフィルタが必要になることがあります。

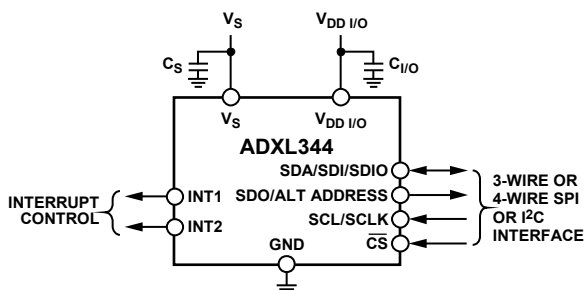


図 32. アプリケーション構成図

取付けに関する機構的な注意事項

ADXL344 は、PCB の支持点近くで PCB に取り付けてください。ADXL344 を PCB の固定が不十分な位置に取り付けると (図 33 を参照)、基板の振動が減衰されず、測定誤差が目に見えて大きくなる場合があります。加速度センサーを十分に固定された支持点の近くに配置すれば、加速度センサー位置での PCB 振動が加速度センサーへの影響は事実上なくなります。センサーの近くに複数の支持点を設けたり、プリント基板を厚くしたりすることも、システムの共振によるセンサー性能への影響を軽減する助けとなります。

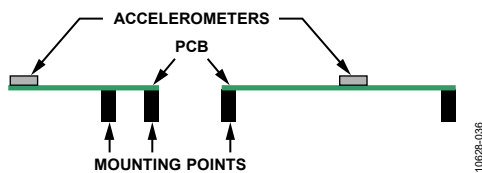


図 33. 加速度センサーの不適切な配置

タップ検出

タップ割込み機能を使用すれば、シングル・タップやダブル・タップを検出することができます。以下のパラメータは、有効なシングル・タップ・イベントとダブル・タップ・イベントを表した図 34 に示されています。

- タップ検出閾値は THRESH_TAP レジスタ (アドレス $0x1D$) によって定義されます。
- 最大タップ時間は DUR レジスタ (アドレス $0x21$) によって定義されます。
- タップ遅延時間は遅延レジスタ (アドレス $0x22$) によって定義されます。これは、最初のタップの終了から、2 回目のタップを検出できる時間枠 (ウィンドウ) が開始されるまでの待機時間を表します。検出のための時間枠はウィンドウ・レジスタ (アドレス $0x23$) の値によって決定されます。
- 遅延時間 (遅延レジスタで設定) 経過後の時間枠は、ウィンドウ・レジスタで定義します。2 回目のタップは遅延時間経過後に開始されなければなりません。ウィンドウ・レジスタによって定義された時間の終了前に完了する必要はありません。

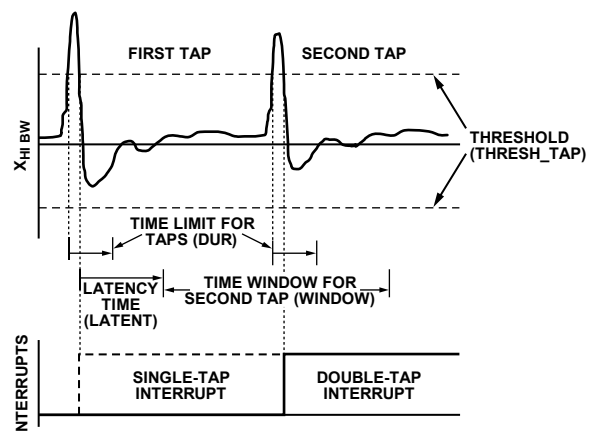


図 34. タップ割込み機能と有効なシングル・タップ/ダブル・タップ

シングル・タップ機能のみが使われている場合は、DUR で指定された時間を超えない限り、加速度が閾値を下回るとシングル・タップ割込みがトリガされます。シングル・タップ機能とダブル・タップ機能の両方が使われている場合は、ダブル・タップ・イベントが有効または無効と判定された時点で、シングル・タップ割込みがトリガされます。

ダブル・タップ・イベントの 2 回目のタップが無効と判定される場合、その原因となるイベントは複数考えられます。まず、TAP_AXES レジスタ (アドレス $0x2A$) のサブレス・ビットがセットされている場合は、図 35 に示すように、遅延時間 (遅延レジスタで設定) 内に生じる加速度スパイクで閾値を超えるものは、すべてダブル・タップ検出を無効にします。

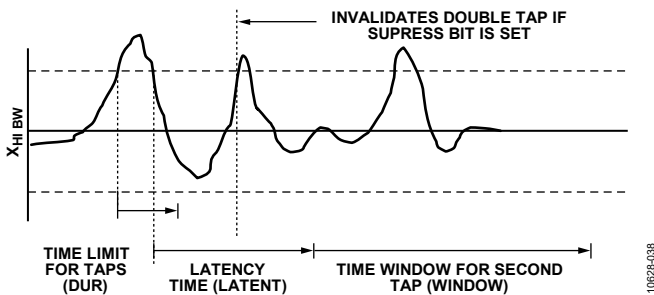


図 35. 高 g イベントにより無効となるダブル・タップ・イベント (サブレス・ビットをセットした場合)

2 回目のタップを検出するための時間枠 (ウィンドウ・レジスタ (アドレス 0x23) により設定) 開始時に閾値を超える加速度が検出された場合も、ダブル・タップ・イベントは無効と判定されます。この場合は、図 36 に示すように、この時間枠の開始時にダブル・タップが無効と判定されます。更に、加速度がタップのタイム・リミット (DUR レジスタ (アドレス 0x21) で設定) を超えた場合もダブル・タップ・イベントが無効と判定されることがあり、同じく図 36 に示すように、この場合は DUR で指定する 2 回目のタップ・イベント検出用のタイム・リミット終了時に、無効なダブル・タップと判定されます。

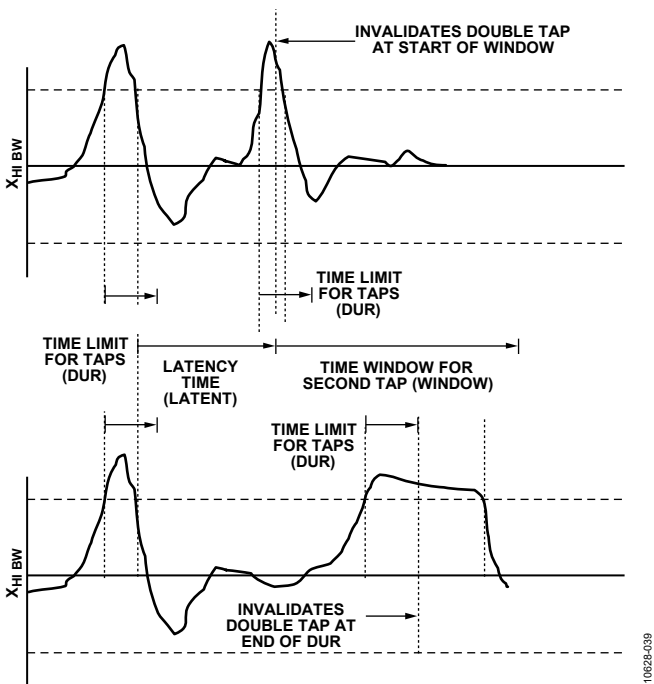


図 36. タップ割込み機能と無効なダブル・タップ

シングル・タップ、ダブル・タップ、またはその両方を検出できるようにするには、INT_ENABLE レジスタ (アドレス 0x2E) の該当ビットをセットします。シングル・タップ/ダブル・タップ検出の判定に 3 本の軸のどれを使用するかは、TAP_AXES レジスタ (アドレス 0x2A) の該当ビットをセットすることによって決定します。ダブル・タップ機能を動作させるには、遅延レジスタとウィンドウ・レジスタの両方をゼロ以外の値に設定する必要があります。

あらゆる機械的システムは、そのシステムの機械的特性に基づき、少し異なるシングル・タップ/ダブル・タップ応答を示します。したがって、DUR レジスタ、遅延レジスタ、ウィンドウ・レジスタ、および THRESH_TAP レジスタの値は実験的に求める必要があります。一般的に、最初は DUR レジスタを 0x10 (10ms) より大きい値、遅延レジスタを 0x10 (20ms) より大きい値、ウィンドウ・レジスタを 0x40 (80ms) より大きい値、

THRESH_TAP レジスタを 0x30 (3g) より大きい値に設定するのが妥当な方法です。遅延レジスタ、ウィンドウ・レジスタ、THRESH_TAP レジスタの設定値が小さすぎると、加速度センサーがタップ入力の残留振動をひろって、予期しない反応を示すことがあります。

タップ割込みの受信後は、THRESH_TAP レベルを超えた最初の軸が、ACT_TAP_STATUS レジスタ (アドレス 0x2B) にレポートされます。このレジスタがクリアされることはなく、常に新しいデータで上書きされます。

拡張タップ検出

拡張タップ検出は、TAP_AXES レジスタ (アドレス 0x2A) の拡張タップ・ビットをセットすることによってイネーブルします。拡張タップ検出をイネーブルすると、BW_RATE レジスタ (アドレス 0x2C) で設定された出力データ・レートに対応するフィルタ出力データが処理されて、タップ・イベントが発生したかどうか判定されます。更に、AC カップリングによる差動測定が使われます。したがって、拡張タップ検出用のタイミング値と閾値は、通常のタップ検出に使われるものと異なります。

拡張タップ検出を使用する場合は、テスト結果に基づいて新しい値を決定する必要があります。一般に、いかなるタイミング値 (DUR レジスタ、遅延レジスタ、またはウィンドウ・レジスタ内) も出力データ・レートによって設定される時間ステップ分解能未満には設定しないようにする必要があります。通常、拡張タップ検出用の閾値は、通常タップ検出用の閾値よりはるかに低い値に設定することができます。使用する値は BW_RATE レジスタ内の値によって異なりますが、これはシステム・テストを通じて決定する必要があります。詳細については閾値のセクションを参照してください。

タップ符号

負の加速度が検出された場合は負の符号が生成されますが、これは該当軸に対応するデバイスの正面の面をタップした場合にあたります。デバイスの正面の面とは、その方向への運動が正の加速度となる面です。例えば、+X 方向に対応する面 (図 37 で FRONT と表示された面 - 正面) をタップすると、x 軸に関する符号は負になります。図 37 で LEFT と表示された面 (左面) をタップすると y 軸に関する符号は負になり、TOP と表示された面 (上面) をタップすると z 軸に関する符号は負になります。逆に、背面、右面、底面をタップすると、それぞれの軸に関する符号は正になります。

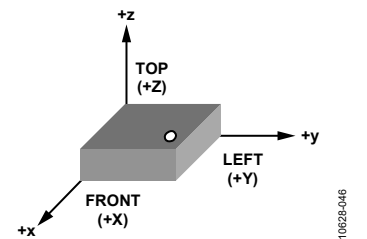


図 37. 3D オリエンテーションと座標系

閾値

出力データ・レートを下げることは、デバイス内部の常用サンプリング周波数をデシメーションすることによって実現できます。拡張タップをイネーブルしない場合のアクティビティ、自由落下、およびシングル・タップ/ダブル・タップ検出機能は、デシメーションしていないデータを使って行われます。出力データの帯域幅はデータ・レートによって異なり、デシメーションされていないデータの帯域幅より狭いので、加速度センサーの出力を調べる場合に、アクティビティ、自由落下、シングル・タップ/ダブル・タップ・イベントの判定に使われる高周波数高 g のデータが存在しないことがあります。この場合は、加速度データが対応機能に設定された条件に適合していないように見えても、その機能がトリガされることがあります。

リンク・モード

リンク・ビットは、インアクティビティの後のアクティビティだけに反応するようデバイスを設定することによって、プロセッサが処理しなければならないアクティビティ割込みの数を減らします。この機能を正しく動作させるには、プロセッサは引き続きアクティビティ割込みとインアクティビティ割込みに応答する必要があります。そのために INT_SOURCE レジスタ (アドレス 0x30) を読み出す (つまりは割込みをクリアする) 必要があります。アクティビティ割込みがクリアされないと、デバイスは自動スリープ・モードに移行できません。ACT_TAP_STATUS レジスタ (アドレス 0x2B) のアスリープ・ビットは、デバイスがスリープ状態にあるかどうかを示します。

スリープ・モードと低消費電力モード

低データ・レートと低消費電力が求められるアプリケーションでは、低消費電力モードの使用を推奨します (ただし、ノイズ性能は低下します)。低消費電力モード使用時でも DATA_READY 割込みと FIFO の機能は維持され、加速度データの後処理に使用することができます。スリープ・モードではデータ・レートと消費電力が低く抑えられますが、データ収集は行えません。

ただし、AUTO_SLEEP モードおよびリンク・モードと組み合わせると、インアクティビティが検出された場合、デバイスは低消費電力、低サンプリング・レートのモードに自動的に切り替わります。不要なインアクティビティ割込みが発生しないようにするために、インアクティビティ割込みが自動的にディスエーブルされ、アクティビティがイネーブルされます。ADXL344 がスリープ・モードのときは、ホスト・プロセッサもスリープ・モードまたは低消費電力モードにして、システムの消費電力を大幅に低減することができます。アクティビティが検出されると、加速度センサーはアプリケーションのオリジナルの設定データ・レートに自動的に戻って、アクティビティ割込みを生成します。この割込みはホスト・プロセッサのウェイクアップに使用できます。同様に、インアクティビティ状態が発生した場合は、アクティビティ・イベントの検出がディスエーブルされて、インアクティビティがイネーブルされます。

オフセット・キャリブレーション

加速度センサーは、自由に動くエレメントを内蔵した機械的構造です。これらの可動部品は、ソリッドステート型のエレクトロニクスに比べ、機械的なストレスに極めて敏感です。0g バイアスまたはオフセットは加速度測定のベースラインを決めるものであり、加速度センサーの重要な測定基準となります。加速度センサーを内蔵するシステムの組立て時にも、追加的なストレスが加わることがあります。これらのストレスの原因としては、部品のハンダ処理、取付け時に基板に加わるストレス、部品への化合物の塗布などがありますが、必ずしもこれらだけに

限りません。キャリブレーションが必要と考えられる場合は、これらの影響を補償するために、システムの組立て完了後にキャリブレーションを行うことを推奨します。

キャリブレーションを行う簡単な方法は、ADXL344 の感度が表 1 に示す規定値どおりであると想定して、オフセットを測定することです。その後、内蔵のオフセット・レジスタ (レジスタ 0x1E、レジスタ 0x1F、レジスタ 0x20) を用いることにより、このオフセットが自動的に考慮されるようすることができます。これにより、DATA_X、DATA_Y、DATA_Z の各レジスタ (アドレス 0x32~0x37) から取得したデータは、オフセット補償済みの値となります。

ノーターン・キャリブレーション (シングルポイント・キャリブレーション) 方式を使用する場合、デバイスのオリエンテーションは、1 本の軸 (通常は z 軸) が重力による 1g フィールドに、残りの軸 (通常は x 軸と y 軸) が 0g フィールドになるように設定します。出力の測定は、一連のサンプルの平均をとって行います。平均値を求める際のサンプル数はシステム設計者が選択できますが、100Hz 以上のデータ・レートで 0.1 秒分のデータくらいから始めることを推奨します。これは、100Hz のデータ・レートで 10 個のサンプルに相当します。データ・レートが 100Hz 未満の場合は、少なくとも 10 個のサンプルの平均をとるようにしてください。これらの値は X_{0g} (x 軸の 0g 測定値)、 Y_{0g} (y 軸の 0g 測定値)、および Z_{+1g} (z 軸の 1g 測定値) として保存されます。

X_{0g} および Y_{0g} 測定値はそれぞれ x 軸と y 軸のオフセットに対応しており、加速度センサーの出力からこれらの値を引くことで補償が行われて、実際の加速度が求められます。

$$X_{ACTUAL} = X_{MEAS} - X_{0g}$$

$$Y_{ACTUAL} = Y_{MEAS} - Y_{0g}$$

z 軸の測定は 1g フィールドで行われるので、ノーターン・キャリブレーション (シングルポイント・キャリブレーション) 方式を使用する場合、z 軸は理想的な感度 (S_z) であるものと見なします。これを Z_{+1g} から引いて z 軸のオフセットを出し、更にそれを以後の測定値から引いて実際の値を求めます。

$$Z_{0g} = Z_{1g} - S_z$$

$$Z_{ACTUAL} = Z_{MEAS} - Z_{0g}$$

ADXL344 は、オフセット・レジスタ (レジスタ 0x1E、レジスタ 0x1F、レジスタ 0x20) を使用して、自動的に出力のオフセット補償を行うことができます。これらのレジスタには、8 ビットの 2 の補数形式の値が格納されます。これらの値はすべての測定加速度値に自動的に加算され、その結果が DATA_X、DATA_Y、DATA_Z の各レジスタに格納されます。オフセット・レジスタに格納される値は測定値への加算値として使われるので、正のオフセットを補正するにはレジスタに負の値が置かれ、負のオフセットを補正するには正の値が置かれます。レジスタのスケール係数は 15.6mg/LSB で、これは選択した g レンジに左右されません。

一例として、ADXL344 を 256LSB/g (代表値) の感度で最大分解能モードにしたとします。デバイスは z 軸が重力フィールドに来るような方向に置かれていて、x 軸の出力値が +10LSB、y 軸の出力値が -13LSB、z 軸の出力値が +9LSB と測定されたとします。前述の式を使うと、 $X_{0g} = +10LSB$ 、 $Y_{0g} = -13LSB$ 、 $Z_{0g} = +9LSB$ となります。最大分解能時の出力の各 LSB は 3.9mg、つまりオフセット・レジスタの LSB の 1/4 です。

オフセット・レジスタの値は加算値として使われるので、0g 値は極性を反転して、オフセット・レジスタの最も近い LSB に丸めます。

$$X_{OFFSET} = -\text{Round}(10/4) = -3 \text{ LSB}$$

$$Y_{OFFSET} = -\text{Round}(-13/4) = 3 \text{ LSB}$$

$$Z_{OFFSET} = -\text{Round}(9/4) = -2 \text{ LSB}$$

これらの値は、0xFD、0x03、0xFE として、それぞれ OFSX レジスタ、OFSY レジスタ、OFXZ レジスタに書き込まれます。ADXL344 内の他のレジスタと同様に、オフセット・レジスタに書き込まれた値は、デバイスの電源遮断後は残りません。ADXL344 の電源を一度遮断して再投入すると、オフセット・レジスタの値はそのデフォルト値である 0x00 に戻ります。

ノーターン・キャリブレーション（シングルポイント・キャリブレーション）方式は z 軸の感度が理想的であることを前提にしているため、感度に誤差があるとオフセット誤差が生じます。例えば、前述の例で実際の感度が 250LSB/g だったとすると、オフセットは 9LSB ではなく 15LSB になります。この誤差を最小限に抑えるためには、z 軸を 0g フィールドに置いて新たに追加した測定ポイントを使用し、その 0g 測定値を Z_{ACTUAL} の式に使用することができます。

セルフテストの使用法

セルフテスト変動とは、セルフテストをイネーブルした軸の加速度出力と、同じ軸でセルフテストをディスエーブルした場合の加速度出力の差として定義されます（表 1 の脚注 8 を参照）。この定義は、これら 2 つの測定の間センサーが動かないことを前提としています。センサーが動いた場合、つまり新たなシフトが生じた場合、これはセルフテストに関係するものではないので、テストが成り立たなくなります。

正確なセルフテスト測定を行うには、ADXL344 を正しく設定することも必要です。このデバイスの設定は、100Hz~800Hz、または 3200Hz のデータ・レートで行います。これは、BW_RATE レジスタ（アドレス 0x2C）のレート・ビット（ビット D3~D0）に、値 0x0A~0x0D、または 0x0F を書き込むことによって行います。また、正確なセルフテスト測定を行うには、BW_RATE レジスタの LOW_POWER ビット（ビット D4）をクリアする（LOW_POWER ビット = 0）ことによって、デバイスを通常消費電力動作にする必要があります。セルフテスト・シフトの全体を通じて十分なダイナミック・レンジが得られるように、デバイスは最大分解能で 16g モードに設定することを推奨します。これは、FULL_RES ビット（ビット D3）をセットし、DATA_FORMAT レジスタ（アドレス 0x31）のレンジ・ビット（ビット D1~D0）に値 0x03 を書き込むことによって行います。これにより、広いダイナミック・レンジと 3.9mg/LSB のスケール係数が得られます。

デバイスを正確なセルフテスト測定用に設定した後は、x 軸、y 軸、z 軸の加速度データをいくつかセンサーから読み出して、その平均値をとって見る必要があります。平均値を求める際のサンプル数はシステム設計者が選択できますが、100 Hz 以上のデータ・レートで 0.1 秒分のデータくらいから始めることを推奨します。これは、100Hz のデータ・レートで 10 個のサンプルに相当します。データ・レートが 100Hz 未満の場合は、少なくとも 10 個のサンプルの平均をとるようにしてください。

平均値はセルフテストをディスエーブルした時のデータとして保存し、適切なラベルを付けます（ X_{ST_OFF} 、 Y_{ST_OFF} 、 Z_{ST_OFF} ）。

次に、DATA_FORMAT レジスタ（アドレス 0x31）のビット D7 をセットして、セルフテストをイネーブルします。セルフテストをイネーブルしてから出力が安定するまでには、少し時間が必要です（サンプル 4 個分程度）。出力が安定したら、x 軸、y 軸、z 軸における加速度データのサンプルをもう一度いくつか読み込んで、平均値をとります。この平均値を求める際にも、前と同じ数のサンプルを使用することを推奨します。これらの平均値についても、セルフテストをイネーブルした時のデータとして保存し、適切なラベルを付けます（ X_{ST_ON} 、 Y_{ST_ON} 、 Z_{ST_ON} ）。セルフテストは、DATA_FORMAT レジスタ（アドレス 0x31）のビット D7 をクリアすることによってディスエーブルできます。

セルフテスト変動は、セルフテストをイネーブルしたときとディスエーブルしたときの保存値から、次式で表すことができます。

$$X_{ST} = X_{ST_ON} - X_{ST_OFF}$$

$$Y_{ST} = Y_{ST_ON} - Y_{ST_OFF}$$

$$Z_{ST} = Z_{ST_ON} - Z_{ST_OFF}$$

各軸の測定出力は LSB 単位で表されるので、 X_{ST} 、 Y_{ST} 、 Z_{ST} も LSB 単位で表されます。最大分解能モードに設定されている場合は、各値に 3.9mg/LSB のスケール係数を乗じることによって、これらの値を g 単位の加速度に換算することができます。更に、表 15~表 18 は LSB に変換したセルフテスト変動の仕様を示しており、 $V_s = 2.6V$ の動作時に測定されたセルフテスト変動と比較することができます。他の電圧値では、表 14 に示すスケール係数に基づいて（スケール係数を乗じて）、最小および最大セルフテスト出力値を調整する必要があります。デバイスを $\pm 2g$ で 10 ビットまたは最大分解能モードにした場合は、表 15 に示す値を使用してください。10 ビットの固定モードや 16g 以外のレンジも使用できますが、表 16~表 18 に示すように、様々な値のセットが必要になることがあります。8g 未満のレンジを使用するとダイナミック・レンジが不足する可能性があるため、セルフテスト測定用の動作範囲を選択する際には十分な検討が必要です。

セルフテスト変動が有効な範囲内に収まった場合は、テストが成功したと見なすことができます。一般的に、最小変動値が実現されていれば、そのデバイスは正常であると見なされます。ただし、変動が最大値を超えていても、そのデバイスが異常であるとは限りません。

セルフテストを使って加速度センサーの機能を確認するもう 1 つの効果的な方法は、一定のレートでセルフテストを切り替えて、その出力に FFT を実施することです。FFT には、セルフテストの切換え周波数に対応するトーンが必要です。電源電圧やセルフテスト振幅は比較的広い範囲で変化しますが、この方法ではこれらの電圧や振幅がテストに影響を及ぼすことはありません。

オリエンテーション検出

ADXL344 のオリエンテーション検出機能は、オリエンテーション・レジスタ (アドレス 0x3C) を通じて、2D と 3D 両方のオリエンテーションを同時にレポートします。V2 ビットと V3 ビット (オリエンテーション・レジスタのビット D6 とビット D3) は、2D および 3D オリエンテーション・コードの有効性をレポートします。V2 または V3 がセットされている場合、それぞれに対応するコードは有効なオリエンテーションです。V2 または V3 がクリアされている場合、その加速度センサーのオリエンテーションは不明です。例えば、有効な領域と領域の間の不感帯にあるといった状況が考えられます。

2D オリエンテーション検出では、重力に対する x 軸と y 軸の関係を使って加速度センサーのオリエンテーションを決定します。

(図 38 と表 25 を参照)。正の縦置きは、x 軸を重力ベクトルの方向に最も近くなるように調整して上向き (重力ベクトルと反対方向) にした状態です。負の縦置きは正の縦置きと逆で、x 軸を重力ベクトルに合わせて下向きにした状態です。正の横置きは、y 軸を重力ベクトルの方向に最も近くなるように調整して上向き (重力ベクトルと反対方向) にした状態です。負の横置きは正の横置きと逆のオリエンテーションです。不感帯領域を、図 38 の正の縦置き (+X) と負の縦置き (-X) のオリエンテーションに示します。図 38 に示すように、これらの領域は正の横置き (+Y) と負の横置き (-Y) についても存在します。

3D オリエンテーション検出では、これに z 軸が加わります。タック符号のセクションに示した図 37 のように速度センサーを直交座標系に置いた場合は、デバイスの上面が z 軸の正方向、前面が x 軸の正方向、右面が y 軸の正方向にあたります。

図 26 に示す状態は、加速度センサーのどの面が上 (重力ベクトルと逆方向) を向いているかを表しています。図 37 では、加速度センサーはトップ (Top) 状態 (上面を上に向けた状態) で置かれています。デバイスを裏返して上面が下、つまり重力方向を向くようにした場合、オリエンテーションはボトム (Bottom) 状態としてレポートされます。x 軸の正方向または y 軸の正方向が上 (重力ベクトルと逆方向) を向くようにデバイスの置き方を調整した場合、加速度センサーはそのオリエンテーションを、それぞれフロント (Front) 状態 (x 軸) またはレフト (Left) 状態 (y 軸) としてレポートします。

オリエンテーション変化検出用のアルゴリズムは、高周波運動の影響を除外するために、出力加速度データをフィルタリングした後で実行されます。フィルタリングは、除数ビット (ORIENT_CONF レジスタ、アドレス 0x3B) によって帯域幅を設定したローパス・フィルタを使って行います。オリエンテーション・フィルタは出力データ・レジスタ (アドレス 0x32~アドレス 0x37) に格納されたものと同じ出力データを使用します。したがって、オリエンテーション・レジスタ (アドレス 0x3C) は、BW_RATE レジスタ (アドレス 0x2C) に設定されたデータ・レートと同じレートで更新されます。出力データが使われるので、オリエンテーション・フィルタの帯域幅は BW_RATE レジスタに設定された値に依存し、表 24 に示す除数帯域幅 (Divisor Bandwidth) の値は選択したデータ・レートを基準とします。

歩行や動揺といった人の動きの大部分を除去するため、ORIENT_CONF レジスタ (アドレス 0x3B) の除数ビット (ビット [D2:D0]) の値は、オリエンテーション帯域幅を 1Hz または 2Hz に効果的に制限するように選ぶ必要があります。例えば、出力データ・レート = 100Hz、除数 = 3 (ODR/100) にすると、オリエンテーション検出の帯域幅は 1Hz になります。最適な結果を得るには、通常消費電力モードで出力データ・レートを 25Hz 以上、低消費電力動作で出力データ・レートを 200Hz 以上とすることを推奨します。

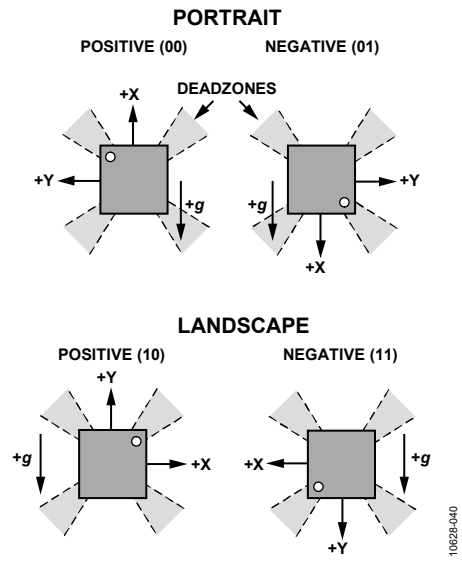


図 38. 2D オリエンテーションと対応コード

2 つのオリエンテーション・ポジション間の不感帯領域の幅は、ORIENT_CONF レジスタ (アドレス 0x3B) の不感帯ビット (ビット [D6:D4]) で指定されます。不感帯領域のサイズは、表 24 に示す値を使って指定できます。不感帯角度は、オリエンテーションが無効と見なされる合計角度を表します。したがって、不感帯角度が 15.4° の場合は、2 つの隣接領域の二等分線から両側 7.7° になります。不感帯領域が 15.4° の場合の例を図 39 に示します。表 24 に示す値は、重力ベクトルが 2 つの軸 (xy、xz、または yz) だけに完全に含まれる場合の代表的な不感帯角度です。これらの値は開始値としてのみ使用してください。重力を 3 軸すべてに投影した場合の成分がいずれもゼロにならないような形でデバイスのオリエンテーションを定めると、実効感度が小さくなり、結果的に不感帯角度が大きくなります。したがって、個々のアプリケーションでの使用条件を評価して、不感帯の最適な設定を決める必要があります。

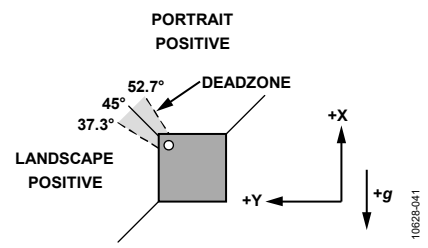


図 39. 15.4° の不感帯領域を持つオリエンテーション

ORIENT_CONF レジスタ (アドレス 0x3B) の INT_ORIENT ビット (ビット D7) をセットすると、デバイスを新しい有効オリエンテーションに置いたときに割込みが生成されます。2 つのオリエンテーション検出モード (2D または 3D) が同時に割込みを生成することはできません。オリエンテーション検出モードの選択は、ORIENT_CONF レジスタ (アドレス 0x3B) の INT_3D ビット (ビット D3) をセットすることによって行います。詳細については、レジスタ 0x3B – ORIENT_CONF (読出し/書込み) のセクションを参照してください。

BW_RATE レジスタへ書込みを行うかデバイスをスタンバイ・モードにすると、オリエンテーション機能がリセットされて、オリエンテーション・フィルタとオリエンテーション・ステータスがクリアされます。ただし、次の出力サンプル時のオリエンテーションがデフォルト値 (2D オリエンテーション検出では +X、3D オリエンテーションでは不定) と異なる場合には、これらの動作によってオリエンテーション割込みが生成されます (イネーブルされている場合)。

高データ・レートのデータ・フォーマット

出力データ・レートが 3200Hz と 1600Hz のときの出力データのフォーマットは、動作モード (最大分解能または固定 10 ビット) と選択した出力範囲に応じて変わります。

最大分解能動作または $\pm 2g$ の 10 ビット動作で 3200Hz または 1600Hz の出力データ・レートを使う場合、出力データワードの LSB は常に 0 です。図 40 に示すように、データが右詰めの場合、これは DATAx0 レジスタのビット D0 に対応します。データが左詰めで、デバイスが $\pm 2g$ の 10 ビット・モードで動作する場合、出力データワードの LSB は DATAx0 レジスタのビット D6 になります。データが左詰めで最大分解能動作の場合、LSB の位置は選択した出力範囲に応じて変わります。レンジが $\pm 2g$ のときの LSB は DATAx0 レジスタのビット D6 となり、 $\pm 4g$ では DATAx0 レジスタのビット D5、 $\pm 8g$ では DATAx0 レジスタのビット D4、 $\pm 16g$ では DATAx0 レジスタのビット D3 になります。これを図 41 に示します。

$\pm 4g$ 、 $\pm 8g$ 、 $\pm 16g$ の出力レンジで固定 10 ビット動作に 3200Hz と 1600Hz の出力データ・レートを使用すると、加えられた加速度に応じて変化する有効な LSB が得られます。したがってこれらの動作モードでは、出力データが右詰めの場合のビット D0 は必ずしも 0 ではなく、出力データが左詰めの場合のビット D6 は必ずしも 0 ではありません。800Hz 以下の任意のデータ・レートでの動作でも、加えられた加速度に応じて変化するすべてのレンジとモードで、有効な LSB が得られます。

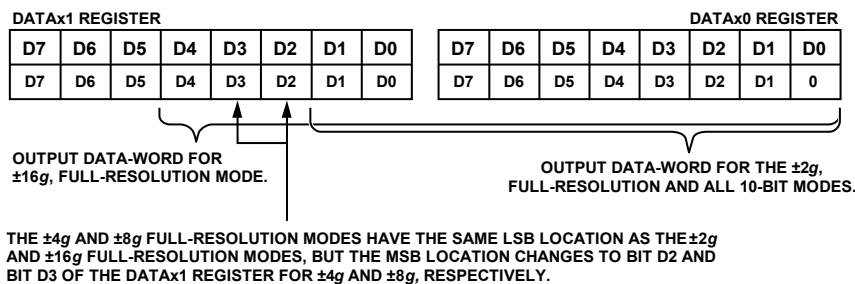


図 40. 出力データが右詰めの際のデータ・フォーマット

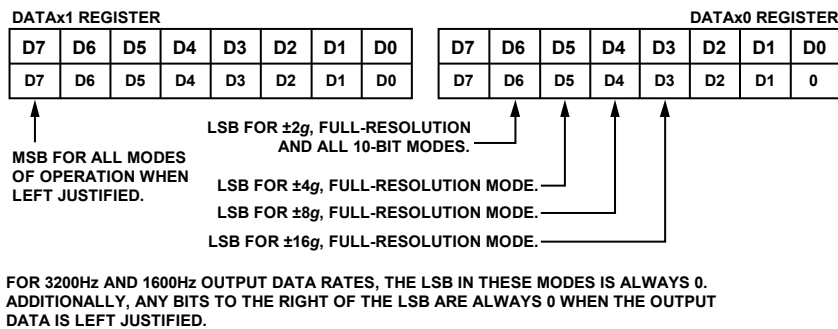


図 41. 出力データが左詰めの際のデータ・フォーマット

ノイズ性能

表 1 に示すノイズ仕様は、出力データ・レート 100Hz (BW_RATE レジスタ (アドレス 0x2C) の LOW_POWER ビット = 0、レート = 0x0A) で通常消費電力動作とした場合の ADXL344 の代表的ノイズ性能です。100Hz 未満のデータ・レートでの通常消費電力動作における ADXL344 のノイズは、LSB 単位で 100Hz ODR 時のノイズと同等です。データ・レートが 100Hz を超える場合は、データ・レートが 2 倍になると約 $\sqrt{2}$ 倍の率で増加します。例えば、ODR が 400Hz で、x 軸と y 軸のノイズが代表値で 2LSB rms 以下の場合、z 軸のノイズは代表値で 3LSB rms 未満です。

低消費電力動作 (BW_RATE レジスタ (アドレス 0x2C) の LOW_POWER ビット = 1) の場合、ADXL344 のノイズは、表 8 に示すすべての有効データ・レートで一定です。この値は x 軸と y 軸で 2.83LSB rms 以下 (代表値) で、z 軸では 4.25LSB rms 以下 (代表値) です。

通常消費電力動作モードと低消費電力動作モードにおける ADXL344 のノイズ性能の傾向を図 42 に示します。

ADXL344 の代表的なアラン分散を図 43 に示します。この図に示すデバイスの 1/f コーナは非常に低いので、約 100 μ g の絶対分解能を実現することができます (十分な積分時間がある場合)。この図は、x 軸と y 軸のノイズ密度が 420 μ g/ \sqrt Hz、z 軸で 530 μ g/ \sqrt Hz であることも示しています。

図 44 は、ADXL344 の電源電圧の変化に対する代表的なノイズ性能傾向です。性能は、テスト済みの仕様規定電源電圧 $V_S = 2.6V$ で正規化してあります。x 軸は電源電圧に対して最良のノイズ性能を示しており、1.8V の電源電圧における公称値からの増加率は 25% 未満 (代表値) です。y 軸と z 軸の性能はほぼ同じで、1.8V の電源電圧での動作における増加率は 35% 未満 (代表値) です。図 42 に示すように、z 軸のノイズは一般に y 軸のノイズより大きいという点に注意する必要があります。このため、z 軸と y 軸のノイズは電源電圧に対してほぼ同じパーセント値で変化しますが、その変化の大きさは y 軸よりも z 軸の方が大きくなります。

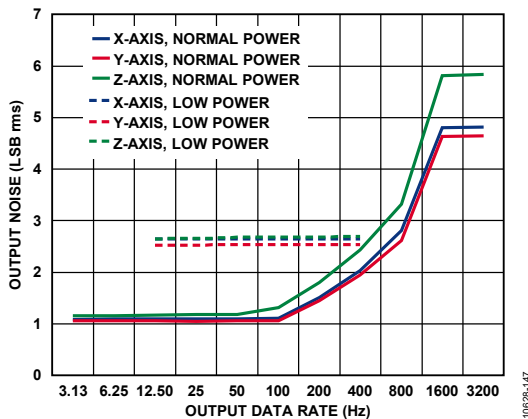


図 42. 通常消費電力モードと低消費電力モードにおけるノイズと出力データ・レートの関係 - 最大分解能 (256LSB/g)

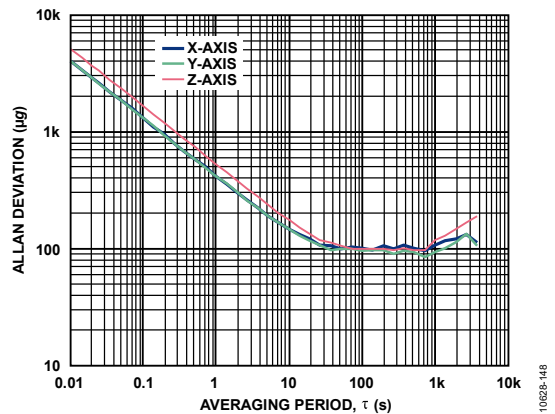


図 43. アラン分散

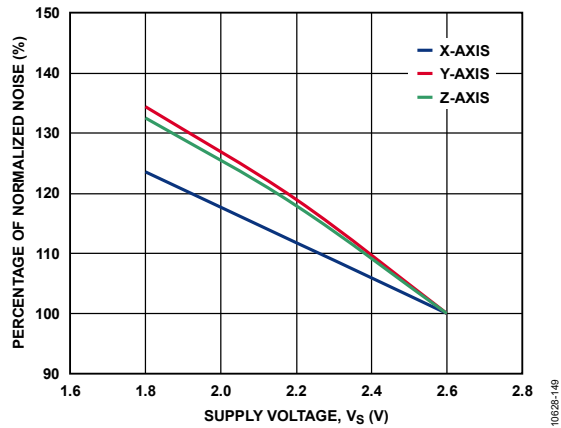


図 44. 正規化ノイズと電源電圧の関係

2.6V 以外の電圧での動作

ADXL344 は、 $V_S = 2.6V$ の電源電圧でテストされ仕様規定されていますが、2.75V から 1.7V までの V_S 範囲でも使用できます。電源電圧が変化すると、オフセット、感度、ノイズ、セルフテスト、電源電流を含む一部の性能パラメータが変化します。

電源電圧の変化に伴う静電気力の極めて小さな変化により、オフセットと感度もわずかに変化します。電源電圧 $V_S = 1.8V$ で動作する場合の x 軸と y 軸のオフセットは、 $V_S = 2.6V$ の動作時に比べて 25 m g (代表値) 大きくなります。z 軸のオフセットは、電源電圧 $V_S = 2.6V$ での動作時に比べて、 $V_S = 1.8V$ では 20 m g (代表値) 小さくなります。x 軸と y 軸の感度 (代表値) は、電源電圧 $V_S = 2.6V$ での公称値 256LSB/g (最大分解能動作または $\pm 2g$ の 10 ビット動作時) から、 $V_S = 1.8V$ での 250LSB/g へと変化します。z 軸の感度は電源電圧の変化の影響を受けず、 $V_S = 1.8V$ での動作時と $V_S = 2.6V$ での動作時の値は同じです。他の電源電圧でのオフセットと感度のシフト (代表値) は、簡単な線形補間を使って求めることができます。

ノイズ性能、セルフテスト応答、電源電流の変化については、このデータシートの他の部分で説明しています。ノイズ性能の詳細については、**ノイズ性能**のセクションを参照してください。セルフテストのセクションでは、電圧に対するセルフテストの動作（電源電圧に対する 2 乗則）と、セルフテスト応答を g 単位から LSB 単位へ変換する方法について説明しています。最後に、電源電圧が出力データ・レート 100Hz における消費電流（代表値）に与える影響を、**図 21** に示します。他のすべての出力データ・レートも同じ傾向を示します。

最小データ・レートにおけるオフセット性能

ADXL344 では、広範なアプリケーション向けに設計された複数の出力データ・レートと帯域幅を使用できます。しかし、6.25Hz 以下の最小データ・レートでは、他のデータ・レートに比べて温度に対するオフセット性能が大きく変化することがあります。**図 45**、**図 46**、**図 47** に、データ・レートが 6.25Hz 以下のときの ADXL344 のオフセット性能と温度の関係を示します（代表値）。すべてのプロットは、出力データ・レートが 100Hz のときのオフセットで正規化しています。したがって、ゼロ以外の値は、そのデータ・レートでは温度によるオフセット・シフトが増加することを示しています。

最小データ・レートを使う場合は、動作温度範囲全体を通じたオフセット・シフトが最小となるように、デバイスの動作温度範囲を制限することを推奨します。また、製品によるばらつきがあるので、6.25Hz 以下のデータ・レートを使用する場合は温度に対するキャリブレーションを行うことも推奨します。

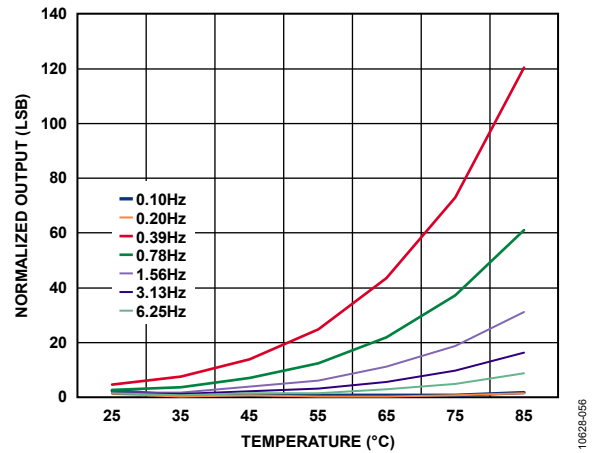


図 45. 低いデータ・レートでの X 軸出力（代表値）の温度特性、100Hz の出力データ・レートで正規化、 $V_S = 2.6V$

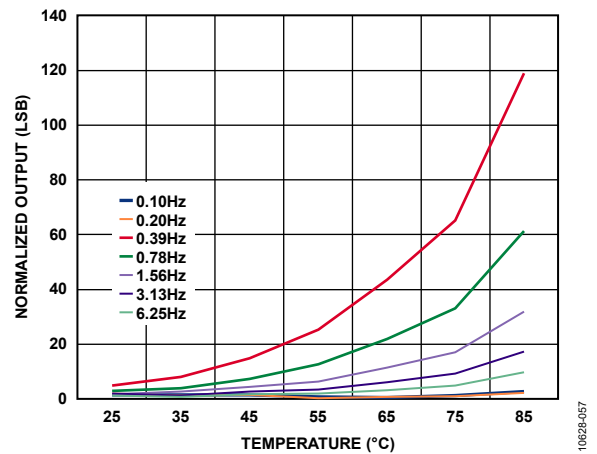


図 46. 低いデータ・レートでの Y 軸出力（代表値）の温度特性、100Hz の出力データ・レートで正規化、 $V_S = 2.6V$

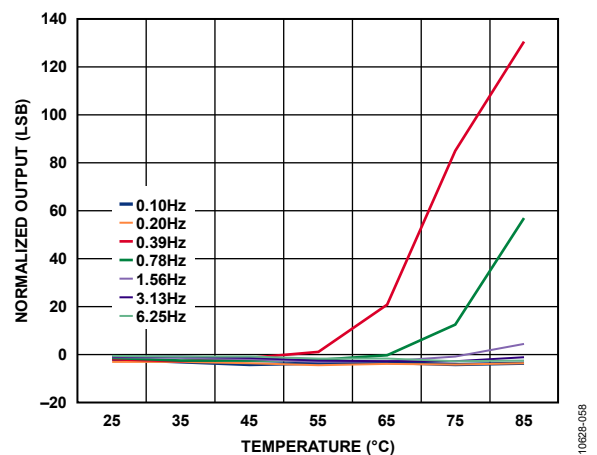


図 47. 低いデータ・レートでの Z 軸出力（代表値）の温度特性、100Hz の出力データ・レートで正規化、 $V_S = 2.6V$

加速度検出軸

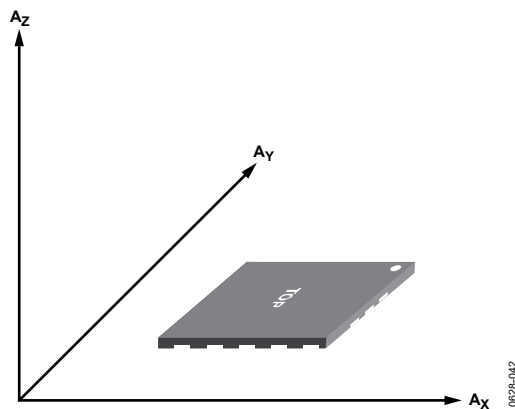


図 48. 加速度検出軸（検出軸に沿って加速されると、対応する軸の出力が増加）

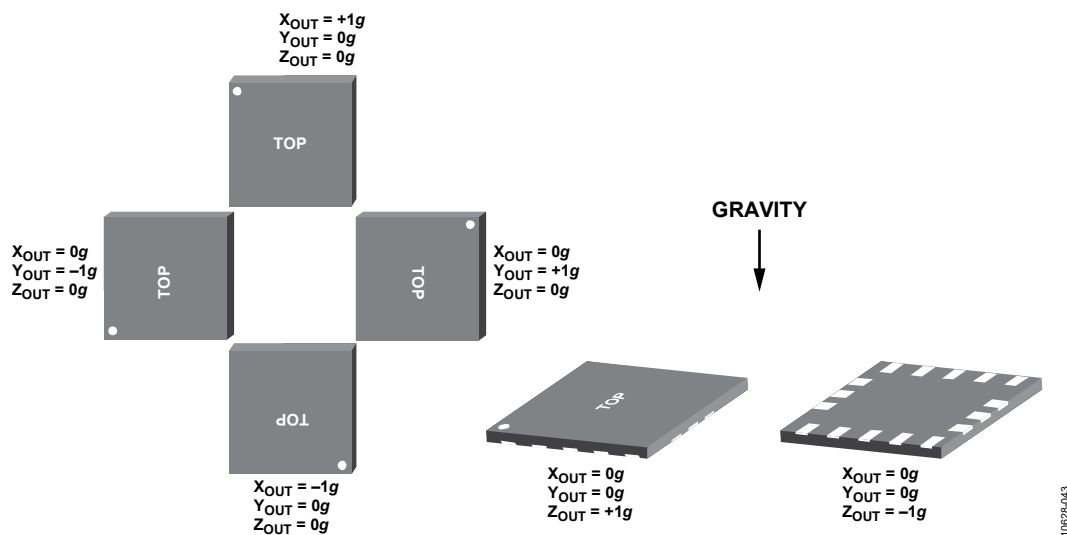


図 49. 重力に対するオリエンテーションと出力応答の関係

レイアウトと設計の推奨事項

プリント配線基板の推奨ランド・パターンを図 50 に示します。図 51 と表 27 に、推奨するハンダ付けプロファイルの詳細を示します。

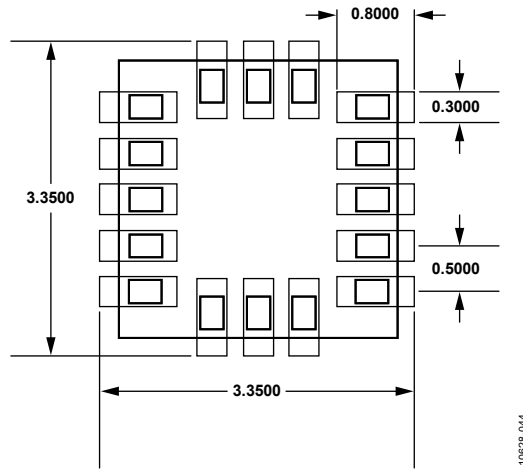


図 50. プリント配線基板の推奨ランド・パターン (単位: mm)

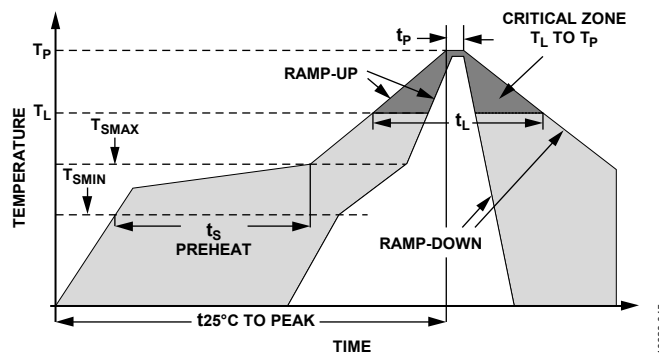


図 51. 推奨されるハンダ付けプロファイル

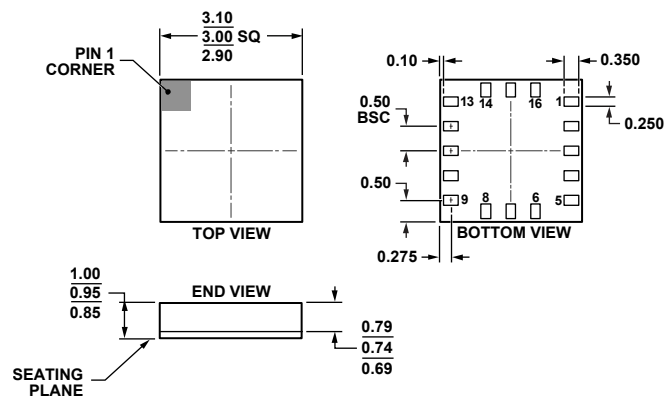
表 27. 推奨されるハンダ付けプロファイル^{1, 2}

Profile Feature	Condition	
	Sn63/Pb37	Pb-Free
Average Ramp Rate from Liquid Temperature (T_L) to Peak Temperature (T_P)	3°C/sec max	3°C/sec max
Preheat		
Minimum Temperature (T_{SMIN})	100°C	150°C
Maximum Temperature (T_{SMAX})	150°C	200°C
Time from T_{SMIN} to T_{SMAX} (t_s)	60 sec to 120 sec	60 sec to 180 sec
T_{SMAX} to T_L Ramp-Up Rate	3°C/sec max	3°C/sec max
Liquid Temperature (T_L)	183°C	217°C
Time Maintained Above T_L (t_L)	60 sec to 150 sec	60 sec to 150 sec
Peak Temperature (T_P)	240 + 0/-5°C	260 + 0/-5°C
Time of Actual $T_P - 5^\circ\text{C}$ (t_p)	10 sec to 30 sec	20 sec to 40 sec
Ramp-Down Rate	6°C/sec max	6°C/sec max
Time 25°C to Peak Temperature	6 minutes max	8 minutes max

¹ JEDEC 規格 J-STD-020D.1 に基づく値。

² 最良の結果を実現するには、使用するハンダ・ペーストのメーカー推奨に従ったハンダ付けプロファイルを使用する必要があります。

外形寸法



01-13-2010-B

図 52. 16 端子ランド・グリッド・アレイ [LGA]
(CC-16-3)
端子のハンダ付け仕上げはニッケル下地に金メッキ
寸法：mm

オーダー・ガイド

Model ¹	Measurement Range (g)	Specified Voltage (V)	Temperature Range	Package Description	Package Option	Branding Code
ADXL344ACCZ-RL	±2, ±4, ±8, ±16	2.6	-40°C to +85°C	16-Terminal Land Grid Array [LGA]	CC-16-3	Y4S
ADXL344ACCZ-RL7	±2, ±4, ±8, ±16	2.6	-40°C to +85°C	16-Terminal Land Grid Array [LGA]	CC-16-3	Y4S
EVAL-ADXL344Z				Breakout Board		
EVAL-ADXL344Z-DB				Datalogger and Development Board		
EVAL-ADXL344Z-M				Analog Devices Inertial Sensor Evaluation System, Includes ADXL344 Satellite		
EVAL-ADXL344Z-S				ADXL344 Satellite Only		

¹ Z = RoHS 準拠製品

メモ

メモ

メモ

I²C は、Philips Semiconductors 社（現在の NXP Semiconductors 社）が独自に開発した通信プロトコルです。