



3軸、±16g、I²Sデジタル加速度 センサー

データシート

ADXL317

特長

48kHzのI²S/TDM デジタル出力

高分解能：14ビット

AD2425W、AD2428W、およびAD2429W A²B[®]

トランシーバーと直接互換

選択可能な帯域幅：500Hz～4kHz

低遅延：4kHzの帯域幅で90μs（代表値）

低ノイズ

X軸およびY軸：55μg/√Hz（代表値）

Z軸：120μg/√Hz（代表値）

動作温度範囲：-40°C～+125°C

小型、薄型のパッケージ：5mm×5mm×1.45mm

LFCSP

オートモーティブ・アプリケーション向けのAEC-Q100

認証を取得

アプリケーション

広帯域 ANC

アダプティブ・サスペンション・コントロール

概要

ADXL317は、最大で±16gまでの高分解能（14ビット）測定機能を備える、小型、薄型、低遅延の3軸加速度センサーです。デジタル出力データは、I²S/時分割多重（TDM）信号としてフォーマットされます。また、

ユーザ設定用のI²C デジタル・インターフェースを備えています。

ADXL317は、広帯域アクティブ・ノイズ・コントロール（ANC）アプリケーションに最適です。ADXL317は加速の瞬間からデジタル出力データの伝送までの遅延が非常に小さいため、迅速な応答が可能となり、広帯域ANCシステムはノイズ状況に応答するのに十分な時間を確保できます。低ノイズのADXL317は、様々な外部ノイズ源の正確な識別に高い能力を発揮します。

広い動作温度範囲と高性能を特長とするADXL317は、アダプティブ・サスペンション・コントロールなどのホイール・ウェル・アプリケーションにも最適です。

アナログ・デバイセズ社が開発したA²B[®]（オートモーティブ・オーディオ・バス）は、システム全体での配線コストの削減を可能にします。ADXL317は、AD2425W、AD2428W、およびAD2429W A²B[®]トランシーバーなどのA²B[®]製品ポートフォリオと直接接続できるように設計されています。

ADXL317は、小型、薄型、5mm×5mm×1.45mmの32ピンLFCSPパッケージを採用しています。このデバイスは、-40°C～+125°Cの全動作温度範囲にわたるオートモーティブ・アプリケーションでの使用に関する認証を取得しています。

このデータシートでは、DTX1/TPCなどの多機能ピンについてはすべてのピン名を表記しますが、特定の機能のみが該当するような説明箇所では、DTX1のように1つのピン機能だけを表記しています。

機能ブロック図

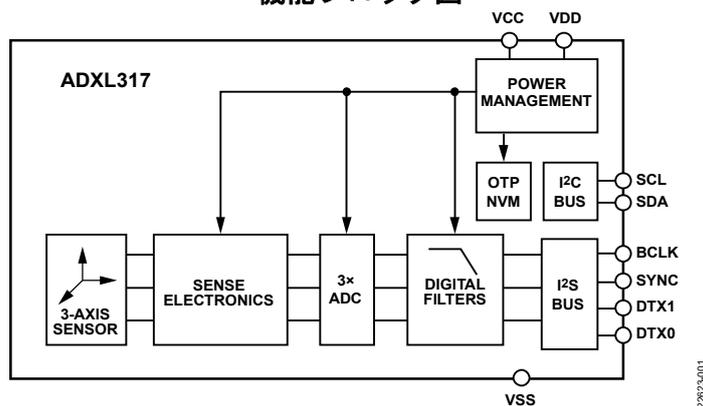


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料はREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所／〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	フィルタリング：ノイズと遅延に関する考慮事項....	24
アプリケーション	1	レジスタ・マップ	26
概要	1	レジスタの詳細	27
機能ブロック図	1	デバイス ID レジスタ	27
改訂履歴	2	ユーザ・レジスタ・キー・レジスタ（アドレス：0x80、 レジスタ名：USER_REG_KEY、リセット：0xBC）	30
仕様	3	I ² S 設定レジスタ	31
タイミング仕様	5	クロック・レート・レジスタ	31
絶対最大定格	7	X 軸セルフ・テスト設定レジスタ	32
熱抵抗	7	X 軸フィルタ設定レジスタ	32
ESD に関する注意	7	Y 軸セルフ・テスト設定レジスタ	33
ピン配置およびピン機能の説明	8	Y 軸フィルタ設定レジスタ	33
代表的な性能特性	9	Z 軸セルフ・テスト設定レジスタ	34
用語の定義	11	Z 軸フィルタ設定レジスタ	34
動作原理	14	X 軸加速度センサー・データ・レジスタ	35
概要	14	Y 軸加速度センサー・データ・レジスタ	35
機械式デバイスの動作	14	Z 軸加速度センサー・データ・レジスタ	35
ノイズとレイテンシのトレードオフ	14	取付けに関する機構上の留意点	35
アプリケーション情報	15	ハンダ・リフロー・プロファイル	36
アプリケーション回路	15	加速度検出軸	37
電源	15	外形寸法	38
A ² B [®] トランシーバーとの接続	15	オーダー・ガイド	38
セルフ・テストの使い方	16	オートモーティブ製品	38
シリアル通信	18		
I ² S/TDM インターフェース	18		
I ² C インターフェース	22		

改訂履歴

12/2019–Revision 0: 初版

仕様

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 3.3\text{V}$ 、加速度 = 0 g 、公称クロックは 3.072MHz または 6.144MHz に設定。すべての仕様の詳しい定義と条件については、用語の定義のセクションを参照してください。

表 1. 加速度センサーの仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
SENSOR						
Full-Scale Range	FSR	Each axis	±16			g
Nonlinearity		Percentage of full-scale range	±1			%
Cross Axis Sensitivity			±1			%
Resonant Frequency	f_o					
X- and Y-Axes			5.10			kHz
Z-Axis			3.15			kHz
Quality Factor	Q					
X- and Y-Axes			3.3			
Z-Axis			1.75			
SENSITIVITY						
Sensitivity ¹		Each axis DC response				
500 Hz Cascaded Filter			454.5	500	555.6	LSB/ g
1 kHz Cascaded Filter			461.5	507.6	564.0	LSB/ g
2 kHz Cascaded Filter			468.6	515.5	572.7	LSB/ g
4 kHz Cascaded Filter			519.5	571.4	634.9	LSB/ g
Sensitivity Change Due to Temperature		$-40^\circ\text{C} \leq T_A \leq +25^\circ\text{C}$ and $+25^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$				
X- and Y-Axes		1 σ	±2.5			%
Z-Axis		1 σ	±4.5			%
RESOLUTION						
Measurement Resolution		All axes	14			Bits
ZERO g BIAS LEVEL						
0 g Bias Error		Each axis				
Initial 0 g Output Deviation		Over full operating temperature range	-1.5			g
X- and Y-Axes			±200			mg
Z-Axis			±500			mg
FREQUENCY RESPONSE						
Cutoff (-3 dB) Frequency		User selectable Filters only				
500 Hz Cascaded Filter			506			Hz
1 kHz Cascaded Filter			1012			Hz
2 kHz Cascaded Filter			2025			Hz
4 kHz Cascaded Filter			4051			Hz
NOISE						
Noise Density ²						
X- and Y-Axes			55			$\mu g/\sqrt{\text{Hz}}$
Z-Axis			120			$\mu g/\sqrt{\text{Hz}}$
Output Noise, X- and Y-Axes						
500 Hz Cascaded Filter			2.5	4		$mg\text{ rms}$
1 kHz Cascaded Filter			5.5	10		$mg\text{ rms}$
2 kHz Cascaded Filter			22.5	35		$mg\text{ rms}$
4 kHz Cascaded Filter			85	110		$mg\text{ rms}$
Output Noise Z-Axis						
500 Hz Cascaded Filter			4	9		$mg\text{ rms}$
1 kHz Cascaded Filter			7	12		$mg\text{ rms}$
2 kHz Cascaded Filter			30	40		$mg\text{ rms}$
4 kHz Cascaded Filter			120	135		$mg\text{ rms}$

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
SELF TEST						
Positive Self Test Output Change X- and Y-Axes	+STA	DC self test magnitude	2.16	3.6	5.04	<i>g</i>
Z-Axis			4.08	6.8	9.52	<i>g</i>
Negative Self Test Output Change X- and Y-Axes	-STA	DC self test magnitude	-5.04	-3.6	-2.16	<i>g</i>
Z-Axis			-9.52	-6.8	-4.08	<i>g</i>
SUPPLY						
Operating Voltage	V _{CC}		3.0	3.3	3.6	V
Regulated Input/Output (I/O) Voltage	V _{DD}			1.8		V
Quiescent Supply Current					5	mA
Turn On Time				200		μs
I²S/TDM INTERFACE						
Frame Rate				48		kHz
Word Size						
I ² S/TDM2				32		Bits
TDM4				16, 32		Bits
TDM8				16		Bits
Input Clock Frequency		BCLK from master device				
I ² S/TDM2		32-bit word size		3.072		MHz
TDM4		16-bit word size		3.072		MHz
		32-bit word size		6.144		MHz
TDM8		16-bit word size		6.144		MHz
LATENCY						
Filter delay		Filters only; does not include sense electronics or analog-to-digital converter (ADC)				
500 Hz Bandwidth				585		μs
1 kHz Bandwidth				291		μs
2 kHz Bandwidth				144		μs
4 kHz Bandwidth				70.9		μs
Additional Latency		Sense electronics and ADC				
X- and Y-Axes				13.8		μs
Z-Axis				20.4		μs
ENVIRONMENTAL						
Operating Temperature Range			-40		+125	°C

¹ 感度は、フィルタの設定と公称クロック周波数からの偏差によって異なります。この仕様は、公称クロックが 3.072MHz または 6.144MHz であることを想定しています。

² ハイパス・フィルタをディスエーブル (x_HPF_EN = 0) にした場合の 100Hz でのノイズ密度。ノイズ密度は周波数によって異なります。

タイミング仕様

表 2. I²C デジタル入出力特性

Parameter	Test Conditions/Comments	Limit ¹		Unit
		Min	Max	
Digital Input				
Input Voltage Level				
Low (V _{IL})			0.3 × V _{DD}	V
High (V _{IH})		0.7 × V _{DD}		V
Input Current Level				
Low (I _{IL})	V _{IN} = V _{DD}		0.1	μA
High (I _{IH})	V _{IN} = 0 V	-0.1		μA
Digital Output				
Output Voltage Level				
Low (V _{OL})	V _{DD} = 1.8 V, I _{OL} = 3 mA		400	mV
Output Current Level				
Low (I _{OL})	V _{OL} = V _{OL, MAX}	3		mA
Pin Capacitance	f _{IN} = 1 MHz, V _{IN} = 2.5 V		8	pF
Input Frequency			100	kHz

¹ 特性評価の結果に基づく限界値であり、出荷テストは行っていません。

表 3. I²C のタイミング (T_A = 25°C, V_{CC} = 3.3V)

パラメータ	限界値 ^{1, 2}		単位	説明
	最小値	最大値		
f _{SCL}		100	kHz	SCL クロック周波数
t ₁	2.5		μs	SCL サイクル・タイム
t ₂	0.6		μs	SCL ハイ・タイム
t ₃	1.3		μs	SCL ロー・タイム
t ₄	0.6		μs	開始/反復開始条件ホールド・タイム
t ₅	100		ns	データ・セットアップ・タイム
t ₆ ^{3, 4, 5, 6}	0	0.9	μs	データ・ホールド・タイム
t ₇	0.6		μs	反復開始条件セットアップ・タイム
t ₈	0.6		μs	停止条件セットアップ・タイム
t ₉	1.3		μs	停止条件と開始条件の間のバス空き時間
t ₁₀		300	ns	受信時の SCL および SDA 両方の立上がり時間
t ₁₁	0		ns	受信時または送信時の SCL および SDA 両方の立上がり時間
		250	ns	受信時の SDA の立上がり時間
		300	ns	送信時の SCL および SDA 両方の立上がり時間
C _b	20 + 0.1 C _b ⁷		ns	受信時または送信時の SCL および SDA 両方の立上がり時間
		400	pF	各バス・ラインの容量性負荷

¹ f_{SCL} = 100kHz での特性評価の結果に基づく限界値であり、出荷テストは行っていません。

² すべての値は、Table 2 に示す V_{IH} と V_{IL} のレベルを基準としています。

³ t₆ は、SCL の立下りエッジから測定したデータ・ホールド・タイムです。t₆ は送信時とアクノレッジ時のデータに適用されます。

⁴ SCL の立下りエッジの不定領域を越えるために、送信側デバイスは、SDA 信号に対して少なくとも 300ns (SCL 信号の V_{IH, MIN} が基準) の出力ホールド・タイムを内部で確保する必要があります。

⁵ デバイスが SCL 信号のロー期間 (t₃) を延長しない場合のみ、最大 t₆ 値を満たす必要があります。

⁶ t₆ の最大値は、クロック・ロー・タイム (t₃)、クロック立上がり時間 (t₁₀)、および最小データ・セットアップ・タイム (t_{5, MIN}) によって決まります。この値 (t₆) は、t_{6, MAX} = t₃ - t₁₀ - t_{5, MIN} として計算されます。

⁷ C_b は、1 本のバス・ラインの合計容量 (pF) です。

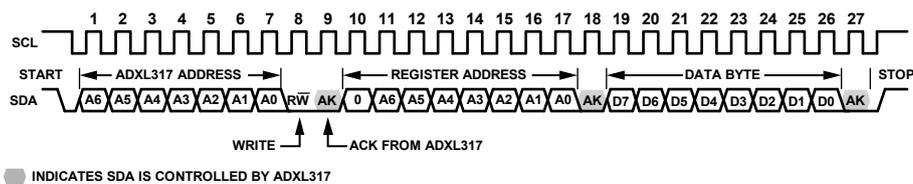


図 2. I²C シングルバイト・レジスタ書込み

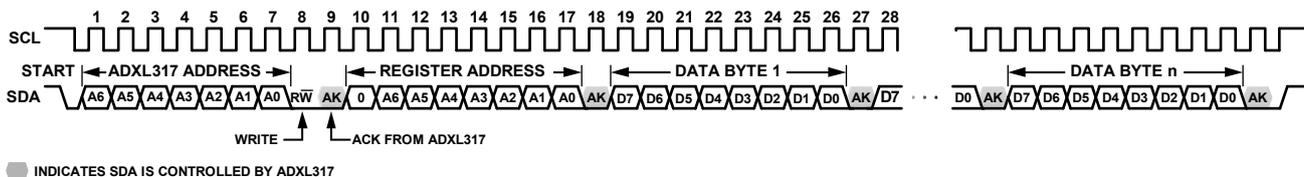


図 3. I²C マルチバイト・レジスタ書込み

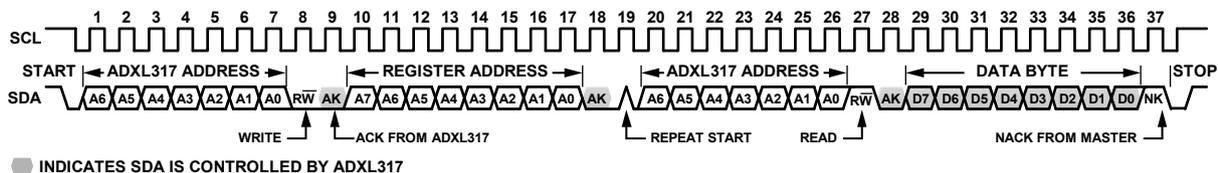


図 4. I²C シングルバイト・レジスタ読出し

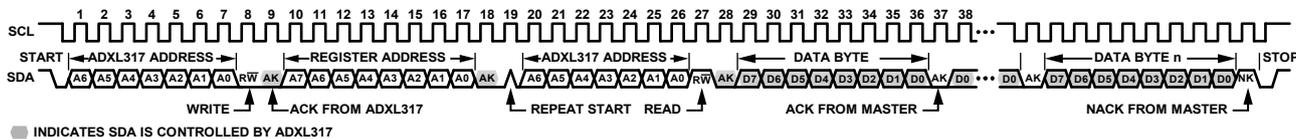


図 5. I²C マルチバイト・レジスタ読出し

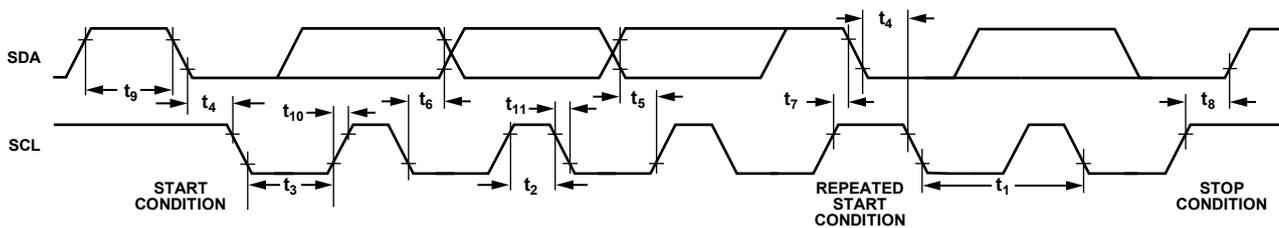


図 6. I²C タイミング図

絶対最大定格

表 4.

Parameter	Rating
Mechanical Shock	
Any Axis, Unpowered	±4000 g (0.5 ms half sine)
Any Axis, Powered	±2000 g (0.5 ms half sine)
Voltage	
Supply Voltage	-0.3 V to +4.0 V
Any Pin to Ground	-0.3 V to V _{DD} + 0.3 V
Electrostatic Discharge (ESD)	
Human Body Model (HBM), All Pins	2 kV
Latch-Up Current	100 mA
Storage Temperature Range	-55°C to +150°C
Operating Temperature Range	-40°C to +125°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然体流での周囲とジャンクションの間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 5. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CS-32-4 ¹	48.3	20.4	°C/W

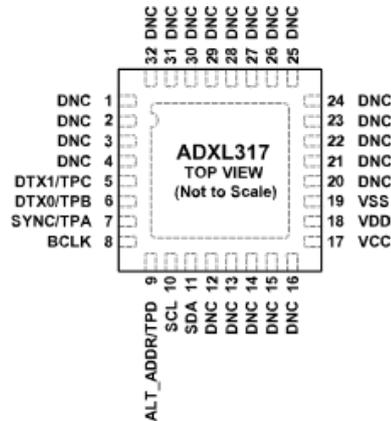
¹ テスト条件 1: 熱抵抗のシミュレーション値は、4 つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



注:
 1. DNCは「接続不可」を意味します。これらのピンは接続しないでください。
 2. 露出パッドはグラウンドに接続する必要があります。

22x3-107

図 7. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1 to 4	DNC	接続不可。これらのピンは接続しないでください。これらのピンはフロート状態のままにする必要があります。
5	DTX1/TPC	I ² S データ・チャンネル 1/テスト・パッド C。
6	DTX0/TPB	I ² S データ・チャンネル 0/テスト・パッド B。
7	SYNC/TPA	I ² S Sync/テスト・パッド A。
8	BCLK	I ² S クロック。
9	ALT_ADDR/TPD	I ² C アドレス選択/テスト・パッド D。このピンをグラウンドに接続すると、ADXL317 の I ² C アドレスは 0x53 に設定されます。このピンを VDD に接続すると、アドレスは 0x1D に設定されます。
10	SCL	I ² C シリアル・クロック。
11	SDA	I ² C シリアル・データ。
12 to 16	DNC	接続不可。これらのピンは接続しないでください。これらのピンはフロート状態のままにする必要があります。
17	VCC	電源電圧。
18	VDD	内部レギュレータの出力電圧。このピンは I ² C のハイのリファレンスとして使用されます。
19	VSS	リファレンス電圧。このピンはグラウンドに接続します。
20 to 32	DNC	接続不可。これらのピンは接続しないでください。これらのピンはフロート状態のままにする必要があります。
	EP	露出パッド。露出パッドはグラウンドに接続する必要があります。

代表的な性能特性

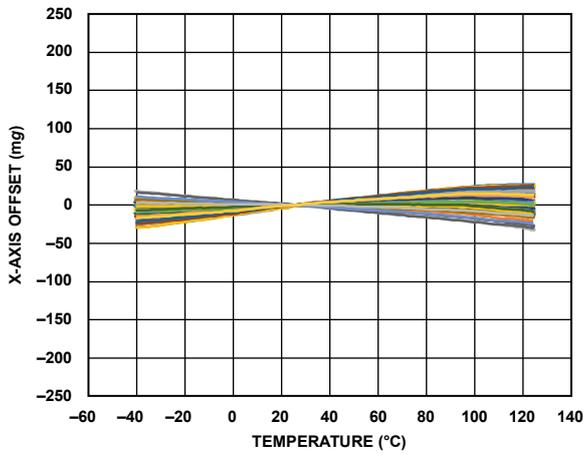


図 8. X 軸のオフセットと温度の関係

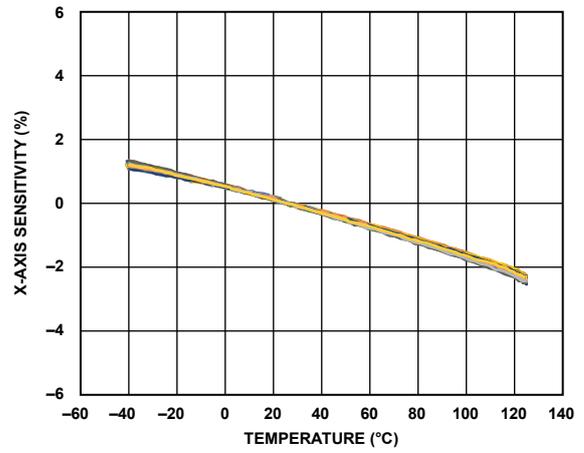


図 11. X 軸の感度と温度の関係
(500Hz カスケード接続フィルタ)

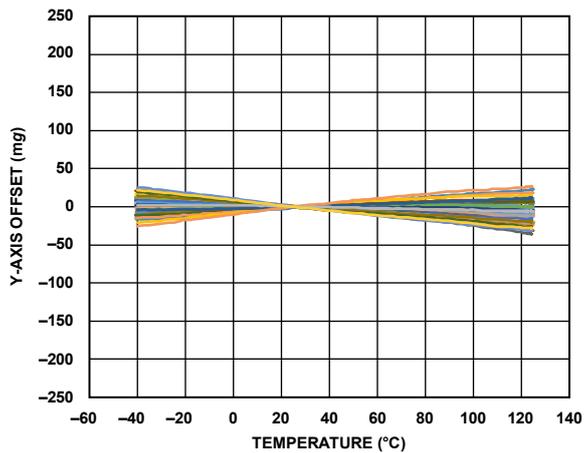


図 9. Y 軸のオフセットと温度の関係

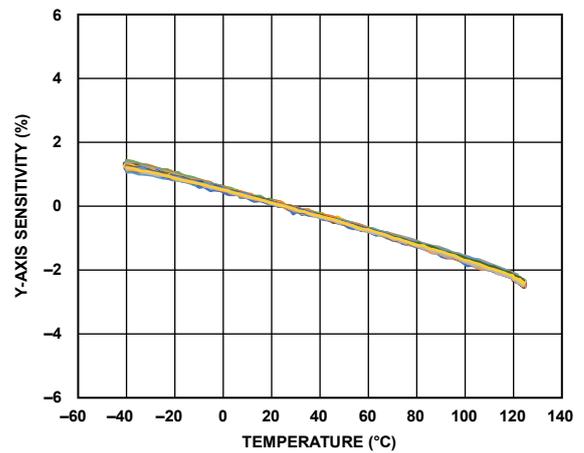


図 12. Y 軸の感度と温度の関係
(500Hz カスケード接続フィルタ)

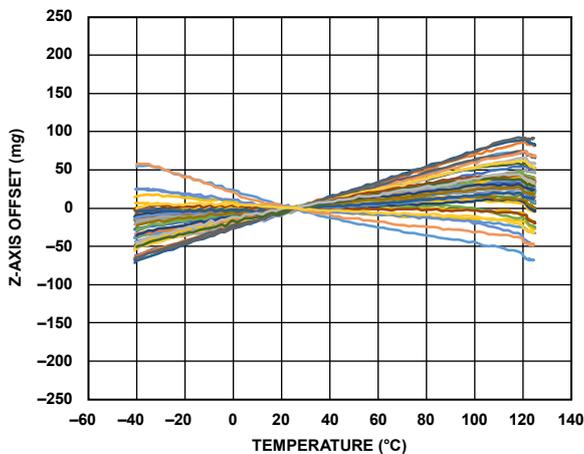


図 10. Z 軸のオフセットと温度の関係

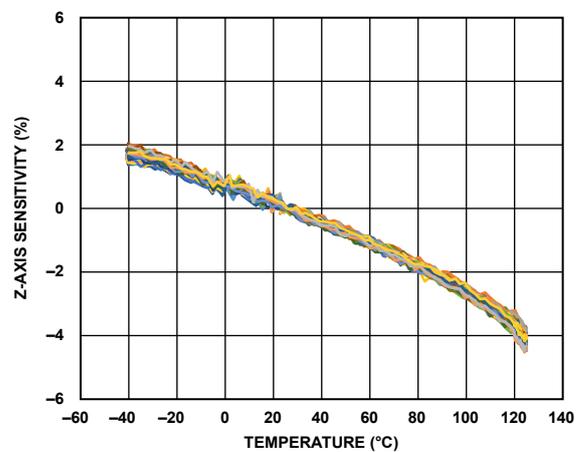


図 13. Z 軸の感度と温度の関係
(500Hz カスケード接続フィルタ)

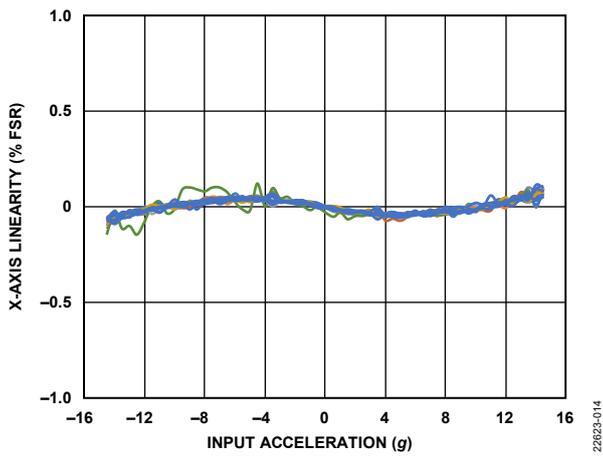


図 14. X 軸の直線性

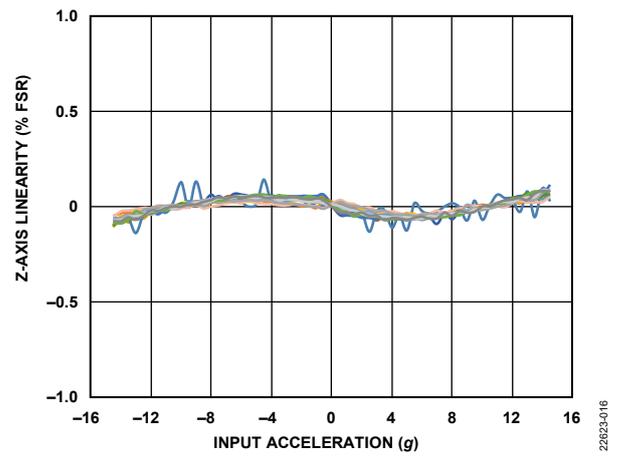


図 16. Z 軸の直線性

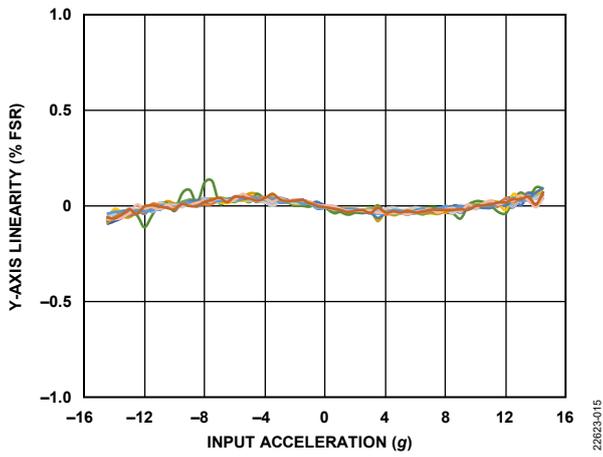


図 15. Y 軸の直線性

用語の定義

フルスケール・レンジ (FSR)

ADXL317 の FSR は、シグナル・チェーンの出力側で確保されるダイナミック・レンジです。FSR は最小値として仕様規定され、すべての条件で確保されます。この最小値を超える範囲での加速度測定も可能です。ただし、性能特性は確保されません。

非直線性

デバイスの非直線性は、等価な入力加速度レベルでの加速度データ・セットの線形最小 2 乗法からの任意のセンサー・データ・ポイントの最大偏差です。加速度データ・セットには、加えられる加速度の任意の範囲（最大で ADXL317 の FSR 全体まで）を含めることができます。非直線性は、数学的に次のように定義されます。

$$\left| \frac{ACC_{MEAS}(g_n) - ACC_{FIT}(g_n)}{FSR} \right| \times 100\%$$

ここで、
 ACC_{MEAS} は、定義された g_n での加速度の測定値です。
 ACC_{FIT} は、定義された g_n での加速度の予測値です。
 g_n は、入力加速度レベルです。

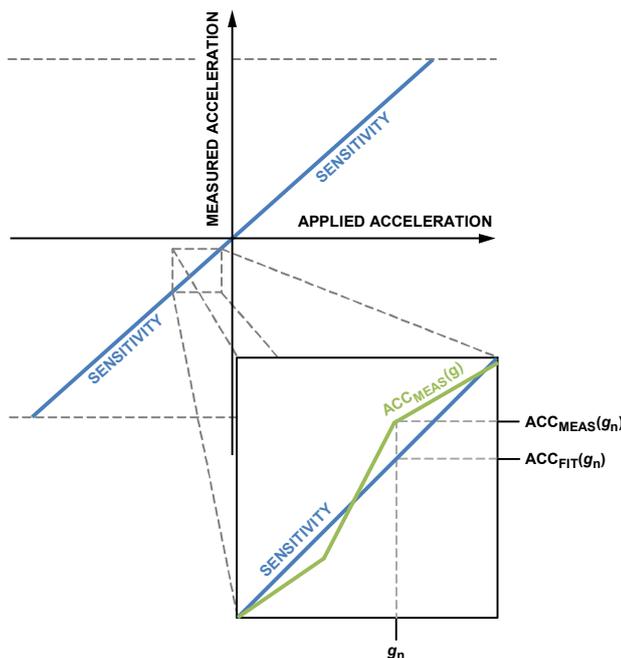


図 17. 加速度センサーの直線性誤差
 (実寸ではありません)

交差軸感度

交差軸感度は、意図した検出軸に対して直交する入力加速度に反応するデバイスの出力の測定値です。この感度は、次式のように、加えられる加速度の%として測定されます。

$$\left[\frac{ACC_{MEAS}(g_x)}{g_y \text{ (or } g_z)} \right] \times 100\%$$

ここで、
 $ACC_{MEAS}(g_x)$ は、x 軸加速度の測定値です。
 g_y は、加えられる y 軸加速度です。
 g_z は、加えられる z 軸加速度です。

交差軸感度の仕様は、デバイス・レベルの交差軸部品にのみ適用されます。これらの部品には、センサーの製造工程のばらつきと、パッケージの直交軸に対するセンサーのアライメントのばらつき（パッケージ・アライメント誤差とも呼ばれる）が含まれます。交差軸の仕様は、システム・レベルの（例えば、PCB またはモジュール上の）ミスアライメントの発生源には適用されません。

共振周波数 (f_0)

f_0 は、MEMS 要素が加速イベントの影響を受けたとき高ゲインになる固有周波数です。この共振周波数での入力加速度により、センサーは、加えられる加速度に Q 値 (Quality Factor) を掛けた値に等しい量だけ変位します。ADXL317 は、水平方向の (x 軸および y 軸) 検出軸と垂直方向の (z 軸) 検出軸に異なるタイプのセンサーを使用します。したがって、これらのセンサーの共振周波数応答は同一ではありません。

Q 値 (Quality Factor)

Q 値は、MEMS 要素の共振周波数で加えられる加速度信号の振幅の増減を左右するスカラ係数です。

2282-017

感度

感度は、ADXL317 の出力 FSR 全体で測定される、加速度伝達関数のベストフィット直線の傾きです。感度は、入力 (g) の変化 1 単位あたりの出力 (LSB) の変化を定義します。逆関数 (スケール・ファクタ) は、 g/LSB 単位で表されます。

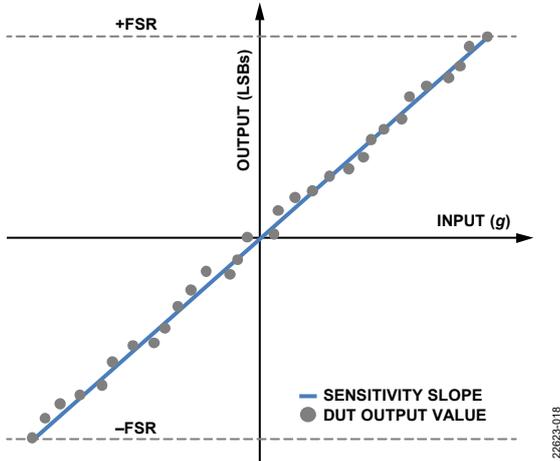


図 18. 公称感度スロープ

測定分解能

測定分解能は、各加速度データ・ワード内のデータ ビット数を仕様規定します。例えば、ADXL317 の 14 ビット測定分解能は 16,384 ビットです。FSR が $\pm 16g$ (合計 $32g$) の場合、この分解能は、 $500LSB/g$ の感度と $2.0mg/LSB$ のスケール・ファクタに相当します。

ゼロ g バイアス誤差

ゼロ g バイアス誤差 (オフセットとも呼ばれる) は、ADXL317 の出力の静的誤差項です。ゼロ g バイアス誤差は、外部から加速度 (重力を含む) が加えられていない状態で $0g$ からの偏差として測定されます。

オフセットをより正確に測定するには、 $+1g$ と $-1g$ の方向に測定を行い、結果の平均を求めます。測定システム内に存在する外部の物理的スティミュラスの影響を軽減するために、各測定は十分に長い時間幅で実行する必要があります。

$$\text{オフセット} = \frac{ACC_{MEAS}(g_{Input} = +1g) + ACC_{MEAS}(g_{Input} = -1g)}{2}$$

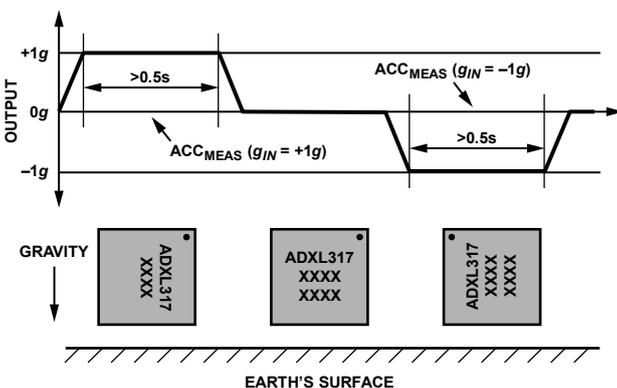


図 19. ゼロ g バイアス誤差の測定 (X 軸の例)

初期ゼロ g 出力偏差

初期ゼロ g 出力偏差は、デバイスの製造完了直後に測定される、周辺条件での誤差レベルです。初期ゼロ g 出力偏差の値は、多数のデバイスで測定したオフセット値の標準偏差を示します。

カットオフ ($-3dB$) 周波数

AC 加速度が加えられる場合、カットオフ ($-3dB$) 周波数 (帯域幅とも呼ばれる) は、入力スティミュラスの振幅がシグナル・チェーンの出力側で 29.3% ($1 - \sqrt{2}/2$) 減衰される周波数です。 $-3dB$ コーナは、選択したローパス CIC (Cascaded Integrated Comb) フィルタとローパス IIR (有限インパルス応答) フィルタの設定値に従って設定されます。ハイパス・フィルタもオンにできますが、デフォルトではディスエーブルになっています。その他のすべてのシグナル・チェーン要素はかなり高い帯域幅を持っており、カットオフ周波数に大きな影響を与えません。

ノイズ密度

ノイズ密度は ADXL317 の内部ノイズの尺度で、すべての内部ノイズ源を総合した値です。ノイズ密度はデバイスのアーキテクチャによって固定されており、帯域幅には依存しません。ノイズ密度の詳細については、フィルタリング: ノイズと遅延に関する考慮事項を参照してください。

出力ノイズ

出力ノイズは、報告される測定値に存在するノイズです。ノイズ密度がデバイスの内部ノイズを表すのに対して、出力ノイズは密度と帯域幅を結合した値です。低帯域幅のフィルタはより積極的なフィルタリングを行うため、高帯域幅のフィルタよりもノイズ・リダクション効果が大きくなります。

セルフ・テスト出力の変化

センサーのセルフ・テストは診断テストです。このテストでは、静電気力によってセンサーのブルーフ・マスが変位し、測定可能な出力の変化を生じます。セルフ・テスト・ルーチンを適切に評価するには、セルフ・テスト力を加える前後の出力の変化を測定する必要があります。この変化が表 1 に示す仕様規定値の範囲内であれば、テストは成功したと見なされます。

ADXL317 は、正、負、および AC セルフ・テスト・ルーチンを備えています。AC セルフ・テストは、 $100Hz$ のレートで正と負のセルフ・テストを切り替えます。詳細については、セルフ・テストの使い方のセクションを参照してください。

動作電圧 (V_{CC})

動作電圧は、正常な動作のために必要な V_{CC} ピンの電圧です。 V_{CC} ピンの電圧が、仕様規定されている最小値と最大値を外れると、デバイスが誤動作することがあります。

安定化 I/O 電圧 (V_{DD})

安定化 I/O 電圧は、 I^2S と I^2C 両方のオンチップ・デジタル通信インターフェースの電圧リファレンスです。これらのインターフェースを $1.8V$ の安定化電圧以外の値で動作させると、ADXL317 とマスタ・デバイス間の通信が失敗することがあります。

静止電源電流

静止電源電流は、データが送信中でなく、デバイスが最小/最大電源電圧 (VCC) の範囲内で動作しているときのデバイスの消費電流です。

ターンオン時間

ターンオン時間は、安定化 I/O 電圧 (VDD) が最終値に収まるまでに必要な時間を仕様規定します。この VDD のセトリングは、不揮発性メモリ (NVM) の内容がロードされ、有効になったことを示します。ハードウェア・リセット後、ADXL317 に対する読出または書込みを実行するには、仕様規定されたターンオン時間だけ待つ必要があります。

Inter-IC Sound (I²S) プロトコル

I²S プロトコルは、バス上のデジタル・オーディオ信号の伝送に関する一連の仕様です。このバスは、シリアル・クロック (BCLK)、同期信号 (SYNC)、および 2 つのシリアル・データ・チャンネル (DTX[1:0]) という 4 つの信号で構成されます。このプロトコルでは、ADXL317 はスレーブ・トランスミッタとして動作します。

IC 間通信 (I²C) プロトコル

I²C プロトコルは、シリアル・データ (SDA) とシリアル・クロック (SCL) の 2 本だけのワイヤによる複数の IC 間のデータ伝送に関する一連の仕様です。これらのラインはバス上のすべてのデバイスによって共有されます。バス上の各デバイスは、一意のアドレスによってソフトウェアでアドレス指定可能です。

遅延

遅延とは、ADXL317 に加速イベントが発生してから、出力チャンネル上で測定値が利用可能になるまでの時間です。シグナル・チェーンの合計遅延を定義する成分は次の 2 つです。

- センシング・エレクトロニクスおよび A/D コンバータ (ADC) によって生じる固定遅延。
- 調整可能なローパス (CIC および IIR) フィルタとハイパス・フィルタによって生じる遅延。

ADXL317 の合計遅延を計算するには、これらの 2 つの成分を加算する必要があります。フィルタ遅延は帯域幅に依存します。帯域幅が広いほど、入力信号がデバイスの出力に現れるまでの時間は短くなります。

動作原理

概要

ADXL317 は全機能内蔵型の 3 軸加速度測定システムで、アナログ・デバイゼスの A²B[®] トランシーバー製品ラインと直接接続できるように設計されており、オートモティブ・ノイズ・キャンセレーション・アプリケーションに最適です。選択可能な幅広い帯域幅の設定、低出力ノイズ、および低遅延を特長とする ADXL317 は、広帯域ノイズ・センシングおよびアダプティブ・サスペンション・コントロールに適しています。

ADXL317 は、独立した 3 つのセンサー・チャンネルをすべて処理します。ASIC ダイ内に 3 つのアナログ・チャンネルがあり、加速度センサーの各軸用に個別のアナログ信号処理機能を備えています。各アナログ・チャンネルは個別のデジタル信号処理ブロックによってサンプリングされます。このブロックは共通の通信インターフェース・ブロック用にサンプルを処理します。したがって、1 つのセンサー・チャンネルが故障しても、他の軸については加速度データの伝送が継続されます。

機械式デバイスの動作

ADXL317 は、各検出軸に 1 つずつ、合計 3 つの独立したセンサーを内蔵しています。それぞれの加速度センサーは、シリコン・ウェーハの上面に構成されるポリシリコン表面のマイクロマシン構造となっています。ポリシリコンのスプリングがウェーハ表面上方でこの構造部を支え、加速力に対する抵抗を与えます。

構造部の変位は、独立した固定プレートと可動部に取り付けられたプレートで構成される、差動コンデンサによって測定します。加速度によってビームが偏向し、差動コンデンサが不平衡になるため、センサー出力の振幅は加速度に比例します。位相検波復調により、加速度の大きさと極性が決定されます。

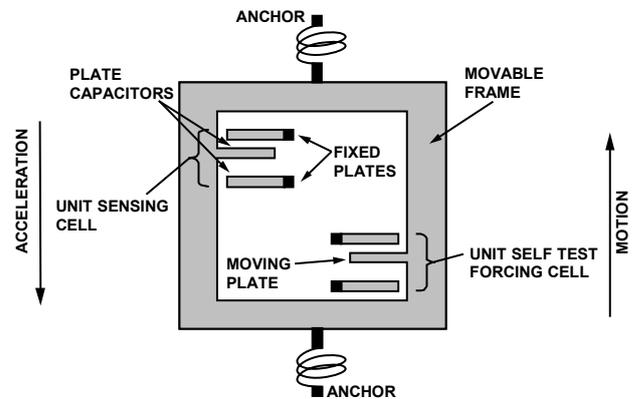


図 20. 加速中の 1 つのセンサーの簡略図

ノイズとレイテンシのトレードオフ

ADXL317 には、出力ノイズとレイテンシ（遅延）のトレードオフを調整して広範囲にわたるシステム条件に対応するためのオプションがいくつかあります。

ADXL317 は、2 つのカスケード接続ローパス・デジタル・フィルタを備えています。これらは双極 CIC フィルタと単極 IIR フィルタで、不要な高周波成分を信号から除去します。より積極的なフィルタリングを行うと（すなわち、カットオフ周波数が低いフィルタを使用すると）、シグナル・チェーンの遅延が大きくなりますが、出力ノイズは減ります。反対に、より積極的でないフィルタリングを行うと、出力ノイズが増えますが、遅延は小さくなります。これらの 2 つのパラメータ間の最適な妥協点は、システムの実装によって異なります。

ADXL317 には各フィルタに 4 つの設定値があり、合計 16 の組み合わせがあります。これらの設定値に対応するノイズと遅延を表 7 に示します。詳細については、フィルタリング：ノイズと遅延に関する考慮事項のセクションを参照してください。

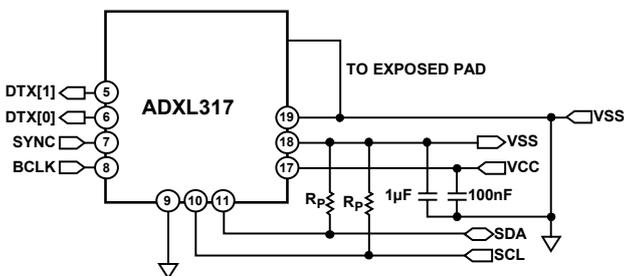
表 7. 出力ノイズおよび遅延とフィルタのカットオフ周波数の関係 (T_A = 25°C、V_{CC} = 3.3V)

Cutoff Frequency (Hz)	Output Noise (mg rms)		Delay (μs)
	X-/Y-Axes	Z-Axis	
506	2.5	4	585
1012	5.5	7	291
2025	22.5	30	144
4051	85	120	70.9

アプリケーション情報

アプリケーション回路

ADXL317 の推奨アプリケーション回路を図 21 に示します。動作電源ピンの VCC (17 番ピン) には、グラウンド (VSS、19 番ピン) との間に 100nF のバイパス・コンデンサが必要です。このコンデンサは VCC ピンのできるだけ近くに配置します。電圧レギュレータ出力ピンの VDD (18 番ピン) には、1 μ F のコンデンサが必要です。2 本の I²C ラインの SCL (10 番ピン) と SDA (11 番ピン) には、それぞれ VDD へのプルアップ抵抗が必要です。これらの抵抗の値は、バスの容量によって決まります。デバイスが正常に動作するようにプルアップ抵抗の値を選択する際は、NXP Semiconductor の『UM10204 I²C-bus Specification and User Manual』(Rev. 6-4、2014 年 4 月) を参照してください。パッケージ底面にある露出パッドは、グラウンドに接続する必要があります。



NOTES

1. ALT_ADDR MAY BE GROUNDED OR CONNECTED TO VDD. SEE THE I²C INTERFACE SECTION FOR DETAILS.
2. THE EXPOSED PAD ON THE BOTTOM OF THE PACKAGE MUST BE CONNECTED TO GROUND.

図 21. 推奨アプリケーション回路

電源

ADXL317 は、3.3V の公称電圧で動作する 1 本の電源入力ピン (VCC) を備えています。内部レギュレータがこの電圧を 1.8V に降圧します。電源から AC 変動を除去す

るために、VCC ピンは図 21 に示すように適切にバイパスする必要があります。

VDD は内部電圧レギュレータの出力で、常時 1.8V に維持されます。このピンは、安定性維持のために AC ノイズからデカップリングする必要があります。VDD は、I²C ライン (SCL および SDA) のプルアップ電圧として使用しなければなりません。

A²B[®]トランシーバーとの接続

ADXL317 は、AD2425W またはアナログ・デバイセズの I²S 対応 A²B[®]トランシーバーと直接接続できるように設計されています。ADXL317 と AD2425W の接続を図 22 に示します。一般的な A²B[®]トランシーバーを使用できます。詳細については、該当するトランシーバーのデータシートを参照してください。

電源

ADXL317 はファンタム電源を使用するスレーブ・デバイスとして動作するため、A²B[®]トランシーバーから直接電力を供給する必要があります。トランシーバーの VOUT ピン (3.3V) のうち 1 本を ADXL317 の VCC に接続し、必ず両端で電源を適切にデカップリングします。

通信

ADXL317 と A²B[®]トランシーバーの間で、BCLK ピンと SYNC ピンを直接接続します。ADXL317 の DTX1 および DTX0 ピンは出力 (データ送信) ピンであり、トランシーバーの対応する DRX1 および DRX0 (データ受信) ピンに接続する必要があります。これらの 4 本のラインに小さい (約 100 Ω) 直列抵抗を追加すると、電磁干渉 (EMI) 性能が向上します。これらの抵抗の正確な値は、システムの EMI 特性によって決まります。

SCL と SDA も、2 つのデバイス間で直接接続する必要があります。適切なプルアップ抵抗を慎重に選択してください。VDD は I²C 用のプルアップ電圧として使用します。

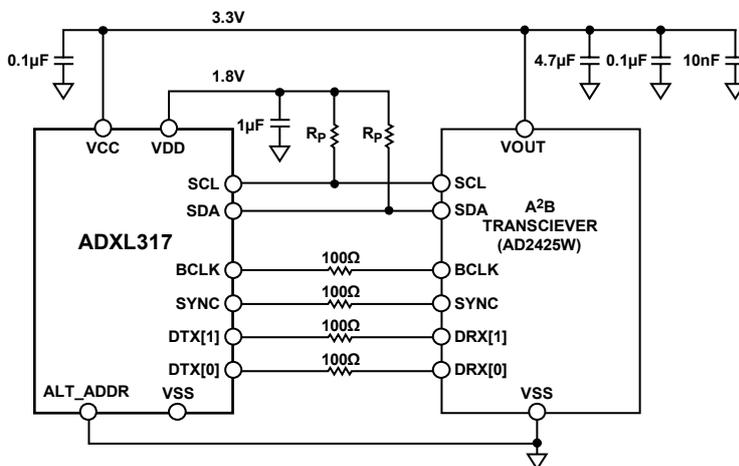


図 22. ADXL317 と A²B[®]トランシーバーの接続図

セルフ・テストの使い方

ADXL317 は、センサーの状態を評価するための柔軟なセルフ・テスト・ルーチンを備えています。セルフ・テストは、次の 3 モードのうち 1 つでアクティブにできます。

- 正のセルフ・テスト・モード。このモードでは、目的の軸に沿ってセンサーに正の DC 励起が加えられます。この励起は、x 軸および y 軸に対しては約 3.6g、z 軸に対しては約 6.6g であり、これに環境からの励起が加わります。
- 負のセルフ・テスト・モード。このモードでは、目的の軸に沿ってセンサーに負の DC 励起が加えられます。この励起は、x 軸および y 軸に対しては約-3.6g、z 軸に対しては約-6.6g であり、これに環境からの励起が加わります。
- AC セルフ・テスト・モード。このモードでは、目的の軸に沿ってセンサーに 100Hz 方形波が加えられます。この方形波の上限は正のセルフ・テストの値に等しく、方形波の下限は負のセルフ・テストの値に等しくなります。

ADXL317 の最初の電源投入時に、正および負の DC セルフ・テストまたは AC セルフ・テストを使用して、デバイスの健全性を正確に理解する必要があります。それぞれの軸は他の軸から独立してセルフ・テストを制御できるため、セルフ・テストの設定には多くの組み合わせがあります。これらの設定値は、X_ST、Y_ST、および Z_ST レジスタと、対応する x_ST_AC、x_ST_POS、および x_ST_NEG ビットで設定できます。これらのビットは所定の軸に対して同時にいくつでもアサートできますが、それぞれの軸に一度に加えることができる力は 1 つだけです。複数のビットがアサートされると、セルフ・テストは無効になります。これらのビットのすべての可能な設定値と、得られるセルフ・テスト力を表 8 に示します。

表 8. セルフ・テストの設定値の組み合わせ

x_ST_AC	x_ST_POS	x_ST_NEG	Self Test Force
0	0	0	Self test is disabled
0	0	1	Negative self test
0	1	0	Positive self test
0	1	1	Self test is disabled
1	0	0	AC self test
1	0	1	Self test is disabled
1	1	0	Self test is disabled
1	1	1	Self test is disabled

いずれかの軸方向にセルフ・テスト力が加えられた場合、センサーから返される値は、図 25 に示すように、加速度センサーに加えらるべき外的力を加算した値になります。この図では、加速度センサーに振幅 4g の正弦波の動きが加えられています。わかりやすいように、すべての軸が同じ入力を受けると仮定します。セルフ・テストの実行後に ADXL317 から返される測定値は、セルフ・テストの励起に正弦波を加えた値です。

セルフ・テスト測定では重力を考慮に入れてください。例えば、加速度センサーを平らなテーブルに置いた状態で（すなわち、z 軸を重力の方向に揃えて）z 軸に対して

正のセルフ・テストを行った場合、セルフ・テストからの 6.6g に加えて重力からの 1g、合計で 7.6g の加速度が発生します。したがって、セルフ・テストは、重力のように簡単にキャリブレーションできる既知の静的発生源以外の外部加速度がない状態で実行するのが最善です。

正確なセルフ・テスト測定には、いくつかの手順を実行する必要があります。正および負の DC セルフ・テスト・モードでは、次のルーチンに従ってセルフ・テストの結果を正確に評価する必要があります。

1. すべてのセルフ・テスト機能が無効になっていることを確認します。すなわち、X_ST、Y_ST、および Z_ST レジスタ（それぞれアドレス 0x84、アドレス 0x86、およびアドレス 0x88）を 0x00 に設定します。
2. x 軸の加速度データを読み出します。25ms の平均をとり、測定値へのノイズの影響を軽減することを推奨します。
3. X_ST_POS ビットをアサートしてセルフ・テストをアクティブにし、出力が最大値に遷移するのを待ちます。
4. 加速度データを再び 25ms の間読み出します。
5. 手順 4 で収集したデータから手順 2 で収集したデータを差し引いて、セルフ・テスト・デルタ (STΔ) の大きさを求めます。
6. X_ST_POS ビットを非アクティブにして、X_ST_NEG ビットをアクティブにし、出力が最小値に遷移するのを待ちます。
7. 加速度データを再び 25ms の間読み出します。
8. 正と負の STΔ の大きさを、表 1 の限界値と比較します。両方の大きさが最小および最大仕様の範囲内であれば、デバイスはセルフ・テストに合格しています。それ以外の場合は不合格であり、更なる調査のためにフラグを立てる必要があります。
9. y 軸と z 軸に対して、手順 1～手順 8 を順に繰り返します。

セルフ・テストは一度に 1 チャンネルずつアクティブにする必要があります。つまり、x 軸、y 軸、および z 軸チャンネルに対して、手順 1～手順 9 を順に繰り返す必要があります。

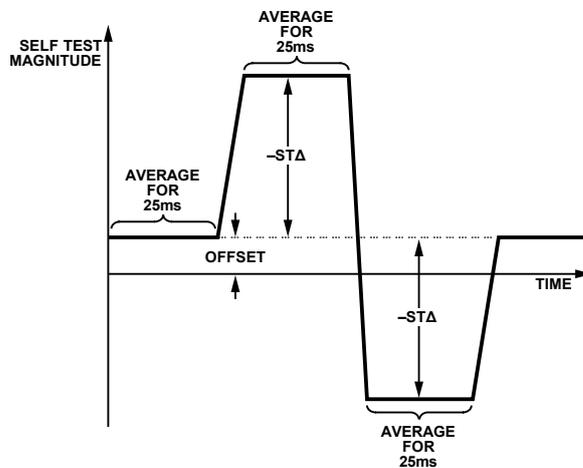
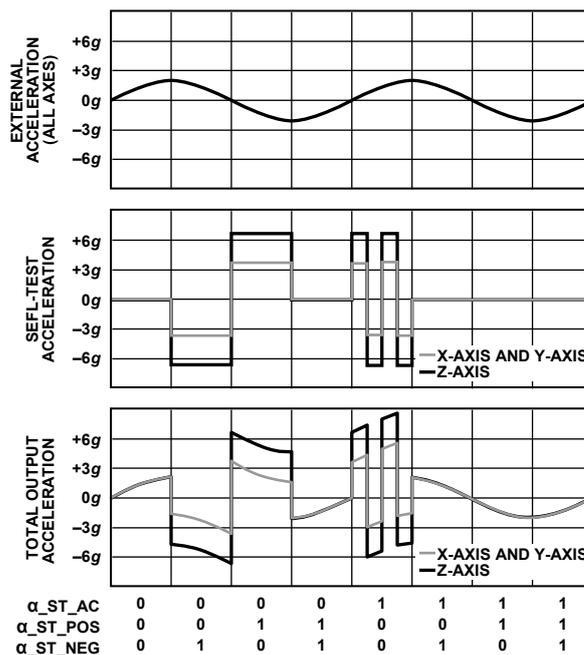


図 23. DC セルフ・テスト測定

同じ手順に従って、AC セルフ・テスト測定を実行できます。ただし、測定と測定のためのタイミングには、細心の注意が必要です。更に、信号の周波数領域を調べて、センサーとシグナル・チェーンが意図したとおりに動作しているかどうかを確認することを推奨します。AC セルフ・テスト・モードでは、次のルーチンに従ってセルフ・テストの結果を正確に評価する必要があります。

1. すべてのセルフ・テスト機能が無効になっていることを確認します。すなわち、X_ST、Y_ST、および Z_ST レジスタ（それぞれアドレス 0x84、アドレス 0x86、およびアドレス 0x88）を 0x00 に設定します。
2. x 軸の加速度データを読み出します。25ms の平均をとり、測定値へのノイズの影響を軽減することを推奨します。
3. X_ST_AC ビットをアサートしてセルフ・テストをアクティブにします。
4. 加速度データを、少なくとも 40ms の間、少なくとも 1kHz のデータ・レートで読み出します。
5. 図 24 に示す手順を使用して、ST Δ の大きさを求めます。
6. 正と負の ST Δ の大きさを、表 1 に示した限界値と比較します。両方の大きさが最小および最大仕様の範囲内であれば、デバイスはセルフ・テストに合格しています。それ以外の場合は不合格であり、更なる調査のためにフラグを立てる必要があります。
7. y 軸と z 軸に対して、手順 1～手順 6 を順に繰り返します。



NOTES
1. $\alpha = X, Y, \text{ OR } Z$

図 25. 12.5Hz の正弦波入力加速度が存在するときのセルフ・テストの設定値と得られる出力

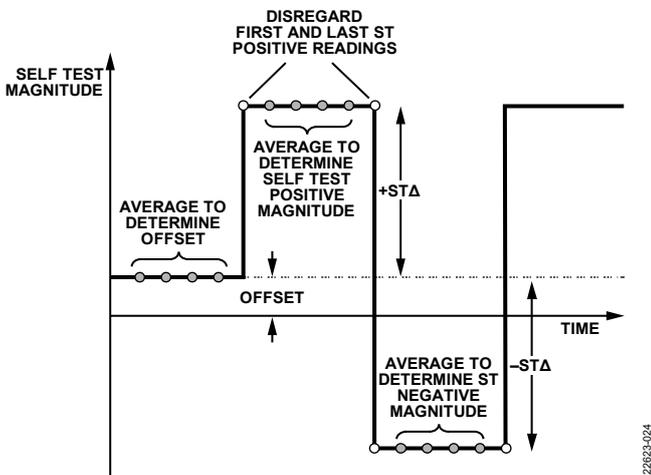


図 24. AC セルフ・テスト測定

シリアル通信

ADXL317 は、4 線式 I²S と 2 線式 I²C の両方のデジタル通信インターフェイスを介して通信を行います。データ出力の主な手段は I²S バスです。レジスタ値の設定には I²C バスを使用します。いずれの場合も、ADXL317 はスレーブ・デバイスとして動作し、コマンドを受信して要求されたデータで応答します。これらの 2 つのポートは独立して動作し、別々のピンを使用します。したがって、これらのポートは同時に使用できます。

I²S/TDM インターフェース

ADXL317 は、I²S ポートから常時データをストリーミング出力します。このプロトコルは、高速の同期加速度センサー・データの取得に適しています。ADXL317 は、3.072MHz または 6.144MHz (代表値) のクロック周波数と 48kHz のフレーム周波数で動作します。このデバイスは、16 ビットの TDM4 および TDM8 と、32 ビットの I²S/TDM2 および TDM4 をサポートします。

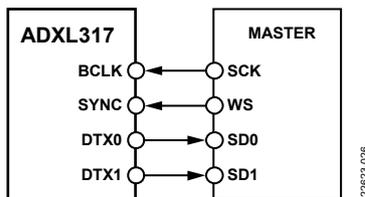


図 26. I²S/TDM の配線図

信号

ADXL317 は、1 チャンネルの連続シリアル・クロック、1 チャンネルの同期信号、および 2 チャンネルのシリアル・データで構成される 4 線式 I²S インターフェースを使用します。これらのチャンネルには多くの命名規則があります。ADXL317 は、アナログ・デバイセズの A²B[®] トランシーバー・ファミリと同じ用語と記号を使用します。I²S 仕様で使用される信号名と ADXL317 に使用される信号名の比較については、表 9 を参照してください。

表 9. I²S 信号名

I ² S Specification		ADXL317	
Full Name	Symbol	Full Name	Symbol
Continuous Serial Clock	SCK	Bit clock	BCLK
Word Select	WS	Sync	SYNC
Serial Data	SD	Data transmit	DTX

ビット・クロック (BCLK)

ビット・クロック (BCLK) ラインは、マスタ (A²B[®] トランシーバーまたは他のコントローラ) とスレーブ (ADXL317) の間のトランザクションのタイミングを制御します。このクロックは、3.072MHz または 6.144MHz のレートで BCLK ピン (8 番ピン) に外部から供給する必要があります。入力クロック周波数は、CLOCK_RATE レジスタ (アドレス 0x83) で指定する必要があります。

ADXL317 は内部クロックを備えていないため、すべてのタイミングは BCLK から派生します。ADXL317 が動

作するには、I²C を使用してレジスタの読出しまたは書込みを行うときにも、常に BCLK を動作させる必要があります。

同期 (SYNC) 信号

SYNC ラインは、送信中のチャンネルを選択します。デフォルトでは、SYNC がハイ (1 に設定) の場合、右チャンネルが送信中です。SYNC がロー (0 に設定) の場合、左チャンネルが送信中です (TDM2 モード)。I2S_CFG0 レジスタ (アドレス 0x81) の INV ビットをアサートすることにより、この動作を反転させることができます。SYNC は、フレームの前半と後半の境界を定めます。

INV (アドレス 0x81、ビット 7) = 0 になっている間、SYNC の値は BCLK の立上がりエッジでラッチされます。SYNC の値が変化した後、データの MSB が送信されるタイミングは、I2S_CFG0 レジスタの early ビットの値によって決まります。early = 0 の場合、SYNC ピンは、最初のデータ・チャンネルの MSB と同じサイクルで変化します。early = 1 の場合、SYNC ピンは、最初のデータ・チャンネルの MSB の 1 サイクル前に変化します。デフォルトでは、SYNC ピンの値は BCLK の立上がりエッジで変化します。I2S_CFG1 レジスタの TXBCLKINV ビットをアサートすることにより、SYNC ピンの値が BCLK の立下がりエッジで変化するように変更できます。

データ送信 (DTX) 信号

データ送信 (DTX) ラインは、ADXL317 からマスタ・デバイスへデータを送信します。データは 2 の補数フォーマットで、最上位ビット (MSB) ファーストで送信されます。トランザクション内の LSB の位置は、パケット・フォーマットのセクションで定義するように、ワード長によって決まります。データは、I2S_CFG1 レジスタの TX0EN および TX1EN ビットの値と動作モードに応じて、いずれか一方または両方の DTX ピンで送信できます。

パケット・フォーマット

ADXL317 には、入力クロック (BCLK) 周波数とシステム条件に応じて、4 つのパケット・フォーマットがあります。3.072MHz では、32 ビット I²S/TDM2 と 16 ビット TDM4 がサポートされます。6.144MHz では、32 ビット TDM4 と 16 ビット TDM8 がサポートされます。32 ビット I²S/TDM2 モードでは 2 本のデータ・ピンが必要ですが、それ以外の 3 つのモードに必要なピンは 1 本だけです。

表 10. サポートされるすべての出力フォーマットと必要な BCLK 周波数

Output Format	16-Bit Mode BCLK Frequency	32-Bit Mode BCLK Frequency	No. of Pins
I ² S/TDM2	Not applicable	3.072 MHz	2
TDM4	3.072 MHz	6.144 MHz	1
TDM8	6.144 MHz	Not applicable	1

I²S/TDM2 モードでは、DTX0 ピンが x 軸および y 軸からのデータを送信します。DTX1 ピンは z 軸のデータを送信し、続いて送信の後半でオール 0 を送信します。BCLK は 3.072MHz で動作が必須で、各軸は 32 ビットで構成されます。

TDM4 モードでは、3 軸すべてのデータが 1 本のピンで送信され、その他のピンはトランザクション全体を通してゼロのままになります。BCLK が 3.072MHz で動作している場合、各軸は 16 ビットで構成されます。6.144MHz で動作している場合、各軸は 32 ビットで構成されます。

TDM8 モードでは、フレームは更に 8 つのセグメントに分割されます。1 本のピンの最初の 3 つのセグメントに 3 軸すべてのデータが含まれ、残りのセグメントはゼロのままになります。BCLK は 6.144MHz で動作が必須で、各軸は 16 ビットで構成されます。

すべてのトランザクションのフレーム・レートは 48kHz

で、3.072MHz では 64 クロック・サイクル、6.144MHz では 128 サイクルに変換されます。各フレームのチャンネル数は、常に 2 の累乗 (2、4、または 8) になります。ADXL317 には、各軸に 1 チャンネルずつ、合計 3 つのチャンネルがあります。したがって、3 番目を超えるすべてのチャンネルは 0 に設定されます。表 11~表 14 に、各フレーム内でのこれらのチャンネルの位置を示します。図 27~図 30 に、様々な I²S 設定値が各トランザクションのタイミングに与える影響を示します。なお、これらの図は実寸ではありません。クロック・レートは実際とは異なります。

必要なデータ・ピンが 1 本だけのフォーマットでは、I2S_CFG1 レジスタの TX0EN ビットと TX1EN ビットにより、どのピンがデータを出力するかを制御します。アクティブでないピンは、トランザクション全体を通してローになります。

表 11. 2 ピン I²S/TDM2 パケット・フォーマット (3.072MHz BCLK、32 ビット・データ、TX0EN = 1、TX1EN = 1)

DTX0	DTX1
X-axis data (32-bit)	Z-axis data (32-bit)
Y-axis data (32-bit)	0x00000000

表 12. 1 ピン TDM4 パケット・フォーマット (3.072MHz BCLK、16 ビット・データ、TX0EN = 1、TX1EN = 0)

DTX0	DTX1
X-axis data (16-bit)	0x0000
Y-axis data (16-bit)	0x0000
Z-axis data (16-bit)	0x0000
0x0000	0x0000

表 13. 1 ピン TDM4 パケット・フォーマット (6.144MHz BCLK、32 ビット・データ、TX0EN = 1、TX1EN = 0)

DTX0	DTX1
X-axis data (32-bit)	0x00000000
Y-axis data (32-bit)	0x00000000
Z-axis data (32-bit)	0x00000000
0x00000000	0x00000000

表 14. 1 ピン TDM8 パケット・フォーマット (6.144MHz BCLK、16 ビット・データ、TX0EN = 1、TX1EN = 0)

DTX0	DTX1
X-axis data (16-bit)	0x0000
Y-axis data (16-bit)	0x0000
Z-axis data (16-bit)	0x0000
0x0000	0x0000

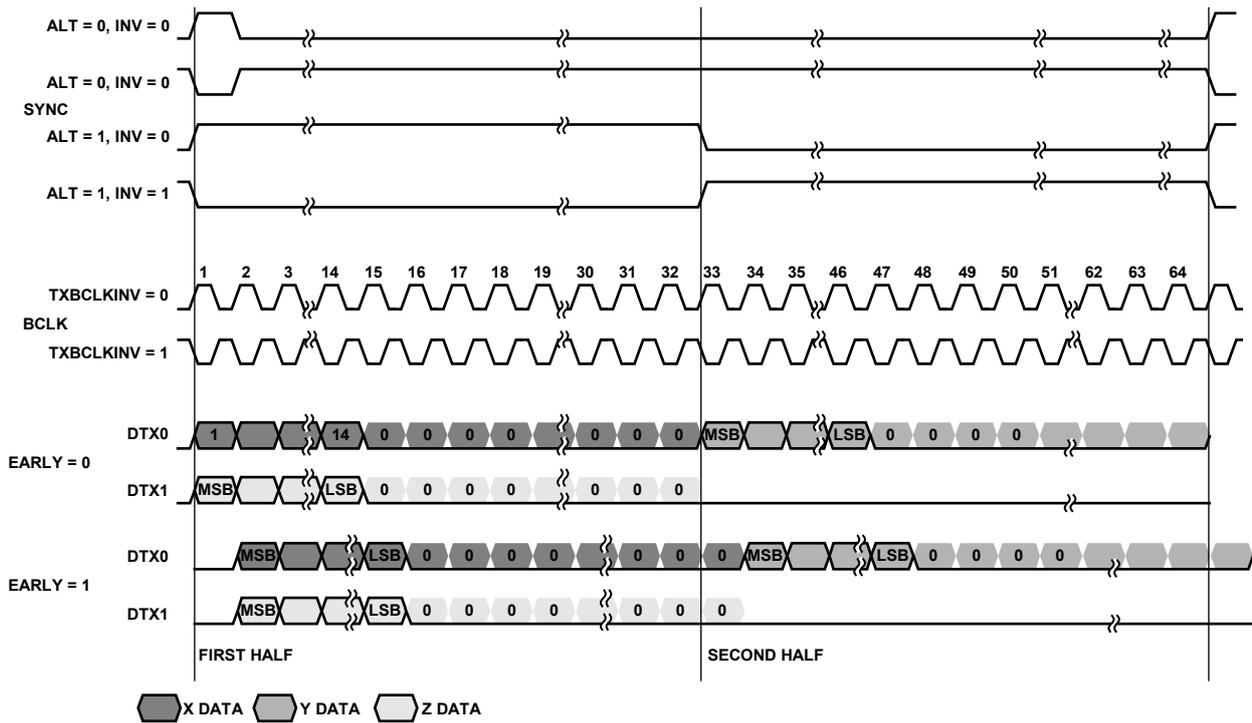


図 27. 3.072MHz での I²S/TDM2 のタイミング (32 ビット・データ)

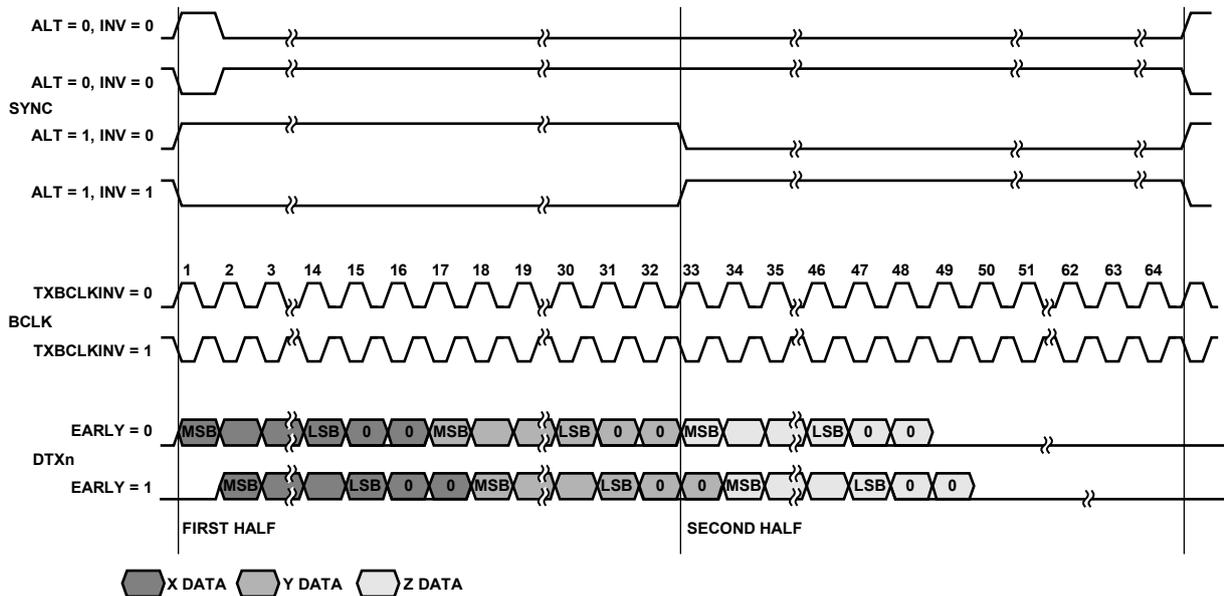


図 28. 3.072MHz での TDM4 のタイミング (16 ビット・データ)

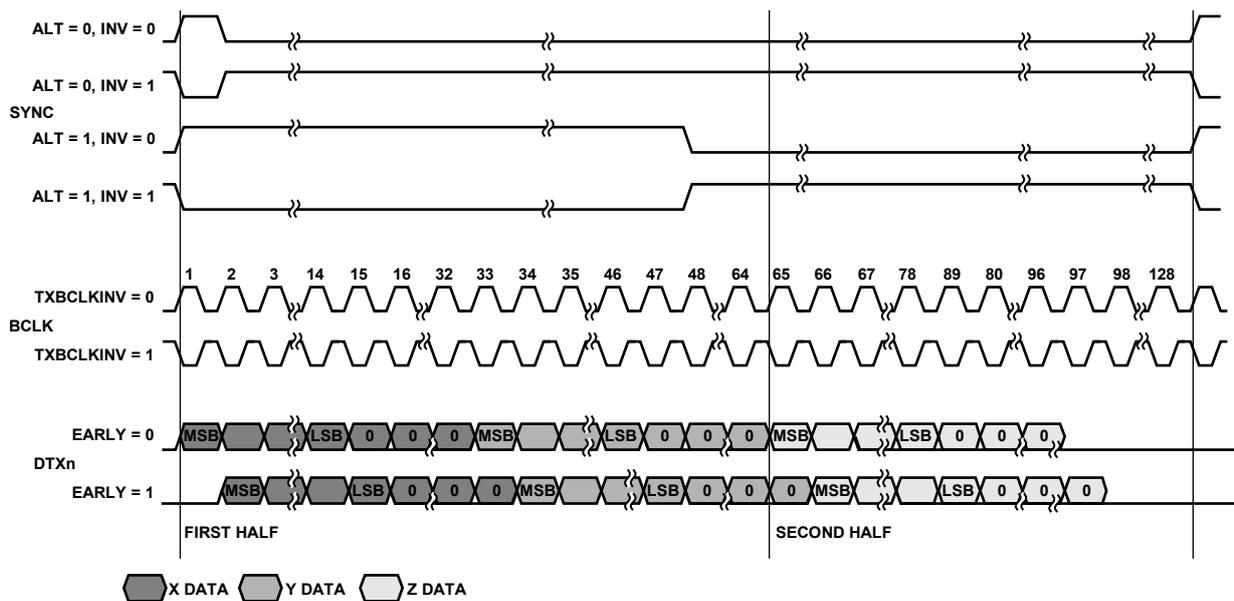


図 29. 6.144MHzでの TDM4 のタイミング (32 ビット・データ)

22623-029

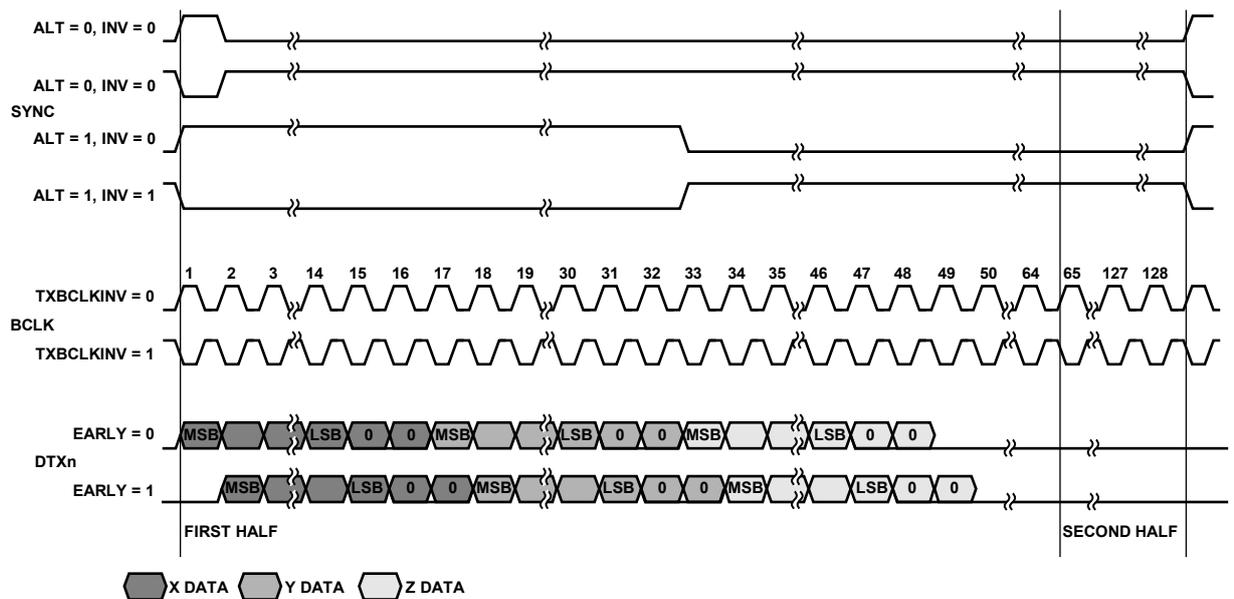


図 30. 6.144MHzでの TDM8 のタイミング (16 ビット・データ)

22623-030

I²C インターフェース

ADXL317 には、レジスタの読出しと書き込みを実行できる 2 線式 I²C インターフェースがあります。これらの読出しと書き込みにより、デバイスの各種設定が可能です。I²C インターフェースは、NXP Semiconductor の UM10204 I²C-bus Specification and User Manual (Rev. 6-4, 2014 年 4 月) に準拠しており、表 2 と表 3 に示すバス・パラメータを満たす場合、100kHz の標準データ転送モードをサポートします。SCL ラインと SDA ラインにはプルアップ抵抗 (R_p) が必要です。デバイスが正常に動作するようにプルアップ抵抗の値を選択する際は、NXP Semiconductor の UM10204 I²C-bus Specification and User Manual (Rev. 6-4, 2014 年 4 月) を参照してください。図 32 に示すように、シングルバイトとマルチバイトの読出しと書き込みをサポートしています。I²C を介して ADXL317 と通信する場合は、有効なクロック信号を BCLK に供給する必要があります。

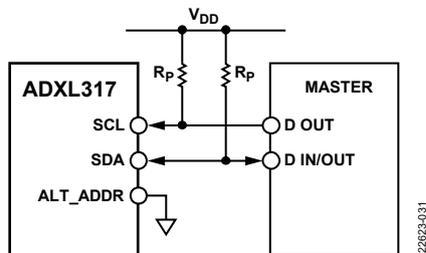


図 31. I²C の配線図

信号

SCL

SCL は ADXL317 へのシリアル・クロック入力です。SCL はマスタ・デバイスによって生成されます。SCL にはプルアップ抵抗が必要です。

SDA

SDA はシリアル・データ・ラインです。SDA は双方向ラインであり、ADXL317 とマスタ・デバイスがそれぞれ各トランザクションの異なるスライスの間 SDA ラインを制御します。SDA にもプルアップ抵抗が必要です。

定義

開始条件は、SCL がハイのときに SDA がハイからローに遷移することです。

停止条件は、SCL がハイのときに SDA がローからハイに遷移することです。

アクノレッジ条件 (ACK) は、アクノレッジ・クロック・パルス (9 番目のビットおよび後続のバイト) 中にトランスミッタが SDA ラインを解放し、このクロック・パルスの全ハイ期間中にレシーバーが SDA をローにしたときに発生します。後述のタイミング図ではこれを A で示します。

ノー・アクノレッジ条件 (NACK) はアクノレッジとよく似ていますが、アクノレッジ・クロック・パルスの全ハイ期間中にレシーバーが SDA をハイにします。後述のタイミング図ではこれを NA で示します。

ADXL317 デバイスのアドレスは、ALT_ADDR ピンの配線によって異なります。このピンをグラウンドに接続すると、アドレスは 0x53 になります。このピンを VDD に接続すると、アドレスは 0x1D になります。すべてのバイトは MSB ファーストで送信されます。

レジスタへの書き込み

すべてのコマンドは、マスタが開始条件を送信し、続いて ADXL317 デバイスのアドレスと R/W ビットを送信したときに開始されます。読出しと書き込みは、いずれも目的のレジスタ・アドレスをデバイスに書き込む必要があるため、通信のこの最初の部分では、R/W ビットは常に (書き込み状態を示す) ローになります。ADXL317 は、この要求に対してアクノレッジで応答します。次に、マスタはデータの書き込み先のレジスタのアドレスを送信します。ADXL317 は再びアクノレッジで応答します。マスタは指定したレジスタに書き込まれるデータを送信し、ADXL317 は最後にもう一度アクノレッジで応答します。最後にマスタから停止条件が送信され、トランザクションが終了します。

マルチバイト書き込みもサポートしています。連続する複数のレジスタに書き込む場合、マスタはそれぞれのアクノレッジとアクノレッジの間にデータ・バイトの送信を続けます。ADXL317 は、アドレスを自動インクリメントして、各バイトを次のレジスタに書き込みます。停止条件を受信した後のみ、ADXL317 は書き込みを停止します。

図 32 は、このセクションで説明したトランザクションを図示したものです。波形については、図 2 と図 3 を参照してください。

レジスタの読出し

レジスタからの読出しでは、最初のいくつかの手順はレジスタへの書き込みと同じものです。マスタが開始条件を送信し、続いて ADXL317 デバイスのアドレスと R/W ビットを送信します。ADXL317 がアクノレッジで応答した後、マスタは読み出すレジスタのアドレスを送信し、ADXL317 はそれに対して再びアクノレッジで応答します。

このコマンドとレジスタへの書き込みを区別するために、マスタは次に、反復開始コマンドに続いて ADXL317 デバイスのアドレスを送信し、更に R/W ビットをハイにして読出し条件を示します。ADXL317 は、この要求に対してアクノレッジで応答し、それに続いて目的のレジスタの内容を返します。マスタは、このデータを受信するとノー・アクノレッジで応答し、ADXL317 がそれ以上応答しないようにします。マスタはそれに続いて停止条件を送信し、トランザクションを終了します。

マルチバイト読出しもサポートしています。連続する複数のレジスタから読み出す場合、マスタはデータの受信後にノー・アクノレッジではなくアクノレッジで応答します。ADXL317 は、ノー・アクノレッジと停止を受信するまで、レジスタ・アドレスを自動インクリメントして次のレジスタの内容を送信する動作を続けます。

図 32 は、これらのトランザクションを図示したものです。図 4 と図 5 に波形を示します。

無効なレジスタ

アクセスできるレジスタは、アドレス 0x00～アドレス 0x01 とアドレス 0x80～アドレス 0x8F にあります。これらのレジスタの機能の詳細については、レジスタ・マップのセクションを参照してください。この範囲外の

レジスタを読み出そうとすると、オール 0 が返されます。ただし、デバイスはその要求に対してアクノレッジで応答します。アクノレッジはシングルバイトとマルチバイト両方のトランザクションに適用されます。

SINGLE-BYTE WRITE							
MASTER	START	ADXL317 ADDRESS + WRITE		REGISTER ADDRESS		DATA	STOP
ADXL317			ACK		ACK		ACK

MULTIPLE-BYTE WRITE								
MASTER	START	ADXL317 ADDRESS + WRITE		REGISTER ADDRESS		DATA	DATA	STOP
ADXL317			ACK		ACK			ACK

SINGLE-BYTE READ											
MASTER	START	ADXL317 ADDRESS + WRITE		REGISTER ADDRESS	START [†]	ADXL317 ADDRESS + READ		ACK	DATA	NACK	STOP
ADXL317			ACK					ACK			

MULTIPLE-BYTE READ													
MASTER	START	ADXL317 ADDRESS + WRITE		REGISTER ADDRESS	START [†]	ADXL317 ADDRESS + READ		ACK	DATA	ACK	DATA	NACK	STOP
ADXL317			ACK					ACK					

[†]THIS START IS EITHER A REPEATED START OR A STOP FOLLOWED BY A START.

NOTES

1. THE SHADED AREAS REPRESENT WHEN THE DEVICE IS LISTENING.

22623-032

図 32. I²C の通信フォーマット

フィルタリング：ノイズと遅延に関する考慮事項

ADXL317 のシグナル・チェーンには、独立して制御可能な複数のフィルタがあります。これらのフィルタは次のとおりです。

- ローパス CIC フィルタ。このフィルタは常にイネーブルになり、コーナ周波数は 7.66kHz、3.83kHz、1.91kHz、または 957Hz に設定できます。
- ローパス IIR フィルタ。このフィルタはオンとオフを切り替えることができ、デフォルトではイネーブルになります。コーナ周波数は 5.00kHz、2.50kHz、1.25kHz、または 625Hz に設定できます。
- ハイパス・フィルタ。このフィルタはオンとオフを切り替えることができ、デフォルトではディスエーブルになります。コーナ周波数は 29.8Hz、7.46Hz、1.85Hz、または 0.46Hz に設定できます。

これらの設定値を組み合わせることにより、幅広いフィルタ特性を実現できます。x_IIR_CORNER フィールドと x_CIC_CORNER_LPF フィールドの値を一致させることで得られる、4kHz、2kHz、1kHz、および 500Hz の公称設定値以外に、12 の設定が可能です (表 15 を参照)。

一般に、カットオフ (-3dB) 周波数が高いと、遅延は小さくなりますが、ノイズが多くなります。一方、カットオフ周波数が低いと、ノイズは少なくなります。遅延が大きくなります。これらの関係を図 33~図 36 に示します。この現象が常に当てはまるとは限りません。したがって、望んだとおりのノイズと遅延の兼ね合いが得られるように、フィルタの設定値を慎重に選択する必要があります。

センサーの共振周波数は、シグナル・チェーンの応答全体に影響を与えます。共振周波数付近のフィルタ設定値は、高周波数側にシフトされます。その結果、実効帯域幅が高くなります。また、フロントエンド・エレクトロニクスにより、x 軸と y 軸については約 14 μ s、z 軸については 20 μ s の一定の遅延が加わります。

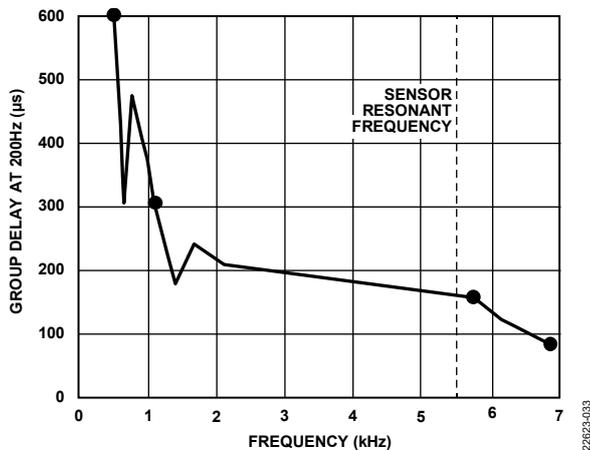


図 33. すべてのフィルタ設定における X 軸および Y 軸の群遅延と周波数の関係 (この図の丸印の項目については表 15 を参照)

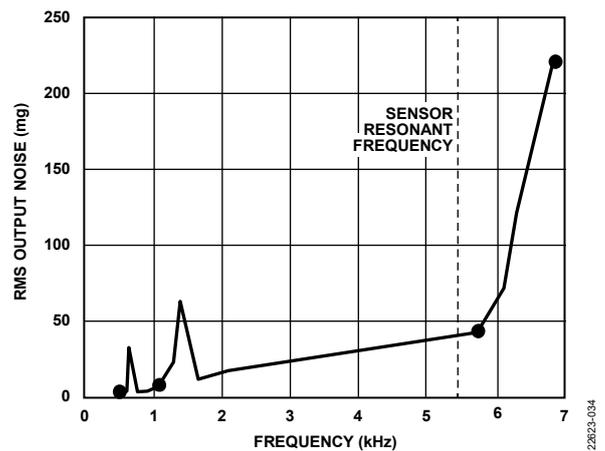


図 34. すべてのフィルタ設定における X 軸および Y 軸のノイズと周波数の関係 (この図の丸印の項目については表 15 を参照)

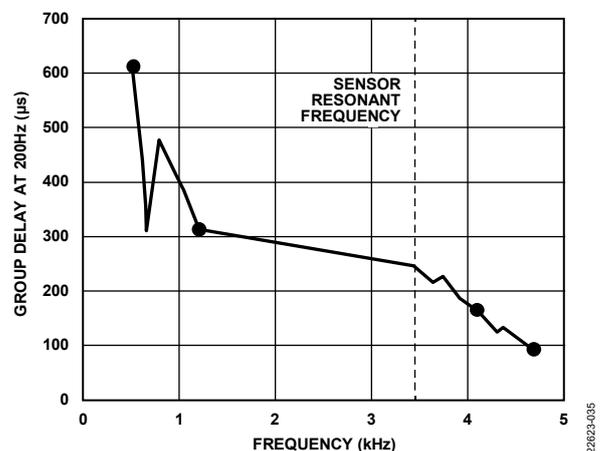


図 35. すべてのフィルタ設定における Z 軸の群遅延と周波数の関係 (この図の丸印の項目については表 15 を参照)

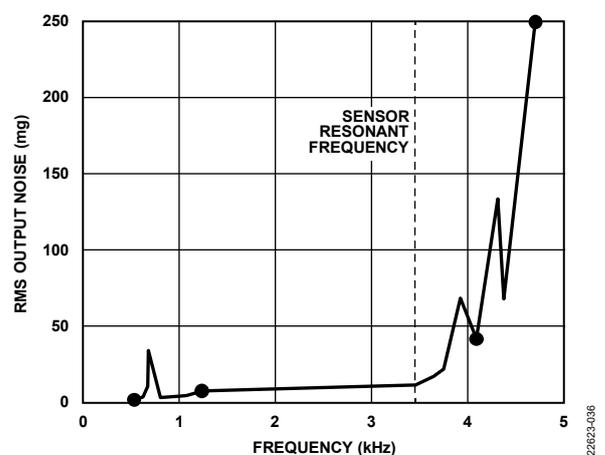


図 36. すべてのフィルタ設定における Z 軸のノイズと周波数の関係 (この図で丸印で示す項目については表 15 を参照)

表 15. ローパス・フィルタの設定値の組み合わせ (X 軸および Y 軸) ¹

CIC Filter		IIR Filter		Cascaded Filters Only		Entire Signal Chain					
Setting	-3 dB Frequency (Hz)	Setting	-3 dB Frequency (Hz)	-3 dB Frequency (Hz) ²	Group Delay at 200 Hz (μs) ³	-3 dB Frequency		Group Delay at 200 Hz		RMS Noise	
						X- and Y-Axes (Hz)	Z-Axis (Hz)	X- and Y-Axes (μs)	Z-Axis (μs)	X- and Y-Axes (mg)	Z-Axis (mg)
00	7668	00	5002	4051 ⁴	70.9 ⁴	6841 ⁴	4691 ⁴	84.7 ⁴	91.3 ⁴	85 mg ⁴	120 ⁴
00	7668	01	2501	2343	103	6297	4314	117	123		
00	7668	10	1250	1229	166	1384	3912	180	187		
00	7668	11	625	622	294	639	668	308	314		
01	3829	00	5002	2926	113	6113	4369	126	133		
01	3829	01	2501	2025 ⁴	144 ⁴	5747 ⁴	4091 ⁴	158 ⁴	165 ⁴	22.5 ⁴	30 ⁴
01	3829	10	1250	1171	208	1295	3754	222	228		
01	3829	11	625	614	335	630	657	349	356		
10	1914	00	5002	1752	196	2100	3642	210	216		
10	1914	01	2501	1463	228	1659	3437	242	248		
10	1914	10	1250	1012 ⁴	291 ⁴	1078 ⁴	1224 ⁴	305 ⁴	312 ⁴	5.5 ⁴	7.0 ⁴
10	1914	11	625	586	419	599	620	433	439		
11	957	00	5002	934	363	974	1046	376	383		
11	957	01	2501	876	394	909	968	408	415		
11	957	10	1250	731	458	752	786	472	478		
11	957	11	625	506 ⁴	585 ⁴	513 ⁴	525 ⁴	599 ⁴	606 ⁴	2.5 ⁴	4.0 ⁴

¹ この表の空白の項目は、この設定については関連する値を測定していないことを示します。

² この表に示す-3dB の周波数は、CIC フィルタと IIR フィルタの組み合わせにのみ基づいています。これらの周波数には、センサーの共振周波数の影響は含まれていません。

³ この表に示す群遅延の値は、カスケード接続したフィルタにのみ基づいています。これらの群遅延の値には、フロントエンド・エレクトロニクスや ADC によって生じる追加の遅延は含まれていません。

⁴ 詳細については、図 33～図 36 の丸印を参照してください。

レジスタ・マップ

表 16. レジスタの一覧

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset ¹	RW		
0x00	DEVICE_ID0	[7:0]	VARIANT[2:0]			REVID						0x22	R	
0x01	DEVICE_ID1	[7:0]	XL_X	XL_Y	XL_Z	YAW	ROLL	PITCH	VARIANT[4:3]			0xE2	R	
0x80	USER_REG_KEY	[7:0]	USER_REG_KEY									0xBC	RW	
0x81	I2S_CFG0	[7:0]	INV	Early	ALT	TDMSS	RSVD	TDMMODE			0x01	RW		
0x82	I2S_CFG1	[7:0]	RSVD				TXBCLKINV	TX1EN	TX0EN				0x00	RW
0x83	CLOCK_RATE	[7:0]	RSVD				A2B_CLK_RATE						0x00	RW
0x84	X_ST	[7:0]	RSVD				X_ST_AC	X_ST_POS	X_ST_NEG				0x00	RW
0x85	X_FILT	[7:0]	X_HPF_EN	X_IIR_EN	X_HPF_CORNER	X_IIR_CORNER	X_CIC_CORNER_LPF						0x40	RW
0x86	Y_ST	[7:0]	RSVD				Y_ST_AC	Y_ST_NEG	Y_ST_POS				0x00	RW
0x87	Y_FILT	[7:0]	Y_HPF_EN	Y_IIR_EN	Y_HPF_CORNER	Y_IIR_CORNER	Y_CIC_CORNER_LPF						0x40	RW
0x88	Z_ST	[7:0]	RSVD				Z_ST_AC	Z_ST_POS	Z_ST_NEG				0x00	RW
0x89	Z_FILT	[7:0]	Z_HPF_EN	Z_IIR_EN	Z_HPF_CORNER	Z_IIR_CORNER	Z_CIC_CORNER_LPF						0x40	RW
0x8A	X_DATA_LO	[7:0]	X_DATA[7:0]									N/A	R	
0x8B	X_DATA_HI	[7:0]	X_DATA[15:8]									N/A	R	
0x8C	Y_DATA_LO	[7:0]	Y_DATA[7:0]									N/A	R	
0x8D	Y_DATA_HI	[7:0]	Y_DATA[15:8]									N/A	R	
0x8E	Z_DATA_LO	[7:0]	Z_DATA[7:0]									N/A	R	
0x8F	Z_DATA_HI	[7:0]	Z_DATA[15:8]									N/A	R	

¹ N/A は該当なしを意味します。

レジスタの詳細

ここでは、ADXL317 レジスタの機能について説明します。ADXL317 は、電源投入時にはレジスタ・マップのセクションの表 16 の Reset 列に表示されているデフォルトのレジスタ値が有効になります。特に指定がない限り、このセクションの表の設定の列とリセットの列の値はバイナリ値です。

RW 列の値が R になっているレジスタは読出し専用です。読出し専用レジスタに書き込もうとしても無視されます。RSVD と表示されているビットは、アナログ・デバイス専用の予備のビットであり、変更することはできません。

書き込み可能レジスタの値を変更するには、最初に USER_REG_KEY レジスタにユーザ・レジスタ・キーを書き込む必要があります。詳細については、USER_REG_KEY レジスタの説明を参照してください。

デバイス ID レジスタ

デバイス ID レジスタには、ADXL317 デバイスの特定のバージョンの識別に必要な情報が格納されます。

表 17. DEVICE_ID0 レジスタの一覧（アドレス：0x00、レジスタ名：DEVICE_ID0、リセット：0x22）

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	VARIANT[2:0]	000 001 010 … 111	アナログ・デバイス・バリエーション ID。このフィールドには、アナログ・デバイスのデバイス・バリエーション情報の下位 3 ビットが格納されます。この 5 ビット・フィールドは 0x11（10 進数の 17）に設定されます。したがって、下位 3 ビットは 001 です。 未使用。 ADXL317。 未使用。	001	R
[4:0]	REVID	0x00 0x01 0x02 0x03 … 0x1F	アナログ・デバイス製品リビジョン ID。このフィールドには、この製品のリビジョン ID が格納されます。このフィールドは、ADXL317 の各メジャー・リビジョンを識別します。リビジョンは 0 から始まり、大きな変更があるたびにインクリメントします。 A サンプル。 B サンプル。 C サンプル。 将来のリリース。	0xXX	R

DEVICE_IDx レジスタには、カスタマー・アプリケーションに実装されている ADXL317 デバイスの特定のバージョンの識別に必要な情報が格納されます。次のタイプの情報を追跡できるように、デバイス ID には十分な柔軟性が確保されています。

- 検出軸。
- 温度範囲。
- 性能グレード。
- SPI インターフェースのバージョン。
- メジャー製品リビジョン。

デバイス ID は、電子的に読み出し可能な ADXL317 の識別機構を提供します。このセクションでは、デバイス ID の各部分の機能について説明します。デバイス ID は、アナログ・デバイセズの慣性センサー部品ポートフォリオ全体に実装されています。製品によっては、デバイス ID の一部の機能が実装されていないものもあります。このデータシートの発行時点では、ADXL317 の完全なデバイス ID は 0xE222 です。

REVID

REVID には、ADXL317 のカスタマー・リビジョン ID が格納されます。このフィールドは、デバイスの全寿命を通してデバイス・リビジョンの大きな変更を格納することを意図しています。例として、次のものが挙げられます。

- プレリリース：A サンプル、B サンプル、C サンプルなど。
- ポストリリース：シリコン (ASIC または MEMS) に対する大きな変更。

このデータシートの発行時点では、REVID の値は 0x02 です。

Variant

variant フィールドは、顧客が購入した特定のモデル番号に対応する識別値を提供します。variant フィールドに格納される値に重要な意味はありません。所定のモデル番号に一意に対応するだけです。ADXL317 の variant フィールドは 0x11 です。

Pitch

pitch フィールドは、慣性センサーがパッケージのピッチ軸方向の角速度を検出できるかどうかを示します。

表 18. Pitch ビットの設定値

State	Pitch Angular Rate Sensitive
0	No
1	Yes

Roll

roll フィールドは、慣性センサーがパッケージのロール軸方向の角速度を検出できるかどうかを示します。

表 19. Roll ビットの設定値

State	Roll Angular Rate Sensitive
0	No
1	Yes

Yaw

yaw フィールドは、慣性センサーがパッケージのヨー軸方向の角速度を検出できるかどうかを示します。

表 20. Yaw ビットの設定値

State	Yaw Angular Rate Sensitive
0	No
1	Yes

XL_Z

XL_Z フィールドは、慣性センサーがパッケージの z 軸を基準とする加速度を検出できるかどうかを示します。

表 21. XL_Z ビットの設定値

State	Z-Axis Acceleration Sensitive
0	No
1	Yes

XL_Y

XL_Y フィールドは、慣性センサーがパッケージの y 軸を基準とする加速度を検出できるかどうかを示します。

表 22. XL_Y ビットの設定値

State	Y-Axis Acceleration Sensitive
0	No
1	Yes

XL_X

XL_X フィールドは、慣性センサーがパッケージの x 軸を基準とする加速度を検出できるかどうかを示します。

表 23. XL_X ビットの設定値

State	X-Axis Acceleration Sensitive
0	No
1	Yes

表 24. DEVICE_ID1 レジスタの一覧 (アドレス: 0x01、レジスタ名: DEVICE_ID1、リセット: 0xE2)

ビット	ビット名	設定	説明	リセット	アクセス
7	XL_X	0 1	X 軸検出加速度センサー。 0 デバイスは X 軸検出加速度センサーを搭載していません。 1 デバイスは X 軸検出加速度センサーを搭載しています。	1	R
6	XL_Y	0 1	Y 軸検出加速度センサー。 0 デバイスは Y 軸検出加速度センサーを搭載していません。 1 デバイスは Y 軸検出加速度センサーを搭載しています。	1	R
5	XL_Z	0 1	Z 軸検出加速度センサー。 0 デバイスは Z 軸検出加速度センサーを搭載していません。 1 デバイスは Z 軸検出加速度センサーを搭載しています。	1	R
4	YAW	0 1	ヨー軸検出ジャイロ・センサー。 0 デバイスはヨー軸検出ジャイロ・センサーを搭載していません。 1 デバイスはヨー軸検出ジャイロ・センサーを搭載しています。	0	R
3	ROLL	0 1	ロール軸検出ジャイロ・センサー。 0 デバイスはロール軸検出ジャイロ・センサーを搭載していません。 1 デバイスはロール軸検出ジャイロ・センサーを搭載しています。	0	R
2	PITCH	0 1	ピッチ軸検出ジャイロ・センサー。 0 デバイスはピッチ軸検出ジャイロ・センサーを搭載していません。 1 デバイスはピッチ軸検出ジャイロ・センサーを搭載しています。	0	R
[1:0]	VARIANT[4:3]	00 … 01 10 11	アナログ・デバイsez・バリエーション ID。このフィールドには、アナログ・デバイsezのデバイス・バリエーション情報の上位 2 ビットが格納されます。この 5 ビット・フィールドは 0x11 (10 進数の 17) に設定されます。したがって、上位 2 ビットは 10 です。 未使用。 ADXL317。 未使用。	10	R

ユーザ・レジスタ・キー・レジスタ（アドレス：0x80、レジスタ名：USER_REG_KEY、リセット：0xBC）

ユーザ・レジスタ・キー・レジスタは ADXL317 用のロックアウト・レジスタで、システム電源投入時のデバイスへの意図しない書き込みを防ぎます。ADXL317 の最初の電源投入時には、USER_REG_KEY レジスタに適切なキーが書き込まれるまで、デバイスのレジスタへのすべての書き込みは無視されます。USER_REG_KEY レジスタへの書き込みは、I²C バス上でのトランジェントの発生時にデバイスが想定外の状態に移行しないように保護します。

いずれかのレジスタの値を変更する前に、次の手順を完了する必要があります。

1. USER_REG_KEY レジスタ（アドレス 0x80）に 0xBC を書き込みます。
2. USER_REG_KEY レジスタ（アドレス 0x80）に 0x43 を書き込みます。

これらの 2 つの値が書き込まれると、すべての書き込み可能レジスタがアンロックされ、通常どおり書き込めるようになります。アンロックの後、USER_REG_KEY レジスタは 0xBC に戻ります。2 つの個別のシングルバイト書き込みを使用して、ユーザ・テスト・モードに移行するための書き込みを 2 回実行する必要があります。マルチバイト書き込みを使用してユーザ・テスト・モードに移行することはできません。

テスト・モードへの移行後、x_DATA_LO または x_DATA_HI レジスタ（アドレス 0x8A～アドレス 0x8F）を読み出す前に、一定の時間待機する必要があります。この待機時間は、表 15 に示す群遅延時間に等しい長さです。

I²S 設定レジスタ

I²S 設定レジスタは、ADXL317 の I²S バスの各種設定を制御します。これらの設定値が I²S 出力のタイミングに与える影響の詳細については、I²S/TDM インターフェースのセクションを参照してください。

表 25. I2S_CFG0 レジスタの一覧（アドレス：0x81、レジスタ名：I2S_CFG0、リセット：0x00）

ビット	ビット名	設定	説明	リセット	アクセス
7	INV	0 1	I ² S クロック極性。このビットは、I ² S 通信のクロック極性を設定します。 オーディオ・フレームは SYNC 信号の立上がりエッジで開始します。 オーディオ・フレームは SYNC 信号の立下がりエッジで開始します。	0	RW
6	Early	0 1	I ² S Early Sync。このビットは、SYNC 信号のタイミングを設定します。 SYNC は、最初のデータ・チャンネルの MSB と同じサイクルで変化します。 SYNC は、最初のデータ・チャンネルの MSB の 1 サイクル前に変化します。	0	RW
5	ALT	0 1	I ² S Sync 切替わり。このビットは、SYNC 信号の動作を設定します。 SYNC は 1BCLK サイクルの間だけアサートされます。 SYNC は各サンプリング期間の始点でアサートされ、各サンプリング期間の間 間点でトグルされます。	0	RW
4	TDMSS	0 1	I ² S TDM スロット・サイズ。このビットは、各 TDM スロットのサイズを設定 します。 0 各スロットは 32 ビットのデータを送信します。 1 各スロットは 16 ビットのデータを送信します。	0	RW
3	RSVD		予備のビット。	00	RW
[2:0]	TDMMODE	00 01 10	I ² S の TDM モード。このビットは、I ² S 通信の TDM モードを設定します。 TDM2。 TDM4。 TDM8。	01	RW

表 26. I2S_CFG1 レジスタの一覧（アドレス：0x82、レジスタ名：I2S_CFG1、リセット：0x00）

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	RSVD		予備のビット。	0000	RW
2	TXBCLKINV	0 1	I ² S 送信クロック反転。このビットは、BCLK のどちらのエッジでデータ送信ピ ンが変化するかを設定します。 0 DTX0 および DTX1 ピンは、BCLK の立上がりエッジで変化します。 1 DTX0 および DTX1 ピンは、BCLK の立下がりエッジで変化します。	0	RW
1	TX1EN	0 1	I ² S チャンネル 1 イネーブル。このビットは、I ² S チャンネル 1 (DTX1) のデー タ伝送をイネーブルにします。 0 チャンネル 1 のデータ伝送がディスエーブルになります。 1 チャンネル 1 のデータ伝送がイネーブルになります。	0	RW
0	TX0EN	0 1	I ² S チャンネル 0 イネーブル。このビットは、I ² S チャンネル 0 (DTX0) のデー タ伝送をイネーブルにします。 0 チャンネル 0 のデータ伝送がディスエーブルになります。 1 チャンネル 0 のデータ伝送がイネーブルになります。	0	RW

クロック・レート・レジスタ

表 27. I2S_CFG1 レジスタの一覧（アドレス：0x83、レジスタ名：CLOCK_RATE、リセット：0x00）

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	RSVD		予備のビット。	0x00	RW
[2:0]	A2B_CLK_RATE	000 001 010…111	A ² B [®] クロック・レート選択。このフィールドは、BCLK 信号のレート を設定します。このフィールドの設定値に一致しないクロックを供給す ると、予測不可能な動作や誤ったデータが生じることがあります。 6.144MHz。 3.072MHz。 未使用。	000	RW

X 軸セルフ・テスト設定レジスタ

x 軸セルフ・テスト設定レジスタは、x 軸のセルフ・テスト機能を有効にします。ADXL317 はそれぞれの軸について 3 種類のセルフ・テスト（負、正、および AC）をサポートしますが、一度に有効にできるテストは 1 つだけです。X_ST_AC、X_ST_POS、および X_ST_NEG ビットを同時にアサートすることはできません。これらのビットが 2 つ以上アサートされると、セルフ・テストは無効になります。このレジスタの設定値のすべての可能な組み合わせと、セルフ・テストの出力に与える影響については、表 8 を参照してください。詳細については、セルフ・テストの使い方のセクションを参照してください。

表 28. X_ST レジスタの一覧（アドレス：0x84、レジスタ名：X_ST、リセット：0x00）

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	RSVD		予備のビット。	00000	RW
2	X_ST_AC	0 1	X 軸の AC セルフ・テストのイネーブル。このビットは、x 軸の AC セルフ・テスト機能を有効にします。 0 x 軸の AC セルフ・テストがディスエーブルになります。 1 x 軸に 100Hz 方形波セルフ・テストが適用されます。	0	RW
1	X_ST_POS	0 1	X 軸の正のセルフ・テストのイネーブル。このビットは、X 軸の正のセルフ・テスト機能を有効にします。 0 x 軸の正のセルフ・テストがディスエーブルになります。 1 正の (DC) セルフ・テストが x 軸に適用されます。	0	RW
0	X_ST_NEG	0 1	X 軸の負のセルフ・テストのイネーブル。このビットは、X 軸の負のセルフ・テスト機能を有効にします。 0 x 軸の負のセルフ・テストがディスエーブルになります。 1 x 軸に負の (DC) セルフ・テストが適用されます。	0	RW

X 軸フィルタ設定レジスタ

x 軸フィルタ設定レジスタは、ADXL317 の x 軸シグナル・チェーンの各種フィルタを制御します。

表 29. X_FILT レジスタの一覧（アドレス：0x85、レジスタ名：X_FILT、リセット：0x40）

ビット	ビット名	設定	説明	リセット	アクセス
7	X_HPF_EN	0 1	X 軸ハイパス・フィルタのイネーブル。このビットは、x 軸シグナル・チェーンのハイパス・フィルタをイネーブルにします。このフィルタはデフォルトでディスエーブルになっています。 0 x 軸シグナル・チェーンのハイパス・フィルタがディスエーブルになります。 1 x 軸シグナル・チェーンのハイパス・フィルタがイネーブルになります。	0	RW
6	X_IIR_EN	0 1	X 軸 IIR フィルタのイネーブル。このビットは、x 軸シグナル・チェーンの IIR フィルタをイネーブルにします。このフィルタはデフォルトでイネーブルになっています。 0 x 軸シグナル・チェーンの IIR フィルタがディスエーブルになります。 1 x 軸シグナル・チェーンの IIR フィルタがイネーブルになります。	1	RW
[5:4]	X_HPF_CORNER	00 01 10 11	X 軸ハイパス・フィルタのコーナ選択。このフィールドは、x 軸シグナル・チェーンのハイパス・フィルタ（イネーブルの場合）のコーナ周波数を制御します。 00 29.8 Hz。 01 7.46 Hz。 10 1.85 Hz。 11 0.46 Hz。	00	RW
[3:2]	X_IIR_CORNER	00 01 10 11	X 軸 IIR フィルタのコーナ選択。このフィールドは、x 軸シグナル・チェーンの IIR フィルタ（イネーブルの場合）のコーナ周波数を制御します。 00 5002 Hz。 01 2501 Hz。 10 1250 Hz。 11 625 Hz。	00	RW
[1:0]	X_CIC_CORNER_LPF	00 01 10 11	X 軸 CIC ローパス・フィルタのコーナ選択。このフィールドは、x 軸シグナル・チェーンの CIC ローパス・フィルタのコーナ周波数を制御します。 00 7668 Hz。 01 3829 Hz。 10 1914 Hz。 11 957 Hz。	00	RW

Y 軸セルフ・テスト設定レジスタ

y 軸セルフ・テスト設定レジスタは、y 軸のセルフ・テスト機能を有効にします。ADXL317 はそれぞれの軸について 3 種類のセルフ・テスト（負、正、および AC）をサポートしますが、一度に有効にできるテストは 1 つだけです。Y_ST_AC、Y_ST_POS、および Y_ST_NEG ビットを同時にアサートすることはできません。これらのビットが 2 つ以上アサートされると、セルフ・テストは無効になります。このレジスタの設定値のすべての可能な組み合わせと、セルフ・テストの出力に与える影響については、表 8 を参照してください。詳細については、セルフ・テストの使い方のセクションを参照してください。

表 30. Y_ST レジスタの一覧（アドレス：0x86、レジスタ名：Y_ST、リセット：0x00）

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	RSVD		予備のビット	0x00	RW
2	Y_ST_AC	0 1	Y 軸の AC セルフ・テストのイネーブル。このビットは、Y 軸の AC セルフ・テスト機能を有効にします。 0 y 軸の AC セルフ・テストがディスエーブルになります。 1 y 軸に 100Hz 方形波セルフ・テストが適用されます。	0	RW
1	Y_ST_NEG	0 1	Y 軸の負のセルフ・テストのイネーブル。このビットは、y 軸の負のセルフ・テスト機能を有効にします。 0 y 軸の負のセルフ・テストがディスエーブルになります。 1 y 軸に負の (DC) セルフ・テストが適用されます。	0	RW
0	Y_ST_POS	0 1	Y 軸の正のセルフ・テストのイネーブル。このビットは、y 軸の正のセルフ・テスト機能を有効にします。 0 y 軸の正のセルフ・テストがディスエーブルになります。 1 y 軸に正の (DC) セルフ・テストが適用されます。	0	RW

Y 軸フィルタ設定レジスタ

y 軸フィルタ設定レジスタは、ADXL317 の y 軸シグナル・チェーンの各種フィルタを制御します。

表 31. Y_FILT レジスタの一覧（アドレス：0x87、レジスタ名：Y_FILT、リセット：0x40）

ビット	ビット名	設定	説明	リセット	アクセス
7	Y_HPF_EN	0 1	Y 軸ハイパス・フィルタのイネーブル。このビットは、y 軸シグナル・チェーンのハイパス・フィルタをイネーブルにします。このフィルタはデフォルトでディスエーブルになっています。 0 y 軸シグナル・チェーンのハイパス・フィルタがディスエーブルになります。 1 y 軸シグナル・チェーンのハイパス・フィルタがイネーブルになります。	0	RW
6	Y_IIR_EN	0 1	Y 軸 IIR フィルタのイネーブル。このビットは、y 軸シグナル・チェーンの IIR フィルタをイネーブルにします。このフィルタはデフォルトでイネーブルになっています。 0 y 軸シグナル・チェーンの IIR フィルタがディスエーブルになります。 1 y 軸シグナル・チェーンの IIR フィルタがイネーブルになります。	1	RW
[5:4]	Y_HPF_CORNER	00 01 10 11	Y 軸ハイパス・フィルタのコーナ選択。このフィールドは、y 軸シグナル・チェーンのハイパス・フィルタ（イネーブルの場合）のコーナ周波数を制御します。 00 29.8 Hz。 01 7.46 Hz。 10 1.85 Hz。 11 0.46 Hz。	00	RW
[3:2]	Y_IIR_CORNER	00 01 10 11	Y 軸 IIR フィルタのコーナ選択。このフィールドは、y 軸シグナル・チェーンの IIR フィルタ（イネーブルの場合）のコーナ周波数を制御します。 00 5002 Hz。 01 2501 Hz。 10 1250 Hz。 11 625 Hz。	00	RW
[1:0]	Y_CIC_CORNER_LPF	00 01 10 11	Y 軸 CIC ローパス・フィルタのコーナ選択。このフィールドは、y 軸シグナル・チェーンの CIC ローパス・フィルタのコーナ周波数を制御します。 00 7668 Hz。 01 3829 Hz。 10 1914 Hz。 11 957 Hz。	00	RW

Z 軸セルフ・テスト設定レジスタ

z 軸セルフ・テスト設定レジスタは、z 軸のセルフ・テスト機能を有効にします。ADXL317 はそれぞれの軸について 3 種類のセルフ・テスト（負、正、および AC）をサポートしますが、一度に有効にできるテストは 1 つだけです。Z_ST_AC、Z_ST_POS、および Z_ST_NEG ビットを同時にアサートすることはできません。これらのビットが 2 つ以上アサートされると、セルフ・テストは無効になります。このレジスタの設定値のすべての可能な組み合わせと、セルフ・テストの出力に与える影響については、表 8 を参照してください。詳細については、セルフ・テストの使い方のセクションを参照してください。

表 32. Z_ST レジスタの一覧（アドレス：0x88、レジスタ名：Z_ST、リセット：0x00）

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	RSVD		予備のビット。	0x00	RW
2	Z_ST_AC	0 1	Z 軸の AC セルフ・テストのイネーブル。このビットは、z 軸の AC セルフ・テスト機能を有効にします。 0 z 軸の AC セルフ・テストがディスエーブルになります。 1 z 軸に 100Hz 方形波セルフ・テストが適用されます。	0	RW
1	Z_ST_POS	0 1	Z 軸の正のセルフ・テストのイネーブル。このビットは、z 軸の正のセルフ・テスト機能を有効にします。 0 z 軸の正のセルフ・テストがディスエーブルになります。 1 z 軸に正の（DC）セルフ・テストが適用されます。	0	RW
0	Z_ST_NEG	0 1	Z 軸の負のセルフ・テストのイネーブル。このビットは、z 軸の負のセルフ・テスト機能を有効にします。 0 z 軸の負のセルフ・テストがディスエーブルになります。 1 z 軸に負の（DC）セルフ・テストが適用されます。	0	RW

Z 軸フィルタ設定レジスタ

z 軸フィルタ設定レジスタは、ADXL317 の z 軸シグナル・チェーンの各種フィルタを制御します。

表 33. Z_FILT レジスタの一覧（アドレス：0x89、レジスタ名：Z_FILT、リセット：0x40）

ビット	ビット名	設定	説明	リセット	アクセス
7	Z_HPF_EN	0 1	Z 軸ハイパス・フィルタのイネーブル。このビットは、z 軸シグナル・チェーンのハイパス・フィルタをイネーブルにします。このフィルタはデフォルトでディスエーブルになっています。 0 z 軸シグナル・チェーンのハイパス・フィルタがディスエーブルになります。 1 z 軸シグナル・チェーンのハイパス・フィルタがイネーブルになります。	0	RW
6	Z_IIR_EN	0 1	Z 軸 IIR フィルタのイネーブル。このビットは、z 軸シグナル・チェーンの IIR フィルタをイネーブルにします。このフィルタはデフォルトでイネーブルになっています。 0 z 軸シグナル・チェーンの IIR フィルタがディスエーブルになります。 1 z 軸シグナル・チェーンの IIR フィルタがイネーブルになります。	1	RW
[5:4]	Z_HPF_CORNER	00 01 10 11	Z 軸ハイパス・フィルタのコーナ選択。このフィールドは、z 軸シグナル・チェーンのハイパス・フィルタ（イネーブルの場合）のコーナ周波数を制御します。 00 29.8 Hz。 01 7.46 Hz。 10 1.85 Hz。 11 0.46 Hz。	00	RW
[3:2]	Z_IIR_CORNER	00 01 10 11	Z 軸 IIR フィルタのコーナ選択。このフィールドは、z 軸シグナル・チェーンの IIR フィルタ（イネーブルの場合）のコーナ周波数を制御します。 00 5002 Hz。 01 2501 Hz。 10 1250 Hz。 11 625 Hz。	00	RW
[1:0]	Z_CIC_CORNER_LPF	00 01 10 11	Z 軸 CIC ローパス・フィルタのコーナ選択。このフィールドは、z 軸シグナル・チェーンの CIC ローパス・フィルタのコーナ周波数を制御します。 00 7668 Hz。 01 3829 Hz。 10 1914 Hz。 11 957 Hz。	00	RW

X 軸加速度センサー・データ・レジスタ

x 軸加速度センサー・データ・レジスタには、0 で埋められた 14 ビットの x 軸加速度データが格納されます。X_DATA_LO に下位 6 ビット、X_DATA_HI に上位 8 ビットが格納されます。

14 ビット加速度値は左揃えで、X_DATA_LO レジスタのビット 0 とビット 1 は 0 に固定されます。この構成は、16 ビット I²S データのフォーマットを模倣しています。

表 34. X_DATA_LO のビット・マップ (アドレス: 0x8A、リセット: 該当なし、B1 と B0 は 0 に固定)

B7	B6	B5	B4	B3	B2	B1	B0
0	0	0	0	0	LSB	0	0

表 35. X_DATA_HI のビット・マップ (アドレス: 0x8B、リセット: 該当なし)

B7	B6	B5	B4	B3	B2	B1	B0
MSB	0	0	0	0	0	0	0

Y 軸加速度センサー・データ・レジスタ

y 軸加速度センサー・データ・レジスタには、0 で埋められた 14 ビットの y 軸加速度データが格納されます。Y_DATA_LO に下位 6 ビット、Y_DATA_HI に上位 8 ビットが格納されます。

14 ビット加速度値は左揃えで、Y_DATA_LO レジスタのビット 0 とビット 1 は 0 に固定されます。この構成は、16 ビット I²S データのフォーマットを模倣しています。

表 36. Y_DATA_LO のビット・マップ (アドレス: 0x8C、リセット: 該当なし、B1 と B0 は 0 に固定)

B7	B6	B5	B4	B3	B2	B1	B0
0	0	0	0	0	LSB	0	0

表 37. Y_DATA_HI のビット・マップ (アドレス: 0x8D、リセット: 該当なし)

B15	B14	B13	B12	B11	B10	B9	B8
MSB	0	0	0	0	0	0	0

Z 軸加速度センサー・データ・レジスタ

z 軸加速度センサー・データ・レジスタには、0 で埋められた 14 ビットの z 軸加速度データが格納されます。Z_DATA_LO に下位 6 ビット、Z_DATA_HI に上位 8 ビットが格納されます。

14 ビット加速度値は左揃えで、Z_DATA_LO レジスタのビット 0 とビット 1 は 0 に固定されます。この構成は、16 ビット I²S データのフォーマットを模倣しています。

表 38. Z_DATA_LO のビット・マップ (アドレス: 0x8E、リセット: 該当なし、B1 と B0 は 0 に固定)

B7	B6	B5	B4	B3	B2	B1	B0
0	0	0	0	0	LSB	0	0

表 39. Z_DATA_HI のビット・マップ (アドレス: 0x8F、リセット: 該当なし)

B15	B14	B13	B12	B11	B10	B9	B8
MSB	0	0	0	0	0	0	0

取付けに関する機構上の留意点

ADXL317 は、目的の測定周波数範囲内で振動の影響を受けない位置に取り付けるように注意する必要があります。ADXL317 は、ケースへの PCB の支持点近くで PCB に取り付けてください。ADXL317 を PCB 上のしっかりと固定されていない位置に取り付けると (図 37 を参照)、基板の振動が減衰されず、顕著な測定誤差が生じる場合があります。加速度センサーを基板支持点の近くに配置すれば、加速度センサー位置での基板振動がメカニカル・センサーの共振周波数を上回るため、デバイスによって検知される可能性は事実上なくなります。センサーの近くに複数の支持点を設けたり、プリント基板を厚くしたりすることも、センサーの性能に対するシステム共振による影響の低減に効果的です。

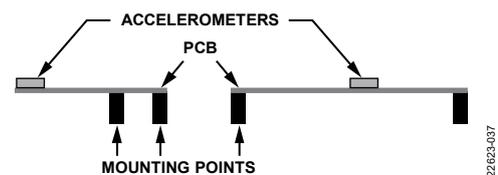


図 37. 加速度センサーの不適当な配置の例

ハンダ・リフロー・プロファイル

図 38 と表 40 に、ADXL317 の推奨のハンダ・プロファイルおよびプロファイル・パラメータを示します。

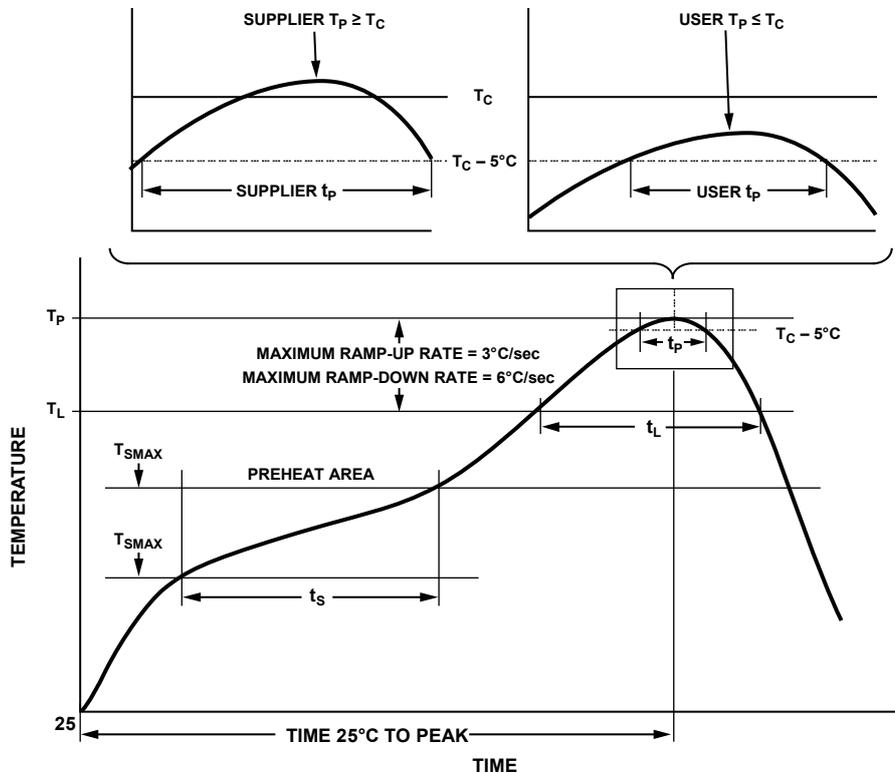


図 38. 鉛フリー・ハンダ・プロファイル

表 40. ハンダ・プロファイル・パラメータ (JEDEC J-STD-020D. 1 に準拠)

Profile Feature	Symbol	Small Body Pb-Free Assemblies
Preheat/Soak		
Temperature Minimum	T_{SMIN}	150°C
Temperature Maximum	T_{SMAX}	200°C
Time from T_{SMIN} to T_{SMAX}	t_s	60 sec to 120 sec
Liquidous Temperature	T_L	217 °C
Time Maintained Above T_L	t_L	60 sec to 150 sec
Classification Temperature	T_C	260 °C
Peak Package Body Temperature	T_P	$T_C - 5 < T_P < T_C$
Ramp-Up Rate (T_L to T_P)		3 °C/sec maximum
Time Within 5 °C of Classification Temperature (T_C)	t_p	30 sec maximum
Ramp-Down Rate (T_P to T_L)		6 °C/sec maximum
Time 25 °C to Peak Temperature		8 minutes maximum

加速度検出軸

図 39 と図 40 に、ADXL317 のデフォルトの検出軸を示します。

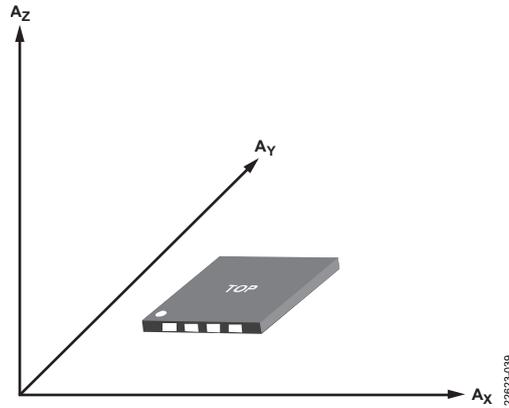


図 39. 加速度検出軸（検出軸に沿って加速されると、対応する軸の出力が増加）

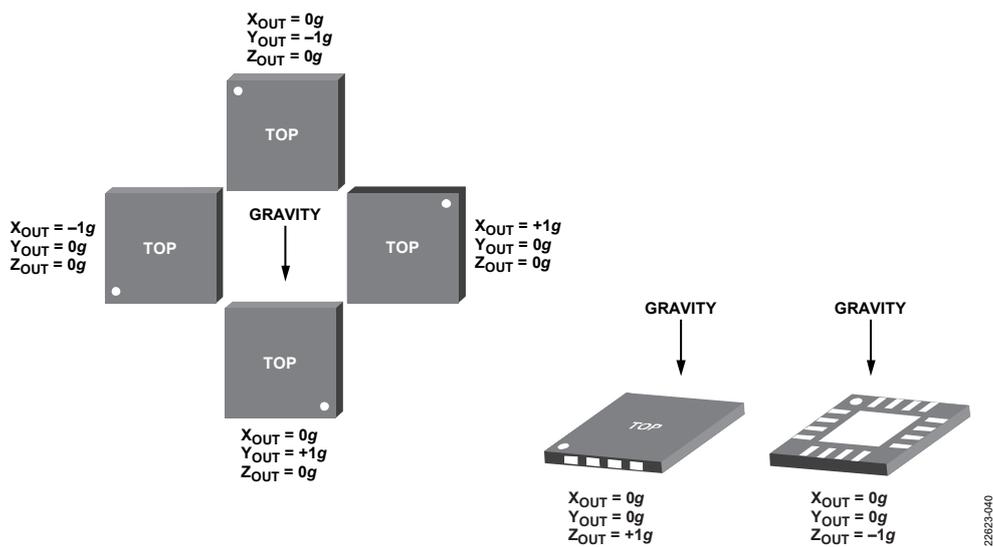


図 40. 重力方向と出力応答の関係

外形寸法

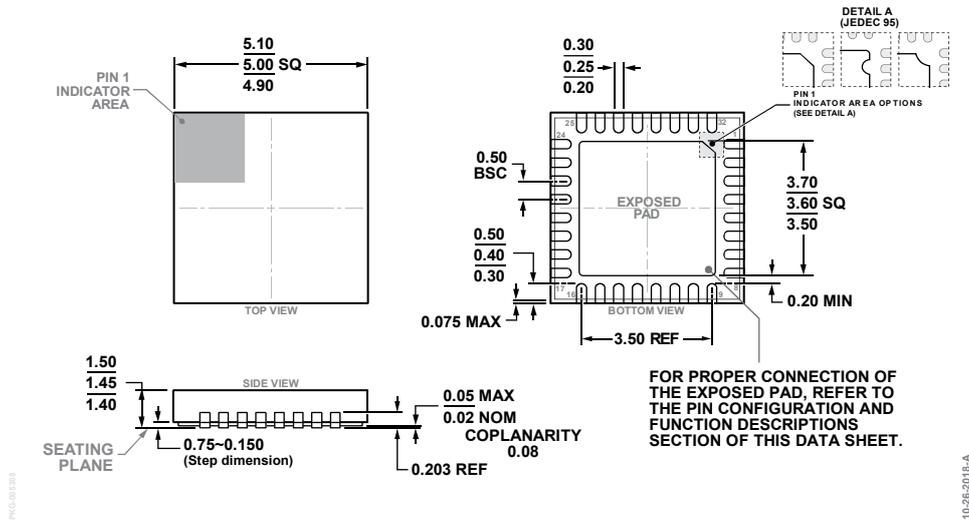


図 41. 32 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_SS]
 5mm × 5mm ボディ、1.45mm パッケージ高さ、側面からハンダ付け可能なリード付き
 (CS-32-4)
 寸法単位：mm

オーダー・ガイド

Model ^{1, 2}	Temperature Range	Package Description	Package Option
ADXL317WBCSZ-RL	-40°C to +125°C	32-Lead LFCSP_SS	CS-32-4

¹Z = RoHS 準拠製品

²W = オートモーティブ・アプリケーション向けに性能を評価済み。

オートモーティブ製品

ADXL317W モデルは、オートモーティブ・アプリケーションの品質と信頼性の条件に対応するよう管理された製造により提供されています。これらのオートモーティブ・モデルの仕様は商用モデルと異なる場合があるため、設計者はこのデータシートの仕様のセクションを慎重に検討してください。オートモーティブ・アプリケーション向けには、上記のオートモーティブ・グレード製品のみを提供しています。特定製品のオーダー情報とこれらのモデルに特有のオートモーティブ信頼性レポートについては、最寄りのアナログ・デバイセスまでお問い合わせください。