

デュアル狭帯域／広帯域 RF トランシーバー

特長

- ▶ 2 × 2 高集積トランシーバー
- ▶ 周波数範囲：30MHz～6000MHz
- ▶ トランスミッタおよびレシーバーの帯域幅：12kHz～40MHz
- ▶ 2つの完全統合型フラクショナル N 方式 RF シンセサイザ
- ▶ LVDS および CMOS 同期シリアル・データ・インターフェース・オプション
- ▶ 低消費電力モニタおよびスリープ・モード
- ▶ マルチチップ同期機能
- ▶ 高速周波数ホッピング
- ▶ 動的なデータ・レートとサンプリング・レートを実現する動的なプロファイル切り替え
- ▶ 狭帯域波形および広帯域波形に対応する完全統合型 DPD
- ▶ 4 線式 SPI を介して全機能をプログラム可能
- ▶ 12mm × 12mm、196 ボール CSP_BGA

アプリケーション

- ▶ 基幹系通信
- ▶ 超短波 (VHF)、極超短波 (UHF)、6GHz までのセルラ式通信
- ▶ 時分割複信 (TDD) および周波数分割複信 (FDD) アプリケーション

概要

ADRV9002 は高度に集積化された RF トランシーバーで、デュアルチャンネル・トランスミッタ、デュアルチャンネル・レシーバー、集積化されたシンセサイザ、デジタル信号処理機能を備えています。

ADRV9002 は、性能と消費電力の関係をシステムで最適化するよう設計された、高性能で直線性が高い、高ダイナミック・レンジのトランシーバーです。このデバイスは構成設定が可能で、要求の厳しい、低消費電力でバッテリー駆動の携帯機器に最適です。ADRV9002 は、30MHz～6000MHz で動作し、UHF、VHF、産業、科学、医療用 (ISM) バンド、狭帯域のセルラ周波数帯 (kHz) および最大 40MHz の広帯域動作に対応します。ADRV9002 は、TDD と FDD 両方の動作に対応しています。

トランシーバーは、最高水準のノイズ指数と直線性を持つ直接変換信号パスで構成されています。レシーバーとトランスミッタを一体化した各サブシステムは、DC オフセット補正回路、直交誤差補正回路 (QEC)、プログラマブル・デジタル・フィルタを内蔵しているため、デジタル・ベースバンドではこれらの機能が不要です。また、補助 A/D コンバータ (ADC)、補助 D/A コンバータ (DAC)、汎用入出力 (GPIO) などのいくつかの補助機能を内蔵しているため、モニタリングや制御などの追加機能も利用できます。

完全統合型フェーズ・ロック・ループ (PLL) により、トランスミッタ、レシーバー、クロックの各セクションに対して高性能で低消費電力のフラクショナル N 周波数合成が可能です。注意深い設計とレイアウト技術により、民生用高性能無線アプリケーションに必要な絶縁が実現されます。

電圧制御発振器 (VCO) とループ・フィルタのすべての構成要素が内蔵されており、外付け部品数が最小限に抑えられています。局部発振器 (LO) には、高速ロック・モードを含む柔軟な設定オプションがあります。

トランシーバーには、低消費電力のスリープ・モードとモニタ・モードがあり、通信を監視しながらも電力を節約し、ポータブル機器のバッテリー寿命を延ばすことができます。

完全統合型の低消費電力デジタル・プリディストーション (DPD) は、狭帯域信号と広帯域信号の両方に最適化されており、これにより、高効率パワー・アンプの直線化が可能になります。

ADRV9002 のコアは、1.0V、1.3V、1.8V のレギュレータから直接給電でき、標準的な 4 線式シリアル・ポートを介して制御されます。その他の電源を使用すれば、適切なデジタル・インターフェース・レベルを提供すると共に、このレシーバー、トランスミッタ、補助コンバータの性能を最適化できます。

高データ・レート・インターフェースと低データ・レート・インターフェースへの対応は、構成設定可能な CMOS または低電圧差動伝送 (LVDS) のシリアル同期インターフェース (SSI) を使用して行います。

ADRV9002 は、12mm × 12mm、196 ボールのチップ・スケール・パッケージ・ボール・グリッド・アレイ (CSP_BGA) を採用しています。

目次

特長.....	1	代表的な性能特性.....	26
アプリケーション.....	1	広帯域.....	26
概要.....	1	狭帯域.....	58
機能ブロック図.....	3	位相ノイズ.....	82
仕様.....	4	動作原理.....	84
トランスミッタ仕様.....	4	トランスミッタ.....	84
レシーバー仕様.....	6	レシーバー.....	85
内部 LO、外部 LO、デバイス・クロック.....	12	DPD.....	86
デジタル・インターフェースおよび補助コンバータ.....	13	クロック入力.....	86
電源仕様.....	15	シンセサイザ.....	86
消費電流の推定値（代表値）.....	15	SPI.....	87
タイミング仕様.....	17	GPIO ピン.....	87
絶対最大定格.....	20	補助コンバータ.....	87
リフロー・プロファイル.....	20	JTAG バウンダリ・スキャン.....	88
熱抵抗.....	20	アプリケーション情報.....	89
静電放電（ESD）定格.....	20	電源シーケンス.....	89
ESD に関する注意.....	20	デジタル・データ・インターフェース.....	89
ピン配置およびピン機能の説明.....	21	外形寸法.....	92
		オーダー・ガイド.....	92

改訂履歴

4/2021—Revision 0: Initial Version

機能ブロック図

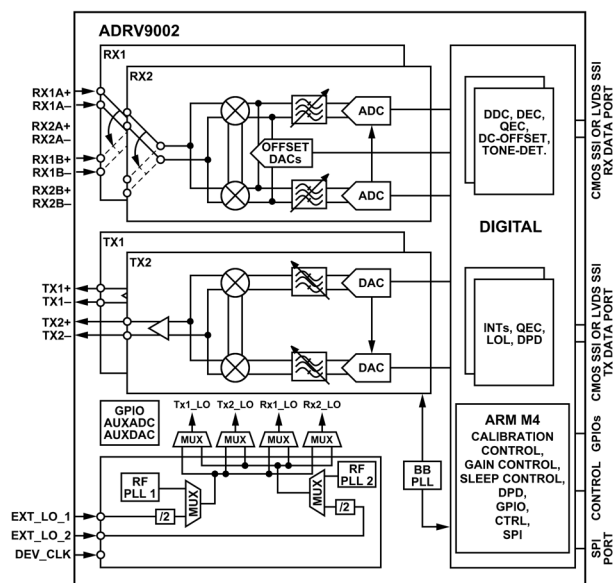


図 1.

仕様

電気的特性は、動作周囲温度範囲、VDDA_1P0 = 1.0V、VDDA_1P3 = 1.3V、VDDA_1P8 = 1.8V、VDD_1P0 = 1.0V、VDD_1P8 = 1.8V でのものです。

トランスミッタ仕様

表 1. トランスミッタ (Tx1 および Tx2)

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
CENTER FREQUENCY		30		6000	MHz	
TRANSMITTER SYNTHESIS BANDWIDTH		0.012		40	MHz	ゼロ IF モード、詳細については DPD のセクションを参照してください。
BANDWIDTH FLATNESS			0.1		dB	10MHz の帯域幅スパン、デジタル補償を含む
DEVIATION FROM LINEAR PHASE			1		Degrees	40MHz の帯域幅
POWER CONTROL RANGE						
In-Phase (I) and Quadrature (Q) Mode			42		dB	
Direct Modulation Mode			12		dB	
POWER CONTROL RESOLUTION						
I and Q Mode			0.05		dB	
Direct Modulation Mode			0.5		dB	
IN BAND NOISE FLOOR			-154		dBFS ¹ /Hz	0dB の減衰、0dB~20dB の減衰設定で 1dB の減衰ごとに帯域内ノイズが 1dB 低下
OUT OF BAND NOISE FLOOR			-156		dBFS/Hz	0dB の減衰、3 × 帯域幅/2 のオフセット
Tx1 TO Tx2 ISOLATION						
30 MHz			98		dB	
470 MHz			97		dB	
900 MHz			93		dB	
2400 MHz			93		dB	
3500 MHz			79		dB	
5800 MHz			70		dB	
IMAGE REJECTION WITH INITIALIZATION CALIBRATION ONLY						
Wideband						最大 20dB のトランスミッタ減衰、40MHz の帯域幅、0dB のオブザベーション・レシーバー減衰、18MHz の連続波 ² 信号入力、QEC ³ トラッキング・キャリブレーションはディスエーブル
50 MHz			55		dBc	
470 MHz			63		dBc	
900 MHz			59		dBc	
2400 MHz			60		dBc	
3500 MHz			57		dBc	
5800 MHz			55		dBc	
Narrow-Band						最大 20dB のトランスミッタ減衰、25kHz の帯域幅、0dB のオブザベーション・レシーバー減衰、2.1kHz の連続波 ² 信号入力、QEC トラッキング・キャリブレーションはディスエーブル
30 MHz			61		dBc	
470 MHz			68		dBc	
900 MHz			65		dBc	
2400 MHz			60		dBc	
3500 MHz			50		dBc	
5800 MHz			50		dBc	

仕様

表 1. トランスミッタ (Tx1 および Tx2)

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
IMAGE REJECTION WITH INITIALIZATION CALIBRATION AND TRACKING CALIBRATION Wideband						0dB のトランスミッタ減衰、40MHz の帯域幅、 -0.2dBFS、18MHz の連続波 ² 信号入力、50Ω の負荷、 0dB のオブザベーション・レシーバー減衰、QEC はア クティブ
50 MHz			57		dBc	
470 MHz			66		dBc	
900 MHz			63		dBc	
2400 MHz			60		dBc	
3500 MHz			61		dBc	
5800 MHz			57		dBc	
CONTINUOUS WAVE FULL-SCALE OUTPUT POWER						-0.2dBFS、18MHz の連続波 ² 信号入力、50Ω の負荷、 0dB のトランスミッタ減衰
30 MHz			7.3			
470 MHz			7.3			
900 MHz			7.6			
2400 MHz			7.4			
3500 MHz			7.8			
5800 MHz			7.2			
OUTPUT IMPEDANCE	Z _{OUT}		50		Ω	差動、詳細については ADRV9001 システム開発ユー ザ・ガイドを参照
MAXIMUM OUTPUT LOAD VOLTAGE STANDING WAVE RATIO (VSWR) OUTPUT RETURN LOSS				3		適切なキャリブレーションを確保するためには最大値 を使用 balanをボード上に配置して測定したシングルエンド のリターン損失
30 MHz			17		dB	
470 MHz			18		dB	
900 MHz			17		dB	
2400 MHz			23		dB	
3500 MHz			13		dB	
5800 MHz			10		dB	
OUTPUT THIRD-ORDER INTERCEPT POINT						0dB のトランスミッタ減衰、40MHz の帯域幅、 17MHz および 18MHz の連続波 ² 信号入力、デジタ ル・バックオフ = 11dBFS/トーン、デバイス出力でキ ャリブレーション
Wideband	OIP3 _{WB}					
50 MHz			31		dBm	
470 MHz			31		dBm	
900 MHz			30		dBm	
2400 MHz			28		dBm	
3500 MHz			29		dBm	
5800 MHz			27		dBm	
Narrow-Band	OIP3 _{NB}					0dB のトランスミッタ減衰、25kHz の帯域幅、2.1kHz および 3.1kHz の連続波 ² 信号入力、デジタル・バック オフ = 5dBFS/トーン、デバイス出力でキャリブレーシ ョン
30 MHz			30		dBm	
470 MHz			31		dBm	
900 MHz			30		dBm	
2400 MHz			28		dBm	
3500 MHz			27		dBm	
5800 MHz			25		dBm	

仕様

表 1. トランスミッタ (Tx1 および Tx2)

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
CARRIER LEAKAGE WITH INITIALIZATION CALIBRATION ONLY						
Wideband						LO リーク・トラッキング・キャリブレーションが無効、0dB のトランスミッタ減衰、減衰に伴い dB 単位でスケールリング、入力トーン・バックオフ = 6dBFS
50 MHz			-68		dBm	
470 MHz			-65		dBm	
900 MHz			-67		dBm	
2400 MHz			-68		dBm	
3500 MHz			-62		dBm	
5800 MHz			-56		dBm	
Narrow-Band						
30 MHz			-70		dBm	
470 MHz			-72		dBm	
900 MHz			-74		dBm	
2400 MHz			-71		dBm	
3500 MHz			-71		dBm	
5800 MHz			-58		dBm	

¹ dBFS は、所定の RF 減衰設定での連続波出力信号に対する、実際の出力信号と可能な最大出力レベルの比です。

² 連続波は、単一周波数の信号です。

³ 直交誤差補正 (QEC) は、対象とする信号の直交イメージを最小限に抑えるシステムです。

レシーバー仕様

表 2. レシーバー (Rx1A、Rx1B、Rx2A、Rx2B)

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
CENTER FREQUENCY		30		6000	MHz	
MAXIMUM GAIN						
Wideband						高性能レシーバーADC、0dB 減衰、5.6MHz ベースバンド周波数
50 MHz			21			
470 MHz			22			
900 MHz			22			
2400 MHz			22			
3500 MHz			21			
5800 MHz			21			
Narrow-Band						高性能レシーバーADC、0dB 減衰、2.1kHz ベースバンド周波数
30 MHz			21		dB	
470 MHz			22		dB	
900 MHz			22		dB	
2400 MHz			22		dB	
3500 MHz			21		dB	
5800 MHz			21		dB	
ATTENUATION RANGE FROM MAXIMUM GAIN			34		dB	
Attenuation Accuracy						
Gain Step			0.5		dB	減衰ステップ : 0dB~30dB
			1.0		dB	減衰ステップ : 30dB~34dB

仕様

表 2. レシーバー (Rx1A、Rx1B、Rx2A、Rx2B)

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
Gain Step Error			0.1		dB	減衰ステップ: 0dB~30dB、LO: 30MHz~3GHz
			0.2		dB	減衰ステップ: 0dB~30dB、LO: 3GHz~6GHz
			0.1		dB	減衰ステップ: 30dB~34dB
FREQUENCY RESPONSE						
Peak-to-Peak Gain Deviation			1		dB	40MHz 帯域幅、デジタル補償を含む
Peak-to-Peak Gain Deviation			0.2		dB	任意の 10MHz スパン、デジタル補償を含む
RECEIVER BANDWIDTH		0.012		40	MHz	ゼロ IF モード、アナログ・ローパス・フィルタ (LPF) 帯域幅は最小 5MHz、プログラマブル FIR (有限インパルス応答) フィルタ帯域幅は全範囲で構成設定可能
RECEIVER ALIAS BAND REJECTION		80			dB	この性能はデジタル・フィルタにより実現
CONTINUOUS WAVE FULL-SCALE INPUT POWER ¹	FSIP		-11.4		dBm	この連続波信号レベルは、ADC 出力に 0dBFS をもたらす最大ゲインでの入力電力に対応。このレベルは減衰に伴い dB 単位で増加。-2dBFS 以上のバックオフが必要
INPUT IMPEDANCE			100		Ω	差動、詳細については ADRV9001 システム開発ユーザ・ガイドを参照
INPUT PORT RETURN LOSS						バランをボード上に配置して測定したシングルエンドのリターン損失
30 MHz			20		dB	
470 MHz			21		dB	
900 MHz			20		dB	
2400 MHz			22		dB	
3500 MHz			9		dB	
5800 MHz			10		dB	
NOISE FIGURE	NF _{WB}					
Wideband						
50 MHz			11.6		dB	高性能レシーバーADC、被験デバイス (DUT) のレシーバー・ポートで 0dB の減衰、統合帯域幅: 8MHz~9MHz
470 MHz			10.6		dB	
900 MHz			10.5		dB	
2400 MHz			11.4		dB	
3500 MHz			12.5		dB	
5800 MHz			12.6		dB	
NOISE FIGURE						
Wideband						
50 MHz			13.1		dB	ロー・パワー・レシーバーADC、DUT のレシーバー・ポートで 0dB の減衰、統合帯域幅: 8MHz~9MHz
470 MHz			11.9		dB	
900 MHz			12.0		dB	
2400 MHz			12.6		dB	
3500 MHz			13.6		dB	
5800 MHz			13.9		dB	
NOISE FIGURE	NF _{NB}					
Narrow-Band						
30 MHz			13.8		dB	高性能レシーバーADC、被験デバイス (DUT) のレシーバー・ポートで 0dB の減衰、統合帯域幅: 4kHz~8kHz、18dB のインターフェース・ゲイン、中間周波数 (IF) = 490kHz
470 MHz			11.8		dB	
900 MHz			11.8		dB	
2400 MHz			12.3		dB	
3500 MHz			14.2		dB	
5800 MHz			15.1		dB	

仕様

表 2. レシーバー (Rx1A、Rx1B、Rx2A、Rx2B)

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
NOISE FIGURE						
Narrow-Band						
30 MHz			16.7		dB	ロー・パワー・レシーバーADC、DUTのレシーバー・ポートで0dBの減衰、統合帯域幅：4kHz～8kHz、18dBのインターフェース・ゲイン、IF = 490kHz
470 MHz			14.8		dB	
900 MHz			15.1		dB	
2400 MHz			15.6		dB	
3500 MHz			17.0		dB	
5800 MHz			17.5		dB	
SECOND-ORDER INPUT INTERMODULATION INTERCEPT POINT						
Wideband	IIP2 _{WB}					高性能レシーバーADC、0dBのレシーバー減衰、トランスインピーダンス・アンプ (TIA) の1dBカットオフ周波数 (f_{1dB}) = 20MHz、17MHzおよび18MHzの2つの連続波トーン、LO = 50MHzの場合のトーン出力電力：-11.6dBFS/トーン、その他のLOのトーン出力電力：-8.1dBFS/トーン
50 MHz			79		dBm	
470 MHz			81		dBm	
900 MHz			85		dBm	
2400 MHz			73		dBm	
3500 MHz			60		dBm	
5800 MHz			60		dBm	
SECOND-ORDER INPUT INTERMODULATION INTERCEPT POINT						
Wideband	IIP2 _{WB}					ロー・パワー・レシーバーADC、0dBのレシーバー減衰、TIAの f_{1dB} = 20MHz、17MHzおよび18MHzの2つの連続波トーン、LO = 50MHzの場合のトーン出力電力：-11.6dBFS/トーン、その他のLOのトーン出力電力：-8.1dBFS/トーン
50 MHz			70		dBm	
470 MHz			74		dBm	
900 MHz			72		dBm	
2400 MHz			65		dBm	
3500 MHz			59		dBm	
5800 MHz			60		dBm	
THIRD-ORDER INPUT INTERMODULATION INTERCEPT POINT, DIFFERENCE PRODUCT						
Wideband	IIP3 _{WB}					高性能レシーバーADC、0dBのレシーバー減衰、TIAの f_{1dB} = 20MHz、17MHzおよび18MHzの2つの連続波トーン、LO = 50MHzの場合のトーン出力電力：-11.6dBFS/トーン、その他のLOのトーン出力電力：-8.1dBFS/トーン
50 MHz			22		dBm	
470 MHz			26		dBm	
900 MHz			27		dBm	
2400 MHz			28		dBm	
3500 MHz			26		dBm	
5800 MHz			25		dBm	

仕様

表 2. レシーバー (Rx1A, Rx1B, Rx2A, Rx2B)

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
THIRD-ORDER INPUT INTERMODULATION INTERCEPT POINT, DIFFERENCE PRODUCT Wideband	IIP3 _{WB}					ロー・パワー・レシーバーADC、0dB のレシーバー減衰、TIA の $f_{idB} = 20\text{MHz}$ 、17MHz および 18MHz の 2 つの連続波トーン、LO = 50MHz の場合のトーン出力電力: -11.6dBFS/トーン、その他の LO のトーン出力電力: -8.1dBFS/トーン
50 MHz			21		dBm	
470 MHz			22		dBm	
900 MHz			22		dBm	
2400 MHz			21		dBm	
3500 MHz			23		dBm	
5800 MHz			20		dBm	
THIRD-ORDER HARMONIC DISTORTION Wideband	HD3 _{WB}					高性能レシーバーADC、Rx 入力ポートでの最大ゲイン時の 5.6MHz における -20dBm の入力電力の連続波トーン、TIA の $f_{idB} = 20\text{MHz}$ 、16.8MHz での HD3 積
50 MHz			-84		dBc	
470 MHz			-74		dBc	
900 MHz			-82		dBc	
2400 MHz			-92		dBc	
3500 MHz			-93		dBc	
5800 MHz			-89		dBc	
Narrow-Band	HD3 _{NB}					高性能レシーバーADC、Rx 入力ポートでの最大ゲイン時の 2.1kHz における -20dBm の入力電力の連続波トーン、TIA の $f_{idB} = 2\text{MHz}$ 、6.3kHz での HD3 積
30 MHz			-102		dBc	
470 MHz			-97		dBc	
900 MHz			-89		dBc	
2400 MHz			-79		dBc	
3500 MHz			-80		dBc	
5800 MHz			-72		dBc	
THIRD-ORDER HARMONIC DISTORTION Wideband	HD3 _{WB}					ロー・パワー・レシーバーADC、最大ゲイン時の 5.6MHz における -20dBm の入力電力の連続波トーン、TIA の $f_{idB} = 20\text{MHz}$ 、16.8MHz での HD3 積
50 MHz			-90		dBc	
470 MHz			-71		dBc	
900 MHz			-79		dBc	
2400 MHz			-81		dBc	
3500 MHz			-82		dBc	
5800 MHz			-84		dBc	
Narrow-Band	HD3 _{NB}					ロー・パワー・レシーバーADC、最大ゲイン時の 2.1kHz における -20dBm の入力電力の連続波トーン、TIA の $f_{idB} = 2\text{MHz}$ 、6.3kHz での HD3 積
30 MHz			-108		dBc	
470 MHz			-95		dBc	
900 MHz			-89		dBc	
2400 MHz			-81		dBc	
3500 MHz			-80		dBc	
5800 MHz			-71		dBc	

仕様

表 2. レシーバー (Rx1A, Rx1B, Rx2A, Rx2B)

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
SECOND-ORDER HARMONIC DISTORTION						
Wideband	HD2 _{WB}					高性能レシーバーADC、Rx 入力ポートでの最大ゲイン時の 5.6MHz における -20dBm の入力パワーの連続波トーン、TIA の $f_{1dB} = 20\text{MHz}$ 、11.2MHz での HD2 積
50 MHz			-91		dBc	
470 MHz			-93		dBc	
900 MHz			-93		dBc	
2400 MHz			-89		dBc	
3500 MHz			-83		dBc	
5800 MHz			-82		dBc	
Narrow-Band	HD2 _{NB}					高性能レシーバーADC、Rx 入力ポートでの最大ゲイン時の 2.1kHz における -20dBm の入力パワーの連続波トーン、TIA の $f_{1dB} = 2\text{MHz}$ 、4.2kHz での HD2 積
30 MHz			-102		dBc	
470 MHz			-96		dBc	
900 MHz			-90		dBc	
2400 MHz			-79		dBc	
3500 MHz			-80		dBc	
5800 MHz			-71		dBc	
SECOND-ORDER HARMONIC DISTORTION						
Wideband	HD2 _{WB}					ロー・パワー・レシーバーADC、最大ゲイン時の 5.6MHz における -20dBm の入力パワーの連続波トーン、TIA の $f_{1dB} = 20\text{MHz}$ 、11.2MHz での HD2 積
50 MHz			-92		dBc	
470 MHz			-92		dBc	
900 MHz			-91		dBc	
2400 MHz			-89		dBc	
3500 MHz			-84		dBc	
5800 MHz			-79		dBc	
Narrow-Band	HD2 _{NB}					ロー・パワー・レシーバーADC、最大ゲイン時の 2.1kHz における -20dBm の入力パワーの連続波トーン、TIA の $f_{1dB} = 2\text{MHz}$ 、4.2kHz での HD2 積
30 MHz			-109		dBc	
470 MHz			-94		dBc	
900 MHz			-90		dBc	
2400 MHz			-81		dBc	
3500 MHz			-80		dBc	
5800 MHz			-70		dBc	
IMAGE REJECTION WITH INITIALIZATION CALIBRATION AND HARDWARE TRACKING ONLY						
Wideband						高性能レシーバーADC、ソフトウェア QEC はディスエーブル、40MHz レシーバー帯域幅、最大レシーバー・ゲイン指数、5.6MHz における -20dBm の入力パワーの連続波トーン
50 MHz			84		dBc	
470 MHz			83		dBc	
900 MHz			82		dBc	
2400 MHz			81		dBc	
3500 MHz			82		dBc	

仕様

表 2. レシーバー (Rx1A、Rx1B、Rx2A、Rx2B)

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
5800 MHz			78		dBc	
IMAGE REJECTION WITH INITIALIZATION CALIBRATION AND HARDWARE TRACKING ONLY Wideband						ロー・パワー・レシーバーADC、ソフトウェア QEC はディスエーブル、40MHz のレシーバー帯域幅、最 大レシーバー・ゲイン指数、5.6MHz における -20dBm の入力電力の連続波トーン
50 MHz			87		dBc	
470 MHz			90		dBc	
900 MHz			86		dBc	
2400 MHz			84		dBc	
3500 MHz			82		dBc	
5800 MHz			75		dBc	
RECEIVER INPUT LO LEAKAGE AT MAXIMUM GAIN						リークは最初の 12dB では減衰に伴い dB 単位で減少
50 MHz			-66		dBm	
470 MHz			-66		dBm	
900 MHz			-66		dBm	
2400 MHz			-66		dBm	
3500 MHz			-62		dBm	
5800 MHz			-60		dBm	
SIGNAL ISOLATION						
Tx1 to Rx1A or Rx1B Signal Isolation and Tx2 to Rx2A or Rx2B Signal Isolation						Tx と Rx のポート間の絶縁、絶縁は Rx ゲインに伴い dB 単位で変化
30 MHz			100		dB	
470 MHz			85		dB	
900 MHz			78		dB	
2400 MHz			77		dB	
3500 MHz			62		dB	
5800 MHz			64		dB	
Tx1 to Rx2A or Rx2B Isolation and Tx2 to Rx1A or Rx2B Signal Isolation						Tx と Rx のポート間の絶縁、絶縁は Rx ゲインに伴い dB 単位で変化
30 MHz			120		dB	
470 MHz			110		dB	
900 MHz			100		dB	
2400 MHz			90		dB	
3500 MHz			74		dB	
5800 MHz			81		dB	
Rx1A or Rx1B to Rx2A or Rx2B Signal Isolation						
30 MHz			106		dB	
470 MHz			103		dB	
900 MHz			98		dB	
2400 MHz			92		dB	
3500 MHz			83		dB	
5800 MHz			71		dB	
Rx1A to Rx1B and Rx2A to Rx2B Signal Isolation						
30 MHz			99		dB	

仕様

表 2. レシーバー (Rx1A、Rx1B、Rx2A、Rx2B)

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
470 MHz			97		dB	
900 MHz			90		dB	
2400 MHz			86		dB	
3500 MHz			84		dB	
5800 MHz			70		dB	

¹ 連続時間型 Σ - Δ ADC の性質により、入力信号電力の制限はデジタル出力では 0dBFS に一致しません。パイプライン ADC のハード・クリッピング特性とは異なり、これらのコンバータは、入力が最大レベルに近づくときソフト・オーバーロードの動作を示します。

内部 LO、外部 LO、デバイス・クロック

表 3.

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
LO						
Frequency Step			4.5		Hz	38.4 MHz の DEV_CLK については、DEV_CLK/2 ²³ - 15 の式を用いて計算
Reference Spurs			-80		dBc	LO < 1GHz、PLL 帯域幅 = 300kHz
LO WITH HIGH PERFORMANCE MODE						
Integrated Phase Noise						100Hz~50MHz を積分
30 MHz LO			0.008		°rms	PLL 帯域幅 = 300kHz
470 MHz LO			0.04		°rms	PLL 帯域幅 = 300kHz
900 MHz LO			0.08		°rms	PLL 帯域幅 = 300kHz
2400 MHz LO			0.22		°rms	PLL 帯域幅 = 300kHz
3500 MHz LO			0.27		°rms	PLL 帯域幅 = 300kHz
5800 MHz LO			0.6		°rms	PLL 帯域幅 = 300kHz
Phase Noise						DEV_CLK = 38.4MHz、代表的な性能
30 MHz LO			See Figure 292		°rms	PLL 帯域幅 = 300kHz
470 MHz LO			See Figure 293		°rms	PLL 帯域幅 = 300kHz
900 MHz LO			See Figure 294		°rms	PLL 帯域幅 = 300kHz
2400 MHz LO			See Figure 295		°rms	PLL 帯域幅 = 300kHz
3500 MHz LO			See Figure 296		°rms	PLL 帯域幅 = 300kHz
5800 MHz LO			See Figure 297		°rms	PLL 帯域幅 = 300kHz
LO PHASE SYNCHRONIZATION						
Initial Phase Synchronization Accuracy			3		Degrees	
EXTERNAL LO INPUT						
Input Frequency						入力周波数は LO 周波数 (f _{LO}) の必要周波数の 2 倍以上であることが必要、500MHz~1GHz の LO 範囲では 1 通倍器が使用可能
	f _{EXTLO}	60		12000	MHz	
Input Signal Power		-6	0	+6	dBm	ソースで 50Ω 整合
Input Signal Differential Phase Balance				20	Degrees	適切な直交誤差補正を確保するには 20° を超えないこと
Input Signal Differential Amplitude Balance				1	dB	
Input Signal Duty Cycle				2.5	%	
Input Impedance				100	Ω	差動、詳細については ADRV9001 システム開発ユーザ・ガイドを参照

仕様

表 3.

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
REFERENCE CLOCK (DEV_CLK_IN SIGNAL)						
Differential mode						
Frequency Range		10		1000	MHz	ACカップリング。最適なスプリアス性能を実現して仕様規定された PLL 性能パラメータの要求を満たすために、1V p-p (2V p-p 差動) の入力クロックを使用。
Signal Level		0.2		1	V p-p	
Single-Ended Mode						
Frequency Range		10		80	MHz	ACカップリング。最適なスプリアス性能を実現して仕様規定された PLL 性能パラメータの要求を満たすために、1V p-p の入力クロックを使用。
Signal Level		0.2		1	V p-p	
REFERENCE CLOCK (XTAL)						
Frequency Range		20		80	MHz	
CLOCK OUTPUT (DEV_CLK_OUT SIGNAL)						
Frequency Range		10		80	MHz	

デジタル・インターフェースおよび補助コンバータ

表 4.

パラメータ	Min	Typ	Max	Unit	テスト条件/コメント
AUXILIARY ADC CONVERTERS					
Resolution		10		Bits	
Input Voltage					
Minimum		0.05		V	
Maximum		0.95		V	
AUXILIARY DAC CONVERTERS					
Resolution		12		Bits	
Output Voltage					
Minimum		0.05		V	
Maximum		$V_{DDA_1P8} - 0.05$		V	
Drive Capability		10		mA	
DIGITAL SPECIFICATIONS (CMOS SSI SIGNALS)					
Logic Inputs					
Input Voltage					
High Level	$V_{DIGIO_1P8} \times 0.65$		$V_{DIGIO_1P8} + 0.18$	V	
Low Level	-0.30		$V_{DIGIO_1P8} \times 0.35$	V	
Logic Outputs					
Output Voltage					
High Level	$V_{DIGIO_1P8} - 0.45$			V	
Low Level			0.45	V	
Drive Capability		10		mA	

仕様

表 4.

パラメータ	Min	Typ	Max	Unit	テスト条件/コメント
DIGITAL SPECIFICATIONS (DIGITAL GPIO SIGNALS)					
Logic Inputs					
Input Voltage					
High Level	$V_{DIGIO_IP8} \times 0.65$		$V_{DIGIO_IP8} + 0.18$	V	
Low Level	-0.30		$V_{DIGIO_IP8} \times 0.35$	V	
Logic Outputs					
Output Voltage					
High Level	$V_{DIGIO_IP8} - 0.45$			V	
Low Level			0.45	V	
Drive Capability		10		mA	
DATAPORT SPECIFICATIONS (LVDS SSI, MCS+ and MCS-)					
Logic Inputs					
Input Voltage Range					
	825		1675	mV	ペアの各差動入力
Input Differential Voltage Threshold					
	-100		+100	mV	
Receiver Differential Input Impedance					
		100		Ω	内部終端をイネーブル
Logic Outputs					
Output Voltage					
High Level			1390	mV	
Low Level	1000			mV	
Differential Offset		300		mV	
		1200		mV	
			17	mA	ドライバはグラウンドに短絡、使用可能な内部終端はなし、オフチップの 100 Ω 終端が必要
Output Current			4.1	mA	ドライバは一緒に短絡
Clock Signal Duty Cycle	45	50	55	%	500MHz
Output Rise and Fall Time		0.371		ns	300mV p-p 振幅
DIGITAL SPECIFICATIONS (ANALOG GPIO SIGNALS)					
Logic Inputs					
Logic Inputs					
Input Voltage					
High Level	$V_{DDA_IP8} \times 0.65$		$V_{DDA_IP8} + 0.18$	V	
Low Level	-0.30		$V_{DDA_IP8} \times 0.35$	V	
Logic Outputs					
Output Voltage					
High Level	$V_{DDA_IP8} - 0.45$			V	
Low Level			0.45	V	
Drive Capability		10		mA	

¹ VDDA_IP8 は、VCONV_IP8、VAGPIO_IP8、VANA2_IP8、VANA1_IP8 を含むすべての 1.8V アナログ電源を指します。

仕様

電源仕様

表 5.

Parameter	Min	Typ	Max	Unit
SUPPLY CHARACTERISTICS				
VDDA_1P0 ¹ Analog Supplies	0.975	1.0	1.025	V
VDD_1P0 ² Digital Supply	0.95	1.0	1.05	V
VDDA_1P3 ³ Analog Supplies	1.267	1.3	1.33	V
VDDA_1P8 Analog Supplies	1.71	1.8	1.89	V
VDD_1P8 ⁴ Digital Supply	1.71	1.8	1.89	V

¹ VDDA_1P0 は、内部低ドロップアウト (LDO) レギュレータをバイパスして動作するすべての 1.0V アナログ電源を指します。内部 LDO レギュレータをバイパスできるパワー・ドメインには VRFLO2_1P0、VRFLO1_1P0、VRX2LO_1P3、VRX1LO_1P3、VTX2LO_1P3、VCONV_1P3、VTX1LO_1P3 などがあります。

² VDD_1P0 は、VDIG_1P0 を含むすべての 1.0V デジタル電源を指します。

³ VDDA_1P3 は、VRFVCO2_1P3、VRFVCO1_1P3、VANA2_1P3、VANA1_1P3、VRX2LO_1P3、VCLKSYN_1P3、VRFSYN2_1P3、VRFSYN1_1P3、VAUXSYN_1P3、VRX1LO_1P3、VTX2LO_1P3、VCLKVCO_1P3、VAUXVCO_1P3、VTX1LO_1P3、VCONV_1P3 を含むすべての 1.3V アナログ電源を指します。

⁴ VDD_1P8 は、VDIGIO_1P8 を含むすべての 1.8V デジタル電源を指します。

消費電流の推定値 (代表値)

表 6~表 11 では、VDDA_1P0 1.0V 外部パワー・ドメインは使用していません。以下に記載のすべてのモードにおいて、ADRV9002 は、オンチップの 1.0V アナログ・パワー・ドメインを生成するために内部 LDO レギュレータを使用して動作しています。

スリープ・モード

表 6. デジタル・モバイル無線 (DMR) CMOS SSI

ADRV9002 Mode Conditions	Supply (mA)					Total Average Power (W)
	VDDA_1P0 Analog Supplies	VDD_1P0 Digital Supply	VDDA_1P3 Analog Supplies	VDDA_1P8 Analog Supplies	VDD_1P8 Digital Supply	
Receiver, Transmitter, Clock PLL, and LDO Regulator Powered Down, Internal Microprocessor Active, CMOS SSI Interface Off, DEV_CLK_OUT Off, and Auxiliary DACs Off	Not used	18.9	8.2	9.7	1.3	0.049
Receiver, Transmitter, Clock PLL, LDO Regulator, and Internal Microprocessor Powered Down, CMOS SSI Interface Off, DEV_CLK_OUT Off, and Auxiliary DACs Off	Not used	2.3	6.9	9.7	1.3	0.031

表 7. ロングターム・エボリューション (LTE) デュアル・トランスミッタおよびデュアル・レシーバー-LVDS SSI

ADRV9002 Mode Conditions	Supply (mA)					Total Average Power (W)
	VDDA_1P0 Analog Supplies	VDD_1P0 Digital Supply	VDDA_1P3 Analog Supplies	VDDA_1P8 Analog Supplies	VDD_1P8 Digital Supply	
Receiver, Transmitter, Clock PLL, and LDO Regulator Powered Down, Internal Microprocessor Active, LVDS SSI Interface Off, DEV_CLK_OUT Off, and Auxiliary DACs Off	Not used	24.6	12.4	11.3	1.3	0.066
Receiver, Transmitter, Clock PLL, LDO Regulator, and Internal Microprocessor Powered Down, LVDS SSI Interface Off, DEV_CLK_OUT Off, and Auxiliary DACs Off	Not used	2.3	10.3	10.6	1.3	0.037

仕様

TDD の動作

表 8. DMR、4 個の外部 LO、LO = 470MHz、低消費電力モード・クロック PLL、プロセッサ・クロック分周器 = 4、CMOS SSI

ADRV9002 Mode Conditions	Supply (mA)					Total Average Power (W)
	VDDA_1P0 Analog Supplies	VDD_1P0 Digital Supply	VDDA_1P3 Analog Supplies	VDDA_1P8 Analog Supplies	VDD_1P8 Digital Supply	
1 × Receiver Low Power ADC, Low IF, 12.5 kHz Receiver Bandwidth, 24 kSPS Data Rate, Receiver QEC Enabled, QEC Engine Active, and Transmitter Powered Down	Not used	92	171	26	3	0.367
1 × Transmitter RF Attenuation = 0 dB, Full-Scale Continuous Wave 12.5 kHz Transmitter Bandwidth, 96 kSPS Data Rate, Direct Modulation (DM) Mode, Transmitter QEC Disabled, QEC Engine Inactive, and Receiver Powered Down	Not used	62	257	100	3	0.582
1 × Transmitter RF Attenuation = 6 dB, Full-Scale Continuous Wave 12.5 kHz Transmitter Bandwidth, 96 kSPS Data Rate, DM Mode, Transmitter QEC Disabled, QEC Engine Inactive, and Receiver Powered Down	Not used	62	257	58	3	0.506

表 9. LTE40、2 トランスミッタ 2 レシーバー (2T2R)、LO = 2.5GHz、高性能クロック PLL、LVDS SSI

ADRV9002 Mode Conditions	Supply (mA)					Total Average Power (W)
	VDDA_1P0 Analog Supplies	VDD_1P0 Digital Supply	VDDA_1P3 Analog Supplies	VDDA_1P8 Analog Supplies	VDD_1P8 Digital Supply	
2 × Receiver Low Power ADC Low Rate, 40 MHz Receiver Bandwidth, 61.44 MSPS Data Rate, Receiver QEC Enabled, QEC Engine Active, and Transmitter in Primed State	Not used	446	546	64	53	1.366
2 × Transmitter RF Attenuation = 0 dB, Full-Scale Continuous Wave 40 MHz Transmitter Bandwidth, 61.44 MSPS Data Rate, Transmitter QEC Disabled, QEC Engine Inactive, and Receiver in Primed State	Not used	225	701	276	52	1.727
2 × Transmitter RF Attenuation = 10 dB, Full-Scale Continuous Wave 40 MHz Transmitter Bandwidth, 61.44 MSPS Data Rate, Transmitter QEC Disabled, QEC Engine Inactive, and Receiver in Primed State	Not used	225	701	120	52	1.446
2 × Transmitter RF Attenuation = 0 dB, Full-Scale Continuous Wave 40 MHz Transmitter Bandwidth, 61.44 MSPS Data Rate, Transmitter QEC Disabled, QEC Engine Active, Receiver in Primed State, Transmitter QEC Tracking Always On, Observation Receiver Continuously On, and Transmitter Tracking Duty Cycled (Practical Scenario)	Not used	397	1136	296	52	2.500
2 × Transmitter RF Attenuation = 10 dB, Full-Scale Continuous Wave 40 MHz Transmitter Bandwidth, 61.44 MSPS Data Rate, Transmitter QEC Enabled, QEC Engine Active, Receiver in Primed State, Transmitter QEC Tracking Always On, Observation Receiver Continuously On, and Transmitter Tracking Duty Cycled (Practical Scenario)	Not used	395	1126	144	52	2.212

表 10. LTE40、1 トランスミッタ 1 レシーバー (1T1R)、LO = 2.5GHz、高性能クロック PLL、LVDS SSI

ADRV9002 Mode Conditions	Supply (mA)					Total Average Power (W)
	VDDA_1P0 Analog Supplies	VDD_1P0 Digital Supply	VDDA_1P3 Analog Supplies	VDDA_1P8 Analog Supplies	VDD_1P8 Digital Supply	
1 × Receiver Low Power ADC Low Rate, 40 MHz Receiver Bandwidth, 61.44 MSPS Data Rate, Receiver QEC Enabled, QEC Engine Active, and Transmitter in Primed State	Not used	258	406	39	28	0.906

仕様

表 10. LTE40、1トランスミッタ1レシーバー（1T1R）、LO = 2.5GHz、高性能クロック PLL、LVDS SSI

ADRV9002 Mode Conditions	Supply (mA)					Total Average Power (W)
	VDDA_1P0 Analog Supplies	VDD_1P0 Digital Supply	VDDA_1P3 Analog Supplies	VDDA_1P8 Analog Supplies	VDD_1P8 Digital Supply	
1 × Transmitter RF Attenuation = 0 dB, Full-Scale Continuous Wave 40 MHz Transmitter Bandwidth, 61.44 MSPS Data Rate, Transmitter QEC Disabled, QEC Engine Inactive, and Receiver in Primed State	Not used	140	486	143	28	1.080
1 × Transmitter RF Attenuation = 10 dB, Full-Scale Continuous Wave 40 MHz Transmitter Bandwidth, 61.44 MSPS Data Rate, Transmitter QEC Disabled, QEC Engine Inactive, and Receiver in Primed State	Not used	141	486	66	28	0.942
1 × Transmitter RF Attenuation = 0 dB, Full-Scale Continuous Wave 40 MHz Transmitter Bandwidth, 61.44 MSPS Data Rate, Transmitter QEC Enabled, QEC Engine Active, Receiver in Primed State, Transmitter QEC Tracking Always On, Observation Receiver Continuously On, and Transmitter Tracking is Duty Cycled (Practical Scenario)	Not used	232	754	156	28	1.543
1 × Transmitter RF Attenuation = 10 dB, Full-Scale Continuous Wave 40 MHz Transmitter Bandwidth, 61.44 MSPS Data Rate, Transmitter QEC Enabled, QEC Engine Active, Receiver in Primed State, Transmitter QEC Tracking Always On, Observation Receiver Continuously On, and Transmitter Tracking is Duty Cycled (Practical Scenario)	Not used	231	755	79	28	1.405

FDD の動作

送信チャンネルはイネーブル、40MHzのトランスミッタ帯域幅、61.44MSPSのデータ・レート、トランスミッタの内部 LO = 2.4GHz、送信 QEC はディスエーブル、QEC エンジンは停止、LVDS SSI。受信チャンネルはイネーブル、40MHzのレシーバー帯域幅、61.44MSPSのデータ・レート、レシーバーの内部 LO = 2.5GHz、高性能クロック PLL、高性能レシーバーの ADC は低レート、受信 QEC はディスエーブル、QEC エンジンは動作。低消費電力 ADC を使用すると、レシーバー・チャンネルあたり約 110mW だけ消費電力が減少します。補助 DAC または補助 ADC はイネーブルされていません。

表 11. FDD モード

ADRV9002 Mode Conditions	Supply (mA)					Total Average Power (W)
	VDDA_1P0 Analog Supplies	VDD_1P0 Digital Supply	VDDA_1P3 Analog Supplies	VDDA_1P8 Analog Supplies	VDD_1P8 Digital Supply	
1 × Receiver, 1 × Transmitter RF Attenuation = 0 dB, Full-Scale Continuous Wave	Not used	298	835	179	28	1.756
1 × Receiver, 1 × Transmitter RF Attenuation = 10 dB, Full-Scale Continuous Wave	Not used	298	835	103	28	1.619
2 × Receiver, 2 × Transmitter RF Attenuation = 0 dB, Full-Scale Continuous Wave	Not used	507	1234	344	53	2.826
2 × Receiver, 2 × Transmitter RF Attenuation = 10 dB, Full-Scale Continuous Wave	Not used	507	1234	190	53	2.549

タイミング仕様

表 12.

パラメータ	Min	Typ	Max	Unit	テスト条件/コメント
SERIAL PERIPHERAL INTERFACE (SPI) TIMING					
tCP	28			ns	SPI_CLK 周期、3 線モード
tCP	22			ns	SPI_CLK 周期、4 線モード
tCP	10			ns	SPI_CLK パルス幅
tCP	3			ns	SPI_EN セットアップから最初の SPI_CLK 立上がりエッジまで

仕様

表 12.

パラメータ	Min	Typ	Max	Unit	テスト条件/コメント
tHC	0			ns	最後の SPI_CLK 立下がりエッジから SPI_EN ホールドまで
tS	2			ns	SPI_DIO データ入力のセットアップから SPI_CLK まで
tH	0			ns	SPI_DIO データ入力のホールドから SPI_CLK まで
tCO	3		15	ns	SPI_CLK 立下がりエッジから出力データまでの遅延 (3 線モード)
	3		10	ns	SPI_CLK 立下がりエッジから出力データまでの遅延 (4 線モード)
tHZM	tH		tCO	ns	ベースバンド・プロセッサが最終アドレス・ビットを駆動した後のバス・ターンアラウンド時間
tHZS	0		tCO	ns	ADRV9002 が最終アドレス・ビットを駆動した後のバス・ターンアラウンド時間 (図 2 には図示せず)
DIGITAL TIMING ¹					
TX1_ENABLE or TX2_ENABLE Pulse Width	10			μs	
RX1_ENABLE or RX2_ENABLE Pulse Width	10			μs	
TX1_ENABLE or TX2_ENABLE Valid Data		2		μs	
RX1_ENABLE or RX2_ENABLE Valid Data		2		μs	
DIGITAL DATA TIMING (LVDS SSI)					
TXx_DCLK_IN±, RXx_DCLK_OUT± and TXx_DCLK_OUT± Clock Period	2			ns	ゼロのオンチップ・レーン・スキューとレーンごとに使用可能な±300ps の調整可能遅延
TXx_DCLK_IN±, RXx_DCLK_OUT± and TXx_DCLK_OUT± Pulse Width	1			ns	500MHz
Transmitter Data					
TXx_IDATA_IN± or TXx_QDATA_IN or TXx_STROBE_IN± Setup to TXx_DCLK_IN±	0.25			ns	
TXx_IDATA_IN± or TXx_QDATA_IN± or TXx_STROBE_IN± Hold to TXx_DCLK_IN±	0.55			ns	
Receiver Data					
RXx_DCLK_OUT± to RXx_IDATA_OUT± or RXx_QDATA_OUT± or RXx_STROBE_OUT± Delay			0.2	ns	DC カップリング
DIGITAL DATA TIMING (CMOS-SSI)					
TXx_DCLK_IN±, RXx_DCLK_OUT± and TXx_DCLK_OUT± Clock Period	12.5			ns	80MHz
TXx_DCLK_IN±, RXx_DCLK_OUT± and TXx_DCLK_OUT± Pulse Width	6.25			ns	
Transmitter Data					
TXx_DATA_IN± or TXx_STROBE_IN± Setup to TXx_DCLK_IN±	2			ns	
TXx_DATA_IN± or TXx_STROBE_IN± Hold to TXx_DCLK_IN±	2			ns	
Receiver Data					
RXx_DCLK_OUT± to RXx_DATA_OUT± or RXx_STROBE_OUT± Delay			4.5	ns	DC カップリング
MULTICHIP SYNCHRONIZATION (MCS) TIMING					
LVDS Setup			0.62	ns	
LVDS Hold			0	ns	
CMOS Setup			1	ns	
CMOS Hold			3	ns	

¹ TX1_ENABLE、TX2_ENABLE、RX1_ENABLE、RX2_ENABLE は、チャンネルのイネーブル/ディスエーブル信号です。

仕様

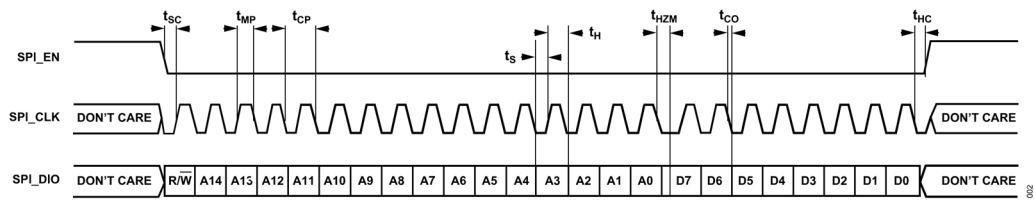


図 2. パラメータのラベルを付した 3 線式 SPI タイミング (SPI 読出し)

絶対最大定格

表 13.

Parameter	Rating
VDDA_IP0 to VSSA	-0.2 V to +1.2 V
VDDA_IP3 to VSSA	-0.2 V to +1.5 V
VDDA_IP8 to VSSA	-0.3 V to +2.2 V
VDD_IP0 to VSSD	-0.2 V to +1.2 V
Input Current to Any Pin Except Supplies	±10 mA
Maximum Input Power into RF Ports	See Table 14 for limits vs. survival time
Junction Temperature Range	-40°C to +110°C
Storage Temperature Range	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

表 14. RF ポートへの最大入力電力と寿命の関係

RF Port Input Power, Continuous Wave Signal (dBm)	Lifetime	
	30 dB of Attenuation from Maximum Gain	0 dB of Attenuation from Maximum Gain
7	>10 years	>10 years
10	>10 years	20000 hours
20	>10 years	14 hours
23	>10 years	110 minutes
25	>7 years	60 minutes

リフロー・プロファイル

ADRV9002 のリフロー・プロファイルは、鉛フリー・デバイスに関する JEDEC JESD20 の基準に従っています。最大リフロー温度は 260°C です。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

(特に指定のない限り) 表 15 に仕様規定されている熱抵抗値は、JEDEC 仕様に基ついて計算されており、JESD51-12 に従って使用します。放熱強化技術 (PCB、ヒートシンク、空気流など) を使用すると、熱抵抗が改善されます。

θ_{JA} は最も厳しい条件、すなわち、回路基板に表面実装パッケージをハンダ付けした状態で仕様規定されています。

θ_{JC_TOP} はジャンクションとパッケージ・ケース上部との間の熱抵抗です。

表 15. 熱抵抗値^{1,2}

Package Type	Package Type θ_{JA} (°C/W)	θ_{JC_TOP} (°C/W)	θ_{JB} (°C/W)	Ψ_{JC} (°C/W)	Ψ_{JB} (°C/W)
BC-196-13	18.21	0.04	3.96	0.02	3.63

¹ 試験では、100µm の熱界面材料 (TIM) を使用しています。TIM は 3.6W/mK と仮定しています。

² 放熱強化技術 (PCB、ヒート・シンク、空気の流れなど) を使用し、熱抵抗を改善しています。

静電放電 (ESD) 定格

ESD に関する以下の情報は、ESD に敏感なデバイスを ESD 保護がなされた環境で取り扱う場合にのみ適用できます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル (CDM)。

ADRV9002 の ESD 定格

表 16. ADRV9002、196 ボール CSP_BGA

ESD Model	Withstand Threshold (V)	Class
HBM	2000	2
CDM	350	C1
CDM (Excluding AUXADC_2)	500	C2A

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
A	VSSA	VSSA	EXT_LO2+	EXT_LO2-	VRVFCO2_1P3	VRVFCO2_1P0	MODEA	RBIAS	VRVFCO1_1P0	VRVFCO1_1P3	EXT_LO1-	EXT_LO1+	VSSA	VSSA
B	RX2A-	VSSA	VSSA	VSSA	VSSA	VRVFCO2_1P0	AUXADC_2	AUXADC_1	VRVFCO1_1P0	VSSA	VSSA	VSSA	VSSA	RX1A-
C	RX2A+	VSSA	RX2B+	RX2B-	VSSA	VANA2_1P0	VANA2_1P3	VANA1_1P3	VANA1_1P0	VSSA	RX1B-	RX1B+	VSSA	RX1A+
D	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	MCS+	MCS-	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA
E	VRX2LO_1P0	VRX2LO_1P3	AGPIO_2	VRFSYN2_1P3	VCLKSYN_1P3	VSSA	DEV_CLK_IN+	DEV_CLK_IN-	VSSA	VAUXSYN_1P3	VRFSYN1_1P3	AGPIO_0	VRX1LO_1P3	VRX1LO_1P0
F	VSSA	VSSA	VSSA	AGPIO_4	AGPIO_3	VSSA	VSSA	VSSA	VSSA	AGPIO_1	AGPIO_10	VSSA	VSSA	VSSA
G	TX2+	VSSA	VTX2LO_1P3	AGPIO_5	VCLKVCO_1P3	AGPIO_6	VCONV_1P8	VAGPIO_1P8	AGPIO_8	VAUXVCO_1P3	AGPIO_11	VTX1LO_1P3	VSSA	TX1+
H	TX2-	VANA2_1P8	VTX2LO_1P0	AUXADC_3	VCLKVCO_1P0	AGPIO_7	VCONV_1P0	VCONV_1P3	AGPIO_9	VAUXVCO_1P0	AUXADC_0	VTX1LO_1P0	VANA1_1P8	TX1-
J	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA
K	SPI_CLK	SPI_DIO	RX2_EN	VSSA/TESTCK+	VSSA/TESTCK-	DGPIO_0	DGPIO_1	DGPIO_2	DGPIO_3	DGPIO_4	DGPIO_5	RX1_EN	RESETB	GP_INT
L	SPI_EN	SPI_DO	TX2_EN	DGPIO_6	DGPIO_7	DGPIO_8	VDIG_1P0	VDIG_1P0	DGPIO_9	DGPIO_10	DGPIO_11	TX1_EN	MODE	DEV_CLK_OUT
M	RX2_IDATA_OUT-	RX2_IDATA_OUT+	RX2_DCLK_OUT-	RX2_DCLK_OUT+	DGPIO_15/TX2_DCLK_OUT+	DGPIO_14/TX2_DCLK_OUT-	VDIGIO_1P8	VDIG_0P9	DGPIO_12/TX1_DCLK_OUT-	DGPIO_15/TX1_DCLK_OUT+	RX1_DCLK_OUT+	RX1_DCLK_OUT-	RX1_IDATA_OUT+	RX1_IDATA_OUT-
N	RX2_STROBE_OUT-	RX2_STROBE_OUT+	RX2_QDATA_OUT-	RX2_QDATA_OUT+	TX2_DCLK_IN+	TX2_DCLK_IN-	VSSD	VSSD	TX1_DCLK_IN-	TX1_DCLK_IN+	RX1_QDATA_OUT+	RX1_QDATA_OUT-	RX1_STROBE_OUT+	RX1_STROBE_OUT-
P	VSSD	TX2_STROBE_IN+	TX2_STROBE_IN-	TX2_QDATA_IN-	TX2_QDATA_IN+	TX2_IDATA_IN+	TX2_IDATA_IN-	TX1_IDATA_IN-	TX1_IDATA_IN+	TX1_QDATA_IN+	TX1_QDATA_IN-	TX1_STROBE_IN-	TX1_STROBE_IN+	VSSD

RF PORTS

ANALOG GND

DIGITAL GND

POWER 1.8V

POWER 1.3V

POWER 1.0V

DIGITAL GPIO

ANALOG GPIO

MULTIFUNCTION GPIO

SPI, ENABLES, RESET, MODE, DEV_CLK_OUT

SYNCHRONOUS SERIAL INTERFACE PORTS

AUX ADC

図 3. ピン配置

表 17. ピン機能の説明

ピン番号	タイプ	記号	説明
A1, A2, A13, A14, B2 to B5, B10 to B13, C2, C5, C10, C13, D1 to D6, D9 to D14, E6, E9, F1 to F3, F6 to F9, F12 to F14, G2, G13, J1 to J14 A3, A4	Input	VSSA	アナログ・グラウンド (V _{SSA})。
	Input	EXT_LO2+, EXT_LO2-	差動外部 LO 入力 1 (LO1)。外部 LO1 に EXT_LO2+ および EXT_LO2- を使用する場合は、入力周波数を必要キャリア周波数の 2 倍以上とする必要があります。500MHz~1GHz の LO 範囲では、1 倍の連倍器が使用できます。使用しない場合、EXT_LO2+ および EXT_LO2- は VSSA に接続します。
A5	Input	VRVFCO2_1P3	RF 外部 LO 入力 2 (LO2) の VCO と LO 生成回路用の 1.3V 内部 LDO レギュレータ入力電源。VRVFCO2_1P3 は電源ノイズに敏感です。
A6	Input and Output	VRVFCO2_1P0	RF LO2 生成回路用の 1.0V 内部電源ノード。VRVFCO2_1P3 入力で作動する内部 LDO レギュレータを使用する場合は、VRVFCO2_1P0 を VRVFCO2_1P0 に接続し、4.7µF のコンデンサでバイパスします。VRVFCO2_1P3 で動作する内部 LDO レギュレータを使用しない場合は、1.0V 電源を VRVFCO2_1P0 に接続します。
A7	Input	MODEA	MODEA を使用すると、ブート・アップ・オプションを DEV_CLK_IN± 入力および DEV_CLK_OUT 出力に設定できます。DEV_CLK_IN± ピンで差動クロック・レシーバーをイネーブルするには、MODEA を VSSA に接続します。DEV_CLK_IN+ でシングルエンド・クロック、または、DEV_CLK_IN± ピンの両方で水晶発振器を使用する場合は、MODEA をどの VSSA よりも高い電圧に接続します。

ピン配置およびピン機能の説明

表 17. ピン機能の説明

ピン番号	タイプ	記号	説明
A8	Input	RBIAS	バイアス抵抗の接続。RBIASは、外付けの1%抵抗に基づいて内部電流を生成します。RBIASとVSSA(アナログ・グラウンド)の間に、4.99kΩの抵抗を接続してください。
A9	Input and Output	VRFLO1_IP0	RF LO1生成回路用の1.0V内部電源ノード。VRFVCO1_IP3入力で作動作する内部LDOレギュレータを使用する場合は、VRFLO1_IP0をVRFVCO1_IP3に接続し、4.7μFのコンデンサでバイパスします。VRFVCO1_IP3で作動作する内部LDOレギュレータを使用しない場合は、1.0V電源をVRFLO1_IP0に接続します。
A10	Input	VRFVCO1_IP3	RF LO1のVCOとLO生成回路用の1.3V内部LDO入力電源。VRFVCO1_IP3は電源ノイズに敏感です。
A11, A12	Input	EXT_LO1-, EXT_LO1+	差動外部LO入力2。外部LO2にEXT_LO1+およびEXT_LO1-を使用する場合は、入力周波数を必要キャリア周波数の2倍以上とする必要があります。500MHz~1GHzのLO範囲では、1倍の通波器が使用できます。使用しない場合、EXT_LO1+およびEXT_LO1-はVSSAに接続します。
B1, C1	Input	RX2A-, RX2A+	Rx2の差動入力A。使用しない場合、RX2A-およびRX2A+はVSSAに接続します。
B6	Output	VRFVCO2_IP0	RF LO2のVCO回路用1.0V内部電源ノード。VRFVCO2_IP3入力で作動作する内部LDOレギュレータを使用する場合は、このVRFVCO2_IP0をVRFLO2_IP0に接続し、4.7μFのコンデンサでバイパスします。
B7	Input	AUXADC_2	補助ADC入力マルチプレクサへの入力2。使用しない場合、AUXADC_2は接続しないでください。
B8	Input	AUXADC_1	補助ADC入力マルチプレクサへの入力1。使用しない場合、AUXADC_1は接続しないでください。
B9	Output	VRFVCO1_IP0	RF LO1のVCO回路用1.0V内部電源ノード。VRFVCO1_IP3入力で作動作する内部LDOレギュレータを使用する場合は、VRFVCO1_IP0をVRFLO1_IP0に接続し、4.7μFのコンデンサでバイパスします。
B14, C14	Input	RX1A-, RX1A+	Rx1の差動入力A。使用しない場合、RX1A-およびRX1A+はVSSAに接続します。
C3, C4	Input	RX2B+, RX2B-	Rx2の差動入力B。使用しない場合、RX2B+およびRX2B-はVSSAに接続します。
C6	Input and Output	VANA2_IP0	Tx2およびRx2のベースバンド回路、TIA、トランスミッタのトランスコンダクタンス(GM)ベースバンド・フィルタ、補助DAC、補助ADC用の1.0V内部電源ノード。通常動作では、VANA2_IP0には何も接続しません。
C7	Input	VANA2_IP3	Tx2およびRx2のベースバンド回路、TIA、トランスミッタGM、ベースバンド・フィルタ、補助DAC、補助ADC用の1.3V内部LDO入力電源。VANA2_IP3は電源ノイズに敏感です。
C8	Input	VANA1_IP3	Tx1およびRx1のベースバンド回路、TIA、トランスミッタGM、ベースバンド・フィルタ用の1.3V内部LDO入力電源。VANA1_IP3は電源ノイズに敏感です。
C9	Input and Output	VANA1_IP0	Tx1およびRx1のベースバンド回路、TIA、トランスミッタGM、ベースバンド・フィルタ用の1.0V内部電源ノード。通常動作では、VANA1_IP0には何も接続しません。
C11, C12	Input	RX1B-, RX1B+	Rx1の差動入力B。使用しない場合、RX1B-およびRX1B+はVSSAに接続します。
D7, D8	Input	MCS+, MCS-	マルチチップ同期リファレンス入力。使用しない場合、MCS+およびMCS-はVSSAに接続します。
E1	Output	VRX2LO_IP0	Rx2 LOのパッファおよびミキサー用1.0V内部電源ノード。VRX2LO_IP0は電源ノイズに敏感です。4.7μFのコンデンサを使用してVRX2LO_IP0をバイパスします。
E2	Input	VRX2LO_IP3	Rx2 LOのパッファおよびミキサー用1.3V内部LDO入力電源。内部LDOレギュレータを使用しない場合は、1.0V電源をVRX2LO_IP3に接続します。VRX2LO_IP3は電源ノイズに敏感です。
E3, E12, F4, F5, F10, F11, G4, G6, G9, G11, H6, H9	Input and Output	AGPIO_xx	VAGPIO_IP8の1.8V電源を基準とするGPIO信号。ボールの位置とAGPIO_xx信号名の対応については表18を参照してください。一部のAGPIO_xxピンは補助DAC出力としても機能します。AGPIO_xxピンと補助DAC信号の間のマッピングについては、表18を参照してください。使用しない場合、AGPIO_xxピンは接続しないでください。
E4	Input	VRFVCO2_IP3	RF LO2のシンセサイザ用1.3V電源。VRFVCO2_IP3は電源ノイズに敏感です。
E5	Input	VCLKSYN_IP3	クロック・シンセサイザ用1.3V電源。VCLKSYN_IP3は電源ノイズに敏感です。
E7, E8	Input	DEV_CLK_IN+, DEV_CLK_IN-	デバイス・クロックの入力。DEV_CLK_IN±は、差動動作、シングルエンド動作、または外部水晶発振器に接続した動作が可能です。シングルエンド・モードの場合、クロック信号はDEV_CLK_IN+ピンに印加し、DEV_CLK_IN-ピンには何も接続しないでください。
E10	Input	VAUXSYN_IP3	補助シンセサイザ用1.3V電源。VAUXSYN_IP3は電源ノイズに敏感です。
E11	Input	VRFVCO1_IP3	RF LO1のシンセサイザ用1.3V電源モニタ。VRFVCO1_IP3は電源ノイズに敏感です。
E13	Input	VRX1LO_IP3	Rx1 LOのパッファおよびミキサー用1.3V内部LDO入力電源。内部LDOレギュレータを使用しない場合は、1.0V電源をVRX1LO_IP3に接続します。VRX1LO_IP3は電源ノイズに敏感です。
E14	Output	VRX1LO_IP0	Rx1 LOのパッファおよびミキサー用1.0V内部電源ノード。VRX1LO_IP0は電源ノイズに敏感です。4.7μFのコンデンサを使用してVRX1LO_IP0をバイパスします。
G1, H1	Output	TX2+, TX2-	トランスミッタ・チャンネル2の差動出力。使用しない場合、TX2+およびTX2-は接続しないでください。

ピン配置およびピン機能の説明

表 17. ピン機能の説明

ピン番号	タイプ	記号	説明
G3	Input	VTX2LO_IP3	Tx2 LO のバッファ、アップコンバータ、LO 遅延用 1.3V 電源。内部 LDO を使用しない場合は、1.0V 電源を VTX2LO_IP3 に接続します。VTX2LO_IP3 は電源ノイズに敏感です。
G5	Input	VCLKVCO_IP3	クロック LO の VCO と LO 生成回路用の 1.3V 内部 LDO 入力電源。VCLKVCO_IP3 は電源ノイズに敏感です。
G7	Input	VCONV_IP8	Tx1 と Tx2 の DAC および Rx1 と Rx2 の ADC 用 1.8V 電源。
G8	Input	VAGPIO_IP8	補助 DAC、補助 ADC、AGPIO 信号用 1.8V 電源。
G10	Input	VAUXVCO_IP3	補助 LO の VCO と LO 生成回路用の 1.3V 内部 LDO 入力電源。VAUXVCO_IP3 は電源ノイズに敏感です。
G12	Input	VTX1LO_IP3	Tx1 LO のバッファ、アップコンバータ、LO 遅延用 1.3V 内部 LDO 入力電源。内部 LDO レギュレータを使用しない場合は、1.0V 電源を VTX1LO_IP3 に接続します。VTX1LO_IP3 は電源ノイズに敏感です。
G14, H14	Output	TX1+, TX1-	トランスミッタ・チャンネル 1 の差動出力。使用しない場合、TX1+ および TX1- は接続しないでください。
H2	Input	VANA2_IP8	Rx2 ミキサ、Rx2 TIA、Tx2 LPF、内部リファレンス用 1.8V 電源。
H3	Output	VTX2LO_IP0	Tx2 LO のバッファ、アップコンバータ、LO 遅延用 1.0V 内部電源ノード。通常動作では、VTX2LO_IP0 には何も接続しません。
H4	Input	AUXADC_3	補助 ADC 入力マルチプレクサへの入力 3。使用しない場合、AUXADC_3 は接続しないでください。
H5	Output	VCLKVCO_IP0	クロック LO の VCO と LO 生成回路用 1.0V 内部電源ノード。4.7μF のコンデンサを使用して VCLKVCO_IP0 をバイパスします。
H7	Output	VCONV_IP0	レーザ ADC および トランスミッタ DAC 用 1.0V 内部電源ノード。4.7μF のコンデンサを使用して VCONV_IP0 をバイパスします。
H8	Input	VCONV_IP3	レーザ ADC および トランスミッタ DAC 用 1.3V 内部 LDO 入力電源。内部 LDO レギュレータを使用しない場合は、1.0V 電源を VCONV_IP3 に接続します。VCONV_IP3 は電源ノイズに敏感です。
H10	Output	VAUXVCO_IP0	補助 LO の VCO と LO 生成回路用 1.0V 内部電源ノード。4.7μF のコンデンサを使用して VAUXVCO_IP0 をバイパスします。
H11	Input	AUXADC_0	補助 ADC 入力マルチプレクサへの入力 0。使用しない場合、AUXADC_0 は接続しないでください。
H12	Output	VTX1LO_IP0	Tx1 LO のバッファ、アップコンバータ、LO 遅延用 1.0V 内部電源。通常動作では、VTX1LO_IP0 には何も接続しません。
H13	Input	VANA1_IP8	Rx1 ミキサ、Rx1 TIA、Tx1 LPF、水晶発振器、DEV_CLK 回路、内部リファレンス用 1.8V 電源。
K1	Input	SPI_CLK	シリアル・データ・バスのクロック入力。
K2	Input and Output	SPI_DIO	4 線式モードのシリアル・データ入力または 3 線式モードの入出力。
K3	Input	RX2_EN	Rx2 のイネーブル入力。使用しない場合、RX2_EN は接続しないでください。
K4	Input	VSSA/TESTCK+	通常動作には VSSA/TESTCK+ を VSSA に接続します。
K5	Input	VSSA/TESTCK-	通常動作には VSSA/TESTCK- を VSSA に接続します。
K6 to K11, L4 to L6, L9 to L11	Input and Output	DGPIO_xx	デジタル GPIO。VDIGIO_IP8 は DGPIO_xx に 1.8V を供給します。ピン位置と DGPIO_xx 信号名の対応については、表 18 を参照してください。使用しない場合、DGPIO_xx は接続しないでください。
K12	Input	RX1_EN	Rx1 のイネーブル入力。使用しない場合、RX1_EN は接続しないでください。
K13	Input	RESETB	アクティブ・ロー・チップ・リセット。
K14	Output	GP_INT	汎用デジタル割込み出力信号。使用しない場合、GP_INT は接続しないでください。
L1	Input	SPI_EN	アクティブ・ローのシリアル・データ・バスのチップ・セレクト。
L2	Output	SPI_DO	シリアル・データ出力。SPI 3 線式モードで使用しない場合、SPI_DO は接続しないでください。
L3	Input	TX2_EN	トランスミッタ・チャンネル 2 のイネーブル入力。使用しない場合、TX2_EN は接続しないでください。
L7, L8	Input	VDIG_IP0	1.0V デジタル・コア。ピン L7 とピン L8 は結合してください。VDIG_IP0 ピンを別の電源ドメインに接続するには、幅の広いパターンを使用します。リザーバ・コンデンサをチップの近くに配置してください。
L12	Input	TX1_EN	トランスミッタ・チャンネル 1 のイネーブル入力。使用しない場合、TX1_EN は接続しないでください。
L13	Input	MODE	ジョイント・テスト・アクション・グループ (JTAG) バウンダリ・スキャン・ピン。詳細については、表 19 を参照してください。使用しない場合、MODE を VSSA に接続します。
L14	Output	DEV_CLK_OUT	シングルエンド・デバイスのクロック出力。DEV_CLK_OUT は、DEV_CLK 信号またはそれを分周したものをベースバンド IC に供給します。使用しない場合、DEV_CLK_OUT は接続しないでください。

ピン配置およびピン機能の説明

表 17. ピン機能の説明

ピン番号	タイプ	記号	説明
M1	Output	RX2_IDATA_OUT-	LVDS SSI モードでは、RX2_IDATA_OUT-は、Rx2の負側 I サンプル・データ出力または Rx2の負側 I および Q サンプル・データ出力です。CMOS SSI モードでは、RX2_IDATA_OUT-は、Rx2のデータ出力 0 または Rx2の I および Q サンプル・データ出力です。使用しない場合、RX2_IDATA_OUT-は接続しないでください。
M2	Output	RX2_IDATA_OUT+	LVDS SSI モードでは、RX2_IDATA_OUT+は、差動ペアの正側 Rx2 I サンプル・データ出力または差動ペアの正側 Rx2 I および Q サンプル・データ出力です。CMOS SSI モードでは、RX2_IDATA_OUT+は Rx2のデータ出力 1 です。使用しない場合、RX2_IDATA_OUT+は接続しないでください。
M3	Output	RX2_DCLK_OUT-	LVDS SSI モードでは、RX2_DCLK_OUT-は Rx2の負側データ・クロック出力です。CMOS SSI モードでは、RX2_DCLK_OUT-は使用しません。使用しない場合、RX2_DCLK_OUT-は接続しないでください。
M4	Output	RX2_DCLK_OUT+	LVDS SSI モードでは、RX2_DCLK_OUT+は Rx2の正側データ・クロック出力です。CMOS SSI モードでは、RX2_DCLK_OUT+は Rx2のデータ・クロック出力です。使用しない場合、RX2_DCLK_OUT+は接続しないでください。
M5	Input and Output	DGPIO_15/TX2_DCLK_OUT+	デジタル GPIO 15。VDIGIO_IP8 は、DGPIO_15/TX2_DCLK_OUT+に 1.8V を供給します。DGPIO_15/TX2_DCLK_OUT+のもう一つの機能は、LVDS SSI モードでリファレンス・クロック出力の正側を Tx2のデータ・ポートに供給することです。使用しない場合、DGPIO_15/TX2_DCLK_OUT+は接続しないでください。
M6	Input and Output	DGPIO_14/TX2_DCLK_OUT-	デジタル GPIO 14。VDIGIO_IP8 は、DGPIO_14/TX2_DCLK_OUT-に 1.8V を供給します。DGPIO_14/TX2_DCLK_OUT-のもう一つの機能は、LVDS SSI モードでリファレンス・クロック出力の負側を Tx2のデータ・ポートに供給することです。使用しない場合、DGPIO_14/TX2_DCLK_OUT-は接続しないでください。
M7	Input	VDIGIO_IP8	データ・ポート・インターフェース (CMOS SSI および LVDS SSI モード)、SPI 信号、制御入出力信号、DGPIO インターフェース用 1.8V 電源入力。
M8	Output	VDIG_0P9	デジタル回路用 1.0V 内部電源ノード。4.7µF のコンデンサを使用して VDIG_0P9 をバイパスします。
M9	Input and Output	DGPIO_12/TX1_DCLK_OUT-	デジタル GPIO 12。VDIGIO_IP8 は、DGPIO_12/TX1_DCLK_OUT-に 1.8V を供給します。DGPIO_12/TX1_DCLK_OUT-のもう一つの機能は、LVDS SSI モードで負側リファレンス・クロック出力を Tx1 データ・ポートに供給することです。使用しない場合、DGPIO_12/TX1_DCLK_OUT-は接続しないでください。
M10	Input and Output	DGPIO_13/TX1_DCLK_OUT+	デジタル GPIO 13。VDIGIO_IP8 は、DGPIO_13/TX1_DCLK_OUT+に 1.8V を供給します。DGPIO_13/TX1_DCLK_OUT+のもう一つの機能は、LVDS SSI モードで正側リファレンス・クロック出力を Tx1 データ・ポートに供給することです。使用しない場合、DGPIO_13/TX1_DCLK_OUT+は接続しないでください。
M11	Output	RX1_DCLK_OUT+	LVDS SSI モードでは、RX1_DCLK_OUT+は Rx1の正側データ・クロック出力です。CMOS SSI モードでは、RX1_DCLK_OUT+は Rx1のデータ・クロック出力です。使用しない場合、RX1_DCLK_OUT+は接続しないでください。
M12	Output	RX1_DCLK_OUT-	LVDS SSI モードでは、RX1_DCLK_OUT-は Rx1の負側データ・クロック出力です。CMOS SSI モードでは、RX1_DCLK_OUT-は使用しません。使用しない場合、RX1_DCLK_OUT-は接続しないでください。
M13	Output	RX1_IDATA_OUT+	LVDS SSI モードでは、RX1_IDATA_OUT+は、Rx1の正側 I サンプル・データ出力または Rx1の正側 I および Q サンプル・データ出力です。CMOS SSI モードでは、RX1_IDATA_OUT+は Rx1のデータ出力 1 です。
M14	Output	RX1_IDATA_OUT-	LVDS SSI モードでは、RX1_IDATA_OUT-は、Rx1の負側 I サンプル・データ出力または Rx1の負側 I および Q サンプル・データ出力です。CMOS SSI モードでは、RX1_IDATA_OUT-は、Rx1のデータ出力 0 または Rx1の I および Q サンプル・データ出力です。
N1	Output	RX2_STROBE_OUT-	LVDS SSI モードでは、RX2_STROBE_OUT-は Rx2の負側ストロブ出力です。CMOS SSI モードでは、RX2_STROBE_OUT-は使用しません。使用しない場合、RX2_STROBE_OUT-は接続しないでください。
N2	Output	RX2_STROBE_OUT+	LVDS SSI モードでは、RX2_STROBE_OUT+は Rx2の正側ストロブ出力です。CMOS SSI モードでは、RX2_STROBE_OUT+は Rx2のストロブ出力です。使用しない場合、RX2_STROBE_OUT+は接続しないでください。
N3	Output	RX2_QDATA_OUT-	LVDS SSI モードでは、RX2_QDATA_OUT-は Rx2の正側 Q サンプル・データ出力です。CMOS SSI モードでは、RX2_QDATA_OUT-は Rx2のデータ出力 2 です。使用しない場合、RX2_QDATA_OUT-は接続しないでください。
N4	Output	RX2_QDATA_OUT+	LVDS SSI モードでは、RX2_QDATA_OUT+は Rx2の正側 Q サンプル・データ出力です。CMOS SSI モードでは、RX2_QDATA_OUT+は Rx2のデータ出力 3 です。使用しない場合、RX2_QDATA_OUT+は接続しないでください。
N5	Input	TX2_DCLK_IN+	LVDS SSI モードでは、TX2_DCLK_IN+は Tx2の正側データ・クロック入力です。CMOS SSI モードでは、TX2_DCLK_IN+は Tx2のデータ・クロック入力です。使用しない場合、TX2_DCLK_IN+は接続しないでください。
N6	Input	TX2_DCLK_IN-	LVDS SSI モードでは、TX2_DCLK_IN-は Tx2の負側データ・クロック入力です。CMOS SSI モードでは、TX2_DCLK_IN-は使用しません。使用しない場合、TX2_DCLK_IN-は接続しないでください。
N7, N8, P1, P14	Input	VSSD	デジタル電源電圧 (V _{SSD})。
N9	Input	TX1_DCLK_IN-	LVDS SSI モードでは、TX1_DCLK_IN-は Tx1の負側データ・クロック入力です。CMOS SSI モードでは、TX1_DCLK_IN-は使用しません。使用しない場合、TX1_DCLK_IN-は接続しないでください。
N10	Input	TX1_DCLK_IN+	LVDS SSI モードでは、TX1_DCLK_IN+は Tx1の正側データ・クロック入力です。CMOS SSI モードでは、TX1_DCLK_IN+は Tx1のデータ・クロック入力です。使用しない場合、TX1_DCLK_IN+は接続しないでください。
N11	Output	RX1_QDATA_OUT+	LVDS SSI モードでは、RX1_QDATA_OUT+は Rx1の正側 Q サンプル・データ出力です。CMOS SSI モードでは、RX1_QDATA_OUT+は Rx1のデータ出力 3 です。使用しない場合、RX1_QDATA_OUT+は接続しないでください。

ピン配置およびピン機能の説明

表 17. ピン機能の説明

ピン番号	タイプ	記号	説明
N12	Output	RX1_QDATA_OUT-	LVDS SSI モードでは、RX1_QDATA_OUT-は Rx1 の正側 Q サンプル・データ出力です。CMOS SSI モードでは、RX1_QDATA_OUT-は Rx1 のデータ出力 2 です。使用しない場合、RX1_QDATA_OUT-は接続しないでください。
N13	Output	RX1_STROBE_OUT+	LVDS SSI モードでは、RX1_STROBE_OUT+は Rx1 の正側ストロブ出力です。CMOS SSI モードでは、RX1_STROBE_OUT+は Rx1 のストロブ出力です。使用しない場合、RX1_STROBE_OUT+は接続しないでください。
N14	Output	RX1_STROBE_OUT-	LVDS SSI モードでは、RX1_STROBE_OUT-は Rx1 の負側ストロブ出力です。CMOS SSI モードでは、RX1_STROBE_OUT-は使用しません。使用しない場合、RX1_STROBE_OUT-は接続しないでください。
P2	Input	TX2_STROBE_IN+	LVDS SSI モードでは、TX2_STROBE_IN+は Tx2 の正側ストロブ入力です。CMOS SSI モードでは、TX2_STROBE_IN+は Tx2 のストロブ入力です。使用しない場合、TX2_STROBE_IN+は接続しないでください。
P3	Input and Output	TX2_STROBE_IN-	LVDS SSI モードでは、TX2_STROBE_IN-は Tx2 の負側ストロブ入力です。CMOS SSI モードでは、TX2_STROBE_IN-は Tx2 のリファレンス・データ・クロック出力です。使用しない場合、TX2_STROBE_IN-は接続しないでください。
P4	Input	TX2_QDATA_IN-	LVDS SSI モードでは、TX2_QDATA_IN-は Tx2 の負側 Q サンプル・データ入力です。CMOS SSI モードでは、TX2_QDATA_IN-は Tx2 のデータ入力 2 です。使用しない場合、TX2_QDATA_IN-は接続しないでください。
P5	Input	TX2_QDATA_IN+	LVDS SSI モードでは、TX2_QDATA_IN+は Tx2 の正側 Q サンプル・データ入力です。CMOS SSI モードでは、TX2_QDATA_IN+は Tx2 のデータ入力 3 です。使用しない場合、TX2_QDATA_IN+は接続しないでください。
P6	Input	TX2_IDATA_IN+	LVDS SSI モードでは、TX2_IDATA_IN+は、正側の Tx2 I サンプル・データ出力または正側の Tx2 I および Q サンプル・データ出力です。CMOS SSI モードでは、TX2_IDATA_IN+は Tx2 のデータ入力 1 です。使用しない場合、TX2_IDATA_IN+は接続しないでください。
P7	Input	TX2_IDATA_IN-	LVDS SSI モードでは、TX2_IDATA_IN-は、Tx2 の負側 I サンプル・データ出力または Tx2 の負側 I および Q サンプル・データ出力です。CMOS SSI モードでは、TX2_IDATA_IN-は、Tx2 のデータ入力 0 または Tx2 の I および Q サンプル・データ入力です。使用しない場合、TX2_IDATA_IN-は接続しないでください。
P8	Input	TX1_IDATA_IN-	LVDS SSI モードでは、TX1_IDATA_IN-は、負側の Tx1 I サンプル・データ出力または負側の Tx1 I および Q サンプル・データ出力です。CMOS SSI モードでは、TX1_IDATA_IN-は、Tx1 のデータ入力 0 または Tx1 の I および Q サンプル・データ入力です。使用しない場合、TX1_IDATA_IN-は接続しないでください。
P9	Input	TX1_IDATA_IN+	LVDS SSI モードでは、TX1_IDATA_IN+は、正側の Tx1 I サンプル・データ出力または正側の Tx1 I および Q サンプル・データ出力です。CMOS SSI モードでは、TX1_IDATA_IN+は Tx1 のデータ入力 1 です。使用しない場合、TX1_IDATA_IN+は接続しないでください。
P10	Input	TX1_QDATA_IN+	LVDS SSI モードでは、TX1_QDATA_IN+は Tx1 の正側 Q サンプル・データ入力です。CMOS SSI モードでは、TX1_QDATA_IN+は Tx1 のデータ入力 3 です。使用しない場合、TX1_QDATA_IN+は接続しないでください。
P11	Input	TX1_QDATA_IN-	LVDS SSI モードでは、TX1_QDATA_IN-は Tx1 の負側 Q サンプル・データ入力です。CMOS SSI モードでは、TX1_QDATA_IN-は Tx1 のデータ入力 2 です。使用しない場合、TX1_QDATA_IN-は接続しないでください。
P12	Input and Output	TX1_STROBE_IN-	LVDS SSI モードでは、TX1_STROBE_IN-は Tx1 の負側ストロブ入力です。CMOS SSI モードでは、TX1_STROBE_IN-は Tx1 のリファレンス・データ・クロック出力です。使用しない場合、TX1_STROBE_IN-は接続しないでください。
P13	Input	TX1_STROBE_IN+	LVDS SSI モードでは、TX1_STROBE_IN+は Tx1 の正側ストロブ入力です。CMOS SSI モードでは、TX1_STROBE_IN+は Tx1 のストロブ入力です。使用しない場合、TX1_STROBE_IN+は接続しないでください。

代表的な性能特性

ADRV9002は、12kHz~40MHzの信号帯域幅をサポートしています。1MHzの帯域幅が、狭帯域プロファイルと広帯域プロファイルを区別する境界です。信号帯域幅が1MHz未満の場合は、狭帯域プロファイルとみなされます。そうでない場合、広帯域プロファイルとみなされます。ADRV9002の性能は、狭帯域と広帯域の両方のプロファイルについて測定されています。

広帯域

デバイス構成プロファイル：レシーバー = 40MHzの帯域幅、I/Q レート = 61.44MHz、トランスミッタ = 40MHzの帯域幅、I/Q レート = 61.44MHz、デバイス・クロック = 38.4MHz、すべての測定で内部 LO を使用。測定は公称電源電圧で行われています。特に指定のない限り、すべての RF 仕様は測定に基づくもので、これには PCB とマッチング回路の損失が含まれています。仕様はデバイスの全寿命にわたって適用されます。

50MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 50MHz に設定されています。

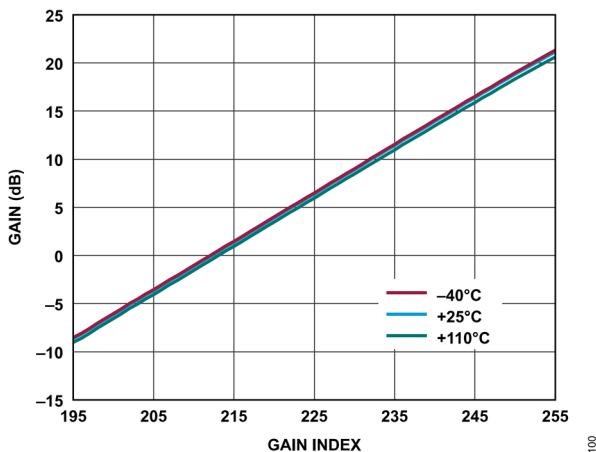


図 4. レシーバーの絶対ゲイン（複素数）とゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能、 $P_{OUT} = -9.6\text{dBFS}$

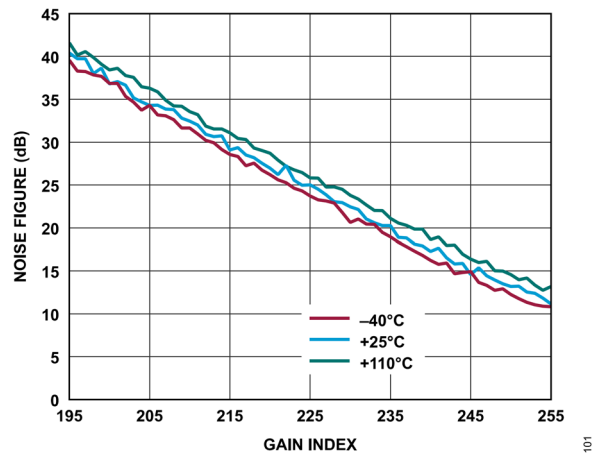


図 6. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

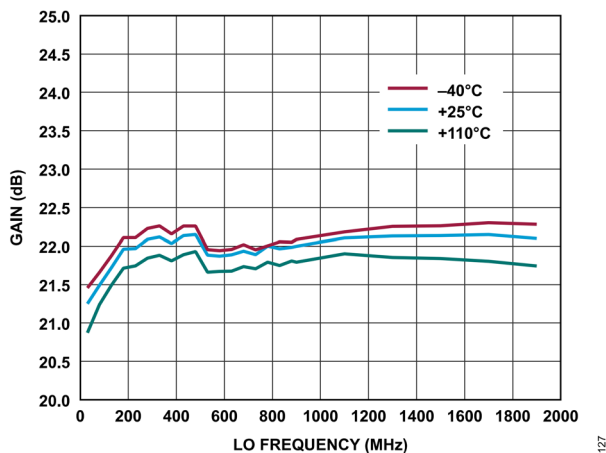


図 5. レシーバーの絶対ゲイン（複素数）と LO 周波数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能、 $P_{OUT} = -9.6\text{dBFS}$

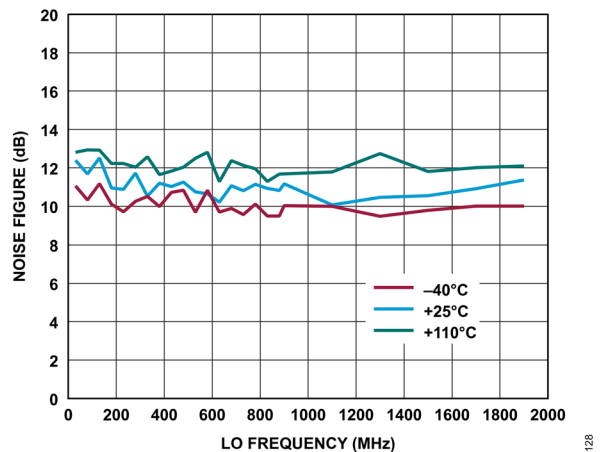


図 7. レシーバーのノイズ指数と LO 周波数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

代表的な性能特性

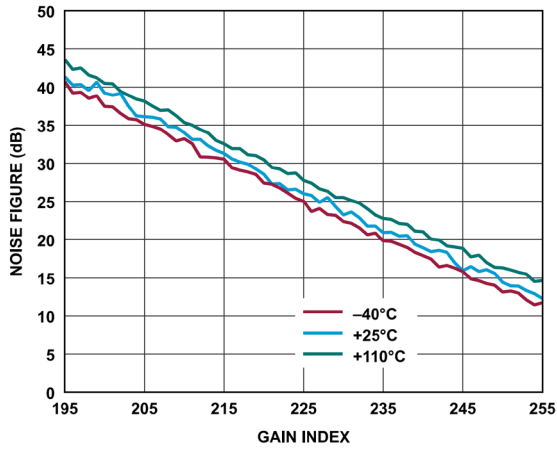


図 8. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

102

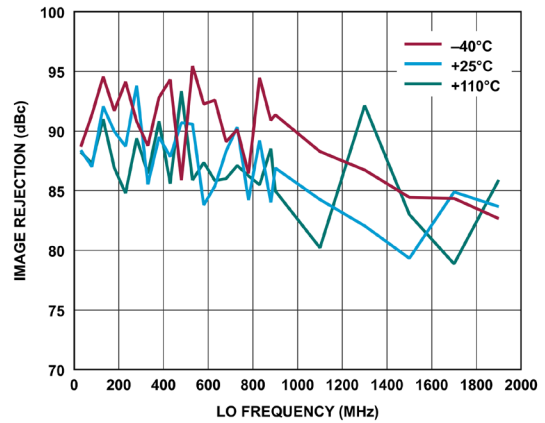


図 11. レシーバーのイメージ除去と LO 周波数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力、初期化キャリブレーションおよびハードウェア・トラッキング・キャリブレーションのみ

131

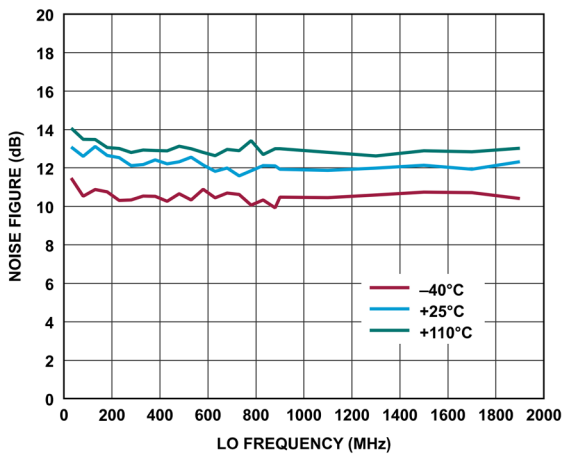


図 9. レシーバーのノイズ指数と LO 周波数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

128

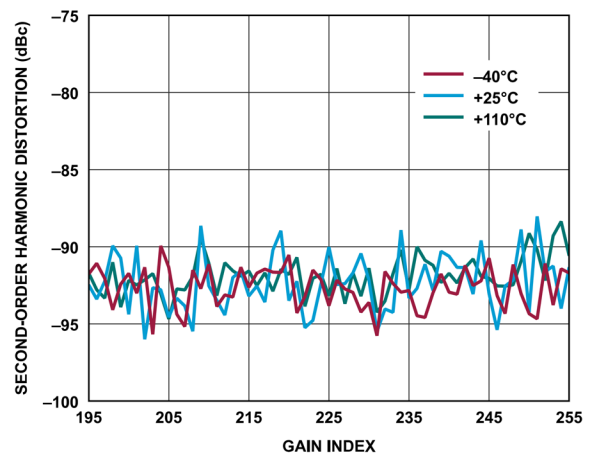


図 12. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

103

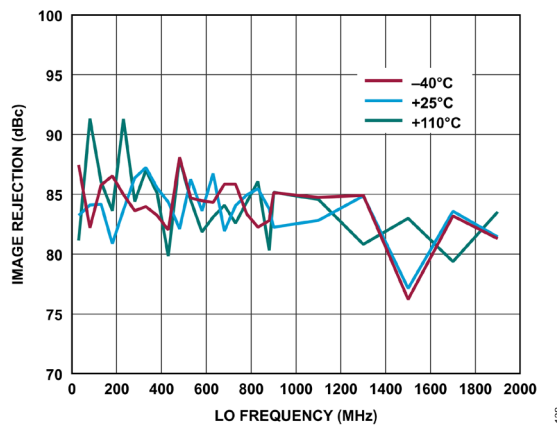


図 10. レシーバーのイメージ除去と LO 周波数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能、初期化キャリブレーションおよびハードウェア・トラッキング・キャリブレーションのみ

130

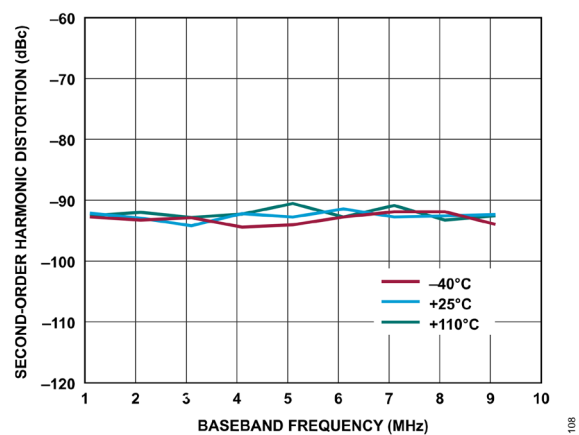


図 13. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

108

代表的な性能特性

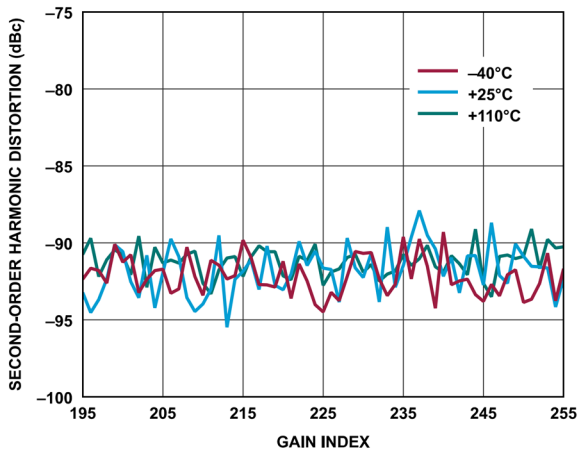


図 14. レーザーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

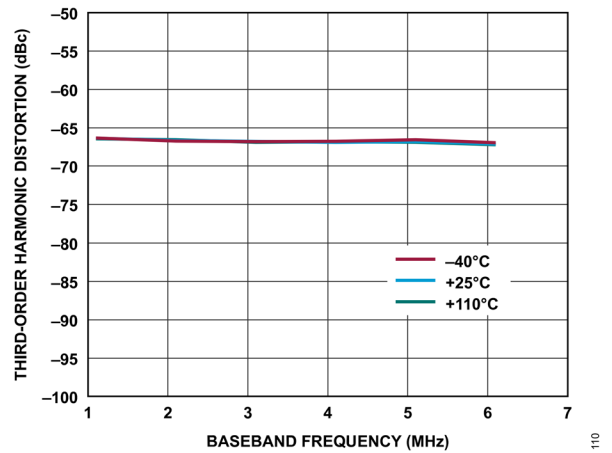


図 17. レーザーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

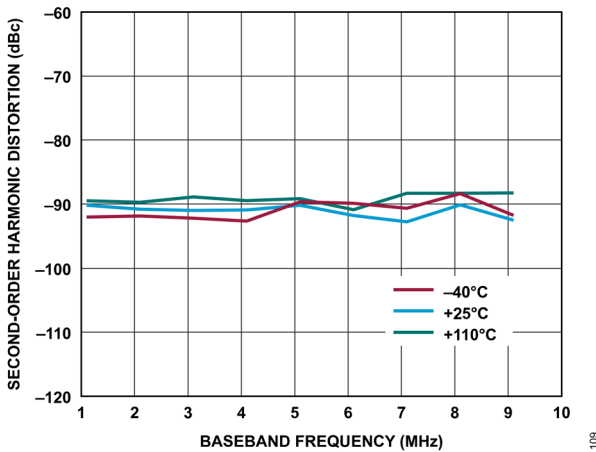


図 15. レーザーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

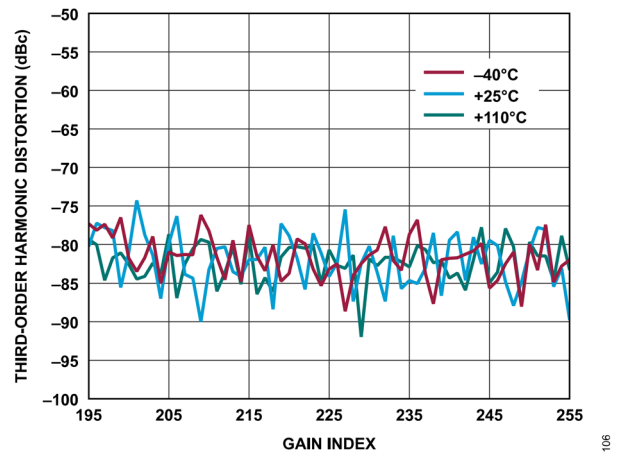


図 18. レーザーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

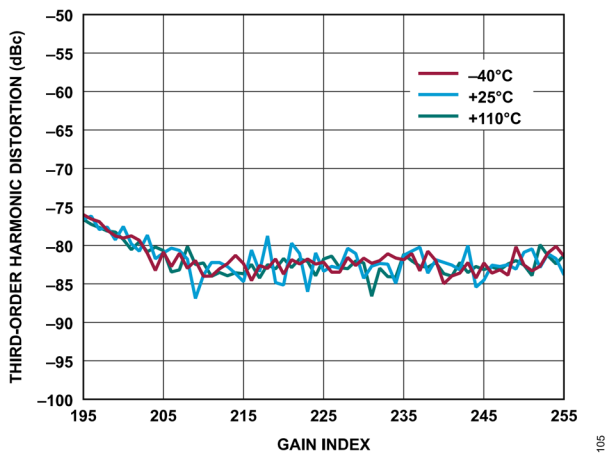


図 16. レーザーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

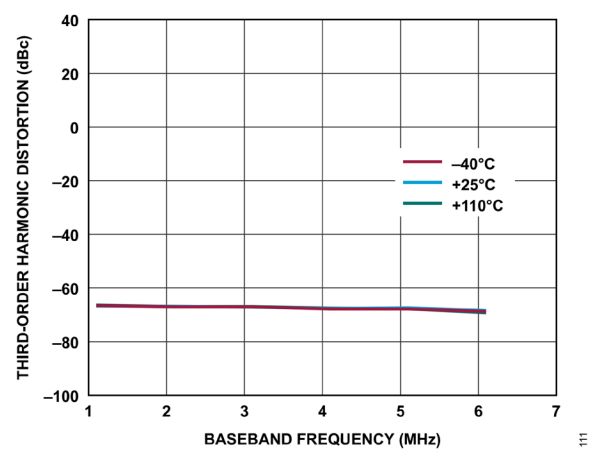


図 19. レーザーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

代表的な性能特性

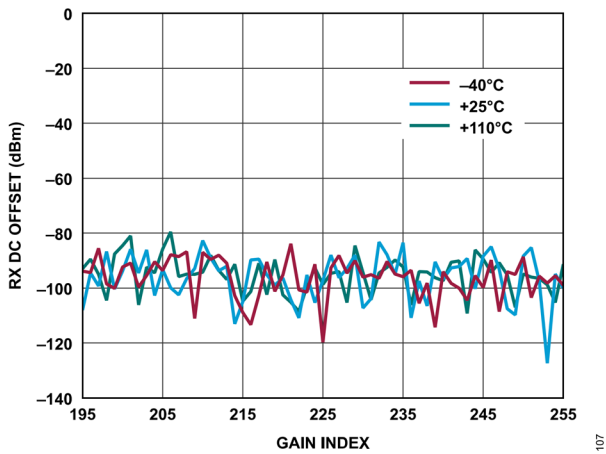


図 20. レシーバーの DC オフセットとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

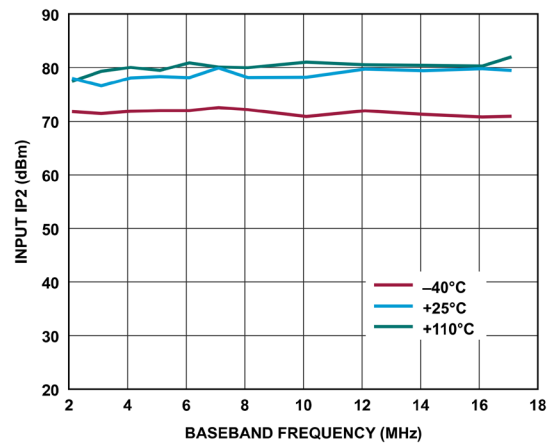


図 23. レシーバーの入力 IP2 とベースバンド周波数の関係、ADC = 高性能、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

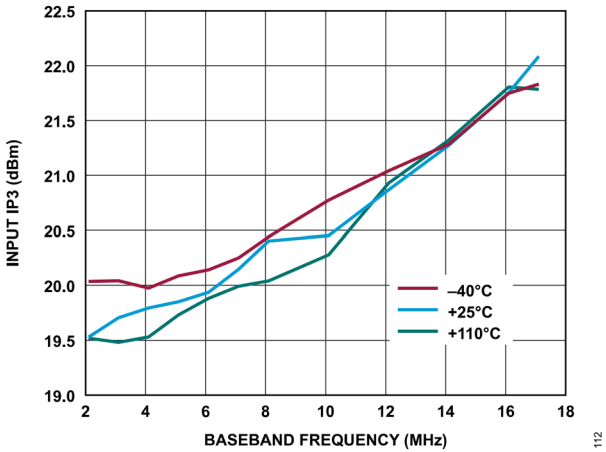


図 21. レシーバーの入力 IP3 とベースバンド周波数の関係、ADC = 高性能、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

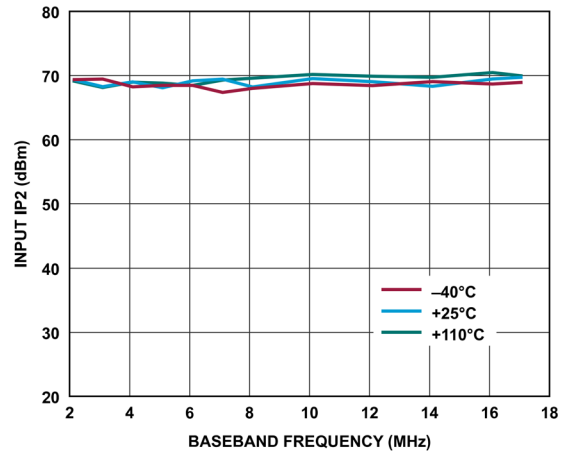


図 24. レシーバーの入力 IP2 とベースバンド周波数の関係、ADC = 低消費電力、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

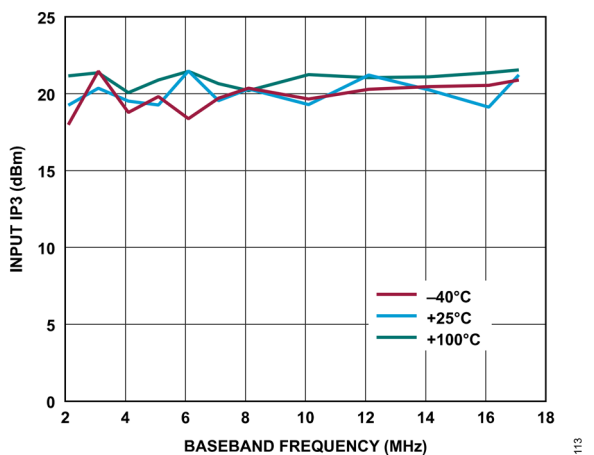


図 22. レシーバーの入力 IP3 とベースバンド周波数の関係、ADC = 低消費電力、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

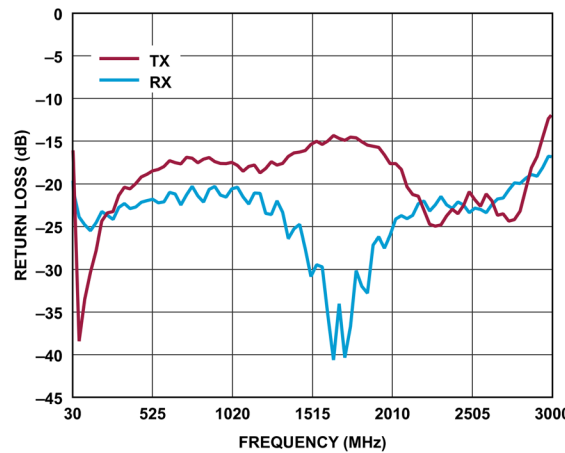


図 25. レシーバーおよびトランスミッタのリターン損失と周波数の関係 (LO = 30MHz~3GHz)

代表的な性能特性

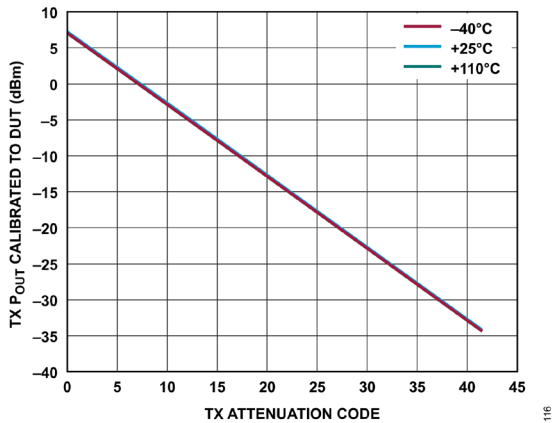


図 26. トランスミッタの絶対電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

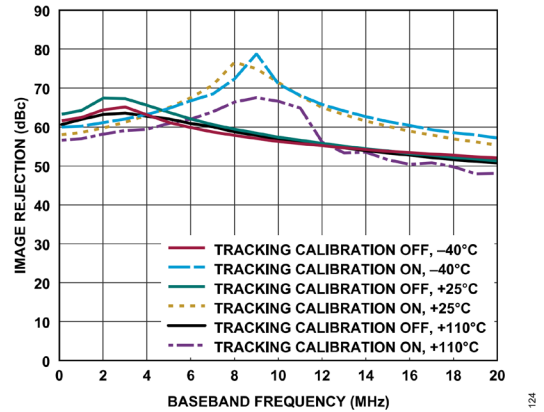


図 29. トランスミッタのイメージ除去とベースバンド周波数の関係、トラッキング・キャリブレーション・オンとトラッキング・キャリブレーション・オフの比較、トランスミッタ減衰コード = 20

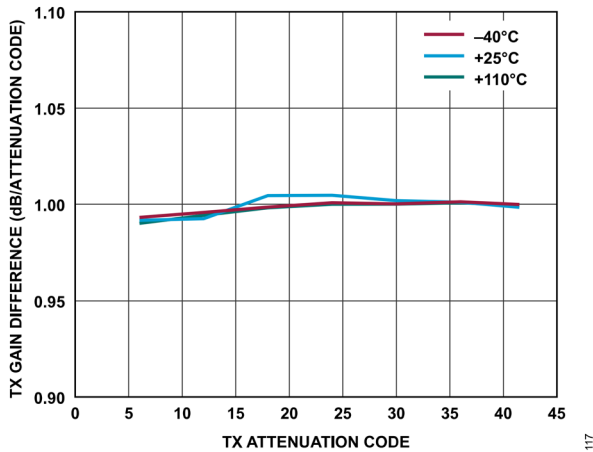


図 27. トランスミッタの減衰デルタ (誤差) とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

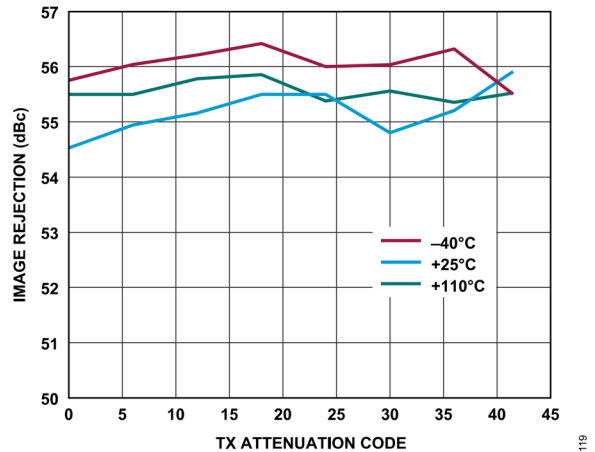


図 30. トランスミッタのイメージ除去とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

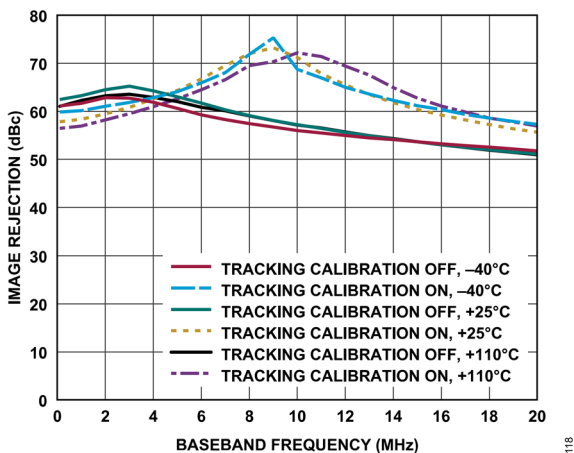


図 28. トランスミッタのイメージ除去とベースバンド周波数の関係、トラッキング・キャリブレーション・オンとトラッキング・キャリブレーション・オフの比較、トランスミッタ減衰コード = 0

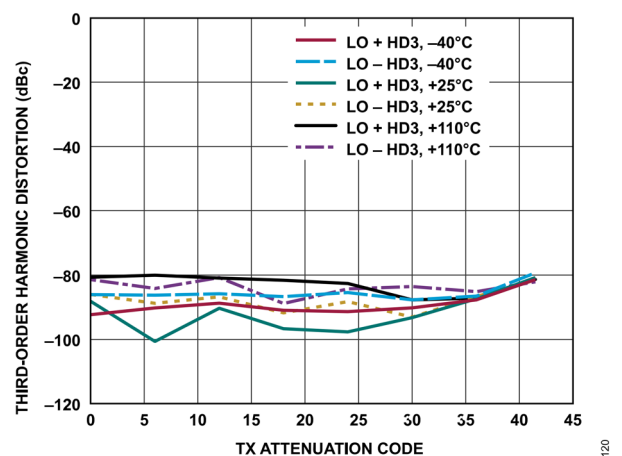


図 31. トランスミッタの 3 次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

代表的な性能特性

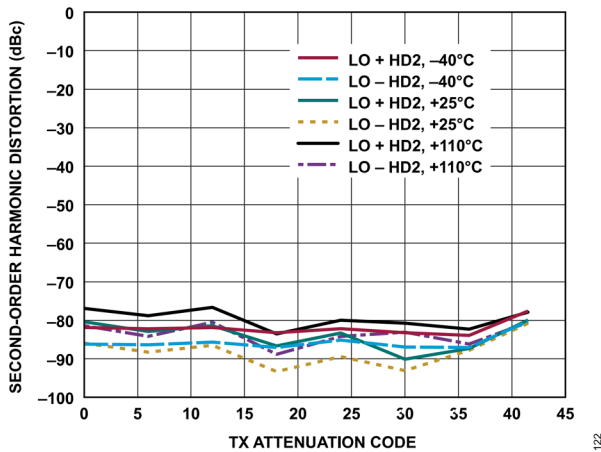


図 32. トランスミッタの 2 次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

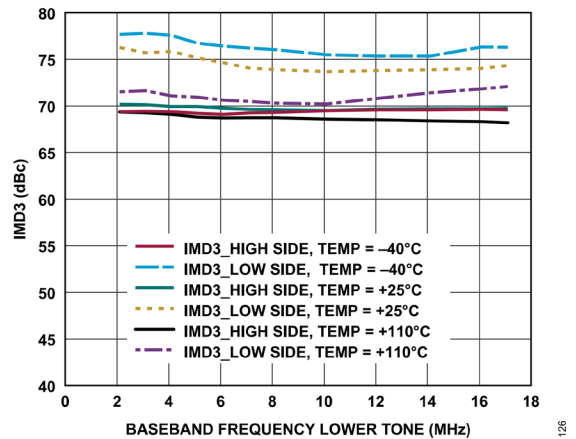


図 35. トランスミッタの 3 次相互変調歪み (IMD3) とベースバンド周波数の関係、トランスミッタ減衰コード = 0、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz

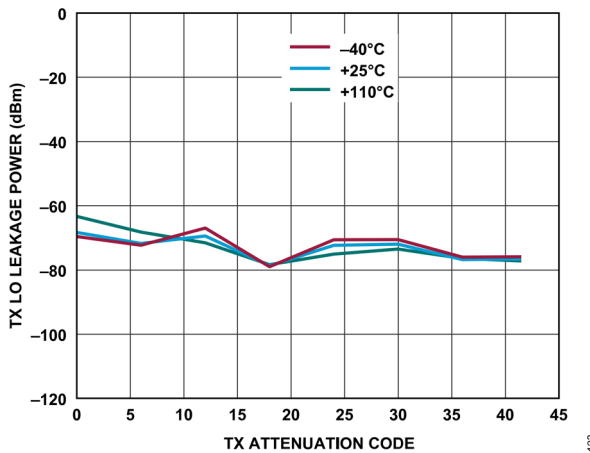


図 33. トランスミッタの LO リーク電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

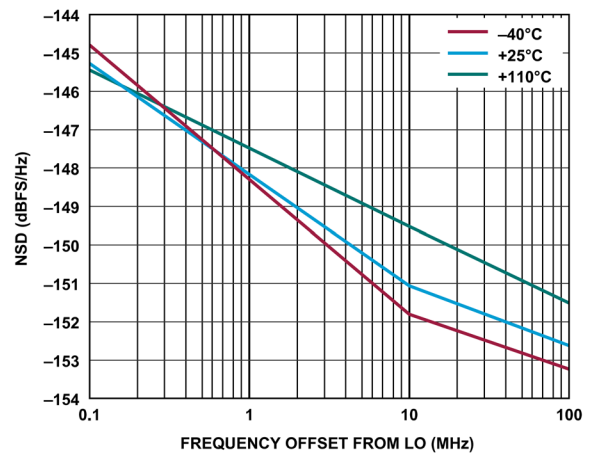


図 36. トランスミッタの NSD と LO からの周波数オフセットの関係、ベースバンド周波数 = 5.6MHz、トランスミッタ・チャンネル = Ch1

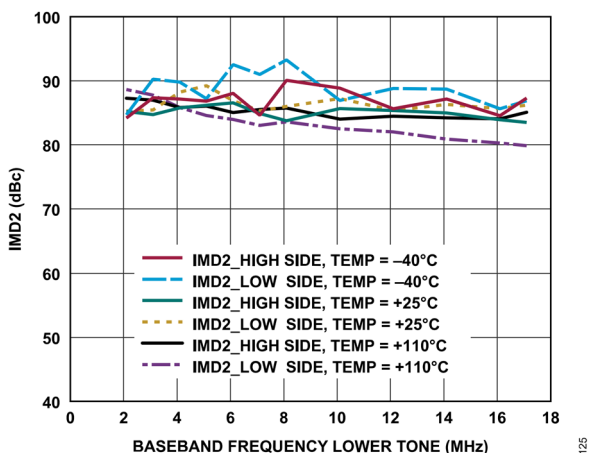


図 34. トランスミッタの 2 次相互変調歪み (IMD2) とベースバンド周波数の関係、トランスミッタ減衰コード = 0、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz

代表的な性能特性

470MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 470MHz に設定されています。

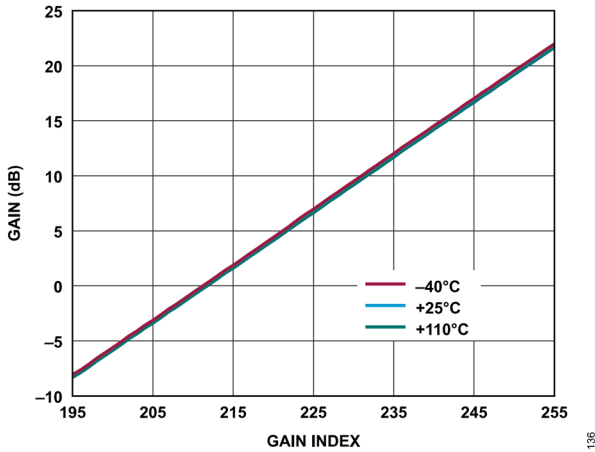


図 37. レシーバーの絶対ゲイン（複素数）とゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能、 $P_{OUT} = -9.6\text{dBFS}$

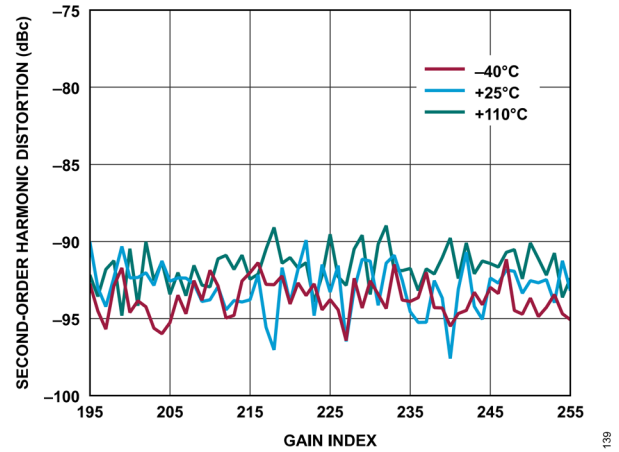


図 40. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

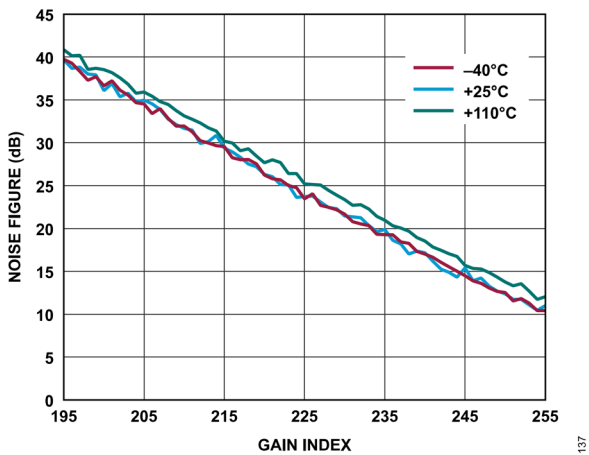


図 38. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

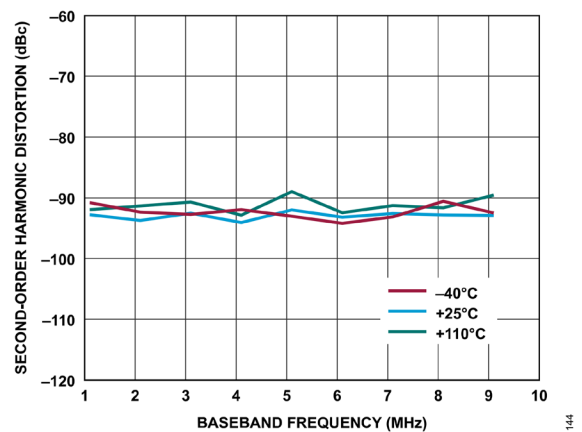


図 41. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

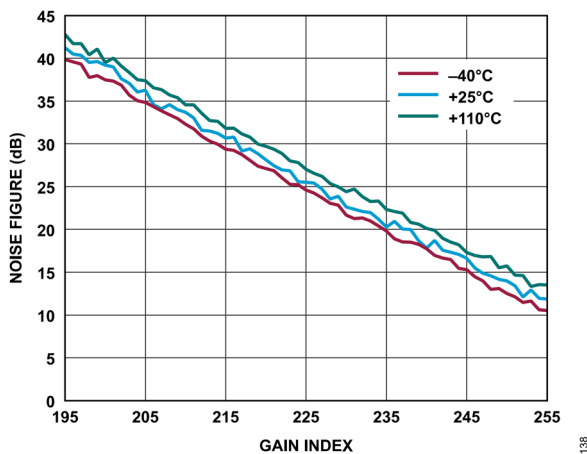


図 39. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

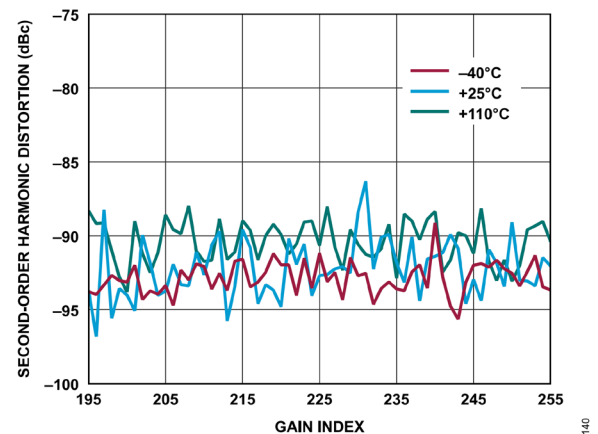


図 42. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

代表的な性能特性

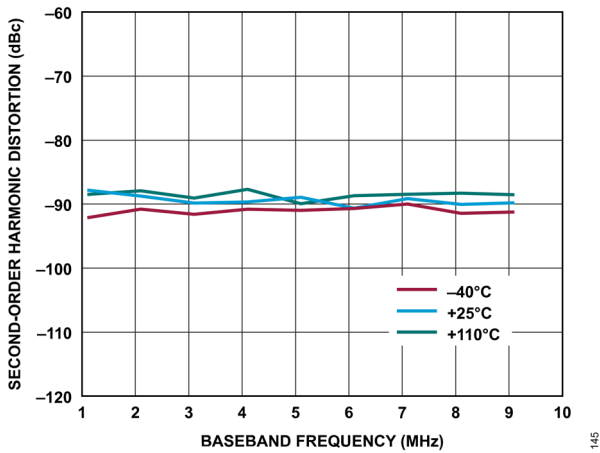


図 43. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

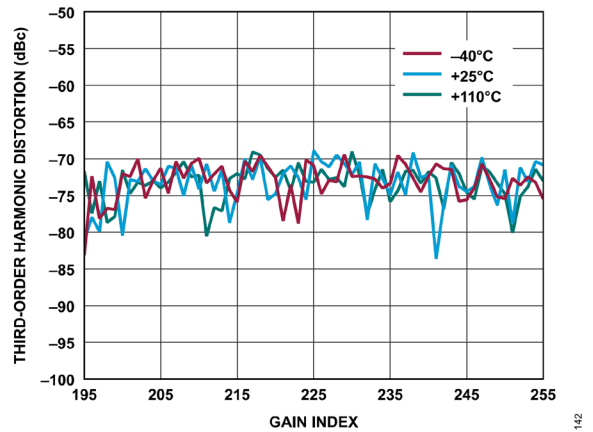


図 46. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

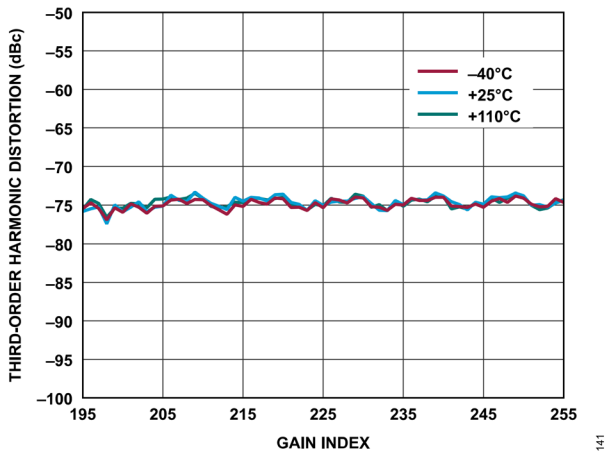


図 44. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

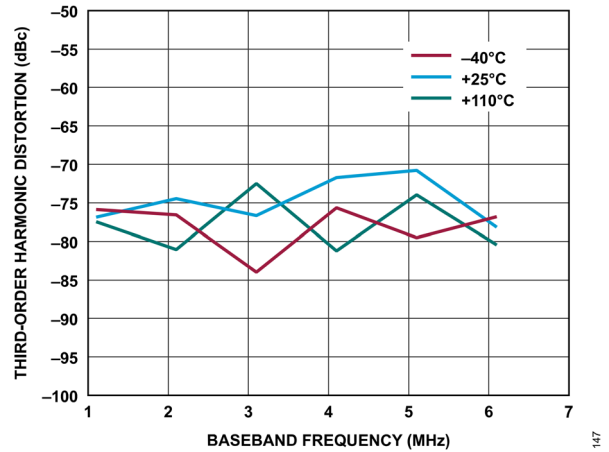


図 47. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

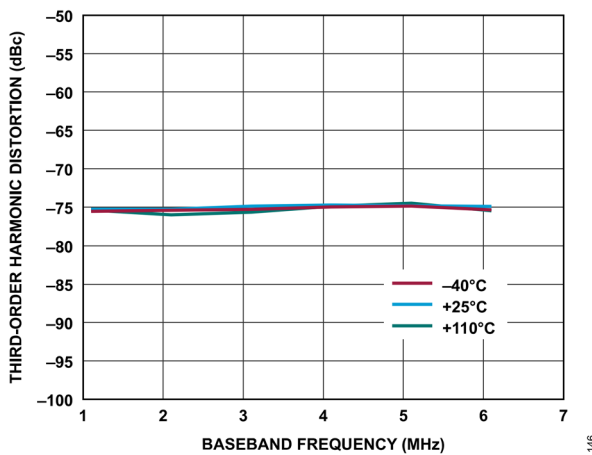


図 45. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

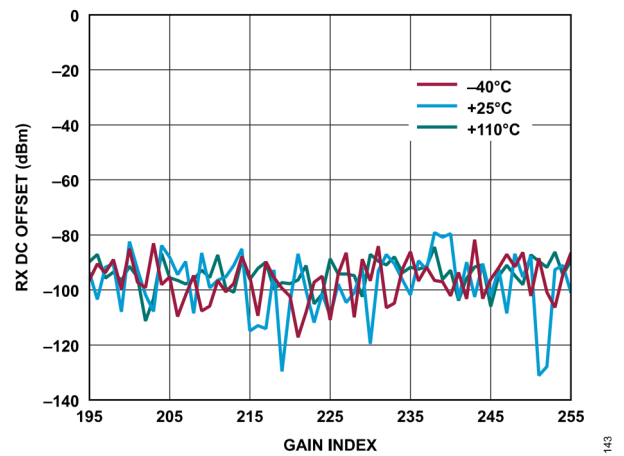


図 48. レシーバーの DC オフセットとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

代表的な性能特性

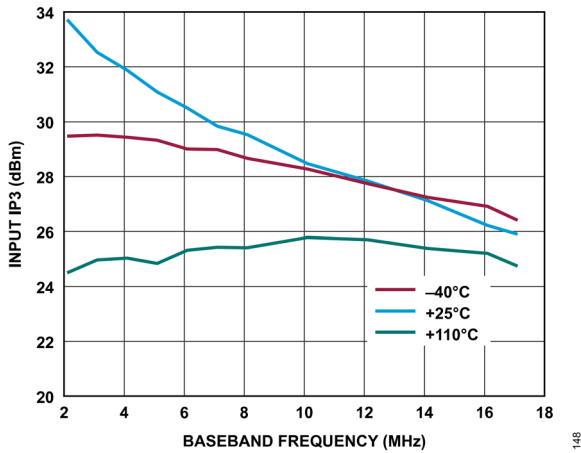


図 49. レシーバーの入力 IP3 とベースバンド周波数の関係、ADC = 高性能、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

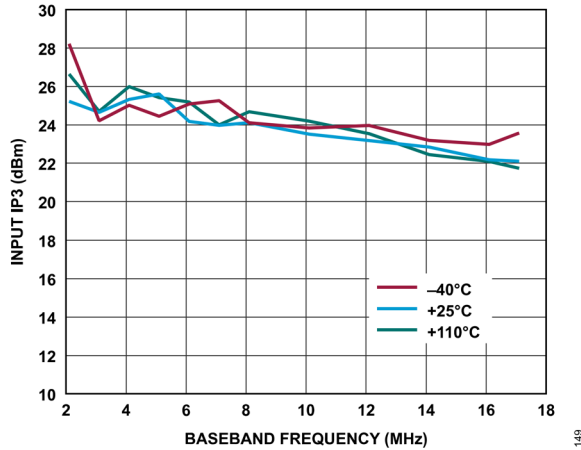


図 50. レシーバーの入力 IP3 とベースバンド周波数の関係、ADC = 低消費電力、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

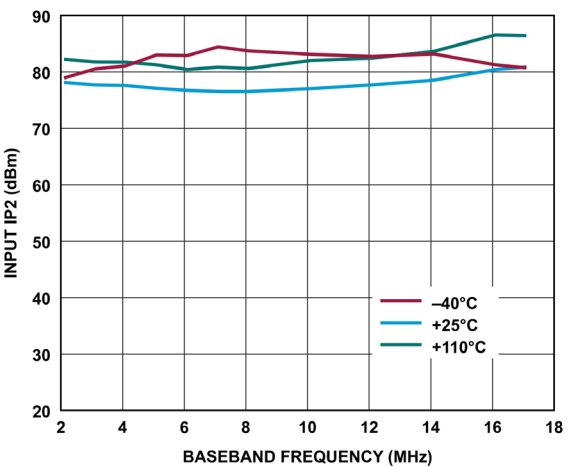


図 51. レシーバーの入力 IP2 とベースバンド周波数の関係、ADC = 高性能、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

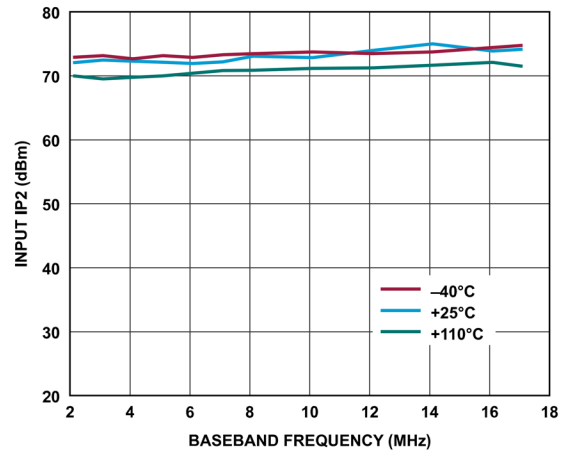


図 52. レシーバーの入力 IP2 とベースバンド周波数の関係、ADC = 低消費電力、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

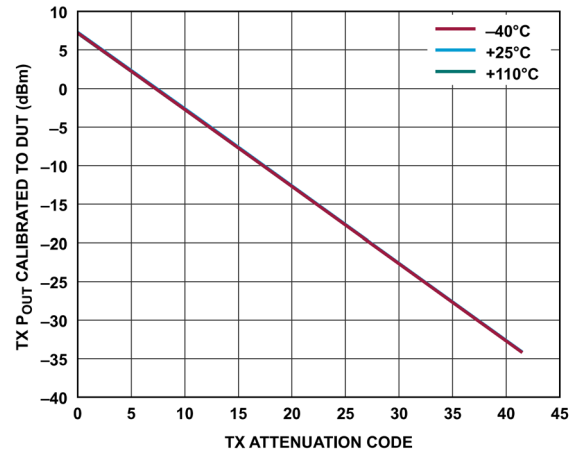


図 53. トランスミッタの絶対電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

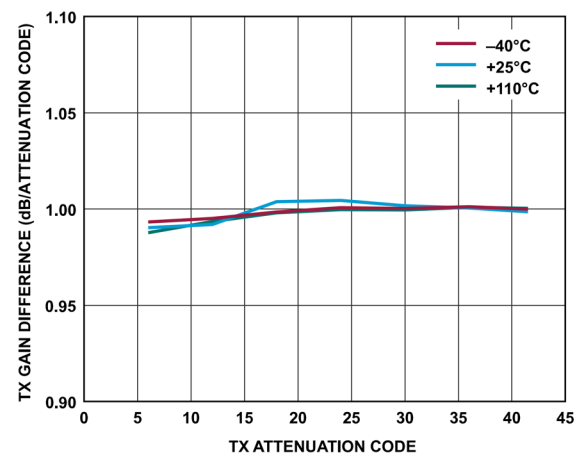


図 54. トランスミッタの減衰デルタ (誤差) とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

代表的な性能特性

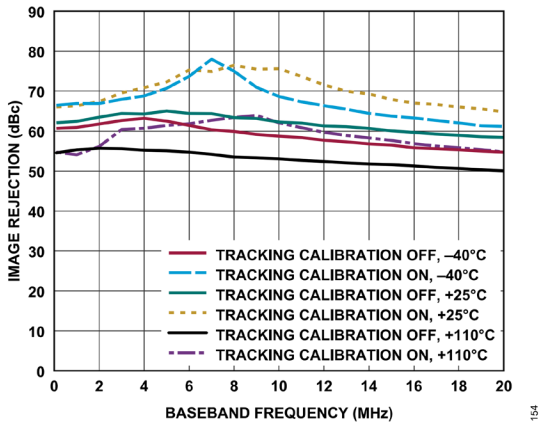


図 55. トランスミッタのイメージ除去とベースバンド周波数の関係、トラッキング・キャリブレーション・オンとトラッキング・キャリブレーション・オフの比較、トランスミッタ減衰コード = 0

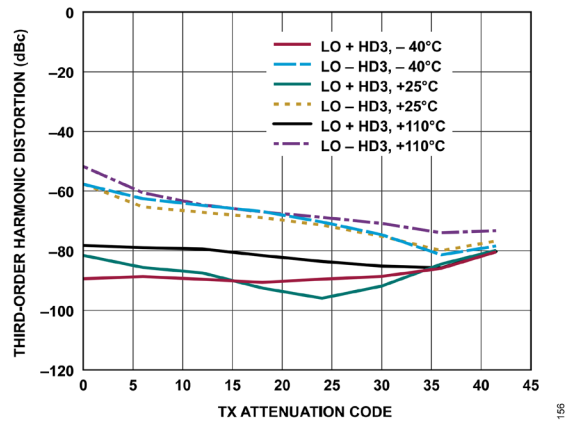


図 58. ランスミッタの 3 次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

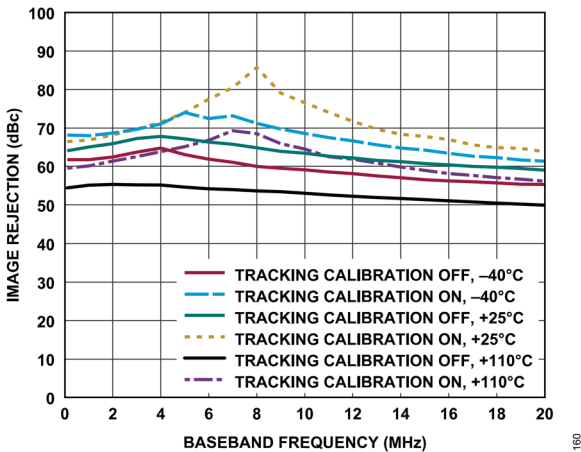


図 56. トランスミッタのイメージ除去とベースバンド周波数の関係、トラッキング・キャリブレーション・オンとトラッキング・キャリブレーション・オフの比較、トランスミッタ減衰コード = 20

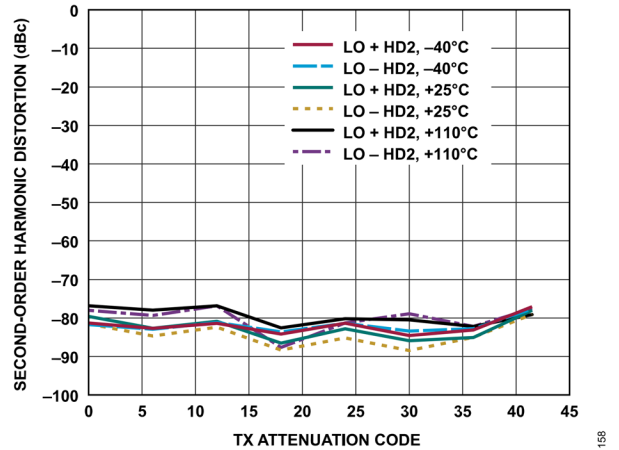


図 59. トランスミッタの 2 次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

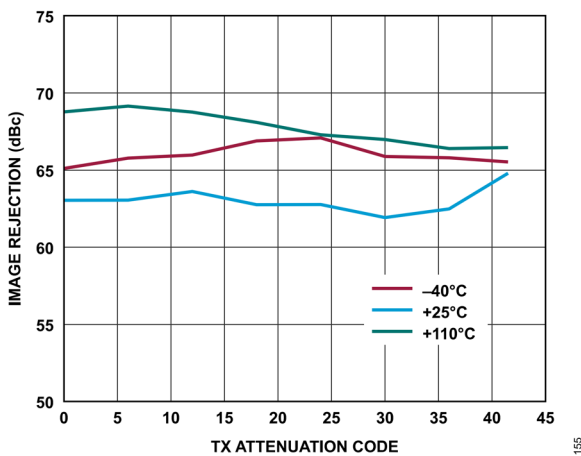


図 57. トランスミッタのイメージ除去とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

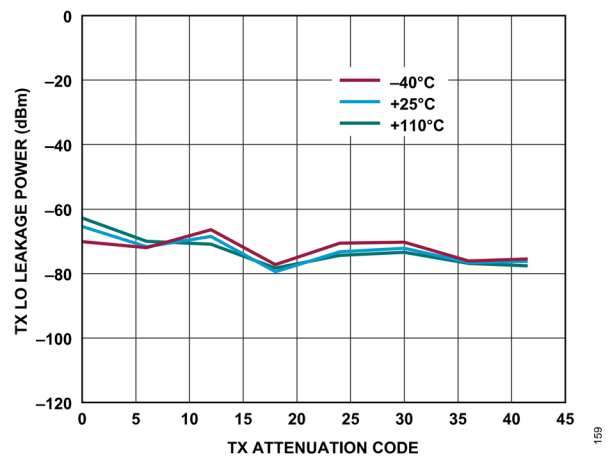


図 60. トランスミッタの LO リーク電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

代表的な性能特性

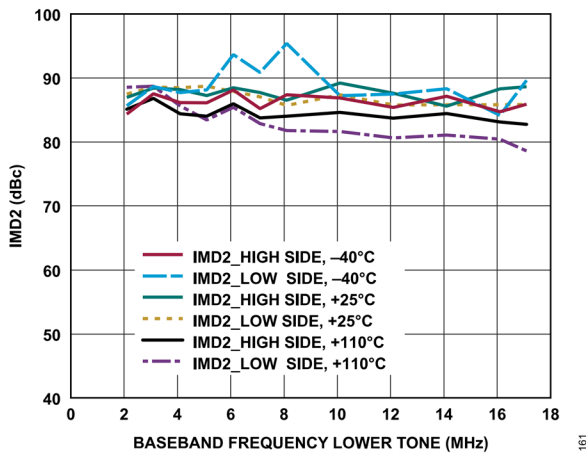


図 61. トランスミッタの IMD2 とベースバンド周波数の関係、トランスミッタ減衰コード = 0、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz

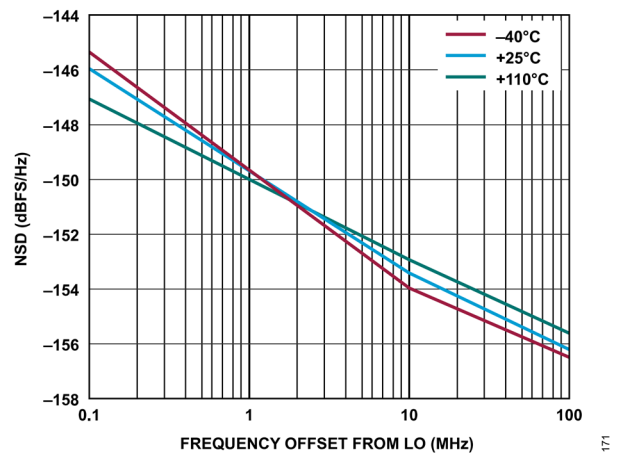


図 63. トランスミッタの NSD と LO からの周波数オフセットの関係、ベースバンド周波数 = 5.6MHz、トランスミッタ・チャンネル = Ch1

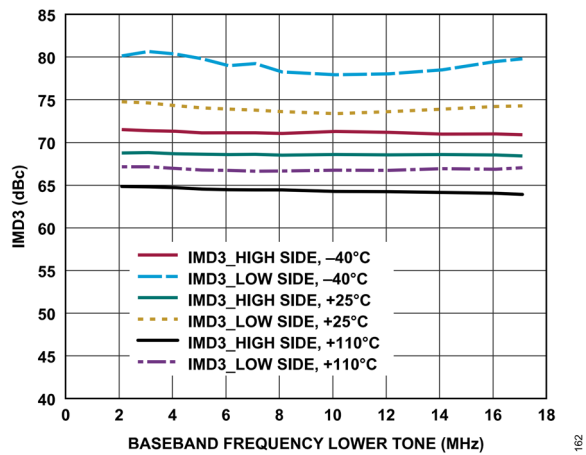


図 62. トランスミッタの IMD3 とベースバンド周波数の関係、トランスミッタ減衰コード = 0、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz

代表的な性能特性

900MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 900MHz に設定されています。

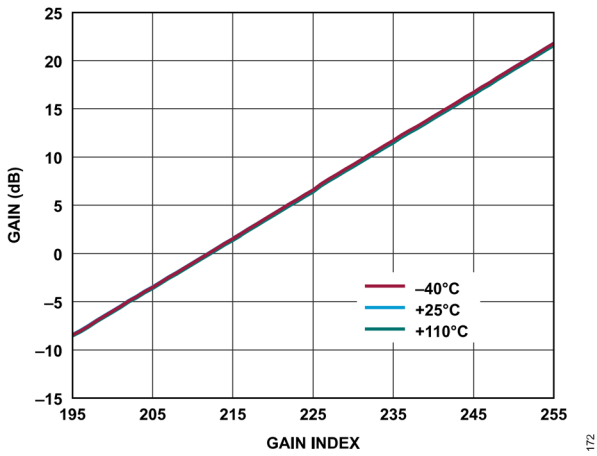


図 64. レシーバーの絶対ゲイン（複素数）とゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能、 $P_{OUT} = -9.6\text{dBFS}$

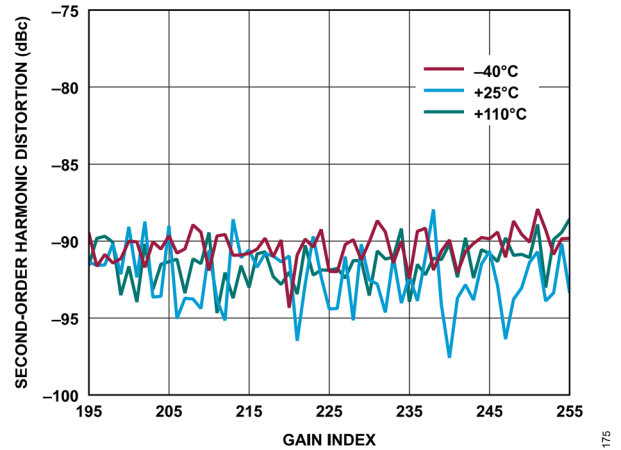


図 67. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

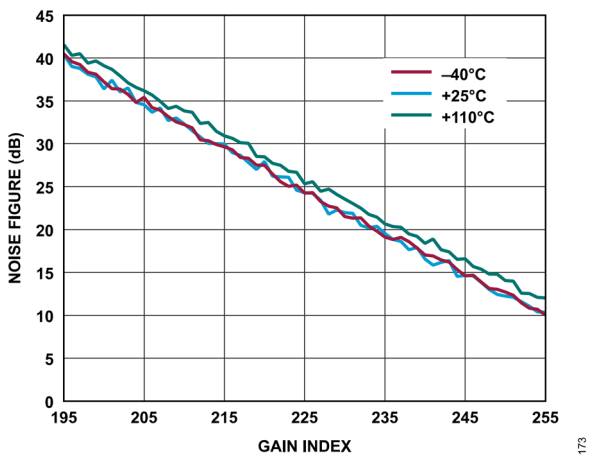


図 65. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

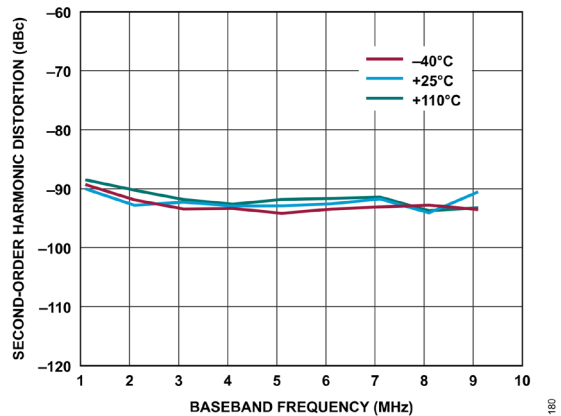


図 68. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

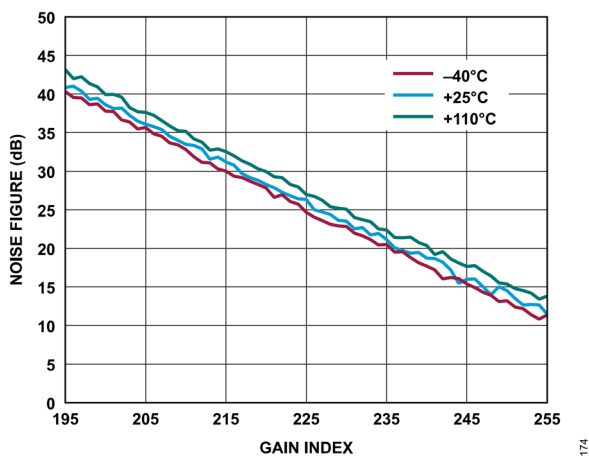


図 66. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

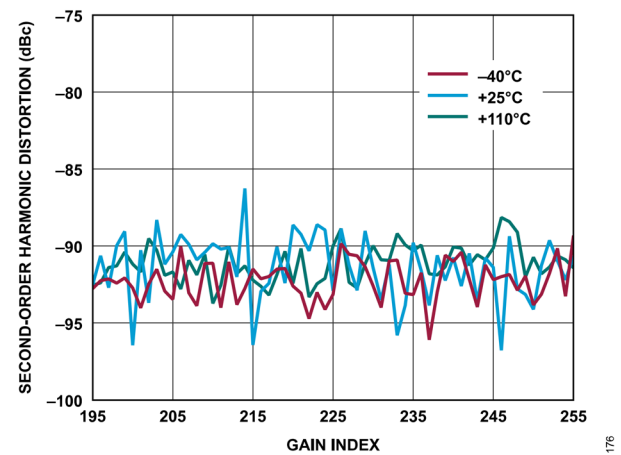


図 69. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

代表的な性能特性

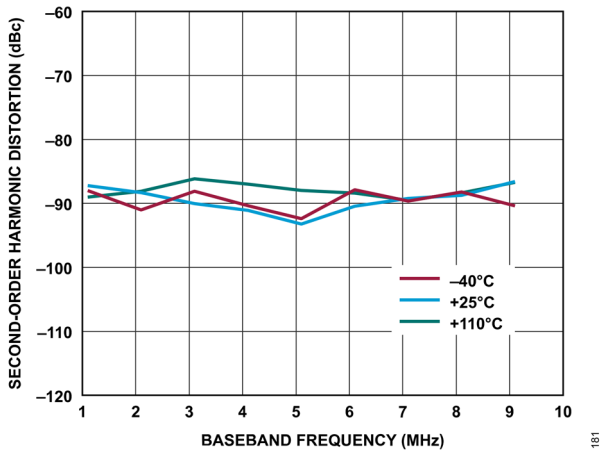


図 70. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

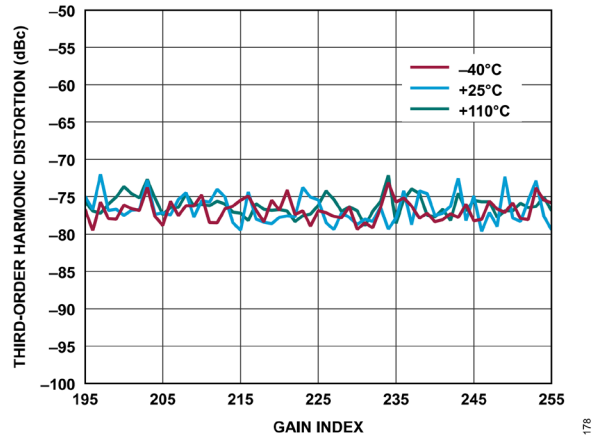


図 73. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

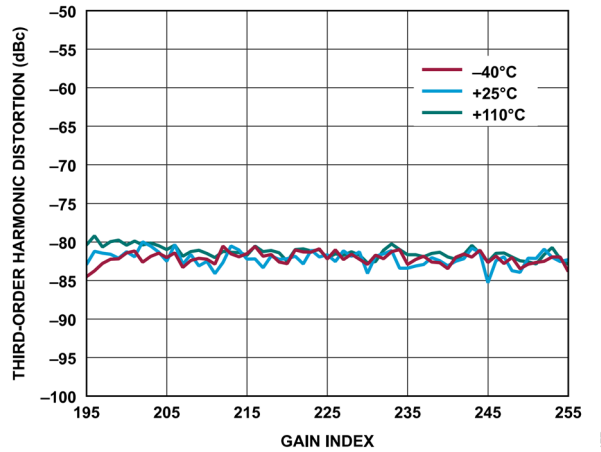


図 71. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

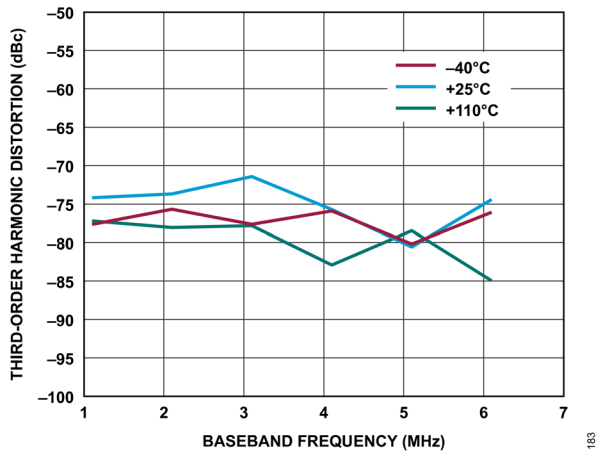


図 74. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

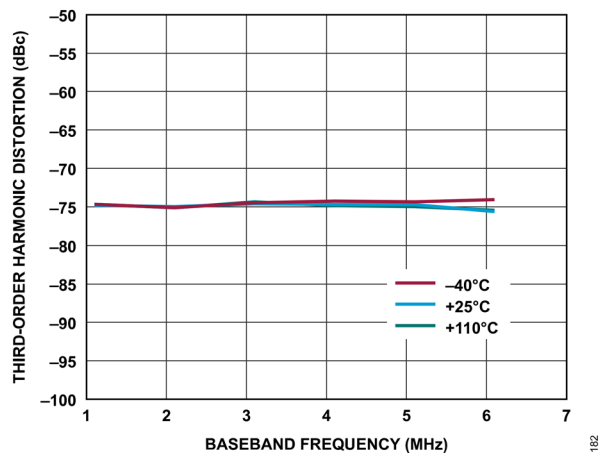


図 72. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

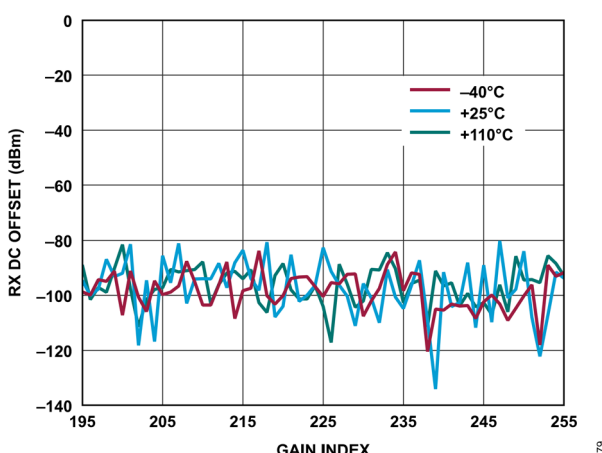


図 75. レシーバーの DC オフセットとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

代表的な性能特性

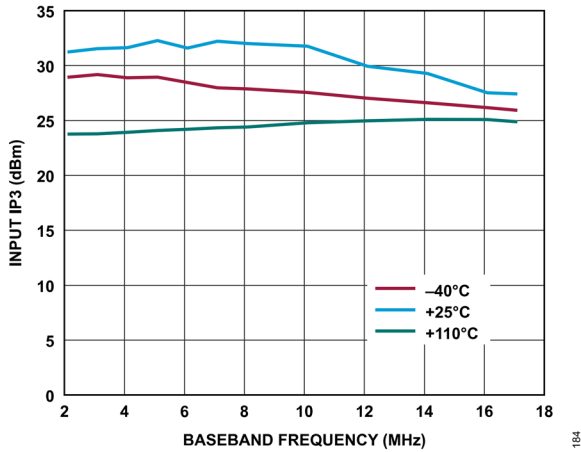


図 76. レシーバーの入力 IP3 とベースバンド周波数の関係、ADC = 高性能、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

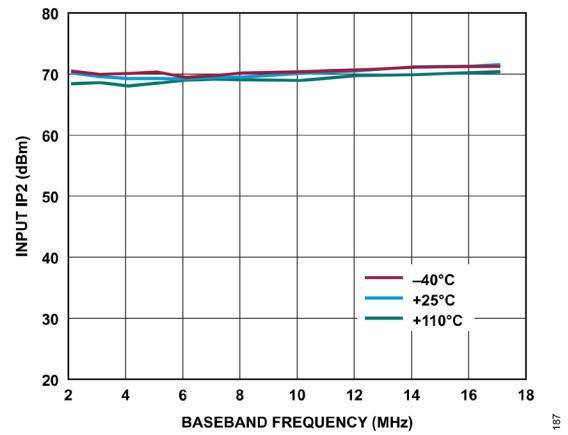


図 79. レシーバーの入力 IP2 とベースバンド周波数の関係、ADC = 低消費電力、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

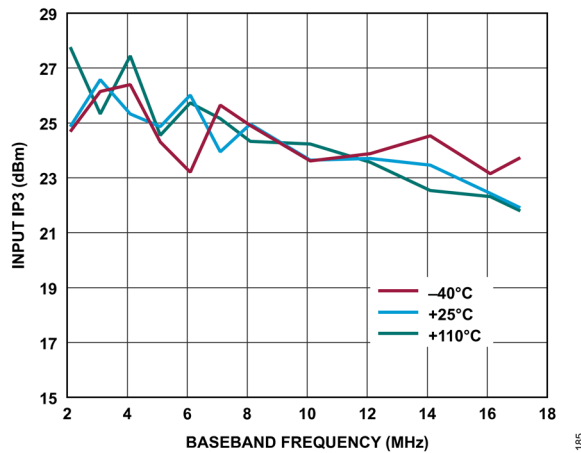


図 77. レシーバーの入力 IP3 とベースバンド周波数の関係、ADC = 低消費電力、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

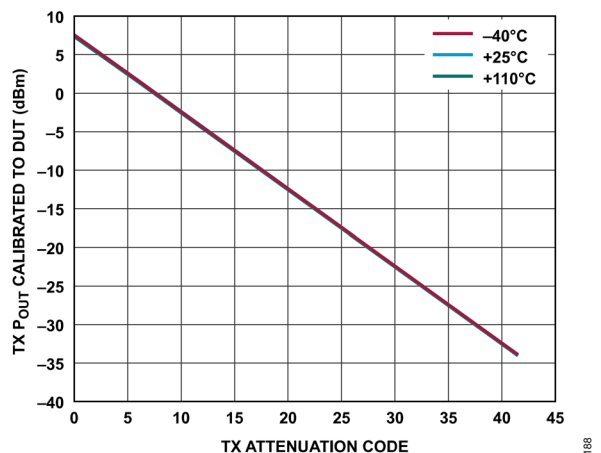


図 80. トランスミッタの絶対電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

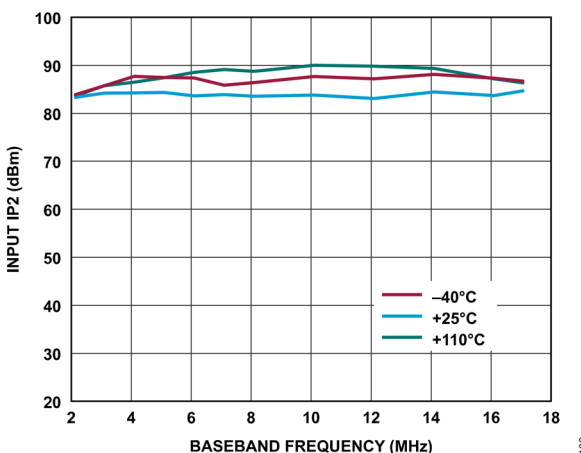


図 78. レシーバーの入力 IP2 とベースバンド周波数の関係、ADC = 高性能、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

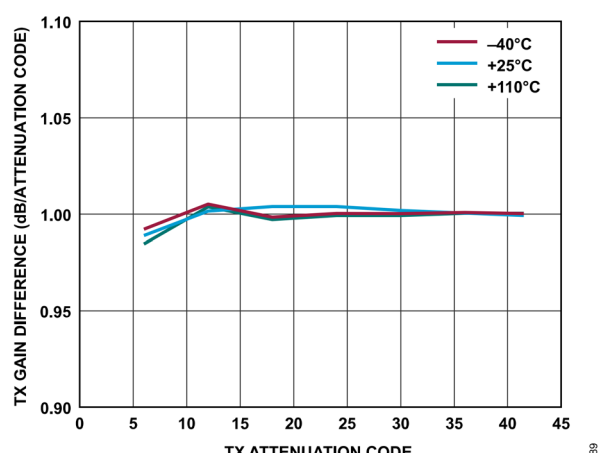


図 81. トランスミッタの減衰デルタ (誤差) とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

代表的な性能特性

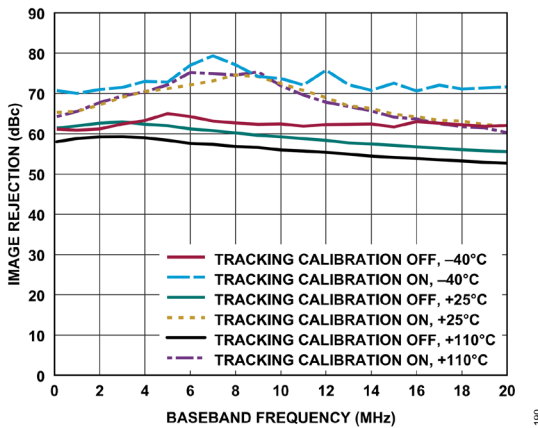


図 82. トランスミッタのイメージ除去とベースバンド周波数の関係、トラッキング・キャリブレーション・オンとトラッキング・キャリブレーション・オフの比較、トランスミッタ減衰コード = 0

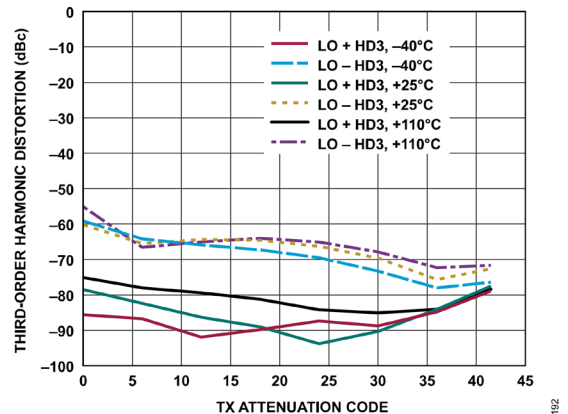


図 85. トランスミッタの3次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

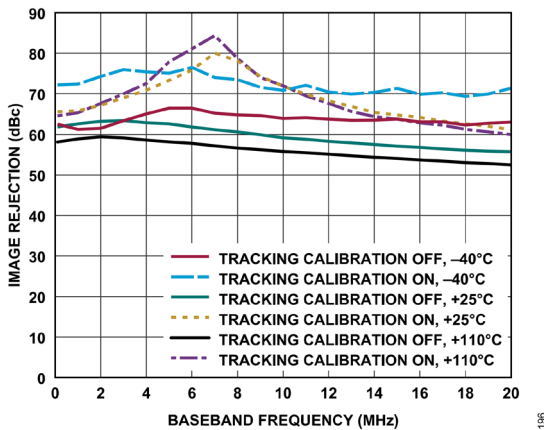


図 83. トランスミッタのイメージ除去とベースバンド周波数の関係、トラッキング・キャリブレーション・オンとトラッキング・キャリブレーション・オフの比較、トランスミッタ減衰コード = 20

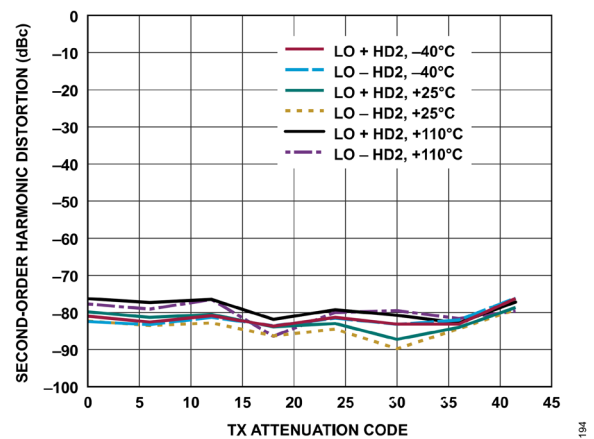


図 86. トランスミッタの2次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

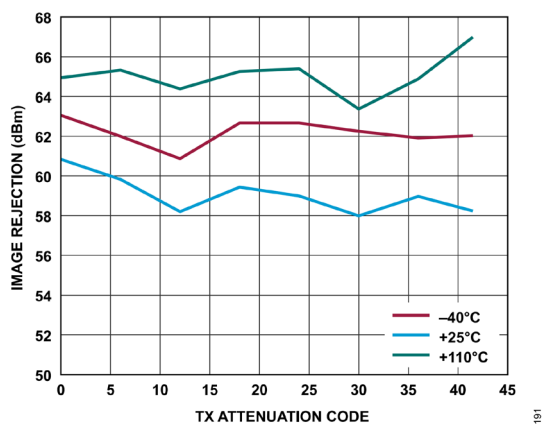


図 84. トランスミッタのイメージ除去とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

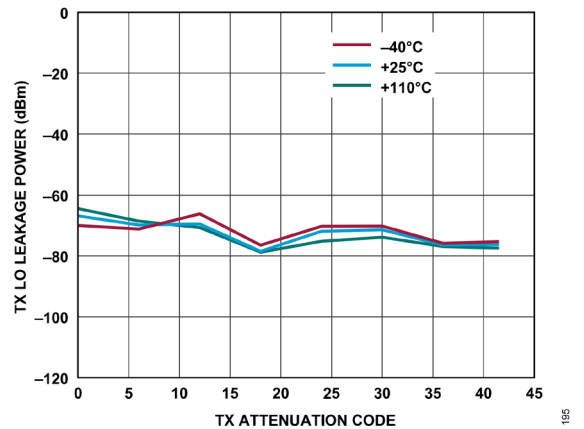


図 87. トランスミッタのLOリーク電力と減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

代表的な性能特性

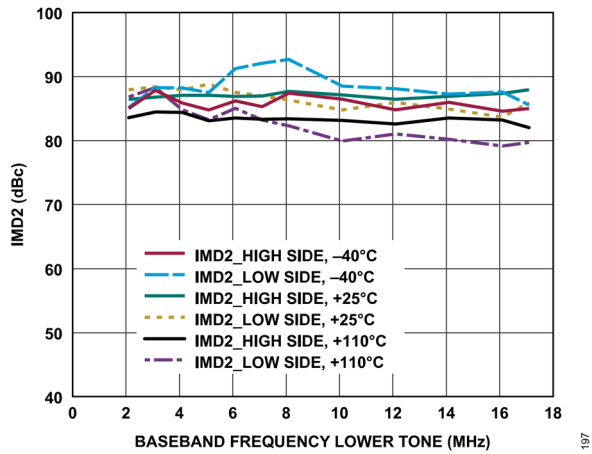


図 88. トランスミッタの IMD2 とベースバンド周波数の関係、トランスミッタ減衰コード = 0、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz

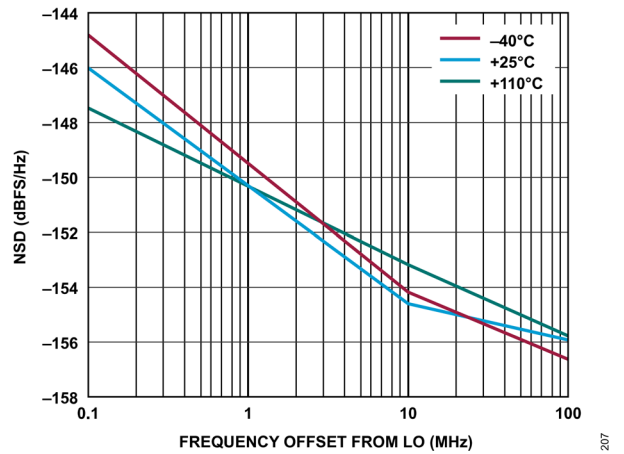


図 90. トランスミッタの NSD と LO からの周波数オフセットの関係、ベースバンド周波数 = 5.6MHz、トランスミッタ・チャンネル = Ch1

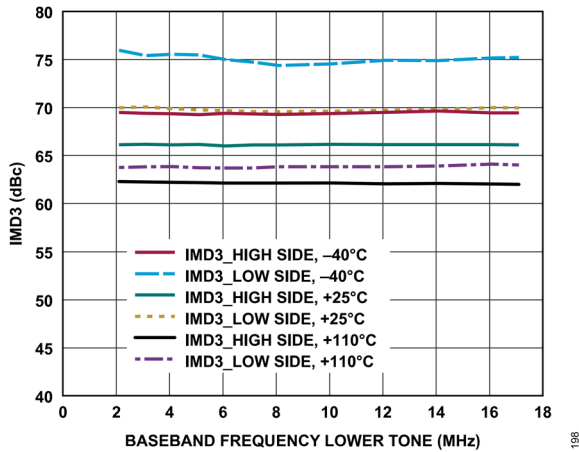


図 89. トランスミッタの IMD3 とベースバンド周波数の関係、トランスミッタ減衰コード = 0、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz

代表的な性能特性

2400MHz LO

特に指定のない限り、すべての LO 周波数は 2400MHz に設定されています。

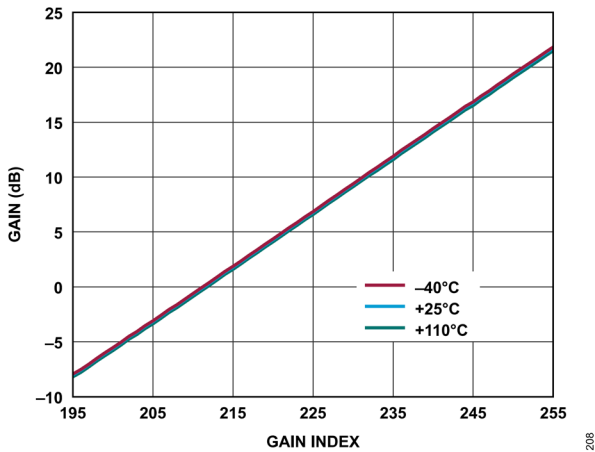


図 91. レシーバーの絶対ゲイン (複素数) とゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能、 $P_{OUT} = -9.6\text{dBFS}$

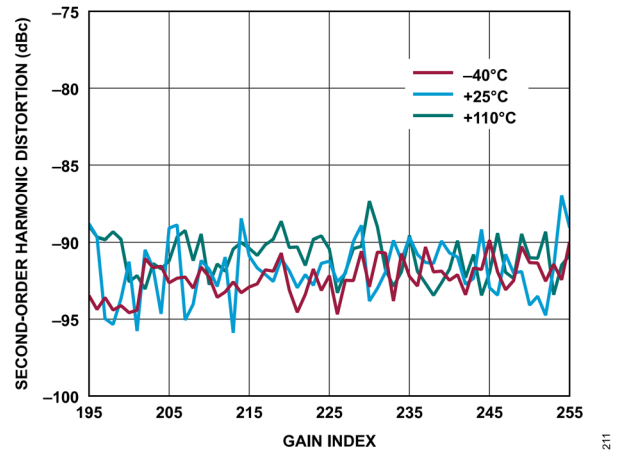


図 94. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

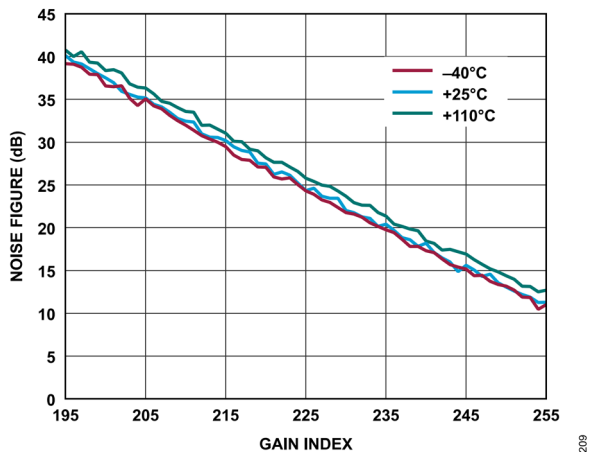


図 92. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

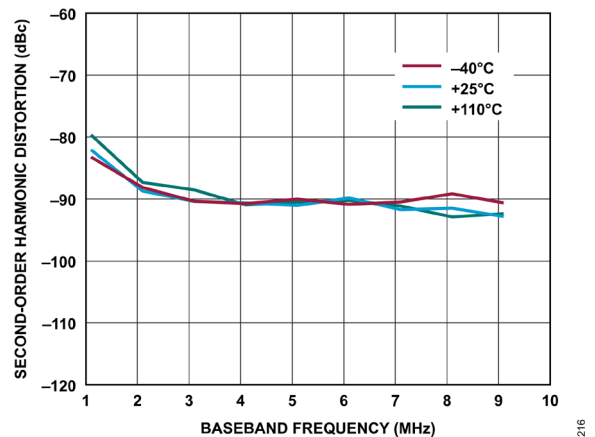


図 95. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

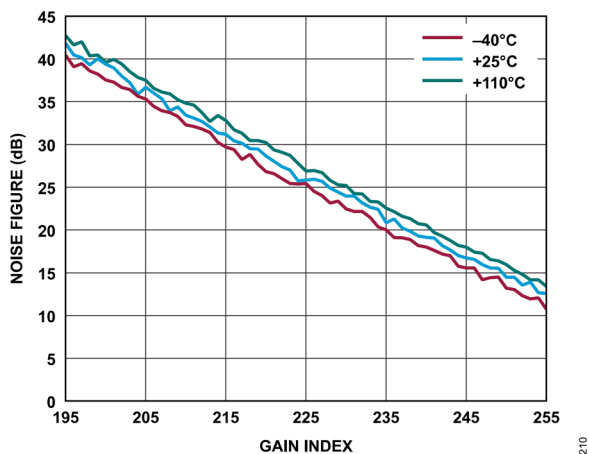


図 93. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

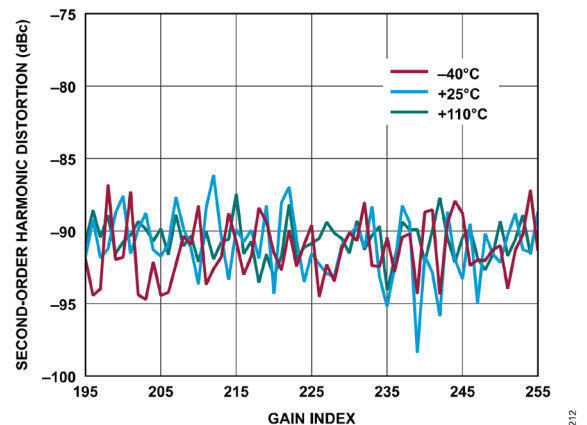
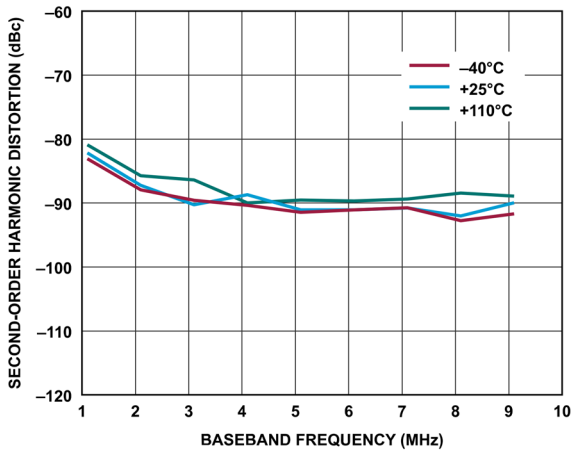


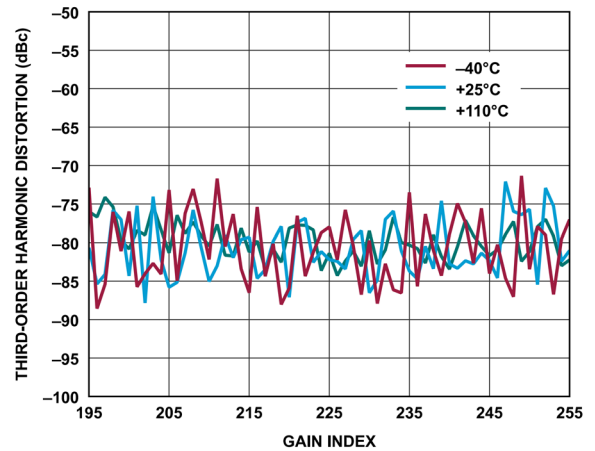
図 96. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

代表的な性能特性



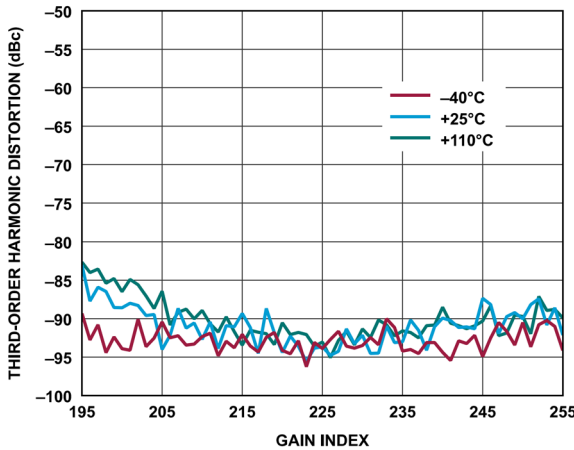
217

図 97. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力



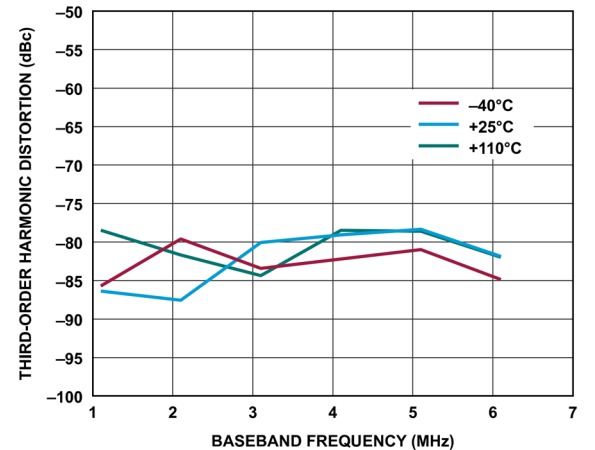
214

図 100. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力



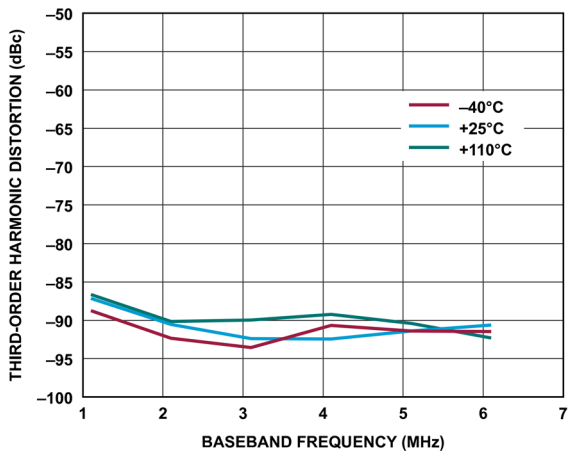
213

図 98. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能



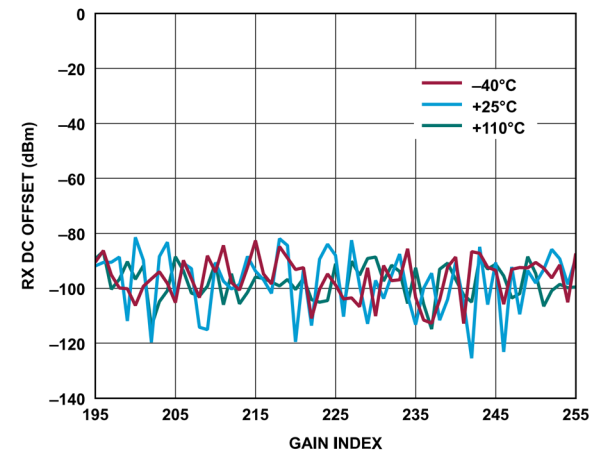
219

図 101. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力



218

図 99. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能



215

図 102. レシーバーの DC オフセットとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

代表的な性能特性

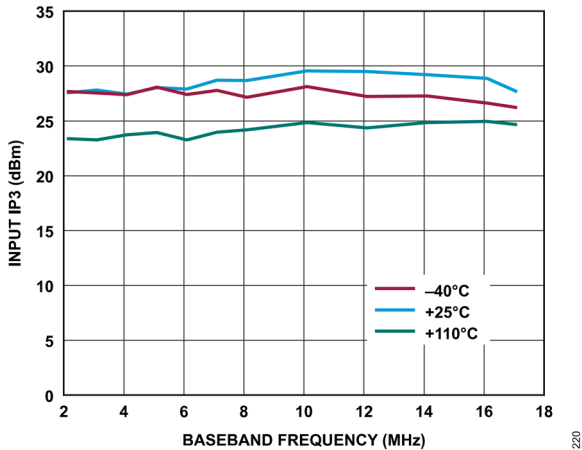


図 103. レシーバーの入力 IP3 とベースバンド周波数の関係、ADC = 高性能、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

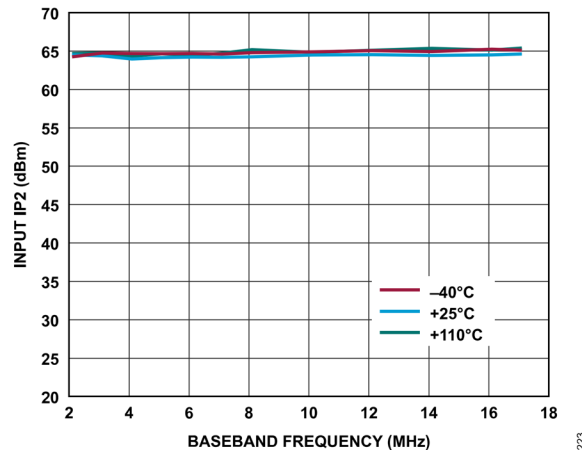


図 106. レシーバーの入力 IP2 とベースバンド周波数の関係、ADC = 低消費電力、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

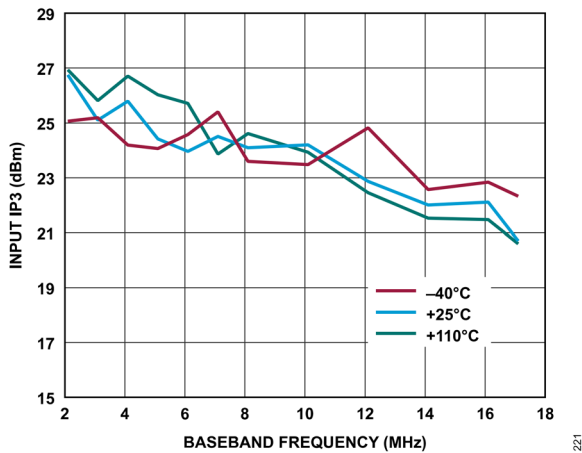


図 104. レシーバーの入力 IP3 とベースバンド周波数の関係、ADC = 低消費電力、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

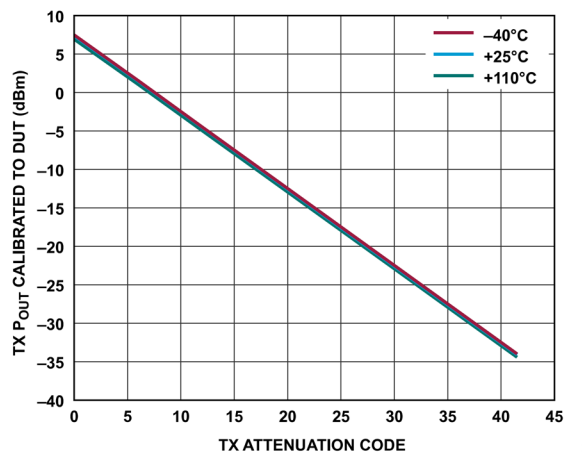


図 107. トランスミッタの絶対電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

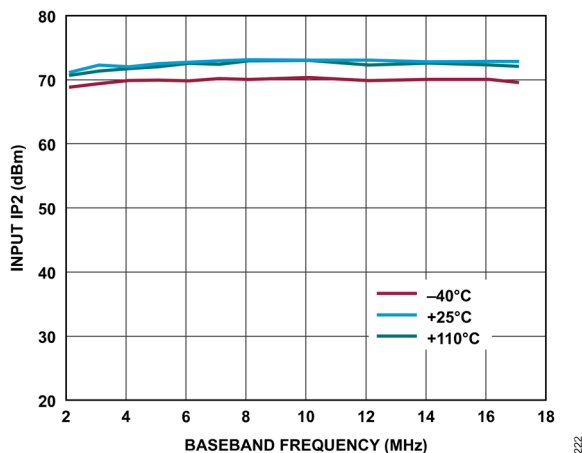


図 105. レシーバーの入力 IP2 とベースバンド周波数の関係、ADC = 高性能、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

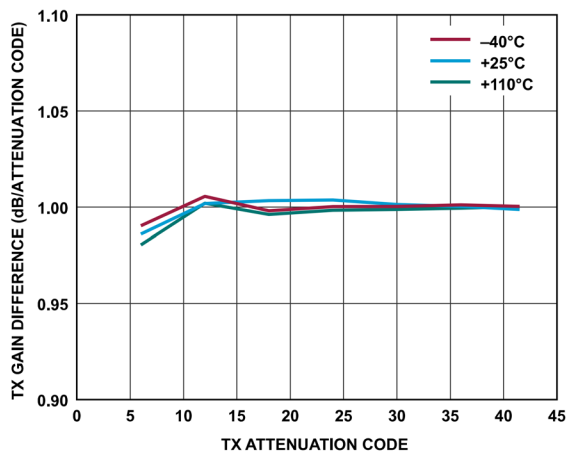


図 108. トランスミッタの減衰デルタ (誤差) とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

代表的な性能特性

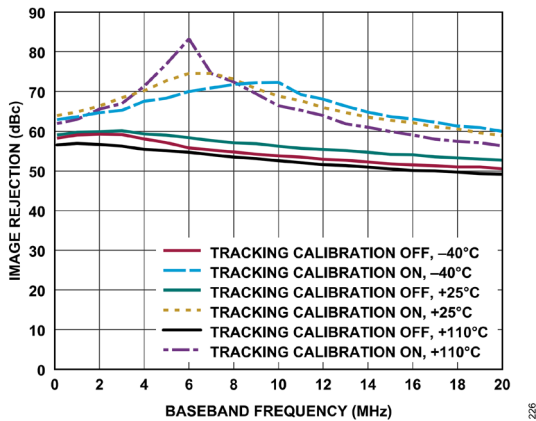


図 109. ランスミッタのイメージ除去とベースバンド周波数の関係、トラッキング・キャリブレーション・オンとトラッキング・キャリブレーション・オフの比較、トランスミッタ減衰コード = 0

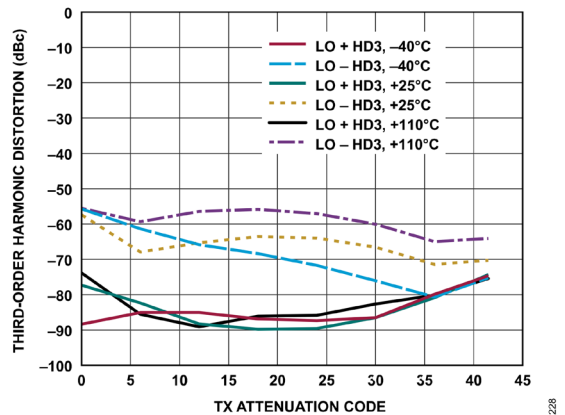


図 112. トランスミッタの 3 次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

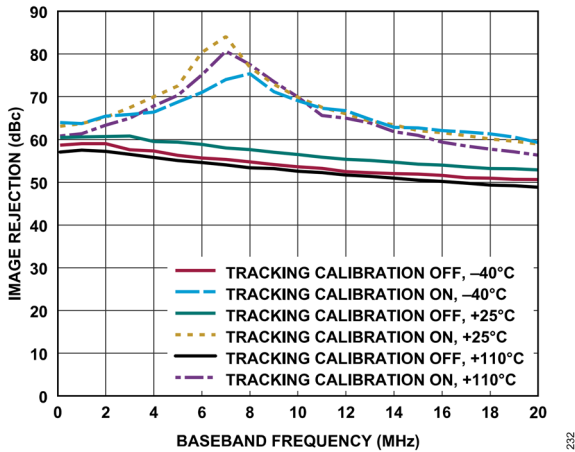


図 110. トランスミッタのイメージ除去とベースバンド周波数の関係、トラッキング・キャリブレーション・オンとトラッキング・キャリブレーション・オフの比較、トランスミッタ減衰コード = 20

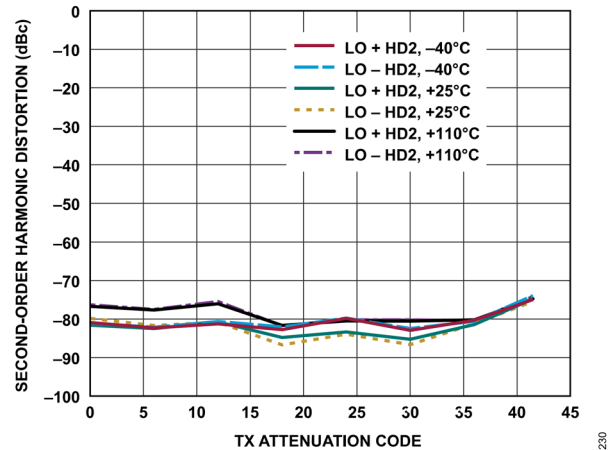


図 113. トランスミッタの 2 次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

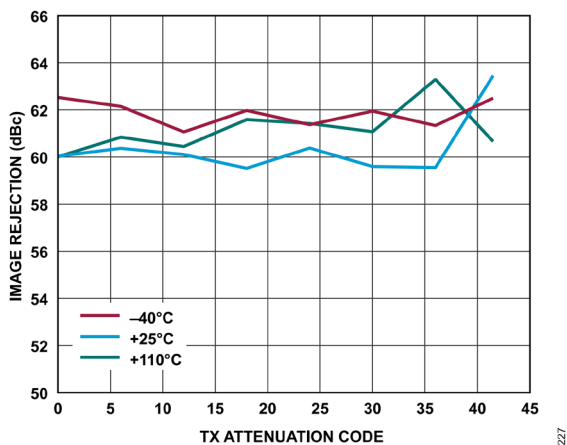


図 111. トランスミッタのイメージ除去とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

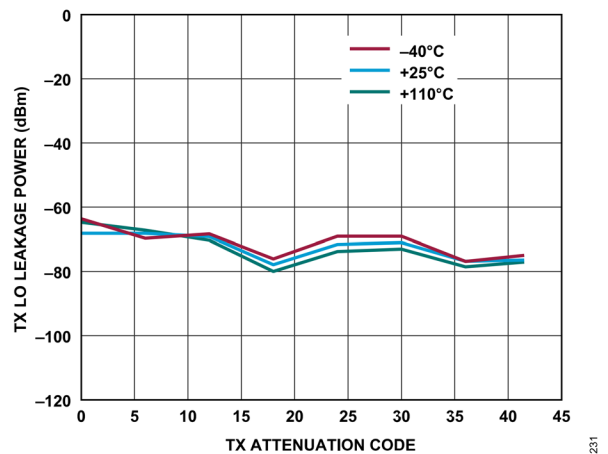


図 114. トランスミッタの LO リーク電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

代表的な性能特性

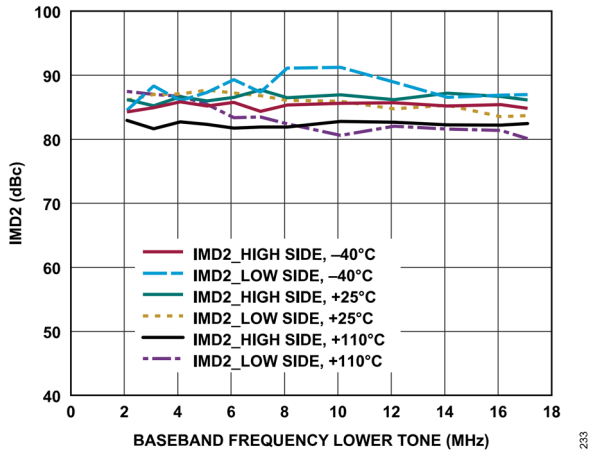


図 115. トランスミッタの IMD2 とベースバンド周波数の関係、トランスミッタ減衰コード = 0、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz

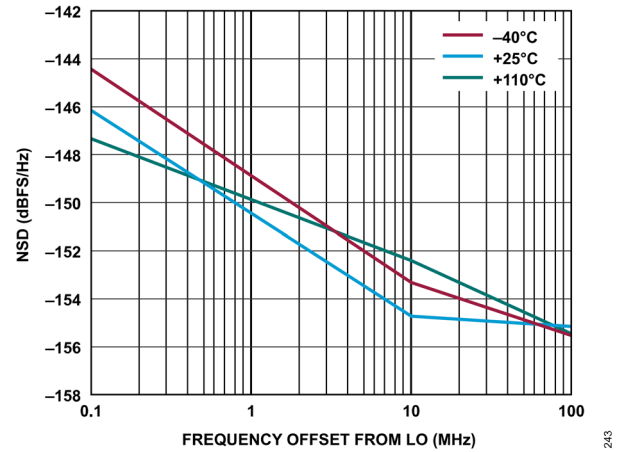


図 117. トランスミッタの NSD と LO からの周波数オフセットの関係、ベースバンド周波数 = 5.6MHz、トランスミッタ・チャンネル = Ch1

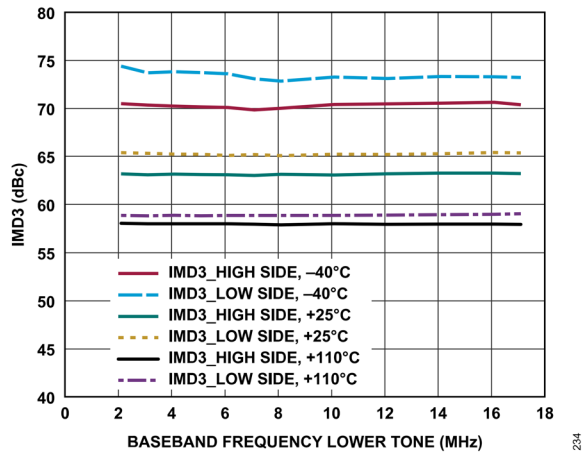


図 116. トランスミッタの IMD3 とベースバンド周波数の関係、トランスミッタ減衰コード = 0、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz

代表的な性能特性

3500MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 3500MHz に設定されています。

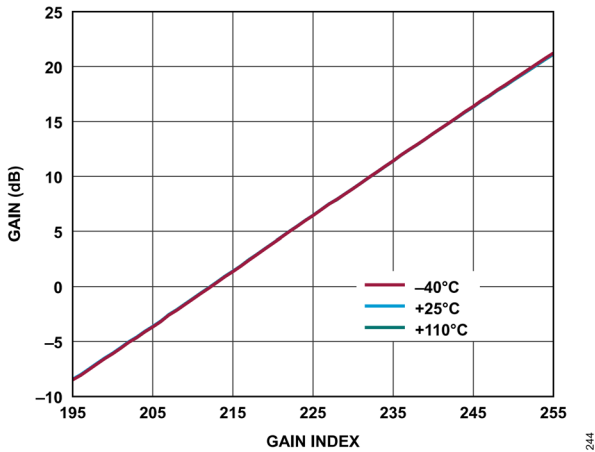


図 118. レシーバーの絶対ゲイン（複素数）とゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能、 $P_{OUT} = -9.6dBFS$

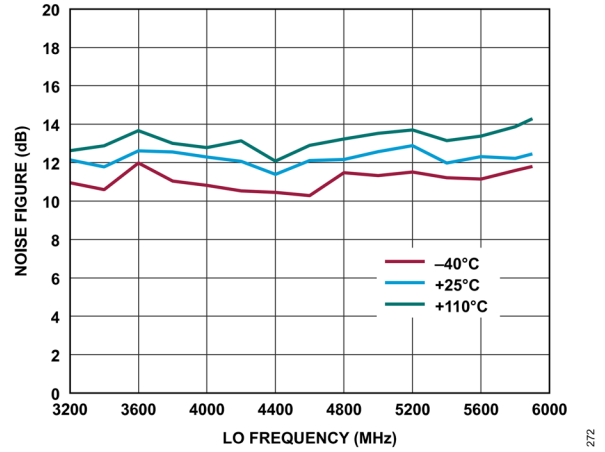


図 121. レシーバーのノイズ指数と LO 周波数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

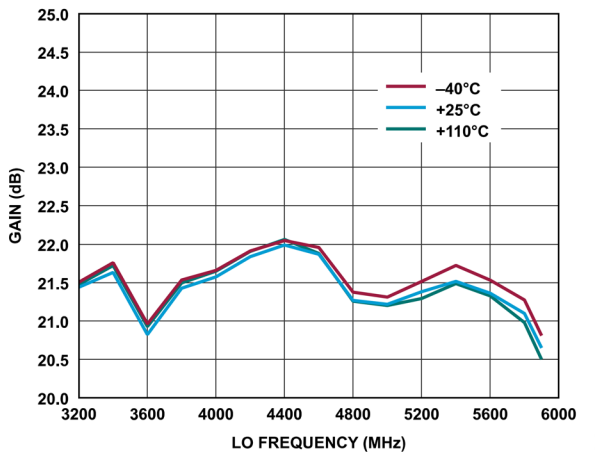


図 119. レシーバーの絶対ゲイン（複素数）と LO 周波数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能、 $P_{OUT} = -9.6dBFS$

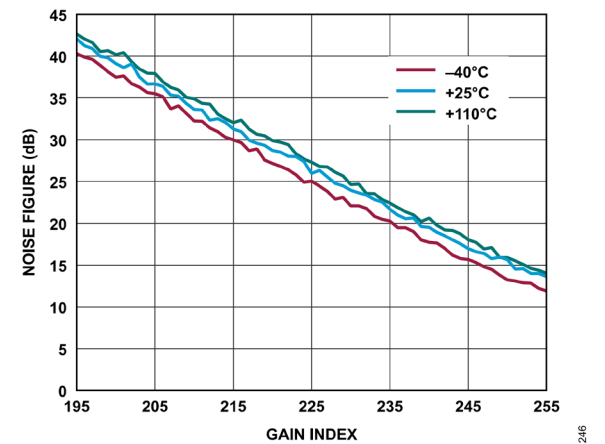


図 122. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

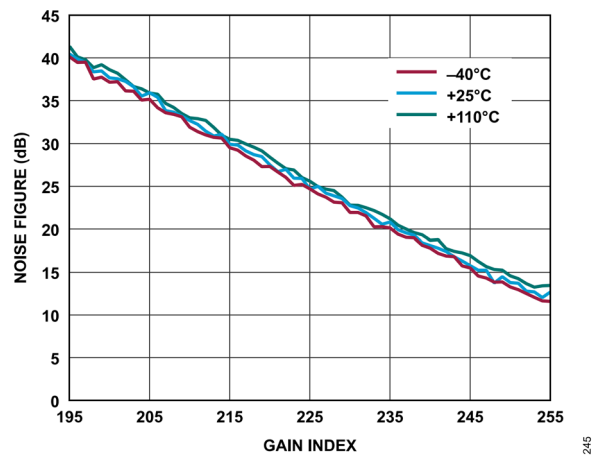


図 120. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

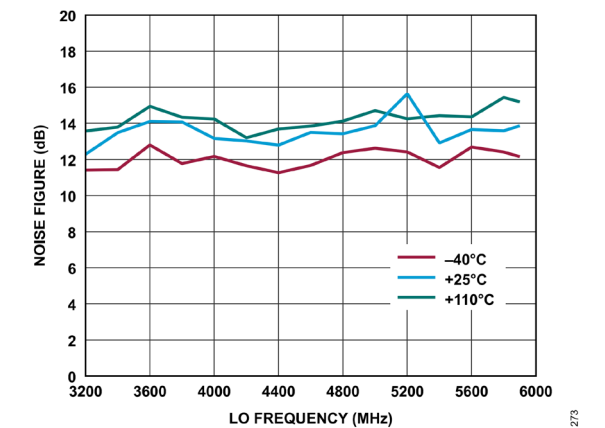
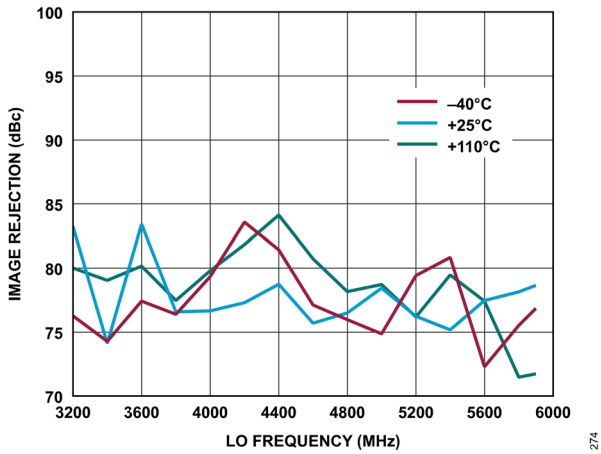


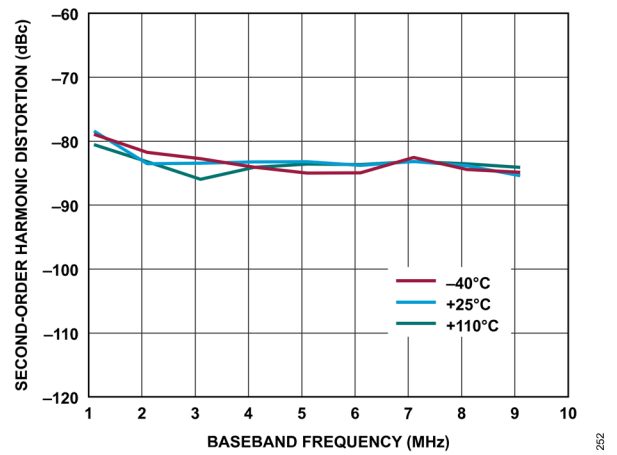
図 123. レシーバーのノイズ指数と LO 周波数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

代表的な性能特性



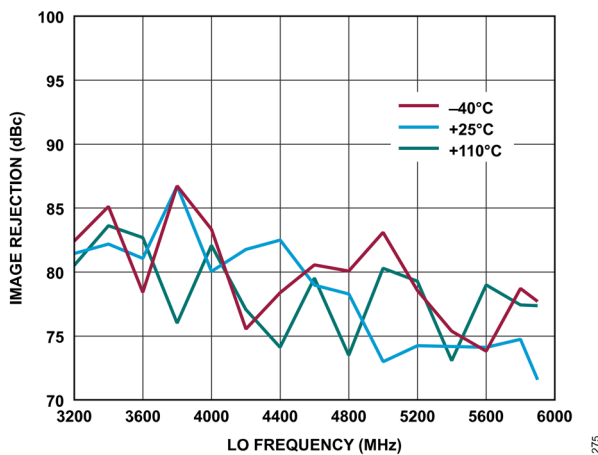
274

図 124. レシーバーのイメージ除去と LO 周波数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能、初期化キャリブレーションおよびハードウェア・トラッキング・キャリブレーションのみ



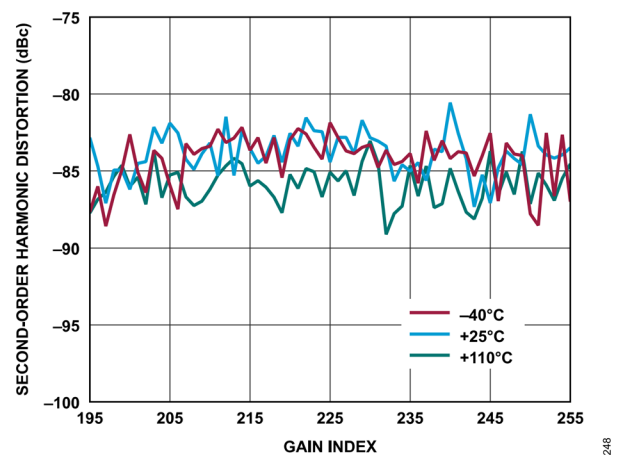
282

図 127. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能



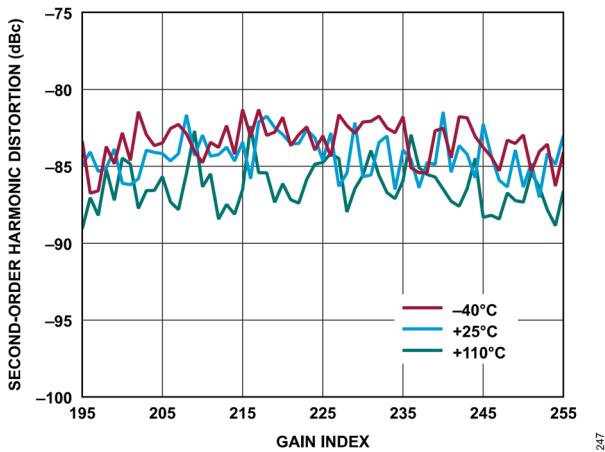
275

図 125. レシーバーのイメージ除去と LO 周波数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力、初期化キャリブレーションおよびハードウェア・トラッキング・キャリブレーションのみ



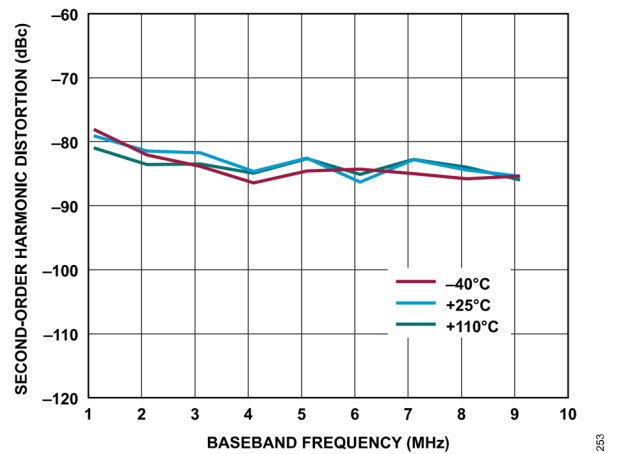
248

図 128. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力



247

図 126. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能



283

図 129. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

代表的な性能特性

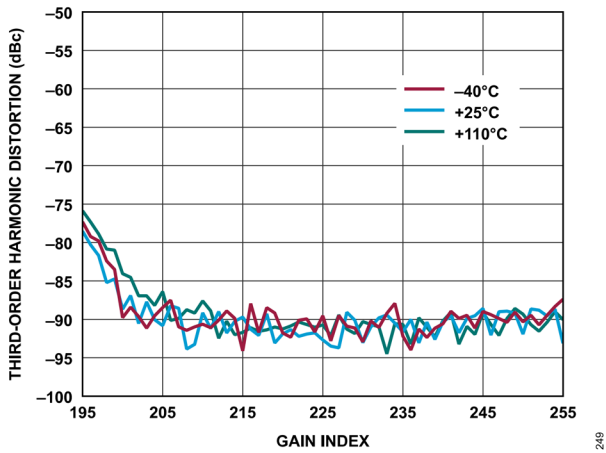


図 130. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

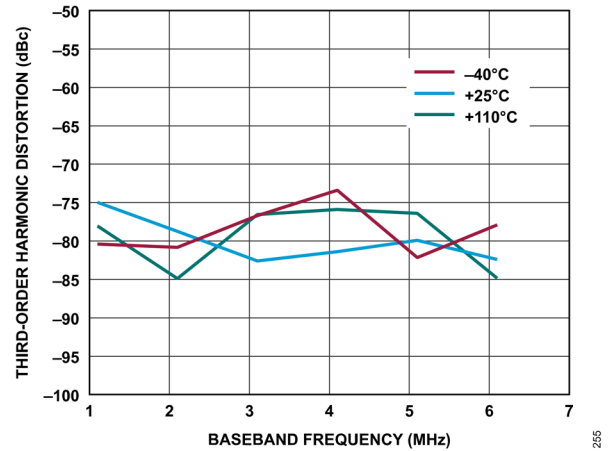


図 133. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

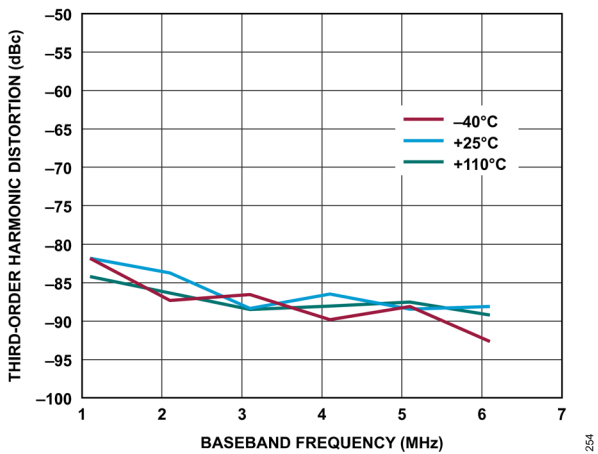


図 131. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

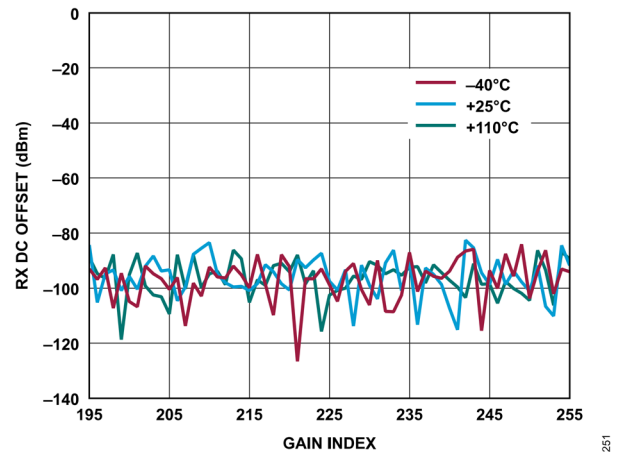


図 134. レシーバーの DC オフセットとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

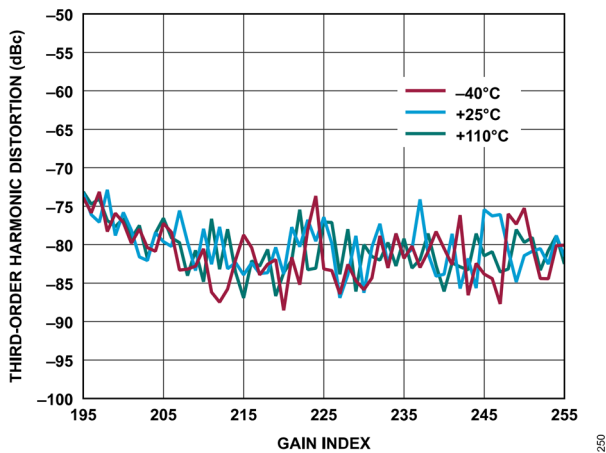


図 132. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

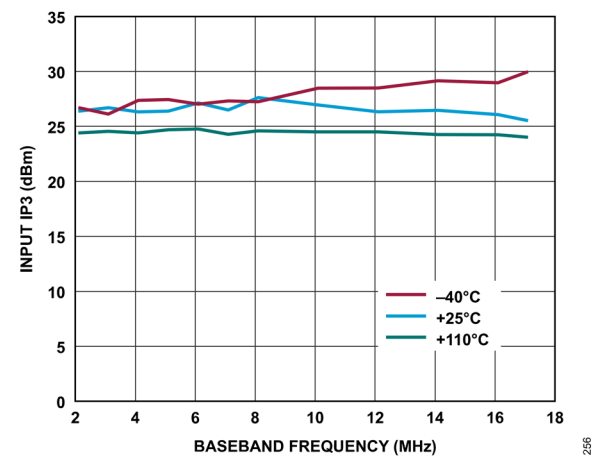


図 135. レシーバーの入力 IP3 とベースバンド周波数の関係、ADC = 高性能、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

代表的な性能特性

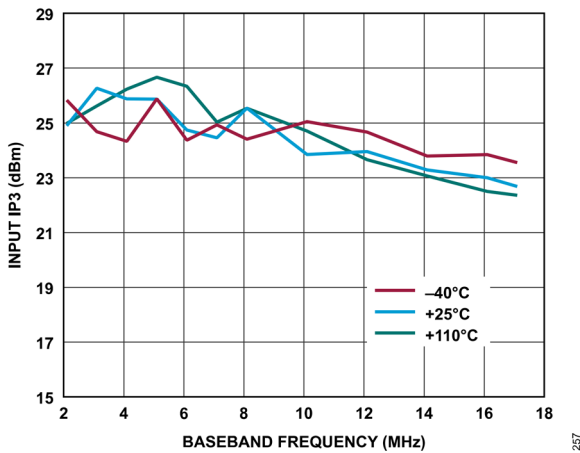


図 136. レシーバーの入力 IP3 とベースバンド周波数の関係、ADC = 低消費電力、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

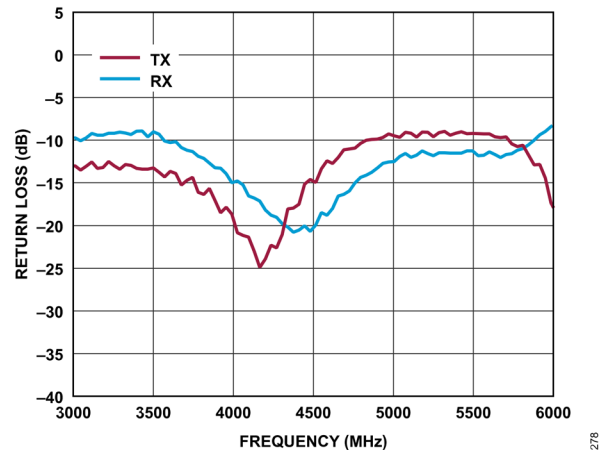


図 139. レシーバーおよびトランスミッタのリターン損失と周波数の関係 (LO = 3GHz~6GHz)

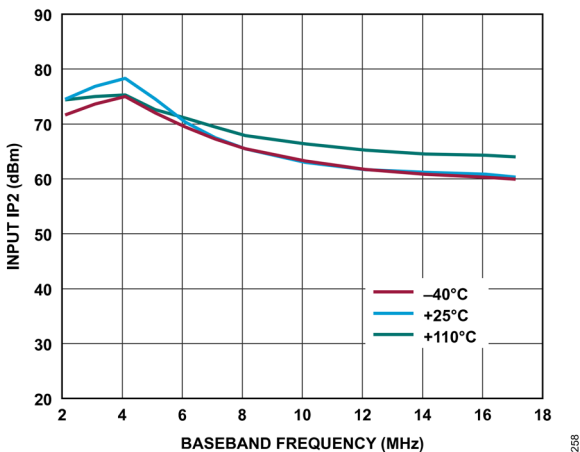


図 137. レシーバーの入力 IP2 とベースバンド周波数の関係、ADC = 高性能、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

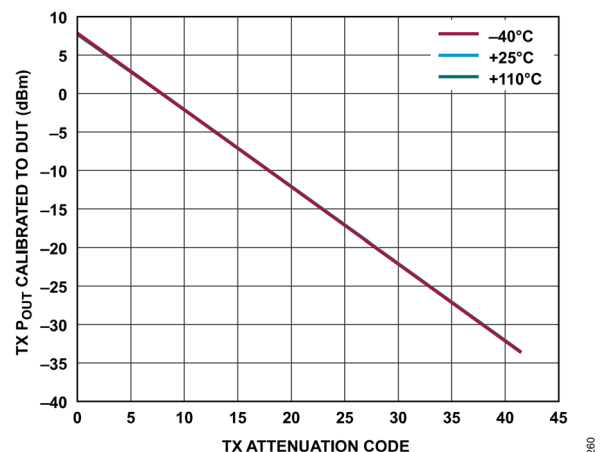


図 140. トランスミッタの絶対電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

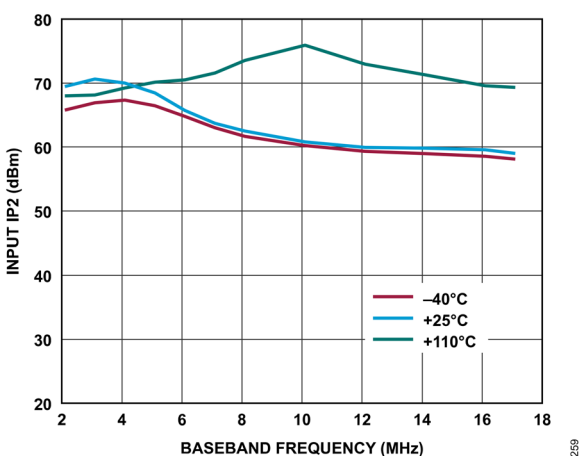


図 138. レシーバーの入力 IP2 とベースバンド周波数の関係、ADC = 低消費電力、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

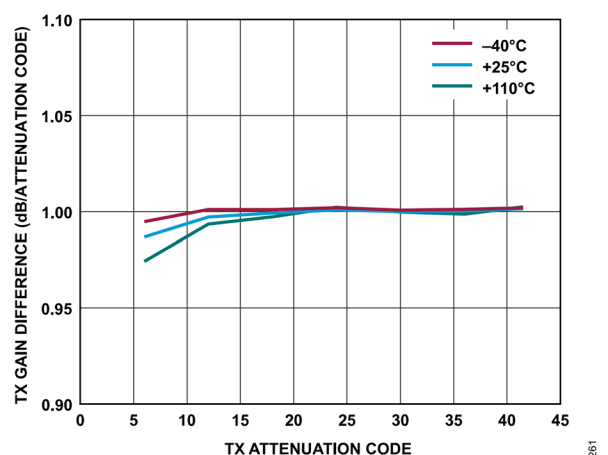


図 141. トランスミッタの減衰デルタ (誤差) とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

代表的な性能特性

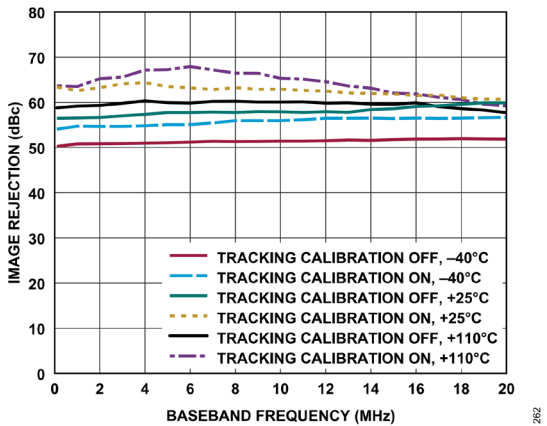


図 142. トランスミッタのイメージ除去とベースバンド周波数の関係、トラッキング・キャリブレーション・オンとトラッキング・キャリブレーション・オフの比較、トランスミッタ減衰コード = 0

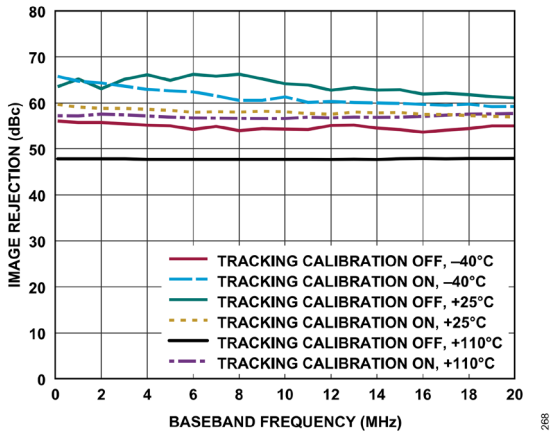


図 143. トランスミッタのイメージ除去とベースバンド周波数の関係、トラッキング・キャリブレーション・オンとトラッキング・キャリブレーション・オフの比較、トランスミッタ減衰コード = 20

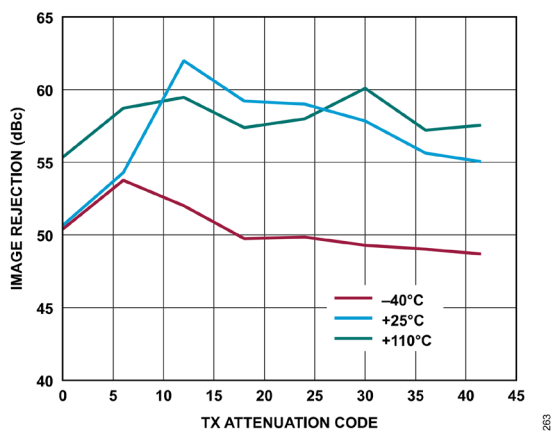


図 144. トランスミッタのイメージ除去とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

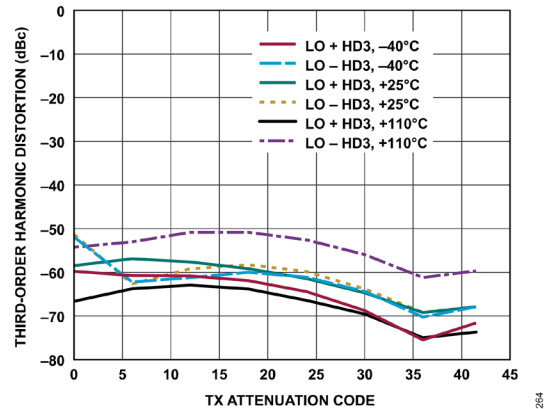


図 145. トランスミッタの 3 次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

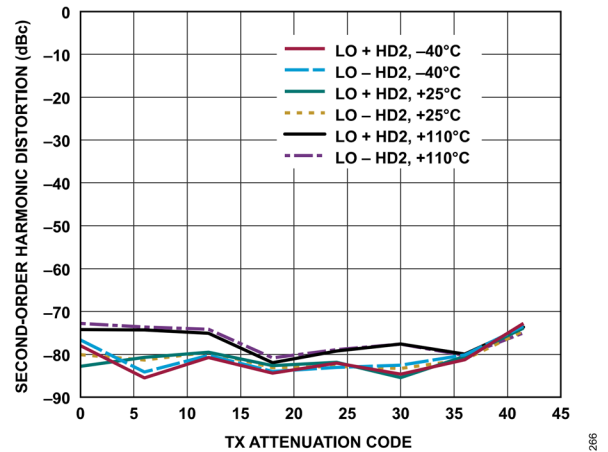


図 146. トランスミッタの 2 次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

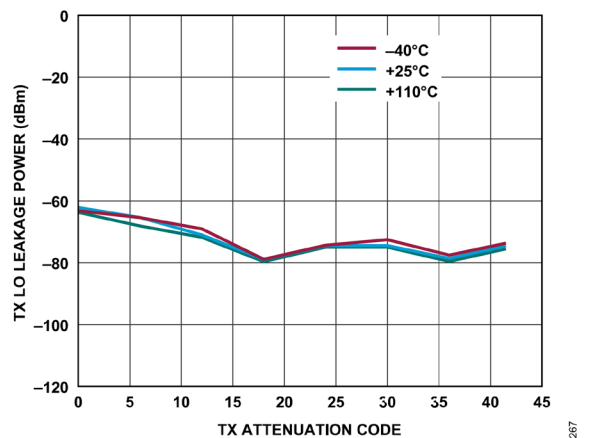


図 147. ランスミッタの LO リーク電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

代表的な性能特性

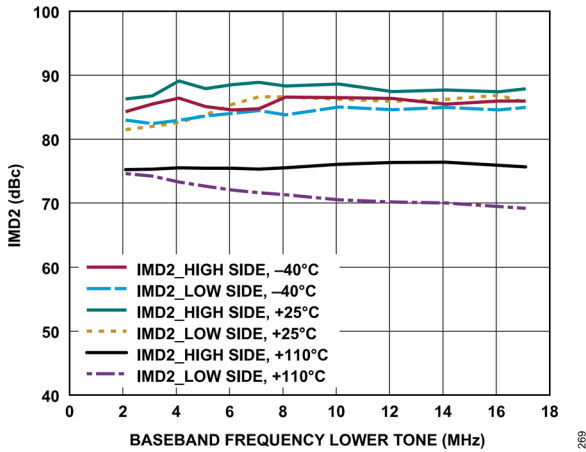


図 148. トランスミッタの IMD2 とベースバンド周波数の関係、トランスミッタ減衰コード = 0、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz

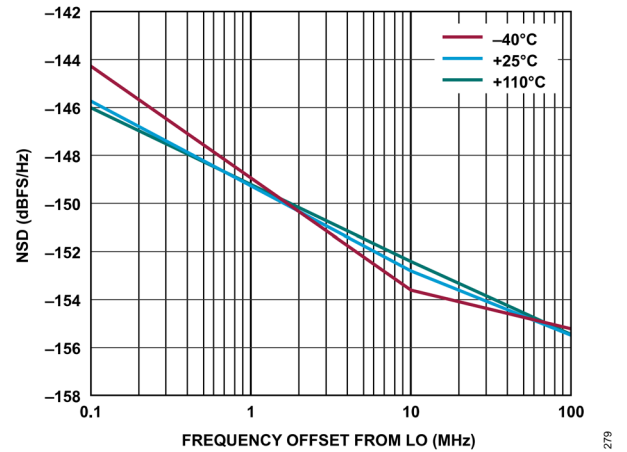


図 150. トランスミッタの NSD と LO からの周波数オフセットの関係、ベースバンド周波数 = 5.6MHz、トランスミッタ・チャンネル = Ch1

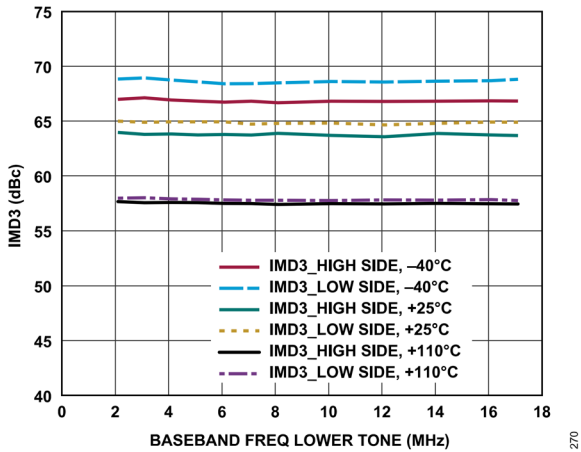


図 149. トランスミッタの IMD3 とベースバンド周波数の関係、トランスミッタ減衰コード = 0、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz

代表的な性能特性

5800MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 5800MHz に設定されています。

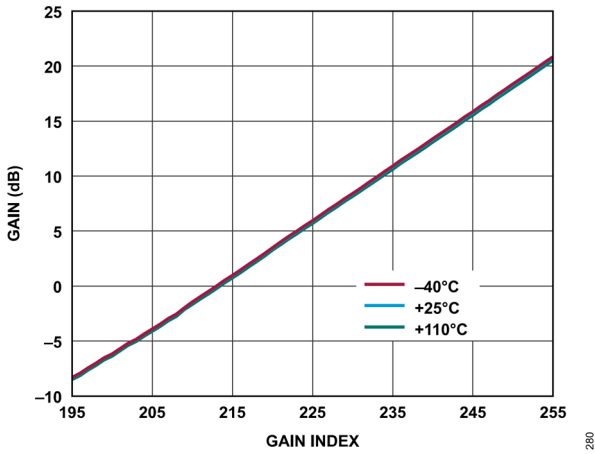


図 151. レシーバーの絶対ゲイン（複素数）とゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能、 $P_{OUT} = -9.6\text{dBFS}$

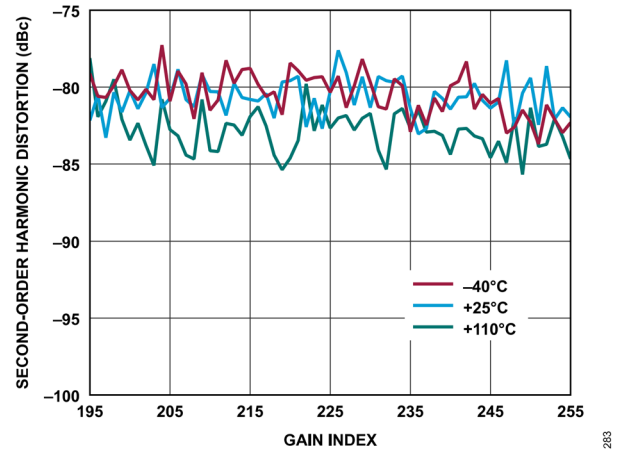


図 154. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

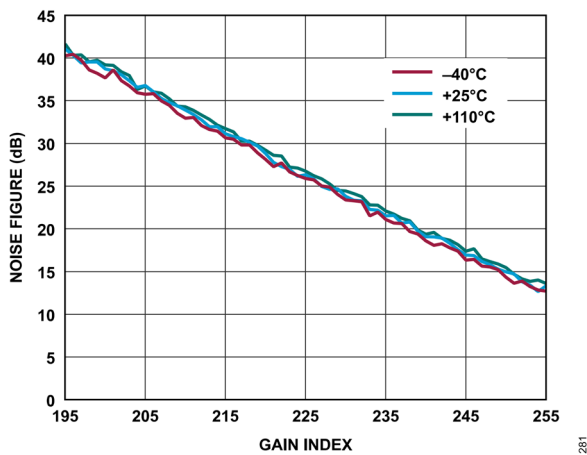


図 152. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

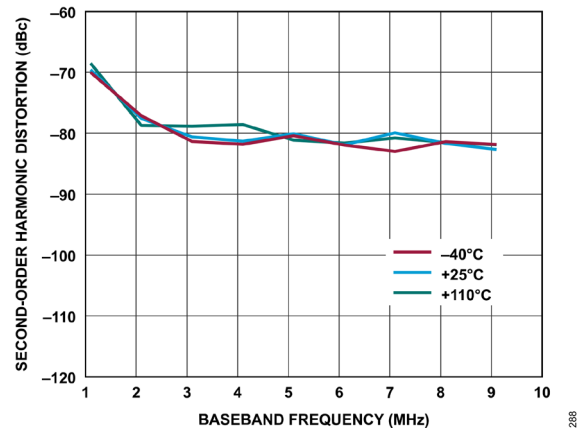


図 155. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

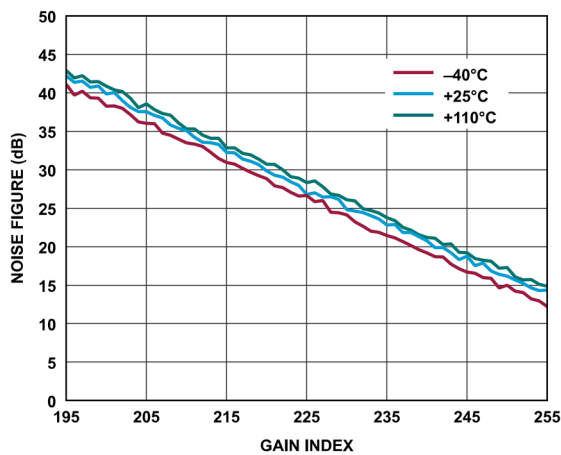


図 153. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

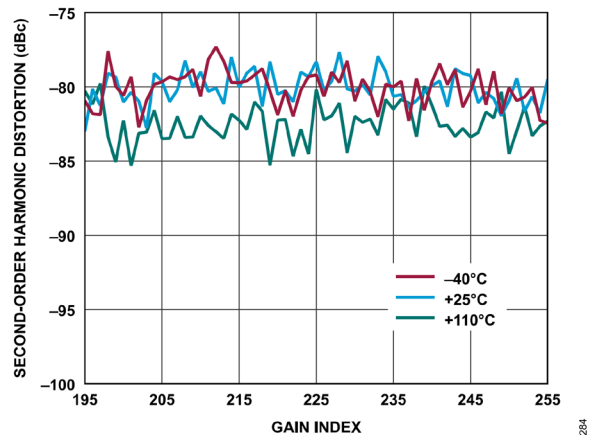


図 156. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

代表的な性能特性

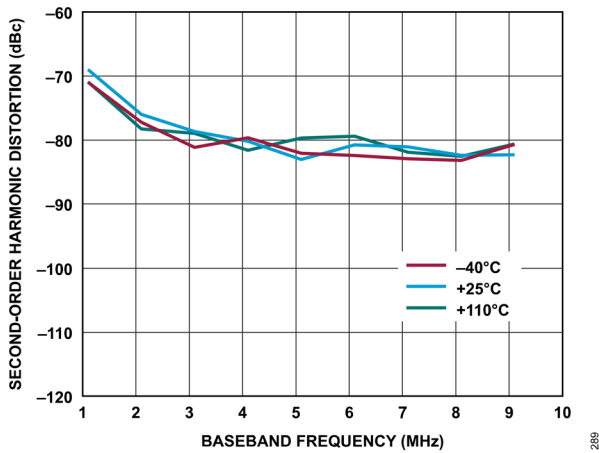


図 157. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

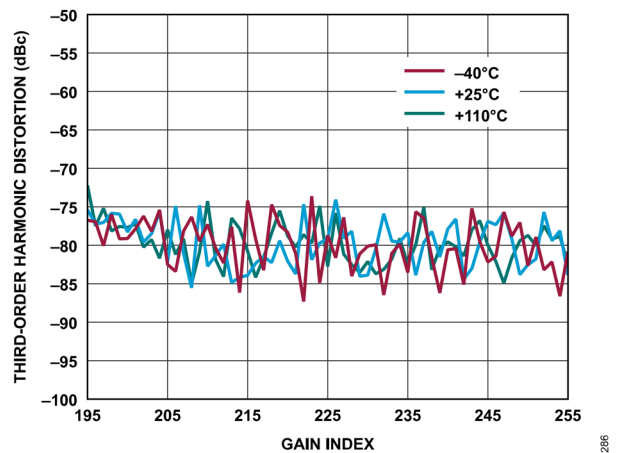


図 160. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 低消費電力

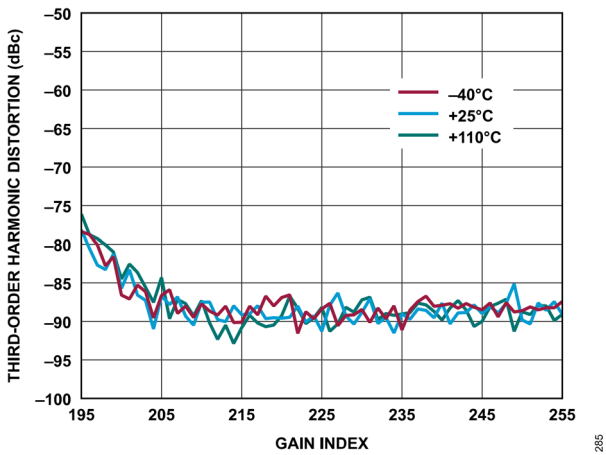


図 158. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

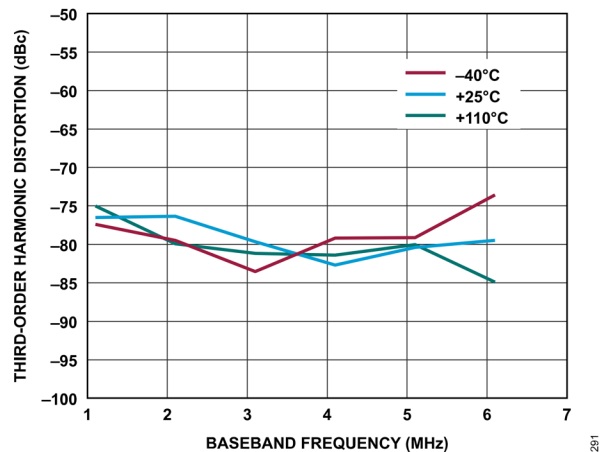


図 161. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

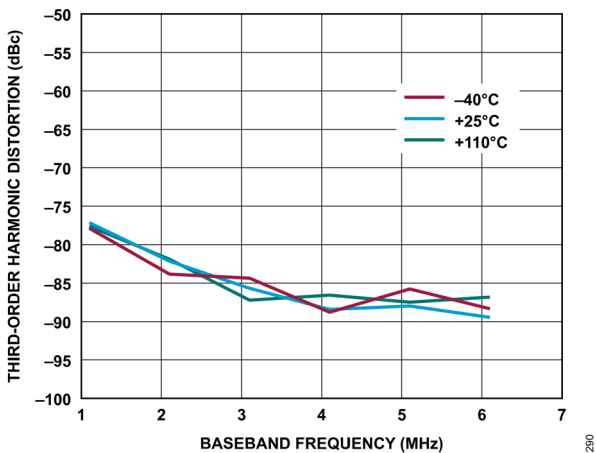


図 159. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

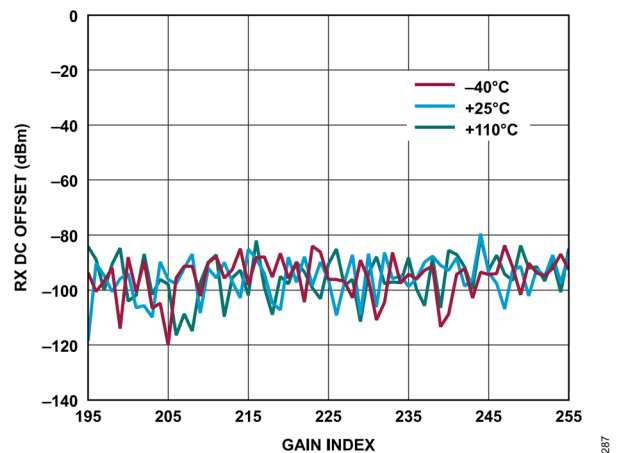


図 162. レシーバーの DC オフセットとゲイン指数の関係、ベースバンド周波数 = 5.6MHz、ADC = 高性能

代表的な性能特性

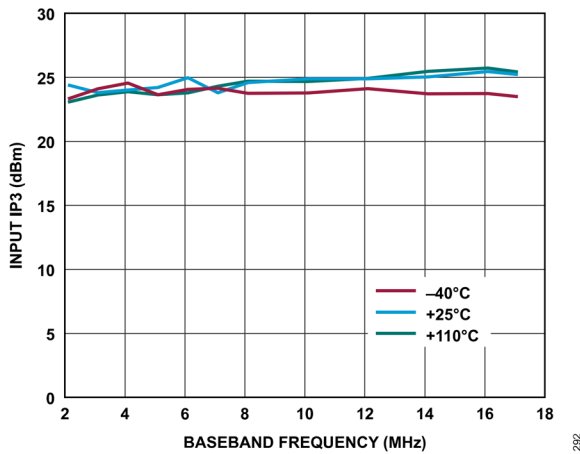


図 163. レシーバーの入力 IP3 とベースバンド周波数の関係、ADC = 高性能、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

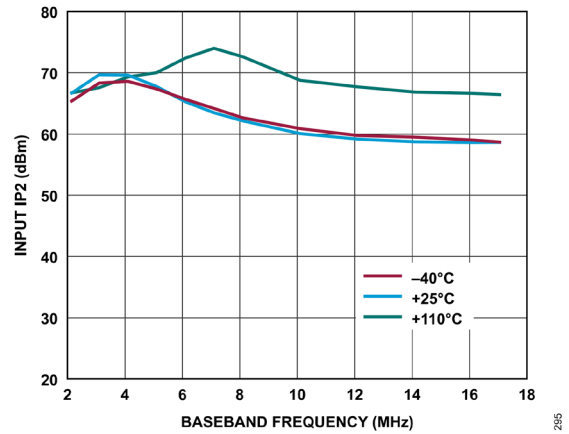


図 166. レシーバーの入力 IP2 とベースバンド周波数の関係、ADC = 低消費電力、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

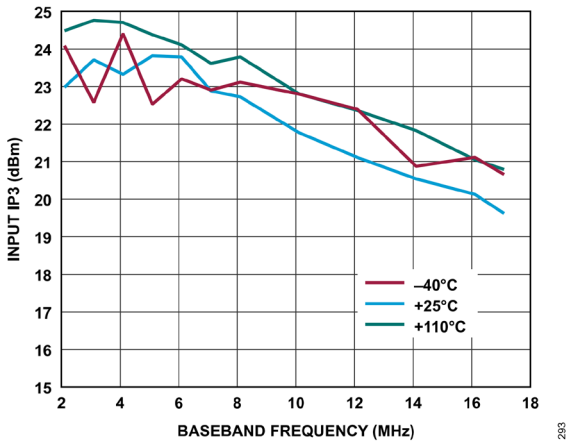


図 164. レシーバーの入力 IP3 とベースバンド周波数の関係、ADC = 低消費電力、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

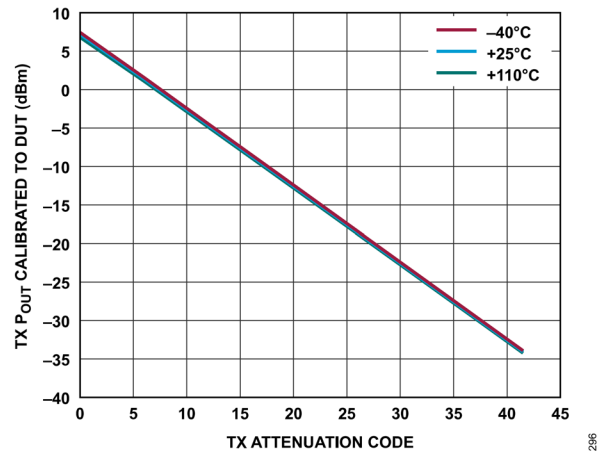


図 167. トランスミッタの絶対電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

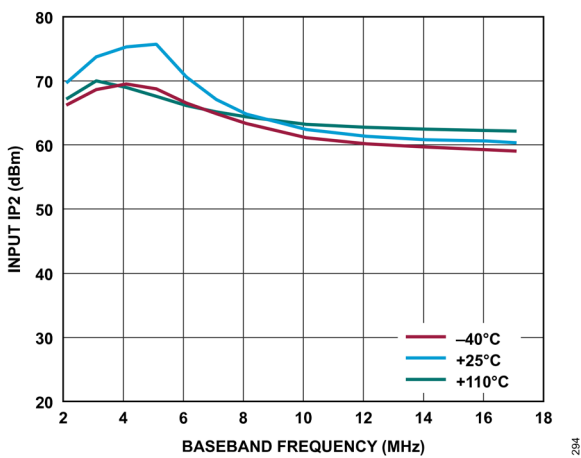


図 165. レシーバーの入力 IP2 とベースバンド周波数の関係、ADC = 高性能、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz、ゲイン指数 = 255

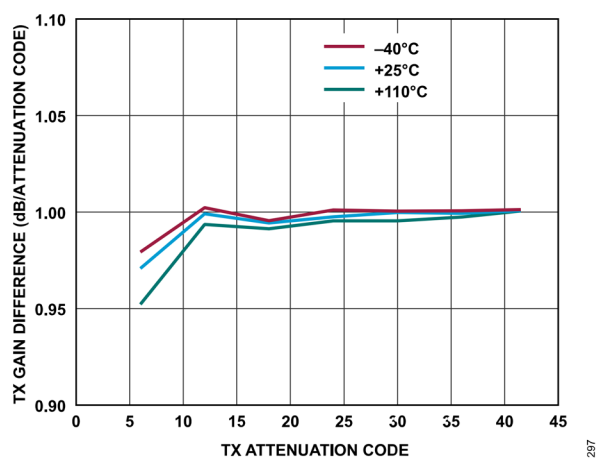


図 168. トランスミッタの減衰デルタ（誤差）とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

代表的な性能特性

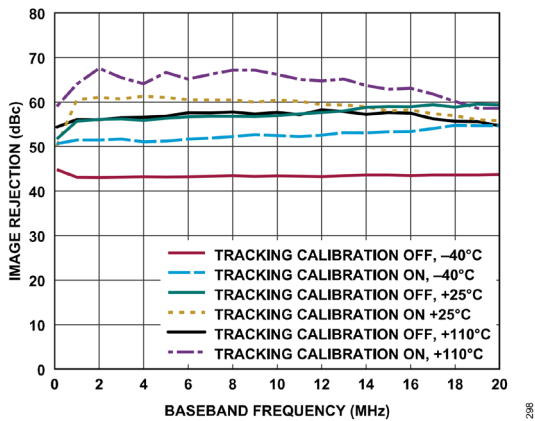


図 169. トランスミッタのイメージ除去とベースバンド周波数の関係、トラッキング・キャリブレーション・オンとトラッキング・キャリブレーション・オフの比較、トランスミッタ減衰コード = 0

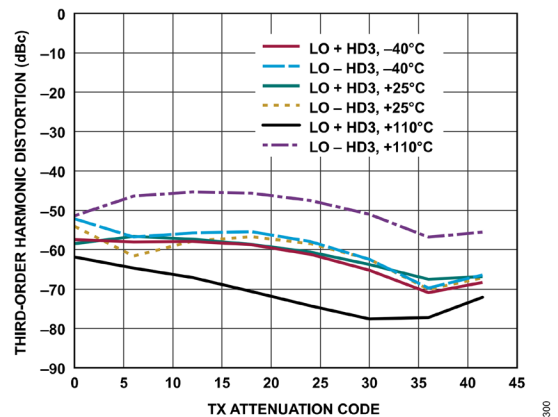


図 172. トランスミッタの 3 次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

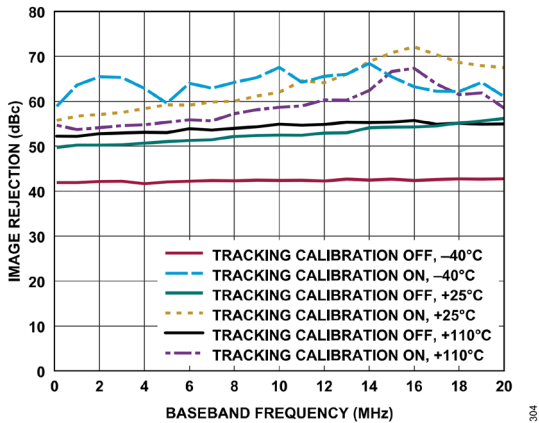


図 170. トランスミッタのイメージ除去とベースバンド周波数の関係、トラッキング・キャリブレーション・オンとトラッキング・キャリブレーション・オフの比較、トランスミッタ減衰コード = 20

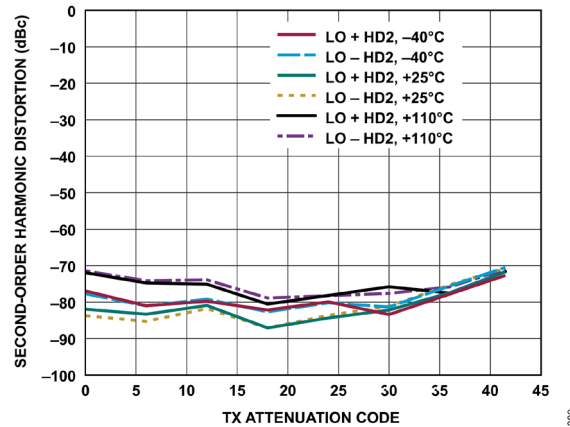


図 173. トランスミッタの 2 次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS

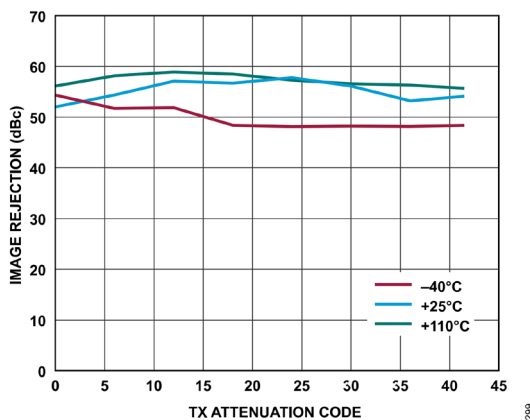


図 171. トランスミッタのイメージ除去とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

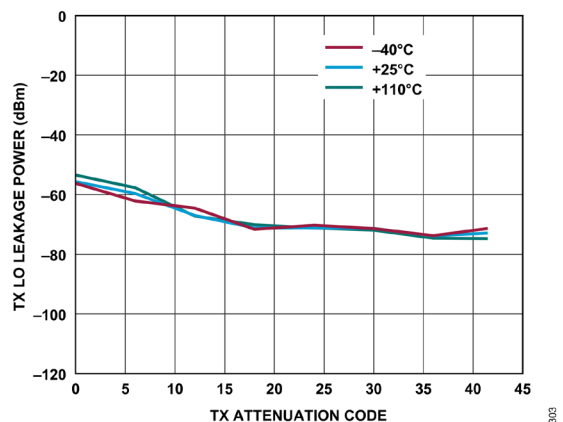


図 174. トランスミッタの LO リーク電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 18MHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

代表的な性能特性

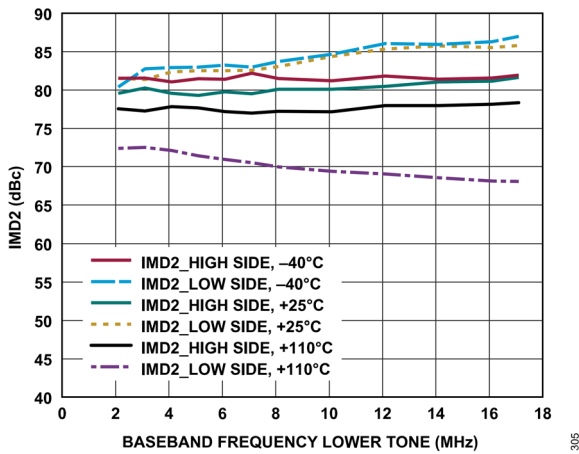


図 175. トランスミッタの IMD2 とベースバンド周波数の関係、トランスミッタ減衰コード = 0、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz

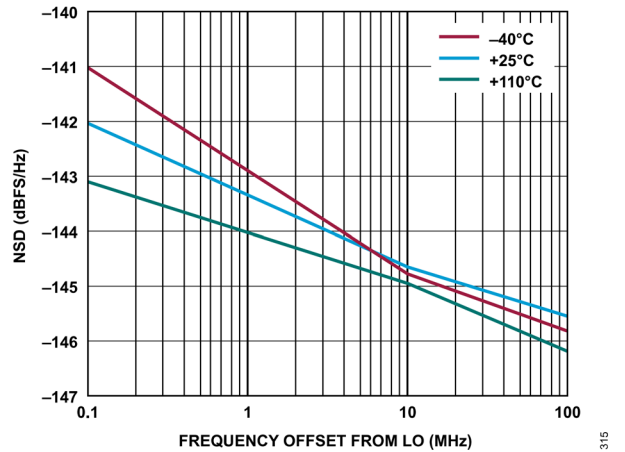


図 177. トランスミッタの NSD と LO からの周波数オフセットの関係、ベースバンド周波数 = 5.6MHz、トランスミッタ・チャンネル = Ch1

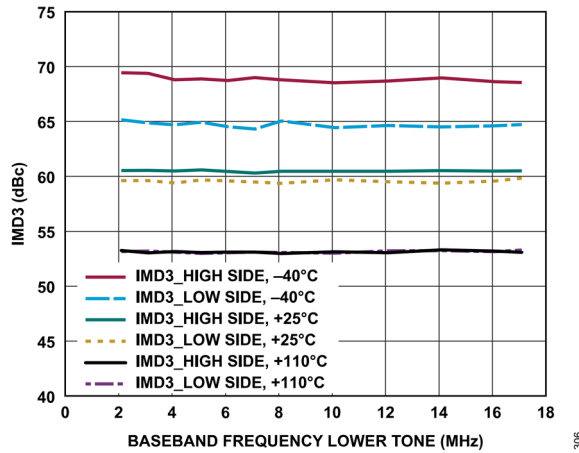


図 176. トランスミッタの IMD3 とベースバンド周波数の関係、トランスミッタ減衰コード = 0、F1 = ベースバンド周波数、F2 = ベースバンド周波数 + 1MHz

代表的な性能特性

狭帯域

デバイス構成プロファイル：レシーバー = 25kHz 帯域幅、レシーバー IF = 490kHz、I/Q レート = 144kHz、トランスミッタ = 25kHz 帯域幅、I/Q レート = 144kHz、デバイス・クロック = 38.4MHz、すべての測定で内部 LO を使用。測定は公称電源電圧で行われています。特に指定のない限り、すべての RF 仕様は測定に基づくもので、これには PCB とマッチング回路の損失が含まれています。仕様はデバイスの全寿命にわたって適用されます。

30MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 30MHz に設定しています。

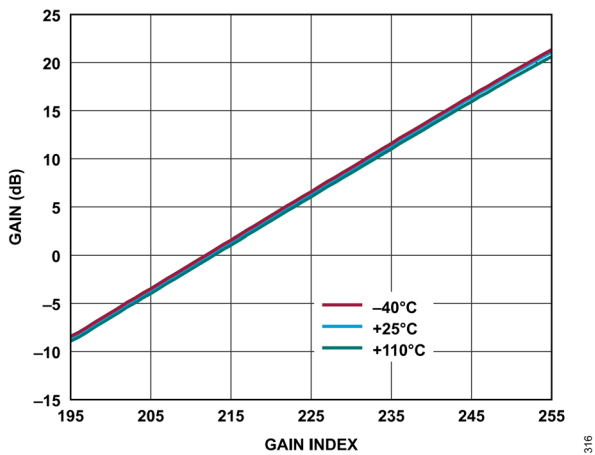


図 178. レシーバーの絶対ゲイン（複素数）とゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能、 $P_{OUT} = -9.6\text{dBFS}$

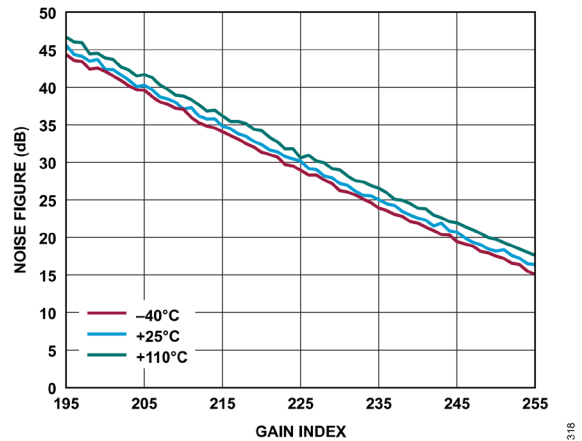


図 180. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

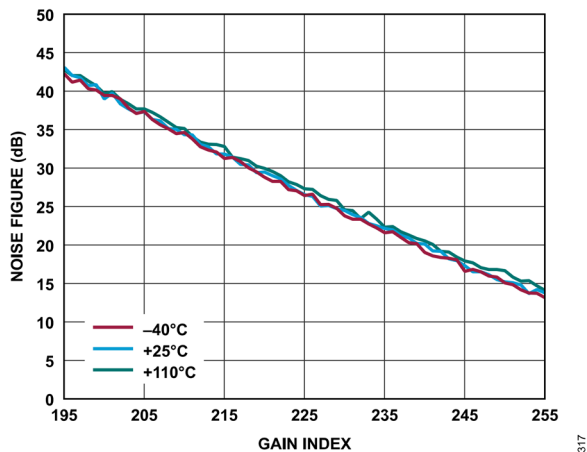


図 179. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

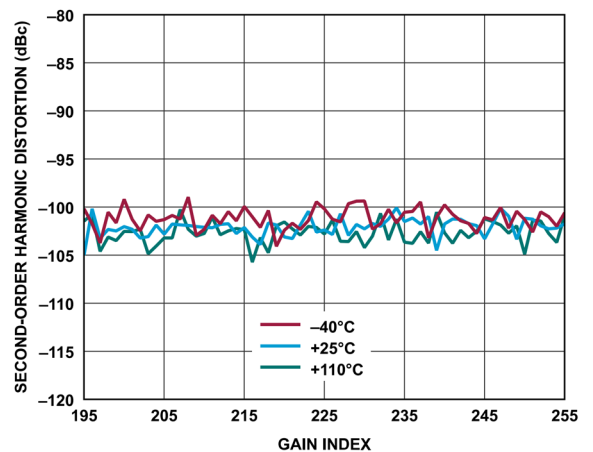
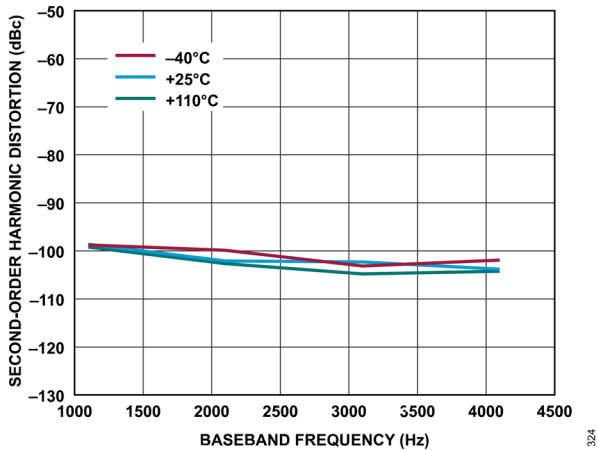


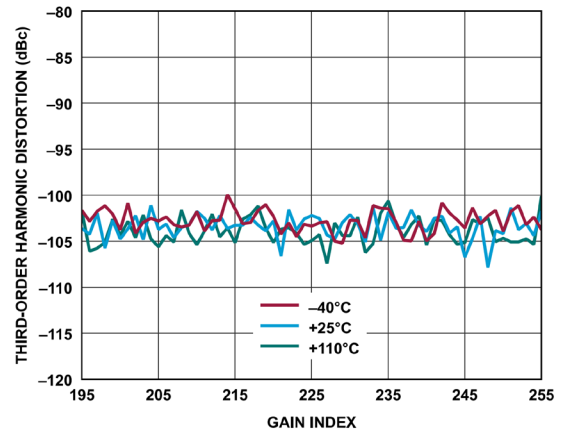
図 181. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

代表的な性能特性



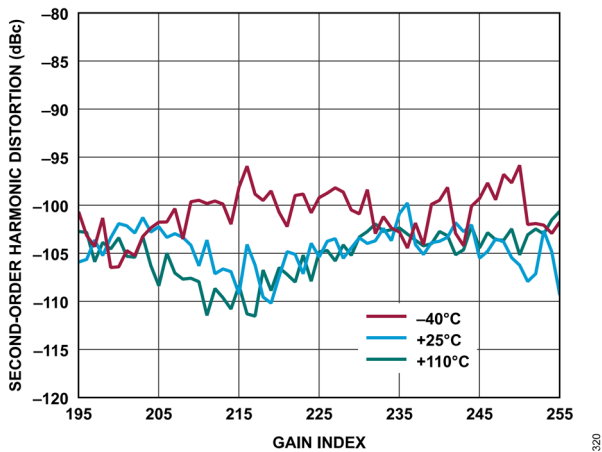
324

図 182. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能



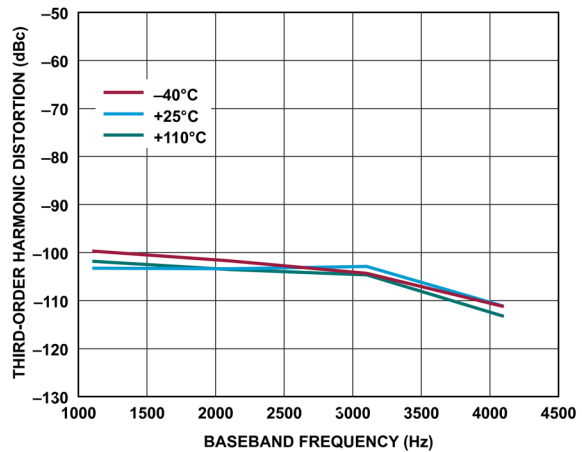
321

図 185. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能



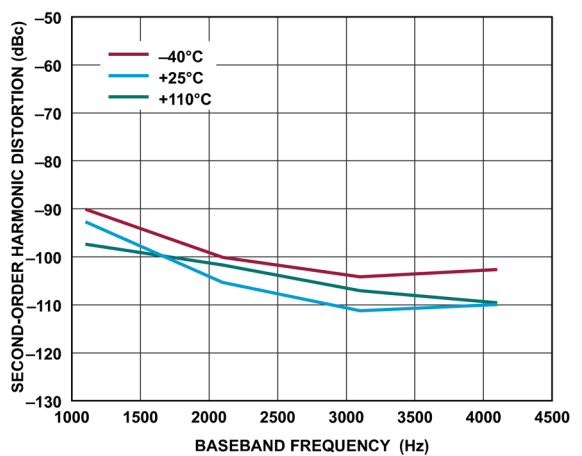
320

図 183. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力



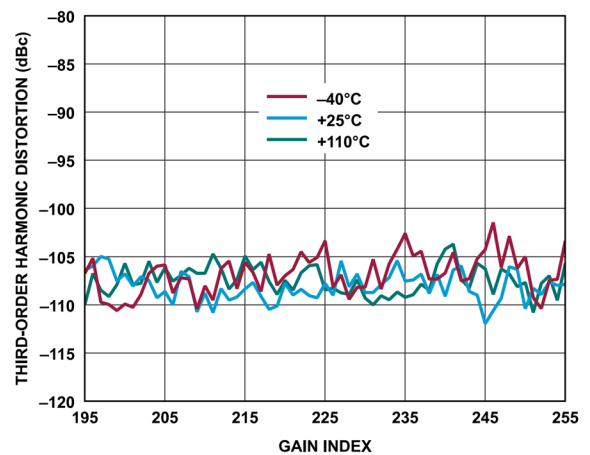
326

図 186. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能



325

図 184. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力



322

図 187. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

代表的な性能特性

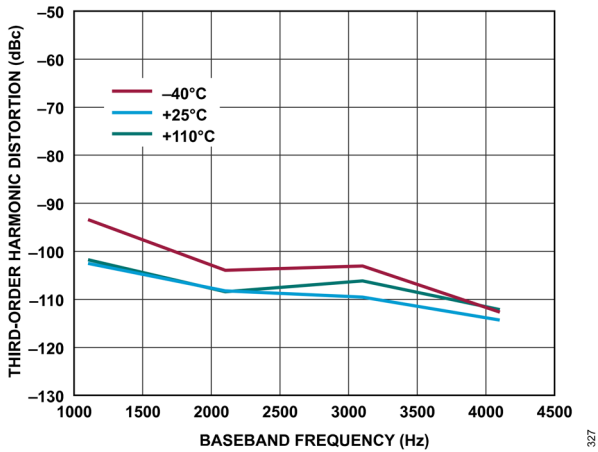


図 188. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

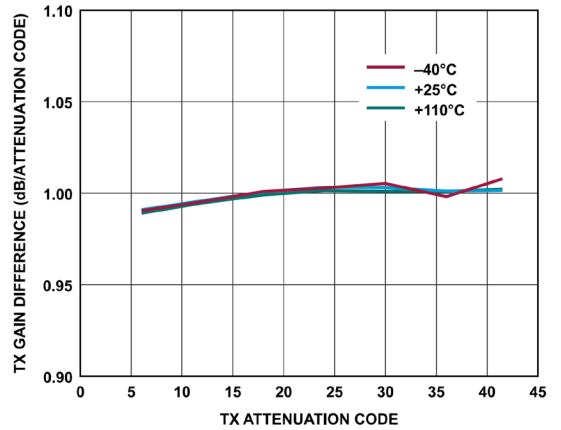


図 191. トランスミッタの減衰デルタ (誤差) とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

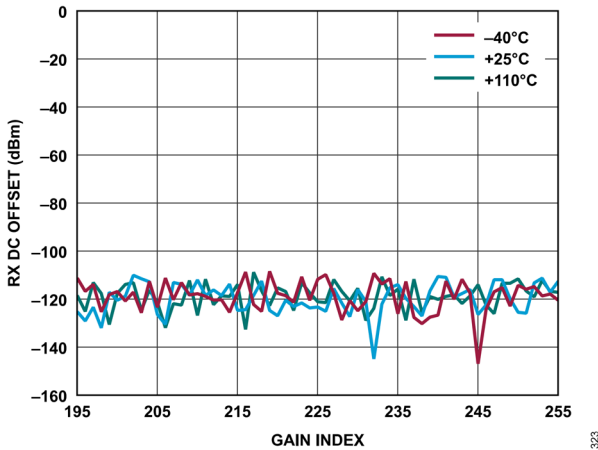


図 189. レシーバーの DC オフセットとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

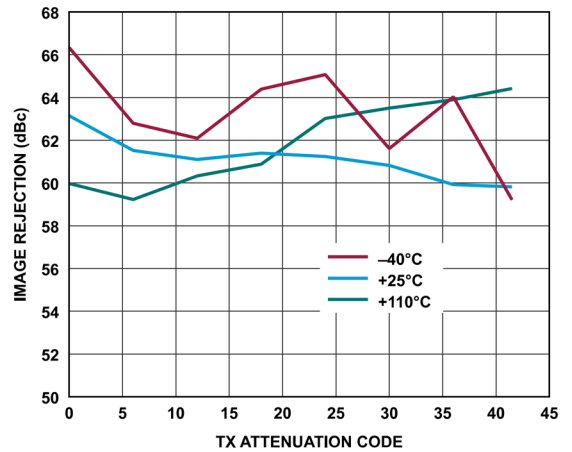


図 192. トランスミッタのイメージ除去とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

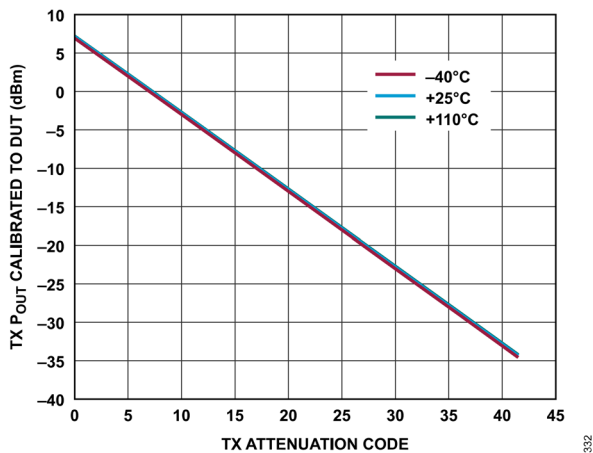


図 190. トランスミッタの絶対電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

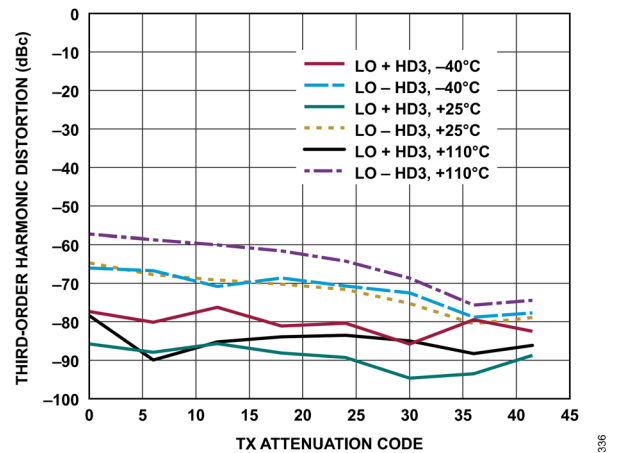


図 193. トランスミッタの 3 次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

代表的な性能特性

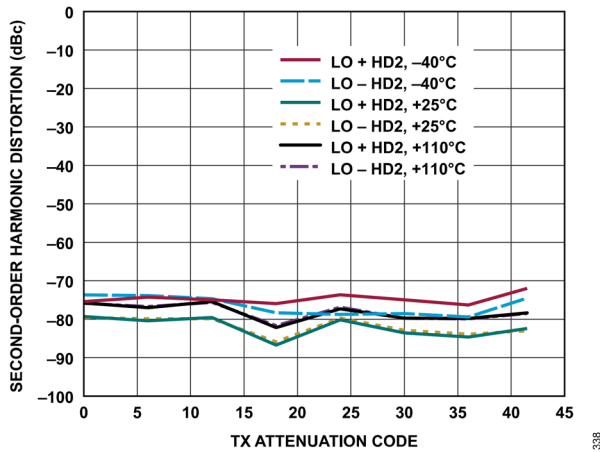


図 194. トランスミッタの2次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

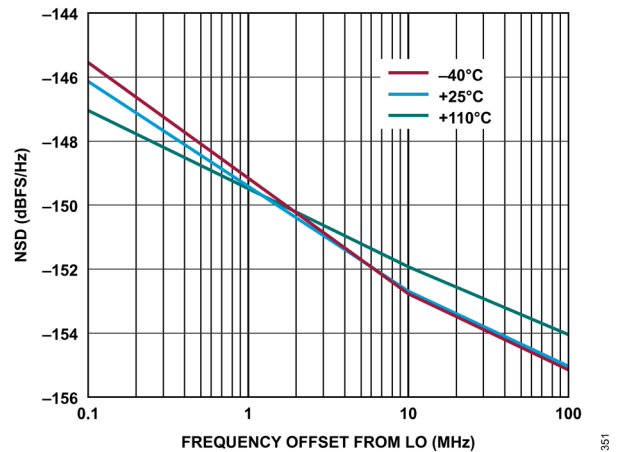


図 196. トランスミッタのNSDとLOからの周波数オフセットの関係、ベースバンド周波数 = 2.1kHz、トランスミッタ・チャンネル = Ch1

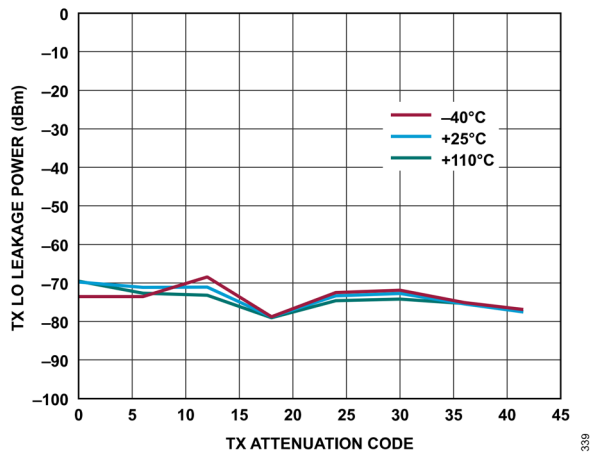


図 195. トランスミッタのLOリーク電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

代表的な性能特性

470MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 470MHz に設定されています。

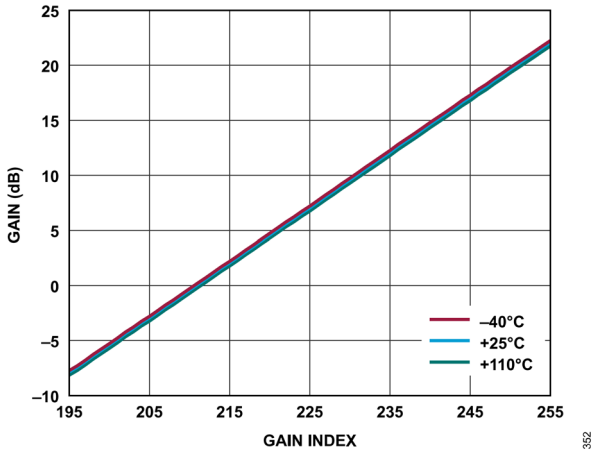


図 197. レシーバーの絶対ゲイン（複素数）とゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能、 $P_{OUT} = -9.6\text{dBFS}$

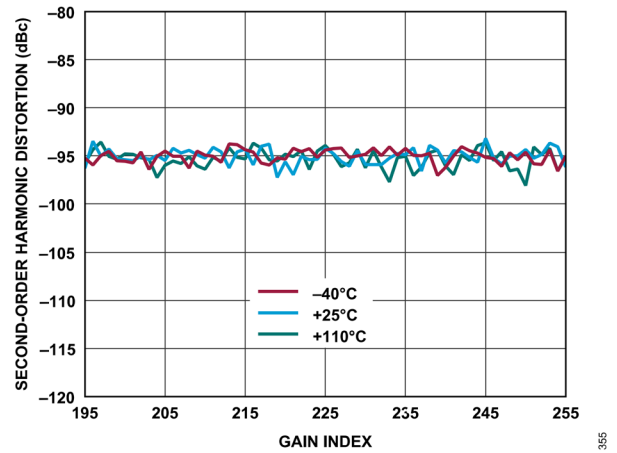


図 200. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

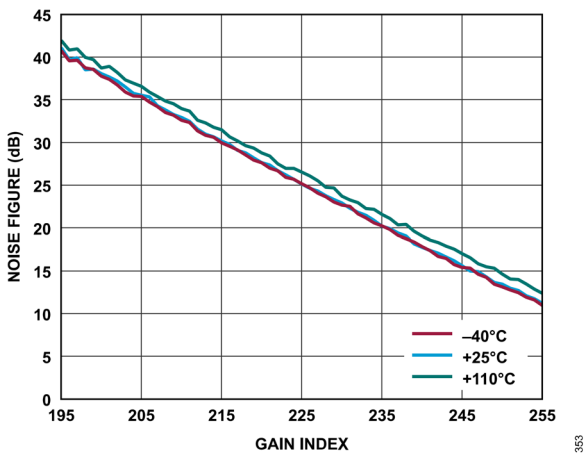


図 198. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

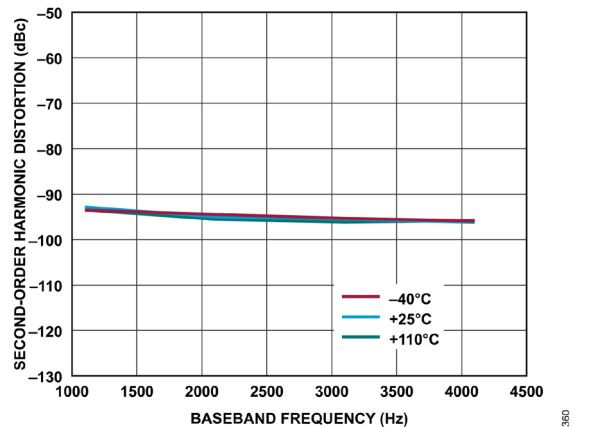


図 201. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

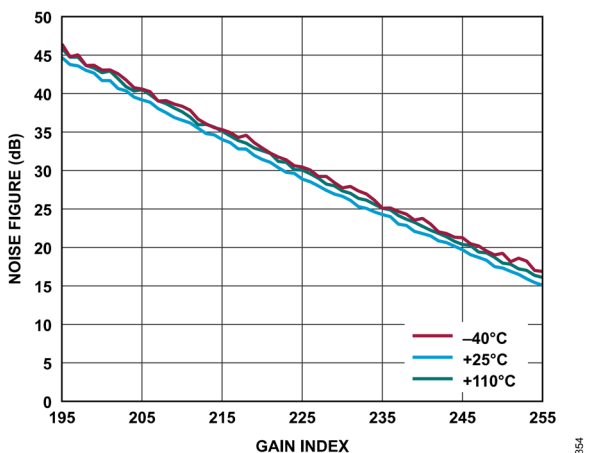


図 199. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

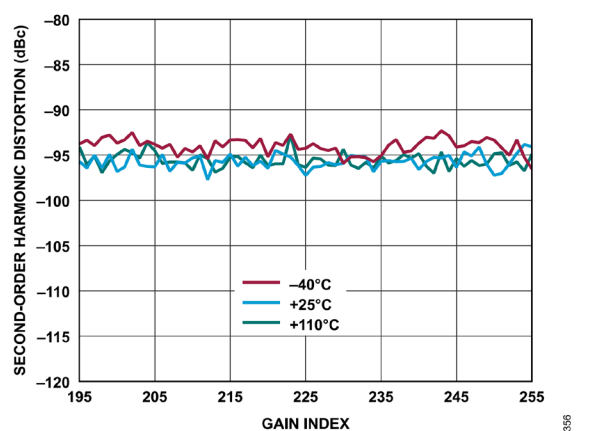


図 202. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

代表的な性能特性

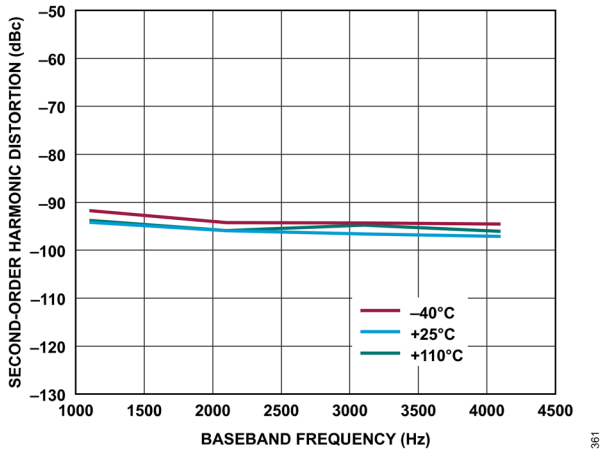


図 203. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

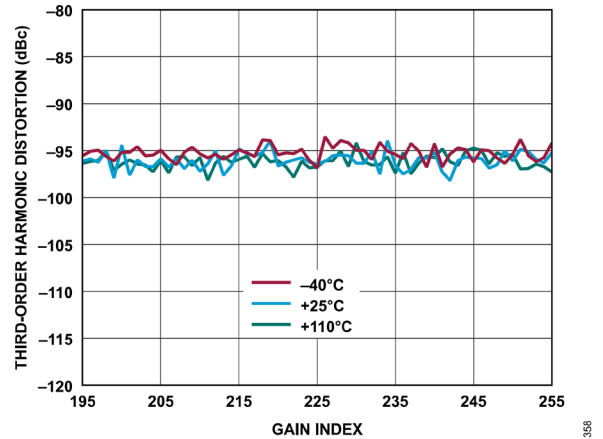


図 206. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

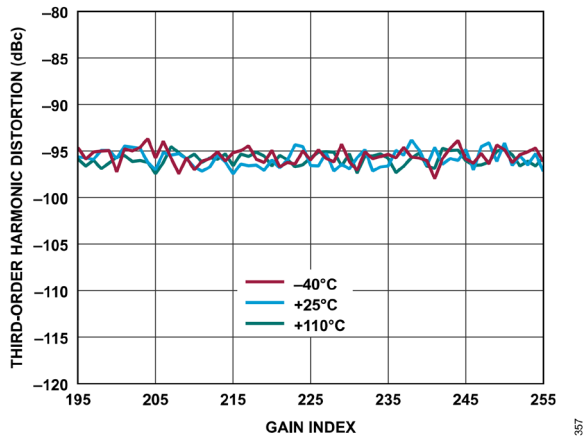


図 204. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

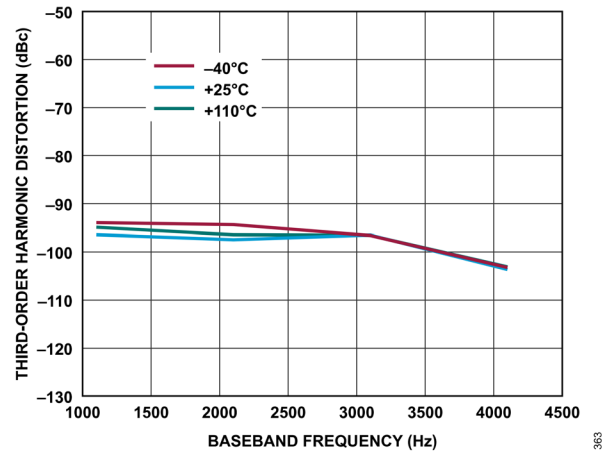


図 207. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

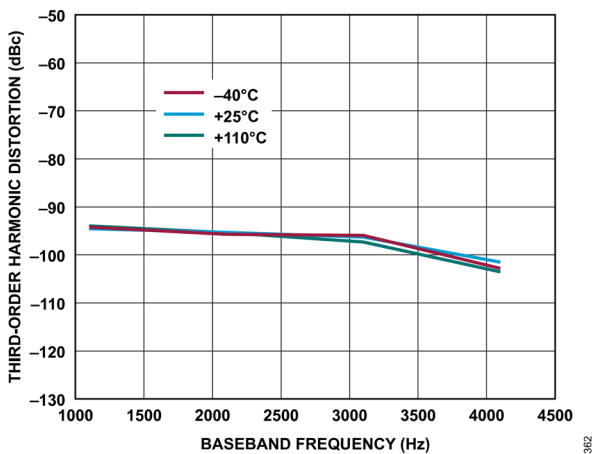


図 205. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

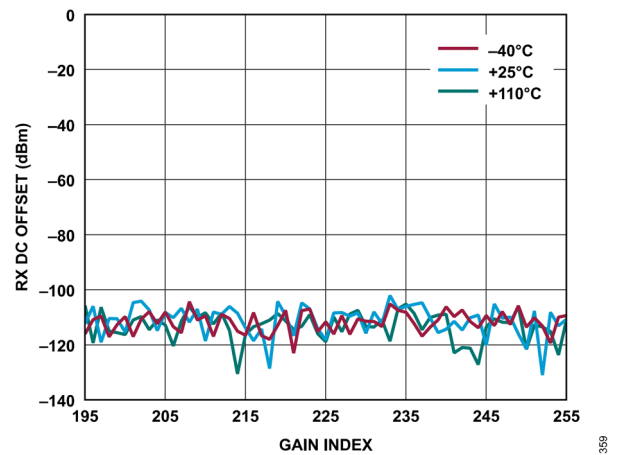


図 208. レシーバーの DC オフセットとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

代表的な性能特性

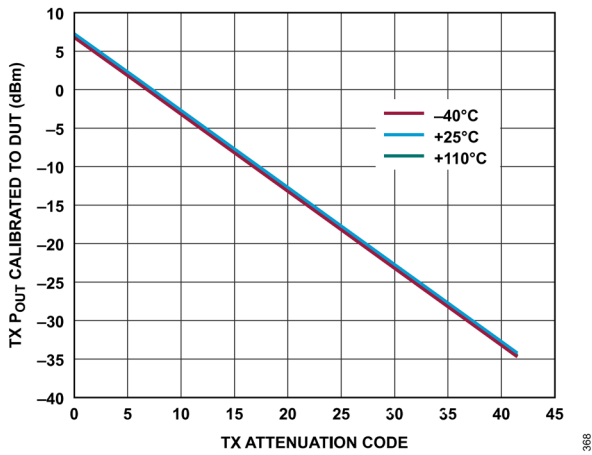


図 209. トランスミッタの絶対電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

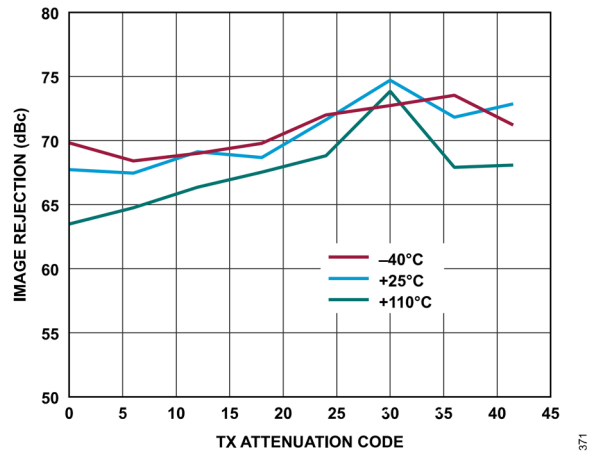


図 211. トランスミッタのイメージ除去とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

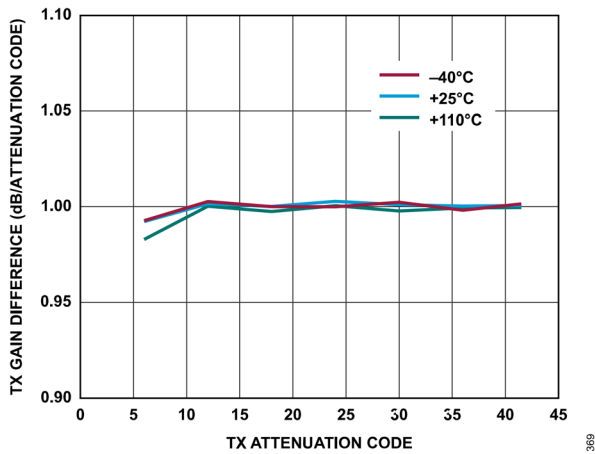


図 210. トランスミッタの減衰デルタ（誤差）とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

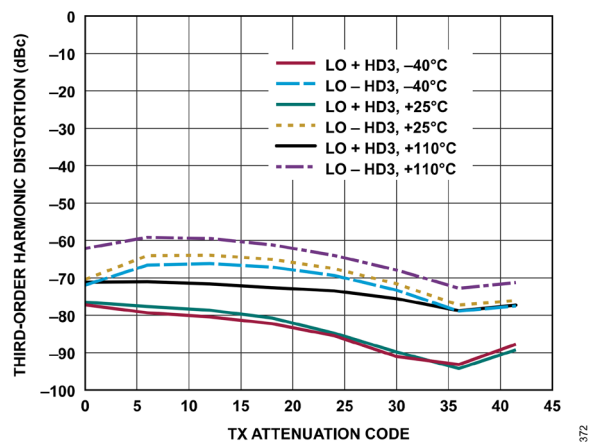
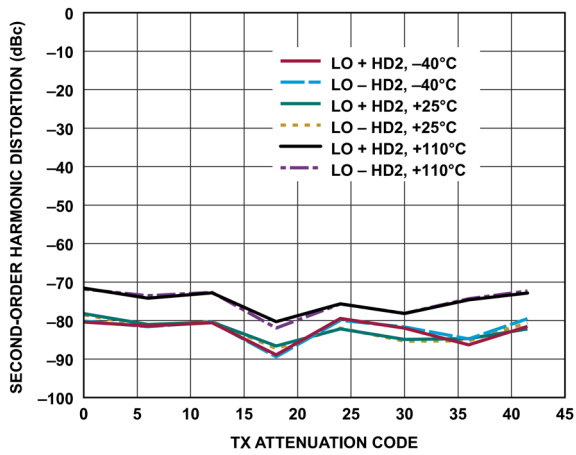


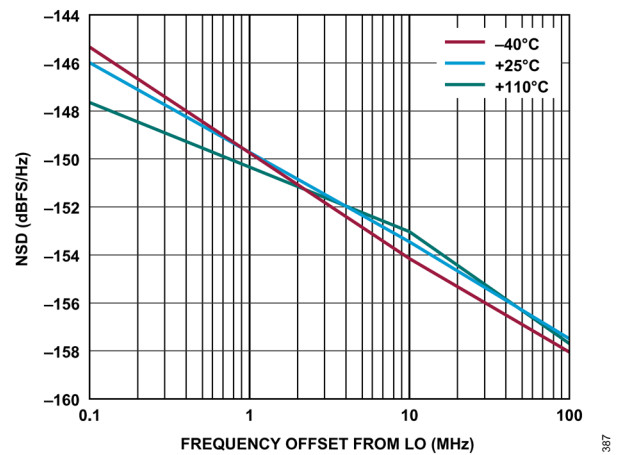
図 212. トランスミッタの3次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

代表的な性能特性



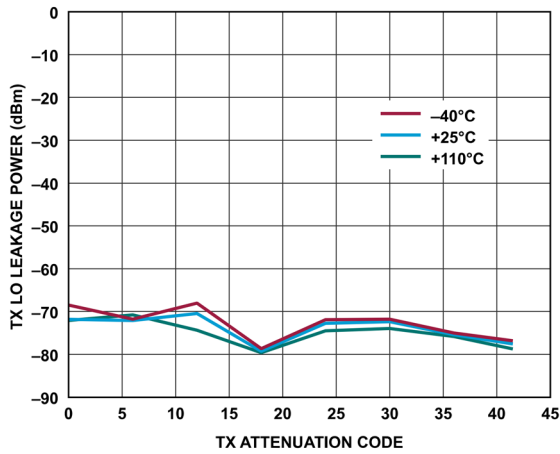
374

図 213. トランスミッタの2次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS



387

図 215. ランスミッタのNSDとLOからの周波数オフセットの関係、ベースバンド周波数 = 2.1kHz、トランスミッタ・チャンネル = Ch1



375

図 214. トランスミッタのLOリーク電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

代表的な性能特性

900MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 900MHz に設定されています。

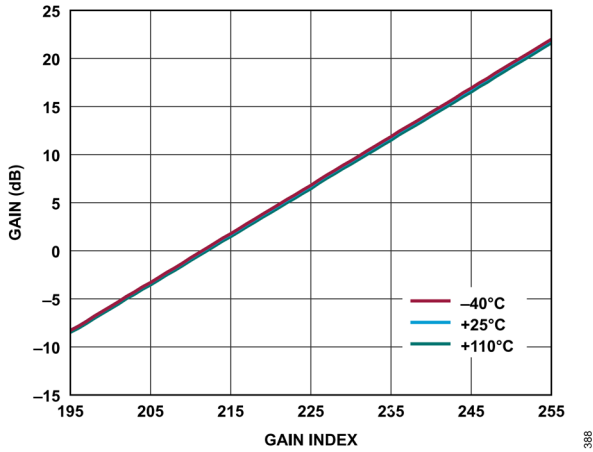


図 216. レシーバーの絶対ゲイン（複素数）とゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能、 $P_{OUT} = -9.6\text{dBFS}$

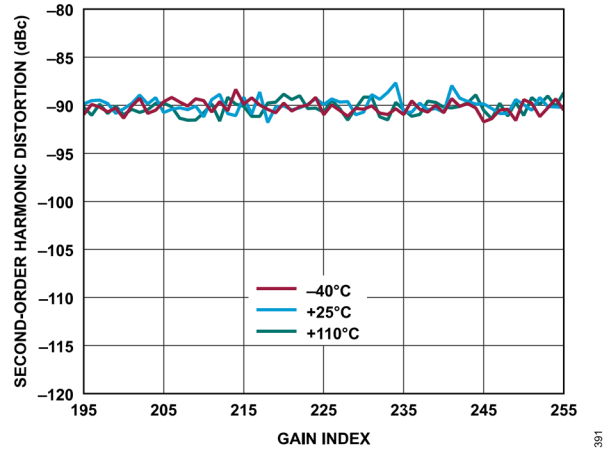


図 219. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

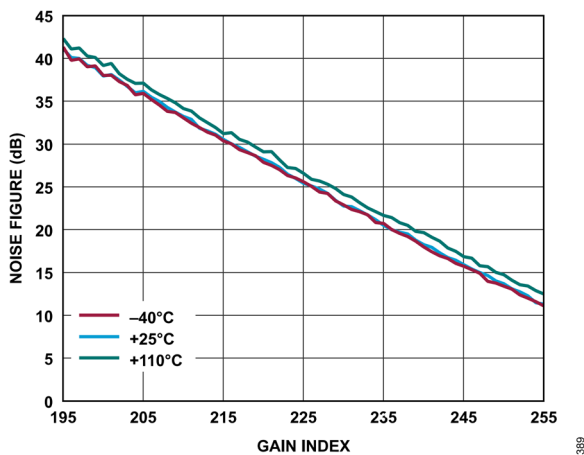


図 217. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

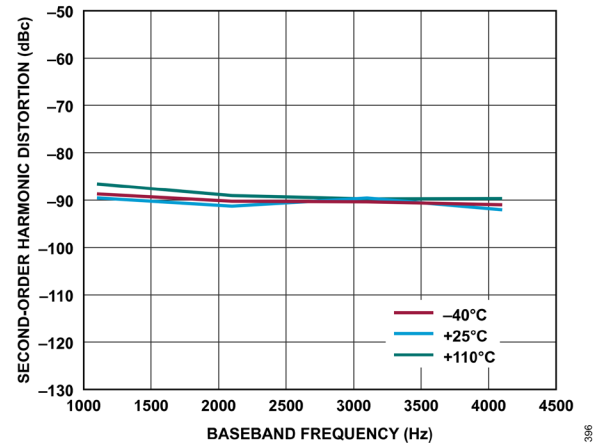


図 220. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

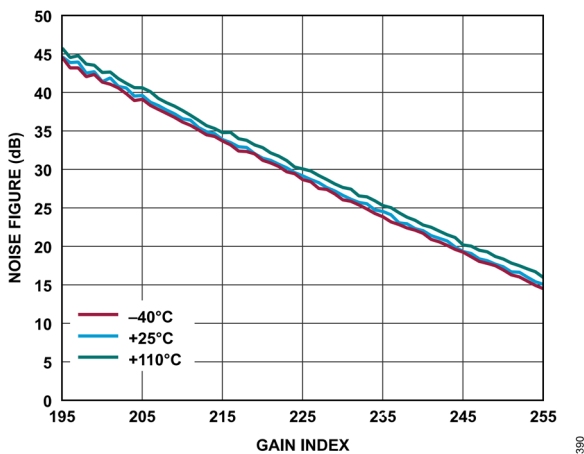


図 218. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

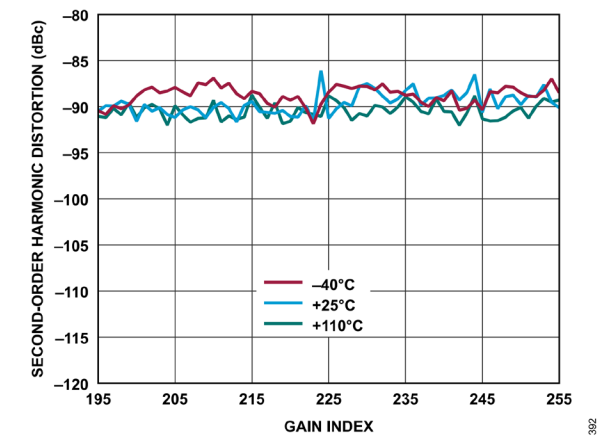


図 221. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

代表的な性能特性

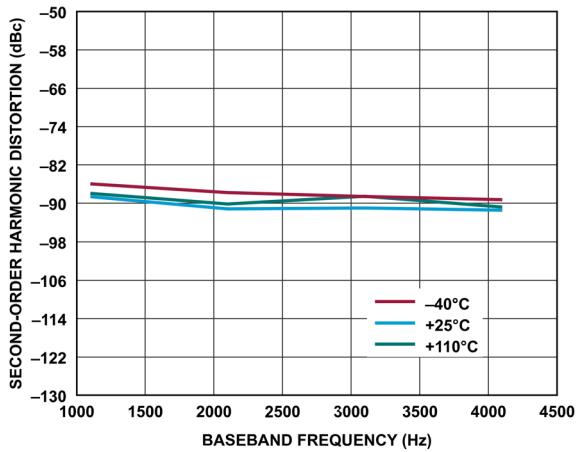


図 222. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

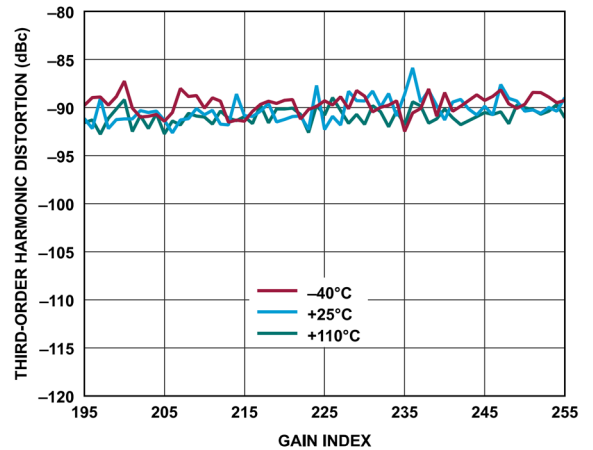


図 225. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

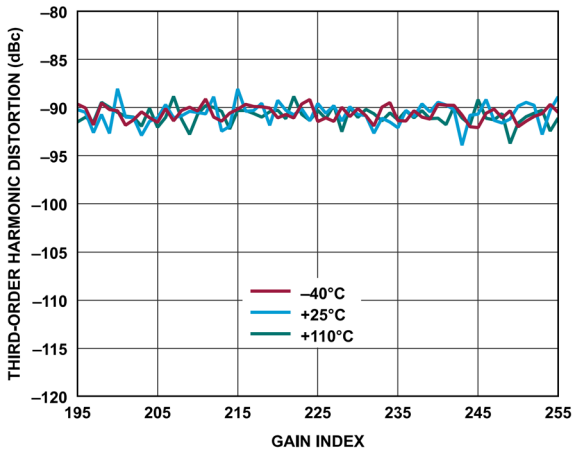


図 223. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

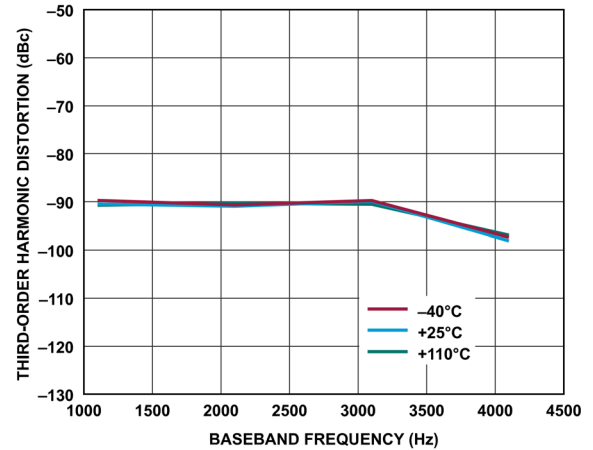


図 226. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

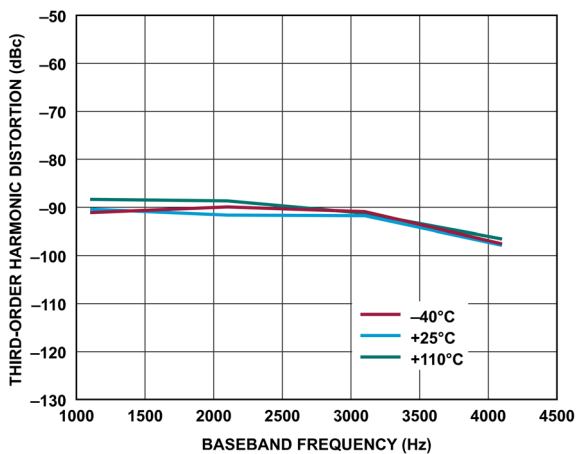


図 224. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

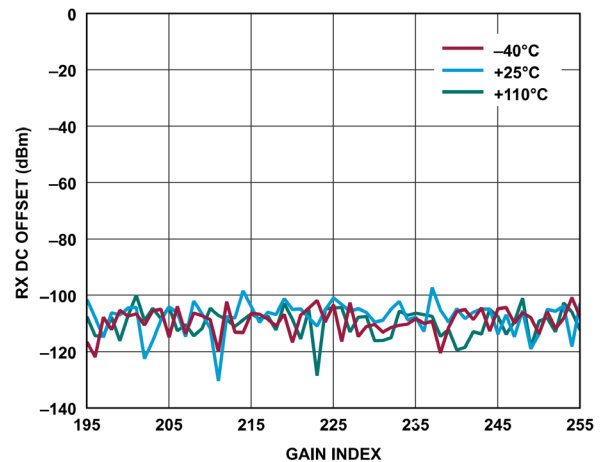


図 227. レシーバーの DC オフセットとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

代表的な性能特性

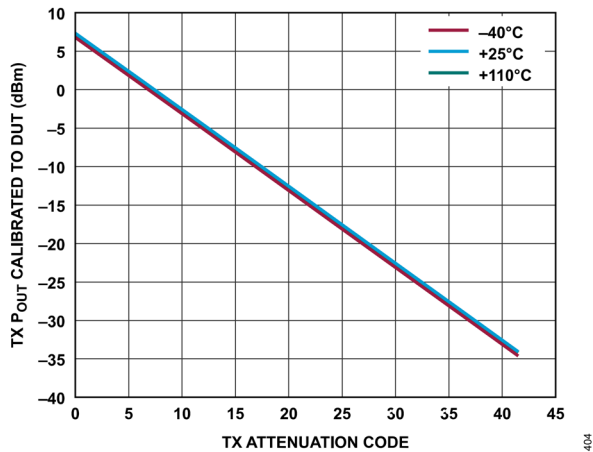


図 228. トランスミッタの絶対電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

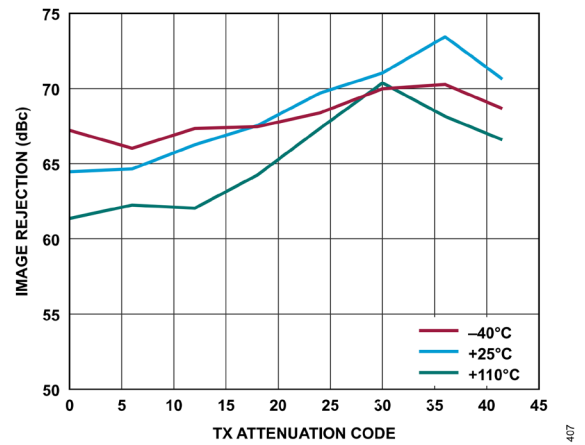


図 230. トランスミッタのイメージ除去とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

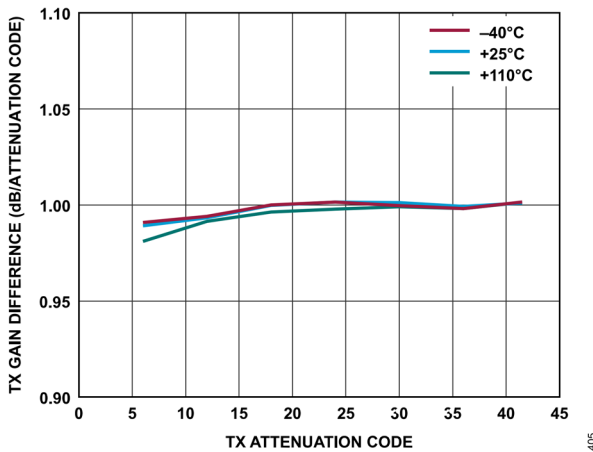


図 229. トランスミッタの減衰デルタ（誤差）とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

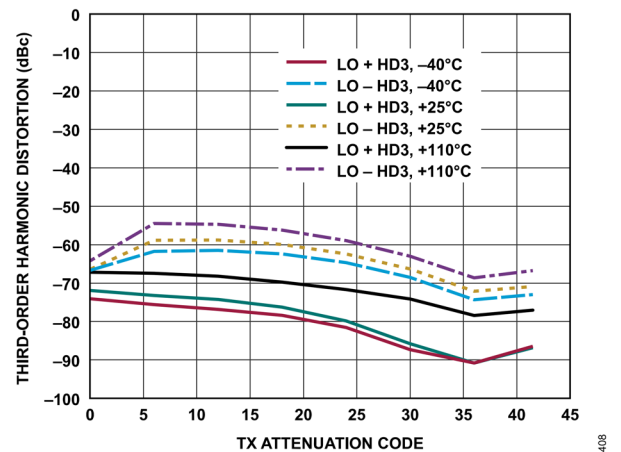


図 231. トランスミッタの3次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

代表的な性能特性

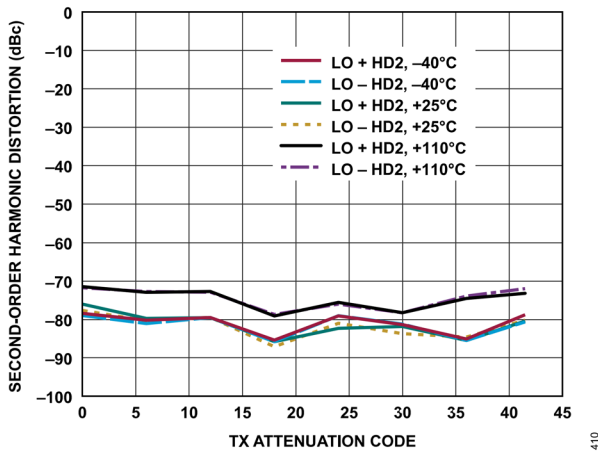


図 232. トランスミッタの HD2 とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

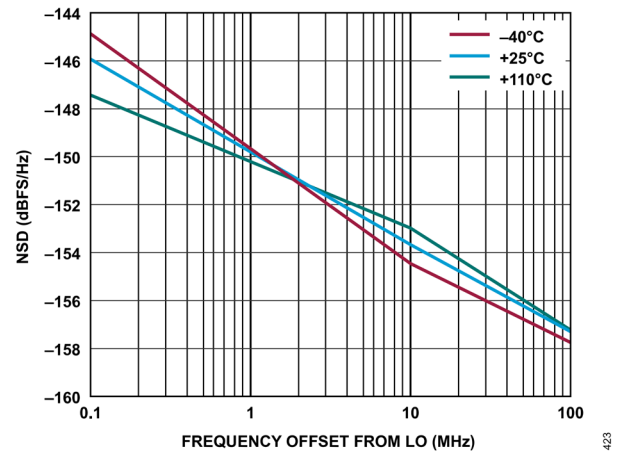


図 234. トランスミッタの NSD と LO からの周波数オフセットの関係、ベースバンド周波数 = 2.1kHz、トランスミッタ・チャンネル = Ch1

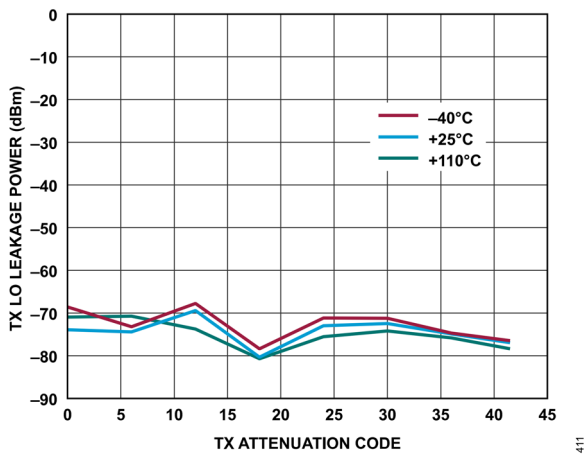


図 233. トランスミッタの LO リーク電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

代表的な性能特性

2400MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 2400MHz に設定されています。

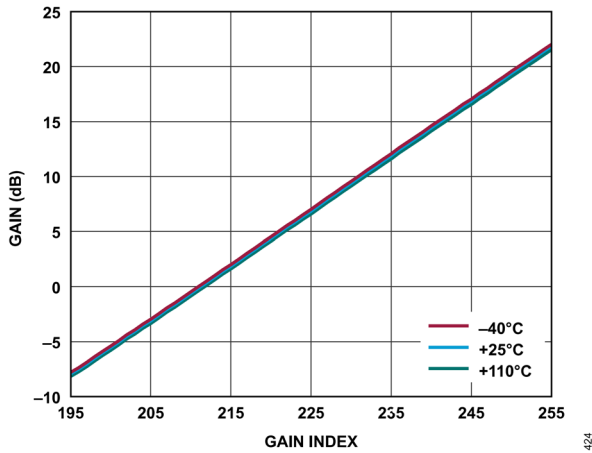


図 235. レーザーの絶対ゲイン（複素数）とゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能、 $P_{OUT} = -9.6\text{dBFS}$

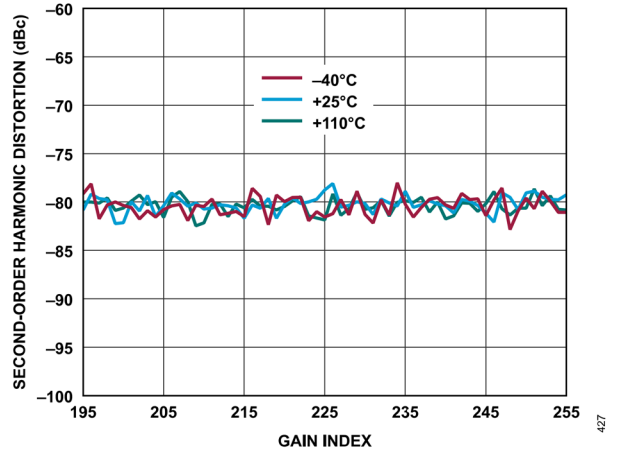


図 238. レーザーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

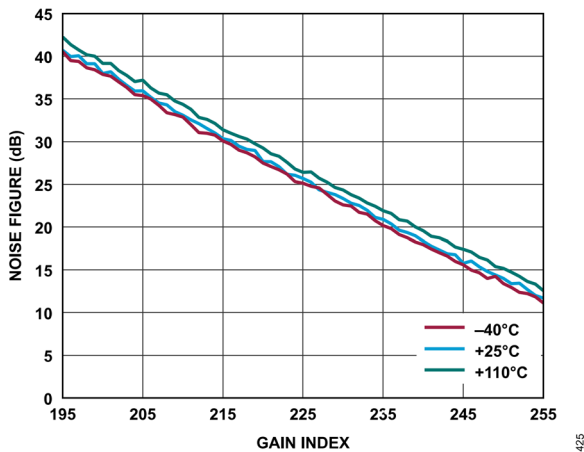


図 236. レーザーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

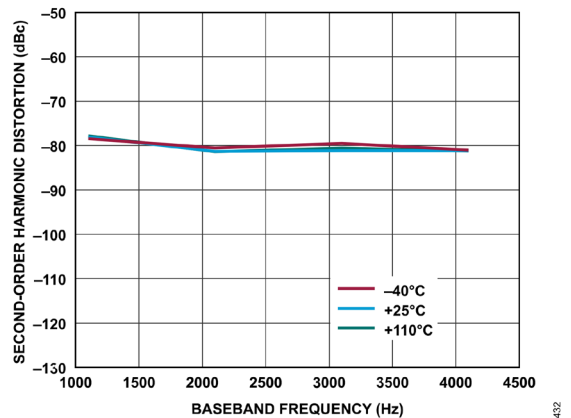


図 239. レーザーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

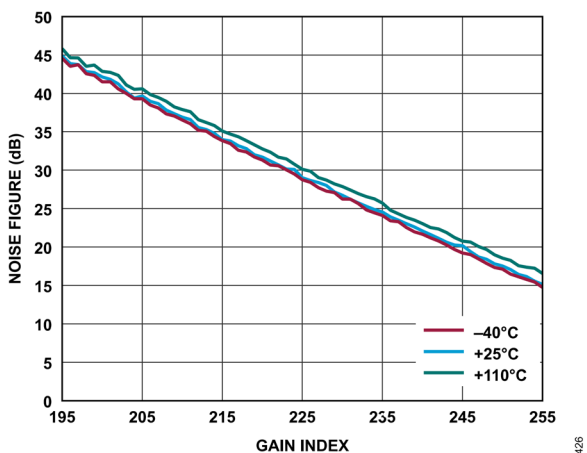


図 237. レーザーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

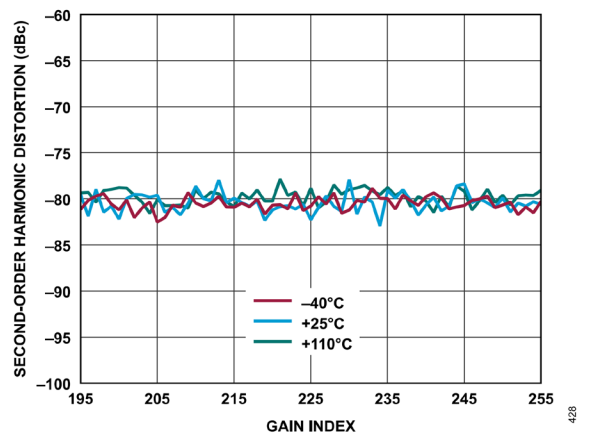


図 240. レーザーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

代表的な性能特性

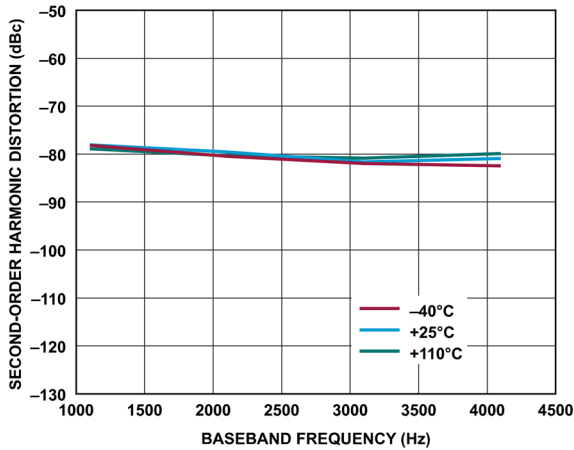


図 241. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

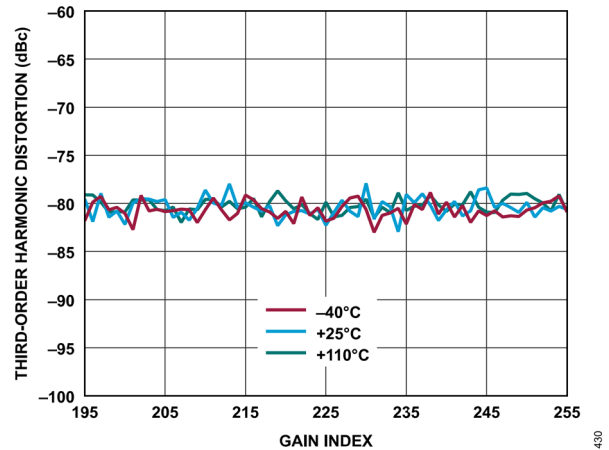


図 244. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

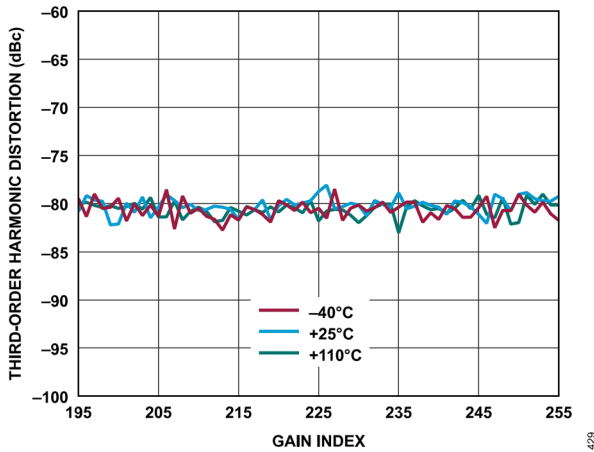


図 242. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

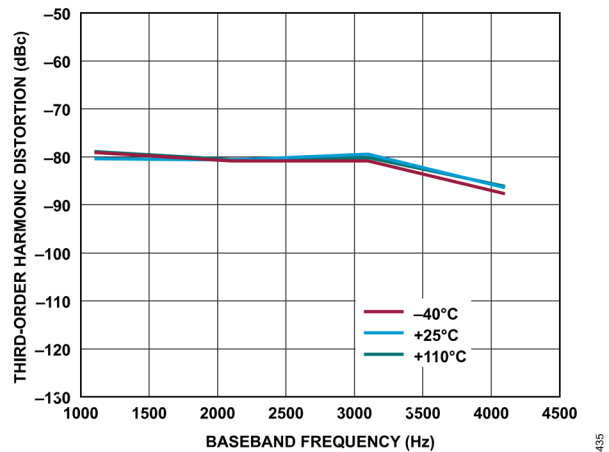


図 245. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

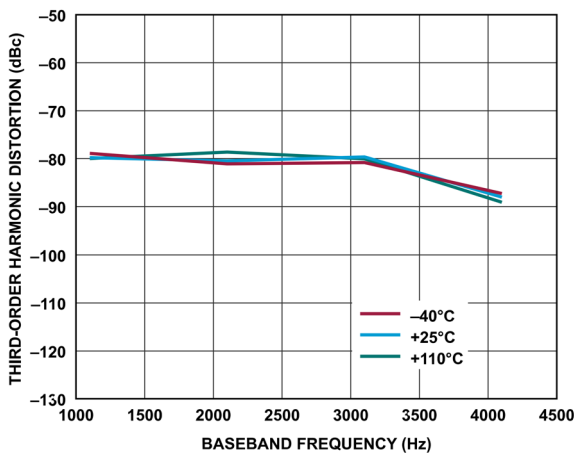


図 243. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

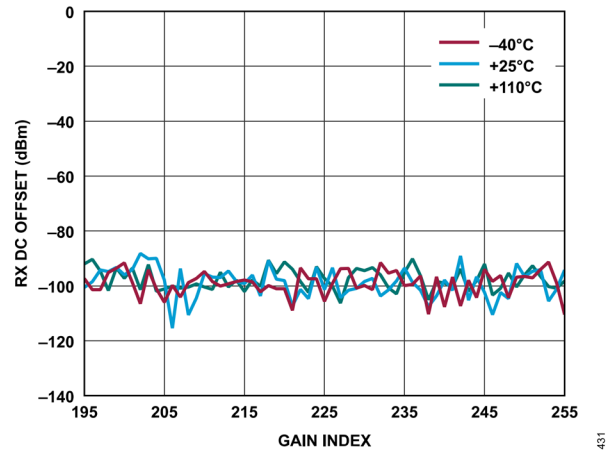


図 246. レシーバーの DC オフセットとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

代表的な性能特性

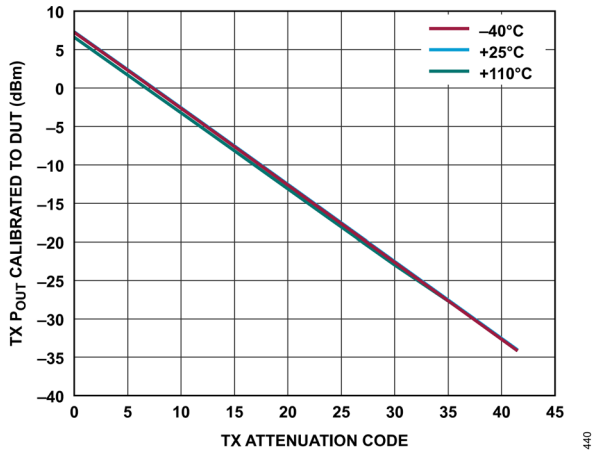


図 247. トランスミッタの絶対電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

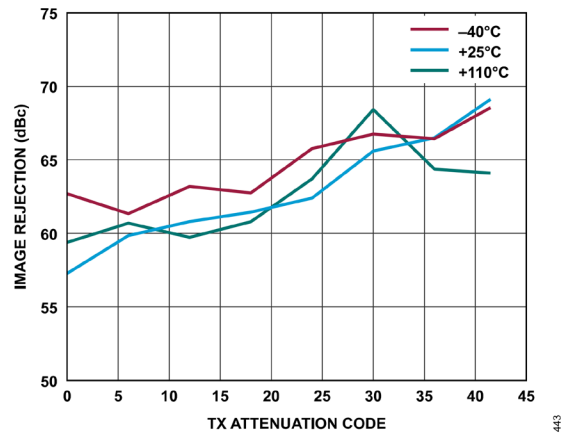


図 249. トランスミッタのイメージ除去とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

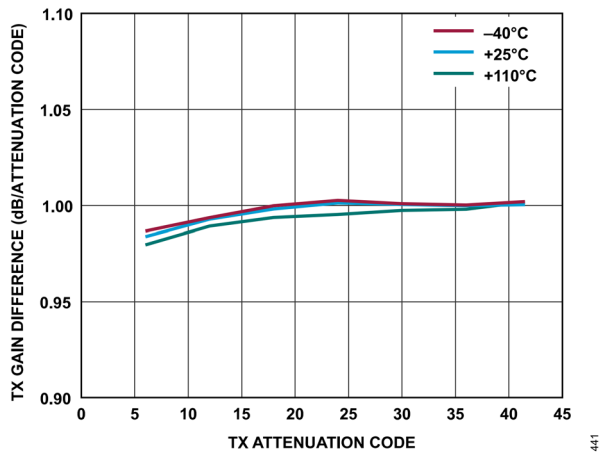


図 248. トランスミッタの減衰デルタ（誤差）とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

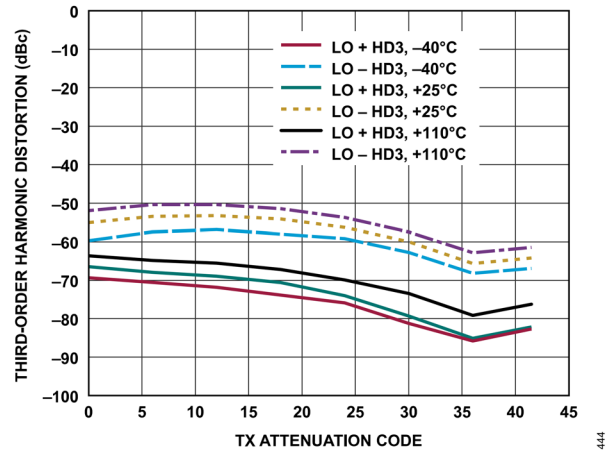


図 250. トランスミッタの3次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

代表的な性能特性

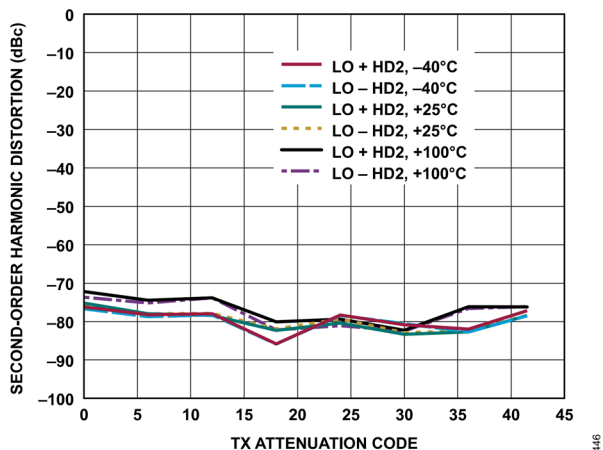


図 251. トランスミッタの2次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

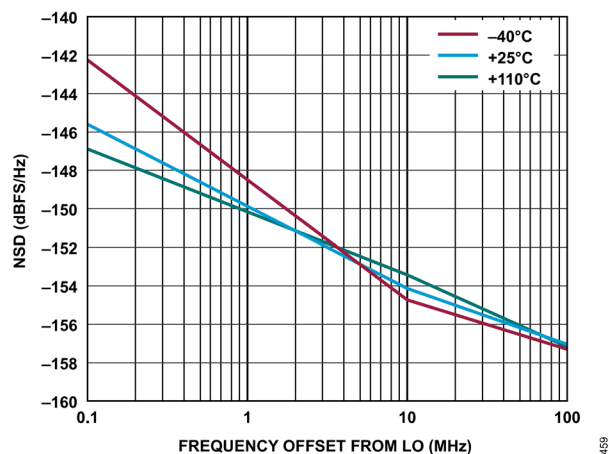


図 253. ランスミッタのNSDとLOからの周波数オフセットの関係、ベースバンド周波数 = 2.1kHz、トランスミッタ・チャンネル = Ch1

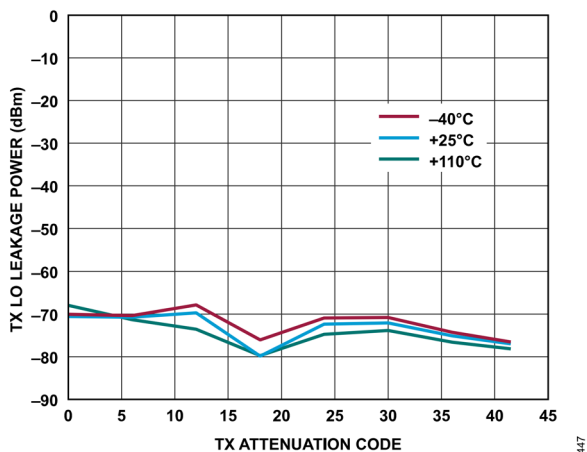


図 252. トランスミッタのLOリーク電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

代表的な性能特性

3500MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 3500MHz に設定されています。

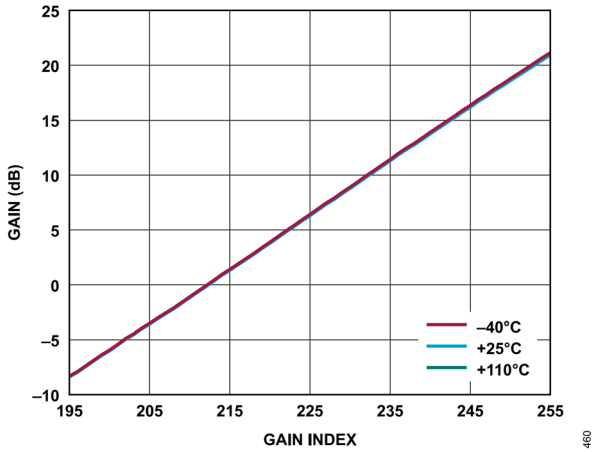


図 254. レシーバーの絶対ゲイン（複素数）とゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能、 $P_{OUT} = -9.6\text{dBFS}$

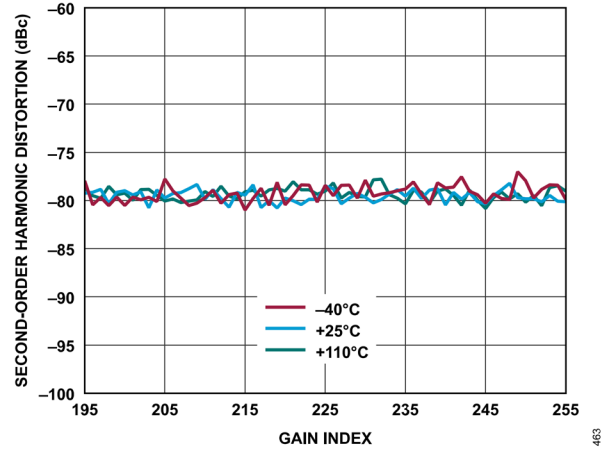


図 257. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

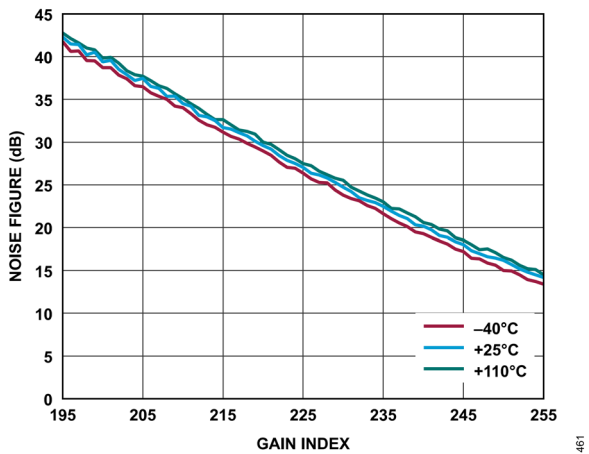


図 255. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

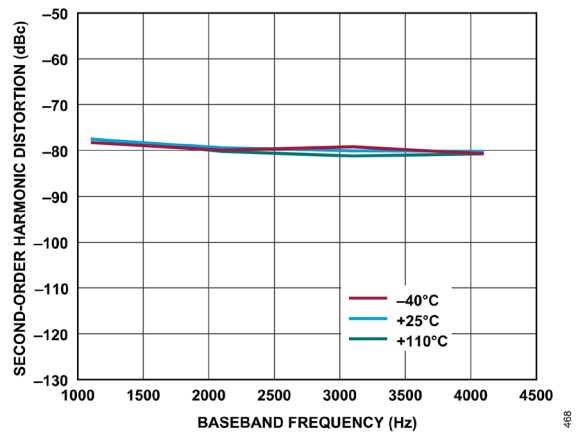


図 258. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

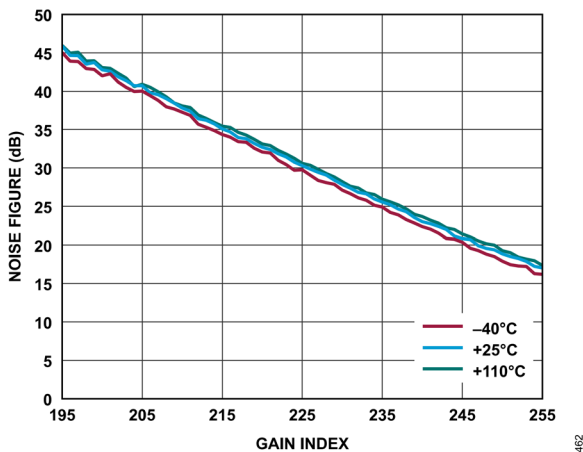


図 256. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

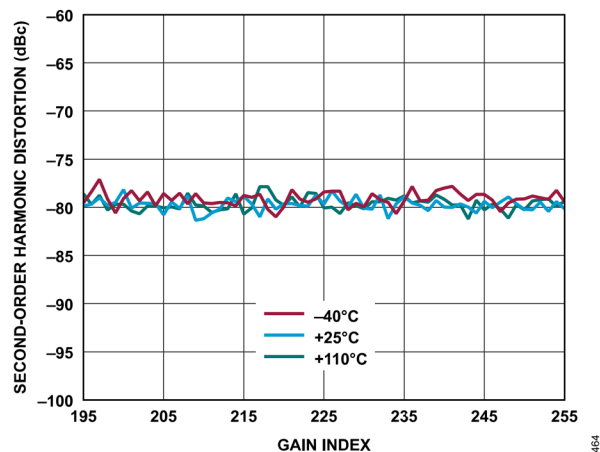


図 259. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

代表的な性能特性

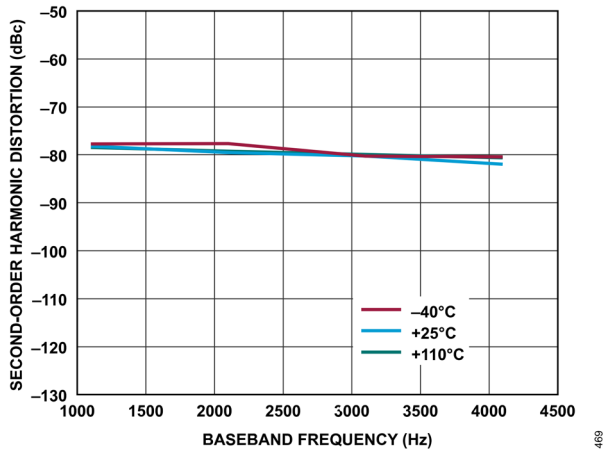


図 260. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

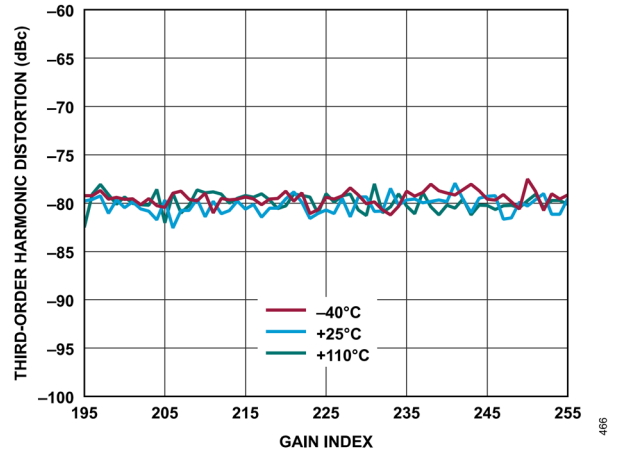


図 263. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

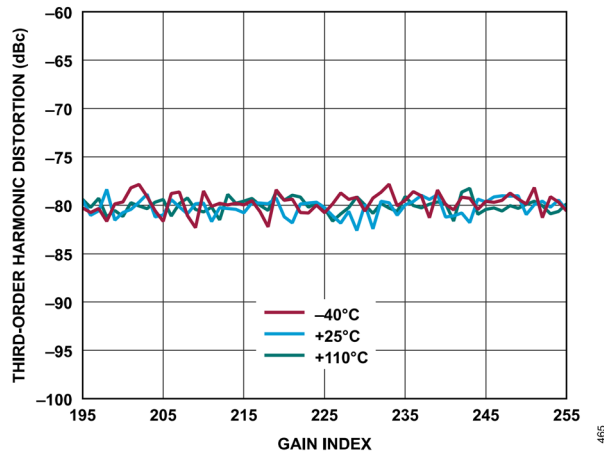


図 261. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

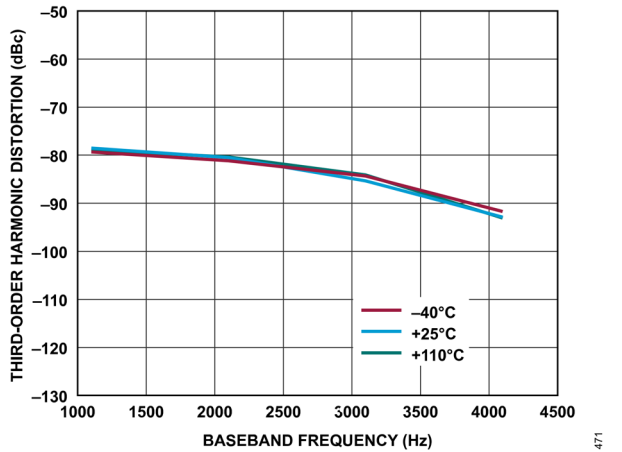


図 264. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

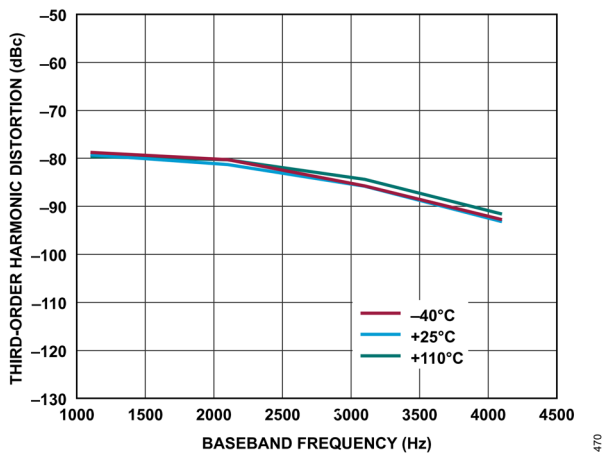


図 262. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

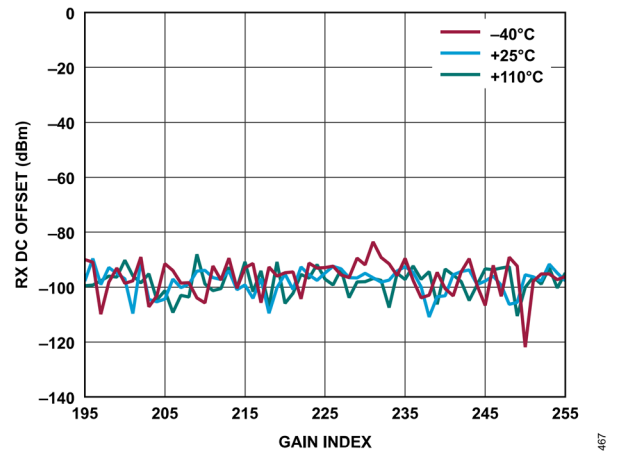


図 265. レシーバーの DC オフセットとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

代表的な性能特性

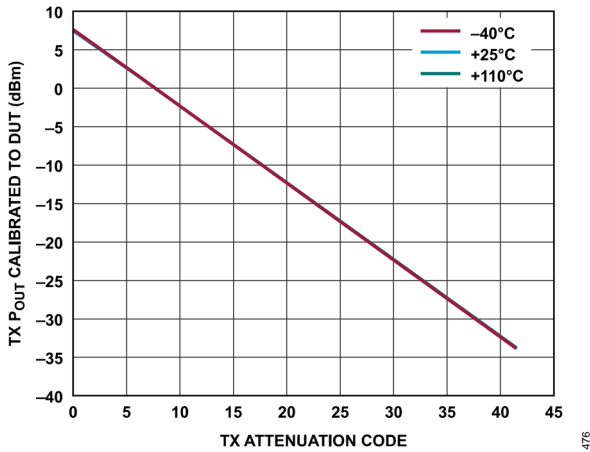


図 266. トランスミッタの絶対電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

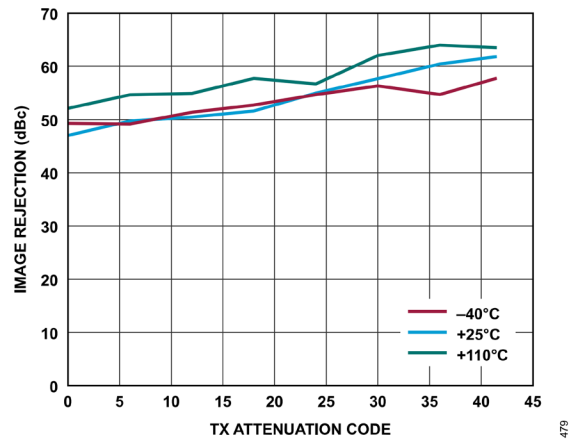


図 268. トランスミッタのイメージ除去とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

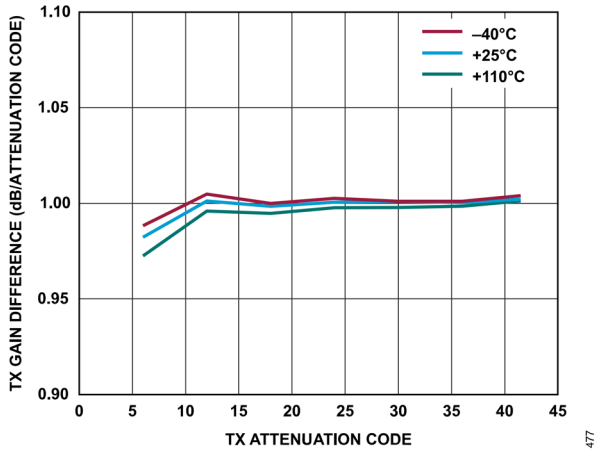


図 267. トランスミッタの減衰デルタ（誤差）とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

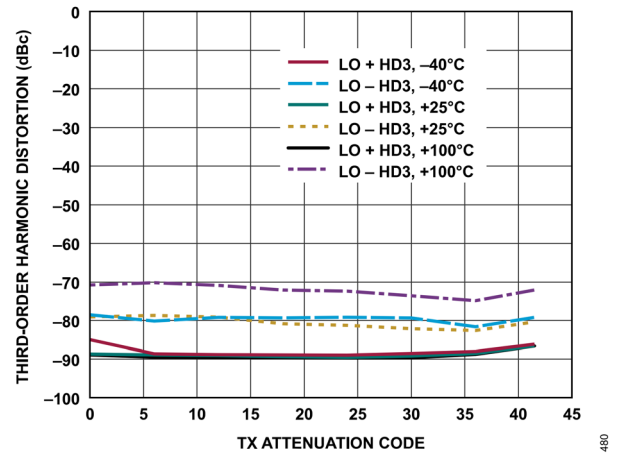


図 269. トランスミッタの3次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

代表的な性能特性

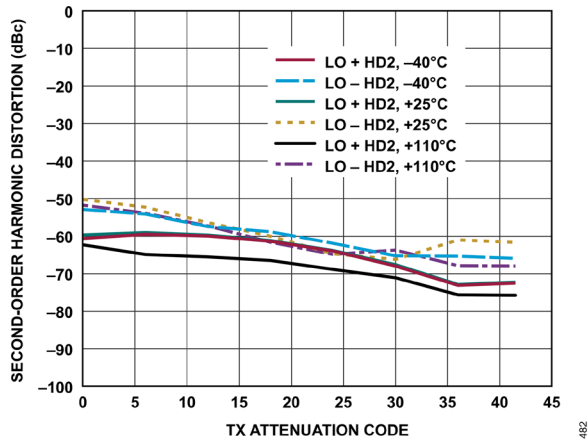


図 270. トランスミッタの2次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

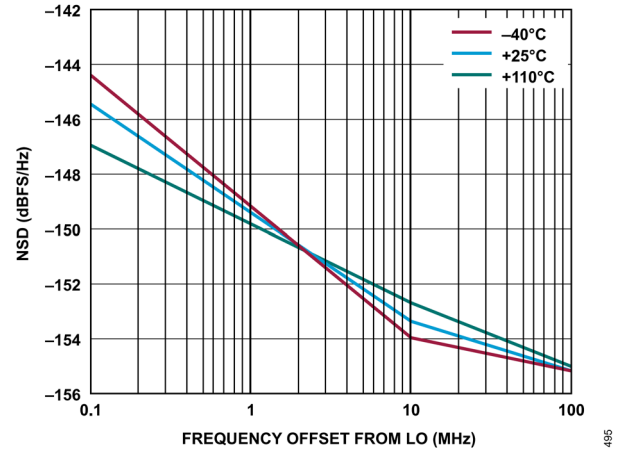


図 272. トランスミッタの NSD と LO からの周波数オフセットの関係、ベースバンド周波数 = 2.1kHz、トランスミッタ・チャンネル = Ch1

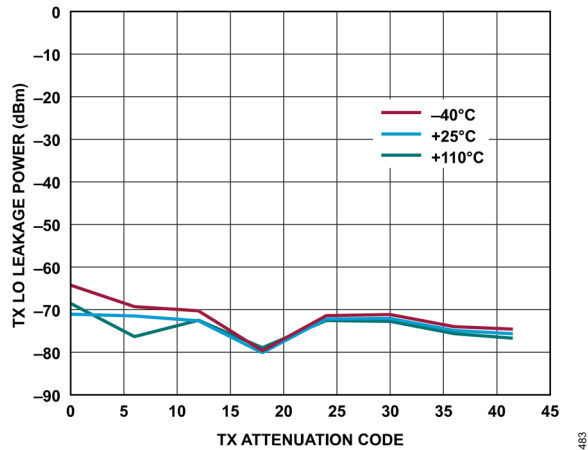


図 271. トランスミッタの LO リーク電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

代表的な性能特性

5800MHz LO

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 5800MHz に設定されています。

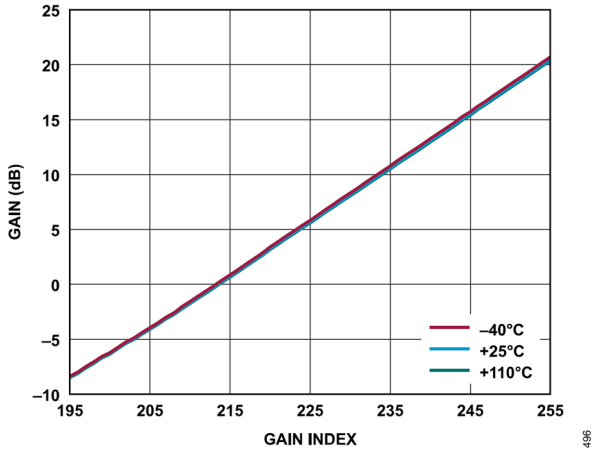


図 273. レシーバーの絶対ゲイン（複素数）とゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能、 $P_{OUT} = -9.6\text{dBFS}$

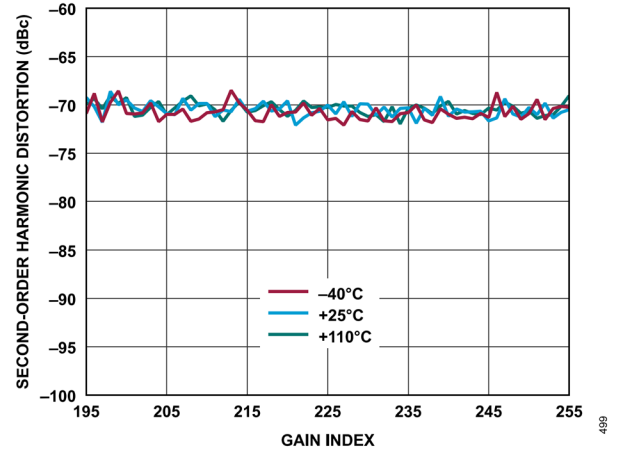


図 276. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

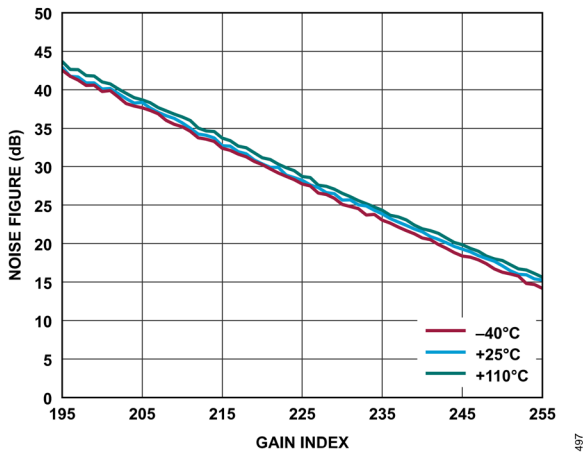


図 274. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

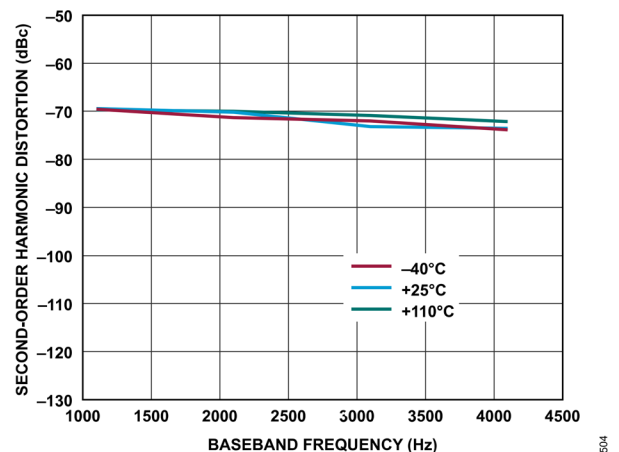


図 277. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

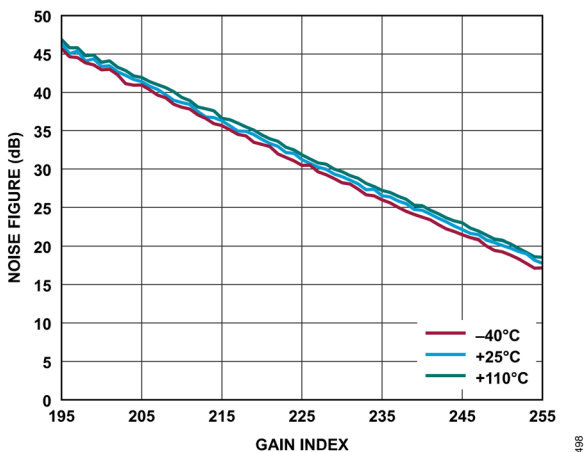


図 275. レシーバーのノイズ指数とゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

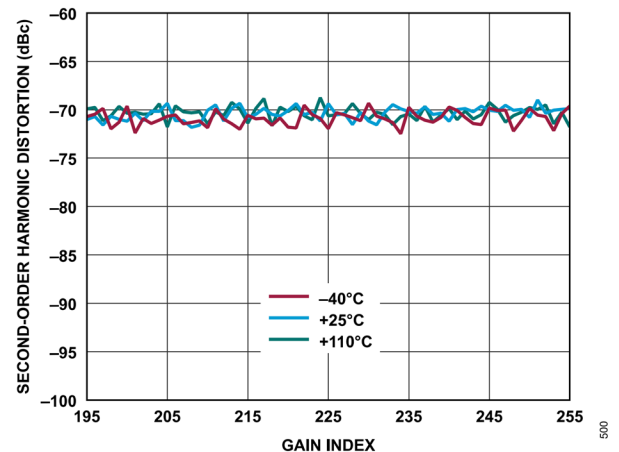


図 278. レシーバーの 2 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

代表的な性能特性

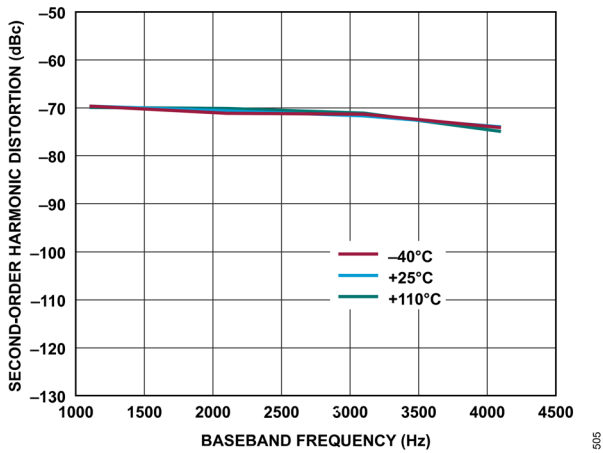


図 279. レシーバーの 2 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

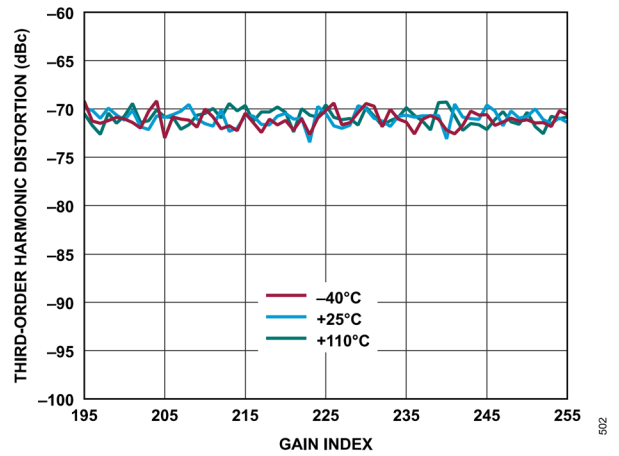


図 282. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 低消費電力

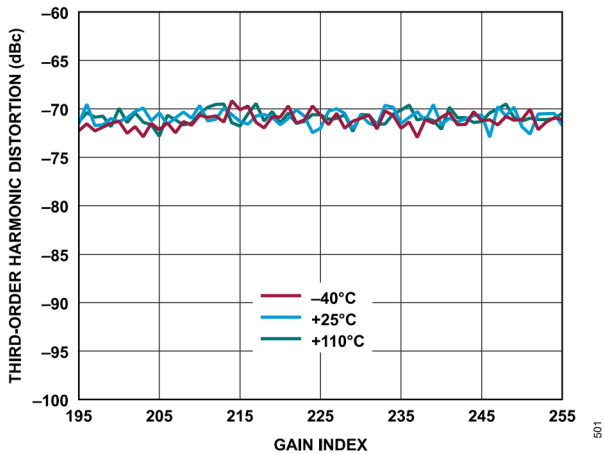


図 280. レシーバーの 3 次高調波歪みとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

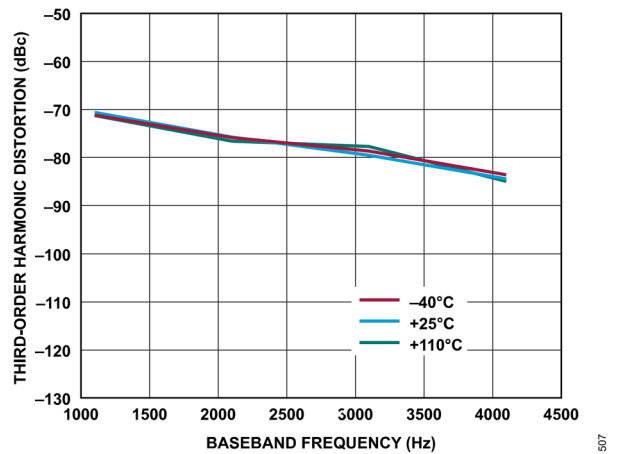


図 283. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 低消費電力

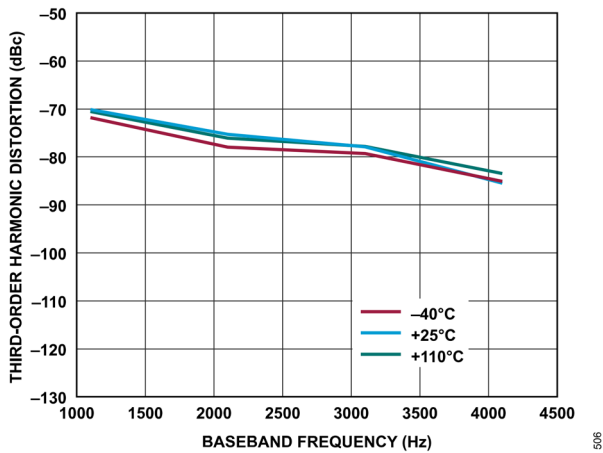


図 281. レシーバーの 3 次高調波歪みとベースバンド周波数の関係、ゲイン指数 = 255、ADC = 高性能

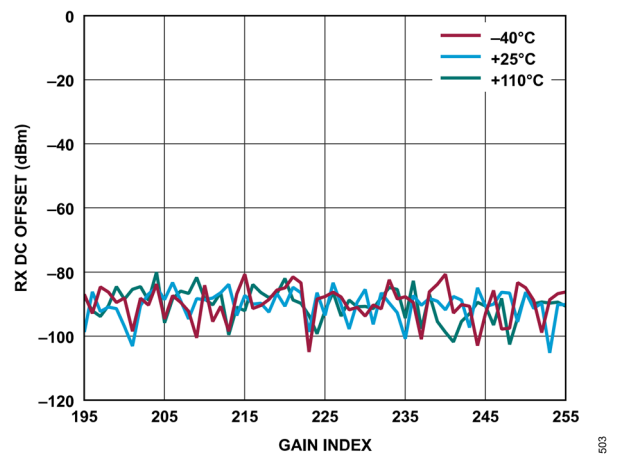


図 284. レシーバーの DC オフセットとゲイン指数の関係、ベースバンド周波数 = 2.1kHz、ADC = 高性能

代表的な性能特性

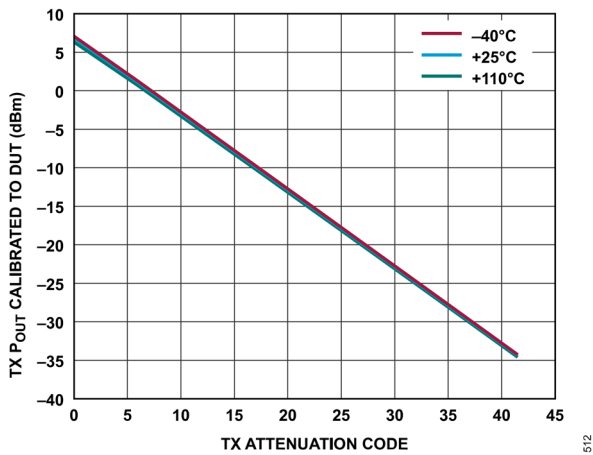


図 285. トランスミッタの絶対電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

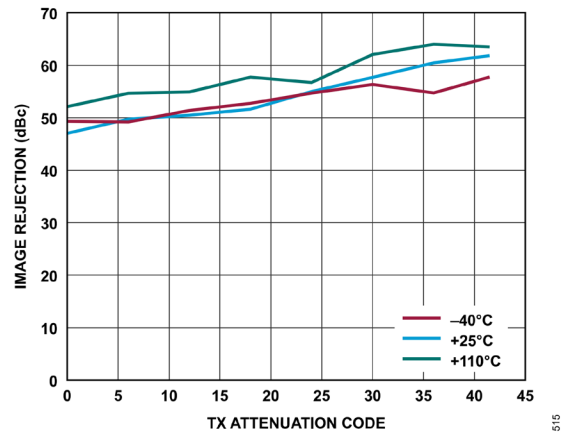


図 287. トランスミッタのイメージ除去とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS、初期化キャリブレーションのみ

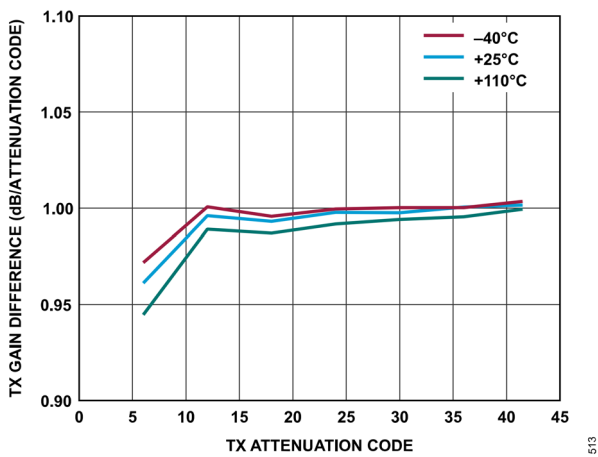


図 286. トランスミッタの減衰デルタ（誤差）とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

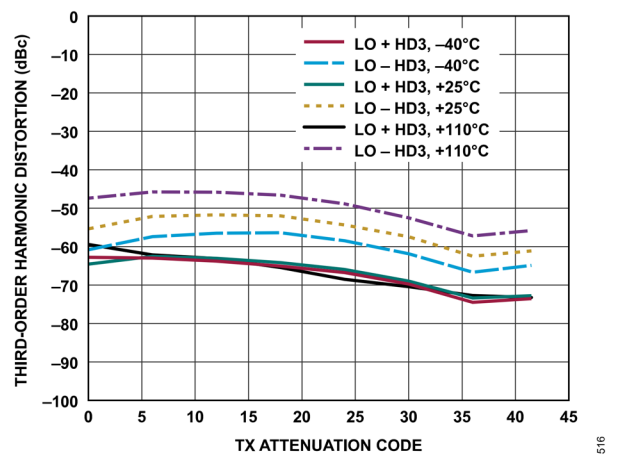


図 288. トランスミッタの3次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

代表的な性能特性

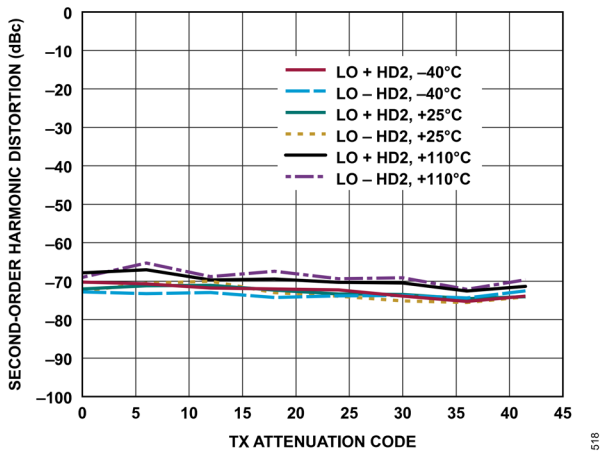


図 289. トランスミッタの2次高調波歪みとトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 0.2dBFS

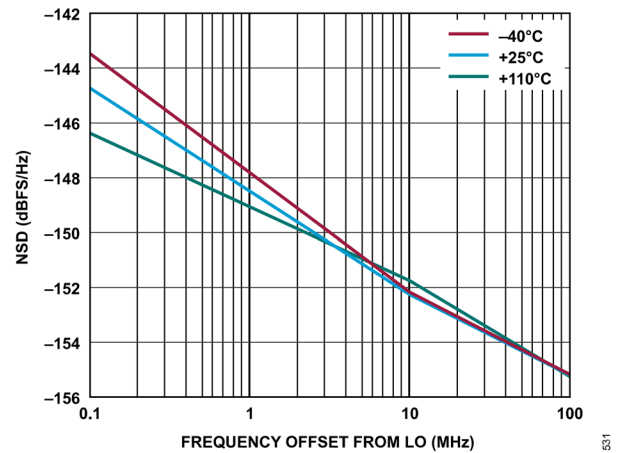


図 291. トランスミッタのNSDとLOからの周波数オフセットの関係、ベースバンド周波数 = 2.1kHz、トランスミッタ・チャンネル = Ch1

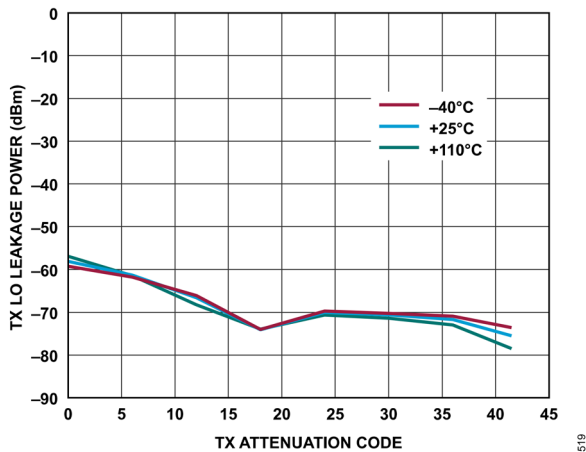


図 290. トランスミッタのLOリーク電力とトランスミッタ減衰コードの関係、ベースバンド周波数 = 2.1kHz、バックオフ = 6dBFS、初期化キャリブレーションのみ

代表的な性能特性

位相ノイズ

PLL 帯域幅 = 300kHz。DEV_CLK = 38.4MHz。IQ モードでの狭帯域プロファイルまたは広帯域プロファイル。リファレンス・クロックには、高性能、低ノイズの Wenzel タイプの発振器を使用しています。

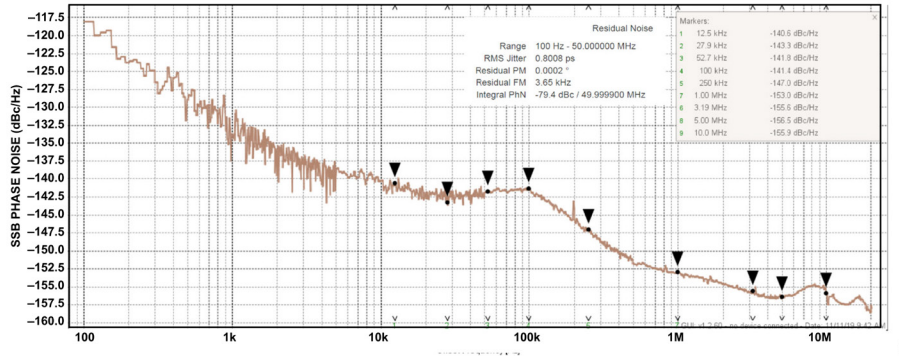


図 292. 内部局部発振器の位相ノイズ (30MHz の LO)

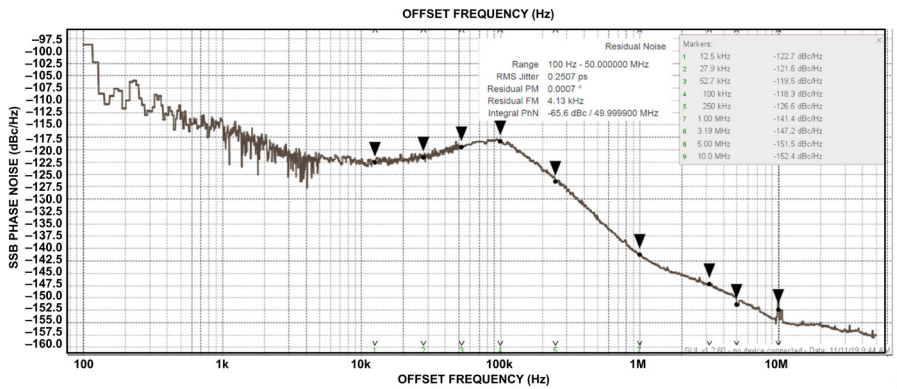


図 293. 内部局部発振器の位相ノイズ (370MHz の LO)

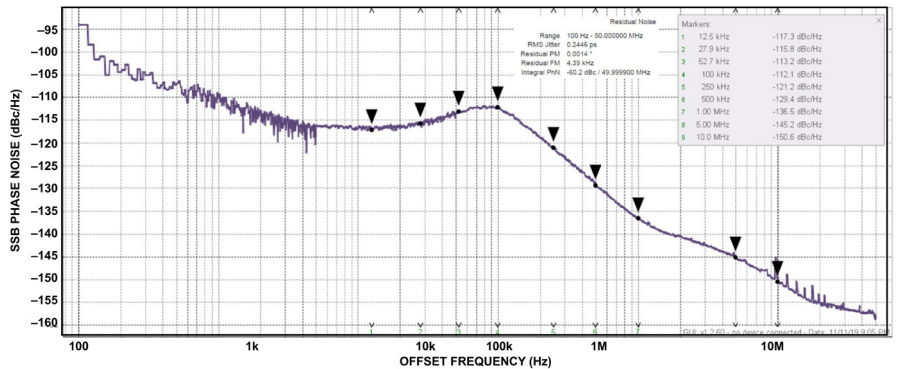


図 294. 内部局部発振器の位相ノイズ (900MHz の LO)

代表的な性能特性

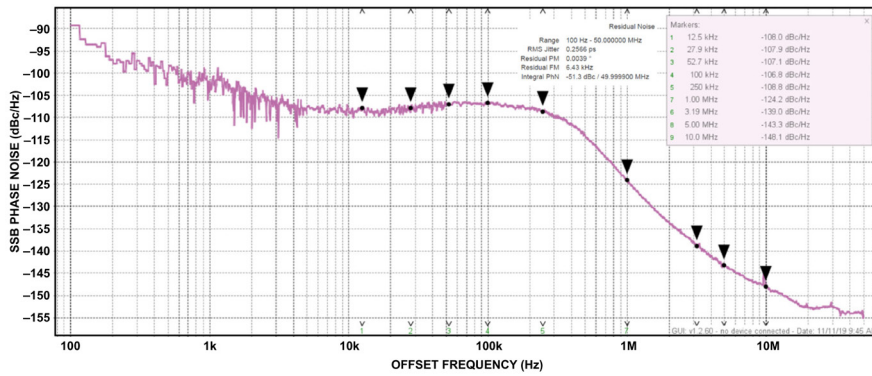


図 295. 内部局部発振器の位相ノイズ (2400MHz の LO)

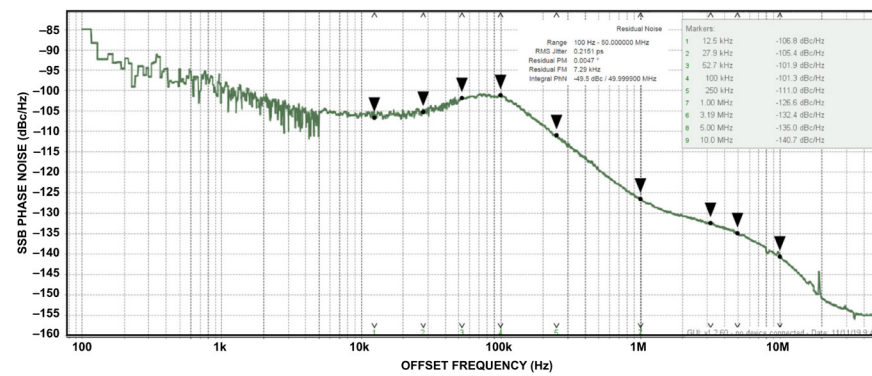


図 296. 内部局部発振器の位相ノイズ (3500MHz の LO)

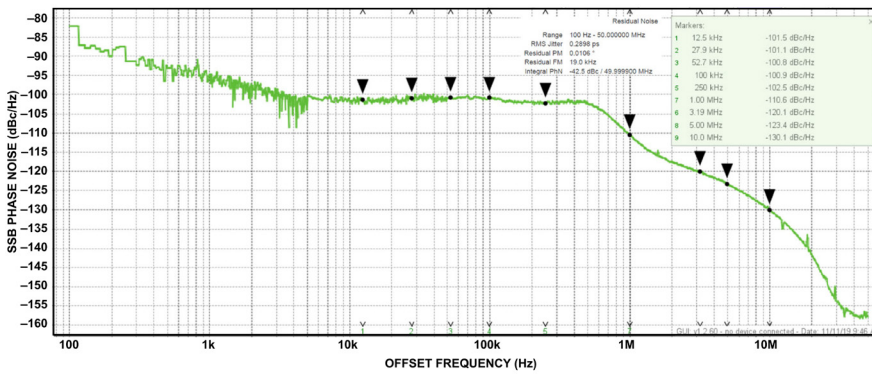


図 297. 内部局部発振器の位相ノイズ (5800MHz の LO)

動作原理

ADRV9002は高集積のRFトランシーバーで、幅広いアプリケーションに合わせて構成することができます。このデバイスは送信機能と受信機能を1つのデバイスで提供するために必要なRFブロック、ミックスドシグナル・ブロック、およびデジタル・ブロックをすべて内蔵しています。プログラマビリティに優れているため、2つのレシーバー・チャンネルと2つのトランスミッター・チャンネルを、モバイル無線規格やセルラ規格を満たすTDDシステムやFDDシステムで使用できます。

ADRV9002には、LVDSおよびCMOS同期シリアル・インターフェース（CSSI）を含むシリアル・インターフェース・リンクがあります。レシーバー・チャンネルとトランスミッター・チャンネルはどちらも、フィールド・プログラマブル・ゲート・アレイ（FPGA）やその他の集積化ベースバンド・ソリューションに対し、ピン本数が少なく信頼性の高いインターフェースを提供します。

ADRV9002は、DCオフセット、LOリーク、QECに対し、内蔵のマイクロコントローラ・コアを使用して自己キャリブレーションを実行できるため、様々な温度や入力信号条件の下で高い性能レベルを維持できます。ファームウェアがデバイスに付属しているため、ユーザがかかわることなくすべてのキャリブレーションをスケジュール化できます。

トランスミッタ

ADRV9002はダイレクト・コンバージョン・トランスミッター・アーキテクチャを採用しています。このアーキテクチャは、ダ

イレクト・コンバージョン・システムを実装するために必要なすべてのデジタル処理、ミックスド・シグナル、PLL、RFブロックを提供する、2つの個別に制御される同じ形式のチャンネルで構成されています。トランスミッターのデータ・パスの概要については、図298を参照してください。

ADRV9002では、完全にプログラマブルな128タップのFIR（有限インパルス応答）もオプションで使用できます。FIR出力は、DACに達する前に一連のインターポレーション・フィルタに送られます。これらのフィルタでは、追加のフィルタリングとデータ・レート・インターポレーションが行われます。各DACのサンプル・レートは調整可能で、直線性はフルスケールまで維持されます。

DAC出力は、ベースバンドのアナログ信号を生成します。I信号とQ信号にはまず、サンプリング・アーチファクトを除去するためのフィルタがかけられ、その後アップコンバージョン・ミキサーへ送られます。ミキサー段では、I信号とQ信号が再び結合され、キャリア周波数に変調されて出力段に送られます。各トランスミッター・チェーンは、設計者がS/N比（SNR）を最適化する際の助けとなるように、高分解能の広い減衰調整範囲を備えています。

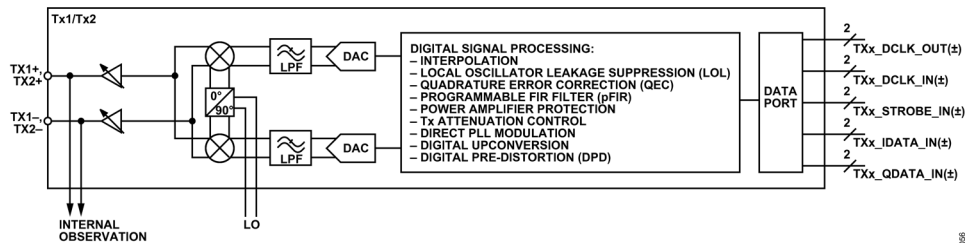


図 298. トランスミッターのアーキテクチャ

動作原理

レシーバー

図 299 に、ADRV9002 レシーバーの簡略化したブロック図を示します。これは、完全統合型のダイレクト・コンバージョン、低 IF レシーバー・シグナル・チェーンです。レシーバー・サブシステムには、ゲイン制御のための抵抗性入力ネットワークとそれに続く電流モード・パッシブ・ミキサーがあります。ミキサーの出力電流は、トランスインピーダンス・アンプによって電圧に変換され、その後デジタル化されます。また、高性能 Σ - Δ ADC と低消費電力 ADC の、2 組の ADC があります。必要なフィルタリングとデシメーションを行うデジタル・ベースバンドが、これらの ADC の後に続きます。

1 つのリファレンス設計で異なるバンドに適應できるように、各レシーバーには 2 つの RF 入力があります。ミキサーのアーキテクチャは、直線的で、本質的に広帯域幅です。そのため、インピーダンス・マッチングが容易です。レシーバー入力の差動入力インピーダンスは、100 Ω です。

ゲイン制御を行うために、プログラムされたゲイン指数マップが実装されています。このゲイン・マップは、様々なレシーバー・ブロック内に減衰を配分し、各パワー・レベルで最適な性能を実現します。ゲインの範囲は 34dB です。自動および手動のどちらのゲイン制御モードでも、追加のサポートが利用できます。

レシーバーの LPF は、アンチエイリアス・フィルタリングを行い帯域外ブロックの機能を向上するよう設定できます。ADRV9002 は、広帯域アーキテクチャのトランシーバーで、ADC の高ダイナミック・レンジを基に、信号と干渉を同時に受信します。レシーバーの LPF によって提供されるフィルタリングにより、ADC のエイリアス・イメージは減衰されます。レシーバーの LPF 特性は平坦で、クロスイン・ブロックの除去を目的とするものではありません。ベースバンド・フィルタは 5MHz~50MHz のベースバンド帯域幅をサポートしています。

レシーバーには 2 つの ADC ペアがあります。1 つのペアは高性能 Σ - Δ ADC からなり、干渉許容度が最大です。もう一方のペアは、消費電力が極めて低い ADC で構成されています。ADC ペアを追加すると、消費電力と性能の間で兼ね合いを取ることができます。

ADC 出力は、一連のデシメーション・フィルタと、追加的なデシメーションが設定された完全にプログラマブルな 128 タップの FIR フィルタによって、更にコンディショニングすることができます。各デジタル・フィルタ・ブロックのサンプル・レートは、それぞれのデシメーション係数の変更に合わせて自動調整され、必要な出力データ・レートを生成します。

低位相ノイズが要求される規格に対しては、ADRV9002 は低 IF モードで動作できます。ADRV9002 は、IF ダウンコンバージョン・スキームと同様に、キャリアから信号オフセットを受け取ります。アナログ・レシーバー・パスに続くデジタル NCO とミキサーは、IF 信号をベースバンドにダウンコンバージョンできます。信号をベースバンドにダウンコンバージョンすることで、データ・バスのサンプル・レートを下げることができます。ADRV9002 には、ハイサイドやローサイドのインジェクションについて、いかなる前提もありません。

モニタ・モード

ADRV9002 レシーバー・シグナル・チェーンは、デューティ・サイクル検出およびスリープの方法で、無線チャンネルの信号レベルをモニタするように設定できます。モニタ・モードを使用すると、デジタル・ベースバンド・プロセッサは、ADRV9002 が信号を検出するまでパワーダウンできます。モニタ・モードにより、システム全体の電力の節約ができます。検出およびスリープ・モードのタイミングは完全にプログラマブルです。あるいは、ADRV9002 はモニタ・モードの間、ベースバンド・プロセッサで完全に制御することも可能です。

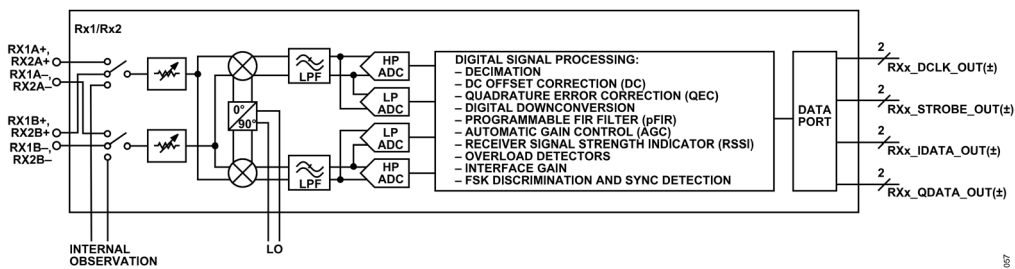


図 299. レシーバー・アーキテクチャ

動作原理

DPD

ADRV9002 には、完全に統合化された DPD 機能があり、パワー・アンプの応答の非直線性を補償するためにデジタル波形を変形できます。これによって、トランスミッタ・システムのパワー・アンプの出力を直線化できます。内部 DPD ブロックは、狭帯域信号および広帯域信号の両方に対し最適化されています。DPD のアクチュエータと係数計算エンジンは、どちらも内蔵されています。この機能は、レシーバー・チャンネルを使用してパワー・アンプの出力をモニタし、出力を直線化するために適切なプリディストーションを計算します。組み込まれた DPD は、システムがパワー・アンプを飽和に近い状態で駆動できるようにして、直線性を維持しながら、より高い効率のパワー・アンプを実現することを可能にします。

オブザベーション・レシーバーとしてのレシーバー

1 つのレシーバーのみを使用する FDD タイプのアプリケーション、または、トランスミッタ・タイム・スロットの間の TDD タイプのアプリケーションでは、使用されていないレシーバー入力をトランスミッタのオブザベーション（監視）を行うために使用できます。オブザベーション・レシーバーはメインのレシーバーと同様に動作します。

オブザベーション・レシーバー・チャンネルを使用する目的は、次のとおりです。

- ▶ トランスミッタ・チャンネルをモニタし、トランスミッタの局部発振器リーク (LOL) 補正とトランスミッタ QEC を実行する。
- ▶ パワー・アンプ出力後の信号レベルをモニタする。このデータは、完全統合型低消費電力 DPD ブロックによって使用することができます。統合化された DPD は、狭帯域信号と広帯域信号の両方に最適化されており、高効率パワー・アンプの直線化が可能になります。
- ▶ 外部ベースバンド・プロセッサでの更なるデータ処理のために、パワー・アンプ出力後の信号レベルをモニタする。

オブザベーション・レシーバー・パスが DPD 動作のために使用されている場合は、DPD がサポートできるトランスミッタ信号の最大帯域幅には制限があります。例えば、DPD オブザベーション係数が 5 倍の場合、トランスミッタ信号の帯域幅は、DPD オブザベーション帯域幅の 1/5 に制限されます。ADRV9002 の内部 DPD ブロックを使用する場合、内部 DPD の最大オブザベーション帯域幅が 100MHz であるため、内部 DPD がサポートできる最大トランスミッタ帯域幅は 20MHz となります。外部 DPD を使用する場合は、最大 DPD オブザベーション帯域幅はトランスミッタとオブザベーション・レシーバーの RF 帯域幅によって制限されます。40MHz がデジタル・データ・ポートとベースバンド・プロセッサ間で送受信可能な最大 RF 帯域幅です。つまり、ADRV9002 に外付けされた DPD がサポートできる最大トランスミッタ帯域幅は、8MHz となります。

クロック入力

リファレンス・クロック入力は低周波数クロックを提供し、ここからすべての ADRV9002 クロックが抽出されます。ADRV9002 には複数のリファレンス入力クロック・オプションがあります。このデバイスのリファレンス入力クロック・ピンは、DEV_CLK_IN±というピン名になっています。

最高性能を発揮するために、リファレンス・クロックは、外部ソースまたは外部水晶発振器から差動方式で駆動します。差動入力クロックが提供される場合、クロック信号は 10MHz~1GHz に限定された入力範囲で AC カップリングする必要があります。ADRV9002 では、クロック源として外部の水晶発振器 (XTAL) を使用することもできます。対応する水晶発振器の周波数範囲は 20MHz~80MHz です。外部水晶発振器の接続は DC カップリングする必要があります。

差動クロックが使用できない場合、シングルエンド、AC カップリングの 1V p-p (最大) CMOS 信号を DEV_CLK_IN+ピンに入力し、DEV_CLK_IN-ピンは接続しないままにします。このモードでの最大クロック周波数は 80MHz に制限されます。

シンセサイザ

ADRV9002 には 2 つの異なる PLL パスがあります。すなわち、高周波数 RF パスのための RF PLL と、データ・コンバータのデジタルおよびサンプリング・クロックのためのベースバンド PLL です。

RF PLL

レシーバー・データ・パス用に 1 つの専用 PLL を備え、トランスミッタ・データ・パス用に 1 つの専用 PLL を備えるのではなく、デバイスに 2 つの RF PLL があり、どちらの PLL もレシーバー、トランスミッタ、または両方のパスのソースとなることができる、あるいはいずれのソースにもならない、という点で、ADRV9002 の PLL 構造は独特です。この柔軟性により、ADRV9002 は多用途性が必要とされる様々なアプリケーションに適合できます。

RF PLL は、内部 LO 信号と外部 LO 信号のどちらでも使用できます。内部 LO は、6.5GHz~13GHz の周波数範囲で調整可能なオンチップ VCO によって生成されます。VCO の出力は、API コマンドによってプログラム可能なフラクショナル N PLL を介して、外部リファレンス・クロックにフェーズ・ロックされます。VCO の出力は、同相および直交位相の LO 信号を 30MHz~6GHz の周波数範囲で生成するよう、周波数分周器を組み合わせることで調整されます。

または、外部 LO 信号を ADRV9002 の外部 LO 入力に加えて、RF パス用に直交する LO 信号を生成することもできます。外部 LO パスを選択する場合は、入力周波数範囲は 60MHz~12GHz となります。

PLL シンセサイザは、完全に統合された VCO およびループ・フィルタを含むフラクショナル N 設計です。TDD モードでは、LO の分配パスおよびレシーバーとトランシーバーのパスは、レシーバーおよびトランシーバーのフレームに応じてオン/オフします。FDD モードでは、トランスミッタ PLL とレシーバー PLL は同時に動作できます。これらの PLL には外付け部品は不要です。RF LO 生成回路は、性能と消費電力の兼ね合いを取ることができます。

動作原理

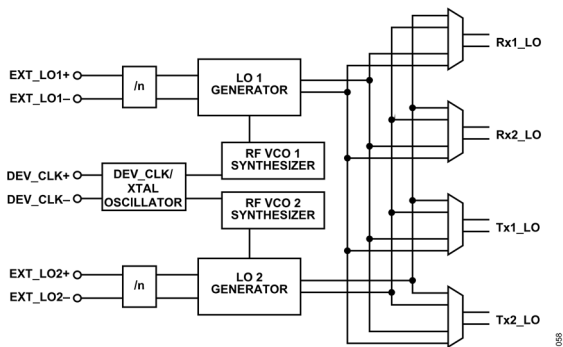


図 300. RF LO

ADRV9002 は、周波数滞留時間と遷移時間が主な相違点となっている様々な形態の高速周波数ホッピング (FFH) に対応します。RF PLL の位相ノイズと QEC および LOL アルゴリズム性能は、減少する周波数遷移時間の関数として低下します。FFH モードは、パワーアップ時にプリロードされているか、ユーザによって ADRV9002 にストリーミングされているホッピング周波数をサポートします。FFH モードでの周波数間のホッピングは、GPIO ピンを切り替えるか API コマンドを実行することでトリガできます。

ベースバンド PLL

ADRV9002 には、ベースバンド PLL シンセサイザがあり、ベースバンドとデータ・ポートに関連する全てのクロックを生成します。高性能ベースバンド PLL と低消費電力ベースバンド PLL 用の 2 つのオプションがあります。高性能ベースバンド PLL は、クロック生成に関して柔軟性が高いため、より広い範囲のサンプル・レートに対応できます。低消費電力ベースバンド PLL では、特定のサンプル・レートのサポートの点で制限がありますが、消費電力は少なくなります。高性能と低消費電力のどちらのベースバンド PLL も、システムのデータ・レート条件およびサンプル・レート条件に基づき自動的にプログラムされます。

SPI

ADRV9002 は、SPI を使ってベースバンド・プロセッサとの通信を行います。このインターフェースは、受信専用ポートと送信専用ポートを持つ 4 線式インターフェースとして設定するか、1 つの双方向データ通信ポートを持つ 3 線式インターフェースとして設定することができます。このバスにより、ベースバンド・プロセッサは、単純なアドレス・データ・シリアル・バス・プロトコルを使って、すべてのデバイス制御パラメータを設定することができます。

書き込みコマンドは 24 ビット・フォーマットを使用します。最初のビットはバス転送の方向を設定します。次の 15 ビットは、データを書き込むアドレスを設定します。最後の 8 ビットには、特定のレジスタ・アドレスへ転送されるデータが含まれます。読み出しコマンドも同様のフォーマットを使用します。異なるのは、最初の 16 ビットが SPI_DIO ピンで転送される点と、4 線式モードでは最後の 8 ビットが SPI_DO ピンを介して ADRV9002 から読み出され、3 線式モードでは SPI_DIO ピンを介して読み出される点です。

GPIO ピン

デジタル汎用入出力 (DGPIO)

VDIGIO_1P8 電源を基準とする ADRV9002 の GPIO 信号は、デジタル回路とのインターフェースを目的とし、数多くの機能に対して設定できます。これらのピンの一部は、出力として設定された場合、リアルタイム信号としてベースバンド・プロセッサによって使用され、多数の内部設定や測定が可能となります。この設定により、ベースバンド・プロセッサはレシーバー性能を異なる状況でモニタできます。手動ゲイン・モード、キャリブレーション・フラグ、ステート・マシンの状態、および様々なレシーバー・パラメータに使われる信号は、これらのピンでモニタすることができる出力です。更に、一部のピンは入力として設定し、リアルタイムでのレシーバー・ゲイン設定やトランスミッタ減衰設定など、様々な機能に使用することができます。

アナログ汎用入出力 (AGPIO)

AGPIO ピンは、アナログ機能を実行するシステム・ブロックとのインターフェースを目的としています。VAGPIO_1P8 電源を基準とする AGPIO ピンは、ロー・ノイズ・アンプ (LNA) やデジタル・ステップ・アッテネータ (DSA) などの外付け部品に制御信号を供給します。選択された AGPIO ピンには、代替の補助 DAC 機能があります。ピン・マッピングの詳細については表 18 を参照してください。

補助コンバータ

補助 ADC 入力 (AUXADC_x)

ADRV9002 には、4 つの専用入力ピン (AUXADC_x) に接続された対応する入力を持つ、4 つの補助 ADC があります。このブロックは部品を追加することなくシステムの電圧をモニタできます。補助 ADC は、10 ビットで、入力電圧範囲は 0.05V~0.95V です。イネーブルすると、フリー・ランニング状態になります。API 機能を使用すると、ADC によってラッチされた最後の値を読み出すことができます。

補助 DAC 出力 (AUXDAC_x)

ADRV9002 には、バイアス電圧、アナログ制御電圧、その他のシステム機能を提供できる、4 つの同一の補助 DAC (AUXDAC_x) があります。これらの補助 DAC (AUXDAC_0~AUXDAC_3) は、表 18 に示すように、AGPIO_xx ピンを使用してマルチプレクスできます。補助 DAC は 12 ビットで、約 0.05V~VDDA_1P8 - 0.05V の出力電圧範囲と 10mA の電流駆動能力があります。補助 DAC は、ADRV9002 にロードし専用の DGPIO ピンの状態に基づいてトリガできる、ランプ・アップ・パターンとランプ・ダウン・パターンを生成できます。

動作原理

JTAG バウンダリ・スキャン

ADRV9002は、JTAG バウンダリ・スキャンをサポートしています。JTAG インターフェース関連のデュアル機能ピンは5本あり

ます。これらのピンは、表 19 に示すように、オンチップ・テスト・アクセス・ポートへアクセスするために使用します。JTAG 機能を有効にするには、表 19 に示すように、DGPIO_8 ピン～DGPIO_11 ピンと MODE ピンを設定します。

表 18. ピン番号と AGPIO_xx の対応付けと AUXDAC_x

Pin Number	Primary Function	Alternate Function
E12	AGPIO_0	AUXDAC_0
F10	AGPIO_1	AUXDAC_1
E3	AGPIO_2	AUXDAC_2
F5	AGPIO_3	AUXDAC_3
F4	AGPIO_4	Not applicable
G4	AGPIO_5	Not applicable
G6	AGPIO_6	Not applicable
H6	AGPIO_7	Not applicable
G9	AGPIO_8	Not applicable
H9	AGPIO_9	Not applicable
F11	AGPIO_10	Not applicable
G11	AGPIO_11	Not applicable

表 19. ピン番号と DGPIO_xx の対応付けと JTAG 機能

Pin Number	Primary Function	JTAG Function, Boundary Scan CMOS Mode	JTAG Function, Boundary Scan LVDS Mode
K6	DGPIO_0	Not applicable	Not applicable
K7	DGPIO_1	Not applicable	Not applicable
K8	DGPIO_2	Not applicable	Not applicable
K9	DGPIO_3	TDO	TDO
K10	DGPIO_4	$\overline{\text{TRST}}$	$\overline{\text{TRST}}$
K11	DGPIO_5	TDI	TDI
L4	DGPIO_6	TMS	TMS
L5	DGPIO_7	TCLK	TCLK
L6	DGPIO_8	User sets to 0	User sets to 1
L9	DGPIO_9	User sets to 0	User sets to 0
L10	DGPIO_10	User sets to 0	User sets to 0
L11	DGPIO_11	User sets to 0	User sets to 0
M9	DGPIO_12/TX1_DCLK_OUT-	Not applicable	Not applicable
M10	DGPIO_13/TX1_DCLK_OUT+	Not applicable	Not applicable
M6	DGPIO_14/TX2_DCLK_OUT-	Not applicable	Not applicable
M5	DGPIO_15/TX2_DCLK_OUT+	Not applicable	Not applicable
L13	MODE Pin	User sets to 1	User sets to 1

アプリケーション情報

電源シーケンス

ADRV9002 は、望ましくないパワーアップ電流を避けるために特別なパワーアップ・シーケンスを必要とします。最適なパワーオン・シーケンスでは、VDD_IP0 を最初にパワーアップします。VDD_IP0 電源の次には、VDDA_IP3 電源と VDDA_IP8 電源をパワーアップします。VDDA_IP0 を使用する場合は、VDDA_IP0 は、VDDA_IP3 と VDDA_IP8 がイネーブルされた後にパワーアップします。

ユーザは、電力が安定した後 RESET をトグルしてから、設定を行う必要があります。

デジタル・データ・インターフェース

ADRV9002 データ・インターフェースは、CMOS および LVDS の両方の電氣的インターフェースをサポートします。CSSI は、狭い RF 信号帯域幅を対象とし、LVDS 同期シリアル・インターフェース (LSSI) は ADRV9002 の全 RF 帯域幅に対応できます。表 20 に概要を示します。詳細については ADRV9001 のシステム開発ユーザ・ガイドを参照してください。

すべての信号レーンには両方の電氣的インターフェースに対応しますが、両方のインターフェースの同時動作はサポートされていません。また、レシーバー・チャンネルとトランスミッタ・チャンネルにはそれぞれ、情報を転送するための一連の専用レーンがあります。レシーバー・チャンネルとトランスミッタ・チャンネルは、設計によって割り当てられたものとは異なるもう 1 つのボール配置に再構成することはできません。

CSSI

CSSI は、1 レーンのシリアル化されたデータと 4 レーンのデータの 2 つの動作モードに対応しています。どちらの場合も、CMOS 構成がサポートする最大クロック周波数は 80MHz です。

1 レーン・データ・モードの CSSI では、16 ビットの I データと 16 ビットの Q データ (合計 32 データ・ビット) が 1 つのレーンにシリアル化されています。図 301 に 1 レーン・データ・モードの CSSI の概要を図示します。

4 レーン・データ・モードの CSSI では、I および Q のデジタル・データが 4 つのデータ・レーンに広がっています。16 ビットの I データと 16 ビットの Q データが 8 ビットに分割され、4 つのデータ・レーンの 1 つに送られます。例えば、レーン 0 には I データの 8LSB ビット、レーン 1 には I データの 8MSB ビット、レーン 2 には Q データの 8LSB ビット、レーン 3 には Q データの 8MSB ビットが送られます。

4 レーン・データ・モードの CSSI は、フル・レート・クロックとダブル・データ・レート (DDR) クロックの両方をサポートします。DDR クロック・モードを使用すると、データを立上がりエッジと立下がりエッジの両方でラッチでき、これによって図 302 に示すように、利用可能な RF 帯域幅を 2 倍にすることができます。

CSSI 受信

レシーバー CMOS 構成では、1 レーン・モードの CSSI と 4 レーン・モードの CSSI の場合について説明したデータ・レーン条件に加え、ストロブ信号とクロック信号用に 2 つのシグナル・

レーンを追加することが必要です。これによって、合計 3 つのシグナル・レーンが 1 レーン・データ・モードの CSSI で、また、合計 6 つのシグナル・レーンが 4 レーン・データ・モードの CSSI で使用できます。

RXx_DCLK_OUT は、データとストロブ出力信号を同期させる出力クロック信号です。RXx_STROBE_OUT は、シリアル・データ・ストリームの最初のビットを示すストロブ出力信号です。RXx_STROBE_OUT 信号は I および Q サンプルの開始を示すように設定できます。16 ビット・データ・サンプルの場合、RXx_STROBE_OUT 信号は、1 クロック・サイクルの間ハイとなり 31 クロック・サイクルの間ローになります。あるいは、RXx_STROBE_OUT 信号は、I データの期間はハイとなり Q データの期間はローになるように設定することもできます。この場合、16 ビット・データ・サンプルについては、RXx_STROBE_OUT 信号は、16 クロック・サイクル (I データ) の間ハイとなり 16 クロック・サイクル (Q データ) の間ローになります。

CSSI 送信

トランスミッタ CMOS 構成では、1 レーン・モードの CSSI と 4 レーン・モードの CSSI の場合について説明したデータ・レーン条件に加え、ストロブ、クロック入力、クロック出力用に 3 つのシグナル・レーンを追加することが必要です。これによって、合計 4 つのシグナル・レーンが 1 レーン・データ・モードの CSSI で、また、合計 7 つのシグナル・レーンが 4 レーン・データ・モードの CSSI で使用できます。

TXx_DCLK_IN は、ADRV9002 への入力クロックで、データ入力 (TXx_DATA_IN) とストロブ入力 (TXx_STROBE_IN) に同期します。TXx_STROBE_IN は、シリアル・データ・サンプルの最初のビットを示す入力信号です。レシーバー・パスと同様、トランスミッタ・ストロブには 2 つの設定オプションがあります。TXx_DCLK_OUT は ADRV9002 から外部ベースバンド・デバイスへの出力クロックで、TXx_DCLK_IN、TXx_STROBE_IN、TXx_DATA_IN の各信号を生成します。

LSSI

LSSI はより広い RF チャンネル帯域幅をサポートし、差動シグナル・ペアを必要とします。LSSI モードでは、2 つのデータ転送フォーマットがあります。すなわち、I データと Q データが 1 つの差動ペアでシリアル化されている 1 レーン・データ・モードと、I データおよび Q データが別々の差動ペアを占める 2 レーン・データ・モードです。1 レーン・データ・モードと 2 レーン・データ・モードのどちらを選択するかは、RF チャンネルの帯域幅によって決まります。ADRV9002 の最大 RF 帯域幅である 40MHz を確保するには、2 レーン・データ・モードの LSSI を選択します。どちらの場合も、LSSI 構成がサポートする最大クロック周波数は 491.52MHz で、クロック・タイプは DDR です。詳細は、図 303 を参照してください。

アプリケーション情報

表 20. ADRV9002 データ・ポートのインターフェース・モード

Interface Mode	Data Lanes per Channel	Serialization Factor per Data Lane	Maximum Data Lane Rate (MHz)	Maximum Clock Rate (MHz)	Maximum RF Bandwidth (MHz)	Sample Rate for I and Q Data (MHz)	Data Type ¹	Figure Reference
CSSI in 1-Lane Data	1	32	80	80	1.25	2.5	Normal	Figure 301
CSSI in 1-Lane Data	1	32	160	80	2.5	5	DDR	
CSSI in 4-Lane Data	4	8	80	80	5	10	Normal	
CSSI in 4-Lane Data	4	8	160	80	10	20	DDR	Figure 302
LSSI in 1-Lane Data	1	32	983.04	491.52	20	30.72	DDR	
LSSI in 2-Lane Data	2	16	983.04	491.52	40	61.44	DDR	Figure 303
LSSI in 2-Lane Data	2	12	737.28	368.64	40	61.44	DDR	

¹ 通常 (Normal) のデータ・タイプは、立上がりエッジでのデータを指します。DDR はダブル・データ・レートで、データは入力クロックの立上がりエッジと立下がりエッジで使用できます。

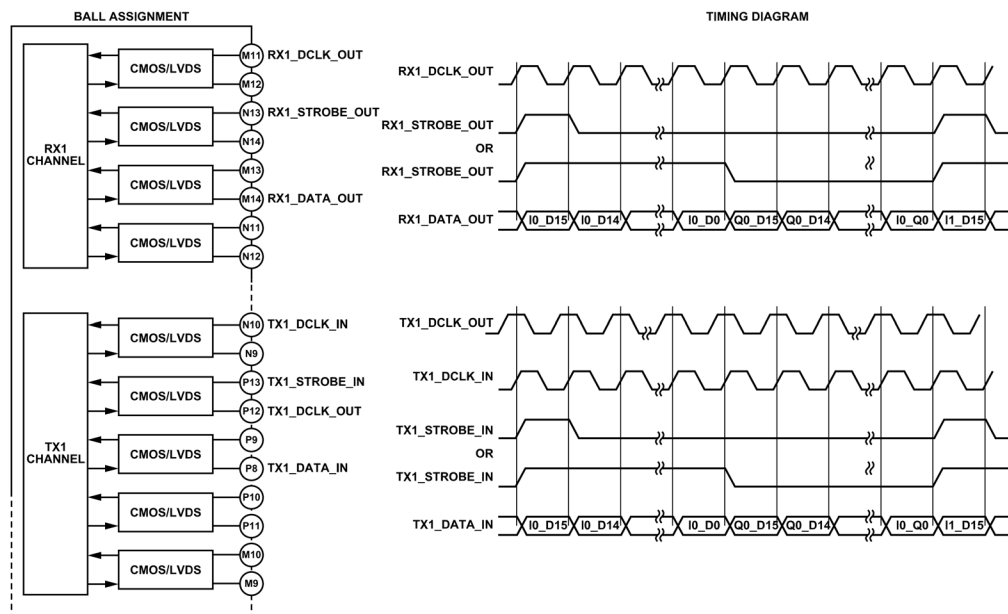


図 301.1 レーン・データ・モードの CSSI

アプリケーション情報

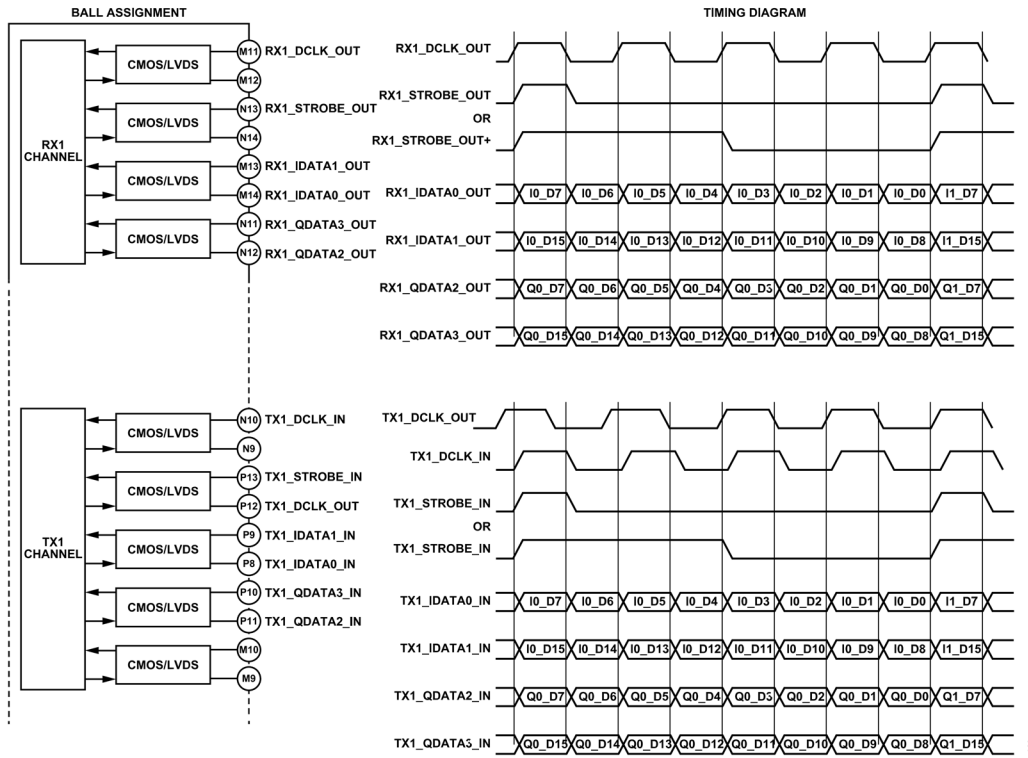


図 302.4 レーン・データ・モード、DDR の CSSI

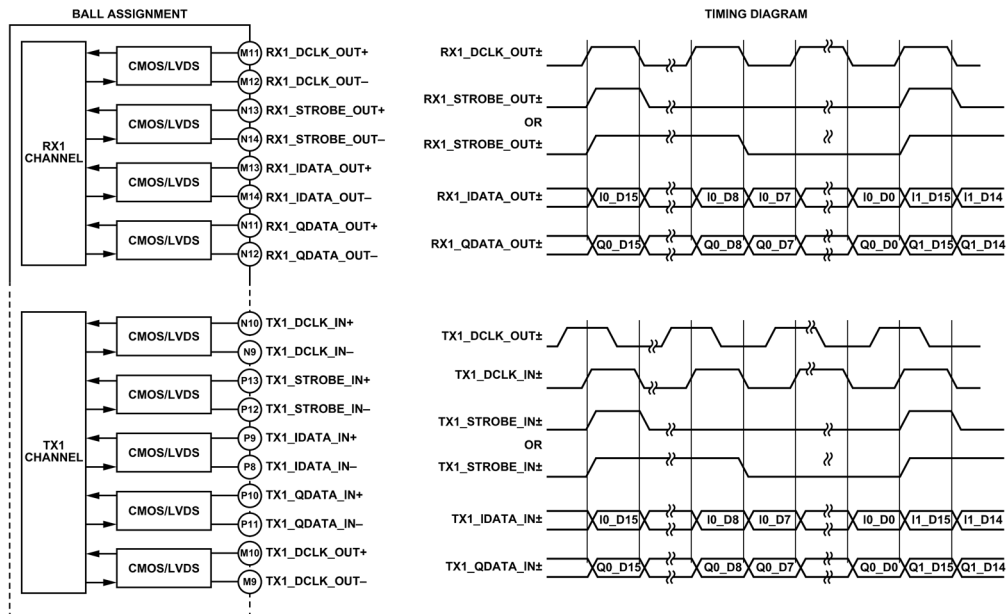
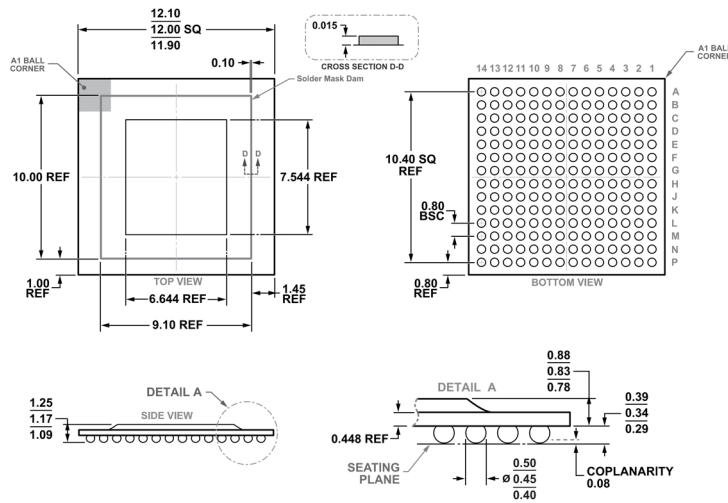


図 303.2 レーン・データ・モード、DDR の LSSI

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-275-GGAB-1

図 304. 324 ボールのボール・グリッド・アレイ、熱強化型 [BGA_ED]
(BP-324-3)
寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADRV9002BBCZ	-40°C to +85°C	196-Ball CSP-BGA (12 mm × 12 mm × 1.09 mm)	Tray, 189	BC-196-14
ADRV9002BBCZ-RL	-40°C to +85°C	196-Ball CSP-BGA (12 mm × 12 mm × 1.09 mm)	Reel, 1500	BC-196-14

¹ Z = RoHS 準拠製品

